

- 低電源電圧範囲：1.8 V ～ 3.6 V
- 超低消費電力：
  - アクティブ・モード：200  $\mu$ A (1 MHz、2.2 V)
  - スタンバイ・モード：0.7  $\mu$ A
  - オフ・モード (RAM データ保持)：0.1  $\mu$ A
- 5 つの消費電力節約モード
- スタンバイ・モードから 6  $\mu$ s 以下でウェークアップ
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- Basic Clock モジュール構成：
  - 色々な内部抵抗
  - 1 つの外部抵抗
  - 32 kHz クリスタル
  - 高周波数クリスタル
  - レゾネータ
  - 外部クロック源
- 16 ビット タイマ<sub>A</sub> (3 つのキャプチャ/コンペア・レジスタ付き)
- アナログ信号コンペア機能又はスロープ A/D 変換のためのオン・チップ・コンパレータ
- シリアル・コミュニケーション・インタフェース (USART0)
  - ソフトウェアにより非同期 UART 又は同期 SPI インタフェースを選択
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- ファミリー製品：
  - MSP430F122：4KB + 256B フラッシュ・メモリ、256B RAM
  - MSP430F123：8KB + 256B フラッシュ・メモリ、256B RAM
- 28 ピン プラスチック SOWB、28 ピン プラスチック TSSOP、及び 32 ピン QFN パッケージ
- モジュールの詳細は、MSP430x1xx ファミリー ユーザーズ・ガイド 資料番号 SLAU049 を参照して下さい。

## 概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリーは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6  $\mu$ s 以内で行われます。

MSP430F12x シリーズは、16 ビット タイマ及び 22 個の I/O 端子を内蔵した超低消費電力ミックスド・シグナル・マイクロコントローラです。MSP430F12x シリーズはまた、多用途アナログ・コンパレータだけでなく非同期 UART 及び同期 SPI プロトコルを使用したコミュニケーション機能も搭載しています。

標準的なアプリケーションとしては、アナログ信号を取得し、デジタル値に変換し、表示のため又はホスト・システムへの送信のためにデータを処理するセンサ・システムがあります。もう 1 つのアプリケーションの分野では、スタンド・アロン RF センサがあります。I/O ポート入力により、抵抗センサを用いたシングル・スロープ A/D 変換機能を提供します。

## 製品オプション

| T <sub>A</sub> | パッケージ・デバイス                     |                                |                                  |
|----------------|--------------------------------|--------------------------------|----------------------------------|
|                | プラスチック<br>28 ピン SOWB<br>(DW)   | プラスチック<br>28 ピン TSSOP<br>(PW)  | プラスチック<br>32 ピン QFN<br>(RHB)     |
| -40°C ～ 85°C   | MSP430F122IDW<br>MSP430F123IDW | MSP430F122IPW<br>MSP430F123IPW | MSP430F122IRHB<br>MSP430F123IRHB |



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



著作権© 2005 日本テキサス・インスツルメンツ株式会社

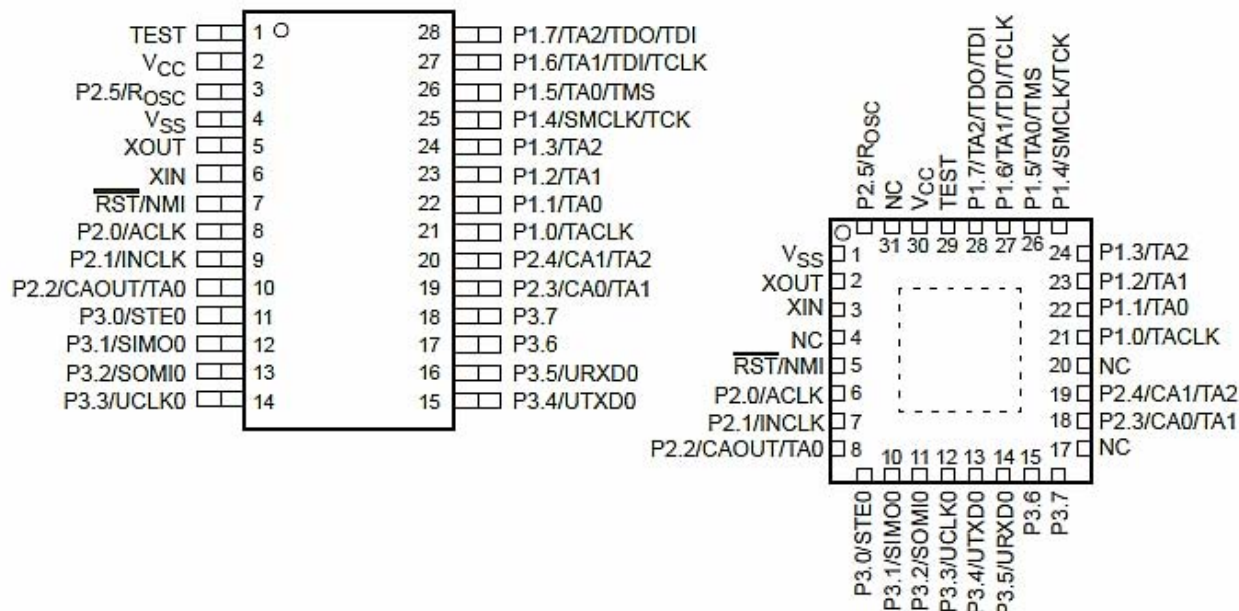
# MSP430x12x

## ミックスド・シグナル・マイクロコントローラ

SLAS471 - 2005 年 6 月

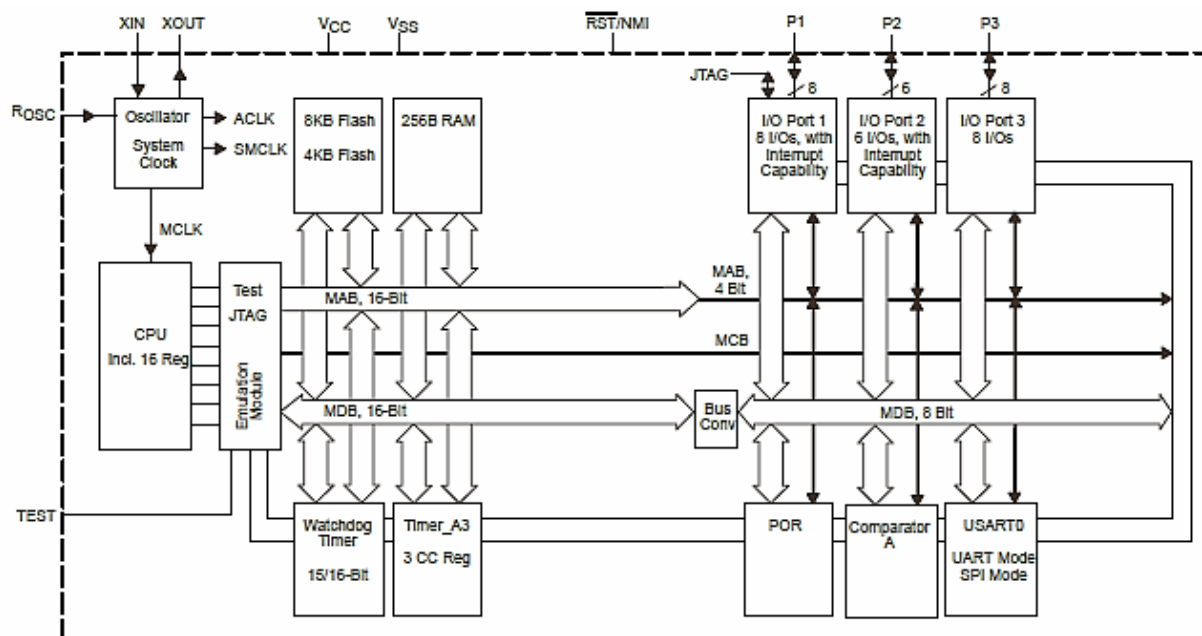
### ピン配置、MSP430x12x

DW 又は PW パッケージ  
(上面図)



(注) NC 端子は内部で接続されていません。  
放熱パッドは V<sub>SS</sub> に接続することを推奨します。

### 機能ブロック図



端子機能表

| 端 子                   |             |            |     | 機 能   |
|-----------------------|-------------|------------|-----|---|
| 名 前                   | DW、PW<br>番号 | RHB<br>番号  | I/O |   |
| P1.0/TACLK            | 21          | 21         | I/O | 汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力  |
| P1.1/TA0              | 22          | 22         | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信                     |
| P1.2/TA1              | 23          | 23         | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力                              |
| P1.3/TA2              | 24          | 24         | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力                              |
| P1.4/SMCLK/TCK        | 25          | 25         | I/O | 汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力                    |
| P1.5/TA0/TMS          | 26          | 26         | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力          |
| P1.6/TA1/TDI/TCLK     | 27          | 27         | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力                      |
| P1.7/TA2/TDO/TDI †    | 28          | 28         | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力                  |
| P2.0/ACLK             | 8           | 6          | I/O | 汎用デジタル I/O / ACLK 出力  |
| P2.1/INCLK            | 9           | 7          | I/O | 汎用デジタル I/O / タイマ_A、INCLK クロック信号   |
| P2.2/CAOUT/TA0        | 10          | 8          | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A 出力 / BSL 受信                     |
| P2.3/CA0/TA1          | 19          | 18         | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A 入力                                |
| P2.4/CA1/TA2          | 20          | 19         | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A 入力                                |
| P2.5/R <sub>osc</sub> | 3           | 32         | I/O | 汎用デジタル I/O / DCO 公称周波数を定める外部抵抗入力  |
| P3.0/STE0             | 11          | 9          | I/O | 汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード                                     |
| P3.1/SIM00            | 12          | 10         | I/O | 汎用デジタル I/O / USART0/SPI モードのスレープ入力 / マスタ出力                                    |
| P3.2/SOMIO            | 13          | 11         | I/O | 汎用デジタル I/O / USART0/SPI モードのスレープ出力 / マスタ入力                                    |
| P3.3/UCLK0            | 14          | 12         | I/O | 汎用デジタル I/O / 外部クロック入力 - USART0/UART 又は SPI モード、クロック出力 - USART0/SPI モード クロック入力 |
| P3.4/UTXD0            | 15          | 13         | I/O | 汎用デジタル I/O / 送信データ出力 - USART0/UART モード  |
| P3.5/URXD0            | 16          | 14         | I/O | 汎用デジタル I/O / 受信データ入力 - USART0/UART モード  |
| P3.6                  | 17          | 15         | I/O | 汎用デジタル I/O  |
| P3.7                  | 18          | 16         | I/O | 汎用デジタル I/O  |
| RST/NMI               | 7           | 5          | I   | リセット又はマスク不可能な割り込み入力   |
| TEST                  | 1           | 29         | I   | ポート1 JTAG 端子のテスト・モードの選択入力   |
| V <sub>CC</sub>       | 2           | 30         |     | 電源電圧  |
| V <sub>SS</sub>       | 4           | 1          |     | グランド基準  |
| XIN                   | 6           | 3          | I   | クリスタル・オシレータ入力   |
| XOUT                  | 5           | 2          | O   | クリスタル・オシレータ出力   |
| NC                    |             | 4、17、20、31 |     | 内部接続なし  |
| QFN パッド               | NA          | パッケージ・パッド  | NA  | QFN パッケージのパッドは V <sub>SS</sub> に接続することを推奨します。                                 |

† TDO 又は TDI は JTAG 命令によって選択されます。

# MSP430x12x ミックスド・シグナル・マイクロコントローラ

SLAS471 – 2005 年 6 月

## 概要説明

### CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

### 命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。それぞれの命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

|               |           |
|---------------|-----------|
| プログラム・カウンタ    | PC/R0     |
| スタック・ポインタ     | SP/R1     |
| ステータス・レジスタ    | SR/CG1/R2 |
| コンスタント・ジェネレータ | CG2/R3    |
| 汎用レジスタ        | R4        |
| 汎用レジスタ        | R5        |
| 汎用レジスタ        | R6        |
| 汎用レジスタ        | R7        |
| 汎用レジスタ        | R8        |
| 汎用レジスタ        | R9        |
| 汎用レジスタ        | R10       |
| 汎用レジスタ        | R11       |
| 汎用レジスタ        | R12       |
| 汎用レジスタ        | R13       |
| 汎用レジスタ        | R14       |
| 汎用レジスタ        | R15       |

表 1. 命令ワード・フォーマット

|                            |              |                       |
|----------------------------|--------------|-----------------------|
| デュアル・オペランド (ソース-デスティネーション) | 例、ADD R4, R5 | R4 + R5 → R5          |
| シングル・オペランド (デスティネーションのみ)   | 例、CALL R8    | PC → (TOS), R8 → PC   |
| 相対ジャンプ (無条件/条件付き)          | 例、JNE        | Jump-on-equal bit = 0 |

表 2 アドレス・モードの記述

| アドレス・モード       | S | D | 構文               | 例                 | 動作                            |
|----------------|---|---|------------------|-------------------|-------------------------------|
| レジスタ           | ● | ● | MOV Rs, Rd       | MOV R10, R11      | R10 → R11                     |
| インデックス         | ● | ● | MOV X(Rn), Y(Rm) | MOV 2(R5), 6(R6)  | M(2+R5) → M(6+R6)             |
| シンボリック (PC 対応) | ● | ● | MOV EDE, TONI    |                   | M(EDE) → M(TONI)              |
| 絶対             | ● | ● | MOV &MEM, &TCDAT |                   | M(MEM) → M(TCDAT)             |
| 間接             | ● |   | MOV @Rn, Y(Rm)   | MOV @R10, Tab(R6) | M(R10) → M(Tab+R6)            |
| 間接 (自動インクリメント) | ● |   | MOV @Rn+, Rm     | MOV @R10+, R11    | M(R10) → R11<br>R10 + 2 → R10 |
| 即時             | ● |   | MOV #X, TONI     | MOV #45, TONI     | #45 → M(TONI)                 |

(注) S = ソース、D = デスティネーション

## 動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ；
  - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ；
  - CPU はディスエーブル  
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ；
  - CPU はディスエーブル  
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル  
アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ；
  - CPU はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はイネーブルのまま  
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ；
  - CPU はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はディスエーブル  
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ；
  - CPU はディスエーブル  
ACLK はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はディスエーブル  
クリスタル・オシレータは停止

## 割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

| 割り込みソース                                   | 割り込みフラグ  | システム割り込み                                  | ワード・アドレス | 優先順位     |
|---|--|---|----------|----------|
| パワー・アップ<br>外部リセット<br>ウォッチドッグ<br>フラッシュ・メモリ | WDTIFG (注 1)<br>KEYV (注 1)                         | リセット                                      | 0FFFEh   | 15 (最上位) |
| NMI<br>オシレータ障害<br>フラッシュ・メモリ アクセス違反        | NMIIFG (注 1、4)<br>OFIFG (注 1、4)<br>ACCVIFG (注 1、4) | マスク可能 (不可能)<br>マスク可能 (不可能)<br>マスク可能 (不可能) | 0FFFCh   | 14       |
|   |  |   | 0FFFAh   | 13       |
|   |  |   | 0FFF8h   | 12       |
| コンパレータ_A                                  | CAIFG  | マスク可能                                     | 0FFF6h   | 11       |
| ウォッチドッグ・タイマ                               | WDTIFG   | マスク可能                                     | 0FFF4h   | 10       |
| タイマ_A3                                    | TACCRO CCIFG (注 2)                                 | マスク可能                                     | 0FFF2h   | 9        |
| タイマ_A3                                    | TACCR1 及び TACCR2<br>CCIFG、TAIFG<br>(注 1、2)         | マスク可能                                     | 0FFF0h   | 8        |
| USART0 受信                                 | URXIFG0  | マスク可能                                     | 0FFEEh   | 7        |
| USART0 送信                                 | UTXIFG0  | マスク可能                                     | 0FFECCh  | 6        |
|   |  |   | 0FFEAh   | 5        |
|   |  |   | 0FFE8h   | 4        |
| I/O ポート P2<br>(8 つのフラグ、注 3)               | P2IFG.0 ~ P2IFG.7<br>(注 1、2)                       | マスク可能                                     | 0FFE6h   | 3        |
| I/O ポート P1<br>(8 つのフラグ)                   | P1IFG.0 ~ P1IFG.7<br>(注 1、2)                       | マスク可能                                     | 0FFE4h   | 2        |
|   |  |   | 0FFE2h   | 1        |
|   |  |   | 0FFE0h   | 0 (最下位)  |

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) ポート P2 割り込みフラグは 8 つありますが、<sup>®</sup>12x デバイスには 6 つのポート P2 I/O 端子(P2.0 ~ 5)しかありません。

(注 4) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

## スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタは、実際のデバイスにも内蔵されておりません。これによって、容易にソフトウェアによりアクセス可能です。

### 割り込みイネーブル 1、2

| Address | 7 | 6 | 5      | 4     | 3 | 2 | 1    | 0     |
|---------|---|---|--------|-------|---|---|------|-------|
| 0h      |   |   | ACCVIE | NMIIE |   |   | OFIE | WDTIE |
|         |   |   | rw-0   | rw-0  |   |   | rw-0 | rw-0  |

WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE : オシレータ障害イネーブル

NMIIE : マスク可能な（不可能な）割り込みイネーブル

ACCVIE : フラッシュ・アクセス違反割り込みイネーブル

| Address | 7 | 6 | 5 | 4 | 3 | 2 | 1      | 0      |
|---------|---|---|---|---|---|---|--------|--------|
| 01h     |   |   |   |   |   |   | UTXIE0 | URXIE0 |
|         |   |   |   |   |   |   | rw-0   | rw-0   |

URXIE0 : USART0 : UART 及び SPI 受信割り込みイネーブル

UTXIE0 : USART0 : UART 及び SPI 送信割り込みイネーブル

### 割り込みフラグ・レジスタ 1、2

| Address | 7 | 6 | 5 | 4      | 3 | 2 | 1     | 0      |
|---------|---|---|---|--------|---|---|-------|--------|
| 02h     |   |   |   | NMIIFG |   |   | OFIFG | WDTIFG |
|         |   |   |   | rw-0   |   |   | rw-1  | rw-(0) |

WDTIFG : ウォッチドッグ・タイマ・オーバーフロー（ウォッチドッグ・モード）又はセキュリティ・キー違反でセットされます。  
V<sub>CC</sub> パワー・アップ又はリセット・モードでの  $\overline{\text{RST}}/\text{NMI}$  端子のリセット条件でリセットされます。

OFIFG : オシレータ障害でフラグがセットされます。

NMIIFG :  $\overline{\text{RST}}/\text{NMI}$  端子でセットされます。

| Address | 7 | 6 | 5 | 4 | 3 | 2 | 1       | 0       |
|---------|---|---|---|---|---|---|---------|---------|
| 03h     |   |   |   |   |   |   | UTXIFG0 | URXIFG0 |
|         |   |   |   |   |   |   | rw-0    | rw-0    |

URXIFG0 : USART0 : UART 及び SPI 受信フラグ

UTXIFG0 : USART0 : UART 及び SPI 送信フラグ

# MSP430x12x ミックスド・シグナル・マイクロコントローラ

SLAS471 – 2005 年 6 月

## モジュール・イネーブル・レジスタ 1、2

| Address | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---|---|---|---|---|---|---|---|
| 04h     |   |   |   |   |   |   |   |   |

| Address | 7 | 6 | 5 | 4 | 3 | 2 | 1     | 0               |
|---------|---|---|---|---|---|---|-------|-----------------|
| 05h     |   |   |   |   |   |   | UTXE0 | URXE0<br>USPIE0 |
|         |   |   |   |   |   |   | rw-0  | rw-0            |

URXE0 : USART0 : UART 受信イネーブル  
 UTXE0 : USART0 : UART 送信イネーブル  
 USPIE0 : USART0 : SPI (同期式ペリフェラル・インタフェース) 送信及び受信イネーブル

説明 : rw : ビットは、読み出し及び書き込みをすることができます。  
 rw-0, 1 : ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。  
 rw-(0, 1) : ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。  
 [ ] : デバイスには、SFR ビットが存在しません。

## メモリ構成

|              |           | MSP430F122      | MSP430F123      |
|--------------|-----------|-----------------|-----------------|
| メモリ          | サイズ       | 4KB フラッシュ       | 8KB フラッシュ       |
| メイン: 割り込みベクタ | フラッシュ     | 0FFFFh - 0FFE0h | 0FFFFh - 0FFE0h |
| メイン: コード・メモリ | フラッシュ     | 0FFFFh - 0F000h | 0FFFFh - 0E000h |
| 情報メモリ        | サイズ       | 256 バイト         | 256 バイト         |
|              | フラッシュ     | 010FFh - 01000h | 010FFh - 01000h |
| 起動メモリ        | サイズ       | 1KB             | 1KB             |
|              | ROM       | 0FFFh - 0C00h   | 0FFFh - 0C00h   |
| RAM          | サイズ       | 256 バイト         | 256 バイト         |
|              |           | 02FFh - 0200h   | 02FFh - 0200h   |
| ペリフェラル       | 16 ビット    | 01FFh - 0100h   | 01FFh - 0100h   |
|              | 8 ビット     | 0FFh - 010h     | 0FFh - 010h     |
|              | 8 ビット SFR | 0Fh - 00h       | 0Fh - 00h       |

## ブートストラップ・ローダ (BSL)

MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 "Features of the MSP430 Bootstrap Loader"* (資料番号 SLAA089) を参照して下さい。

| BSL 機能 | DW、PW<br>パッケージ端子 | RHB<br>パッケージ端子 |
|--------|------------------|----------------|
| データ送信  | 22 - P1.1        | 22 - P1.1      |
| データ受信  | 10 - P2.2        | 8 - P2.2       |



## フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 セグメントのそれぞれ 128 バイトの情報メモリ (A 及び B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A 及び B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A 及び B は、*情報メモリ*とも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。

## ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x1xx ファミリ ユーザーズ・ガイド* 資料番号 SLAU049 を参照して下さい。

## オシレータ及びシステム・クロック

クロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータのサポートを含む basic clock モジュールで構成されています。basic clock モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6  $\mu$ s 以内に安定します。basic clock モジュールは次のクロック信号を提供します:

- 補助クロック (ACLK): 32768 Hz の時計用クリスタル又は高周波数クリスタルから供給
- メイン・クロック (MCLK): CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK): ペリフェラル・モジュールによって使用されるサブ・システム・クロック

## デジタル I/O

3 つの 8 ビット I/O ポート内蔵: ポート P1、P2、及び P3 (外部端子には 6 つの P2 I/O 信号のみが使用できます。)

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 の 6 ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

(注)

ポート P2 の P2.0 ~ P2.5 の 6 ビットは、外部端子で使用できます。しかし、すべての制御及びデータ・ビットはポート P2 に内蔵されています。ポート P3 には割り込み機能はありません。

## ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

## USART0

MSP430x12x デバイスは、シリアル・データ通信のために使用される 1 つのハードウェア USART パリフェラル・モジュール (USART0) を持っています。USART は、同期式 SPI (3 又は 4 ピン) 及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャネルを使用します。

## タイマ\_A3

タイマ\_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ\_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ\_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

| タイマ_A3 信号の接続 |           |                  |                 |                |               |           |           |
|--------------|-----------|------------------|-----------------|----------------|---------------|-----------|-----------|
| 入力端子番号       |           | デバイス<br>入力信号     | モジュール<br>入力名    | モジュール・<br>ブロック | モジュール<br>出力信号 | 出力端子番号    |           |
| DW、PW        | RHB       |                  |                 |                |               | DW、PW     | RHB       |
| 21 – P1.0    | 21 – P1.0 | TACLK            | TACLK           | タイマ            | NA            |           |           |
|              |           | ACLK             | ACLK            |                |               |           |           |
|              |           | SMCLK            | SMCLK           |                |               |           |           |
|              |           | INCLK            | INCLK           |                |               |           |           |
| 9 – P2.1     | 7 – P2.1  | TA0              | CCIOA           | CCR0           | TA0           | 22 – P1.1 | 22 – P1.1 |
| 22 – P1.1    | 22 – P1.1 | TA0              | CCIOB           |                |               | 26 – P1.5 | 26 – P1.5 |
| 10 – P2.2    | 8 – P2.2  | DV <sub>ss</sub> | GND             |                |               |           |           |
|              |           | DV <sub>cc</sub> | V <sub>cc</sub> |                |               |           |           |
| 23 – P1.2    | 23 – P1.2 | TA1              | CCI1A           | CCR1           | TA1           | 19 – P2.3 | 18 – P2.3 |
|              |           | CAOUT (内部)       | CCI1B           |                |               | 23 – P1.2 | 23 – P1.2 |
|              |           | DV <sub>ss</sub> | GND             |                |               | 27 – P1.6 | 27 – P1.6 |
|              |           | DV <sub>cc</sub> | V <sub>cc</sub> |                |               |           |           |
| 24 – P1.3    | 24 – P1.3 | TA2              | CCI2A           | CCR2           | TA2           | 20 – P2.4 | 19 – P2.4 |
|              |           | ACLK (内部)        | CCI2B           |                |               | 24 – P1.3 | 24 – P1.3 |
|              |           | DV <sub>ss</sub> | GND             |                |               | 28 – P1.7 | 28 – P1.7 |
|              |           | DV <sub>cc</sub> | V <sub>cc</sub> |                |               |           |           |

## コンパレータ\_A

コンパレータ\_A モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリー電圧監視、及び外部アナログ信号のモニタを行うことです。

ペリフェラル・ファイル・マップ

| ワード・アクセスによるペリフェラル |                      |         |       |
|-------------------|----------------------|---------|-------|
| タイマ_A             | 予約されています             |         | 017Eh |
|                   | 予約されています             |         | 017Ch |
|                   | 予約されています             |         | 017Ah |
|                   | 予約されています             |         | 0178h |
|                   | キャプチャ/コンペア・レジスタ      | TACCR2  | 0176h |
|                   | キャプチャ/コンペア・レジスタ      | TACCR1  | 0174h |
|                   | キャプチャ/コンペア・レジスタ      | TACCRO  | 0172h |
|                   | タイマ_A レジスタ           | TAR     | 0170h |
|                   | 予約されています             |         | 016Eh |
|                   | 予約されています             |         | 016Ch |
|                   | 予約されています             |         | 016Ah |
|                   | 予約されています             |         | 0168h |
|                   | キャプチャ/コンペア制御         | TACCTL2 | 0166h |
|                   | キャプチャ/コンペア制御         | TACCTL1 | 0164h |
|                   | キャプチャ/コンペア制御         | TACCTL0 | 0162h |
|                   | タイマ_A 制御             | TACTL   | 0160h |
|                   | タイマ_A 割り込みベクタ        | TAIV    | 012Eh |
| フラッシュ・メモリ         | フラッシュ制御 3            | FCTL3   | 012Ch |
|                   | フラッシュ制御 2            | FCTL2   | 012Ah |
|                   | フラッシュ制御 1            | FCTL1   | 0128h |
| ウォッチドッグ           | ウォッチドッグ/タイマ制御        | WDTCTL  | 0120h |
| バイト・アクセスによるペリフェラル |                      |         |       |
| USART0            | 送信バッファ               | U0TXBUF | 077h  |
|                   | 受信バッファ               | U0RXBUF | 076h  |
|                   | ボー・レート               | U0BR1   | 075h  |
|                   | ボー・レート               | U0BR0   | 074h  |
|                   | 変調制御                 | U0MCTL  | 073h  |
|                   | 受信制御                 | U0RCTL  | 072h  |
|                   | 送信制御                 | U0TCTL  | 071h  |
|                   | USART制御              | U0CTL   | 070h  |
| コンパレータ_A          | コンパレータ_A ポート ディスエーブル | CAPD    | 05Bh  |
|                   | コンパレータ_A 制御 2        | CACTL2  | 05Ah  |
|                   | コンパレータ_A 制御 1        | CACTL1  | 059h  |
| Basic Clock       | Basic clock システム制御 2 | BCSCTL2 | 058h  |
|                   | Basic clock システム制御 1 | BCSCTL1 | 057h  |
|                   | DCO クロック周波数制御        | DCOCTL  | 056h  |
| Port P3           | ポート P3 選択            | P3SEL   | 01Bh  |
|                   | ポート P3 方向            | P3DIR   | 01Ah  |
|                   | ポート P3 出力            | P3OUT   | 019h  |
|                   | ポート P3 入力            | P3IN    | 018h  |
| ポート P3            | ポート P2 選択            | P2SEL   | 02Eh  |
|                   | ポート P2 割り込みイネーブル     | P2IE    | 02Dh  |
|                   | ポート P2 割り込みエッジ選択     | P2IES   | 02Ch  |
|                   | ポート P2 割り込みフラグ       | P2IFG   | 02Bh  |
|                   | ポート P2 方向            | P2DIR   | 02Ah  |
|                   | ポート P2 出力            | P2OUT   | 029h  |
|                   | ポート P2 入力            | P2IN    | 028h  |
| ポート P1            | ポート P1 選択            | P1SEL   | 026h  |
|                   | ポート P1 割り込みイネーブル     | P1IE    | 025h  |
|                   | ポート P1 割り込みエッジ選択     | P1IES   | 024h  |
|                   | ポート P1 割り込みフラグ       | P1IFG   | 023h  |
|                   | ポート P1 方向            | P1DIR   | 022h  |
|                   | ポート P1 出力            | P1OUT   | 021h  |
|                   | ポート P1 入力            | P1IN    | 020h  |

## ペリフェラル・ファイル・マップ

| バイト・アクセスによるペリフェラル (続き) |                  |      |      |
|------------------------|------------------|------|------|
| スペシャル・ファンクション          | モジュール・イネーブル 2    | ME2  | 005h |
|                        | モジュール・イネーブル 1    | ME1  | 004h |
|                        | SFR 割り込み フラグ 2   | IFG2 | 003h |
|                        | SFR 割り込み フラグ 1   | IFG1 | 002h |
|                        | SFR 割り込み イネーブル 2 | IE2  | 001h |
|                        | SFR 割り込み イネーブル 1 | IE1  | 000h |

### 絶対最大定格 (特記無き場合) †

|                                |             |                       |           |
|--------------------------------|-------------|-----------------------|-----------|
| 印加電圧 ( $V_{CC} \sim V_{SS}$ 間) | .....       | -0.3 ~ 4.1            | V         |
| 印加電圧 (全端子) (注 1)               | .....       | -0.3 ~ $V_{CC} + 0.3$ | V         |
| ダイオード電流 (全端子)                  | .....       | $\pm 2$               | mA        |
| 保存温度範囲                         | 未プログラムのデバイス | $T_{stg}$ .....       | -55 ~ 150 |
| 保存温度範囲                         | プログラム済みデバイス | $T_{stg}$ .....       | -40 ~ 85  |
|                                |             |                       | °C        |

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示されており、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

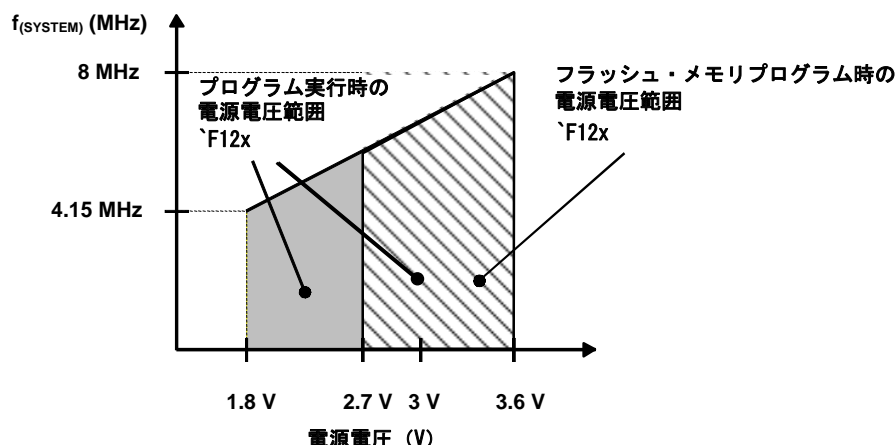
(注 1) すべての電圧は  $V_{SS}$  を基準とします。JTAG ヒューズ切断電圧  $V_{FB}$  は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

### 推奨動作条件

| 項 目   |                    |             | 最小                      | 標準    | 最大   | 単位  |
|---|--------------------|-------------|-------------------------|-------|------|-----|
| 電源電圧（プログラム実行時）、V <sub>CC</sub> （注 1）            |                    |             | 1.8                     |       | 3.6  | V   |
| 電源電圧（フラッシュ・メモリ プログラム／消去時）、V <sub>CC</sub>       |                    |             | 2.7                     |       | 3.6  | V   |
| 電源電圧、V <sub>SS</sub>                            |                    |             |                         | 0     |      | V   |
| 動作周囲温度、T <sub>A</sub>                           |                    |             | -40                     |       | 85   | ℃   |
| LFXT1 クリスタル周波数、<br>f <sub>(LFXT1)</sub> （注 1、2） | LF モード選択時、XTS = 0  | 時計用クリスタル    |                         | 32768 |      | kHz |
|   | XT1 モード選択時、XTS = 1 | セラミック・レゾネータ | 450                     |       | 8000 |     |
|   |                    | クリスタル       | 1000                    |       | 8000 |     |
| プロセッサ周波数 f <sub>(SYSTEM)</sub> （MCLK 信号）        |                    |             | V <sub>CC</sub> = 1.8 V | dc    | 4.15 | MHz |
|   |                    |             | V <sub>CC</sub> = 3.6 V | dc    | 8    |     |

(注 1)  $V_{CC} < 2.5 \text{ V}$  の時、LF モードの LFXT1 オシレータには、 $XOUT \sim V_{SS}$  間に  $5.1 \text{ M}\Omega$  の抵抗が必要です。 $V_{CC} \geq 2.2 \text{ V}$  の時、XT1 モードの LFXT1 オシレータには  $4 \text{ MHz}$  のセラミック・レゾネータ又はクリスタルが使用できます。 $V_{CC} \geq 2.8 \text{ V}$  の時、XT1 モードの LFXT1 オシレータには  $8 \text{ MHz}$  のセラミック・レゾネータ又はクリスタルが使用できます。

(注 2) LF モードの LFXT1 オシレータには時計用クリスタルが必要です。XT1 モードの LFXT1 オシレータにはセラミック・レゾネータ又はクリスタルが使用できます。



(注) 最小プロセッサ周波数は、システム・クロックにより決まります。フラッシュ・メモリのプログラム又は消去には  $2.7 \text{ V}$  の最小  $V_{CC}$  が必要です。

図 1. 電源電圧対周波数、MSP430F12x

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

電源電流 ( $V_{CC}$ )（外部電流を除く）

| 項 目            |                   | 測定条件  |                                    | 最小 | 標準  | 最大  | 単位            |
|----------------|-------------------|---|------------------------------------|----|-----|-----|---------------|
| $I_{(AM)}$     | アクティブ・モード         | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、<br>$f_{(MCLK)} = f_{(SMCLK)} = 1\text{ MHz}$ 、<br>$f_{(ACLK)} = 32,768\text{ Hz}$ 、<br>フラッシュ・メモリのプログラム実行時 | $V_{CC} = 2.2\text{ V}$            |    | 200 | 250 | $\mu\text{A}$ |
|                |                   |   | $V_{CC} = 3\text{ V}$              |    | 300 | 350 |               |
|                |                   | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、<br>$f_{(MCLK)} = f_{(SMCLK)} = f_{(ACLK)} = 4096\text{ Hz}$ 、<br>フラッシュ・メモリのプログラム実行時                       | $V_{CC} = 2.2\text{ V}$            |    | 3   | 5   |               |
|                |                   |   | $V_{CC} = 3\text{ V}$              |    | 11  | 18  |               |
| $I_{(CPUoff)}$ | ロー・パワー・モード (LPM0) | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、<br>$f_{(MCLK)} = 0\text{ Hz}$ 、 $f_{(SMCLK)} = 1\text{ MHz}$ 、<br>$f_{(ACLK)} = 32,768\text{ Hz}$         | $V_{CC} = 2.2\text{ V}$            |    | 32  | 45  | $\mu\text{A}$ |
|                |                   |   | $V_{CC} = 3\text{ V}$              |    | 55  | 70  |               |
| $I_{(LPM2)}$   | ロー・パワー・モード (LPM2) | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、<br>$f_{(MCLK)} = f_{(SMCLK)} = 0\text{ MHz}$ 、<br>$f_{(ACLK)} = 32,768\text{ Hz}$ 、 $SCG0 = 0$            | $V_{CC} = 2.2\text{ V}$            |    | 11  | 14  | $\mu\text{A}$ |
|                |                   |   | $V_{CC} = 3\text{ V}$              |    | 17  | 22  |               |
| $I_{(LPM3)}$   | ロー・パワー・モード (LPM3) | $T_A = -40^\circ\text{C}$   | $V_{CC} = 2.2\text{ V}$            |    | 0.8 | 1.2 | $\mu\text{A}$ |
|                |                   | $T_A = 25^\circ\text{C}$  |                                    |    | 0.7 | 1   |               |
|                |                   | $T_A = 85^\circ\text{C}$  |                                    |    | 1.6 | 2.3 |               |
|                |                   | $T_A = -40^\circ\text{C}$   | $V_{CC} = 3\text{ V}$              |    | 1.8 | 2.2 |               |
|                |                   | $T_A = 25^\circ\text{C}$  |                                    |    | 1.6 | 1.9 |               |
|                |                   | $T_A = 85^\circ\text{C}$  |                                    |    | 2.3 | 3.4 |               |
| $I_{(LPM4)}$   | ロー・パワー・モード (LPM4) | $T_A = -40^\circ\text{C}$   | $V_{CC} = 2.2\text{ V}/3\text{ V}$ |    | 0.1 | 0.5 | $\mu\text{A}$ |
|                |                   | $T_A = 25^\circ\text{C}$  |                                    |    | 0.1 | 0.5 |               |
|                |                   | $T_A = 85^\circ\text{C}$  |                                    |    | 0.8 | 1.9 |               |

(注) すべての入力は、0 V 又は  $V_{CC}$  に接続します。出力にはソース電流、シンク電流を流しません。

アクティブ・モードのシステム周波数 対 消費電流

$$I_{AM} = I_{AM [1\text{ MHz}]} \times f_{\text{system}} [\text{MHz}]$$

アクティブ・モードの電源電圧 対 消費電流

$$I_{AM} = I_{AM [3\text{ V}]} + 120\text{ }\mu\text{A/V} \times (V_{CC} - 3\text{ V})$$

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

シュミット・トリガ入力 – ポート P1 ~ P3 (P1.0 ~ P1.7、P2.0 ~ P2.5、P3.0 ~ P3.7)

| 項         | 目                                  | $V_{CC}$ | 最小  | 標準 | 最大  | 単位 |
|-----------|------------------------------------|----------|-----|----|-----|----|
| $V_{IT+}$ | 立ち上がり入力スレッシュホールド電圧                 | 2.2 V    | 1.1 |    | 1.5 | V  |
|           |                                    | 3 V      | 1.5 |    | 1.9 |    |
| $V_{IT-}$ | 立ち下がり入力スレッシュホールド電圧                 | 2.2 V    | 0.4 |    | 0.9 | V  |
|           |                                    | 3 V      | 0.9 |    | 1.3 |    |
| $V_{hys}$ | 入力電圧ヒステリシス ( $V_{IT+} - V_{IT-}$ ) | 2.2 V    | 0.3 |    | 1.1 | V  |
|           |                                    | 3 V      | 0.5 |    | 1   |    |

標準入力 –  $\overline{RST}/NMI$ 、TEST ; JTAG : TCK、TMS、TDI/TCLK

| 項        | 目          | $V_{CC}$    | 最小                  | 標準 | 最大             | 単位 |
|----------|------------|-------------|---------------------|----|----------------|----|
| $V_{IL}$ | ロー・レベル入力電圧 | 2.2 V / 3 V | $V_{SS}$            |    | $V_{SS} + 0.6$ | V  |
| $V_{IH}$ | ハイ・レベル入力電圧 |             | $0.8 \times V_{CC}$ |    | $V_{CC}$       | V  |

入力  $P_{x.x}$ 、 $TA_x$

| 項             | 目                     | 測定条件  | $V_{CC}$  | 最小  | 標準 | 最大 | 単位    |
|---------------|-----------------------|---|-----------|-----|----|----|-------|
| $t_{(int)}$   | 外部割り込みタイミング           | ポート P1、P2: P1.x ~ P2.x、<br>割り込みフラグ用外部トリガ信号<br>(注 1) | 2.2 V/3 V | 1.5 |    |    | cycle |
|               |                       |   | 2.2 V     | 62  |    |    | ns    |
|               |                       |   | 3 V       | 50  |    |    |       |
| $t_{(cap)}$   | タイマ_A キャプチャ・タイミング     | TA0、TA1、TA2   | 2.2 V     | 62  |    |    | ns    |
|               |                       |   | 3 V       | 50  |    |    |       |
| $f_{(TAext)}$ | 外部から印加するタイマ_A クロック周波数 | TACLK、INCLK: $t_{(M)} = t_{(L)}$                    | 2.2 V     |     |    | 8  | MHz   |
|               |                       |   | 3 V       |     |    | 10 |       |
| $f_{(TAint)}$ | タイマ_A クロック周波数         | SMCLK 又は ACLK 信号選択時                                 | 2.2 V     |     |    | 8  | MHz   |
|               |                       |   | 3 V       |     |    | 10 |       |

(注 1) 外部信号は、最小  $t_{(int)}$  サイクル及び時間のパラメータが適合するたび毎に割り込みフラグをセットします。トリガ信号が  $t_{(int)}$  より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様の両方を満足しなければなりません。 $t_{(int)}$  は MCLK サイクルで測定します。

リーク電流（注 1、2）

| 項                  | 目                | 測定条件                               | $V_{CC}$  | 最小 | 標準 | 最大       | 単位 |
|--------------------|------------------|------------------------------------|-----------|----|----|----------|----|
| $I_{lkg}(P_{x.x})$ | ハイ・インピーダンス リーク電流 | ポート P1: P1.x、<br>$0 \leq x \leq 7$ | 2.2 V/3 V |    |    | $\pm 50$ | nA |
|                    |                  | ポート P2: P2.x、<br>$0 \leq x \leq 5$ |           |    |    | $\pm 50$ |    |

(注 1) 特記無き場合、リーク電流は対応する端子に  $V_{SS}$  又は  $V_{CC}$  を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

出力 - ポート P1 ~ P3 (P1.0 ~ P1.7, P2.0 ~ P2.5, P3.0 ~ P3.7)

| 項 目                 | 測定条件                            |                          | 最小    | 標準              | 最大              | 単位 |
|---------------------|---------------------------------|--------------------------|-------|-----------------|-----------------|----|
| $V_{OH}$ ハイ・レベル出力電圧 | $I_{OH(max)} = -1.5 \text{ mA}$ | $V_{CC} = 2.2 \text{ V}$ | (注 1) | $V_{CC} - 0.25$ | $V_{CC}$        | V  |
|                     | $I_{OH(max)} = -6 \text{ mA}$   |                          | (注 2) | $V_{CC} - 0.6$  | $V_{CC}$        |    |
|                     | $I_{OH(max)} = -1.5 \text{ mA}$ | $V_{CC} = 3 \text{ V}$   | (注 1) | $V_{CC} - 0.25$ | $V_{CC}$        |    |
|                     | $I_{OH(max)} = -6 \text{ mA}$   |                          | (注 2) | $V_{CC} - 0.6$  | $V_{CC}$        |    |
| $V_{OL}$ ロー・レベル出力電圧 | $I_{OL(max)} = 1.5 \text{ mA}$  | $V_{CC} = 2.2 \text{ V}$ | (注 1) | $V_{SS}$        | $V_{SS} + 0.25$ | V  |
|                     | $I_{OL(max)} = 6 \text{ mA}$    |                          | (注 2) | $V_{SS}$        | $V_{SS} + 0.6$  |    |
|                     | $I_{OL(max)} = 1.5 \text{ mA}$  | $V_{CC} = 3 \text{ V}$   | (注 1) | $V_{SS}$        | $V_{SS} + 0.25$ |    |
|                     | $I_{OL(max)} = 6 \text{ mA}$    |                          | (注 2) | $V_{SS}$        | $V_{SS} + 0.6$  |    |

(注 1) 全出力の最大電流  $I_{OH(max)}$  と  $I_{OL(max)}$  の合計は、規定の最大電圧降下を保持するため  $\pm 12 \text{ mA}$  を越えてはいけません。

(注 2) 全出力の最大電流  $I_{OH(max)}$  と  $I_{OL(max)}$  の合計は、規定の最大電圧降下を保持するため  $\pm 48 \text{ mA}$  を越えてはいけません。

出力 - P1.x, P2.x, P3.x, TAx

| 項 目          | 測定条件  | $V_{CC}$                          | 最小             | 標準  | 最大             | 単位  |
|--------------|---|-----------------------------------|----------------|-----|----------------|-----|
| $f_{(P20)}$  | P2.0/ACLK、 $C_L = 20 \text{ pF}$                                    | 2.2 V/3 V                         |                |     | $f_{System}$   | MHz |
| $f_{(TAx)}$  | TA0、TA1、TA2、 $C_L = 20 \text{ pF}$ 、<br>内部クロック・ソース、SMCLK 信号印加 (注 1) | 2.2 V/3 V                         | dc             |     | $f_{System}$   |     |
| $t_{(Xdc)}$  | P1.4/SMCLK、<br>$C_L = 20 \text{ pF}$                                | $f_{SMCLK} = f_{LFXT1} = f_{XT1}$ | 40%            |     | 60%            |     |
|              |   |                                   | 35%            |     | 65%            |     |
|              |   | $f_{SMCLK} = f_{LFXT1/n}$         | 50% -<br>15 ns | 50% | 50% +<br>15 ns |     |
|              |   | $f_{SMCLK} = f_{DCOCLK}$          | 50% -<br>15 ns | 50% | 50% +<br>15 ns |     |
|              | P2.0/ACLK、<br>$C_L = 20 \text{ pF}$                                 | $f_{P20} = f_{LFXT1} = f_{XT1}$   | 40%            |     | 60%            |     |
|              |   | $f_{P20} = f_{LFXT1} = f_{LF}$    | 30%            |     | 70%            |     |
|              |   | $f_{P20} = f_{LFXT1/n}$           |                | 50% |                |     |
| $t_{(TAdc)}$ | TA0、TA1、TA2、 $C_L = 20 \text{ pF}$ 、<br>デューティ比 = 50%                | 2.2 V/3 V                         |                | 0   | $\pm 50$       | ns  |

(注 1) システム・クロック MCLK の規格に適合しなければなりません。MCLK と SMCLK は異なる周波数にすることができます。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

出力 – ポート P1、P2、及び P3（続き）

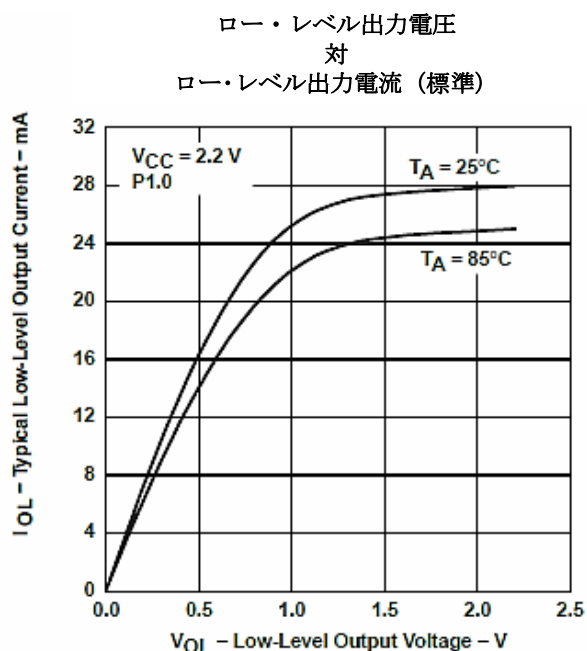


図 2

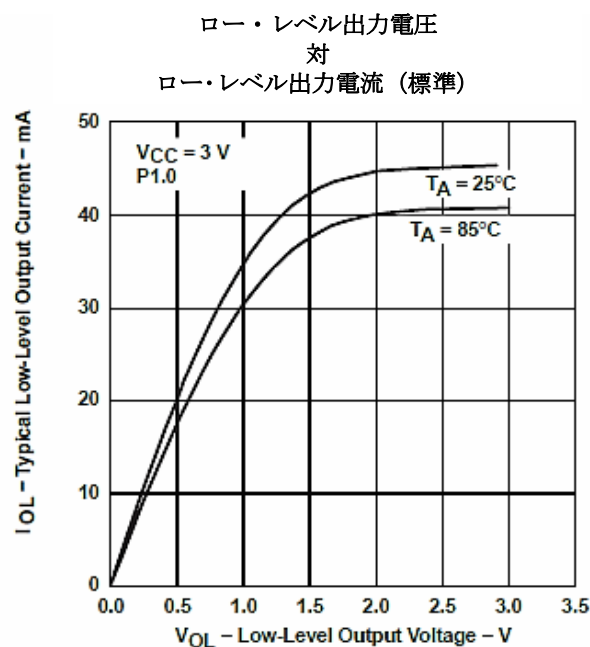


図 3

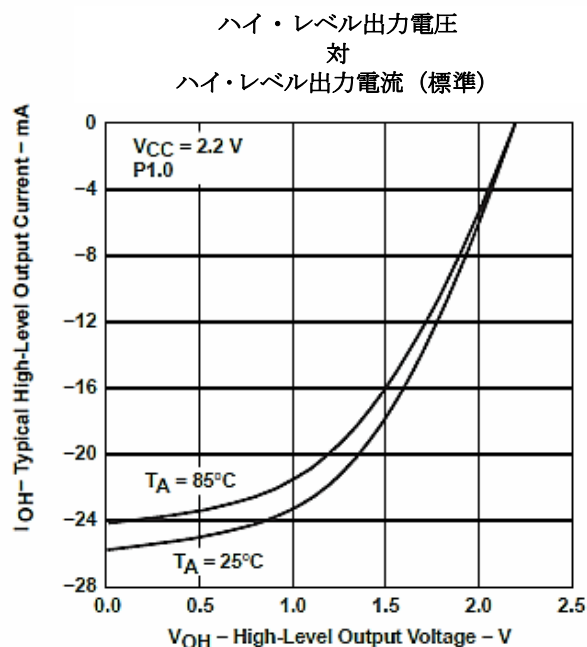


図 4

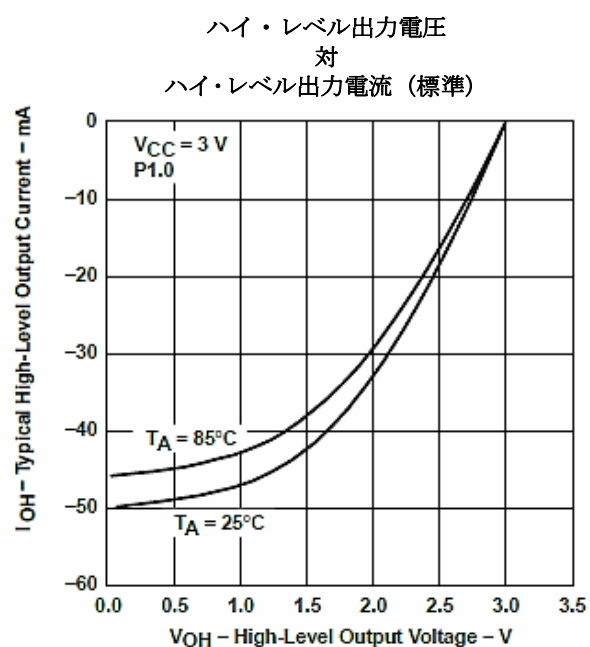


図 5

（注） 同時に 1 出力のみ負荷をかけます。



推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

USART（注 1）

| 項 目                       | 測定条件                     | 最小  | 標準  | 最大  | 単位 |
|---------------------------|--------------------------|-----|-----|-----|----|
| $t_{(r)}$ USART : デグリッチ時間 | $V_{CC} = 2.2 \text{ V}$ | 200 | 430 | 800 | ns |
|                           | $V_{CC} = 3 \text{ V}$   | 150 | 280 | 500 |    |

（注 1） USART 受信信号/端子（URXD）に印加される信号は、URXS フリップ・フロップがセットされることを保証するために、タイミング  $t_{(r)}$  の要求を満たしていなければなりません。URXS フリップ・フロップは、 $t_{(r)}$  の最小タイミング条件に合致した反転パルスによってセットされます。フラグをセットするための動作条件は、このタイミング制限とは別に満たさなければなりません。デグリッチ回路は、URXD ライン上の立ち下がりでのみアクティブになります。

ロー・パワー・モードからのウェーク・アップ（LPMx）

| 項 目          | 測定条件  | 最小  | 標準 | 最大 | 単位            |
|--------------|---|-----|----|----|---------------|
| $t_{(LPM0)}$ | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$                                | 100 |    |    | ns            |
| $t_{(LPM2)}$ | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$                                | 100 |    |    |               |
| $t_{(LPM3)}$ | $f_{(MCLK)} = 1 \text{ MHz}$ , $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ |     |    | 6  | $\mu\text{s}$ |
|              | $f_{(MCLK)} = 2 \text{ MHz}$ , $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ |     |    | 6  |               |
|              | $f_{(MCLK)} = 3 \text{ MHz}$ , $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ |     |    | 6  |               |
| $t_{(LPM4)}$ | $f_{(MCLK)} = 1 \text{ MHz}$ , $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ |     |    | 6  | $\mu\text{s}$ |
|              | $f_{(MCLK)} = 2 \text{ MHz}$ , $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ |     |    | 6  |               |
|              | $f_{(MCLK)} = 3 \text{ MHz}$ , $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ |     |    | 6  |               |

（注 1） このパラメータは、DCOCLK が MCLK として使用される場合のみに適用します。

RAM

| 項 目                              | 最小  | 標準 | 最大 | 単位 |
|----------------------------------|-----|----|----|----|
| $V_{(RAM)}$ CPU 停止 (HALT) 時（注 1） | 1.6 |    |    | V  |

（注 1） このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

コンパレータ\_A（注 1）

| 項 目  | 測定条件  | 最小                                   | 標準   | 最大           | 単位            |
|--|---|--------------------------------------|------|--------------|---------------|
| $I_{(DD)}$   | CAON = 1、CARSEL = 0、CAREF = 0   | $V_{CC} = 2.2 \text{ V}$             | 25   | 40           | $\mu\text{A}$ |
|  |   | $V_{CC} = 3 \text{ V}$               | 45   | 60           |               |
| $I_{(\text{RefLadder/RefDiode})}$  | CAON = 1、CARSEL = 0、<br>CAREF = 1/2/3、P2.3/CA0/TA1 及び<br>P2.4/CA1/TA2 は無負荷                        | $V_{CC} = 2.2 \text{ V}$             | 30   | 50           | $\mu\text{A}$ |
|  |   | $V_{CC} = 3 \text{ V}$               | 45   | 71           |               |
| $V_{(IC)}$ 同相入力電圧  | CAON = 1  | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0    | $V_{CC} - 1$ | V             |
| $V_{(\text{Ref025})}$ $\frac{\text{Voltage @ } 0.25 \text{ } V_{CC} \text{ node}}{V_{CC}}$ | PCA0 = 1、CARSEL = 1、<br>CAREF = 1、P2.3/CA0/TA1 及び<br>P2.4/CA1/TA2 は無負荷                            | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0.23 | 0.24         | 0.25          |
| $V_{(\text{Ref050})}$ $\frac{\text{Voltage @ } 0.5 \text{ } V_{CC} \text{ node}}{V_{CC}}$  | PCA0 = 1、CARSEL = 1、CAREF = 2、<br>P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無<br>負荷                           | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0.47 | 0.48         | 0.5           |
| $V_{(\text{RefVT})}$ (図 6、7 参照)  | PCA0 = 1、CARSEL = 1、CAREF = 3、<br>P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無<br>負荷、 $T_A = 85^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$             | 390  | 480          | 540           |
|  |   | $V_{CC} = 3 \text{ V}$               | 400  | 490          | 550           |
| $V_{(\text{offset})}$ オフセット電圧  | (注 2)   | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | -30  | 30           | mV            |
| $V_{\text{hys}}$ 入力ヒステリシス  | CAON = 1  | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0    | 0.7          | 1.4           |
| $t_{(\text{response LH})}$   | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、<br>フィルタなし: CAF = 0                                      | $V_{CC} = 2.2 \text{ V}$             | 160  | 210          | 300           |
|  |   | $V_{CC} = 3 \text{ V}$               | 80   | 150          | 240           |
|  | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、<br>フィルタ付き: CAF = 1                                      | $V_{CC} = 2.2 \text{ V}$             | 1.4  | 1.9          | 3.4           |
|  |   | $V_{CC} = 3 \text{ V}$               | 0.9  | 1.5          | 2.6           |
| $t_{(\text{response HL})}$   | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、<br>フィルタなし: CAF = 0                                      | $V_{CC} = 2.2 \text{ V}$             | 130  | 210          | 300           |
|  |   | $V_{CC} = 3 \text{ V}$               | 80   | 150          | 240           |
|  | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、<br>フィルタ付き: CAF = 1                                      | $V_{CC} = 2.2 \text{ V}$             | 1.4  | 1.9          | 3.4           |
|  |   | $V_{CC} = 3 \text{ V}$               | 0.9  | 1.5          | 2.6           |

(注 1) コンパレータ\_A 端子のリーク電流は、 $I_{\text{lk}(P_{x,x})}$  規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ\_A 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

代表特性

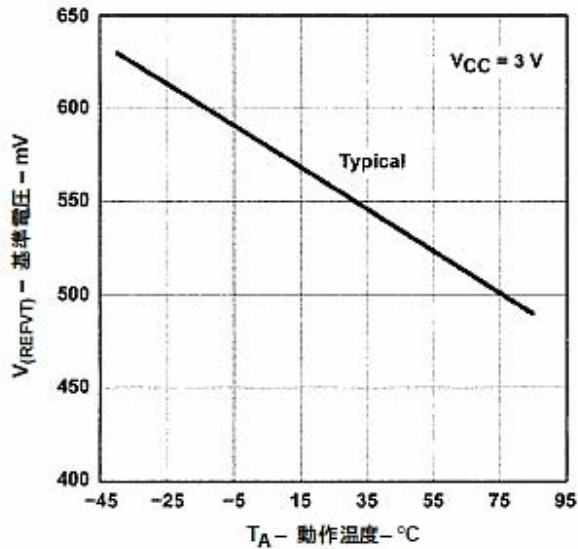


図 6. 温度対  $V_{(REFVT)}$ ,  $V_{CC} = 3V$

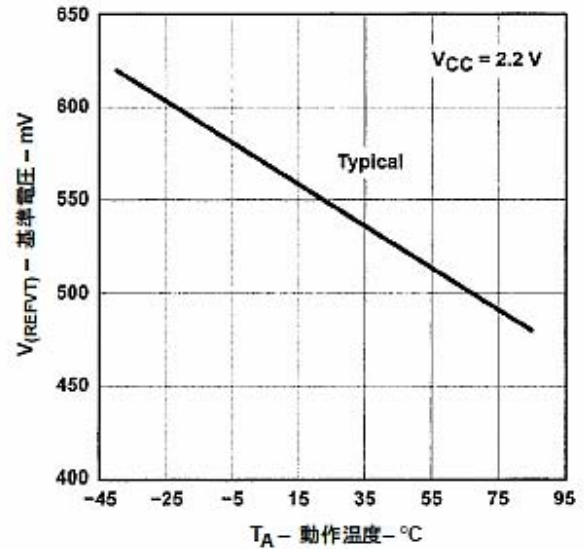


図 7. 温度対  $V_{(REFVT)}$ ,  $V_{CC} = 2.2V$

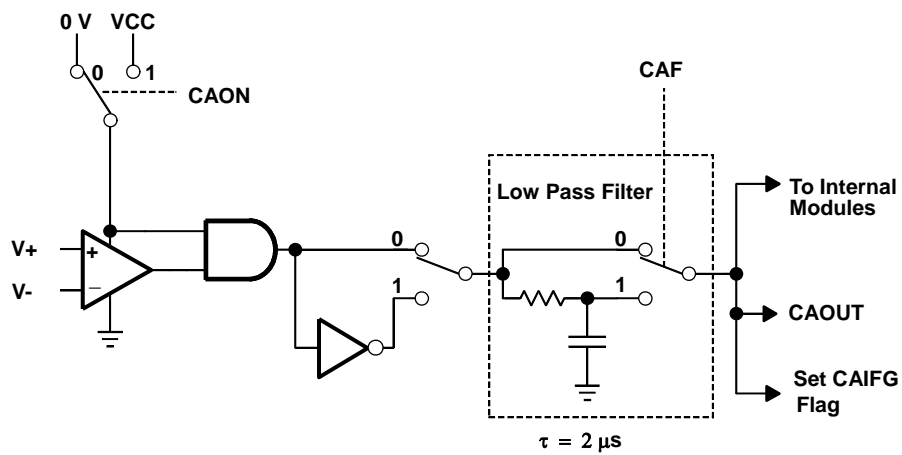


図 8. コンパレータ\_A モジュール ブロック図

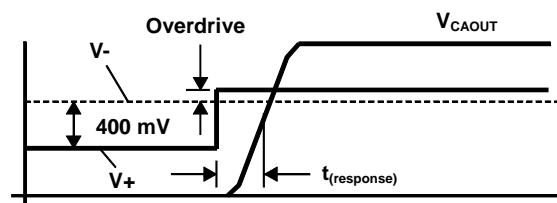


図 9. オーバードライブの定義

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

# PUC/POR

| 項 目  | 測定条件                        | 最小  | 標準  | 最大  | 単位      |
|--|-----------------------------|-----|-----|-----|---------|
| $t_{(POR\_Delay)}$ POR を解除する内部遅延時間                       |                             |     | 150 | 250 | $\mu s$ |
| $V_{POR}$ POR 解除遅延時間が始まる $V_{CC}$ スレッシュホルド (注 1)         | $T_A = -40^\circ C$         |     | 1.4 | 1.8 | V       |
|  | $T_A = 25^\circ C$          |     | 1.1 | 1.5 |         |
|  | $T_A = 85^\circ C$          |     | 0.8 | 1.2 |         |
| $V_{(min)}$ POR を生成するために必要な $V_{CC}$ スレッシュホルド (注 2)      | $V_{CC}  dV/dt  \geq 1V/ms$ | 0.2 |     |     | V       |
| $t_{(reset)}$ PUC/POR のための $\overline{RST}/NMI$ ロー・レベル時間 | リセットは内部で受け付けられます。           | 2   |     |     | $\mu s$ |

(注 1)  $V_{CC}$  立ち上がり時間  $dV/dt \geq 1 V/ms$

(注 2) POR 条件を発生させるため  $V_{CC}$  をロー・レベルにする場合は、 $V_{CC}$  は  $dV/dt \leq -1 V/ms$  で 200 mV 以下にしなければなりません。一方、立ち上がり  $V_{CC}$  は  $dV/dt \geq +1 V/ms$  にしなければなりません。

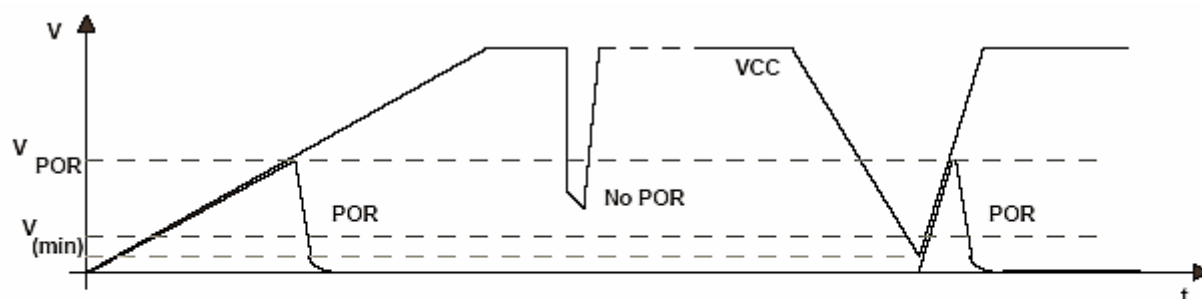


図 10. 電源電圧対パワー・オン・リセット (POR)

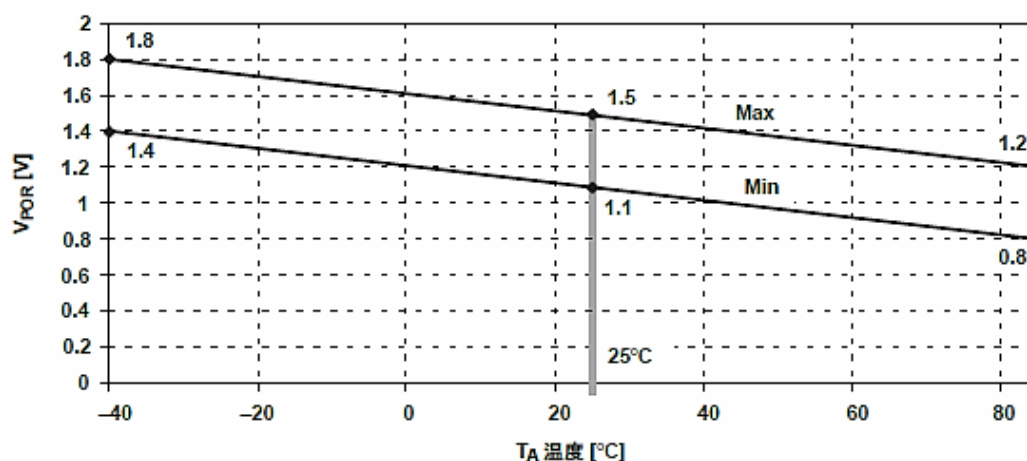


図 11. 温度対  $V_{POR}$

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

DC0

| 項 目                  | 測定条件  | V <sub>CC</sub> | 最小                          | 標準                          | 最大                          | 単位   |
|----------------------|---|-----------------|-----------------------------|-----------------------------|-----------------------------|------|
| f <sub>(DC003)</sub> | R <sub>sel</sub> = 0、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 0.08                        | 0.12                        | 0.15                        | MHz  |
|                      |   | 3 V             | 0.08                        | 0.13                        | 0.16                        |      |
| f <sub>(DC013)</sub> | R <sub>sel</sub> = 1、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 0.14                        | 0.19                        | 0.23                        | MHz  |
|                      |   | 3 V             | 0.14                        | 0.18                        | 0.22                        |      |
| f <sub>(DC023)</sub> | R <sub>sel</sub> = 2、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 0.22                        | 0.3                         | 0.36                        | MHz  |
|                      |   | 3 V             | 0.22                        | 0.28                        | 0.34                        |      |
| f <sub>(DC033)</sub> | R <sub>sel</sub> = 3、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 0.37                        | 0.49                        | 0.59                        | MHz  |
|                      |   | 3 V             | 0.37                        | 0.47                        | 0.56                        |      |
| f <sub>(DC043)</sub> | R <sub>sel</sub> = 4、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 0.61                        | 0.77                        | 0.93                        | MHz  |
|                      |   | 3 V             | 0.61                        | 0.75                        | 0.9                         |      |
| f <sub>(DC053)</sub> | R <sub>sel</sub> = 5、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 1                           | 1.2                         | 1.5                         | MHz  |
|                      |   | 3 V             | 1                           | 1.3                         | 1.5                         |      |
| f <sub>(DC063)</sub> | R <sub>sel</sub> = 6、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 1.6                         | 1.9                         | 2.2                         | MHz  |
|                      |   | 3 V             | 1.69                        | 2                           | 2.29                        |      |
| f <sub>(DC073)</sub> | R <sub>sel</sub> = 7、DC0 = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 2.4                         | 2.9                         | 3.4                         | MHz  |
|                      |   | 3 V             | 2.7                         | 3.2                         | 3.65                        |      |
| f <sub>(DC077)</sub> | R <sub>sel</sub> = 7、DC0 = 7、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V           | 4                           | 4.5                         | 4.9                         | MHz  |
|                      |   | 3 V             | 4.4                         | 4.9                         | 5.4                         |      |
| f <sub>(DC047)</sub> | R <sub>sel</sub> = 4、DC0 = 7、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C     | 2.2 V/3 V       | f <sub>DC040</sub><br>x 1.7 | f <sub>DC040</sub><br>x 2.1 | f <sub>DC040</sub><br>x 2.5 | MHz  |
| S <sub>(Rsel)</sub>  | S <sub>R</sub> = f <sub>Rsel+1</sub> / f <sub>Rsel</sub>                | 2.2 V/3 V       | 1.35                        | 1.65                        | 2                           |      |
| S <sub>(DC0)</sub>   | S <sub>DC0</sub> = f <sub>DC0+1</sub> / f <sub>DC0</sub>                | 2.2 V/3 V       | 1.07                        | 1.12                        | 1.16                        |      |
| D <sub>t</sub>       | 温度ドリフト、R <sub>sel</sub> = 4、DC0 = 3、MOD = 0<br>(注 1)                    | 2.2 V           | -0.31                       | -0.36                       | -0.4                        | %/°C |
|                      |   | 3 V             | -0.33                       | -0.38                       | -0.43                       |      |
| D <sub>V</sub>       | V <sub>CC</sub> 変動によるドリフト、R <sub>sel</sub> = 4、DC0 = 3、MOD = 0<br>(注 1) | 2.2 V/3 V       | 0                           | 5                           | 10                          | %/V  |

(注 1) これらのパラメータは、量産テストは実施していません。

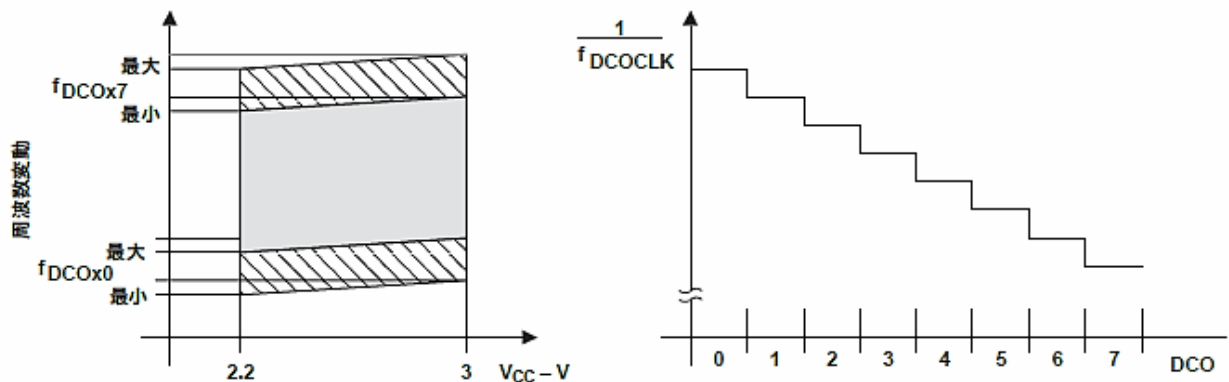


図 12. DC0 特性

## 推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

## 主要 DC0 特性

- 個々のデバイスには、最小及び最大動作周波数があります。 $f_{(DC0x0)} \sim f_{(DC0x7)}$  の指定されたパラメータは、すべてのデバイスに適用されます。
- Rsel(n) によって選択されるすべての範囲は、Rsel(n+1) と重なります：Rsel0 は Rsel1 と重なります、... Rsel16 は Rsel17 と重なります。
- DC0 コントロール・ビット DC00、DC01、及び DC02 は、パラメータ  $S_{DC0}$  によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DC0CLK サイクルの期間で  $f_{(DC0+1)}$  が使用される頻度を選択します。周波数  $f_{(DC0+1)}$  は、残りのサイクルのために使用されます。この平均周波数は：

$$f_{average} = \frac{32 \times f_{(DC0)} \times f_{(DC0+1)}}{MOD \times f_{(DC0)} + (32 - MOD) \times f_{(DC0+1)}}$$

 $R_{OSC}$  使用時の DC0（注 1）

| 項 目                                       | 測定条件   | V <sub>CC</sub> | 最小         | 標準 | 最大 | 単位  |
|---|--|-----------------|------------|----|----|-----|
| f <sub>DC0</sub> , DC0 出力周波数              | R <sub>sel</sub> = 4、DC0 = 3、MOD = 0、DCOR = 1、<br>T <sub>A</sub> = 25℃ | 2.2 V           | 1.8 ± 15%  |    |    | MHz |
|   |  | 3 V             | 1.95 ± 15% |    |    |     |
| D <sub>t</sub> 、温度ドリフト                    | R <sub>sel</sub> = 4、DC0 = 3、MOD = 0、DCOR = 1                          | 2.2 V/3 V       | ±0.1       |    |    | %/℃ |
| D <sub>v</sub> 、V <sub>CC</sub> 変動によるドリフト | R <sub>sel</sub> = 4、DC0 = 3、MOD = 0、DCOR = 1                          | 2.2 V/3 V       | 10         |    |    | %/V |

（注 1）  $R_{OSC} = 100 \text{ k}\Omega$ 、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、 $T_k = \pm 50 \text{ ppm}/^\circ\text{C}$

## クリスタル・オシレータ、LFXT1

| 項 目               |           | 測定条件  | 最小                    | 標準                    | 最大 | 単位 |
|-------------------|-----------|---|-----------------------|-----------------------|----|----|
| C <sub>XIN</sub>  | 入力容量      | XTS = 0; LF モード選択時、<br>V <sub>CC</sub> = 2.2 V / 3 V        | 12                    |                       |    | pF |
|                   |           | XTS = 1; XT1 モード選択時、<br>V <sub>CC</sub> = 2.2 V / 3 V (注 1) | 2                     |                       |    |    |
| C <sub>XOUT</sub> | 出力容量      | XTS = 0; LF モード選択時、<br>V <sub>CC</sub> = 2.2 V / 3 V        | 12                    |                       |    | pF |
|                   |           | XTS = 1; XT1 モード選択時、<br>V <sub>CC</sub> = 2.2 V / 3 V (注 1) | 2                     |                       |    |    |
| V <sub>IL</sub>   | XIN 入力レベル | V <sub>CC</sub> = 2.2 V / 3 V (注 2)                         | V <sub>SS</sub>       | 0.2 x V <sub>CC</sub> |    | V  |
| V <sub>IH</sub>   |           |   | 0.8 x V <sub>CC</sub> | V <sub>CC</sub>       |    |    |

（注 1） オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

（注 2） 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はレゾネータを使用する場合は適用されません。

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

### フラッシュ・メモリ

| 項 目                        |                               | 測定条件                  | V <sub>CC</sub> | 最小              | 標準              | 最大  | 単位               |
|----------------------------|-------------------------------|-----------------------|-----------------|-----------------|-----------------|-----|------------------|
| V <sub>CC(PGM/ERASE)</sub> | プログラム及び消去時電源電圧                |                       |                 | 2.7             |                 | 3.6 | V                |
| f <sub>FTG</sub>           | フラッシュ・タイミング発生器周波数             |                       |                 | 257             |                 | 476 | kHz              |
| I <sub>PGM</sub>           | プログラム時消費電流 (V <sub>CC</sub> ) |                       | 2.7 V/3.6 V     |                 | 3               | 5   | mA               |
| I <sub>ERASE</sub>         | 消去時消費電流 (V <sub>CC</sub> )    |                       | 2.7 V/3.6 V     |                 | 3               | 7   | mA               |
| t <sub>CPT</sub>           | 累積プログラム時間                     | (注 1)                 | 2.7 V/3.6 V     |                 |                 | 4   | ms               |
| t <sub>CErase</sub>        | 累積一括消去時間                      | (注 2)                 | 2.7 V/3.6 V     | 200             |                 |     | ms               |
|                            | プログラム／消去回数                    |                       |                 | 10 <sup>4</sup> | 10 <sup>5</sup> |     | cycles           |
| t <sub>Retention</sub>     | データ保持期間                       | T <sub>J</sub> = 25°C |                 | 100             |                 |     | years            |
| t <sub>Word</sub>          | ワード又はバイト・プログラム時間              | (注 3)                 |                 |                 | 35              |     | t <sub>FTG</sub> |
| t <sub>Block, 0</sub>      | 先頭バイト又はワードのブロック・プログラム時間       |                       |                 |                 | 30              |     |                  |
| t <sub>Block, 1- 63</sub>  | 各後続バイト又はワードのブロック・プログラム時間      |                       |                 |                 | 21              |     |                  |
| t <sub>Block, End</sub>    | ブロック・プログラム終了シーケンスのウェイト時間      |                       |                 |                 | 6               |     |                  |
| t <sub>Mass Erase</sub>    | 一括消去時間                        |                       |                 |                 | 5297            |     |                  |
| t <sub>Seg Erase</sub>     | セグメント消去時間                     |                       |                 |                 | 4819            |     |                  |

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード／バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f<sub>FTG, max</sub> = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。（ワースト・ケースで最小 19 サイクル必要です。）

(注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。（t<sub>FTG</sub> = 1/f<sub>FTG</sub>）

### JTAG インタフェース

| 項 目                   |                  | 測定条件  | V <sub>CC</sub> | 最小 | 標準 | 最大 | 単位  |
|-----------------------|------------------|-------|-----------------|----|----|----|-----|
| f <sub>TCK</sub>      | TCK 入力周波数        | (注 1) | 2.2 V           | 0  |    | 5  | MHz |
|                       |                  |       | 3 V             | 0  |    | 10 |     |
| R <sub>Internal</sub> | 内部プルダウン抵抗 (TEST) | (注 2) | 2.2 V/3 V       | 25 | 60 | 90 | kΩ  |

(注 1) f<sub>TCK</sub> は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注 2) TEST プルダウン抵抗 は、すべてのバージョンに内蔵されています。

### JTAG ヒューズ（注 1）

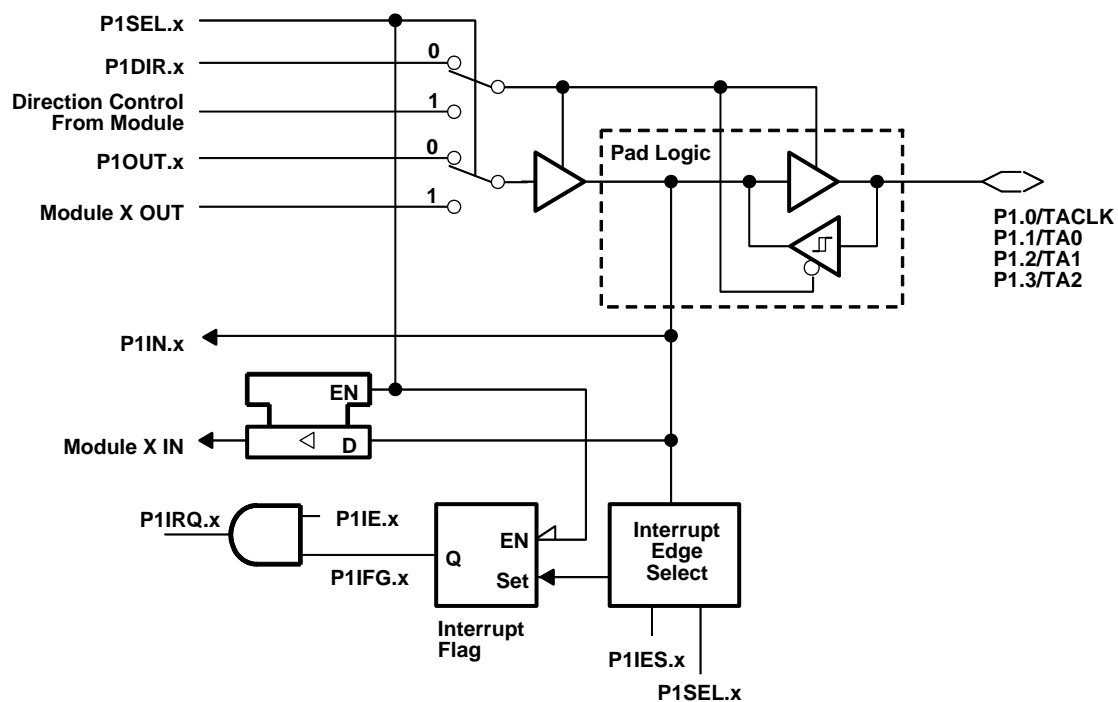
| 項 目                 |                     | 測定条件                  | V <sub>CC</sub> | 最小  | 標準 | 最大  | 単位 |
|---------------------|---------------------|-----------------------|-----------------|-----|----|-----|----|
| V <sub>CC(FB)</sub> | ヒューズ切断時の電源電圧        | T <sub>A</sub> = 25°C |                 | 2.5 |    |     | V  |
| V <sub>FB</sub>     | ヒューズ切断電圧 (TEST)     |                       |                 | 6   |    | 7   | V  |
| I <sub>FB</sub>     | ヒューズ切断時の消費電流 (TEST) |                       |                 |     |    | 100 | mA |
| t <sub>FB</sub>     | ヒューズ切断時間            |                       |                 |     |    | 1   | ms |

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG/テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力／出力図

ポート P1、P1.0 ～ P1.3、シュミット・トリガ入力／出力



(注) x = ビット識別記号、ポート P1 は 0 ～ 3

|         |         |         |         |                 |        |         |        |         |         |
|---------|---------|---------|---------|-----------------|--------|---------|--------|---------|---------|
| P1Sel.0 | P1DIR.0 | P1DIR.0 | P1OUT.0 | V <sub>SS</sub> | P1IN.0 | TACLK † | P1IE.0 | P1IFG.0 | P1IES.0 |
| P1Sel.1 | P1DIR.1 | P1DIR.1 | P1OUT.1 | Out0 signal †   | P1IN.1 | CCI0A † | P1IE.1 | P1IFG.1 | P1IES.1 |
| P1Sel.2 | P1DIR.2 | P1DIR.2 | P1OUT.2 | Out1 signal †   | P1IN.2 | CCI1A † | P1IE.2 | P1IFG.2 | P1IES.2 |
| P1Sel.3 | P1DIR.3 | P1DIR.3 | P1OUT.3 | Out2 signal †   | P1IN.3 | CCI2A † | P1IE.3 | P1IFG.3 | P1IES.3 |

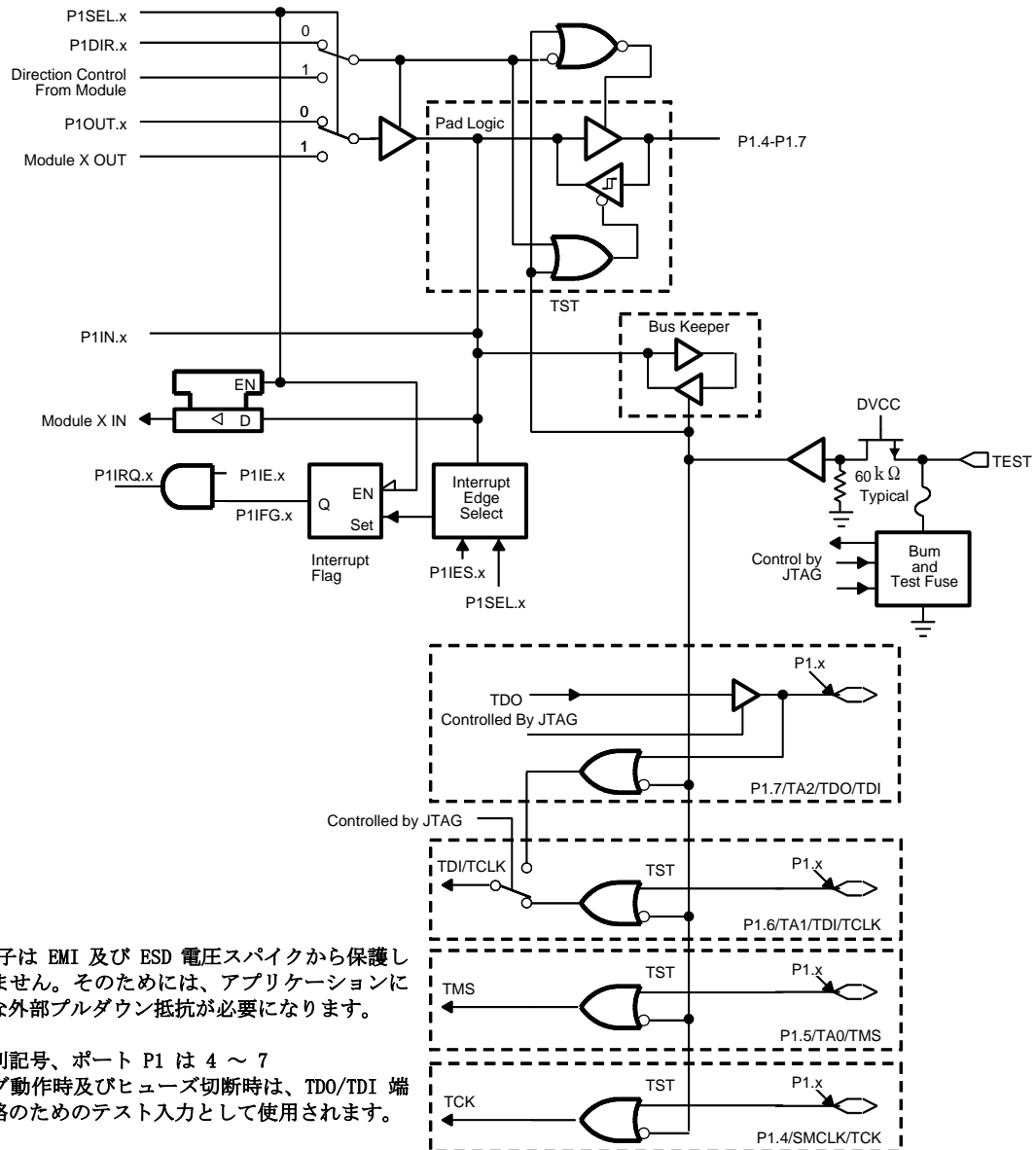
† タイマ\_A からの (又はへの) 信号



アプリケーション情報

入力／出力図（続き）

ポート P1、P1.4 ~ P1.7、シュミット・トリガ及びイン・システム・アクセス機能入力／出力



（注）TEST 端子は EMI 及び ESD 電圧スパイクから保護しなければなりません。そのためには、アプリケーションによっては小さな外部プルダウン抵抗が必要になります。

x = ビット識別記号、ポート P1 は 4 ~ 7  
プログラミング動作時及びヒューズ切断時は、TDO/TDI 端子は JTAG 回路のためのテスト入力として使用されます。

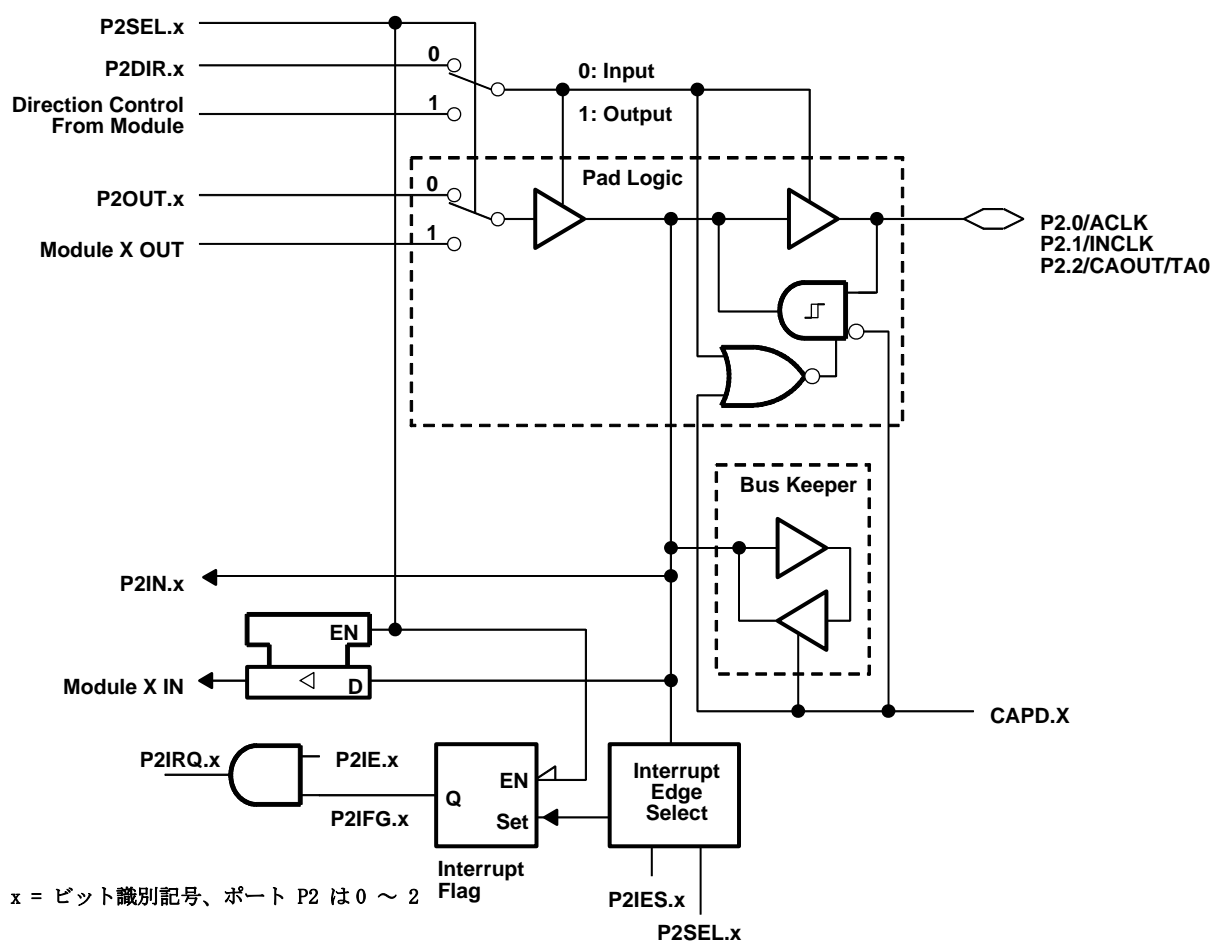
|         |         |         |         |               |        |        |        |         |         |
|---------|---------|---------|---------|---------------|--------|--------|--------|---------|---------|
| P1Sel.4 | P1DIR.4 | P1DIR.4 | P1OUT.4 | SMCLK         | P1IN.4 | unused | P1IE.4 | P1IFG.4 | P1IES.4 |
| P1Sel.5 | P1DIR.5 | P1DIR.5 | P1OUT.5 | Out0 signal † | P1IN.5 | unused | P1IE.5 | P1IFG.5 | P1IES.5 |
| P1Sel.6 | P1DIR.6 | P1DIR.6 | P1OUT.6 | Out1 signal † | P1IN.6 | unused | P1IE.6 | P1IFG.6 | P1IES.6 |
| P1Sel.7 | P1DIR.7 | P1DIR.7 | P1OUT.7 | Out2 signal † | P1IN.7 | unused | P1IE.7 | P1IFG.7 | P1IES.7 |

† タイマ\_A からの（又はへの）信号

## アプリケーション情報

入力／出力図（続き）

ポート P2、P2.0 ～ P2.2、シュミット・トリガ入力／出力



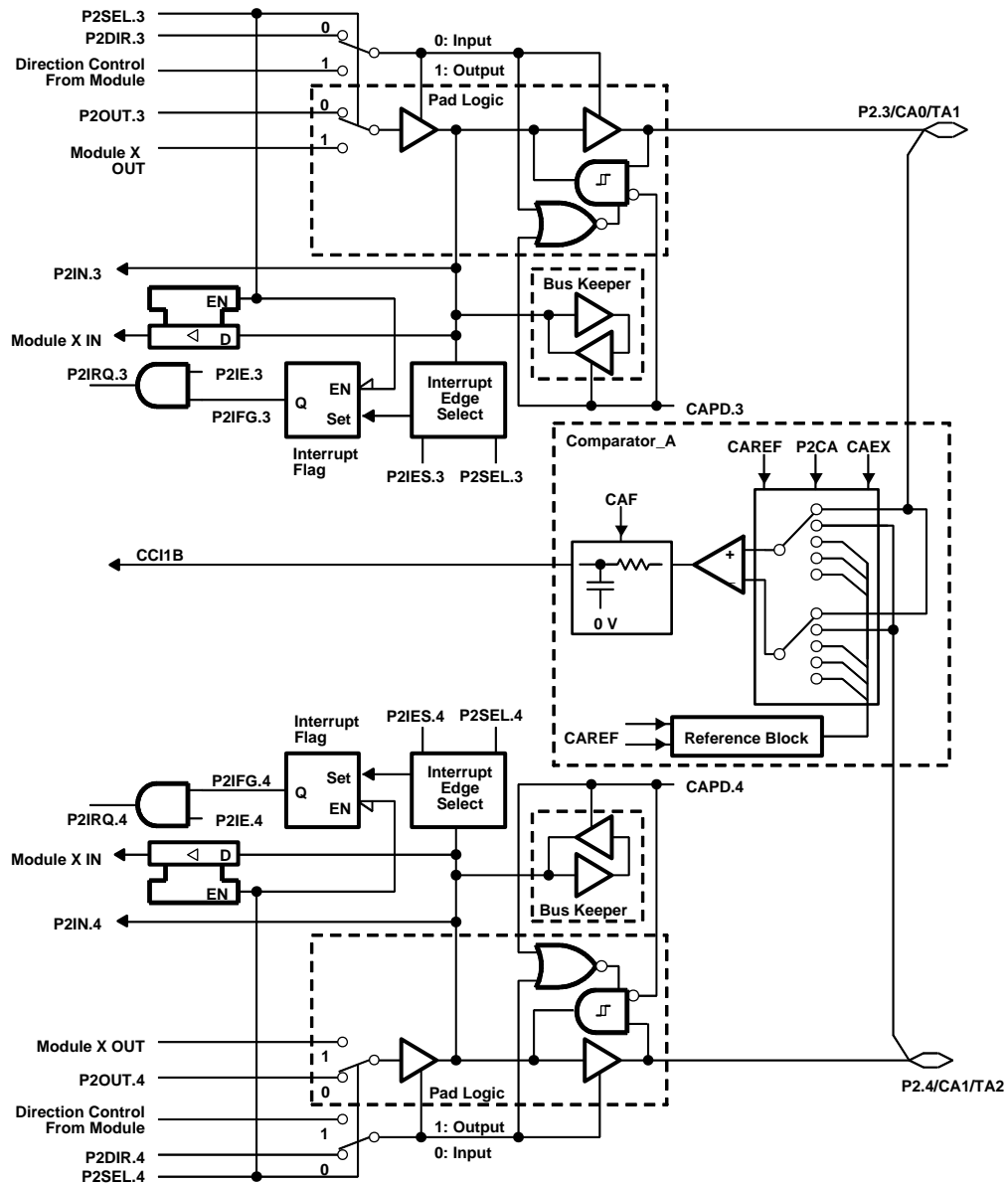
| PnSel.x | PnDIR.x | DIRECTION<br>CONTROL<br>FROM MODULE | PnOUT.x | MODULE<br>X OUT | PnIN.x | Module X IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------------|---------|-----------------|--------|-------------|--------|---------|---------|
| P2Sel.0 | P2DIR.0 | P2DIR.0                             | P2OUT.0 | ACLK            | P2IN.0 | unused      | P2IE.0 | P2IFG.0 | P1IES.0 |
| P2Sel.1 | P2DIR.1 | P2DIR.1                             | P2OUT.1 | V <sub>SS</sub> | P2IN.1 | INCLK †     | P2IE.1 | P2IFG.1 | P1IES.1 |
| P2Sel.2 | P2DIR.2 | P2DIR.2                             | P2OUT.2 | CAOUT           | P2IN.2 | CCI0B †     | P2IE.2 | P2IFG.2 | P1IES.2 |

† タイマ\_A からの（又はへの）信号

アプリケーション情報

入力／出力図（続き）

ポート P2、P2.3 ～ P2.4、シュミット・トリガ入力／出力



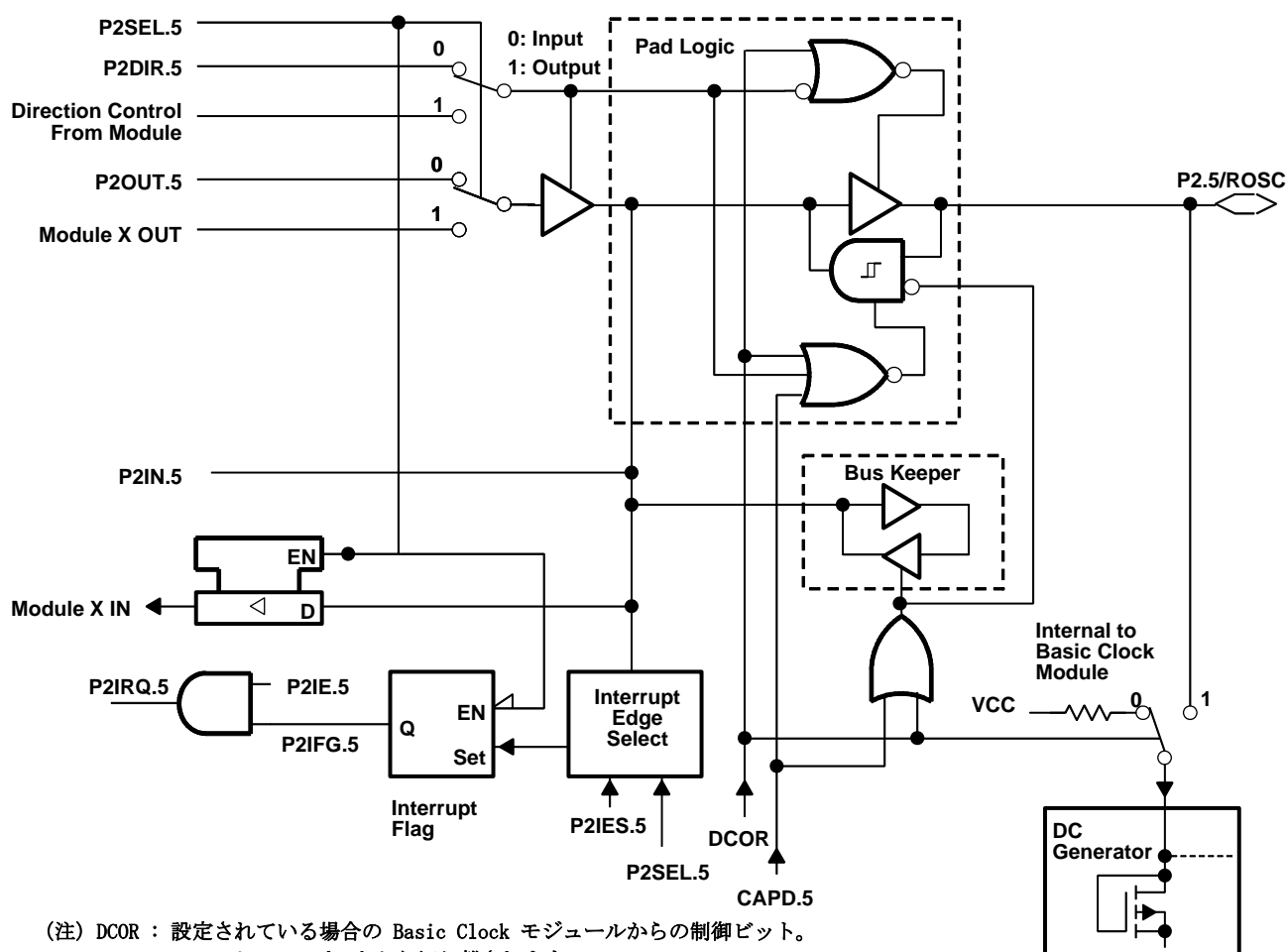
| PnSel.x | PnDIR.x | DIRECTION<br>CONTROL<br>FROM MODULE | PnOUT.x | MODULE X<br>OUT | PnIN.x | Module X IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------------|---------|-----------------|--------|-------------|--------|---------|---------|
| P2Sel.3 | P2DIR.3 | P2DIR.3                             | P2OUT.3 | Out1 signal †   | P2IN.3 | unused      | P2IE.3 | P2IFG.3 | P1IES.3 |
| P2Sel.4 | P2DIR.4 | P2DIR.4                             | P2OUT.4 | Out2 signal †   | P2IN.4 | unused      | P2IE.4 | P2IFG.4 | P1IES.4 |

† タイマ\_A からの（又はへの）信号

## アプリケーション情報

入力／出力図（続き）

ポート P2、P2.5、シュミット・トリガ入力／出力及び Basic Clock モジュール用  $R_{osc}$  機能

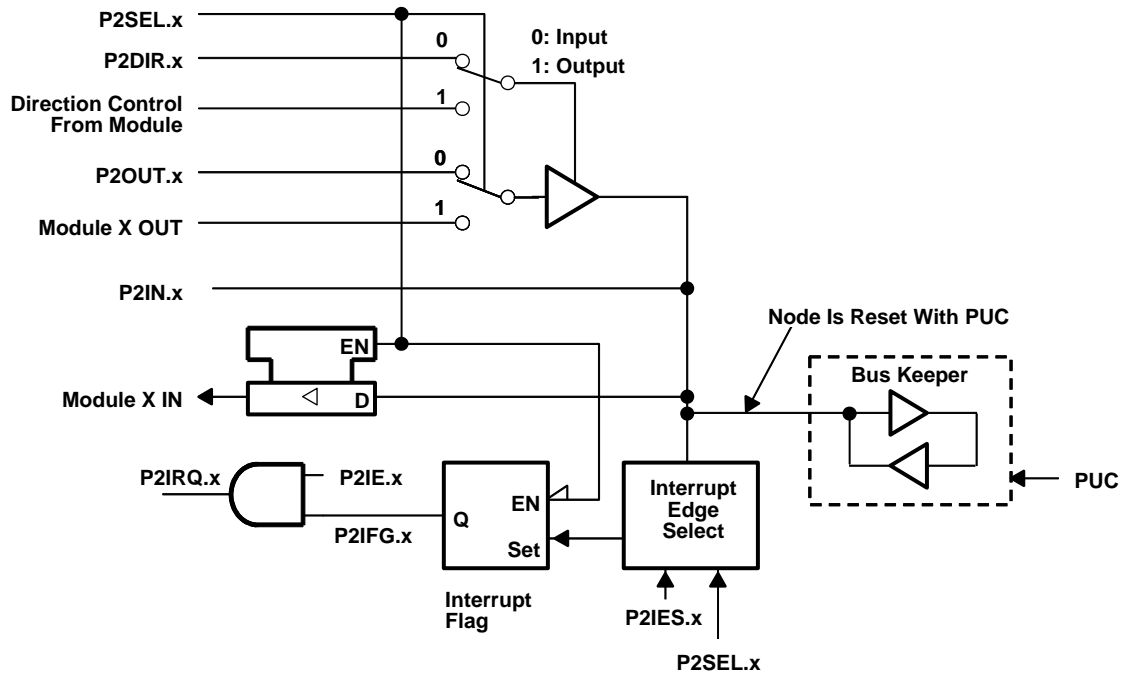


| PnSel.x | PnDIR.x | DIRECTION<br>CONTROL<br>FROM MODULE | PnOUT.x | MODULE X<br>OUT | PnIN.x | MODULE X<br>IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------------|---------|-----------------|--------|----------------|--------|---------|---------|
| P2Sel.5 | P2DIR.5 | P2DIR.5                             | P2OUT.5 | V <sub>ss</sub> | P2IN.5 | unused         | P2IE.5 | P2IFG.5 | P2IES.5 |

アプリケーション情報

入力／出力図（続き）

ポート P2、ボンドされていないビット P2.6 及び P2.7



(注) x = ビット識別記号、ポート P2 は 6 ～ 7 で、外部端子はありません。

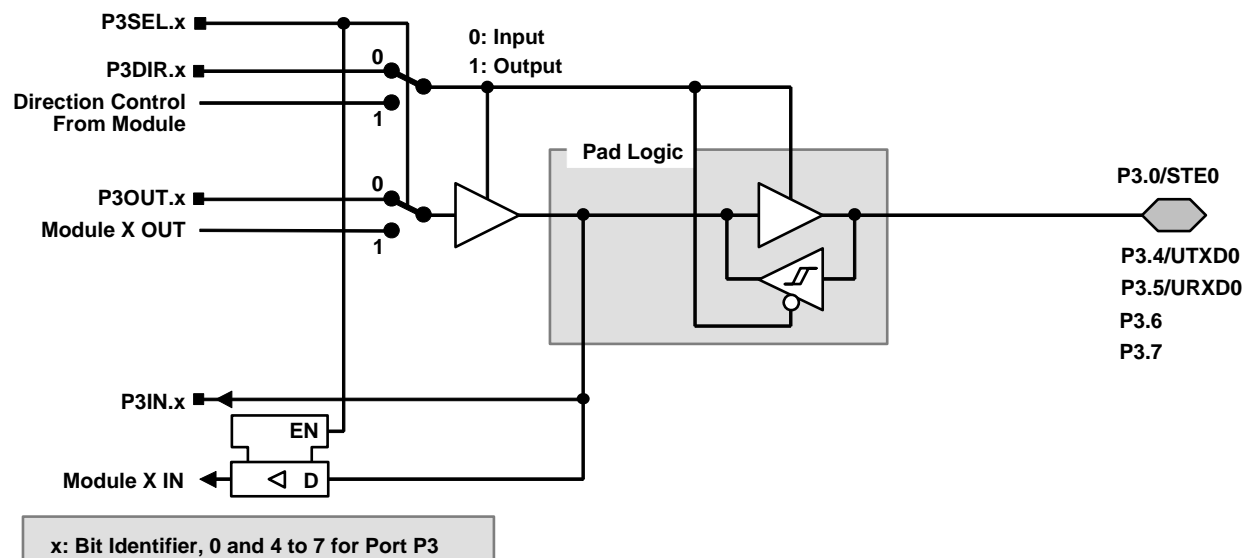
| P2Sel.x | P2DIR.x | DIRECTION<br>CONTROL<br>FROM MODULE | P2OUT.x | MODULE X<br>OUT | P2IN.x | MODULE X<br>IN | P2IE.x | P2IFG.x | P2IES.x |
|---------|---------|-------------------------------------|---------|-----------------|--------|----------------|--------|---------|---------|
| P2Sel.6 | P2DIR.6 | P2DIR.6                             | P2OUT.6 | V <sub>SS</sub> | P2IN.6 | unused         | P2IE.6 | P2IFG.6 | P2IES.6 |
| P2Sel.7 | P2DIR.7 | P2DIR.7                             | P2OUT.7 | V <sub>SS</sub> | P2IN.7 | unused         | P2IE.7 | P2IFG.7 | P2IES.7 |

(注 1) ポート P2 のボンドされていないビット 6 及び 7 は、ソフトウェア割り込みフラグとして使用することができます。割り込みフラグはソフトウェアのみによって制御され、ソフトウェア割り込みとして動作します。

## アプリケーション情報

入力／出力図 (続き)

ポート P3、P3.0 及び P3.4 ~ P3.7、シュミット・トリガ入力／出力

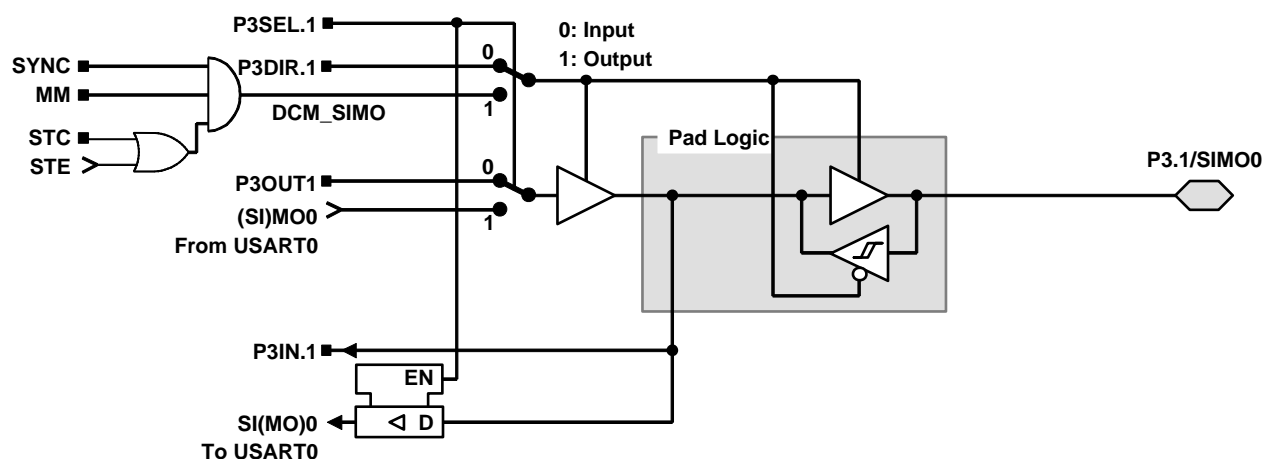


| PnSel.x | PnDIR.x | DIRECTION CONTROL FROM MODULE | PnOUT.x | MODULE X OUT    | PnIN.x | MODULE X IN |
|---------|---------|-------------------------------|---------|-----------------|--------|-------------|
| P3Sel.0 | P3DIR.0 | V <sub>SS</sub>               | P3OUT.0 | V <sub>SS</sub> | P3IN.0 | STE0        |
| P3Sel.4 | P3DIR.4 | V <sub>CC</sub>               | P3OUT.4 | UTXD0 †         | P3IN.4 | Unused      |
| P3Sel.5 | P3DIR.5 | V <sub>SS</sub>               | P3OUT.5 | V <sub>SS</sub> | P3IN.5 | URXD0 ‡     |
| P3Sel.6 | P3DIR.6 | V <sub>SS</sub>               | P3OUT.6 | V <sub>SS</sub> | P3IN.6 | Unused      |
| P3Sel.7 | P3DIR.7 | V <sub>SS</sub>               | P3OUT.7 | V <sub>SS</sub> | P3IN.7 | Unused      |

† USART0 モジュールからの出力

‡ USART0 モジュールへの入力

ポート P3、P3.1、シュミット・トリガ入力／出力





## アプリケーション情報

## JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子上にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の  $I_{TF}$  チェック電流が TEST 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 13 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

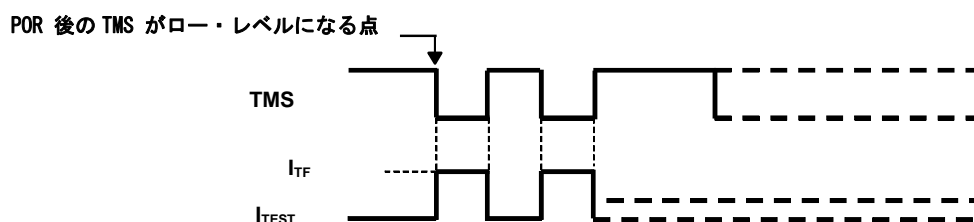


図 13. ヒューズ・チェック・モード電流、MSP430F12x

(注)

JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。



## PACKAGING INFORMATION

| Orderable Device | Status <sup>(1)</sup> | Package Type | Package Drawing | Pins | Package Qty | Eco Plan <sup>(2)</sup> | Lead/Ball Finish | MSL Peak Temp <sup>(3)</sup> |
|------------------|-----------------------|--------------|-----------------|------|-------------|-------------------------|------------------|------------------------------|
| MSP430F122IDW    | ACTIVE                | SOIC         | DW              | 28   | 20          | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-1-260C-UNLIM           |
| MSP430F122IDWR   | ACTIVE                | SOIC         | DW              | 28   | 1000        | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-1-260C-UNLIM           |
| MSP430F122IPW    | ACTIVE                | TSSOP        | PW              | 28   | 50          | TBD                     | CU NIPDAU        | Level-2-220C-1 YEAR          |
| MSP430F122IPWR   | ACTIVE                | TSSOP        | PW              | 28   | 2000        | TBD                     | CU NIPDAU        | Level-2-220C-1 YEAR          |
| MSP430F122IRHBR  | ACTIVE                | QFN          | RHB             | 32   | 3000        | TBD                     | Call TI          | Level-1-235C-UNLIM           |
| MSP430F122IRHBT  | ACTIVE                | QFN          | RHB             | 32   | 250         | TBD                     | Call TI          | Level-1-235C-UNLIM           |
| MSP430F123IDW    | ACTIVE                | SOIC         | DW              | 28   | 20          | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-1-260C-UNLIM           |
| MSP430F123IDWR   | ACTIVE                | SOIC         | DW              | 28   | 1000        | Green (RoHS & no Sb/Br) | CU NIPDAU        | Level-1-260C-UNLIM           |
| MSP430F123IPW    | ACTIVE                | TSSOP        | PW              | 28   | 50          | TBD                     | CU NIPDAU        | Level-2-220C-1 YEAR          |
| MSP430F123IPWR   | ACTIVE                | TSSOP        | PW              | 28   | 2000        | TBD                     | CU NIPDAU        | Level-2-220C-1 YEAR          |
| MSP430F123IRHBR  | ACTIVE                | QFN          | RHB             | 32   | 3000        | TBD                     | Call TI          | Level-1-235C-UNLIM           |
| MSP430F123IRHBT  | ACTIVE                | QFN          | RHB             | 32   | 250         | TBD                     | Call TI          | Level-1-235C-UNLIM           |

<sup>(1)</sup> The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

<sup>(2)</sup> Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

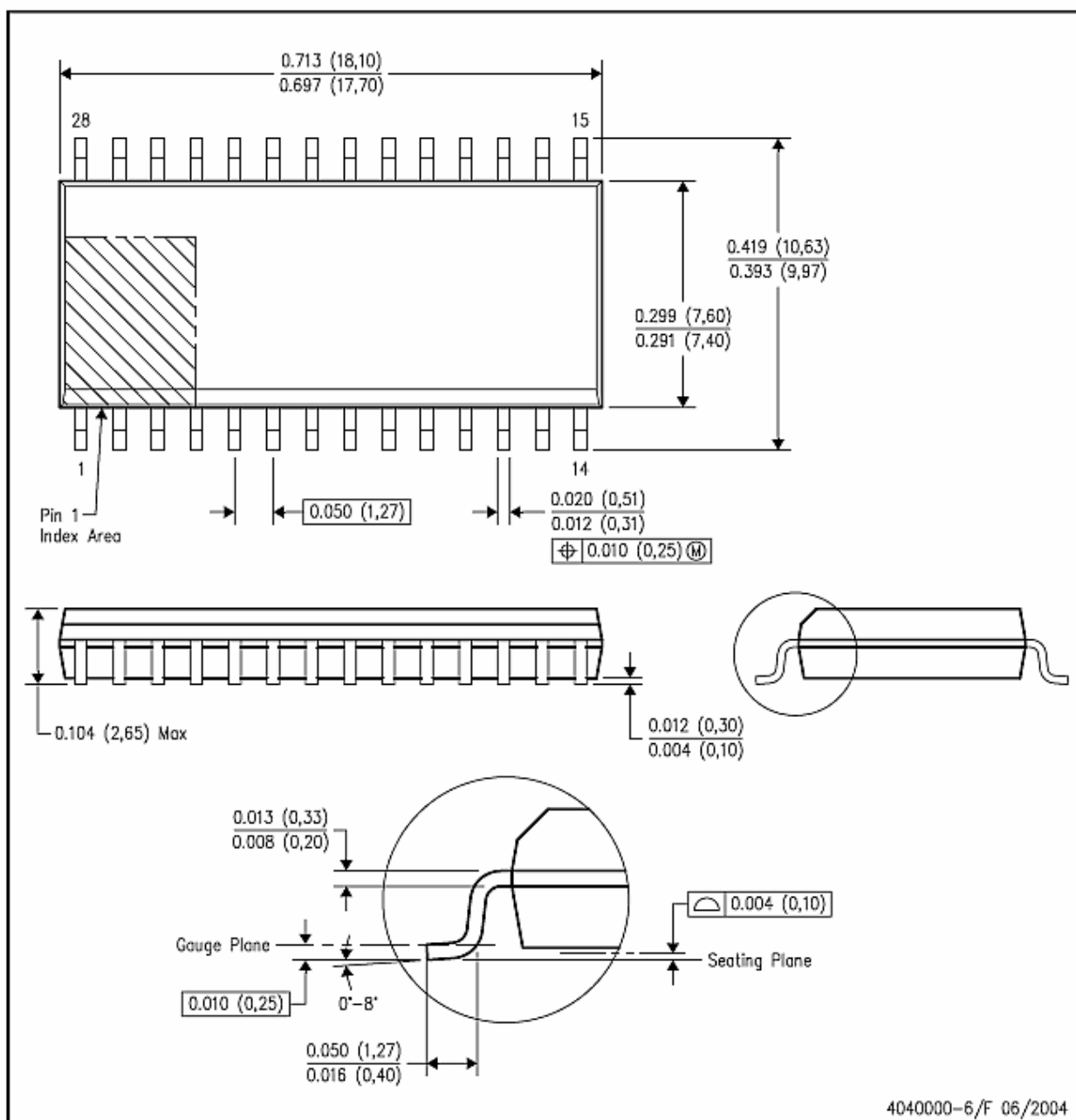
<sup>(3)</sup> MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## DW (R-PDSO-G28)

## PLASTIC SMALL-OUTLINE PACKAGE



(注 A) すべての寸法の単位は inch (mm) とします。

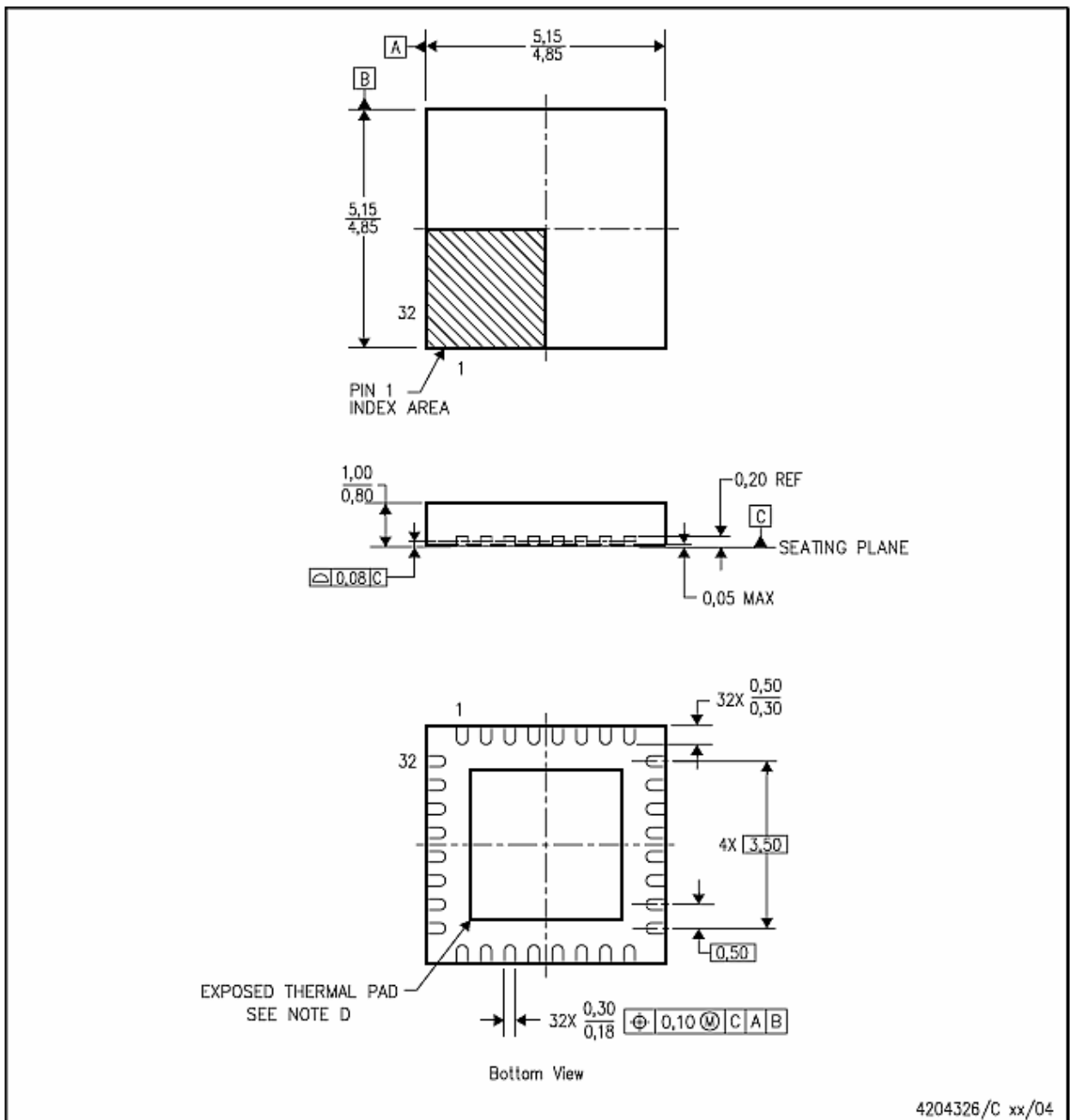
(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MS-013 variation AE に相当します。

RHB (S-PQFP-N32)

PLASTIC QUAD FLATPACK



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) Quad Flatpack No-leads (QFN) パッケージ

(注 D) 熱的及び機械的性能のため、パッケージの放熱パッドはプリント基板にはんだ付けしなければなりません。  
露出した放熱パッドの寸法の詳細は、製品のデータ・シートを参照して下さい。

(注 E) JEDEC MO-220 に相当します。

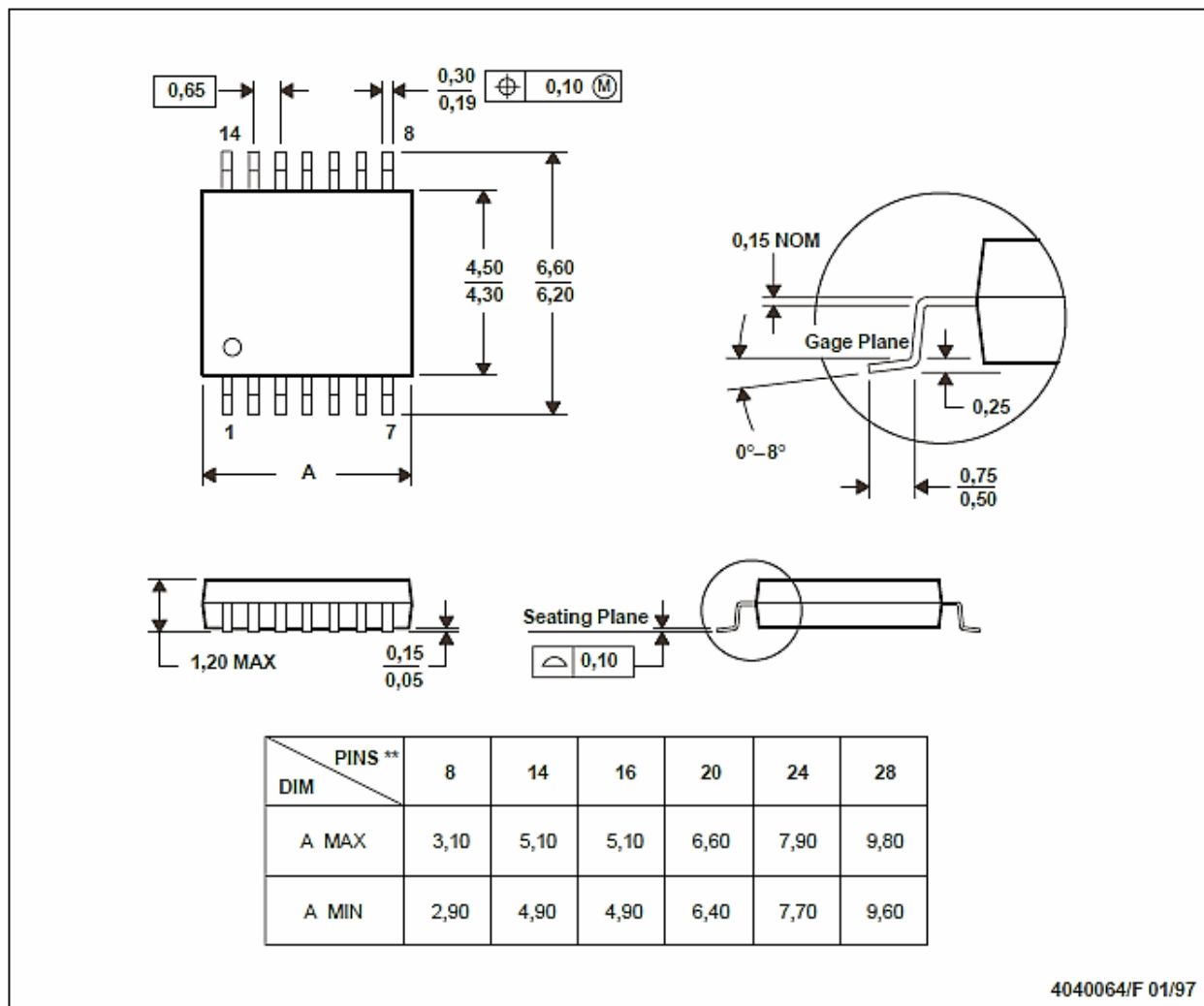
MSP430x12x  
ミックスド・シグナル・マイクロコントローラ

SLAS471 - 2005 年 6 月

PW (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



(注 A) すべての寸法の単位は mm とします。

(注 B) この図面は予告なく変更されることがあります。

(注 C) ボディ寸法は 0,15 以下のモールド・フラッシュ又は突起を含みません。

(注 D) JEDEC MO-153 に相当します。

(SLAS312C - JULY 2001 - REVISED SEPTEMBER 2004)

## TAPE AND REEL INFORMATION



\*All dimensions are nominal

| Device          | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|-----------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| MSP430F122IPWR  | TSSOP        | PW              | 28   | 2000 | 330.0              | 16.4               | 6.9     | 10.2    | 1.8     | 12.0    | 16.0   | Q1            |
| MSP430F122IRHBR | VQFN         | RHB             | 32   | 3000 | 330.0              | 12.4               | 5.3     | 5.3     | 1.5     | 8.0     | 12.0   | Q2            |
| MSP430F122IRHBT | VQFN         | RHB             | 32   | 250  | 180.0              | 12.4               | 5.3     | 5.3     | 1.5     | 8.0     | 12.0   | Q2            |
| MSP430F123IDWR  | SOIC         | DW              | 28   | 1000 | 330.0              | 32.4               | 11.35   | 18.67   | 3.1     | 16.0    | 32.0   | Q1            |
| MSP430F123IPWR  | TSSOP        | PW              | 28   | 2000 | 330.0              | 16.4               | 6.9     | 10.2    | 1.8     | 12.0    | 16.0   | Q1            |
| MSP430F123IRHBR | VQFN         | RHB             | 32   | 3000 | 330.0              | 12.4               | 5.3     | 5.3     | 1.5     | 8.0     | 12.0   | Q2            |
| MSP430F123IRHBT | VQFN         | RHB             | 32   | 250  | 180.0              | 12.4               | 5.3     | 5.3     | 1.5     | 8.0     | 12.0   | Q2            |

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

| Device          | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|-----------------|--------------|-----------------|------|------|-------------|------------|-------------|
| MSP430F122IPWR  | TSSOP        | PW              | 28   | 2000 | 350.0       | 350.0      | 43.0        |
| MSP430F122IRHBR | VQFN         | RHB             | 32   | 3000 | 353.0       | 353.0      | 32.0        |
| MSP430F122IRHBT | VQFN         | RHB             | 32   | 250  | 213.0       | 191.0      | 35.0        |
| MSP430F123IDWR  | SOIC         | DW              | 28   | 1000 | 350.0       | 350.0      | 66.0        |
| MSP430F123IPWR  | TSSOP        | PW              | 28   | 2000 | 350.0       | 350.0      | 43.0        |
| MSP430F123IRHBR | VQFN         | RHB             | 32   | 3000 | 353.0       | 353.0      | 32.0        |
| MSP430F123IRHBT | VQFN         | RHB             | 32   | 250  | 213.0       | 191.0      | 35.0        |

## TUBE



\*All dimensions are nominal

| Device            | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (μm) | B (mm) |
|-------------------|--------------|--------------|------|-----|--------|--------|--------|--------|
| MSP430F122IDW     | DW           | SOIC         | 28   | 20  | 506.98 | 12.7   | 4826   | 6.6    |
| MSP430F122IDW.B   | DW           | SOIC         | 28   | 20  | 506.98 | 12.7   | 4826   | 6.6    |
| MSP430F122IPW     | PW           | TSSOP        | 28   | 50  | 530    | 10.2   | 3600   | 3.5    |
| MSP430F122IPW.B   | PW           | TSSOP        | 28   | 50  | 530    | 10.2   | 3600   | 3.5    |
| MSP430F123IDW     | DW           | SOIC         | 28   | 20  | 506.98 | 12.7   | 4826   | 6.6    |
| MSP430F123IDW.B   | DW           | SOIC         | 28   | 20  | 506.98 | 12.7   | 4826   | 6.6    |
| MSP430F123IPW     | PW           | TSSOP        | 28   | 50  | 530    | 10.2   | 3600   | 3.5    |
| MSP430F123IPW.B   | PW           | TSSOP        | 28   | 50  | 530    | 10.2   | 3600   | 3.5    |
| MSP430F123IPWG4   | PW           | TSSOP        | 28   | 50  | 530    | 10.2   | 3600   | 3.5    |
| MSP430F123IPWG4.B | PW           | TSSOP        | 28   | 50  | 530    | 10.2   | 3600   | 3.5    |

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月