

- 低電源電圧範囲：1.8 V ~ 3.6 V
- 超低消費電力：
 - アクティブ・モード：300 μ A (1 MHz, 2.2 V 時)
 - スタンバイ・モード：1.1 μ A
 - オフ・モード (RAM データ保持)：0.2 μ A
- 5 つのパワー・セーブ・モード
- スタンバイ・モードからのウェイクアップは 6 μ s 以下
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- 3 チャンネル 内部 DMA
- 12 ビット A/D コンバータ (内部基準電圧、サンプル&ホールド、オートスケール機能付き)
- 2 回路 12 ビット D/A コンバータ (同期付き)
- 16 ビット タイマ_A (3 つのキャプチャ/コンペアレジスタ付き)
- 16 ビット タイマ_B (3 つ又は 7 つのキャプチャ/コンペア シャドウ・レジスタ付き)
- オン・チップ・コンパレータ
- シリアル・コミュニケーション・インタフェース (USART0)、非同期 UART 又は同期 SPI 又は I²C™ インタフェースとして機能
- 検出レベル可変 電源電圧監視/モニタ
- ブラウンアウト検出
- ブートストラップ・ローダ
I²C は、フィリップス社のトレードマークです。
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- ファミリー製品：
 - MSP430F155：16KB+256B フラッシュ・メモリ、512B RAM
 - MSP430F156：24KB+256B フラッシュ・メモリ、1KB RAM
 - MSP430F157：32KB+256B フラッシュ・メモリ、1KB RAM
 - MSP430F167：32KB+256B フラッシュ・メモリ、1KB RAM
 - MSP430F168：48KB+256B フラッシュ・メモリ、2KB RAM
 - MSP430F169：60KB+256B フラッシュ・メモリ、2KB RAM
 - MSP430F1610：32KB+256B フラッシュ・メモリ、5KB RAM
 - MSP430F1611：48KB+256B フラッシュ・メモリ、10KB RAM
 - MSP430F1612：55KB+256B フラッシュ・メモリ、5KB RAM
- 64 ピン QFP
- モジュールの詳細は、MSP430x1xx ファミリー ユーザーズ・ガイド 資料番号 SLAU135 (日本語版)、SLAU049 (英語版) を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリーは、色々なアプリケーションのための異なる種類のペリフェラルを持ったいくつかのデバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェイクアップが 6 μ s 以内で行われます。

MSP430x15x/16x/161x シリーズは、2 回路 16 ビット タイマ、高速 12 ビット A/D コンバータ、2 回路 12 ビット D/A コンバータ、1 回路又は 2 回路 USART、I²C、DMA、及び 48 I/O を持つマイクロコントローラ構成となっています。さらに、MSP430x161x シリーズは、メモリを多用するアプリケーション及び大きな C-スタックの要求のために、拡張 RAM アドレッシングを提供します。

標準的なアプリケーションは、センサ・システム、工業用制御アプリケーション、携帯メータ等です。



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータシートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご購入及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



著作権©2005 日本テキサス・インスツルメンツ株式会社

最新の英語版資料

<http://focus.tij.co.jp/lit/ds/symlink/msp430f155.pdf>

1
SLAS368C 翻訳版

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005年4月

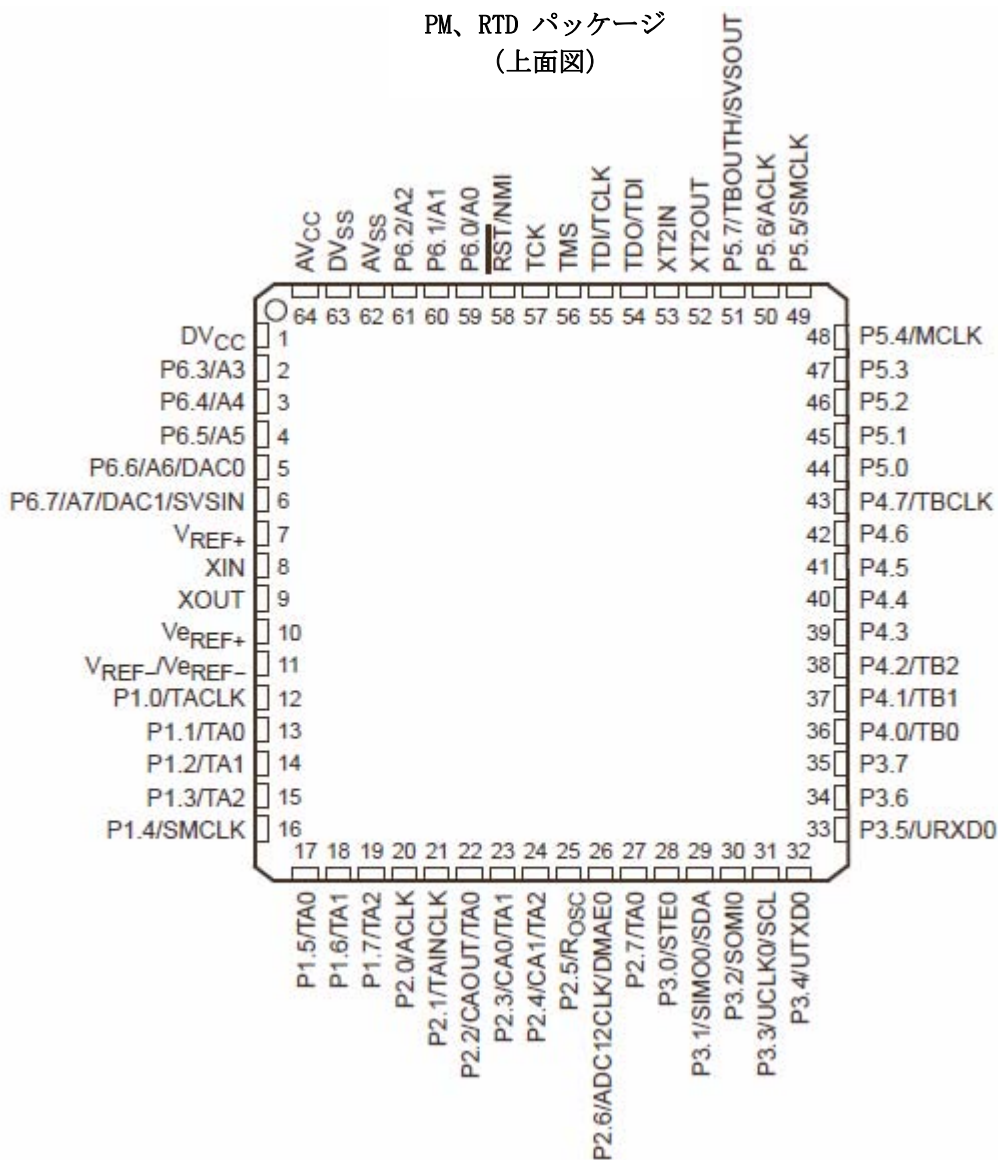
製品オプション

T _A	デバイス	
	プラスチック 64 ピン QFP (PM)	プラスチック 64 ピン QFN (RTD)
-40°C~85°C	MSP430F155IPM	MSP430F155IRTD †
	MSP430F156IPM	MSP430F156IRTD †
	MSP430F157IPM	MSP430F157IRTD †
	MSP430F167IPM	MSP430F167IRTD †
	MSP430F168IPM	MSP430F168IRTD †
	MSP430F169IPM	MSP430F169IRTD †
	MSP430F1610IPM	MSP430F1610IRTD
	MSP430F1611IPM	MSP430F1611IRTD
	MSP430F1612IPM	MSP430F1612IRTD

† プロダクト・プレビュー

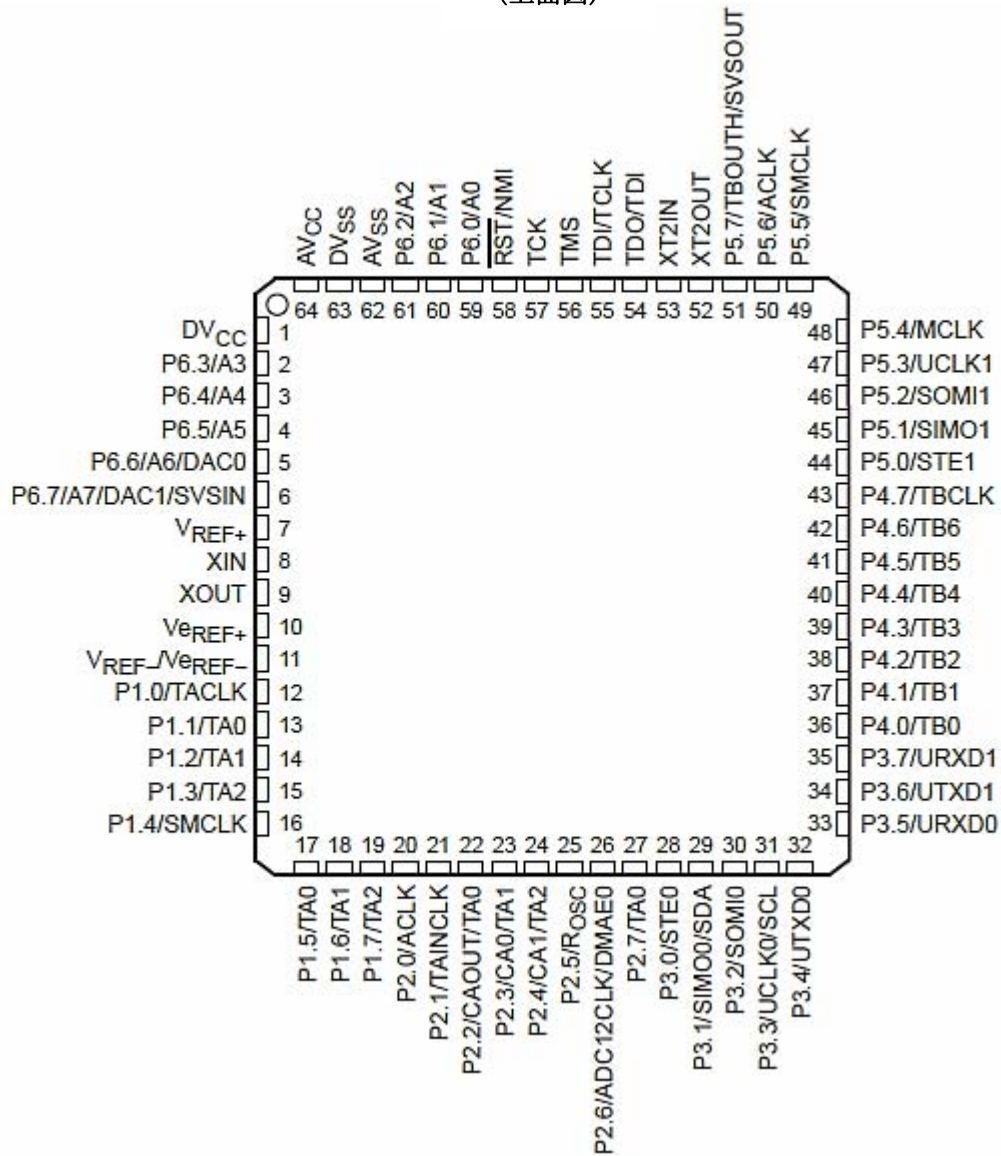
ピン配置 MSP430F155、MSP430F156、MSP430F157

PM、RTD パッケージ
 (上面図)



ピン配置 MSP430F167、MSP430F168、MSP430F169

PM パッケージ
 (上面図)

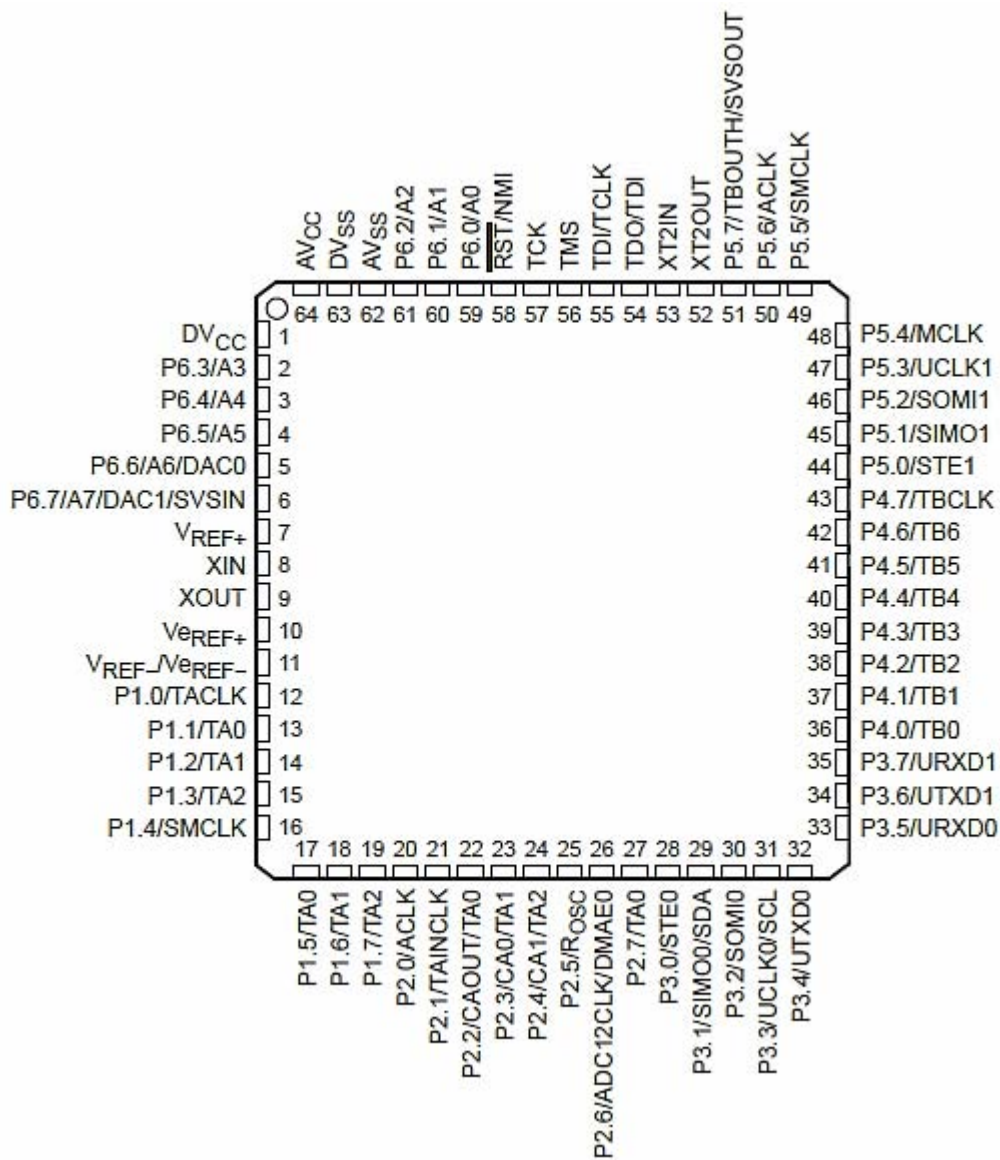


MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005 年 4 月

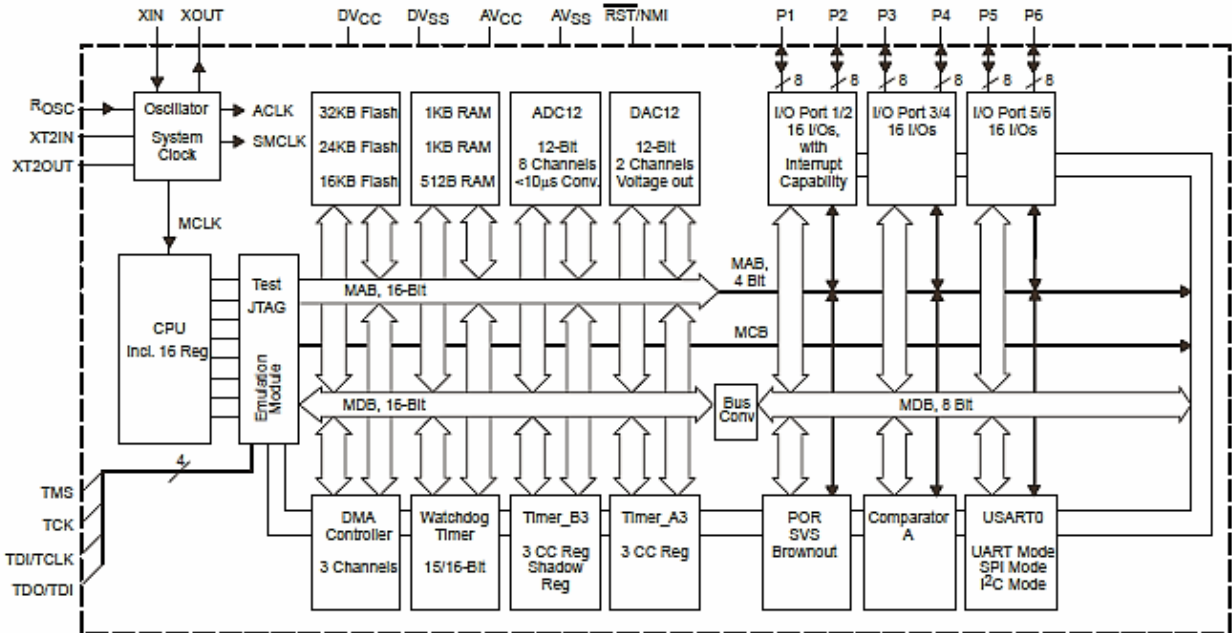
ピン配置 MSP430F1610、MSP430F1611、MSP430F1612

PM パッケージ
 (上面図)

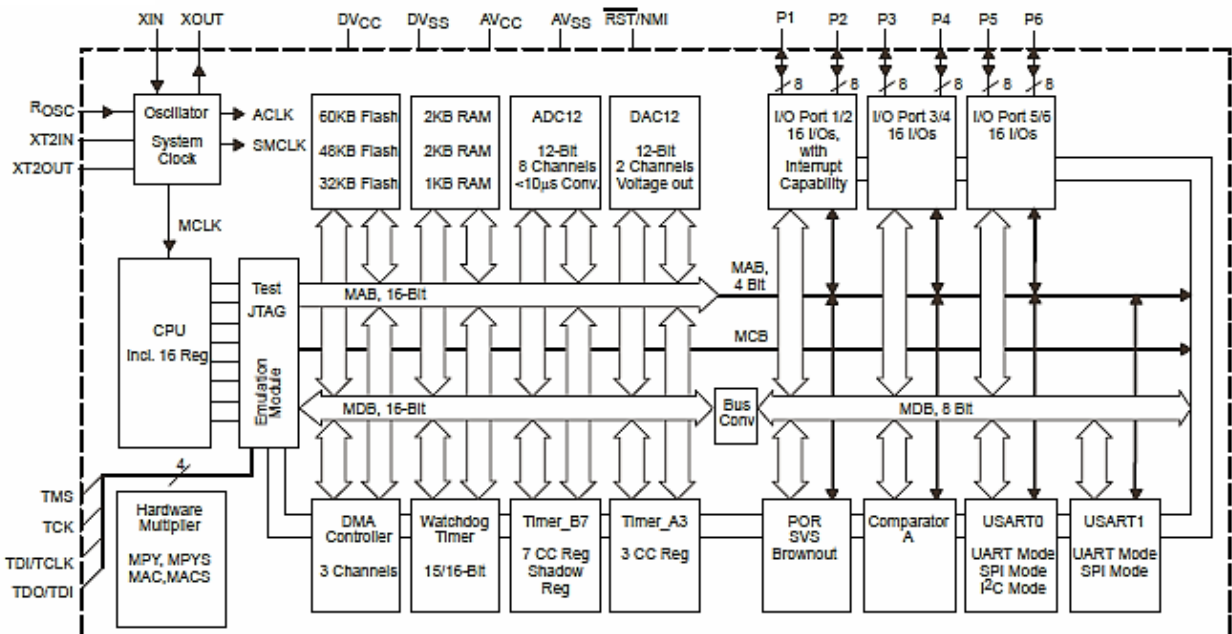


機能ブロック図

MSP430x15x



MSP430x16x

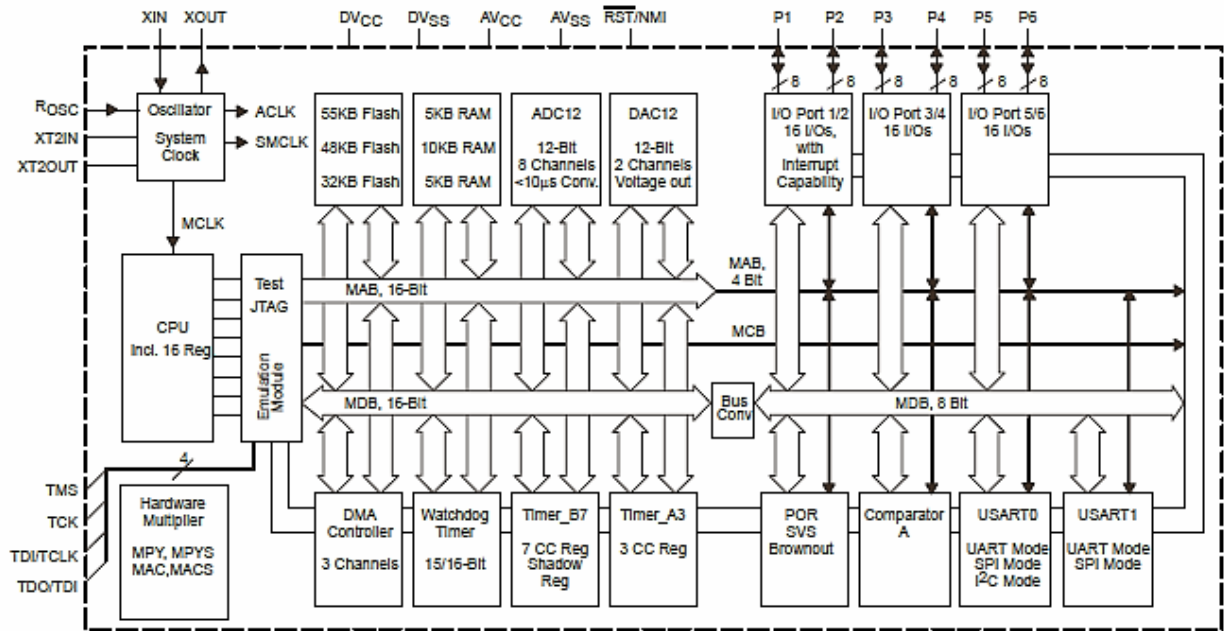


MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005年4月

機能ブロック図

MSP430x161x



端子機能表

端子 名前	番号	I/O	機 能
AV _{cc}	64		アナログ電源の正端子。ADC12 及び DAC12 のアナログ回路のみに供給します。
AV _{ss}	62		アナログ電源の負端子。ADC12 及び DAC12 のアナログ回路のみに供給します。
DV _{cc}	1		デジタル電源の正端子。すべてのデジタル回路に供給します。
DV _{ss}	63		デジタル電源の負端子。すべてのデジタル回路に供給します。
P1.0/TACLK	12	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力
P1.1/TA0	13	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	14	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	15	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK	16	I/O	汎用デジタル I/O / SMCLK 信号出力
P1.5/TA0	17	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力
P1.6/TA1	18	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力
P1.7/TA2	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力
P2.0/ACLK	20	I/O	汎用デジタル I/O / ACLK 出力
P2.1/TAINCLK	21	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号
P2.2/CAOUT/TA0	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A 出力 / BSL 受信
P2.3/CA0/TA1	23	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A 入力
P2.4/CA1/TA2	24	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A 入力
P2.5/Rosc	25	I/O	汎用デジタル I/O / DCO 公称周波数を設定する外部抵抗入力
P2.6/ADC12CLK/ DMAE0	26	I/O	汎用デジタル I/O / 変換クロック - 12 ビット ADC / DMA チャンネル 0 外部トリガ
P2.7/TA0	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力
P3.0/STE0	28	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード
P3.1/SIM00/SDA	29	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ入力/マスタ出力、I ² C データ - USART0/I ² C モード
P3.2/SOMI0	30	I/O	汎用デジタル I/O / USART0/SPI モードのスレープ出力/マスタ入力
P3.3/UCLK0/SCL	31	I/O	汎用デジタル I/O / 外部クロック入力 - USART0 / UART 又は SPI モード、クロック出力 - USART0 / SPI モード、I ² C クロック - USART0/I ² C モード
P3.4/UTXD0	32	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P3.5/URXD0	33	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード
P3.6/UTXD1 †	34	I/O	汎用デジタル I/O / 送信データ出力 - USART1/UART モード
P3.7/URXD1 †	35	I/O	汎用デジタル I/O / 受信データ入力 - USART1/UART モード
P4.0/TB0	36	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI0A/B 入力、コンペア: Out0 出力
P4.1/TB1	37	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI1A/B 入力、コンペア: Out1 出力
P4.2/TB2	38	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI2A/B 入力、コンペア: Out2 出力
P4.3/TB3 †	39	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI3A/B 入力、コンペア: Out3 出力
P4.4/TB4 †	40	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI4A/B 入力、コンペア: Out4 出力
P4.5/TB5 †	41	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI5A/B 入力、コンペア: Out5 出力
P4.6/TB6 †	42	I/O	汎用デジタル I/O / タイマ_B、キャプチャ: CCI6A 入力、コンペア: Out6 出力
P4.7/TBCLK	43	I/O	汎用デジタル I/O / タイマ_B、クロック信号 TBCLK 入力
P5.0/STE1 †	44	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART1/SPI モード
P5.1/SIM01 †	45	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ入力/マスタ出力
P5.2/SOMI1 †	46	I/O	汎用デジタル I/O / USART1/SPI モードのスレープ出力/マスタ入力
P5.3/UCLK1 †	47	I/O	汎用デジタル I/O / 外部クロック入力 - USART1 / UART 又は SPI モード、クロック出力 - USART1 / SPI モード

† 16x, 161x デバイスのみ

MSP430x15x、MSP430x16x、MSP430x161x
ミックスド・シグナル・マイクロコントローラ

SLAS448 – 2005 年 4 月

端子機能表 (続き)

端子 名前	番号	I/O	機 能
P5.4/MCLK	48	I/O	汎用デジタル I/O / メイン・システム・クロック MCLK 出力
P5.5/SMCLK	49	I/O	汎用デジタル I/O / サブメイン・システム・クロック SMCLK 出力
P5.6/ACLK	50	I/O	汎用デジタル I/O / 補助クロック ACLK 出力
P5.7/TBOUTH/ SVSOUT	51	I/O	汎用デジタル I/O / すべての PWM デジタル出力ポートをハイ・インピーダンスに切り換え - タイマ_B TB0 ~ TB6 / SVS: 電源電圧監視コンパレータ出力
P6.0/A0	59	I/O	汎用デジタル I/O / アナログ入力 a0 - 12 ビット ADC
P6.1/A1	60	I/O	汎用デジタル I/O / アナログ入力 a1 - 12 ビット ADC
P6.2/A2	61	I/O	汎用デジタル I/O / アナログ入力 a2 - 12 ビット ADC
P6.3/A3	2	I/O	汎用デジタル I/O / アナログ入力 a3 - 12 ビット ADC
P6.4/A4	3	I/O	汎用デジタル I/O / アナログ入力 a4 - 12 ビット ADC
P6.5/A5	4	I/O	汎用デジタル I/O / アナログ入力 a5 - 12 ビット ADC
P6.6/A6/DAC0	5	I/O	汎用デジタル I/O / アナログ入力 a6 - 12 ビット ADC / DAC12.0 出力
P6.7/A7/DAC1/ SVSIN	6	I/O	汎用デジタル I/O / アナログ入力 a7 - 12 ビット ADC / DAC12.1 出力 / SVS 入力
RST/NMI	58	I	リセット入力、マスク不可能な割り込み入力ポート、又はブートストラップ・ローダ・スタート (フラッシュ・デバイスの場合)
TCK	57	I	テスト・クロック入力。TCK は、デバイス・プログラミング・テスト及びブートストラップ・ローダ・スタートのためのクロック入力ポートです。
TDI/TCLK	55	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒューズが、TDI/TCLK に接続されています。
TDO/TDI	54	I/O	テスト・データ出力ポート。TDO/TDI データ出力又はプログラミング・データ入力端子
TMS	56	I	テスト・モード選択入力。TMS は、デバイス・プログラミング及びテストのための入力ポートとして使用します。
V _{REF+}	10	I	外部基準電圧の入力
V _{REF+}	7	O	ADC12 の基準電圧の正出力
V _{REF-} /V _{REF-}	11	I	内部基準電圧及び外部基準電圧の両方の電圧源の負端子
XIN	8	I	クリスタル・オシレータ XT1 の入力。標準又は時計用クリスタルを接続することができます。
XOUT	9	O	クリスタル・オシレータ XT1 の出力端子
XT2IN	53	I	クリスタル・オシレータ XT2 のための入力ポート。標準のクリスタルだけを接続することができます。
XT2OUT	52	O	クリスタル・オシレータ XT2 の出力端子
QFN Pad	NA	NA	QFN パッケージのパッドは、DV _{SS} に接続することを推奨します。(RTD パッケージのみ)

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレスモードを持った 51 の命令から成ります。各々の命令は、ワード及びバイト データに基づいて実行することができます。表 1 は命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例, ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例, CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例, JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
DCO がアクティブ・モードで使用されていない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はイネーブルのまま
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
 - CPU はディスエーブル
ACLK はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワーアップの開始アドレスは、アドレス範囲 0FFFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1, 3) OFIFG (注 1, 3) ACCVIFG (注 1, 3)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
タイマ_B7 (注 5)	TBCCR0 CCIFG (注 2)	マスク可能	0FFFAh	13
タイマ_B7 (注 5)	TBCCR1 ~ TBCCR6 CCIFG、TBIFG (注 1, 2)	マスク可能	0FFF8h	12
コンパレータ_A	CAIFG	マスク可能	0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
USART0 受信	URXIFG0	マスク可能	0FFF2h	9
USART0 送信 I ² C 送信/受信/その他	UTXIFG0 I2CIFG (注 4)	マスク可能	0FFF0h	8
ADC12	ADC12IFG (注 1, 2)	マスク可能	0FFEEh	7
タイマ_A3	TACCRO CCIFG (注 2)	マスク可能	0FFEC	6
タイマ_A3	TACCR1 及び TACCR2 CCIFG、TAIFG (注 1, 2)	マスク可能	0FFEAh	5
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1, 2)	マスク可能	0FFE8h	4
USART1 受信	URXIFG1	マスク可能	0FFE6h	3
USART1 送信	UTXIFG1	マスク可能	0FFE4h	2
I/O ポート P2 (8 つのフラグ)	P2IFG.0 ~ P2IFG.7 (注 1, 2)	マスク可能	0FFE2h	1
DAC12 DMA	DAC12_OIFG、 DAC12_1IFG DMAOIFG、DMA1IFG、 DMA2IFG (注 1, 2)	マスク可能	0FFE0h	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 4) I²C 割り込みフラグはモジュールの中にあります。

(注 5) MSP430x16x/161x ファミリーのタイマ_B7 は、7 つの CCR を持っています。MSP430x15x ファミリーのタイマ_B3 は 3 つの CCR を持っています。タイマ_B3 には、割り込みフラグ TBCCR0、1、及び 2 CCIFG 及び割り込みイネーブル・ビット TBCCR0、1、及び 2 CCIE だけがあります。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタは、実際のデバイスにも内蔵されておりません。これによって、容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1 及び 2

アドレス	7	6	5	4	3	2	1	0
0h	UTXIE0	URXIE0	ACCVIE	NMIE			OFIE	WDTIE
	rw-0	rw-0	rw-0	rw-0			rw-0	rw-0

WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマが汎用タイマとして構成された場合はアクティブとなります。

OFIE : オシレータ障害割り込みイネーブル

NMIE : マスク不可能な割り込みイネーブル

ACCVIE : フラッシュ・メモリ アクセス違反割り込みイネーブル

URXIE0 : USART0 : UART 及び SPI 受信割り込みイネーブル

UTXIE0 : USART0 : UART 及び SPI 送信割り込みイネーブル

アドレス	7	6	5	4	3	2	1	0
01h			UTXIE1	URXIE1				
			rw-0	rw-0				

URXIE1 † : USART1 : UART 及び SPI 受信割り込みイネーブル

UTXIE1 † : USART1 : UART 及び SPI 送信割り込みイネーブル

† URXIE1 及び UTXIE1 は、MSP430x15x デバイスには存在しません。

割り込みフラグ レジスタ 1 及び 2

アドレス	7	6	5	4	3	2	1	0
02h	UTXIFGO	URXIFGO		NMIIFG			OFIFG	WDTIFG
	rw-1	rw-0		rw-0			rw-1	rw-(0)

WDTIFG : ウォッチドッグ・タイマ・オーバーフロー (ウォッチドッグ・モード時) 又はセキュリティ・キー違反でセットされます。
 Vcc パワー・オン又はリセット・モード時の $\overline{\text{RST}}/\text{NMI}$ 端子のリセット条件でリセットされます。

OFIFG : オシレータの異常でフラグがセットされます。

NMIIFG : $\overline{\text{RST}}/\text{NMI}$ 端子によってセットされます。

URXIFGO : USART0 : UART 及び SPI 受信フラグ

UTXIFGO : USART0 : UART 及び SPI 送信フラグ

アドレス	7	6	5	4	3	2	1	0
03h			UTXIFG1	URXIFG1				
			rw-1	rw-0				

URXIFG1 ‡ : USART1 : UART 及び SPI 受信フラグ

UTXIFG1 ‡ : USART1 : UART 及び SPI 送信フラグ

‡ URXIFG1 及び UTXIFG1 は、MSP430x15x デバイスには存在しません。

モジュール・イネーブル・レジスタ 1 及び 2

アドレス	7	6	5	4	3	2	1	0
04h	UTXE0	URXE0 USPIE0						
	rw-0	rw-0						

URXE0 : USART0 : UART モード受信イネーブル
 UTXE0 : USART0 : UART モード送信イネーブル
 USPIE0 : USART0 : SPI モード送信及び受信イネーブル

アドレス	7	6	5	4	3	2	1	0
05h			UTXE1	URXE1 USPIE1				
			rw-0	rw-0				

URXE1 † : USART1 : UART モード受信イネーブル
 UTXE1 † : USART1 : UART モード送信イネーブル
 USPIE1 † : USART1 : SPI モード送信及び受信イネーブル
 † URXE1、UTXE1、及び USPIE1 は、MSP430x15x デバイスには存在しません。

説明 : rw : ビットは、読み出し及び書き込みをすることができます。
 rw-0 : ビットは、読み出し及び書き込みをすることができます。PUC によりリセットされます。
 ■ : デバイスには、SFR ビットが存在しません。

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005年4月

メモリ構成

		MSP430F155	MSP430F156	MSP430F157
メモリ メイン：割り込みベクタ メイン：コード・メモリ 情報メモリ	サイズ フラッシュ フラッシュ	16 KB 0FFFFh - 0FFE0h 0FFFFh - 0C000h	24 KB 0FFFFh - 0FFE0h 0FFFFh - 0A000h	32 KB 0FFFFh - 0FFE0h 0FFFFh - 08000h
	サイズ フラッシュ	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h
起動メモリ	サイズ ROM	1 KB 0FFFh - 0C00h	1 KB 0FFFh - 0C00h	1 KB 0FFFh - 0C00h
RAM	サイズ	512 バイト 03FFh - 0200h	1 KB 05FFh - 0200h	1 KB 05FFh - 0200h
ペリフェラル	16 ビット 8 ビット 8 ビット SFR	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h

メモリ構成 (MSP430F16x)

		MSP430F167	MSP430F168	MSP430F169
メモリ メイン：割り込みベクタ メイン：コード・メモリ 情報メモリ	サイズ フラッシュ フラッシュ	32 KB 0FFFFh - 0FFE0h 0FFFFh - 08000h	48 KB 0FFFFh - 0FFE0h 0FFFFh - 04000h	60 KB 0FFFFh - 0FFE0h 0FFFFh - 01100h
	サイズ フラッシュ	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h
起動メモリ	サイズ ROM	1 KB 0FFFh - 0C00h	1 KB 0FFFh - 0C00h	1 KB 0FFFh - 0C00h
RAM	サイズ	1 KB 05FFh - 0200h	2 KB 09FFh - 0200h	2 KB 09FFh - 0200h
ペリフェラル	16 ビット 8 ビット 8 ビット SFR	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h

メモリ構成 (MSP430F161x)

		MSP430F1610	MSP430F1611	MSP430F1612
メモリ メイン：割り込みベクタ メイン：コード・メモリ	サイズ フラッシュ フラッシュ	32 KB 0FFFFh - 0FFE0h 0FFFFh - 08000h	48 KB 0FFFFh - 0FFE0h 0FFFFh - 04000h	55 KB 0FFFFh - 0FFE0h 0FFFFh - 02500h
	RAM (合計)	5 KB 024FFh - 01100h	10 KB 038FFh - 01100h	5 KB 024FFh - 01100h
拡張	サイズ	3 KB 024FFh - 01900h	8 KB 038FFh - 01900h	3 KB 024FFh - 01900h
ミラー	サイズ	2 KB 018FFh - 01100h	2 KB 018FFh - 01100h	2 KB 018FFh - 01100h
情報メモリ	サイズ フラッシュ	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h
起動メモリ	サイズ ROM	1 KB 0FFFh - 0C00h	1 KB 0FFFh - 0C00h	1 KB 0FFFh - 0C00h
RAM (018FFh - 01100h で ミラー)	サイズ	2 KB 09FFh - 0200h	2 KB 09FFh - 0200h	2 KB 09FFh - 0200h
ペリフェラル	16 ビット 8 ビット 8 ビット SFR	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h

ブートストラップ・ローダ (BSL)

MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート MSP430 ブートストラップ・ローダの特徴 “Features of the MSP430 Bootstrap Loader” (資料番号 SLAA089) を参照して下さい。

BSL 機能	PM パッケージ端子
データ送信	13 - P1.1
データ受信	22 - P2.2

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 つのセグメントのそれぞれ 128 バイトの情報メモリ (A と B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは、512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A と B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A と B は、*情報メモリ*とも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。

MSP430F15x and MSP430F16x					MSP430F161x			Main Memory	
16KB	24KB	32KB	48KB	60KB	32KB	48KB	55KB		
0FFFFh	0FFFFh	0FFFFh	0FFFFh	0FFFFh	0FFFFh	0FFFFh	0FFFFh	Segment 0 w/ Interrupt Vectors	
0FE00h	0FE00h	0FE00h	0FE00h	0FE00h	0FE00h	0FE00h	0FE00h		Segment 1
0FDFFh	0FDFFh	0FDFFh	0FDFFh	0FDFFh	0FDFFh	0FDFFh	0FDFFh		
0FC00h	0FC00h	0FC00h	0FC00h	0FC00h	0FC00h	0FC00h	0FC00h		Segment 2
0FBFFh	0FBFFh	0FBFFh	0FBFFh	0FBFFh	0FBFFh	0FBFFh	0FBFFh		
0FA00h	0FA00h	0FA00h	0FA00h	0FA00h	0FA00h	0FA00h	0FA00h		⋮
0F9FFh	0F9FFh	0F9FFh	0F9FFh	0F9FFh	0F9FFh	0F9FFh	0F9FFh		
0C400h	0A400h	08400h	04400h	01400h	08400h	04400h	02800h		Segment n-1
0C3FFh	0A3FFh	083FFh	043FFh	013FFh	083FFh	043FFh	027FFh		
0C200h	0A200h	08200h	04200h	01200h	08200h	04200h	02600h		Segment n†
0C1FFh	0A1FFh	081FFh	041FFh	011FFh	081FFh	041FFh	025FFh		
0C000h	0A000h	08000h	04000h	01100h	08000h	04000h	02500h		RAM (*F161x only)
					024FFh	038FFh	024FFh		
010FFh	010FFh	010FFh	010FFh	010FFh	01100h	01100h	01100h	Info Memory	
					010FFh	010FFh	010FFh		
01080h	01080h	01080h	01080h	01080h	01080h	01080h	01080h		
0107Fh	0107Fh	0107Fh	0107Fh	0107Fh	0107Fh	0107Fh	0107Fh	Segment A	
01000h	01000h	01000h	01000h	01000h	01000h	01000h	01000h	Segment B	

† MSP430F169 及び MSP430F1612 フラッシュ・セグメント n = 256 バイト

ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロールバスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x1xx* ファミリー ユーザーズ・ガイド 資料番号 SLAU135 (日本語版)、SLAU049 (英語版) を参照して下さい。

DMA コントローラ

DMA コントローラは、CPU の仲介なしであるメモリ・アドレスから他のアドレスまでデータの移動を可能にします。例えば、DMA コントローラは、ADC12 変換メモリから RAM へデータを移動するのに用いることができます。DMA コントローラを使うことにより、ペリフェラル・モジュールのスリープを上げることができます。又、DMA コントローラは、ペリフェラルの方へ、又はペリフェラルからのデータの移動を CPU を起こすことなく、スリープ・モードのままで行えるため、システムの電力消費を減らします。

オシレータ及びシステム・クロック

MSP430x15x 及び MSP430x16x(x) ファミリー・デバイスのクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波数クリスタル・オシレータのサポートを含む基本クロック・モジュールで構成されています。基本クロック・モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン クロック・ソースを提供し、6 μ s 以内に安定します。基本クロック・モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK) : 32768 Hz の時計用クリスタル又は高周波数クリスタルから供給
- メイン・クロック (MCLK) : CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック

ブラウンアウト、電源電圧監視

ブラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。電源電圧監視回路 (SVS) は、電源電圧がユーザーが設定したレベル以下に下がっているかどうかを検出し、電源電圧の監視 (デバイスは自動的にリセットされます) と電源電圧のモニタ (SVM、デバイスは自動的にリセットされません) の両方を行います。

CPU は、ブラウンアウト回路がデバイス・リセットを指示した後、コード実行を開始します。しかし、その時点では Vcc は Vcc(min) に到達していないかもしれません。ユーザーは、Vcc が Vcc(min) に到達するまでは、デフォルトの DCO 設定が変わらないようにしなければなりません。もし必要ならば、いつ Vcc が Vcc(min) に到達したかを知るのに電源電圧監視回路を使用することもできます。

デジタル I/O

6 つの 8 ビット I/O ポート内蔵 : ポート P1 ~ P6

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及びポート P2 のすべての 8 ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの主な機能は、ソフトウェア障害が起こった後、制御されたシステム再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

ハードウェア・マルチプライヤ (MSP430x16x/161x のみ)

マルチプライ動作は、専用ペリフェラル・モジュールによって行われます。このモジュールは、16x16、16x8、8x16、及び 8x8 ビット動作を行います。このモジュールは、符号付き及び符号なしマルチプライ及びアキュムレート動作 (積和演算) と同様に符号付き及び符号なしマルチプライ動作 (乗算) を行います。動作結果は、オペランドがペリフェラル・レジスタにロードされると直にアクセス可能になります。追加のクロック・サイクルは必要ありません。

USART0

MSP430x15x 及び MSP430x16x(x) は、シリアル・データ通信のために使用される 1 つのハードウェア USART ペリフェラル・モジュール (USART0) を持っています。USART は、二重バッファ送信及び受信チャンネルを使用した同期 SPI (3 又は 4 ピン)、非同期 UART、及び I²C 通信プロトコルをサポートします。

I²C サポートは、フィリップス I²C 規格バージョン 2.1 に準拠し、標準モード (100 kbps まで) 及びファースト・モード (400 kbps まで) をサポートします。さらに、マスタ及びスレーブ・モードだけでなく、7 ビット及び 10 ビット デバイス・アドレッシング・モードもサポートします。USART0 も 16 ビット幅 I²C データ転送をサポートし、バス・スループットを最大にするため 2 つの専用 DMA チャンネルを持っています。I²C モードには拡張割り込み機能も備わっています。

USART1 (MSP430x16x/161x のみ)

MSP430x16x(x) は、シリアル・データ通信のために使用される 2 番目のハードウェア USART ペリフェラル・モジュール (USART1) を持っています。USART は、二重バッファ送信及び受信チャンネルを使用した同期 SPI (3 又は 4 ピン)、及び非同期 UART 通信プロトコルをサポートします。I²C サポートを除き、USART1 の動作は USART0 と同じです。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続					
入力端子番号	デバイス入力信号	モジュール入力名	モジュール・ブロック	モジュール出力信号	出力端子番号
12 - P1.0	TACLK	TACLK	タイマ	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
21 - P2.1	TAINCLK	INCLK			
13 - P1.1	TA0	CCI0A	CCR0	TA0	13 - P1.1
22 - P2.2	TA0	CCI0B			17 - P1.5
	DV _{SS}	GND			27 - P2.7
	DV _{CC}	V _{CC}			
14 - P1.2	TA1	CCI1A	CCR1	TA1	14 - P1.2
	CAOUT (内部)	CCI1B			18 - P1.6
	DV _{SS}	GND			23 - P2.3
	DV _{CC}	V _{CC}			ADC12 (内部)
15 - P1.3	TA2	CCI2A	CCR2	TA2	15 - P1.3
	ACLK (内部)	CCI2B			19 - P1.7
	DV _{SS}	GND			24 - P2.4
	DV _{CC}	V _{CC}			

タイマ_B3

タイマ_B3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_B3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_B3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005 年 4 月

タイマ_B7 (MSP430x16x/161x のみ)

タイマ_B7 は、7 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_B7 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_B7 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_B3/B7 信号の接続 †						
入力端子番号	デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号	
43 - P4.7	TBCLK	TBCLK	Timer	NA		
	ACLK	ACLK				
	SMCLK	SMCLK				
43 - P4.7	TBCLK	INCLK				
36 - P4.0	TB0	CCI0A	CCR0	TB0	36 - P4.0	
36 - P4.0	TB0	CCI0B			ADC12 (内部)	
	DV _{ss}	GND				
	DV _{cc}	V _{cc}				
37 - P4.1	TB1	CCI1A	CCR1	TB1	37 - P4.1	
37 - P4.1	TB1	CCI1B			ADC12 (内部)	
	DV _{ss}	GND				
	DV _{cc}	V _{cc}				
38 - P4.2	TB2	CCI2A	CCR2	TB2	38 - P4.2	
38 - P4.2	TB2	CCI2B				
	DV _{ss}	GND				
	DV _{cc}	V _{cc}				
39 - P4.3	TB3	CCI3A	CCR3	TB3	39 - P4.3	
39 - P4.3	TB3	CCI3B				
	DV _{ss}	GND				
	DV _{cc}	V _{cc}				
40 - P4.4	TB4	CCI4A	CCR4	TB4	40 - P4.4	
40 - P4.4	TB4	CCI4B				
	DV _{ss}	GND				
	DV _{cc}	V _{cc}				
41 - P4.5	TB5	CCI5A	CCR5	TB5	41 - P4.5	
41 - P4.5	TB5	CCI5B				
	DV _{ss}	GND				
	DV _{cc}	V _{cc}				
42 - P4.6	TB6	CCI6A	CCR6	TB6	42 - P4.6	
		ACLK (内部)			CCI6B	
		DV _{ss}			GND	
	DV _{cc}	V _{cc}				

† タイマ_B3 には 3 つのキャプチャ/コンペア・ブロックがあります。(CCR0、CCR1、及び CCR2 のみ)

コンパレータ_A

コンパレータ_A モジュールの主要な機能は、高精度スロープ A/D コンバータ、バッテリー電圧監視、及び外部アナログ信号のモニタをサポートすることです。

ADC12

ADC12 モジュールは、高速 12 ビット A/D コンバータをサポートします。モジュールは、12 ビットの SAR コア、サンプル選択制御、基準電圧発生回路、及び 16 ワード 変換及び制御バッファを内蔵しています。変換及び制御バッファは、CPU の仲介なしで最高 16 個の独立した ADC サンプルが変換され、蓄積されることを可能にします。

DAC12

DAC12 モジュールは、12 ビット、抵抗ラダー、電圧出力 DAC です。DAC12 は、8 ビット又は 12 ビットのモードで使用することができ、DMA コントローラと一緒に使用することもできます。複数の DAC12 モジュールが存在する場合は、同期動作のためにグループ化することもできます。

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005 年 4 月

ペリフェラル・ファイル・マップ

ペリフェラル・ファイル・マップ			
DMA	DMA チャンネル 2 転送サイズ	DMA2SZ	01F6h
	DMA チャンネル 2 デスティネーション・アドレス	DMA2DA	01F4h
	DMA チャンネル 2 ソース・アドレス	DMA2SA	01F2h
	DMA チャンネル 2 制御	DMA2CTL	01F0h
	DMA チャンネル 1 転送サイズ	DMA1SZ	01EEh
	DMA チャンネル 1 デスティネーション・アドレス	DMA1DA	01ECh
	DMA チャンネル 1 ソース・アドレス	DMA1SA	01EAh
	DMA チャンネル 1 制御	DMA1CTL	01E8h
	DMA チャンネル 0 転送サイズ	DMA0SZ	01E6h
	DMA チャンネル 0 デスティネーション・アドレス	DMA0DA	01E4h
	DMA チャンネル 0 ソース・アドレス	DMA0SA	01E2h
	DMA チャンネル 0 制御	DMA0CTL	01E0h
	DMA モジュール制御 1	DMACTL1	0124h
	DMA モジュール制御 0	DMACTL0	0122h
DAC12	DAC12_1 データ	DAC12_1DAT	01CAh
	DAC12_1 制御	DAC12_1CTL	01C2h
	DAC12_0 データ	DAC12_0DAT	01C8h
	DAC12_0 制御	DAC12_0CTL	01C0h
ADC12	割り込みベクタ ワード・レジスタ	ADC12IV	01A8h
	割り込みイネーブル・レジスタ	ADC12IE	01A6h
	割り込みフラグ・レジスタ	ADC12IFG	01A4h
	制御 レジスタ 1	ADC12CTL1	01A2h
	制御レジスタ 0	ADC12CTL0	01A0h
	変換メモリ 15	ADC12MEM15	015Eh
	変換メモリ 14	ADC12MEM14	015Ch
	変換メモリ 13	ADC12MEM13	015Ah
	変換メモリ 12	ADC12MEM12	0158h
	変換メモリ 11	ADC12MEM11	0156h
	変換メモリ 10	ADC12MEM10	0154h
	変換メモリ 9	ADC12MEM9	0152h
	変換メモリ 8	ADC12MEM8	0150h
	変換メモリ 7	ADC12MEM7	014Eh
	変換メモリ 6	ADC12MEM6	014Ch
	変換メモリ 5	ADC12MEM5	014Ah
	変換メモリ 4	ADC12MEM4	0148h
	変換メモリ 3	ADC12MEM3	0146h
	変換メモリ 2	ADC12MEM2	0144h
	変換メモリ 1	ADC12MEM1	0142h
変換メモリ 0	ADC12MEM0	0140h	

ペリフェラル・ファイル・マップ (続き)

ペリフェラル・ファイル・マップ			
ADC12 (続き)	ADC メモリ制御レジスタ 15	ADC12MCTL15	08Fh
	ADC メモリ制御レジスタ 14	ADC12MCTL14	08Eh
	ADC メモリ制御レジスタ 13	ADC12MCTL13	08Dh
	ADC メモリ制御レジスタ 12	ADC12MCTL12	08Ch
	ADC メモリ制御レジスタ 11	ADC12MCTL11	08Bh
	ADC メモリ制御レジスタ 10	ADC12MCTL10	08Ah
	ADC メモリ制御レジスタ 9	ADC12MCTL9	089h
	ADC メモリ制御レジスタ 8	ADC12MCTL8	088h
	ADC メモリ制御レジスタ 7	ADC12MCTL7	087h
	ADC メモリ制御レジスタ 6	ADC12MCTL6	086h
	ADC メモリ制御レジスタ 5	ADC12MCTL5	085h
	ADC メモリ制御レジスタ 4	ADC12MCTL4	084h
	ADC メモリ制御レジスタ 3	ADC12MCTL3	083h
	ADC メモリ制御レジスタ 2	ADC12MCTL2	082h
	ADC メモリ制御レジスタ 1	ADC12MCTL1	081h
	ADC メモリ制御レジスタ 0	ADC12MCTL0	080h
	タイマ_B7/ タイマ_B3 (注 1)	キャプチャ/コンペア・レジスタ 6	TBCCR6
キャプチャ/コンペア・レジスタ 5		TBCCR5	019Ch
キャプチャ/コンペア・レジスタ 4		TBCCR4	019Ah
キャプチャ/コンペア・レジスタ 3		TBCCR3	0198h
キャプチャ/コンペア・レジスタ 2		TBCCR2	0196h
キャプチャ/コンペア・レジスタ 1		TBCCR1	0194h
キャプチャ/コンペア・レジスタ 0		TBCCR0	0192h
タイマ_B レジスタ		TBR	0190h
キャプチャ/コンペア制御 6		TBCCTL6	018Eh
キャプチャ/コンペア制御 5		TBCCTL5	018Ch
キャプチャ/コンペア制御 4		TBCCTL4	018Ah
キャプチャ/コンペア制御 3		TBCCTL3	0188h
キャプチャ/コンペア制御 2		TBCCTL2	0186h
キャプチャ/コンペア制御 1		TBCCTL1	0184h
キャプチャ/コンペア制御 0		TBCCTL0	0182h
タイマ_B 制御		TBCTL	0180h
タイマ_B 割り込みベクタ		TBIV	011Eh
タイマ_A3	予約されています		017Eh
	予約されています		017Ch
	予約されています		017Ah
	予約されています		0178h
	キャプチャ/コンペア・レジスタ 2	TACCR2	0176h
	キャプチャ/コンペア・レジスタ 1	TACCR1	0174h
	キャプチャ/コンペア・レジスタ 0	TACCR0	0172h
	タイマ_A レジスタ	TAR	0170h
	予約されています		016Eh
	予約されています		016Ch
	予約されています		016Ah
予約されています		0168h	

(注 1) MSP430x16x/161x ファミリのタイマ_B7 は、7 つの CCR を持っています。MSP430x15x ファミリのタイマ_B3 は、3 つの CCR を持っています。

MSP430x15x、MSP430x16x、MSP430x161x
ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005 年 4 月

ペリフェラル・ファイル・マップ (続き)

ペリフェラル・ファイル・マップ (続き)			
タイマ_A3 (続き)	キャプチャ/コンペア制御 2 キャプチャ/コンペア制御 1 キャプチャ/コンペア制御 0 タイマ_A 制御 タイマ_A 割り込みベクタ	TACCTL2 TACCTL1 TACCTL0 TACTL TAIV	0166h 0164h 0162h 0160h 012Eh
ハードウェア マルチプライヤ (MSP430x16x 及び MSP430x161x の み)	合計拡張 結果上位ワード 結果下位ワード 第 2 オペランド マルチプライ符合付き + アキュムレート/オペラ ンド 1 マルチプライ + アキュムレート/オペランド 1 マルチプライ符合付き/オペランド 1 マルチプライ符合なし/オペランド 1	SUMEXT RESHI RESLO OP2 MACS MAC MPYS MPY	013Eh 013Ch 013Ah 0138h 0136h 0134h 0132h 0130h
フラッシュ	フラッシュ制御 3 フラッシュ制御 2 フラッシュ制御 1	FCTL3 FCTL2 FCTL1	012Ch 012Ah 0128h
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDTCTL	0120h
USART1 (MSP430x16x 及び MSP430x161x の み)	送信バッファ 受信バッファ ボー・レート ボー・レート 変調制御 受信制御 送信制御 USART 制御	U1TXBUF U1RXBUF U1BR1 U1BRO U1MCTL U1RCTL U1TCTL U1CTL	07Fh 07Eh 07Dh 07Ch 07Bh 07Ah 079h 078h
USART0 (UART 又は SPI モード)	送信バッファ 受信バッファ ボー・レート ボー・レート 変調制御 受信制御 送信制御 USART 制御	U0TXBUF U0RXBUF U0BR1 U0BRO U0MCTL U0RCTL U0TCTL U0CTL	077h 076h 075h 074h 073h 072h 071h 070h
USART0 (I ² C モード)	I ² C 割り込みベクタ I ² C スレーブ・アドレス I ² C オウン・アドレス I ² C データ I ² C SCLL I ² C SCLH I ² C PSC I ² C データ制御 I ² C 転送制御 USART 制御 I ² C データ・カウント I ² C 割り込みフラグ I ² C 割り込みイネーブル	I2CIV I2CSA I2COA I2CDR I2CSCLL I2CSCLH I2CPSC I2CDCTL I2CTCTL UOCTL I2CNDAT I2CIFG I2CIE	011Ch 011Ah 0118h 076h 075h 074h 073h 072h 071h 070h 052h 051h 050h

ペリフェラル・ファイル・マップ (続き)

ペリフェラル・ファイル・マップ (続き)			
コンパレータ_A	コンパレータ_A ポート ディスエーブル コンパレータ_A 制御 2 コンパレータ_A 制御 1	CAPD CACTL2 CACTL1	05Bh 05Ah 059h
基本クロック	基本クロック・システム制御 2 基本クロック・システム制御 1 DCO クロック周波数制御	BCSCTL2 BCSCTL1 DCOCTL	058h 057h 056h
BrownOUT, SWS	SWS 制御レジスタ (ブラウンアウト信号によりリセット)	SVSCTL	055h
ポート P6	ポート P6 選択 ポート P6 方向 ポート P6 出力 ポート P6 入力	P6SEL P6DIR P6OUT P6IN	037h 036h 035h 034h
ポート P5	ポート P5 選択 ポート P5 方向 ポート P5 出力 ポート P5 入力	P5SEL P5DIR P5OUT P5IN	033h 032h 031h 030h
ポート P4	ポート P4 選択 ポート P4 方向 ポート P4 出力 ポート P4 入力	P4SEL P4DIR P4OUT P4IN	01Fh 01Eh 01Dh 01Ch
ポート P3	ポート P3 選択 ポート P3 方向 ポート P3 出力 ポート P3 入力	P3SEL P3DIR P3OUT P3IN	01Bh 01Ah 019h 018h
ポート P2	ポート P2 選択 ポート P2 割り込みイネーブル ポート P2 割り込みエッジ選択 ポート P2 割り込みフラグ ポート P2 方向 ポート P2 出力 ポート P2 入力	P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN	02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h
ポート P1	ポート P1 選択 ポート P1 割り込みイネーブル ポート P1 割り込みエッジ選択 ポート P1 割り込みフラグ ポート P1 方向 ポート P1 出力 ポート P1 入力	P1SEL P1IE P1IES P1IFG P1DIR P1OUT P1IN	026h 025h 024h 023h 022h 021h 020h
スペシャル・ ファンクション	SFR モジュール・イネーブル 2 SFR モジュール・イネーブル 1 SFR 割り込みフラグ 2 SFR 割り込みフラグ 1 SFR 割り込みイネーブル 2 SFR 割り込みイネーブル 1	ME2 ME1 IFG2 IFG1 IE2 IE1	005h 004h 003h 002h 001h 000h

動作温度範囲における絶対最大定格 (特記無き場合) †

印加電圧 ($V_{CC} \sim V_{SS}$ 間)		-0.3 ~ 4.1	V	
印加電圧 (全端子) (注)		-0.3 ~ $V_{CC} + 0.3$	V	
ダイオード電流 (全端子)		±2	mA	
保存温度範囲	未プログラムのデバイス	T_{stg}	-55 ~ 150	°C
	プログラム済みデバイス		-40 ~ 85	°C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TDI/TCLK 端子に電圧が印加されます。

推奨動作条件

項 目		最小	標準	最大	単位
電源電圧 (プログラム実行時) V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430F15x/16x/161x	1.8		3.6	V
電源電圧 (フラッシュ・メモリ プログラム時) V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430F15x/16x/161x	2.7		3.6	V
電源電圧 (プログラム実行時、SVS はイネーブル) (注 1) V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)	MSP430F15x/16x/161x	2		3.6	V
電源電圧 V_{SS} ($AV_{SS} = DV_{SS} = V_{SS}$)		0		0	V
動作温度範囲 T_A		-40		85	°C
LFXT1 クリスタル周波数 $f_{(LFXT1)}$ (注 2、3)	LF モード選択時、XTS = 0	時計用クリスタル		32.768	kHz
	XT1 モード選択時、XTS = 1	セラミック発振子		8000	
	XT1 モード選択時、XTS = 1	クリスタル		8000	
XT2 クリスタル周波数 $f_{(XT2)}$	セラミック発振子		450	8000	kHz
	クリスタル		1000	8000	
プロセッサ周波数 (MCLK 信号) $f_{(System)}$	$V_{CC} = 1.8 V$		DC	4.15	MHz
	$V_{CC} = 3.6 V$		DC	8	

(注 1) 最小動作電源電圧は、電源電圧を下降させて POR がアクティブとなるトリップ ポイントで定義します。POR は、電源電圧が最小電源電圧 + SVS 回路のヒステリシスより上昇するとインアクティブとなります。

(注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。 $V_{CC} < 2.5 V$ の時、XOUT ~ V_{SS} 間に 5.1 MΩ の抵抗を接続することを推奨します。XT1 モードでは、 $V_{CC} \geq 2.2 V$ の時、LFXT1 及び XT2 オシレータにはセラミック発振子又は 4.15 MHz までのクリスタルが使用できます。XT1 モードでは、 $V_{CC} \geq 2.8 V$ の時、LFXT1 及び XT2 オシレータにはセラミック発振子又は 8 MHz までのクリスタルが使用できます。

(注 3) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。XT1 モードでは、LFXT1 にはセラミック発振子又はクリスタルが使用できます。

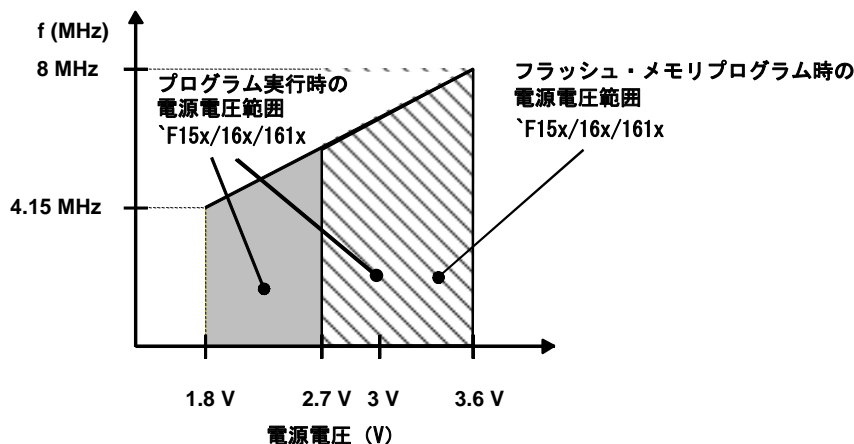


図 1. 電源電圧 対 周波数、MSP430F15x/16x/161x

推奨動作温度範囲における電気的特性 (特記無き場合)

MSP430F15x/16x 電源電流 ($AV_{CC} + DV_{CC}$) (外部電流を除く) ($AV_{CC} = DV_{CC} = V_{CC}$)

項 目		測定条件		最小	標準	最大	単位
$I_{(AM)}$	アクティブ・モード (注 1) $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = (0, 1)$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	330	400	μA	
			$V_{CC} = 3 \text{ V}$	500	600		
	アクティブ・モード (注 1) $f_{(MCLK)} = f_{(SMCLK)} = 4,096 \text{ Hz}$ 、 $f_{(ACLK)} = 4,096 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = 3$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	2.5	7	μA	
			$V_{CC} = 3 \text{ V}$	9	20		
$I_{(LPM0)}$	ロー・パワー・モード (LPM0) $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = (0, 1)$ (注 1)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	50	60	μA	
			$V_{CC} = 3 \text{ V}$	75	90		
$I_{(LPM2)}$	ロー・パワー・モード (LPM2) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 0$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	11	14	μA	
			$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$	ロー・パワー・モード (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 1$ (注 2)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1.1	1.6	μA	
				$T_A = 25^\circ\text{C}$	1.1		1.6
				$T_A = 85^\circ\text{C}$	2.2		3
		$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	2.2	2.8		
				$T_A = 25^\circ\text{C}$	2		2.6
				$T_A = 85^\circ\text{C}$	3		4.3
$I_{(LPM4)}$	ロー・パワー・モード (LPM4) $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 0 \text{ Hz}$ 、 $SCGO = 1$	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$	0.1	0.5	μA	
				$T_A = 25^\circ\text{C}$	0.2		0.5
				$T_A = 85^\circ\text{C}$	1.3		2.5

(注 1) タイマ_B は、 $f_{(DCCLK)} = 1 \text{ MHz}$ によって駆動されます。すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) WDT は、 $f_{(ACLK)} = 32,768 \text{ Hz}$ によって駆動されます。すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。LPM2 及び LPM3 での消費電流は、ACLK を選択した状態で測定します。

アクティブ・モードのシステム周波数 対 消費電流

$$I_{(AM)} = I_{(AM)} [1 \text{ MHz}] \times f_{(\text{System})} [\text{MHz}]$$

アクティブ・モードの電源電圧 対 消費電流、F バージョン

$$I_{(AM)} = I_{(AM)} [3 \text{ V}] + 210 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005年4月

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

MSP430F161x 電源電流 ($V_{CC} + DV_{CC}$) (外部電流を除く) ($V_{CC} = DV_{CC} = V_{CC}$)

項目		測定条件		最小	標準	最大	単位
$I_{(AM)}$	アクティブ・モード (注 1) $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = (0, 1)$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	330	400	μA	
			$V_{CC} = 3 \text{ V}$	500	600		
	アクティブ・モード (注 1) $f_{(MCLK)} = f_{(SMCLK)} = 4,096 \text{ Hz}$ 、 $f_{(ACLK)} = 4,096 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = 3$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	2.5	7	μA	
			$V_{CC} = 3 \text{ V}$	9	20		
$I_{(LPM0)}$	ロー・パワー・モード (LPM0) $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $XTS = 0$ 、 $SELM = (0, 1)$ (注 1)	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	50	60	μA	
			$V_{CC} = 3 \text{ V}$	75	95		
$I_{(LPM2)}$	ロー・パワー・モード (LPM2) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 0$	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	11	14	μA	
			$V_{CC} = 3 \text{ V}$	17	22		
$I_{(LPM3)}$	ロー・パワー・モード (LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 1$ (注 2)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1.3	1.6	μA	
				$T_A = 25^\circ\text{C}$	1.3		1.6
				$T_A = 85^\circ\text{C}$	3		6
		$T_A = -40^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	2.6	3		
				$T_A = 25^\circ\text{C}$	2.6		3
				$T_A = 85^\circ\text{C}$	4.4		8
$I_{(LPM4)}$	ロー・パワー・モード (LPM4) $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 0 \text{ Hz}$ 、 $SCGO = 1$	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$	0.2	0.5	μA	
				$T_A = 25^\circ\text{C}$	0.2		0.5
				$T_A = 85^\circ\text{C}$	2		5

(注 1) タイマ_B は、 $f_{(DCCLK)} = 1 \text{ MHz}$ によって駆動されます。すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) WDT は、 $f_{(ACLK)} = 32,768 \text{ Hz}$ によって駆動されます。すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。LPM2 及び LPM3 での消費電流は、ACLK を選択した状態で測定します。

アクティブ・モードのシステム周波数 対 消費電流

$$I_{(AM)} = I_{(AM)} [1 \text{ MHz}] \times f_{(\text{System})} [\text{MHz}]$$

アクティブ・モードの電源電圧 対 消費電流、F バージョン

$$I_{(AM)} = I_{(AM)} [3 \text{ V}] + 210 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

シュミット・トリガ 入力

(ポート P1、P2、P3、P4、P5、P6; $\overline{\text{RST}}/\text{NMI}$; JTAG: TCK、TMS、TDI/TCLK、TDO/TDI)

項 目		測定条件	最小	標準	最大	単位
V_{IT+}	立ち上がり入力スレッシュホールド電圧	$V_{CC} = 2.2 \text{ V}$	1.1		1.5	V
		$V_{CC} = 3 \text{ V}$	1.5		1.98	
V_{IT-}	立ち下がり入力スレッシュホールド電圧	$V_{CC} = 2.2 \text{ V}$	0.4		0.9	V
		$V_{CC} = 3 \text{ V}$	0.9		1.3	
V_{hys}	入力電圧ヒステリシス ($V_{IT+} - V_{IT-}$)	$V_{CC} = 2.2 \text{ V}$	0.3		1.1	V
		$V_{CC} = 3 \text{ V}$	0.5		1	

入力 P_x.x、TA_x、TB_x

項 目		測定条件	V_{CC}	最小	標準	最大	単位
$t_{(int)}$	外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、 インタラプト フラグ用外部トリガ信号 (注 1)	2.2 V	62			ns
			3 V	50			
$t_{(cap)}$	タイマ_A、タイマ_B キャプチャ・タイミング	TA0、TA1、TA2 TB0、TB1、TB2、TB3、TB4、TB5、TB6 (注 2)	2.2 V	62			ns
			3 V	50			
$f_{(TAext)}$	タイマ_A、タイマ_B	TACLK、TBCLK、INCLK : $t_{(n)} = t_{(L)}$	2.2 V			8	MHz
$f_{(TBext)}$	外部から端子に印加するク ロック周波数		3 V			10	
$f_{(TAint)}$	タイマ_A、タイマ_B	SMCLK 又は ACLK 信号選択時	2.2 V			8	MHz
$f_{(TBint)}$	ク ロック周波数		3 V			10	

(注 1) 外部信号は、最小 $t_{(int)}$ サイクル及び時間のパラメータが適合するたび毎にインタラプト・フラグをセットします。トリガ信号が $t_{(int)}$ より短い場合にもセットされることがあります。

(注 2) `x16x/161x の場合は 7 つのキャプチャ/コンペア・レジスタ、`x15x の場合は 3 つのキャプチャ/コンペア・レジスタがあります。

リーク電流 (ポート P1、P2、P3、P4、P5、P6) (注 1)

項 目			測定条件		最小	標準	最大	単位
$I_{lkg(Px.y)}$	リーク電流	ポート Px	$V_{(Px.y)}$ (注 2)	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$			±50	nA

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) ポート端子は入力となるように選択します。

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005年4月

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 (ポート P1、P2、P3、P4、P5、P6)

項目	測定条件	最小	標準	最大	単位
V _{OH} ハイ・レベル出力電圧	I _{OH(max)} = -1.5 mA、V _{CC} = 2.2 V (注 1)	V _{CC} - 0.25		V _{CC}	V
	I _{OH(max)} = -6 mA、V _{CC} = 2.2 V (注 2)	V _{CC} - 0.6		V _{CC}	
	I _{OH(max)} = -1.5 mA、V _{CC} = 3 V (注 1)	V _{CC} - 0.25		V _{CC}	
	I _{OH(max)} = -6 mA、V _{CC} = 3 V (注 2)	V _{CC} - 0.6		V _{CC}	
V _{OL} ロー・レベル出力電圧	I _{OL(max)} = 1.5 mA、V _{CC} = 2.2 V (注 1)	V _{SS}		V _{SS} + 0.25	V
	I _{OL(max)} = 6 mA、V _{CC} = 2.2 V (注 2)	V _{SS}		V _{SS} + 0.6	
	I _{OL(max)} = 1.5 mA、V _{CC} = 3 V (注 1)	V _{SS}		V _{SS} + 0.25	
	I _{OL(max)} = 6 mA、V _{CC} = 3 V (注 2)	V _{SS}		V _{SS} + 0.6	

(注 1) 全出力の最大電流 I_{OH(max)} と I_{OL(max)} の合計は、規定の最大電圧降下を保持するため ±12 mA を越えてはいけません。

(注 2) 全出力の最大電流 I_{OH(max)} と I_{OL(max)} の合計は、規定の最大電圧降下を保持するため ±48 mA を越えてはいけません。

出力周波数

項目	測定条件	最小	標準	最大	単位
f _(Px.y) Px.y 出力周波数 (1 ≤ x ≤ 6, 0 ≤ y ≤ 7)	C _L = 20 pF、 I _L = ±1.5 mA	V _{CC} = 2.2 V / 3 V		DC	f _{System} MHz
f _(ACLK) P2.0/ACLK、P5.6/ACLK f _(MCLK) P5.4/MCLK f _(SMCLK) P1.4/SMCLK、P5.5/SMCLK	C _L = 20 pF	V _{CC} = 2.2 V / 3 V			f _{System} MHz
t _(Xdc) 出力周波数デューティ比	P1.0/TACLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _(ACLK) = f _(LFX1) = f _(XT1)		40%	60%
		f _(ACLK) = f _(LFX1) = f _(LP)		30%	70%
		f _(ACLK) = f _(LFX1)		50%	
	P1.1/TA0/MCLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _(MCLK) = f _(XT1)		40%	60%
		f _(MCLK) = f _(DCOCLK)		50% - 15 ns	50% + 15 ns
	P1.4/TBCLK/SMCLK、 C _L = 20 pF、 V _{CC} = 2.2 V / 3 V	f _(SMCLK) = f _(XT2)		40%	60%
f _(SMCLK) = f _(DCOCLK)		50% - 15 ns	50% + 15 ns		

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 (ポート P1、P2、P3、P4、P5、P6) (続き)

ロー・レベル出力電圧
 対
 ロー・レベル出力電流 (標準)

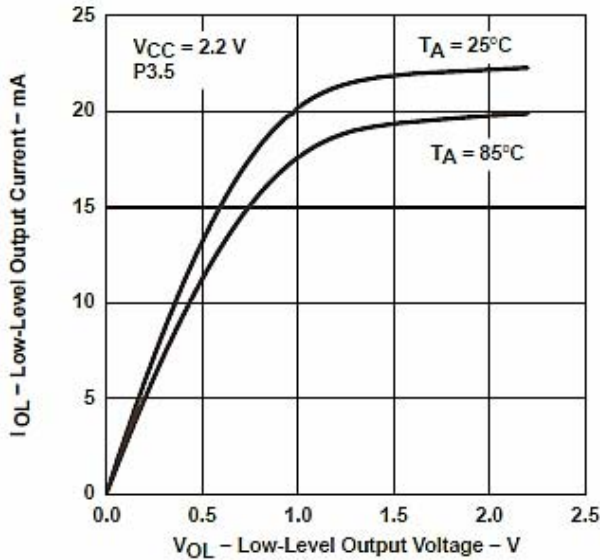


図 2

ロー・レベル出力電圧
 対
 ロー・レベル出力電流 (標準)

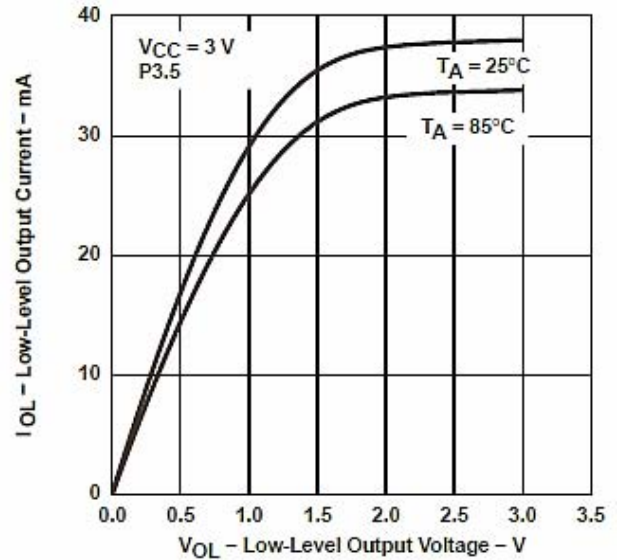


図 3

ハイ・レベル出力電圧
 対
 ハイ・レベル出力電流 (標準)

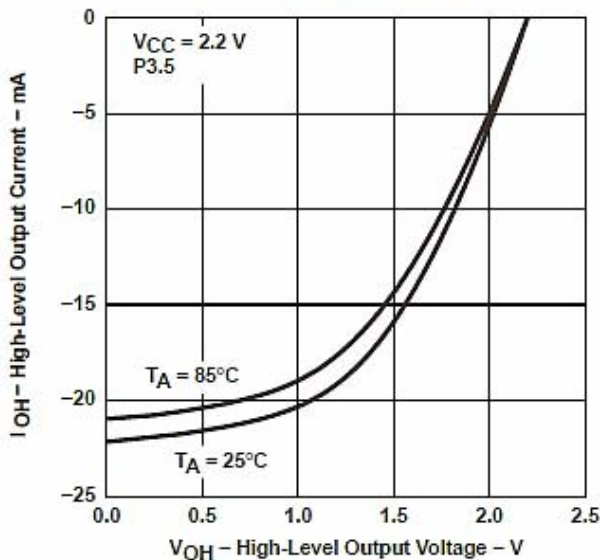


図 4

ハイ・レベル出力電圧
 対
 ハイ・レベル出力電流 (標準)

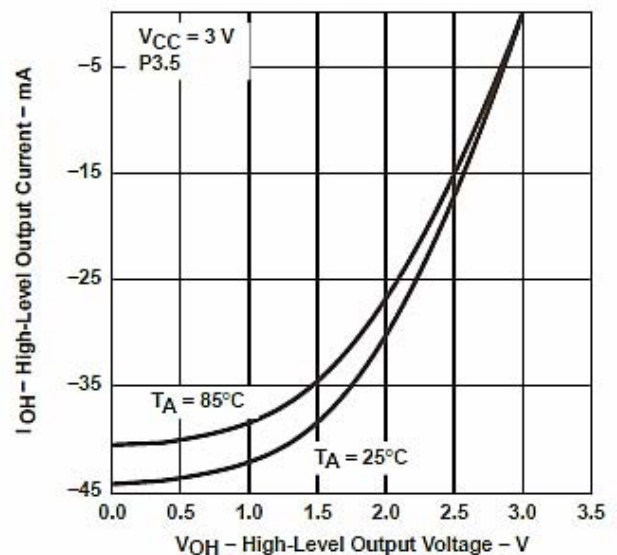


図 5

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005 年 4 月

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

ウェークアップ (LPM3)

項 目	測定条件	最小	標準	最大	単位
$t_{(LPM3)}$ 遅延時間	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$ 、 $f_{DC0} \geq f_{DC043}$			6	μs

RAM

項 目	測定条件	最小	標準	最大	単位
VRAMh RAM 保持電圧	CPU 停止 (HALT) 時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

コンパレータ_A (注 1)

項 目	測定条件	最小	標準	最大	単位	
$I_{(DD)}$	CAON = 1, CARSEL = 0, CAREF = 0	$V_{CC} = 2.2 \text{ V}$ 25	40		μA	
		$V_{CC} = 3 \text{ V}$ 45	60			
$I_{(\text{Ref ladder/Ref diode})}$	CAON = 1, CARSEL = 0, CAREF = 1/2/3、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	$V_{CC} = 2.2 \text{ V}$ 30	50		μA	
		$V_{CC} = 3 \text{ V}$ 45	71			
$V_{(IC)}$ 同相入力電圧範囲	CAON = 1	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0	$V_{CC} - 1$	V	
$V_{(\text{Ref}025)}$ $\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$	PCA0 = 1, CARSEL = 1, CAREF = 1, P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.23	0.24	0.25	
$V_{(\text{Ref}050)}$ $\frac{\text{Voltage @ } 0.5 V_{CC} \text{ node}}{V_{CC}}$	PCA0 = 1, CARSEL = 1, CAREF = 2, P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0.47	0.48	0.5	
$V_{(\text{Ref}VT)}$ (図 6、7 参照)	PCA0 = 1, CARSEL = 1, CAREF = 3, P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷、 $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$ 390	480	540	mV	
		$V_{CC} = 3 \text{ V}$ 400	490	550		
$V_{(\text{offset})}$ オフセット電圧	(注 2)	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	-30	30	mV	
V_{hys} 入力ヒステリシス	CAON = 1	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	0	0.7	1.4	
$t_{(\text{response LH})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	
$t_{(\text{response HL})}$	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0	$V_{CC} = 2.2 \text{ V}$	130	210	300	ns
		$V_{CC} = 3 \text{ V}$	80	150	240	
	$T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1	$V_{CC} = 2.2 \text{ V}$	1.4	1.9	3.4	μs
		$V_{CC} = 3 \text{ V}$	0.9	1.5	2.6	

(注 1) コンパレータ_A 端子のリーク電流は、 $I_{\text{Lk}(Px.x)}$ の規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

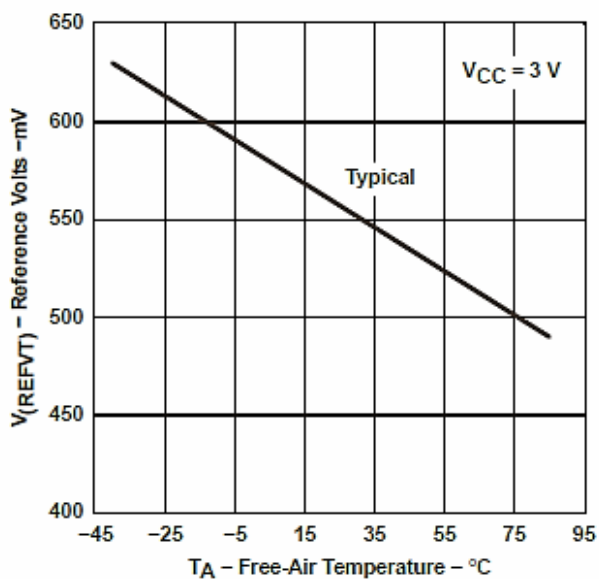


図 6. 動作温度 対 $V_{(REFVT)}$ ($V_{CC} = 3 V$)

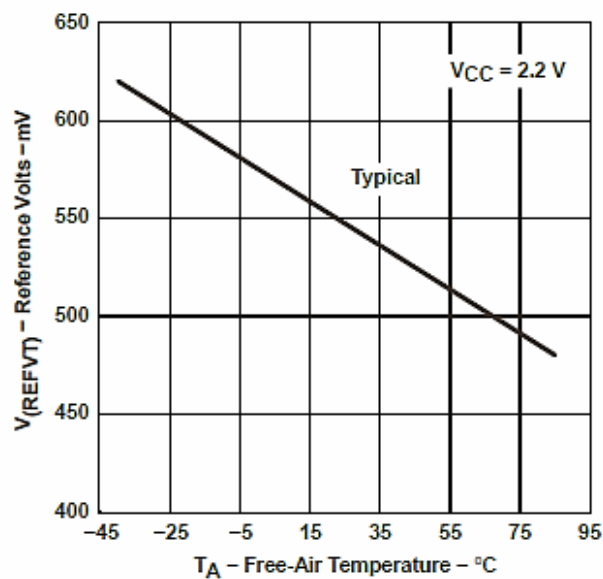


図 7. 動作温度 対 $V_{(REFVT)}$ ($V_{CC} = 2.2 V$)

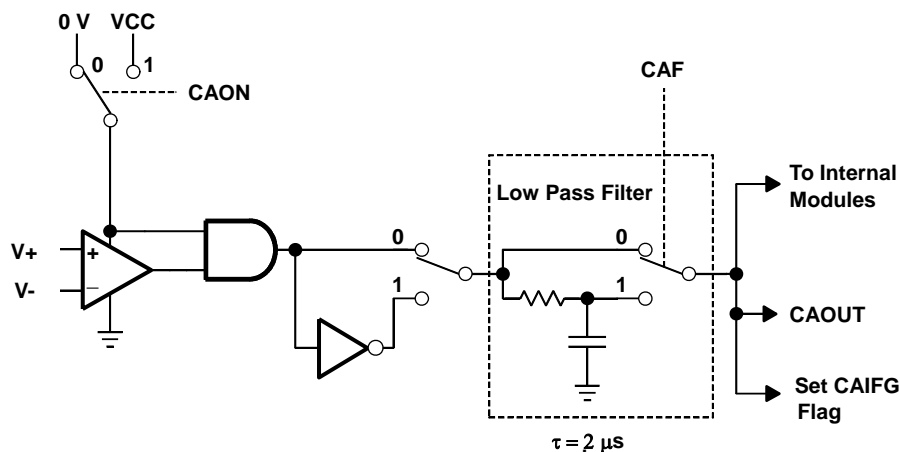


図 8. コンパレータ_A モジュールのブロック図

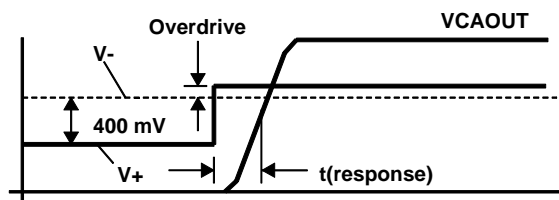


図 9. オーバードライブの定義

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

POR/ブラウンアウト・リセット (BOR) (注 1、2)

項目	測定条件	最小	標準	最大	単位
$t_{d(BOR)}$				2000	μs
$V_{CC(\text{start})}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 10 参照)	$0.7 \times V_{(B_IT-)}$			V
$V_{(B_IT-)}$	ブラウンアウト $dV_{CC}/dt \leq 3 \text{ V/s}$ (図 10 ~ 図 12 参照)			1.71	V
$V_{\text{hys}(B_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (図 10 参照)	70	130	180	mV
$t_{(\text{reset})}$	内部でリセットを受け付けるための RST/NMI 入力パルス幅、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			μs

- (注 1) ブラウンアウト・モジュールの消費電流は、 I_{CC} に含まれています。 $V_{(B_IT-)} + V_{\text{hys}(B_IT-)} \leq 1.8 \text{ V}$ とします。
 (注 2) パワーアップ時は、CPU は $V_{CC} = V_{(B_IT-)} + V_{\text{hys}(B_IT-)}$ となった後 $t_{d(BOR)}$ 経過後にコードの実行を開始します。デフォルトの DCO の設定値は、 $V_{CC} \geq V_{CC(\text{min})}$ となるまで変えてはいけません。 $V_{CC(\text{min})}$ は、使用する動作周波数における最小電源電圧を表します。ブラウンアウト/SVS 回路の詳細は、*MSP430x1xx* ファミリー ユーザーズ・ガイド SLAU135 (日本語版)、SLAU049 (英語版) を参照して下さい。

代表特性

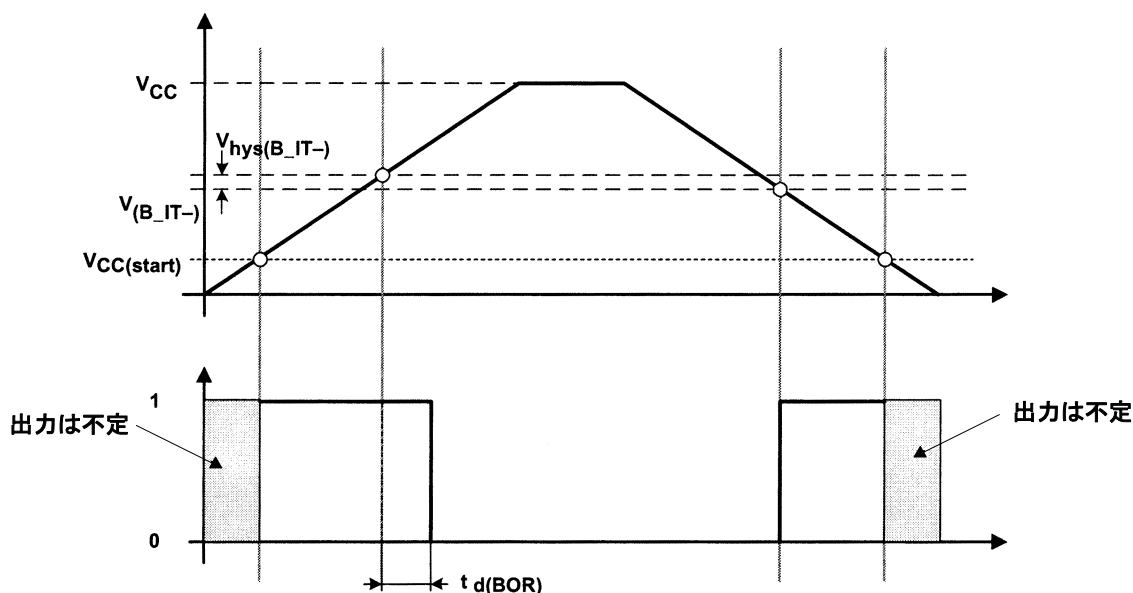


図 10. 電源電圧 対 POR/ブラウンアウト・リセット (BOR) タイミング

代表特性

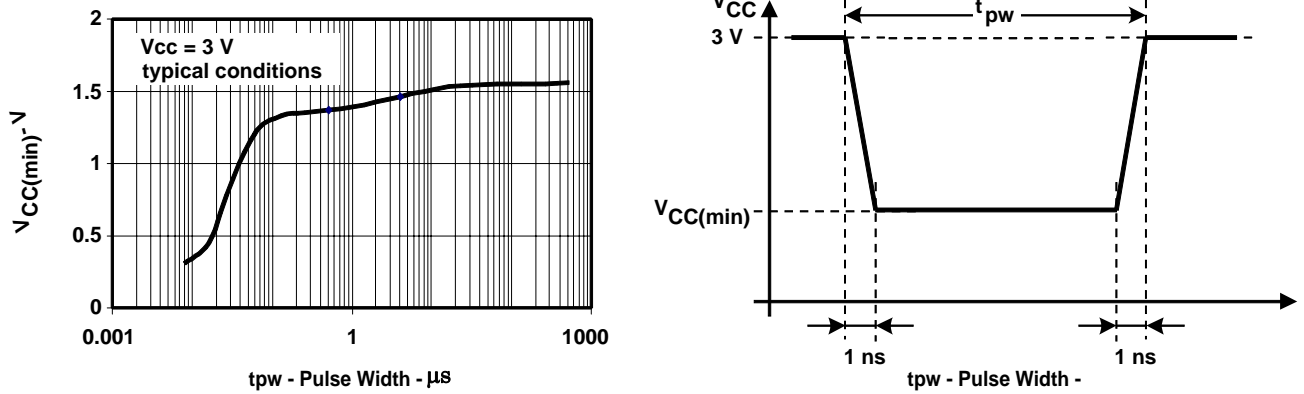


図 11. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (矩形波電圧降下)

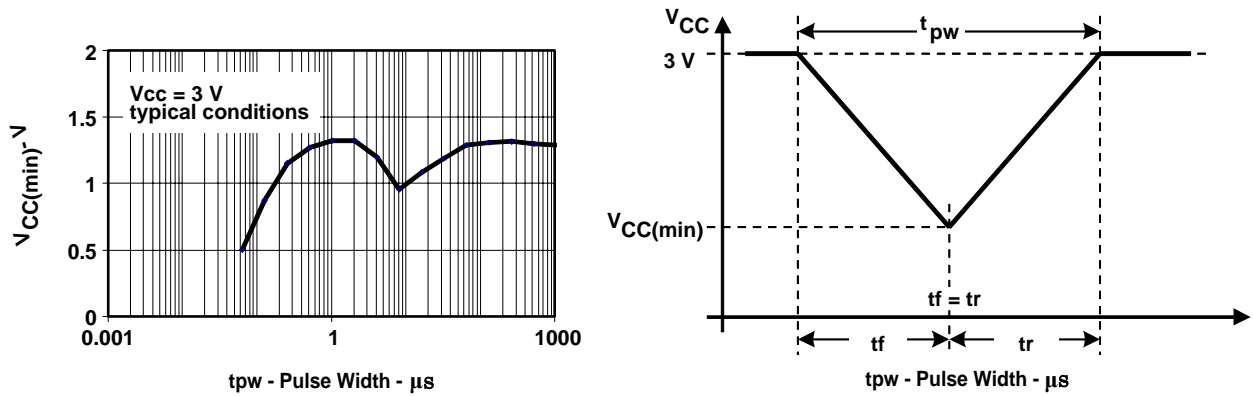


図 12. POR/ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル (三角波電圧降下)

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005年4月

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

SVS (電源電圧監視/モニタ)

記号	測定条件	最小	標準	最大	単位	
$t_{(SVSR)}$	$dV_{CC}/dt > 30 \text{ V/ms}$ (図 13 参照)	5		150	μs	
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	μs	
$t_{d(SVSON)}$	SVS オン、VLD = 0 ~ VLD \neq 0 までスイッチ、 $V_{CC} = 3 \text{ V}$	20		150	μs	
t_{settle}	VLD \neq 0 †			12	μs	
$V_{(SVSstart)}$	VLD \neq 0、 $V_{CC}/dt \leq 3 \text{ V/s}$ (図 13 参照)		1.55	1.7	V	
$V_{\text{hys}(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 13 参照)	VLD = 1	70	120	155	mV
		VLD = 2..14	$V_{(SVS_IT-)} \times 0.004$		$V_{(SVS_IT-)} \times 0.008$	
	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 13 参照) A7 に印加される外部電圧	VLD = 15	4.4		10.4	
$V_{(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 13、14 参照)	VLD = 1	1.8	1.9	2.05	V
		VLD = 2	1.94	2.1	2.25	
		VLD = 3	2.05	2.2	2.37	
		VLD = 4	2.14	2.3	2.48	
		VLD = 5	2.24	2.4	2.6	
		VLD = 6	2.33	2.5	2.71	
		VLD = 7	2.46	2.65	2.86	
		VLD = 8	2.58	2.8	3	
		VLD = 9	2.69	2.9	3.13	
		VLD = 10	2.83	3.05	3.29	
		VLD = 11	2.94	3.2	3.42	
		VLD = 12	3.11	3.35	3.61 †	
		VLD = 13	3.24	3.5	3.76 †	
		VLD = 14	3.43	3.7 †	3.99 †	
	$V_{CC}/dt \leq 3 \text{ V/s}$ (図 13、14 参照) A7 に印加される外部電圧	VLD = 15	1.1	1.2	1.3	
$I_{CC(SVS)}$ (注 1)	VLD \neq 0、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$		10	15	μA	

† 推奨動作電圧範囲は 3.6 V に制限されます。

* セットリング時間 t_{settle} は、VLD が VLD \neq 0 から 2 ~ 15 の間の違った値にスイッチした後、コンパレータ出力が安定したレベルになるのに必要な時間です。オーバードライブ > 50 mV と仮定します。

(注 1) SVS モジュールの消費電流は I_{CC} の値に含まれていません。

代表特性

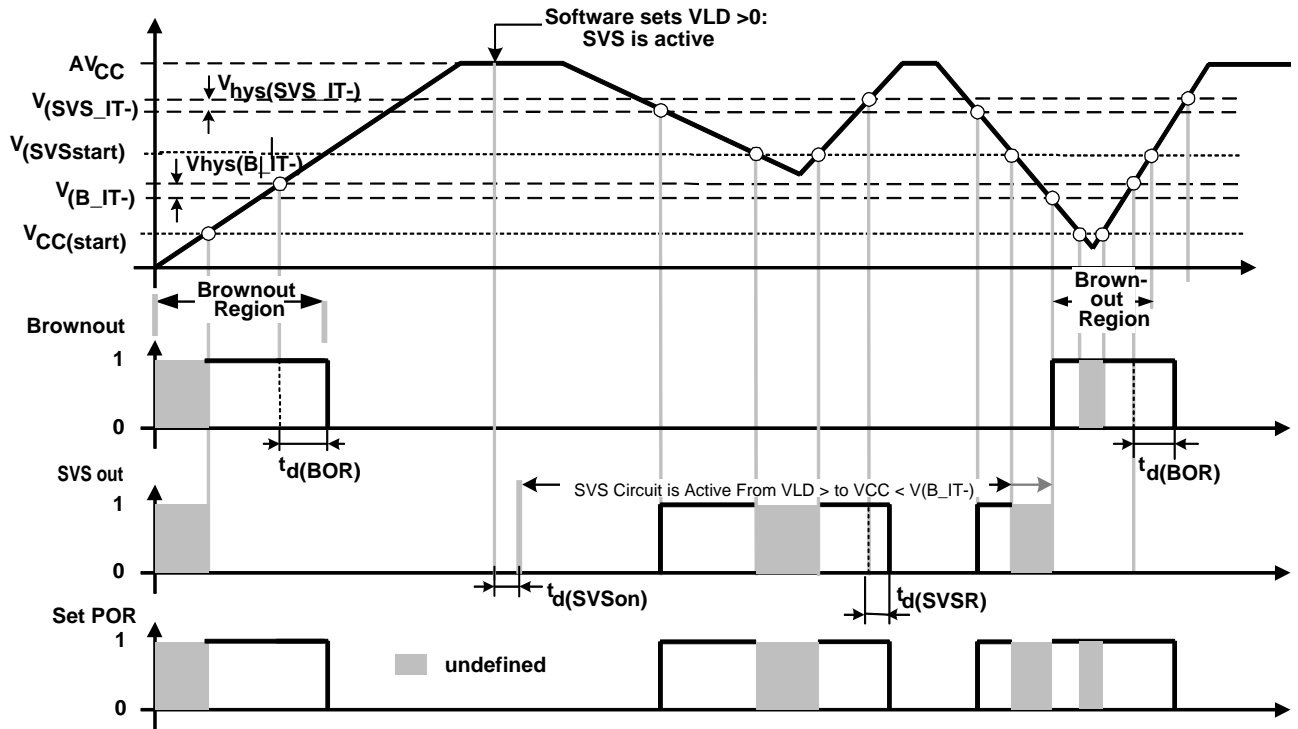


図 13. 電源電圧 対 SVS リセット (SVSR) タイミング

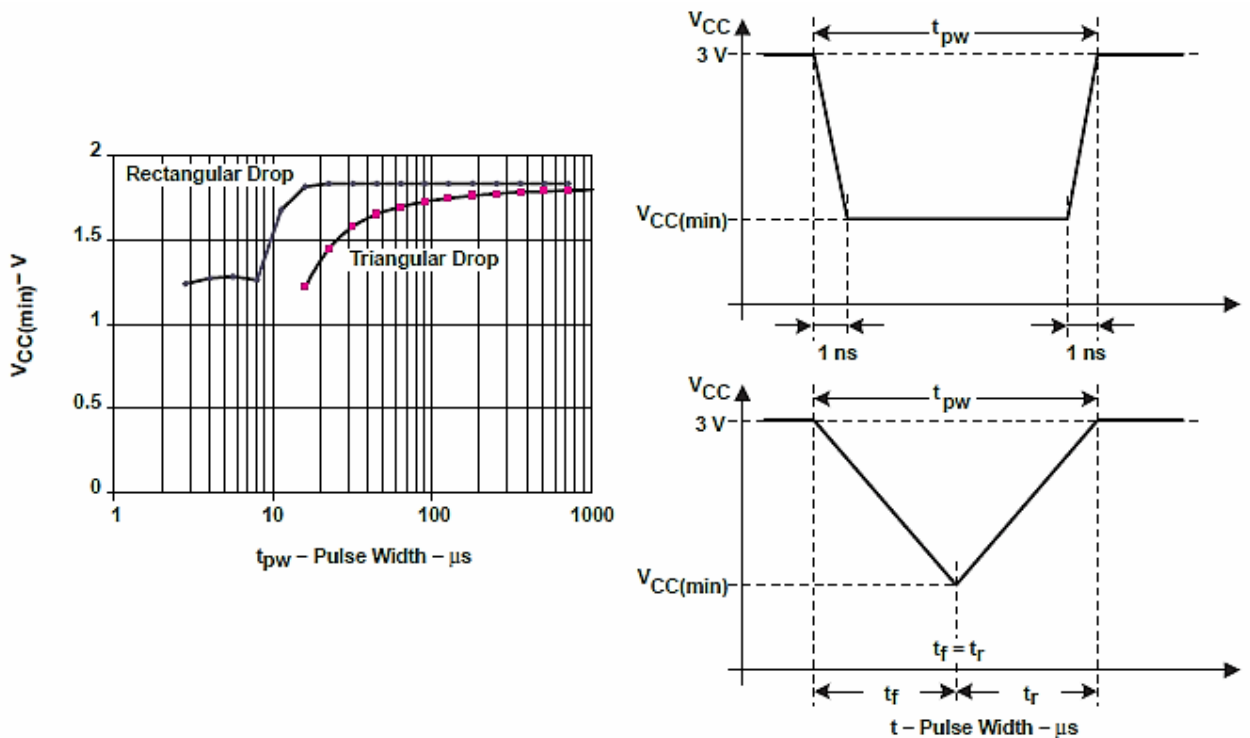


図 14. SVS 信号を生成するための $V_{CC(min)}$ レベル (矩形波電圧及び三角波電圧降下) ($VLD = 1$)

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

DCO (注 1)

項目	測定条件	最小	標準	最大	単位	
$f_{(DC003)}$	$R_{sel} = 0, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.08	0.12	0.15	MHz
		$V_{CC} = 3 \text{ V}$	0.08	0.13	0.16	
$f_{(DC013)}$	$R_{sel} = 1, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.14	0.19	0.23	MHz
		$V_{CC} = 3 \text{ V}$	0.14	0.18	0.22	
$f_{(DC023)}$	$R_{sel} = 2, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.22	0.30	0.36	MHz
		$V_{CC} = 3 \text{ V}$	0.22	0.28	0.34	
$f_{(DC033)}$	$R_{sel} = 3, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.37	0.49	0.59	MHz
		$V_{CC} = 3 \text{ V}$	0.37	0.47	0.56	
$f_{(DC043)}$	$R_{sel} = 4, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.61	0.77	0.93	MHz
		$V_{CC} = 3 \text{ V}$	0.61	0.75	0.90	
$f_{(DC053)}$	$R_{sel} = 5, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1	1.2	1.5	MHz
		$V_{CC} = 3 \text{ V}$	1	1.3	1.5	
$f_{(DC063)}$	$R_{sel} = 6, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	1.6	1.9	2.2	MHz
		$V_{CC} = 3 \text{ V}$	1.69	2.0	2.29	
$f_{(DC073)}$	$R_{sel} = 7, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	2.4	2.9	3.4	MHz
		$V_{CC} = 3 \text{ V}$	2.7	3.2	3.65	
$f_{(DC047)}$	$R_{sel} = 4, DCO = 7, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V/3 V}$	$f_{DC040} \times 1.7$	$f_{DC040} \times 2.1$	$f_{DC040} \times 2.5$	MHz
$f_{(DC077)}$	$R_{sel} = 7, DCO = 7, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	4	4.5	4.9	MHz
		$V_{CC} = 3 \text{ V}$	4.4	4.9	5.4	
$S_{R_{sel}}$	$S_R = f_{R_{sel+1}} / f_{R_{sel}}$	$V_{CC} = 2.2 \text{ V/3 V}$	1.35	1.65	2	
S_{DCO}	$S_{DCO} = f_{(DCO+1)} / f_{(DCO)}$	$V_{CC} = 2.2 \text{ V/3 V}$	1.07	1.12	1.16	
D_t	温度ドリフト、 $R_{sel} = 4, DCO = 3, MOD = 0$ (注 2)	$V_{CC} = 2.2 \text{ V}$	-0.31	-0.36	-0.40	%/°C
		$V_{CC} = 3 \text{ V}$	-0.33	-0.38	-0.43	
D_V	V_{CC} 変動によるドリフト、 $R_{sel} = 4, DCO = 3, MOD = 0$ (注 2)	$V_{CC} = 2.2 \text{ V/3 V}$	0	5	10	%/V

(注 1) DCO 周波数は、パラメータ プロセッサ周波数 $f_{(System)}$ で定義される最大システム周波数を越えることはできません。

(注 2) これらのパラメータは、量産テストは実施していません。

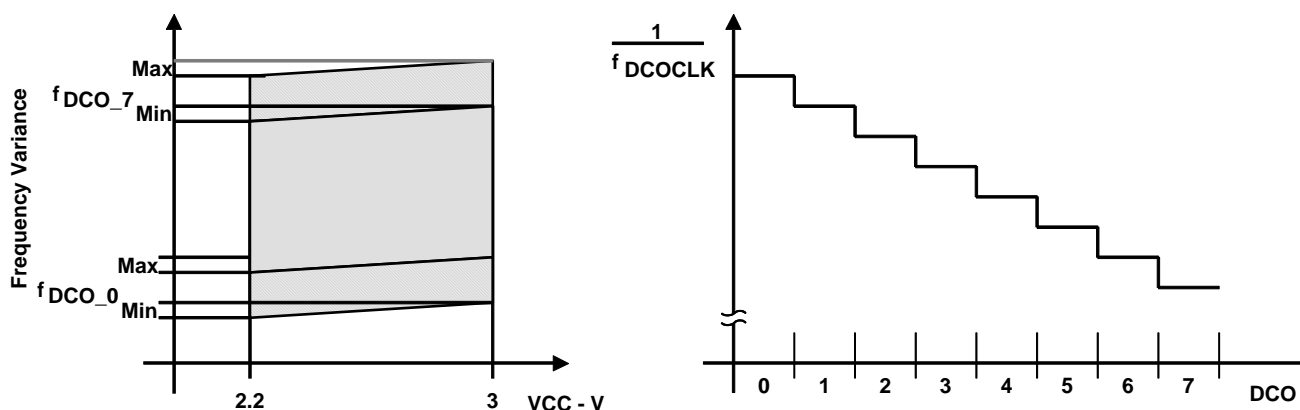


図 15. 電源電圧及び周囲温度 対 DCO 周波数

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

主要 DCO 特性

- 個々のデバイスには、最小及び最大動作周波数があります。 $f_{(DC0x0)} \sim f_{(DC0x7)}$ の指定されたパラメータは、すべてのデバイスに適用されます。
- Rsel(n) によって選択されるすべての範囲は、Rsel(n+1) と重なります: Rsel0 は Rsel1 と重なります、... Rsel16 は Rsel17 と重なります。
- DCO コントロール・ビット DC00、DC01、及び DC02 は、パラメータ S_{DC0} によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DC0CLK サイクルの期間で $f_{(DC0x1)}$ が使用される頻度を選択します。周波数 $f_{(DC0)}$ は、残りのサイクルのために使用されます。この平均周波数は:

$$f_{average} = \frac{32 \times f_{(DC0)} \times f_{(DC0+1)}}{MOD \times f_{(DC0)} + (32 - MOD) \times f_{(DC0+1)}}$$

ROSC 使用時の DCO (注 1)

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{DC0} , DCO 出力周波数	R _{sel} = 4, DC0 = 3, MOD = 0, DCOR = 1, T _A = 25°C	2.2 V		1.8±15%		MHz
		3 V		1.95±15%		
D _t , 温度ドリフト	R _{sel} = 4, DC0 = 3, MOD = 0, DCOR = 1	2.2 V/3 V		±0.1		%/°C
D _v , V _{CC} 変動によるドリフト	R _{sel} = 4, DC0 = 3, MOD = 0, DCOR = 1	2.2 V/3 V		10		%/V

(注 1) R_{osc} = 100 kΩ、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、T_r = ±50 ppm/°C

クリスタル・オシレータ、LFXT1 (注 1)

項目	測定条件	最小	標準	最大	単位	
C _{XIN} 入力容量	XTS = 0; LF オシレータ選択時、V _{CC} = 2.2 V / 3 V		12		pF	
	XTS = 1; XT1 オシレータ選択時、V _{CC} = 2.2 V / 3 V		2			
C _{XOUT} 出力容量	XTS = 0; LF オシレータ選択時、V _{CC} = 2.2 V / 3 V		12		pF	
	XTS = 1; XT1 オシレータ選択時、V _{CC} = 2.2 V / 3 V		2			
V _{IL}	V _{CC} = 2.2 V / 3 V (注 2)	XTS = 0 又は 1 XT1 又は LF モード		V _{SS}	0.2 x V _{CC}	V
V _{IH}		XTS = 0, LF モード		0.9 x V _{CC}	V _{CC}	
		XTS = 1, XT1 モード		0.8 x V _{CC}	V _{CC}	

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。

クリスタル・オシレータ、XT2 (注 1)

項目	測定条件	最小	標準	最大	単位	
C _{XIN} 入力容量	V _{CC} = 2.2 V/3 V		2		pF	
C _{XOUT} 出力容量	V _{CC} = 2.2 V/3 V		2		pF	
V _{IL}	V _{CC} = 2.2 V/3 V (注 2)	XT2IN 入力レベル		V _{SS}	0.2 x V _{CC}	V
V _{IH}				0.8 x V _{CC}	V _{CC}	V

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。

USART0、USART1 (注 1)

項目	測定条件	最小	標準	最大	単位
t _(_c) USART0/1: デグリッチ時間	V _{CC} = 2.2 V	200	430	800	ns
	V _{CC} = 3 V	150	280	500	

(注 1) USART0/1 受信信号/端子 (URXD0/1) に印加される信号は、URXS フリップ・フロップがセットされることを保証するために、タイミング t_(_c) の要求を満たしていなければなりません。URXS フリップ・フロップは、t_(_c) の最小タイミング条件に合致した反転パルスによってセットされます。フラグをセットするための動作条件は、このタイミング制限とは別に満たさなければなりません。デグリッチ回路は、URXD0/1 ライン上の立ち下がりでのみアクティブになります。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 電源及び入力範囲条件 (注 1)

項目	測定条件	最小	標準	最大	単位
V_{AVCC} アナログ電源電圧	V_{AVCC} と DV_{CC} を接続、 V_{AVSS} と DV_{SS} を接続、 $V_{(AVSS)} = V_{(DVSS)} = 0$ V	2.2		3.6	V
$V_{(P6.x/Ax)}$ アナログ入力電圧範囲 (注 2)	全 P6.0/A0 ~ P6.7/A7 端子、ADC12MCTLx レジスタのアナログ入力選択時、P6Sel.x = 1、 $0 \leq x \leq 7$; $V_{(AVSS)} \leq V_{P6.x/Ax} \leq V_{(AVCC)}$	0		V_{AVCC}	V
I_{ADC12} 動作電源電流 (V_{AVCC}) (注 3)	$f_{ADC12CLK} = 5$ MHz、 ADC12ON = 1、REFON = 0、 SHTO = 0、SHT1 = 0、ADC12DIV = 0	2.2 V	0.65	1.3	mA
		3 V	0.8	1.6	
I_{REF+} 基準電圧動作電流 (V_{AVCC}) (注 4)	$f_{ADC12CLK} = 5$ MHz、 ADC12ON = 0、 REFON = 1、REF2_5V = 1	3 V	0.5	0.8	mA
	$f_{ADC12CLK} = 5$ MHz、 ADC12ON = 0、 REFON = 1、REF2_5V = 0	2.2 V	0.5	0.8	
$C_I \uparrow$ 入力容量	1 度に 1 端子のみ選択可能、P6.x/Ax	2.2 V		40	pF
$R_I \uparrow$ 入力 MUX オン抵抗	0 V $\leq V_{Ax} \leq V_{AVCC}$	3 V		2000	Ω

† このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) リーク電流は、P6.x/Ax パラメータのリーク電流の表で規定されています。

(注 2) アナログ入力電圧範囲は、有効な変換結果を得るために、選択された基準電圧範囲 V_{R+} ~ V_{R-} の範囲内でなければなりません。

(注 3) 内部基準電圧電流は、消費電流パラメータ I_{ADC12} に含まれていません。

(注 4) 内部基準電圧電流は、 V_{AVCC} 端子を経由して供給されます。変換がアクティブでない場合、消費電流は ADC12ON コントローラビットとは無関係です。REFON ビットにより、A/D 変換を始める前に、内部基準電圧の設定を行うことができます。

12 ビット ADC 外部基準電圧 (注 1)

項目	測定条件	最小	標準	最大	単位
V_{eREF+} 正外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 2)	1.4		V_{AVCC}	V
V_{REF-}/V_{eREF-} 負外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 3)	0		1.2	V
$(V_{eREF+} - V_{REF-}/V_{eREF-})$ 差動外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 4)	1.4		V_{AVCC}	V
I_{VeREF+} 静止入力電流	0 V $\leq V_{eREF+} \leq V_{AVCC}$	2.2 V/3 V		± 1	μ A
I_{VREF-}/V_{eREF-} 静止入力電流	0 V $\leq V_{eREF-} \leq V_{AVCC}$	2.2 V/3 V		± 1	μ A

(注 1) 外部基準電圧は変換動作の間、キャパシタンス アレイの充/放電を行うために使用されます。入力容量 C_I も変換動作中の外部基準電圧の動作的負荷になります。基準電圧の動的インピーダンスは、12 ビットの精度を出すために推奨のアナログ・ソース・インピーダンスに適合しなければなりません。

(注 2) 最小値は精度で決まります。要求精度が低い場合は、これより低い基準電圧を印加しても差し支えありません。

(注 3) 最大値は精度で決まります。要求精度が低い場合は、これより高い基準電圧を印加しても差し支えありません。

(注 4) 最小値は精度で決まります。要求精度が低い場合は、これより低い差動基準電圧を印加しても差し支えありません。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 内部基準電圧

項目	測定条件	最小	標準	最大	単位	
V_{REF+} 正内部基準電圧出力	2.5 V 内部基準電圧、REF2_5V = 1、 $I_{VREF+,min} \leq I_{VREF+} \leq I_{VREF+,max}$	$V_{CC} = 3 V$	2.4	2.5	2.6	V
	1.5 V 内部基準電圧、REF2_5V = 0、 $I_{VREF+,min} \leq I_{VREF+} \leq I_{VREF+,max}$	$V_{CC} = 2.2 V/3 V$	1.44	1.5	1.56	
$AV_{CC(min)}$ 正内部基準電圧がアクティブとなる最小アナログ電源電圧	REF2_5V = 0、 $I_{VREF+,min} \leq I_{VREF+} \leq I_{VREF+,max}$		2.2		V	
	REF2_5V = 1、 $-0.5 mA \leq I_{VREF+} \leq I_{VREF+,max}$		2.8			
	REF2_5V = 1、 $-1 mA \leq I_{VREF+} \leq I_{VREF+,max}$		2.9			
I_{VREF+} V_{REF+} 端子負荷電流		$V_{CC} = 2.2 V$	0.01	-0.5	mA	
		$V_{CC} = 3 V$	0.01	-1		
$I_{L(VREF)+}$ V_{REF+} 端子負荷電流レギュレーション	$I_{VREF+} = 500 \mu A \pm 100 \mu A$ 、 アナログ入力電圧 $\sim 0.75 V$; REF2_5V = 0	$V_{CC} = 2.2 V$		± 2	LSB	
	$I_{VREF+} = 500 \mu A \pm 100 \mu A$ アナログ入力電圧 $\sim 1.25 V$; REF2_5V = 1	$V_{CC} = 3 V$		± 2		
$t_{DL(VREF)+}$ V_{REF+} 端子負荷電流レギュレーション	$I_{VREF+} = 100 \mu A \rightarrow 900 \mu A$ 、 $C_{VREF+} = 5 \mu F$ 、 $ax \sim 0.5 \times V_{REF+}$ 、 変換結果誤差 ≤ 1 LSB	$V_{CC} = 3 V$		20	ns	
C_{VREF+} V_{REF+} 端子容量 (注 1)	REFON = 1、 $0 mA \leq I_{VREF+} \leq I_{VREF+,max}$	$V_{CC} = 2.2 V/3 V$	5	10	μF	
T_{REF+} 内部基準電圧の温度係数	I_{VREF+} は $0 mA \leq I_{VREF+} \leq 1 mA$ の範囲内で一定	$V_{CC} = 2.2 V/3 V$		± 100	ppm/ $^{\circ}C$	
t_{REFON} V_{REF+} 内部基準電圧セトリング時間 (注 2) (図 16 参照)	$I_{VREF+} = 0.5 mA$ 、 $C_{VREF+} = 10 \mu F$ 、 $V_{REF+} = 1.5 V$ 、 $V_{AVCC} = 2.2 V$			17	ms	

† このパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) 内部バッファ・オペアンプには、精度規格のために外部コンデンサが必要です。すべての INL 及び DNL のテストには V_{REF+} と AV_{SS} 間、及び V_{REF-}/V_{eREF-} と AV_{SS} 間に $10 \mu F$ タンタル及び $100 nF$ セラミックの 2 つのコンデンサを使用します。

(注 2) この条件は、 t_{REFON} 後に開始した変換の誤差が ± 0.5 LSB 以内となる事です。セトリング時間は外部負荷容量に依存します。

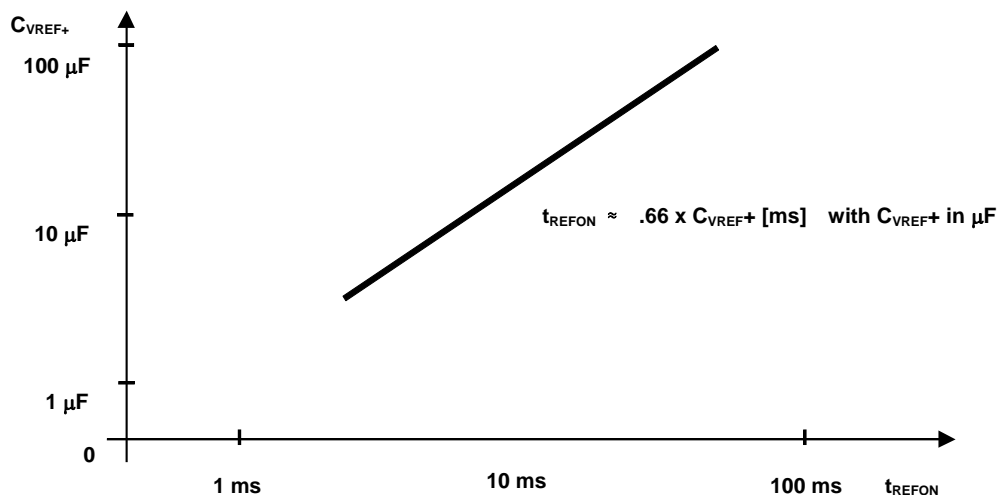


図 16. V_{REF+} 外部コンデンサ 対 内部基準電圧のセトリング時間 (標準)、 t_{REFON}

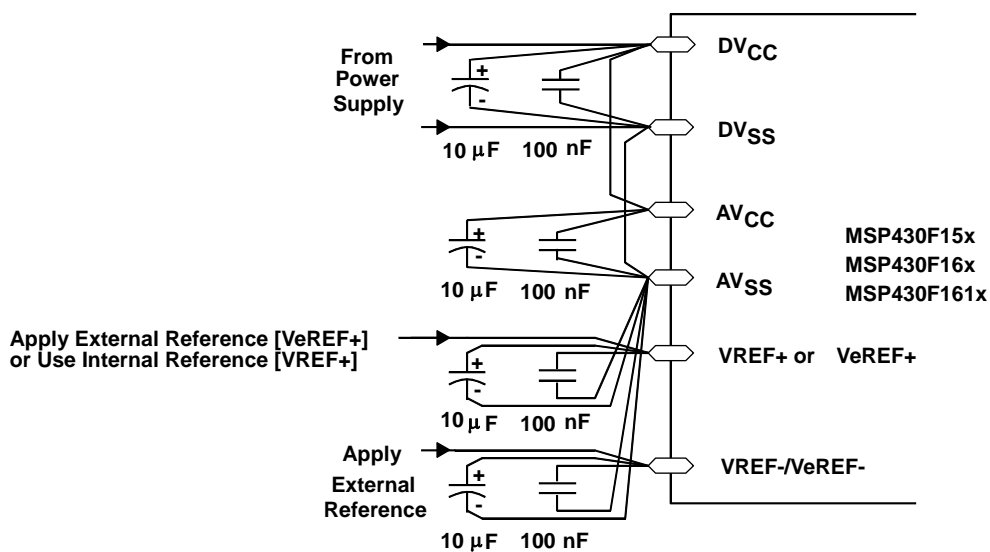


図 17. 電源電圧及び基準電圧の設計 (V_{REF-}/V_{eREF-} 外部基準電圧)

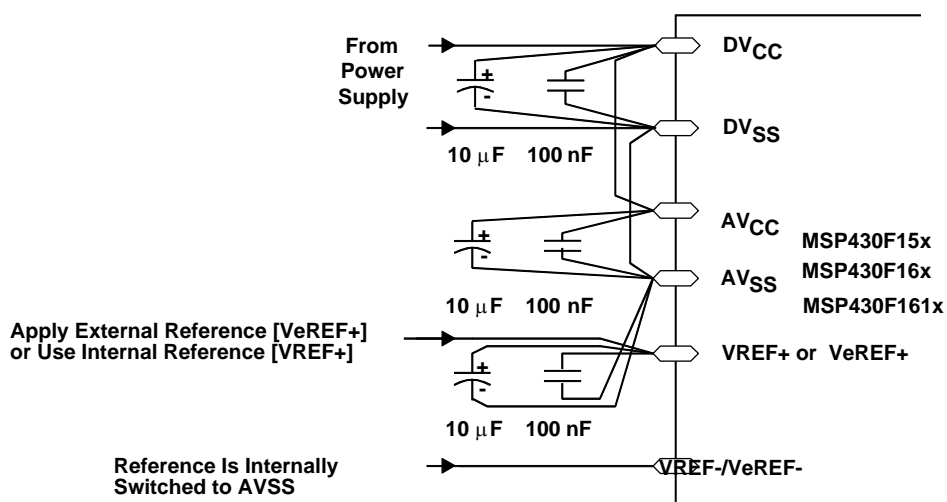


図 18. 電源電圧及び基準電圧の設計 ($V_{REF-}/V_{eREF-} = AV_{SS}$ 内部で接続)

推奨動作温度範囲における電气的特性 (特記無き場合) (続き)

12 ビット ADC タイミング

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{ADC12CLK} ADC12 クロック周波数	ADC12 の直線性パラメータの規定に適合するため	2.2 V/ 3V	0.45	5	6.3	MHz
f _{ADC12OSC} 内部 ADC12 オシレータ周波数	ADC12DIV = 0、 f _{ADC12CLK} = f _{ADC12OSC}	2.2 V/ 3V	3.7	5	6.3	MHz
t _{CONVERT} 変換時間	C _{VREF+} ≥ 5 μF、内部オシレータ、 f _{ADC12OSC} = 3.7 MHz ~ 6.3 MHz ACLK、MCLK 又は SMCLK からの外部 f _{ADC12CLK} : ADC12SSEL ≠ 0	2.2 V/ 3 V	2.06		3.51	μs
			13 x ADC12DIV x 1/f _{ADC12CLK}			
t _{ADC12ON} † ADC ターン・オンセトリング時間	(注 1)				100	ns
t _{Sample} † サンプリング時間	R _S = 400 Ω、R _I = 1000 Ω、 C _I = 30 pF、 τ = [R _S + R _I] x C _I (注 2)	3 V	1220			ns
		2.2 V	1400			

† このパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ このパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) この条件は、t_{ADC12ON} 後に開始した変換誤差が ±0.5 LSB 以内となる事です。基準電圧及び入力信号は、既に安定状態です。

(注 2) 誤差を ±0.5 LSB 以内とするためには、約 10 タウ (τ) が必要です。

t_{Sample} = ln(2ⁿ⁺¹) x (R_S + R_I) x C_I + 800 ns 但し、n = ADC 分解能 = 12、R_S = 外部信号源抵抗

12 ビット ADC 直線性

項目	測定条件	V _{CC}	最小	標準	最大	単位
E _I 積分直線性誤差	1.4 V ≤ (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ 1.6 V 1.6 V < (V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ [V _(AVCC)]	2.2 V/3 V			±2 ±1.7	LSB
E _D 微分直線性誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V			±1	
E _O オフセット誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 信号源の内部インピーダンス R _S < 100 Ω、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±2	±4	LSB
E _G ゲイン誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±1.1	±2	LSB
E _T 全無調整誤差	(V _{eREF+} - V _{REF-/V_{eREF-}}) _{min} ≤ (V _{eREF+} - V _{REF-/V_{eREF-}})、 C _{VREF+} = 10 μF (タンタル) 及び 100 nF (セラミック)	2.2 V/3 V		±2	±5	LSB

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット ADC 温度センサ及び内部 V_{MID}

項目	測定条件	V_{CC}	最小	標準	最大	単位
I_{SENSOR} 動作電源電流 (AV_{CC}) (注 1)	REFON = 0、INCH = 0Ah、 ADC12ON = NA、 $T_A = 25^\circ C$	2.2 V		40	120	μA
		3 V		60	160	
V_{SENSOR} † センサ電圧 (注 2)	ADC12ON = 1、INCH = 0Ah、 $T_A = 0^\circ C$	2.2 V		986		mV
		3 V		986		
TC_{SENSOR} † センサ電圧温度係数	ADC12ON = 1、INCH = 0Ah	2.2 V		3.55	3.55±3%	mV/°C
		3 V		3.55	3.55±3%	
$t_{SENSOR(sample)}$ † チャンネル 10 が選択された場合に必要 なサンプル時間 (注 2)	ADC12ON = 1、INCH = 0Ah、 変換結果誤差 ≤ 1 LSB	2.2 V	30			μs
		3 V	30			
I_{VMID} チャンネル 11 のディバイダに流れ込む 電流 (注 3)	ADC12ON = 1、INCH = 0Bh	2.2 V			NA	μA
		3 V			NA	
V_{MID} チャンネル 11 のディバイダ AV_{CC} 電圧	ADC12ON = 1、INCH = 0Bh、 $V_{MID} \sim 0.5 \times V_{AVCC}$	2.2 V		1.1	1.1±0.04	V
		3 V		1.5	1.5±0.04	
$t_{VMID(sample)}$ チャンネル 11 が選択された場合に必要 なサンプル時間 (注 4)	ADC12ON = 1、INCH = 0Bh、 変換結果誤差 ≤ 1 LSB	2.2 V	1400			ns
		3 V	1220			

† このパラメータは特性評価によって決められたもので、量産テストは実施していません。

(注 1) センサ電流 I_{SENSOR} は、ADC12ON = 1 で REFON = 1 の場合、又は ADC12ON = 1 で INCH = 0Ah、及びサンプル信号がハイ・レベルの場合に消費されます。REFON = 1 の場合、 I_{SENSOR} は I_{REF+} に含まれています。

(注 2) 温度センサのオフセットは、 $\pm 20^\circ C$ にまでなることがあります。内蔵温度センサのオフセット誤差を最小限にするため、1点キャリブレーションを推奨します。

(注 3) センサの標準的な等価インピーダンスは 51 k Ω です。必要とされるサンプル時間は、センサ・オン時間 $t_{SENSOR(on)}$ を含みます。

(注 4) 追加の電流は必要ありません。 V_{MID} はサンプリングの間に使用されます。

(注 5) オン時間 $t_{VMID(on)}$ は、サンプリング時間の $t_{VMID(sample)}$ に含まれます。追加のオン時間は必要ありません。

12 ビット DAC 電源特性

項目	測定条件	V_{CC}	最小	標準	最大	単位
AV_{CC} アナログ電源電圧	$AV_{CC} = DV_{CC}$ 、 $AV_{SS} = DV_{SS} = 0$ V		2.2		3.6	V
I_{DD} 電源電流: 1 DAC チャンネル (注 1、2)	DAC12AMPx = 2、DAC12IR = 0、 DAC12_xDAT = 0800h	2.2V/3V		50	110	μA
	DAC12AMPx = 2、DAC12IR = 1、 DAC12_xDAT = 0800h、 $V_{REF+} = V_{REF-} = AV_{CC}$	2.2V/3V		50	110	
	DAC12AMPx = 5、DAC12IR = 1、 DAC12_xDAT = 0800h、 $V_{REF+} = V_{REF-} = AV_{CC}$	2.2V/3V		200	440	
	DAC12AMPx = 7、DAC12IR = 1、 DAC12_xDAT = 0800h、 $V_{REF+} = V_{REF-} = AV_{CC}$	2.2V/3V		700	1500	
PSRR 電源電圧変動除去比 (注 3、4)	DAC12_xDAT = 800h、 $V_{REF} = 1.5$ V、 $\Delta AV_{CC} = 100$ mV	2.2V		70		dB
	DAC12_xDAT = 800h、 $V_{REF} = 1.5$ V 又は 2.5 V、 $\Delta AV_{CC} = 100$ mV	3V		70		

(注 1) DAC12_0 又は DAC12_1 出力端子は無負荷で、共有端子のための制御ビットは正しく設定されていると仮定します。

(注 2) 基準電圧端子への電流は含まれていません。DAC12IR = 1 の場合、電流は入力デバイダの中を流れます。基準電圧入力仕様を参照して下さい。

(注 3) $PSRR = 20 \cdot \log \{ \Delta AV_{CC} / \Delta V_{DAC12-xOUT} \}$

(注 4) V_{REF} は、外部から印加されます。内部基準電圧は使用しません。

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット DAC 直線性 (図 19 参照)

項目	測定条件	V _{CC}	最小	標準	最大	単位	
分解能	(12 ビット 単調性)		12			bits	
INL 積分非直線性 (注 1)	V _{ref} = 1.5 V, DAC12AMP _x = 7, DAC12IR = 1	2.2V		±2	±8	LSB	
	V _{ref} = 2.5 V, DAC12AMP _x = 7, DAC12IR = 1	3V		±2	±8		
DNL 微分非直線性 (注 1)	V _{ref} = 1.5 V, DAC12AMP _x = 7, DAC12IR = 1	2.2V		±0.4	±1	LSB	
	V _{ref} = 2.5 V, DAC12AMP _x = 7, DAC12IR = 1	3V		±0.4	±1		
E ₀	キャリブレーションなしのオフセット電圧 (注 1、2)	V _{ref} = 1.5 V, DAC12AMP _x = 7, DAC12IR = 1	2.2V			±21	mV
		V _{ref} = 2.5 V, DAC12AMP _x = 7, DAC12IR = 1	3V			±21	
	キャリブレーション後のオフセット電圧 (注 1、2)	V _{ref} = 1.5 V, DAC12AMP _x = 7, DAC12IR = 1	2.2V			±2.5	
		V _{ref} = 2.5 V, DAC12AMP _x = 7, DAC12IR = 1	3V			±2.5	
d _{E(0)} /d _T	オフセット誤差の温度係数 (注 1)		2.2V/3V		30	μV/°C	
E _G	ゲイン誤差 (注 1)	V _{REF} = 1.5 V	2.2V			±3.5	% FSR
		V _{REF} = 2.5 V	3V			±3.5	
d _{E(G)} /d _T	ゲイン温度係数 (注 1)		2.2V/3V		10	ppm of FSR/°C	
t _{Offset_Cal}	オフセット・キャリブレーション時間 (注 3)	DAC12AMP _x = 2	2.2V/3V			100	ms
		DAC12AMP _x = 3、5	2.2V/3V			32	
		DAC12AMP _x = 4、6、7	2.2V/3V			6	

- (注 1) パラメータは、0x0A から 0xFFF までのベスト・フィット曲線から計算しました。ベスト・フィット曲線法は、1 次方程式: $y = a + b \cdot x$ の係数「a」と「b」を求めるために使用されます。V_{DAC12_xOUT} = E₀ + (1 + E_G) * (V_{REF}/4095) * DAC12_xDAT、DAC12IR = 1
- (注 2) オフセット・キャリブレーションは、出力オペアンプで動作します。オフセット・キャリブレーションは、ビットDAC12CALON をセットすることによってトリガされます。
- (注 3) オフセット・キャリブレーションは、DAC12AMP_x = {2、3、4、5、6、7} の場合に行うことができます。出力オペアンプは、DAC12AMP_x = {0、1} でスイッチ・オフされます。DAC12 モジュールは、キャリブレーションを始める前に設定することを推奨します。キャリブレーションの間のポート動作は、精度に影響を与える可能性がありますので推奨しません。

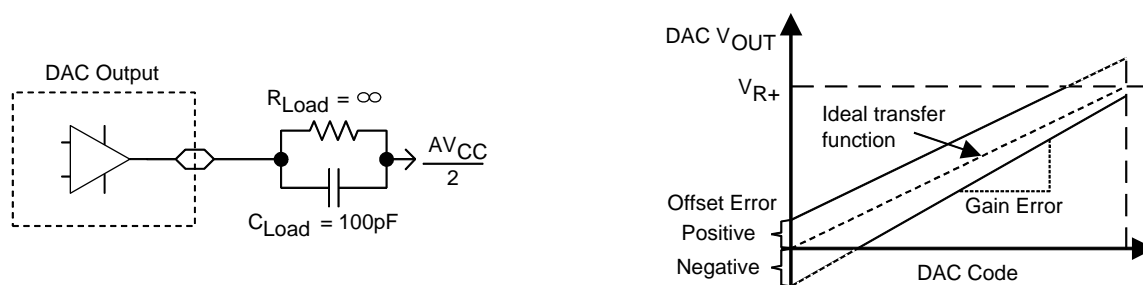
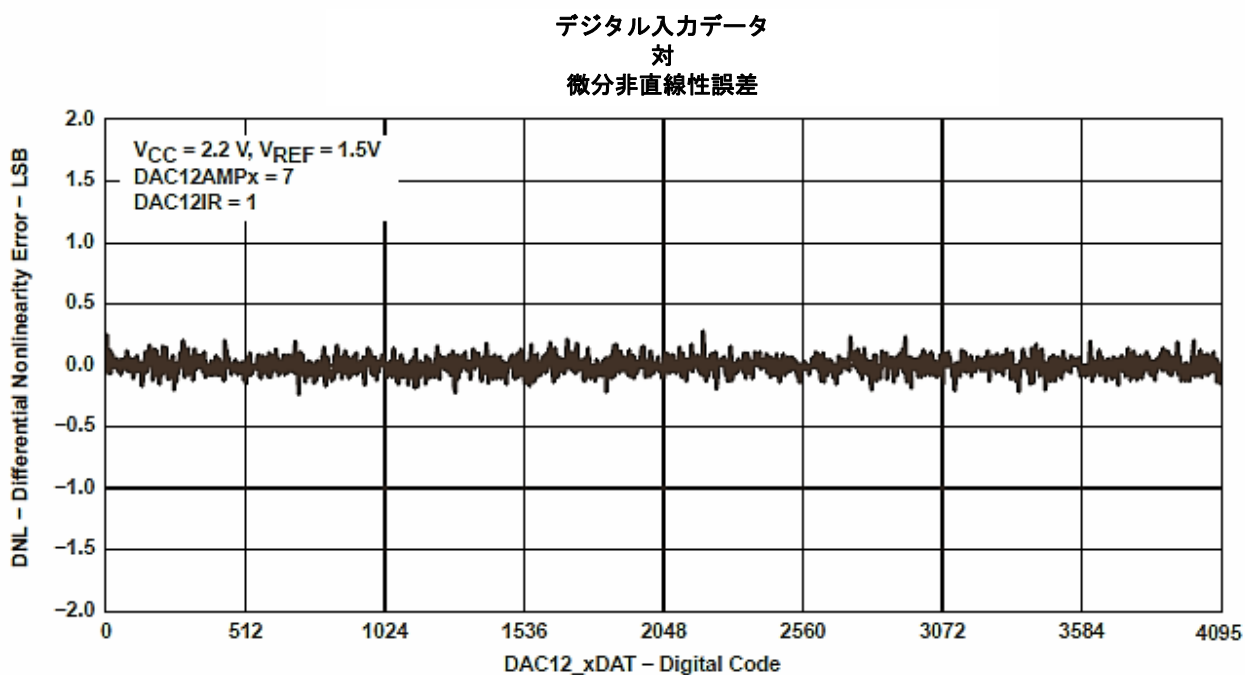
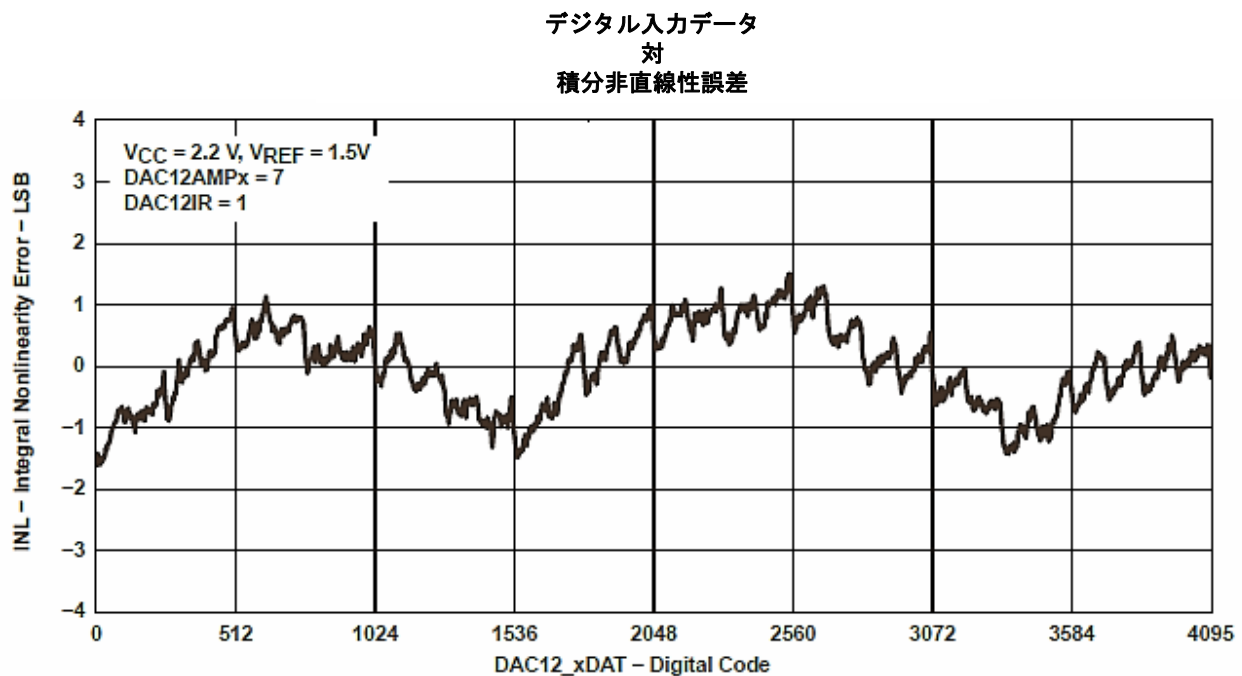


図 19. 直線性測定回路及びゲイン/オフセットの定義

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット DAC 直線性 (図 19 参照)



推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット DAC 出力特性

項目	測定条件	V _{CC}	最小	標準	最大	単位
V _O 出力電圧 (注 1、図 22 参照)	無負荷、V _{eREF+} = AV _{CC} 、 DAC12_xDAT = 0h、DAC12IR = 1、 DAC12AMPx = 7	2.2V/3V	0		0.005	V
	無負荷、V _{eREF+} = AV _{CC} 、 DAC12_xDAT = OFFFh、DAC12IR = 1、 DAC12AMPx = 7	2.2V/3V	AV _{CC} - 0.05		AV _{CC}	
	R _{Load} = 3 kΩ、V _{eREF+} = AV _{CC} 、 DAC12_xDAT = 0h、DAC12IR = 1、 DAC12AMPx = 7	2.2V/3V	0		0.1	
	R _{Load} = 3 kΩ、V _{eREF+} = AV _{CC} 、 DAC12_xDAT = OFFFh、DAC12IR = 1、 DAC12AMPx = 7	2.2V/3V	AV _{CC} - 0.13		AV _{CC}	
C _{L(DAC12)} 最大 DAC12 負荷容量		2.2V/3V			100	pF
I _{L(DAC12)} 最大 DAC12 負荷電流		2.2V	-0.5		+0.5	mA
		3V	-1		+1	
R _{O/P(DAC12)} 出力抵抗 (図 22 参照)	R _{Load} = 3 kΩ、 V _{O/P(DAC12)} = 0 V、 DAC12AMPx = 7、 DAC12_xDAT = 0h	2.2V/3V		150	250	Ω
	R _{Load} = 3 kΩ、 V _{O/P(DAC12)} = AV _{CC} 、 DAC12AMPx = 7、 DAC12_xDAT = OFFFh	2.2V/3V		150	250	
	R _{Load} = 3 kΩ、 0.3 V ≤ V _{O/P(DAC12)} ≤ AV _{CC} - 0.3 V、 DAC12AMPx = 7	2.2V/3V		1	4	

(注 1) データは、出力アンプのオフセット・キャリブレーション後に有効になります。

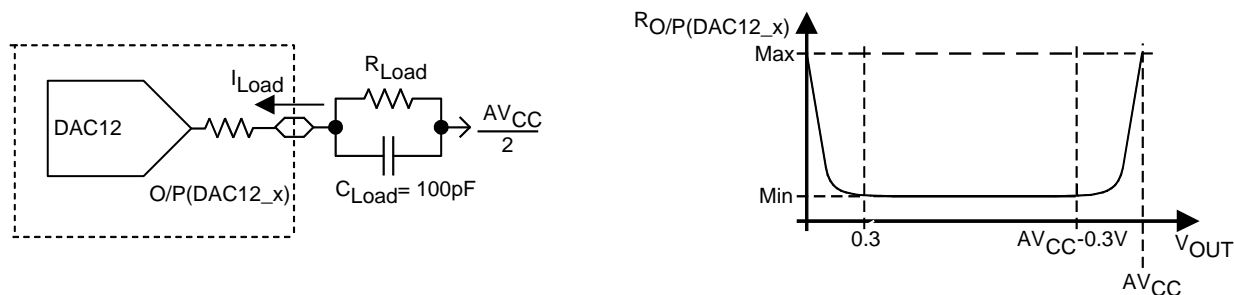


図 22. DAC12_x 出力抵抗の測定

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

12 ビット DAC 基準電圧入力特性

項目	測定条件	V _{CC}	最小	標準	最大	単位	
V _{eREF+}	基準電圧入力電圧	DAC12IR = 0、(注 1、2)	2.2V/3V	AV _{CC} /3	AV _{CC} + 0.2	V	
		DAC12IR = 1、(注 3、4)	2.2V/3V	AV _{CC}	AV _{CC} + 0.2		
R _{i(VREF+)} 、 R _{i(VeREF+)}	基準電圧入力抵抗	DAC12_OIR = DAC12_IIR = 0	2.2V/3V	20		MΩ	
		DAC12_OIR = 1、DAC12_IIR = 0	2.2V/3V	40	48	56	kΩ
		DAC12_OIR = 0、DAC12_IIR = 1	2.2V/3V	40	48	56	kΩ
		DAC12_OIR = DAC12_IIR = 1、 DAC12_OSREF _x = DAC12_ISREF _x 、(注 5)	2.2V/3V	20	24	28	kΩ

(注 1) フルスケール出力のためには、基準入力電圧は最大出力電圧振幅 (AV_{CC}) の 1/3 まで高くすることができます。

(注 2) 基準入力電圧端子に印加される最大電圧 V_{eREF+} = [AV_{CC} - V_{E(0)}] / [3*(1 + E_G)]

(注 3) フルスケール出力のためには、基準入力電圧は最大出力電圧振幅 (AV_{CC}) まで高くすることができます。

(注 4) 基準入力電圧端子に印加される最大電圧 V_{eREF+} = [AV_{CC} - V_{E(0)}] / (1 + E_G)

(注 5) 両方のチャンネルの DAC12IR = 1 及び DAC12SREF_x = 0 又は 1 の時、各 DAC の基準電圧入力抵抗ディバイダは並列になり、基準電圧入力抵抗が低下します。

12 ビット DAC 動特性 (V_{ref} = V_{CC}、DAC12IR = 1、図 23、24 参照)

項目	測定条件	V _{CC}	最小	標準	最大	単位
t _{ON} DAC12 オン時間	DAC12_xDAT = 800h、 Error _{V(0)} < ±0.5 LSB (注 1、図 23 参照)	DAC12AMP _x = 0 → {2、3、4}	2.2V/3V	60	120	μs
		DAC12AMP _x = 0 → {5、6}	2.2V/3V	15	30	
		DAC12AMP _x = 0 → 7	2.2V/3V	6	12	
t _{s(PS)} セトリング時間、 フルスケール	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMP _x = 2	2.2V/3V	100	200	μs
		DAC12AMP _x = 3、5	2.2V/3V	40	80	
		DAC12AMP _x = 4、6、7	2.2V/3V	15	30	
t _{s(C-C)} セトリング時間、 コード間	DAC12_xDAT = 3F8h → 408h → 3F8h、 BF8h → C08h → BF8h	DAC12AMP _x = 2	2.2V/3V	5		μs
		DAC12AMP _x = 3、5	2.2V/3V	2		
		DAC12AMP _x = 4、6、7	2.2V/3V	1		
SR スルー・レート	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMP _x = 2	2.2V/3V	0.05	0.12	V/μs
		DAC12AMP _x = 3、5	2.2V/3V	0.35	0.7	
		DAC12AMP _x = 4、6、7	2.2V/3V	1.5	2.7	
グリッチ・エネルギー : フルスケール	DAC12_xDAT = 80h → F7Fh → 80h	DAC12AMP _x = 2	2.2V/3V		10	nV-s
		DAC12AMP _x = 3、5	2.2V/3V		10	
		DAC12AMP _x = 4、6、7	2.2V/3V		10	

(注 1) 図 23 の R_{Load} 及び C_{Load} は、AV_{SS} (AV_{CC}/2 ではなく) に接続します。

(注 2) スルー・レートは、出力電圧ステップ ≥ 200mV に適用します。

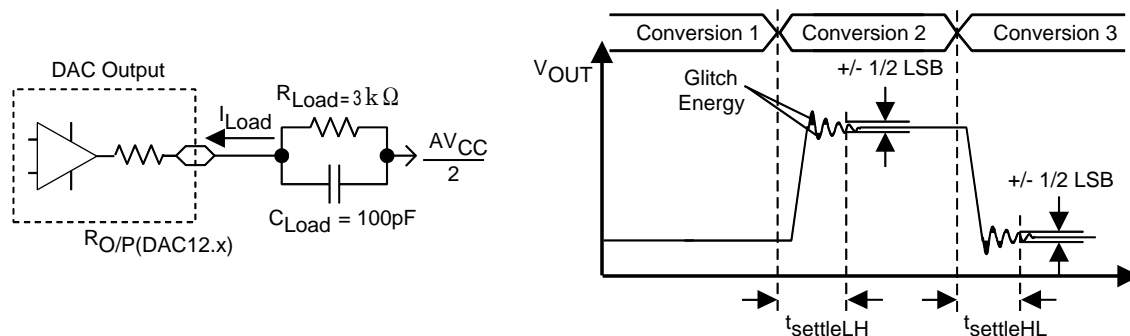


図 23. セトリング時間及びグリッチ・エネルギー測定回路

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

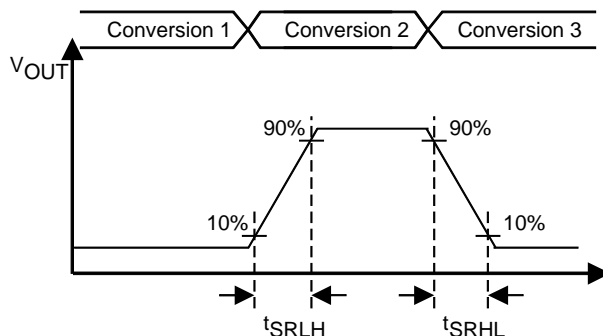


図 24. スルー・レート電圧波形

12 ビット DAC 動特性 (続き) 特記無き場合、 $T_A = 25^\circ\text{C}$

項目	測定条件	V_{CC}	最小	標準	最大	単位
3 dB 帯域幅、 $V_{DC} = 1.5\text{ V}$ 、 $V_{AC} = 0.1\text{ V}_{PP}$ (図 25 参照)	DAC12AMP _x = {2, 3, 4}、DAC12SREF _x = 2、 DAC12IR = 1、DAC12_xDAT = 800h	2.2V/3V	40			kHz
	DAC12AMP _x = {5, 6}、DAC12SREF _x = 2、 DAC12IR = 1、DAC12_xDAT = 800h	2.2V/3V	180			
	DAC12AMP _x = 7、DAC12SREF _x = 2、 DAC12IR = 1、DAC12_xDAT = 800h	2.2V/3V	550			
チャンネル間クロストーク (注 1、図 26 参照)	DAC12_ODAT = 800h、無負荷、 DAC12_1DAT = 80h \leftrightarrow F7Fh、 $R_{Load} = 3\text{ k}\Omega$ 、 $f_{DAC12_1OUT} = 10\text{ kHz}$ @ 50/50% デューティ比	2.2V/3V		-80		dB
	DAC12_ODAT = 80h \leftrightarrow F7Fh、 $R_{Load} = 3\text{ k}\Omega$ 、 DAC12_1DAT = 800h、無負荷、 $f_{DAC12_0OUT} = 10\text{ kHz}$ @ 50/50% デューティ比	2.2V/3V		-80		

(注 1) $R_{LOAD} = 3\text{ k}\Omega$ 、 $C_{LOAD} = 100\text{ pF}$

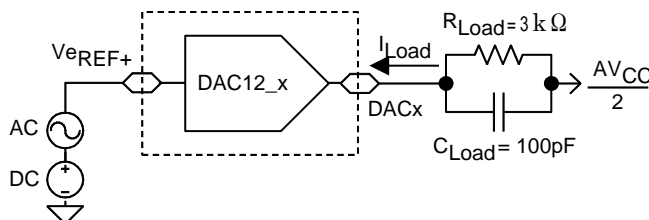


図 25. 3 dB 帯域幅特性

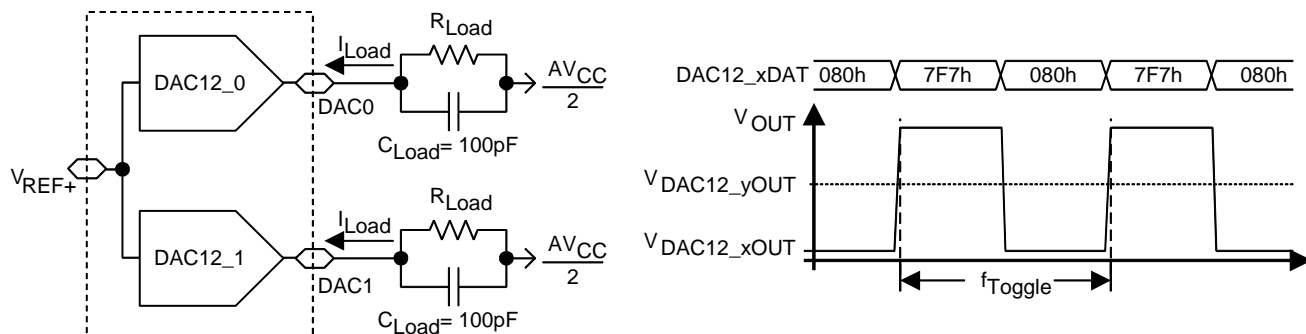


図 26. クロストーク特性

MSP430x15x、MSP430x16x、MSP430x161x
 ミックスド・シグナル・マイクロコントローラ

SLAS448 - 2005 年 4 月

推奨動作温度範囲における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項目	測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(PGM/ERASE)} プログラム及び消去時電源電圧			2.7		3.6	V
f _{FTG} フラッシュ・タイミング発生器周波数			257		476	kHz
I _{PCM} プログラム時消費電流 (DV _{CC})		2.7 V / 3.6 V		3	5	mA
I _{ERASE} 消去時消費電流 (DV _{CC})		2.7 V / 3.6 V		3	7	mA
t _{CPT} 累積プログラム時間	(注 1)	2.7 V / 3.6 V			4	ms
t _{CM_Erase} 累積一括消去時間	(注 2)	2.7 V / 3.6 V	200			ms
プログラム/消去回数			10 ⁴	10 ⁵		cycles
t _{Retention} データ保持期間	T _J = 25°C		100			years
t _{Word} ワード又はバイト・プログラム時間	(注 3)			35		t _{FTG}
t _{Block, 0} 先頭バイト又はワードのブロック・プログラム時間				30		
t _{Block, 1-63} 各後続バイト又はワードのブロック・プログラム時間				21		
t _{Block, End} ブロック・プログラム終了シーケンスのウェイト時間				6		
t _{Mass_Erase} 一括消去時間				5297		
t _{Seg_Erase} セグメント消去時間				4819		

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG}, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)

(注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t_{FTG} = 1/f_{FTG})

JTAG インタフェース

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{TCK} TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
		3 V	0		10	
R _{Internal} 内部プルアップ抵抗 (TMS, TCK, TDI/TCLK)	(注 2)	2.2 V / 3 V	25	60	90	kΩ

(注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注 2) TMS, TDI/TCLK、及び TCK プルアップ抵抗は、すべてのバージョンに内蔵されています。

JTAG ヒューズ (注 1)

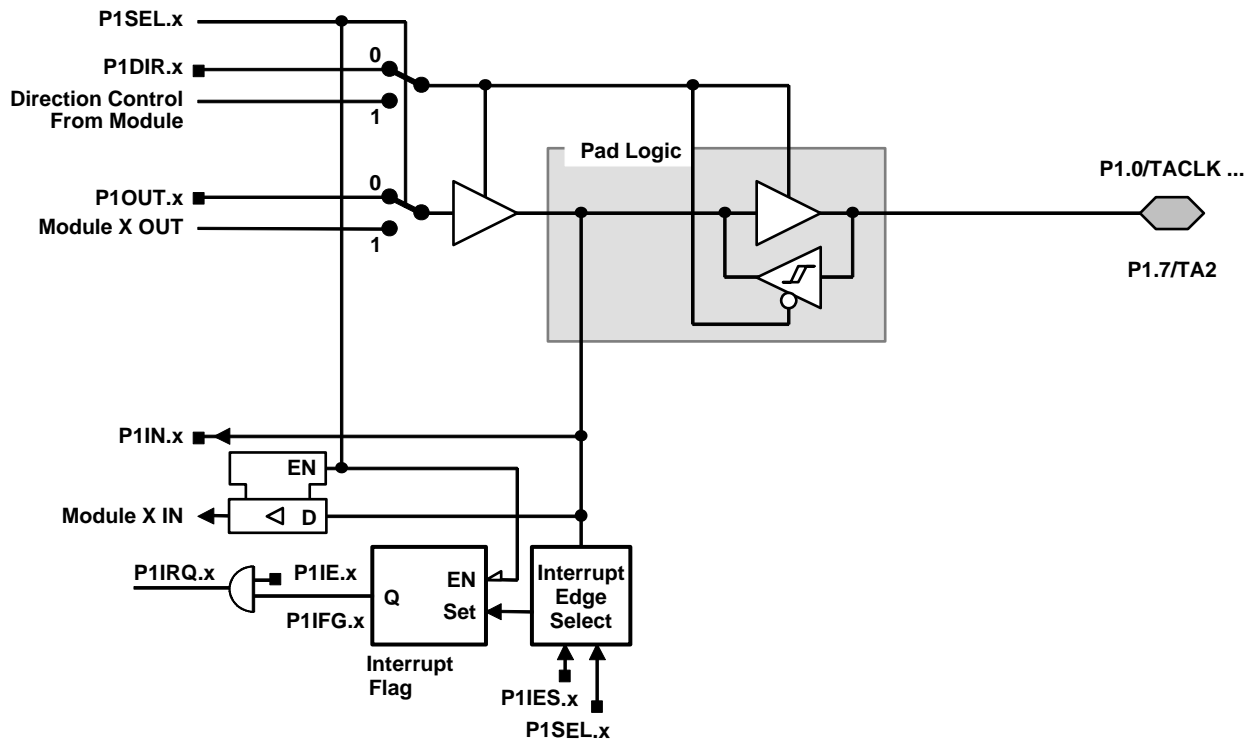
項目	測定条件	V _{CC}	最小	標準	最大	単位
V _{CC(FB)} ヒューズ切断時の電源電圧	T _A = 25°C		2.5			V
V _{FB} ヒューズ切断電圧 (TDI/TCLK) : F バージョン			6		7	V
I _{FB} ヒューズ切断時の消費電流 (TDI/TCLK)					100	mA
t _{FB} ヒューズ切断時間					1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG /テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力/出力図

ポート P1、P1.0 ~ P1.7、シュミット・トリガ入力/出力



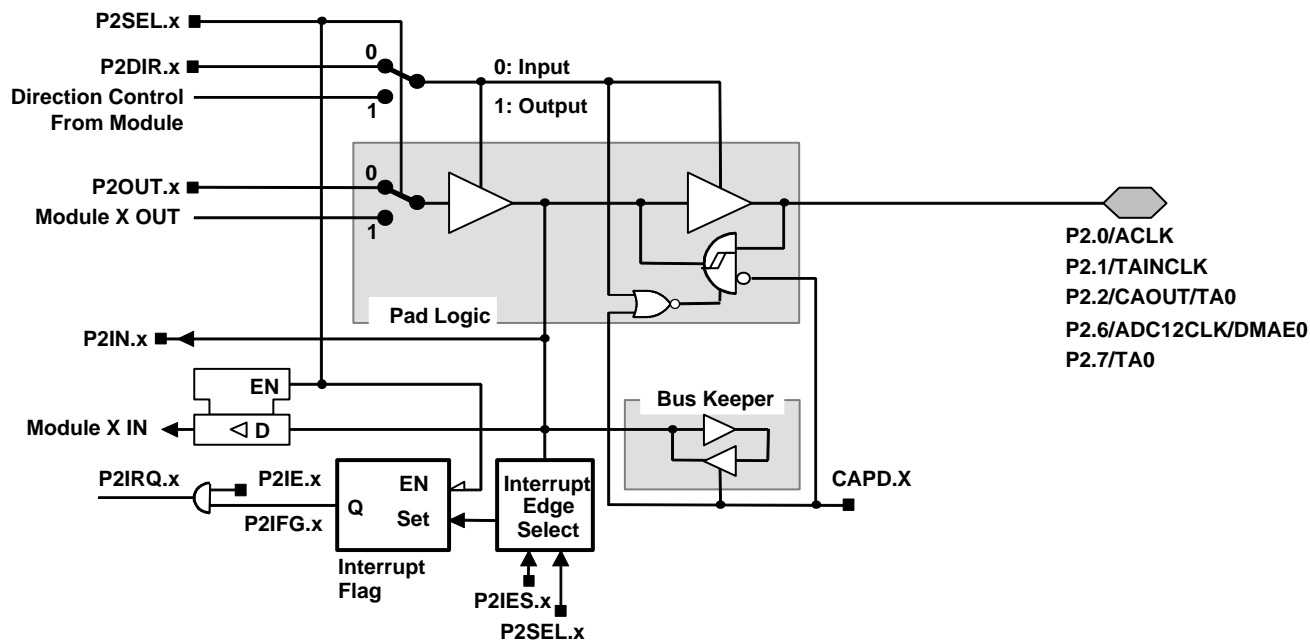
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	DV _{SS}	P1IN.0	TACLK †	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	Out0 signal †	P1IN.1	CCI0A †	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 signal †	P1IN.2	CCI1A †	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	Out2 signal †	P1IN.3	CCI2A †	P1IE.3	P1IFG.3	P1IES.3
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	Out0 signal †	P1IN.5	unused	P1IE.5	P1IFG.5	P1IES.5
P1Sel.6	P1DIR.6	P1DIR.6	P1OUT.6	Out1 signal †	P1IN.6	unused	P1IE.6	P1IFG.6	P1IES.6
P1Sel.7	P1DIR.7	P1DIR.7	P1OUT.7	Out2 signal †	P1IN.7	unused	P1IE.7	P1IFG.7	P1IES.7

† タイマ_A からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

ポート P2, P2.0 ~ P2.2, P2.6, P2.7 シュミット・トリガ入力/出力



x: Bit Identifier 0 to 2, 6, and 7 for Port P2

PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P2IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	DV _{SS}	P2IN.1	INCLK ‡	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	CAOUT †	P2IN.2	CC10B ‡	P2IE.2	P2IFG.2	P2IES.2
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	ADC12CLK ¶	P2IN.6	DMAE0 #	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	Out0 signal §	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

† コンパレータ_A からの信号

‡ タイマ_A への信号

§ タイマ_A からの信号

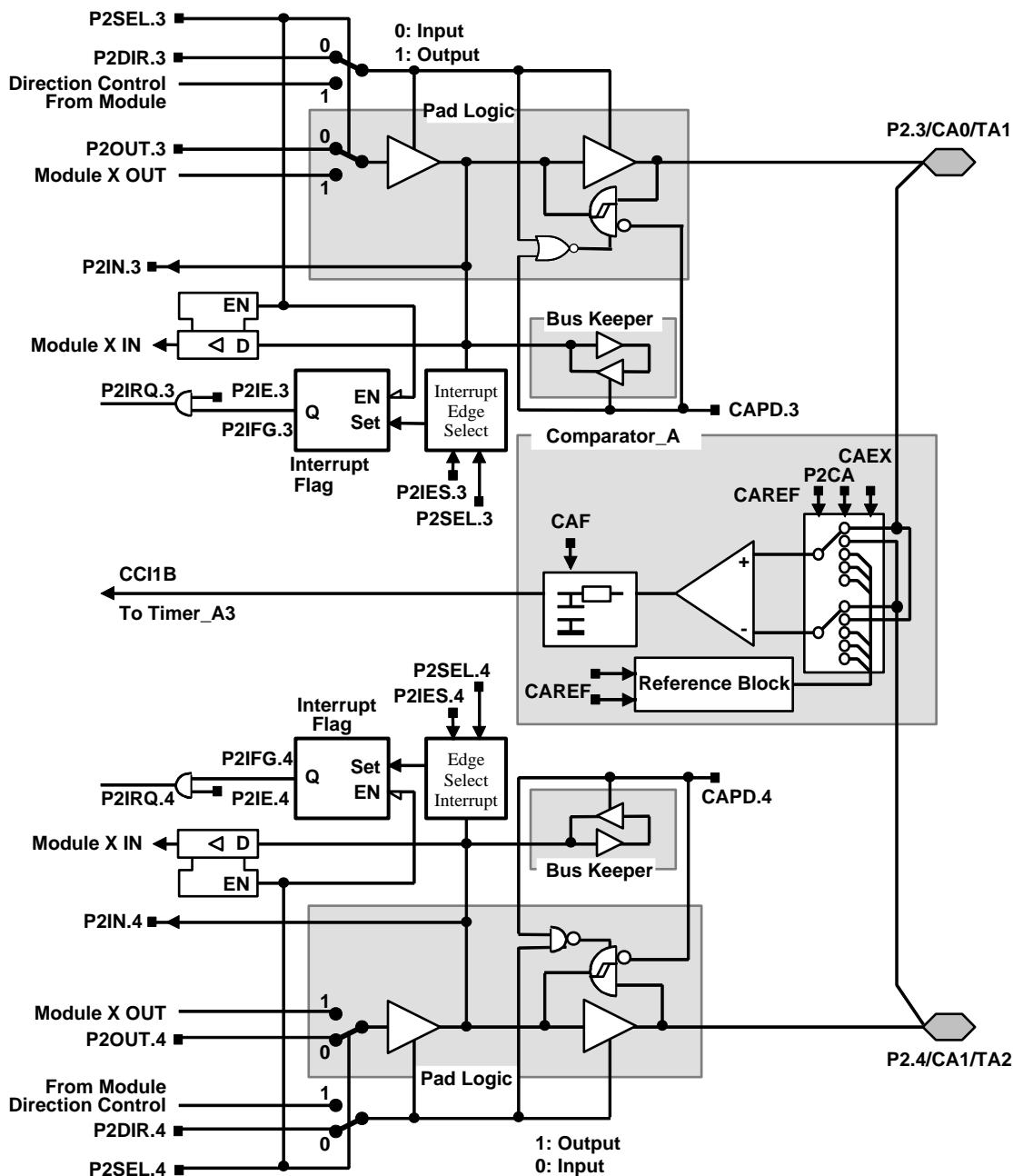
¶ ADC12CLK 信号は、12 ビット ADC モジュールの出力です。

DMA への信号、チャンネル 0、1、及び 2

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力/出力



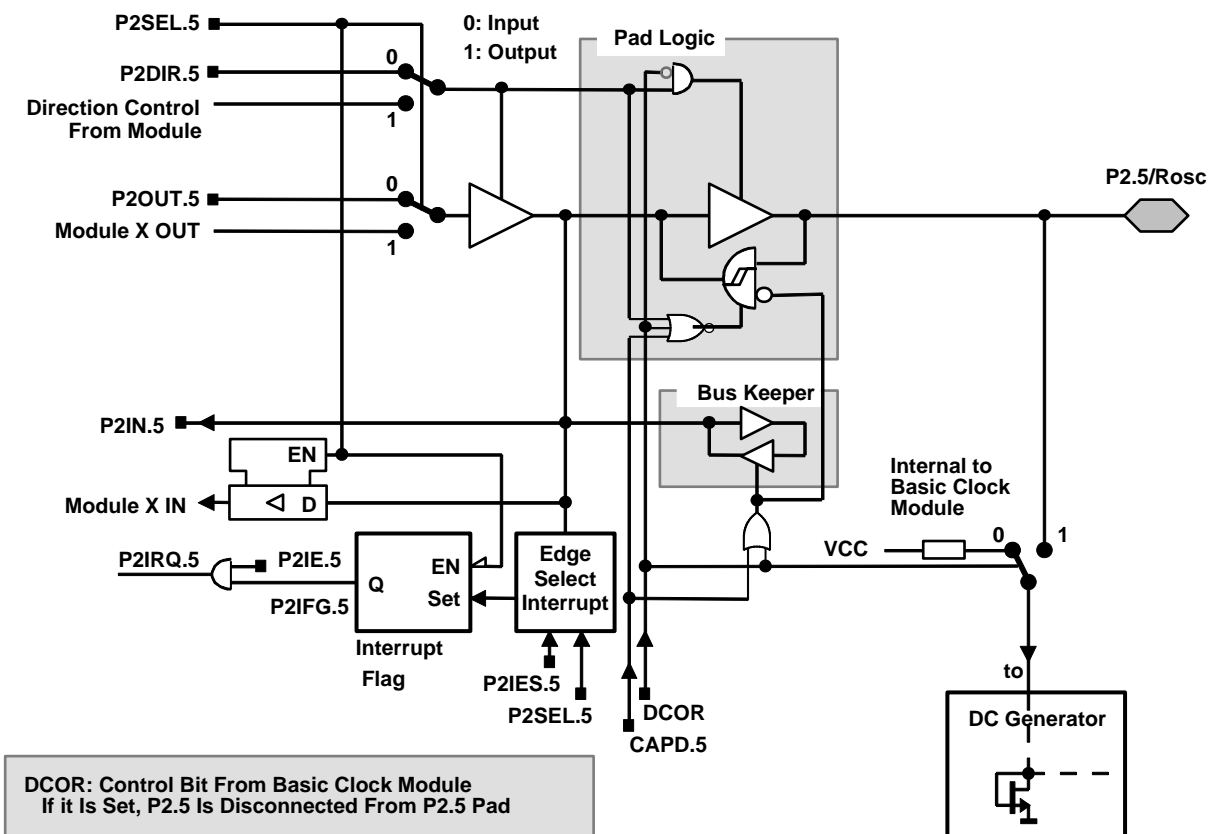
PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	Out1 signal †	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	Out2 signal †	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4

† タイマ_A からの信号

アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.5、シュミット・トリガ入力/出力及び基本クロック・モジュールの R_{osc} 機能



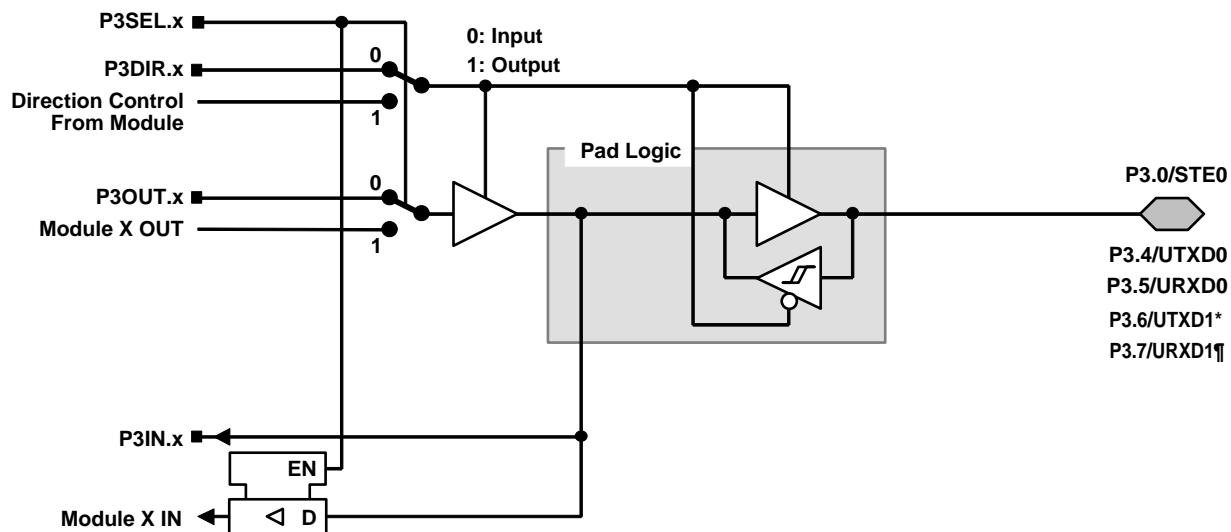
DCOR: Control Bit From Basic Clock Module
 If it Is Set, P2.5 Is Disconnected From P2.5 Pad

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	DV _{SS}	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5

アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.0、P3.4 ~ P3.7、シュミット・トリガ入力/出力



x: Bit Identifier, 0 and 4 to 7 for Port P3

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P3Sel.0	P3DIR.0	DV _{SS}	P3OUT.0	DV _{SS}	P3IN.0	STE0
P3Sel.4	P3DIR.4	DV _{CC}	P3OUT.4	UTXD0 †	P3IN.4	Unused
P3Sel.5	P3DIR.5	DV _{SS}	P3OUT.5	DV _{SS}	P3IN.5	URXD0 §
P3Sel.6	P3DIR.6	DV _{CC}	P3OUT.6	UTXD1 ‡	P3IN.6	Unused
P3Sel.7	P3DIR.7	DV _{SS}	P3OUT.7	DV _{SS}	P3IN.7	URXD1 ¶

† USART0 モジュールからの出力

‡ USART1 モジュールからの出力

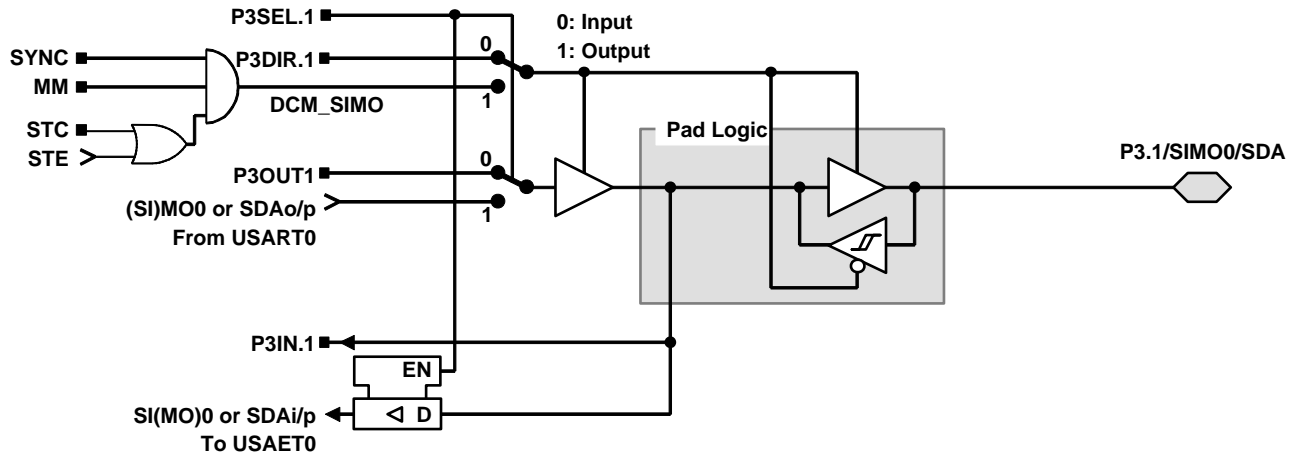
§ USART0 モジュールへの入力

¶ USART1 モジュールへの入力

アプリケーション情報

入力/出力図 (続き)

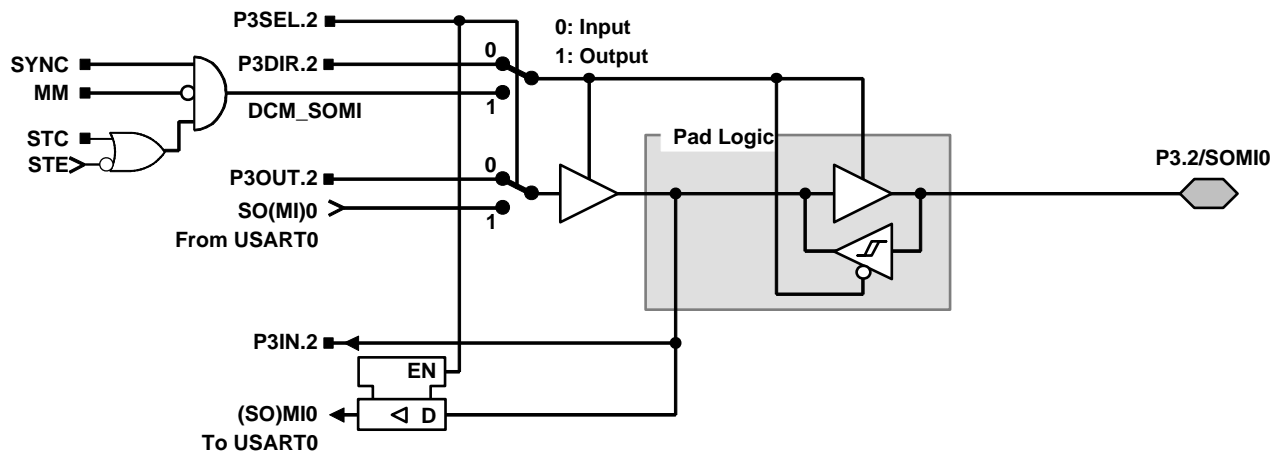
ポート P3、P3.1 シュミット・トリガ入力/出力



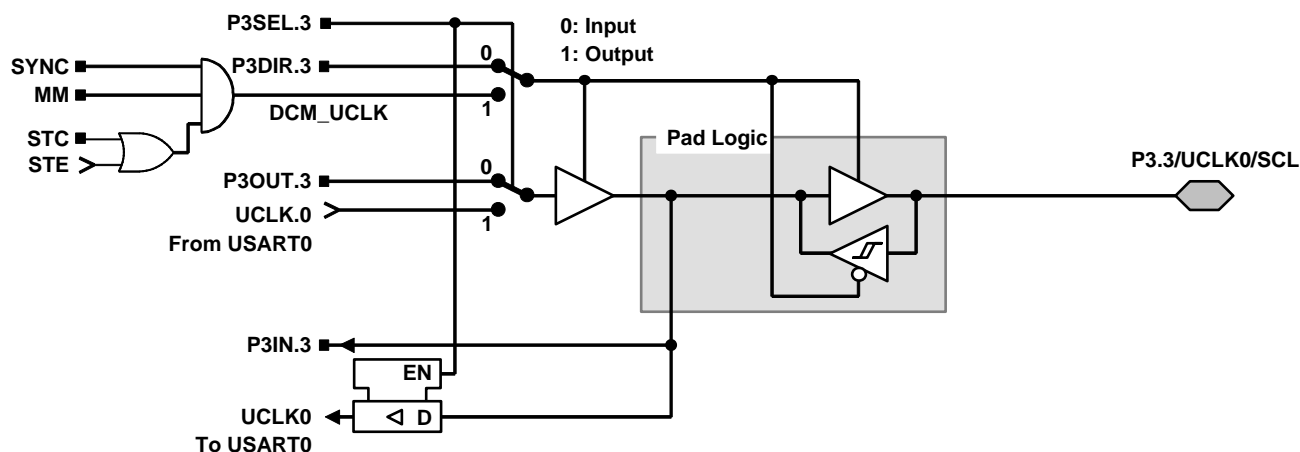
アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.2 シュミット・トリガ入力/出力



ポート P3、P3.3 シュミット・トリガ入力/出力

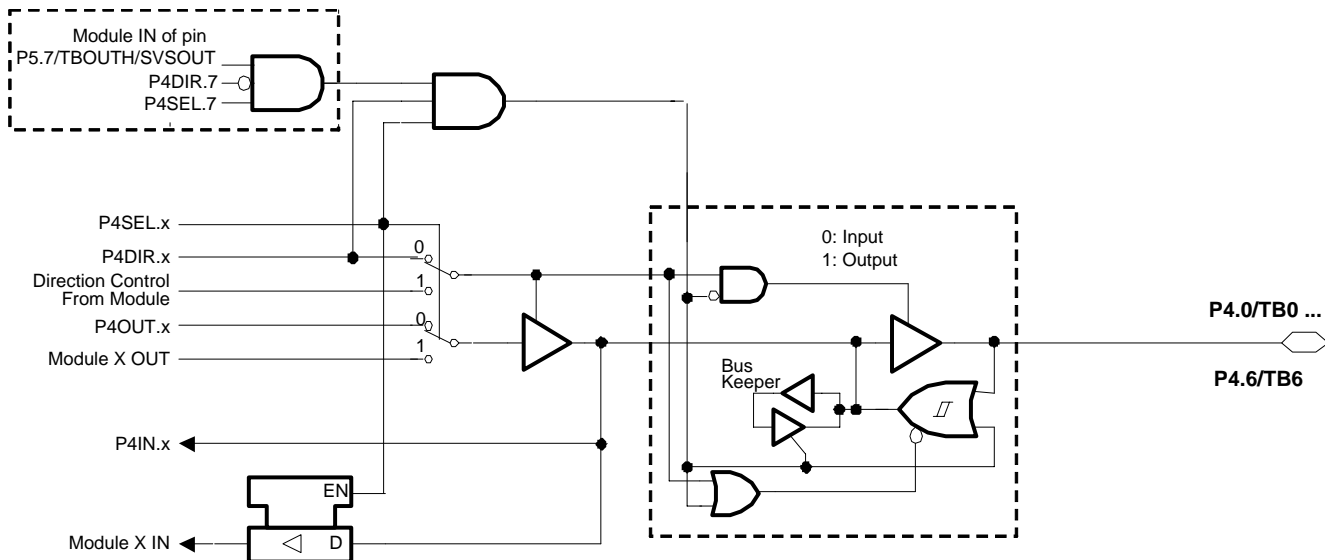


- (注) : UART モード: UART クロックは入力のみになることができます。UART モード 及び UART 機能が選択された場合は、P3.3/UCLK0 は常に入力です。
- SPI、スレーブ・モード: UCLK0 に印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。
- I²C、スレーブ・モード: SCL に印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。モジュールのクロック・ソースの周波数 \geq SCL クロック周波数 $\times 10$ でなければなりません。
- I²C、マスタ・モード: データをシフト・イン及びシフト・アウトするために、クロックは SCL 端子を通してすべての I²C スレーブに供給されます。モジュールのクロック・ソースの周波数 \geq SCL クロック周波数 $\times 10$ でなければなりません。

アプリケーション情報

入力/出力図 (続き)

ポート P4、P4.0 ~ P4.6、シュミット・トリガ入力/出力



x: Bit Identifier, 0 to 6 for Port P4

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P4Sel.0	P4DIR.0	P4DIR.0	P4OUT.0	Out0 signal †	P4IN.0	CCI0A / CCI0B ‡
P4Sel.1	P4DIR.1	P4DIR.1	P4OUT.1	Out1 signal †	P4IN.1	CCI1A / CCI1B ‡
P4Sel.2	P4DIR.2	P4DIR.2	P4OUT.2	Out2 signal †	P4IN.2	CCI2A / CCI2B ‡
P4Sel.3	P4DIR.3	P4DIR.3	P4OUT.3	Out3 signal †	P4IN.3	CCI3A / CCI3B ‡
P4Sel.4	P4DIR.4	P4DIR.4	P4OUT.4	Out4 signal †	P4IN.4	CCI4A / CCI4B ‡
P4Sel.5	P4DIR.5	P4DIR.5	P4OUT.5	Out5 signal †	P4IN.5	CCI5A / CCI5B ‡
P4Sel.6	P4DIR.6	P4DIR.6	P4OUT.6	Out6 signal †	P4IN.6	CCI6A

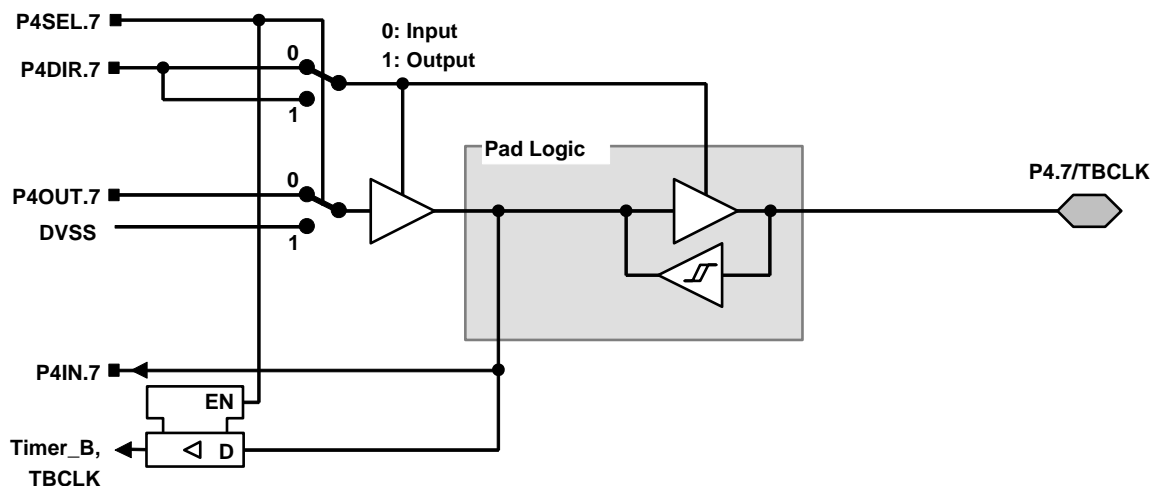
† タイマ_B からの信号

‡ タイマ_B への信号

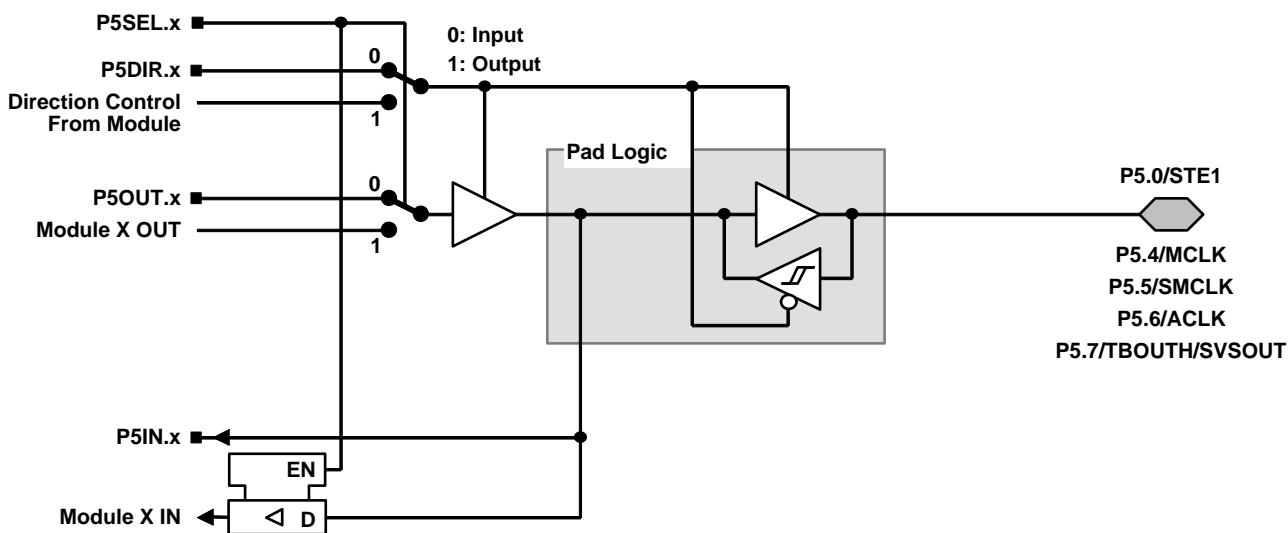
アプリケーション情報

入力/出力図 (続き)

ポート P4、P4.7、シュミット・トリガ入力/出力



ポート P5、P5.0、及び P5.4 ~ P5.7 シュミット・トリガ入力/出力



x: Bit Identifier, 0 and 4 to 7 for Port P5

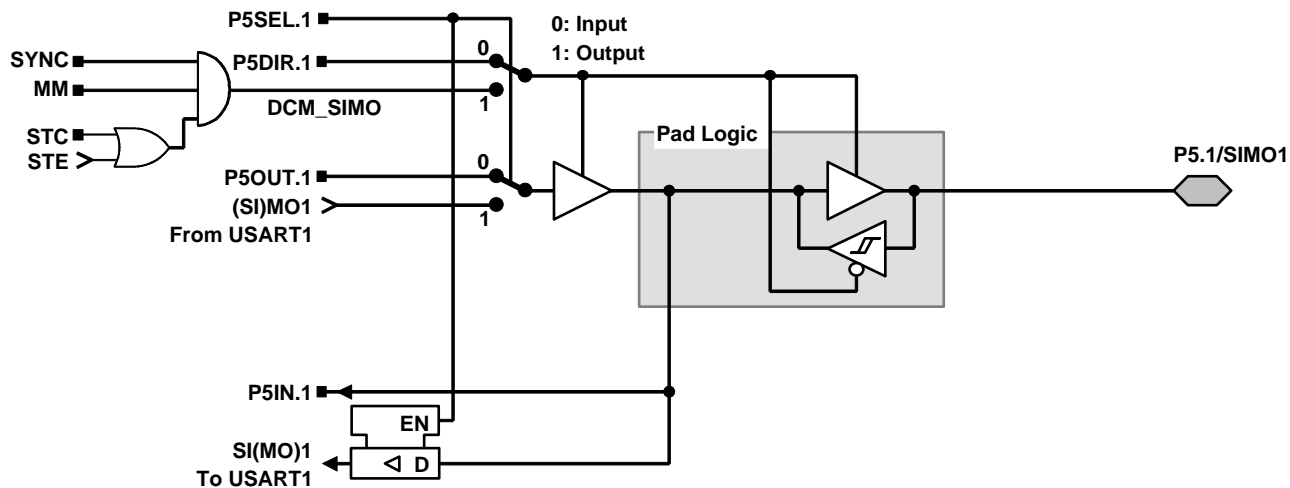
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P5Sel.0	P5DIR.0	DV _{SS}	P5OUT.0	DV _{SS}	P5IN.0	STE.1
P5Sel.4	P5DIR.4	DV _{CC}	P5OUT.4	MCLK	P5IN.4	unused
P5Sel.5	P5DIR.5	DV _{CC}	P5OUT.5	SMCLK	P5IN.5	unused
P5Sel.6	P5DIR.6	DV _{CC}	P5OUT.6	ACLK	P5IN.6	unused
P5Sel.7	P5DIR.7	DV _{SS}	P5OUT.7	SVSOUT	P5IN.7	TBOUTHiZ

(注) TBOUTHiZ 信号は、ポート・モジュール P4、P4.0 ~ P4.6 端子によって使用されます。TBOUTHiZ の機能は、タイマ_B7 と一緒に使用する場合に特に役に立ちます。

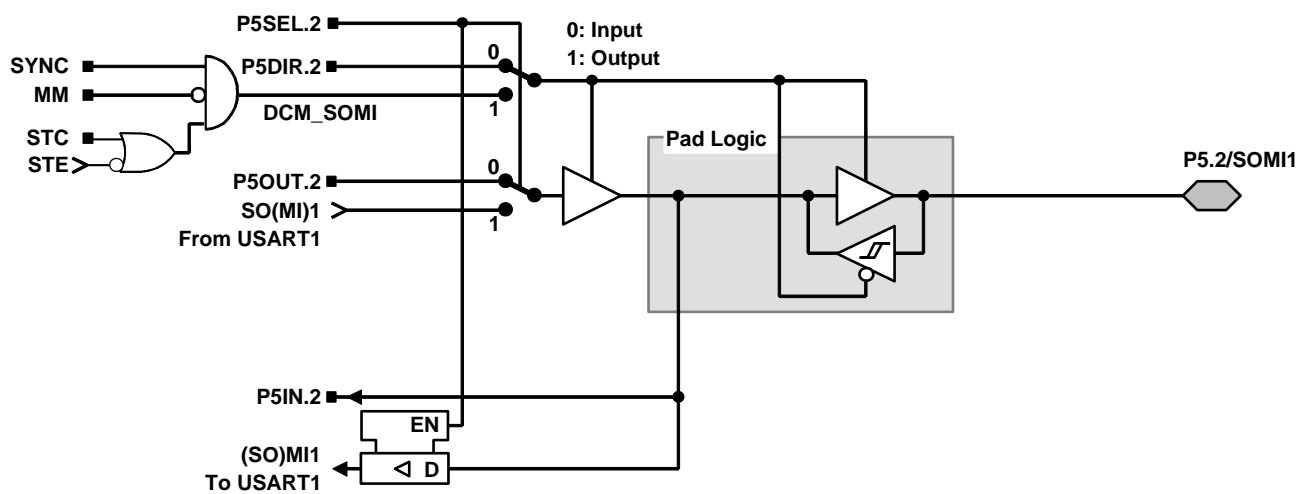
アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.1、シュミット・トリガ入力/出力



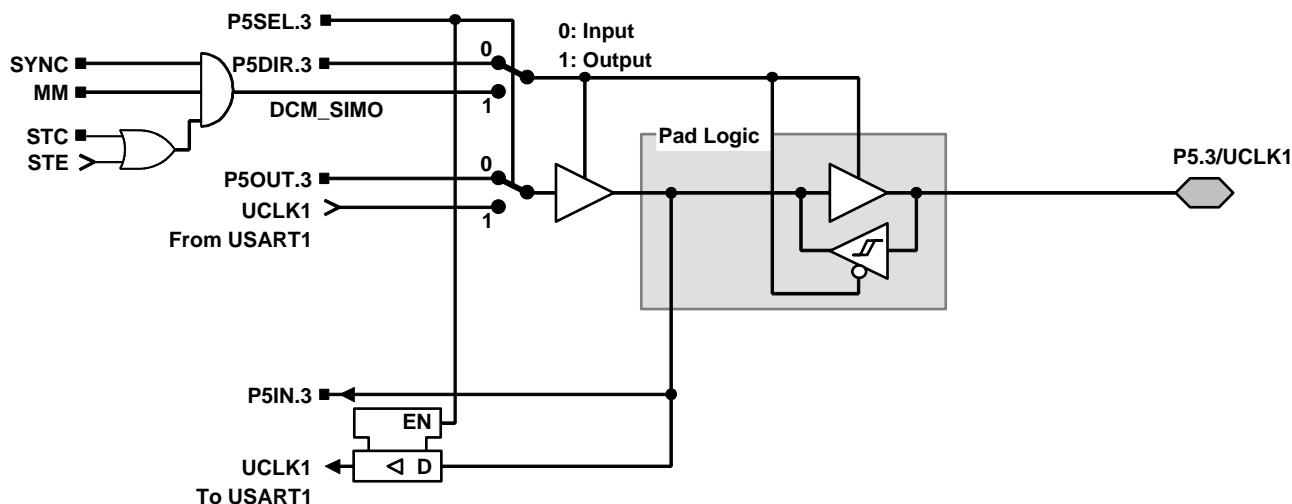
ポート P5、P5.2、シュミット・トリガ入力/出力



アプリケーション情報

入力/出力図 (続き)

ポート P5、P5.3、シュミット・トリガ入力/出力

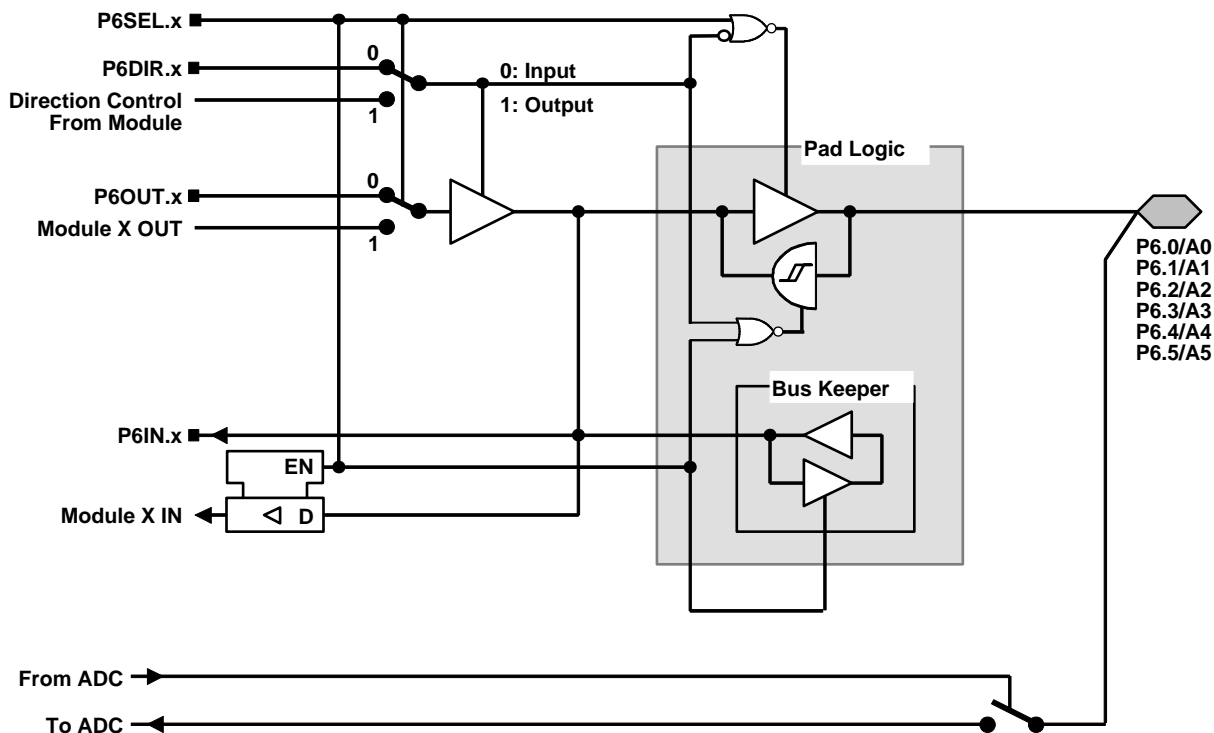


- (注) : UART モード: UART クロックは入力のみになることができます。UART モード 及び UART 機能が選択された場合は、P5.3/UCLK1 は常に入力です。
- SPI、スレーブ・モード: UCLK1 に印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。
- SPI、マスタ・モード: データをシフト・イン及びシフト・アウトするためのクロックは、接続されたデバイスの P5.3/UCLK1 端子に供給されます。(スレーブ・モード)

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.0 ~ P6.5、シュミット・トリガ入力/出力



x: Bit Identifier, 0 to 5 for Port P6

(注) デジタル・ゲートに印加されるアナログ信号は、正端子から負端子に流れる電流を引き起こすことがあります。アナログ信号が 0 → 1 又は 1 → 0 に変化する期間、スループット電流が流れます。スループット電流の値は、ゲートの駆動能力に依存します。MSP430 では、約 100 μ A です。
 スループット電流を防止するには、P6Sel.x = 1 を使用して下さい。ADC12 によって使用されていない場合でも、P6Sel.x は設定しなければなりません。

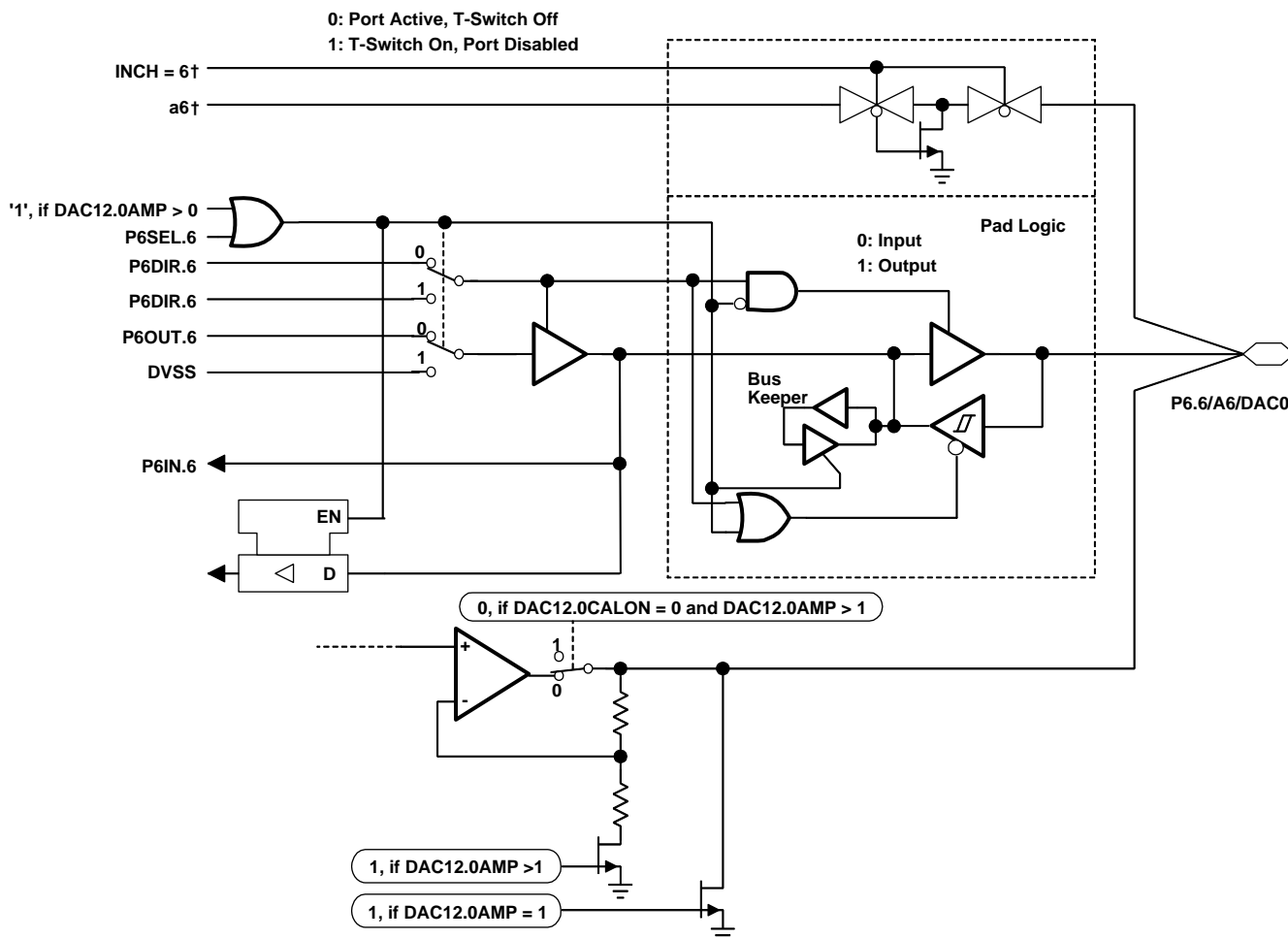
PnSel.x	PnDIR.x	DIR. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DV _{SS}	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DV _{SS}	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DV _{SS}	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DV _{SS}	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DV _{SS}	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DV _{SS}	P6IN.5	unused

(注) P6.x/Ax 端子の信号は、12 ビット ADC モジュールによって使用されます。

アプリケーション情報

入力/出力図 (続き)

ポート P6、P6.6 シュミット・トリガ入力/出力

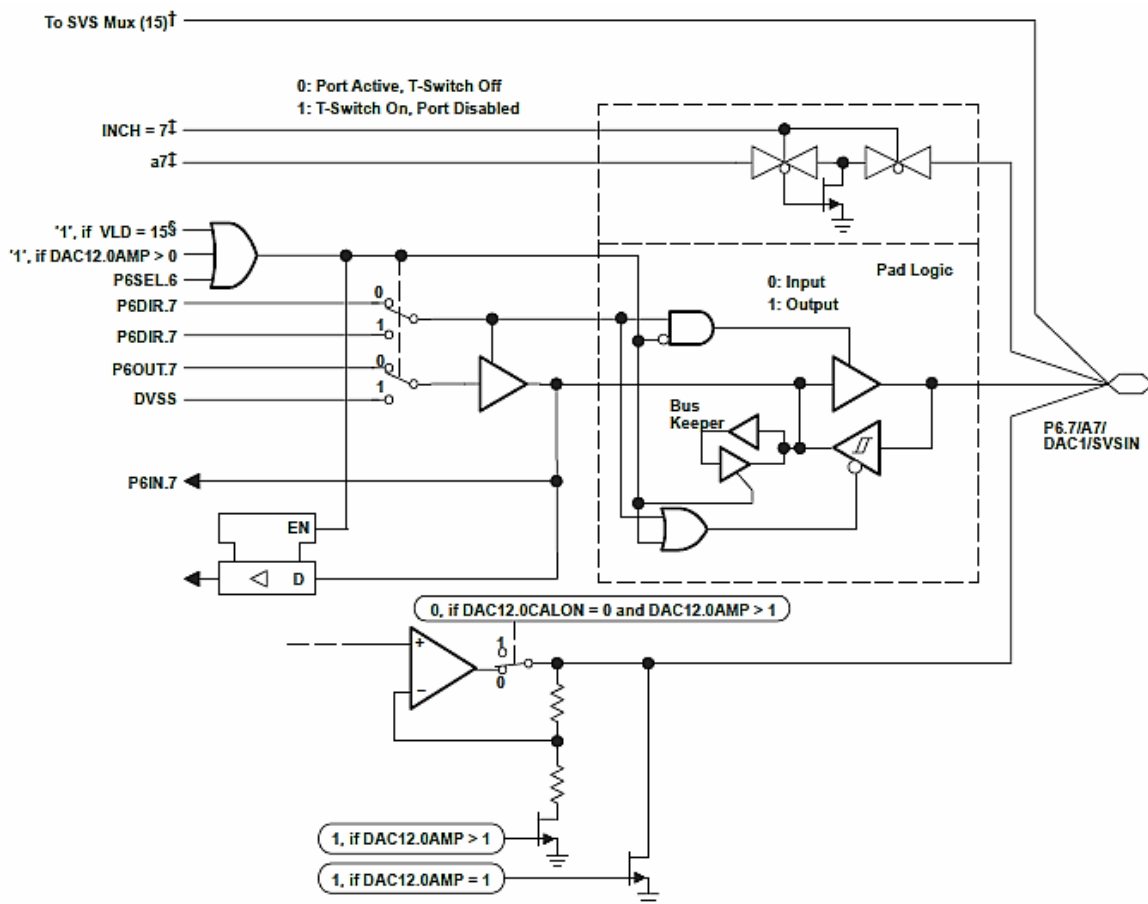


† ADC12 からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

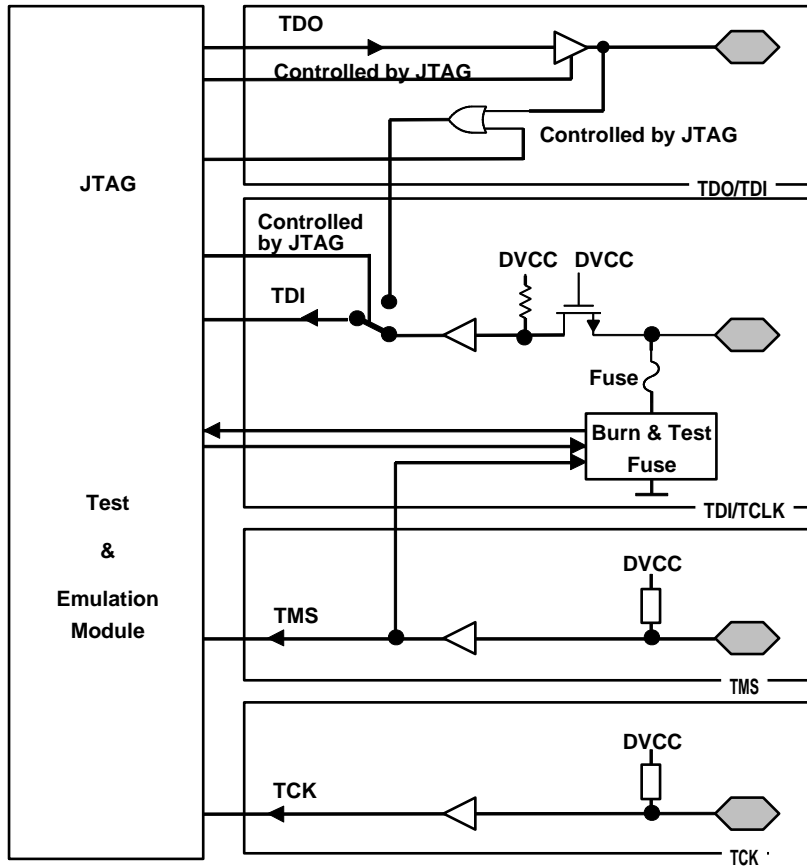
ポート P6、P6.7、シュミット・トリガ入力/出力



† SVS ブロックへの信号。VLD = 15 の時選択されます。
 ‡ ADC12 からの (又はへの) 信号
 § VLD 制御ビットは SVS の中にあります。

アプリケーション情報

JTAG 端子 TMS、TCK、TDI/TCLK、TDO/TDI、シュミット・トリガ入力/出力



During Programming Activity and During Blowing of the Fuse, Pin TDO/TDI Is Used to Apply the Test Input Data for JTAG Circuitry

アプリケーション情報

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TDI/TCLK 端子にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の I_{TF} チェック電流が TDI/TCLK 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 16 参照) の時のみに発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

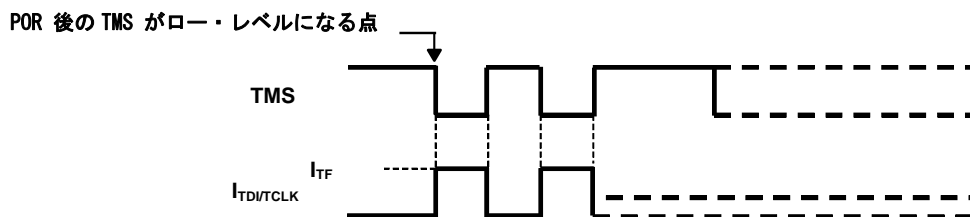
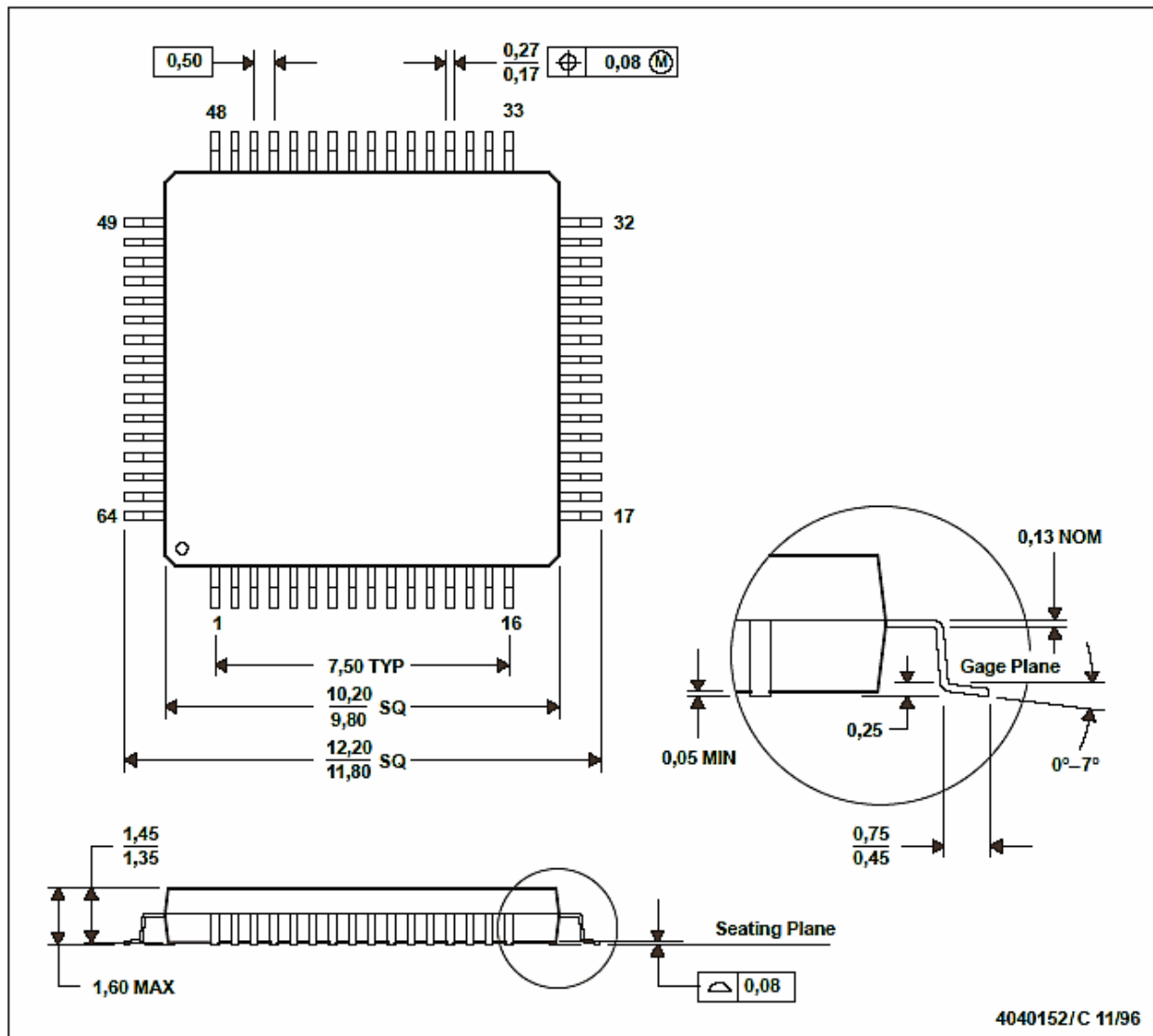


図 27. ヒューズ・チェック・モード電流、MSP430x15x/16x/161x

PM (S-PQFP-G64)

PLASTIC QUAD FLATPACK



- (注 A) すべての寸法の単位は mm とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) JEDEC MS-026 に相当します。
- (注 D) リードがダイ・パッドに接続された、放熱特性が強化されたプラスチック・パッケージもあります。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F155IPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IPMR.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IRTDR	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IRTDR.A	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IRTDR.B	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IRTD	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IRTD.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F155IRTD.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F155
MSP430F156IPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IPMR.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IRTDR	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IRTDR.A	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IRTDR.B	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IRTD	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IRTD.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F156
MSP430F156IRTD.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F156

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F157IPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IPMR.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IRTD	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IRTD.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F157IRTD.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F157
MSP430F1610IPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IPMRG4	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IPMRG4.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IRTDR	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IRTDR.B	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IRTD	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1610IRTD.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1610
MSP430F1611IPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IPMRG4	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IPMRG4.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1611

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F1611IRTD R	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IRTD R.B	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IRTD T	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1611IRTD T.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1611
MSP430F1612IP M	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F1612IP M.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F1612IP M R	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F1612IP M R.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F1612IRTD R	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F1612IRTD R.B	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F1612IRTD T	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F1612IRTD T.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F1612
MSP430F167IP M	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IP M.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IP M.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IP M R	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IP M R.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IP M R.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IRTD T	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IRTD T.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F167IRTD T.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F167
MSP430F168IP M	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IP M.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IP M.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IP M R	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F168IPMR.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IPMRG4	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IPMRG4.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IPMRG4.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IRTD	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IRTD.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F168IRTD.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F168
MSP430F169IPM	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPM.A	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPM.B	Active	Production	LQFP (PM) 64	160 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPMR	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPMR.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPMR.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPMRG4	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPMRG4.A	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IPMRG4.B	Active	Production	LQFP (PM) 64	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IRTD	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IRTD.A	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IRTD.B	Active	Production	VQFN (RTD) 64	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IRTD	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IRTD.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F169
MSP430F169IRTD.B	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	M430F169

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

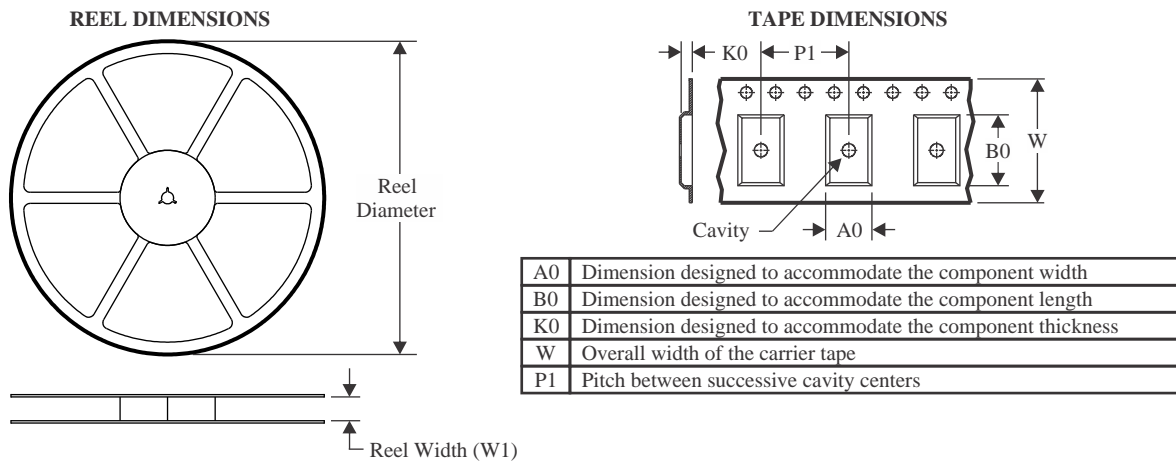
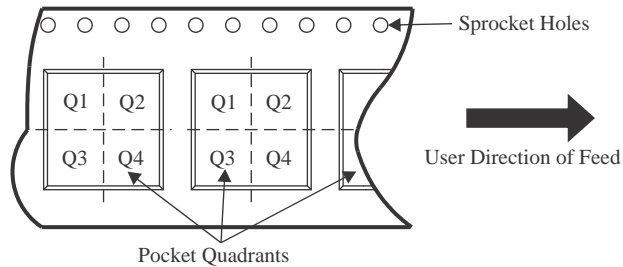
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

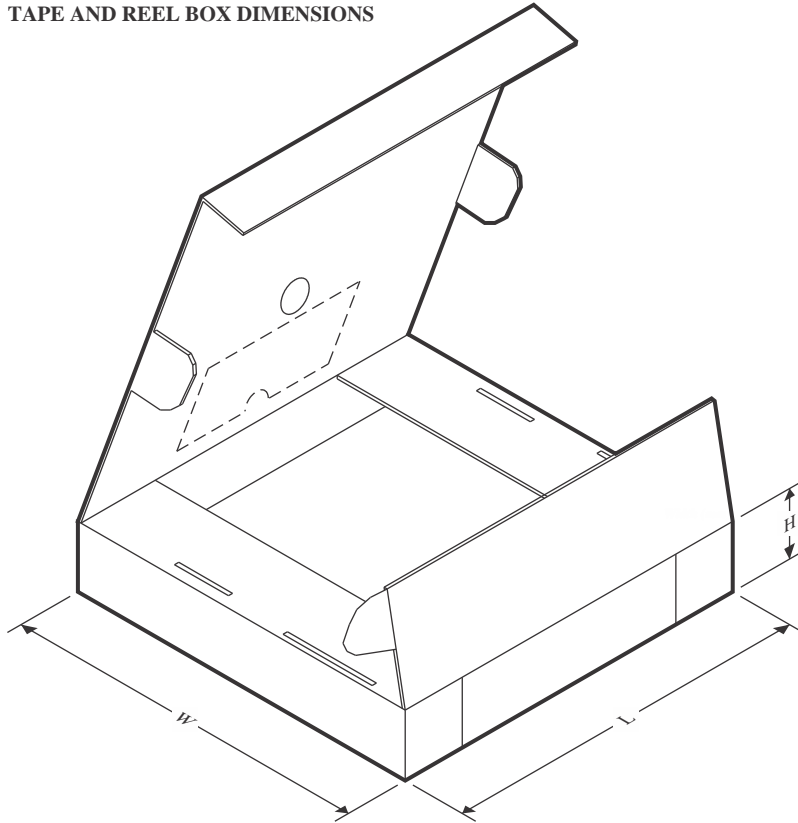
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F155IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F155IRTDR	VQFN	RTD	64	2500	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F155IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F156IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F156IRTDR	VQFN	RTD	64	2500	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F156IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F157IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F157IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F1610IPMR	LQFP	PM	64	1000	330.0	24.4	12.5	12.5	2.2	16.0	24.0	Q2
MSP430F1610IPMRG4	LQFP	PM	64	1000	330.0	24.4	12.5	12.5	2.2	16.0	24.0	Q2
MSP430F1610IRTDR	VQFN	RTD	64	2500	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F1610IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F1611IPMR	LQFP	PM	64	1000	330.0	24.4	12.5	12.5	2.2	16.0	24.0	Q2
MSP430F1611IPMRG4	LQFP	PM	64	1000	330.0	24.4	12.5	12.5	2.2	16.0	24.0	Q2
MSP430F1611IRTDR	VQFN	RTD	64	2500	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F1611IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2

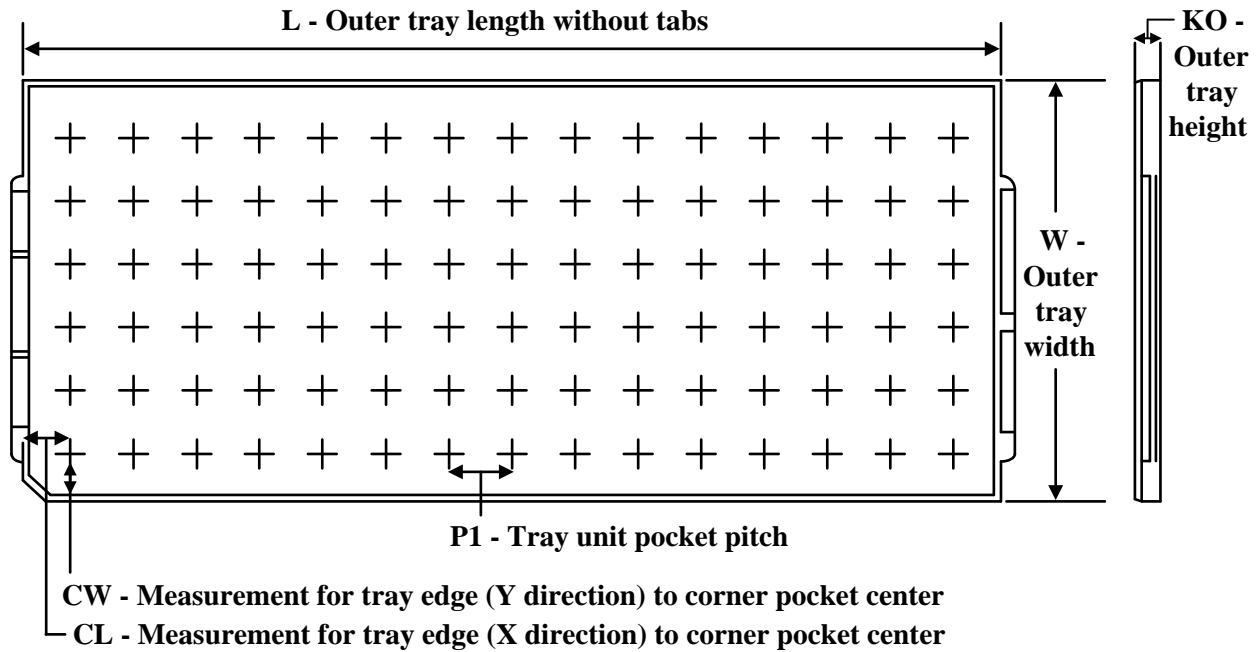
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F1612IPMR	LQFP	PM	64	1000	330.0	24.4	12.5	12.5	2.2	16.0	24.0	Q2
MSP430F1612IRTDR	VQFN	RTD	64	2500	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F1612IRTDT	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F167IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F167IRTDR	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F167IRTDT	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F168IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F168IPMRG4	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F168IRTDR	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F168IRTDT	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F169IPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F169IPMRG4	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
MSP430F169IRTDR	VQFN	RTD	64	2500	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
MSP430F169IRTDT	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F155IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F155IRTDR	VQFN	RTD	64	2500	353.0	353.0	32.0
MSP430F155IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F156IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F156IRTDR	VQFN	RTD	64	2500	353.0	353.0	32.0
MSP430F156IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F157IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F157IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F1610IPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F1610IPMRG4	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F1610IRTDR	VQFN	RTD	64	2500	353.0	353.0	32.0
MSP430F1610IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F1611IPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F1611IPMRG4	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F1611IRTDR	VQFN	RTD	64	2500	353.0	353.0	32.0
MSP430F1611IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F1612IPMR	LQFP	PM	64	1000	336.6	336.6	41.3
MSP430F1612IRTDR	VQFN	RTD	64	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F1612IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F167IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F167IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F168IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F168IPMRG4	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F168IRTD	VQFN	RTD	64	250	213.0	191.0	35.0
MSP430F169IPMR	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F169IPMRG4	LQFP	PM	64	1000	367.0	367.0	45.0
MSP430F169IRTD	VQFN	RTD	64	2500	353.0	353.0	32.0
MSP430F169IRTD	VQFN	RTD	64	250	213.0	191.0	35.0

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
MSP430F1610IPM	PM	LQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1610IPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1610IPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1610IPM.B	PM	LQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1611IPM	PM	LQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1611IPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1611IPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1611IPM.B	PM	LQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1612IPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1612IPM	PM	LQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1612IPM.B	PM	LQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
MSP430F1612IPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月