

- 低電源電圧範囲 : 1.8 V ~ 3.6 V
- 超低消費電力 :
 - アクティブ・モード : 250 μ A (1 MHz、2.2 V)
 - スタンバイ・モード : 0.7 μ A
 - オフ・モード (RAM データ保持) : 0.1 μ A
- スタンバイ・モードから 1 μ s 以下の超高速ウェークアップ
- 16 ビット RISC アーキテクチャ、
65 ns インストラクション・サイクル・タイム
- Basic Clock モジュール構成
 - 16 MHz までの内部周波数
(4 つの±1% に校正された周波数)
 - 32 kHz クリスタル
 - 16 MHz までの高周波数クリスタル
 - レゾネータ
 - 外部デジタル・クロック源
- 16 ビット タイマ_A (3 つのキャプチャ/コンペア
・レジスタ付き)
- アナログ信号コンペア機能又はスロープ A/D 変換の
ためのオン・チップ・コンパレータ
- ブラウンアウト検出
- シリアル・オンボード・プログラミング、
外部プログラミング電圧不要、
セキュリティ・ヒューズによるプログラム可能な
コード保護
- ブートストラップ・ローダ
- オン・チップ・エミュレーション・モジュール
- ファミリ製品 :
 - MSP430F2101: 1KB + 256B フラッシュ・メモリ、
128B RAM
 - MSP430F2111: 2KB + 256B フラッシュ・メモリ、
128B RAM
 - MSP430F2121: 4KB + 256B フラッシュ・メモリ、
256B RAM
 - MSP430F2131: 8KB + 256B フラッシュ・メモリ、
256B RAM
 - 20 ピン プラスチック SOWB、20 ピン プラスチック
TSSOP、20 ピン TVSOP、及び 24 ピン QFN パッケージ
- モジュールの詳細は、MSP430x2xx ファミリ ユーザーズ・ガイド を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリ寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 1 μ s 以内で行われます。

MSP430x21x1 シリーズは、16 ビット タイマ、多用途アナログ・コンパレータ、及び 16 個の I/O 端子を内蔵した超低消費電力ミックスド・シグナル・マイクロコントローラです。

標準的なアプリケーションとしては、アナログ信号を取得し、デジタル値に変換し、表示のため又はホスト・システムへの送信のためにデータを処理するセンサ・システムがあります。もう 1 つのアプリケーションの分野では、スタンダード・アロン RF センサ・フロント・エンドがあります。アナログ・コンパレータにより、スロープ A/D 変換が可能です。

製品オプション

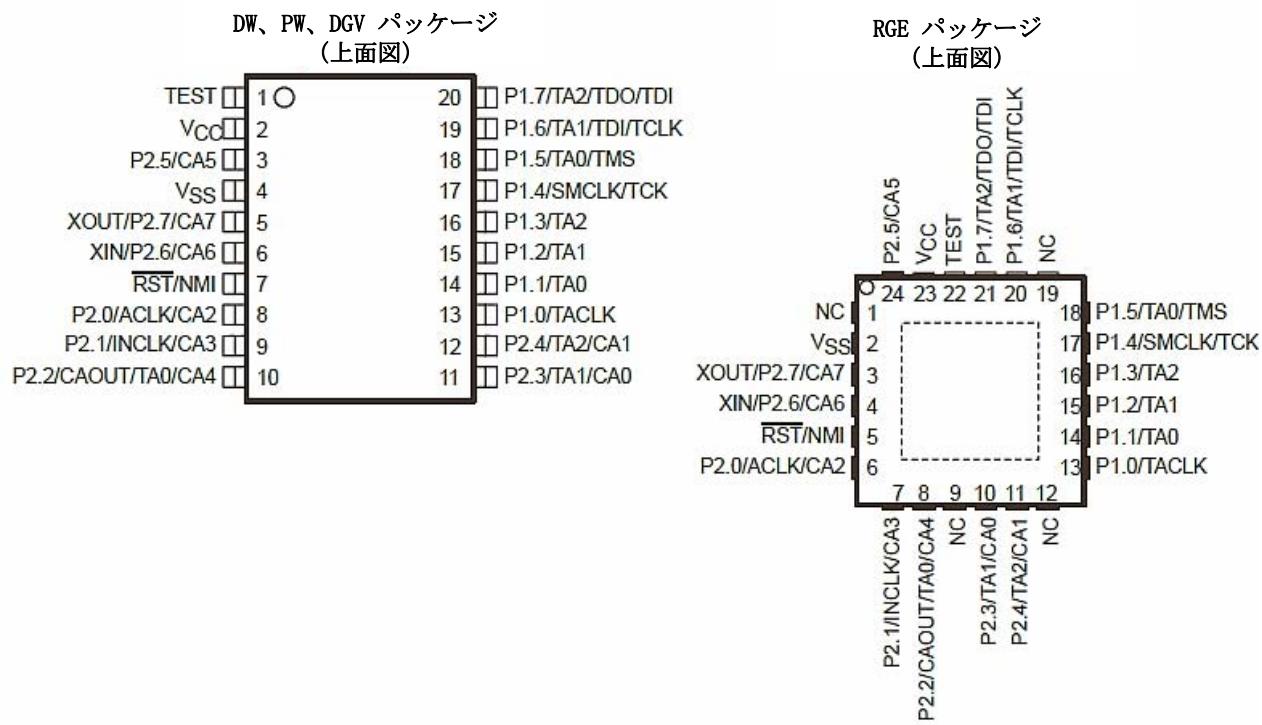
T _A	パッケージ・デバイス			
	プラスチック 20 ピン SOWB (DW)	プラスチック 20 ピン TSSOP (PW)	プラスチック 20 ピン TVSOP (DGV)	プラスチック 24 ピン QFN (RGE)
-40°C ~ 85°C	MSP430F2101IDW MSP430F2111IDW MSP430F2121IDW MSP430F2131IDW	MSP430F2101IPW MSP430F2111IPW MSP430F2121IPW MSP430F2131IPW	MSP430F2101IDGV MSP430F2111IDGV MSP430F2121IDGV MSP430F2131IDGV	MSP430F2101IRGE MSP430F2111IRGE MSP430F2121IRGE MSP430F2131IRGE



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

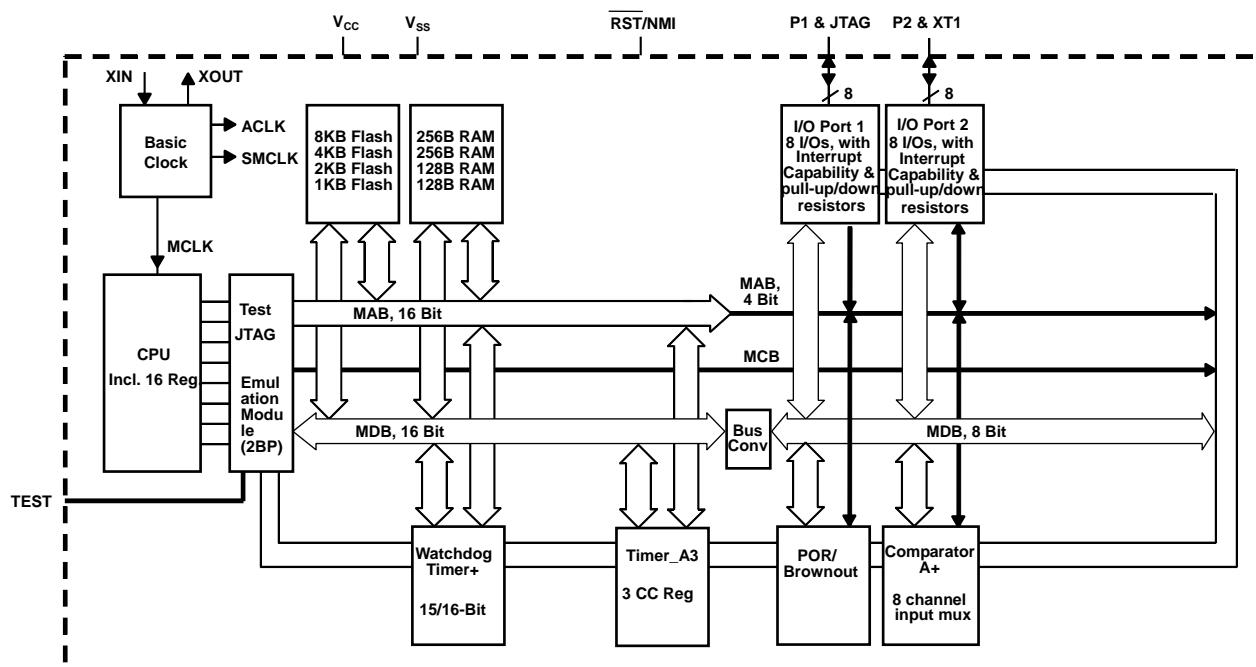
この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新情報をご確認下さい。TI及び日本TIは、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

デバイス ピン配置



(注) NC 端子は内部で接続されていません。
放熱パッドは V_{SS} に接続することを推奨します。

機能ブロック図



(注) I/O 情報の詳細は、ポート図のセクションを参照して下さい。

端子機能表

端子				機能
名前	DW、PW、DGV 番号	RGE 番号	I/O	
P1.0/TACLK	13	13	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力
P1.1/TA0	14	14	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	15	15	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	16	16	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	17	17	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	18	18	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	19	20	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	20	21	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK/CA2	8	6	I/O	汎用デジタル I/O / ACLK 出力 / コンパレータ_A+、CA2 入力
P2.1/INCLK/CA3	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号 / コンパレータ_A+、CA3 入力
P2.2/CAOUT/TA0/CA4	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A+ 出力 / コンパレータ_A+、CA4 入力 / BSL 受信
P2.3/CA0/TA1	11	10	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A+、CA0 入力
P2.4/CA1/TA2	12	11	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A+、CA1 入力
P2.5/CA5	3	24	I/O	汎用デジタル I/O / コンパレータ_A+、CA5 入力
XIN/P2.6/CA6	6	4	I/O	クリスタル・オシレータ入力 / 汎用デジタル I/O / コンパレータ_A+、CA6 入力
XOUT/P2.7/CA7	5	3	I/O	クリスタル・オシレータ出力 / 汎用デジタル I/O / コンパレータ_A+、CA7 入力
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	22	I	ポート1 JTAG 端子のテスト・モードの選択入力。デバイス保護ヒューズが TEST に接続されています。
V _{cc}	2	23		電源
V _{ss}	4	2		グランド基準
QFN パッド	NA	パッケージ・パッド	NA	QFN パッケージのパッドは V _{ss} に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

(注) XOUT/P2.7/CA7 が入力として使用されている場合は、P2SEL.7 がクリアされるまでは過剰な電流が流れます。これは、リセットの後、オシレータの出力ドライバがこの端子に接続されるためです。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・プロセ・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0～R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令からなります。各々の命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM；
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0)；
 - CPU はディスエーブル
 - ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1)；
 - CPU はディスエーブル
 - ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
 - アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2)；
 - CPU はディスエーブル
 - MCLK 及び SMCLK はディスエーブル
 - DCO の DC 発生回路はイネーブルのまま
 - ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3)；
 - CPU はディスエーブル
 - MCLK 及び SMCLK はディスエーブル
 - DCO の DC 発生回路はディスエーブル
 - ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4)；
 - CPU はディスエーブル
 - ACLK はディスエーブル
 - MCLK 及び SMCLK はディスエーブル
 - DCO の DC 発生回路はディスエーブル
 - クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFFh ~ 0FFC0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

もし、リセット・ベクタ（アドレス 0FFEh に配置）が 0FFFh を含む（すなわち、フラッシュ・メモリがプログラムされていない）場合、CPU はパワー・アップの直後に LPM4 に移行します。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・キー違反 PC アウト・オブ・レンジ (注 1)	PORIFG RSTIFG WDTIFG KEYV (注 2)	リセット	0FFEh	31 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG OFIFG ACCVIFG (注 2, 4)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCCh	30
			0FFF8h	29
			0FFF6h	28
コンパレータ_A+	CAIFG	マスク可能	0FFF4h	27
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF2h	26
タイマ_A2	TACCR0 CCIFG (注 3)	マスク可能	0FFF0h	25
タイマ_A2	TACCR1 CCIFG、 TAIFG (注 2, 3)	マスク可能	0FFEh	24
			0FFECh	23
			0FFE2h	22
			0FFE0h	21
			0FFE8h	20
I/O ポート P2 (8 つのフラグ)	P2IFG.0 ~ P2IFG.7 (注 2, 3)	マスク可能	0FFE6h	19
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 2, 3)	マスク可能	0FFE4h	18
			0FFE2h	17
			0FFE0h	16
(注 5)			0FFDEh	15
(注 6)			0FFDCh ... 0FFC0h	14 ... 0 (最下位)

(注 1) CPU が、モジュールのレジスタ・メモリ・アドレス範囲 (0h ~ 01FFh) から命令をフェッチしようとした場合に、リセットが生成されます。

(注 2) 複数のソース・フラグ

(注 3) 割り込みフラグはモジュールの中にあります。

(注 4) マスク可能 (不可能)：個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 5) この場所は、ブートストラップ・ローダ・セキュリティ・キー (BSLSKEY) として使用されます。

この場所を 0AA55h の値にすると、BSL は完全にディスエーブルになります。

この場所を 0h の値にすると、無効なパスワードが入力された場合にフラッシュの消去をディスエーブルにします。

(注 6) アドレス 0FFDCh ~ 0FFC0h までの割り込みベクタは、このデバイスでは使用されませんが、必要な場合は通常のプログラム・コードとして使用することができます。

スペシャル・ファンクション・レジスター

ほとんどの割り込み及びモジュール・インエーブル・ビットは、最も低いアドレス空間に集められています。機能の目的で割り当てられていないスペシャル・ファンクション・レジスタ・ビットは、物理的にデバイスの中に存在しませんので、この配列によってソフトウェアのアクセスが簡単になります。

割り込みイネーブル 1、2

Address 0h

	7	6	5	4	3	2	1	0
ACCVIE				NMIIIE			OFIE	WDTIE
	rw-0		rw-0				rw-0	rw-0

WDTIE: ウオッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE : オシレータ障害イネーブル

NMTTE: マスク可能な(不可能な)割り込みイネーブル

ACCYIE: フラッシュ・アクヤス違反割り込みイネーブル

A horizontal diagram showing memory address 01b. The address is divided into two bytes: 01 and b. The byte 01 is further divided into four nibbles: 0, 1, 2, and 3. The byte b is divided into four nibbles: 4, 5, 6, and 7. Each nibble is represented by a vertical line segment. The nibble 0 is at the bottom, followed by 1, 2, and 3 at the top. The nibble 4 is at the bottom, followed by 5, 6, and 7 at the top. The nibble 0 is at the bottom, followed by 1, 2, and 3 at the top. The nibble 4 is at the bottom, followed by 5, 6, and 7 at the top.

割り込みフラグ・レジスタ 1、2

Address	7	6	5	4	3	2	1	0
02h				NMIIFG	RSTIFG	PORIFG	OFIFG	WDTIFG

WDTIFG : ウオッチドッグ・タイマ・オーバーフロー (ウォッチドッグ・モード) 又はセキュリティ・ブレーカー

V_{CC} パワー・アップ又はリセット・モードでの RST/NMI 端子のリセット条件でリセットされます。

OEIEC: オシレータ障害でフラグがセットされまく

RSTIFG: 外部リセット割り込みフラグ。リセット・モードでの RST/NMI 端子のリセット条件でセットされます。パワー・アップでリセットされます。

PORTEG: パワー・オン・リセット割り込みフラグ V. パワー・アップでセットされます。

NMT/REG : RST/NMT 端子でセットされます

說明

rw: ビットは 読み出し及び書き込みをすることができます

読み出しおよび書き込みをすることができます。PUC によりリセット又はセリットされます。

rw-(0,1): ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。

デバイスには、SFR ビットが存在しません。

メモリ構成

		MSP430F2101	MSP430F2111	MSP430F2121	MSP430F2131
メモリ メイン: 割り込みベクタ メイン: コード・メモリ	サイズ フラッシュ フラッシュ	1KB フラッシュ 0FFFFh - OFFE0h 0FFFFh - OFC00h	2KB フラッシュ 0FFFFh - OFFE0h 0FFFFh - OF800h	4KB フラッシュ 0FFFFh - OFFE0h 0FFFFh - OF000h	8KB フラッシュ 0FFFFh - OFFE0h 0FFFFh - OE000h
	サイズ フラッシュ	256 バイト 010FFh - 01000h			
情報メモリ	サイズ ROM	1KB 0FFFFh - 0C00h	1KB 0FFFFh - 0C00h	1KB 0FFFFh - 0C00h	1KB 0FFFFh - 0C00h
	RAM	128 バイト 027Fh - 0200h	128 バイト 027Fh - 0200h	256 バイト 02FFh - 0200h	256 バイト 02FFh - 0200h
ペリフェラル		16 ビット 8 ビット 8 ビット SFR	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h	01FFh - 0100h 0FFh - 010h 0Fh - 00h

ブートストラップ・ローダ (BSL)

MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インターフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL を完全にディスエーブルにしたり、無効なパスワードが入力された場合にフラッシュの消去をディスエーブルにしたりするために、ブートストラップ・ローダ・セキュリティ・キーがアドレス OFFDEh に用意されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴* "Features of the MSP430 Bootstrap Loader" (資料番号 SLAA089) を参照して下さい。

BSLKEY	動作
00000h	無効なパスワードが入力された場合、ディスエーブルされたフラッシュ・メモリを消去
0AA55h	BSL はディスエーブル
その他の値	BSL はイネーブル

BSL 機能	DW、PW、DGV パッケージ・ピン	RGE パッケージ・ピン
データ送信	14 - P1.1	14 - P1.1
データ受信	10 - P2.2	8 - P2.2

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 4 セグメントのそれぞれ 64 バイトの情報メモリ (A ~ D) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A ~ D は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A ~ D は、情報メモリとも呼ばれます。
- セグメント A にはキャリブレーション・データが含まれています。リセットの後、セグメント A はプログラミング又は消去に対して保護されています。そのロックは外すことができますが、キャリブレーション・データが必要な場合は、このセグメントを消去しないように注意しなければなりません。

ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、MSP430x2xx ファミリ ユーザーズ・ガイドを参照して下さい。

オシレータ及びシステム・クロック

クロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波数クリスタル・オシレータのサポートを含む basic clock モジュールで構成されています。basic clock モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、1 μ s 以内に安定します。basic clock モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK) : 32768 Hz の時計用クリスタル又は高周波数クリスタルから供給
- メイン・クロック (MCLK) : CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック

DCO キャリブレーション・データ (フラッシュ情報メモリ・セグメント A に入れてメーカーから供給されます。)			
DCO 周波数	キャリブレーション・レジスタ	サイズ	アドレス
1 MHz	CALBC1_1MHz	バイト	010FFh
	CALDC0_1MHz	バイト	010FEh
8 MHz	CALBC1_8MHz	バイト	010FDh
	CALDC0_8MHz	バイト	010FCh
12 MHz	CALBC1_12MHz	バイト	010FBh
	CALDC0_12MHz	バイト	010FAh
16 MHz	CALBC1_16MHz	バイト	010F9h
	CALDC0_16MHz	バイト	010F8h

プラウンアウト

プラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するため内蔵されています。

デジタル I/O

2 つの 8 ビット I/O ポート内蔵：ポート P1 及び P2

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 のすべての 8 ビットは、エッジ選択可能な割り込み入力です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。
- それぞれの I/O ポートには、個別にプログラム可能なプルアップ/プルダウン抵抗があります。

WDT+ ウオッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT+) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

コンパレータ_A+

コンパレータ_A+ モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリ電圧監視、及び外部アナログ信号のモニタを行うことです。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続							
入力端子番号		デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号	
DW、PW、DGV	RGE					DW、PW、DGV	RGE
13 - P1.0	13 - P1.0	TACLK	TACLK	タイマ	NA		
		ACLK	ACLK				
		SMCLK	SMCLK				
9 - P2.1	7 - P2.1	INCLK	INCLK				
14 - P1.1	14 - P1.1	TA0	CCIOA	CCR0	TA0	14 - P1.1	14 - P1.1
10 - P2.2	8 - P2.2	TA0	CCIOB			18 - P1.5	18 - P1.5
		V _{ss}	GND				
		V _{cc}	V _{cc}				
15 - P1.2	15 - P1.2	TA1	CCI1A	CCR1	TA1	11 - P2.3	10 - P2.3
		CAOUT (内部)	CCI1B			15 - P1.2	15 - P1.2
		V _{ss}	GND			19 - P1.6	20 - P1.6
		V _{cc}	V _{cc}				
16 - P1.3	16 - P1.3	TA2	CCI2A	CCR2	TA2	12 - P2.4	11 - P2.4
		ACLK (内部)	CCI2B			16 - P1.3	16 - P1.3
		V _{ss}	GND			20 - P1.7	21 - P1.7
		V _{cc}	V _{cc}				

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
タイマ_A	キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ タイマ_A レジスタ キャプチャ/コンペア制御 キャプチャ/コンペア制御 キャプチャ/コンペア制御 タイマ_A 制御 タイマ_A 割り込みベクタ	TACCR2 TACCR1 TACCR0 TAR TACCTL2 TACCTL1 TACCTL0 TACTL TAIV	0176h 0174h 0172h 0170h 0166h 0164h 0162h 0160h 012Eh
フラッシュ・メモリ	フラッシュ制御 3 フラッシュ制御 2 フラッシュ制御 1	FCTL3 FCTL2 FCTL1	012Ch 012Ah 0128h
ウォッチドッグ+	ウォッチドッグ・タイマ制御	WDTCTL	0120h
バイト・アクセスによるペリフェラル			
コンパレータ_A+	コンパレータ_A ポート デイス エーブル コンパレータ_A 制御 2 コンパレータ_A 制御 1	CAPD CACTL2 CACTL1	05Bh 05Ah 059h
Basic Clock	Basic clock システム制御 3 Basic clock システム制御 2 Basic clock システム制御 1 DCO クロック周波数制御	BCSCTL3 BCSCTL2 BCSCTL1 DCOCTL	053h 058h 057h 056h
ポート P2	ポート P2 抵抗イネーブル ポート P2 選択 ポート P2 割り込みイネーブル ポート P2 割り込みエッジ選択 ポート P2 割り込みフラグ ポート P2 方向 ポート P2 出力 ポート P2 入力	P2REN P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN	02Fh 02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h
ポート P1	ポート P1 抵抗イネーブル ポート P1 選択 ポート P1 割り込みイネーブル ポート P1 割り込みエッジ選択 ポート P1 割り込みフラグ ポート P1 方向 ポート P1 出力 ポート P1 入力	P1REN P1SEL P1IE P1IES P1IFG P1DIR P1OUT P1IN	027h 026h 025h 024h 023h 022h 021h 020h
スペシャル・ファンクション	SFR 割り込みフラグ 2 SFR 割り込みフラグ 1 SFR 割り込みイネーブル 2 SFR 割り込みイネーブル 1	IFG2 IFG1 IE2 IE1	003h 002h 001h 000h

絶対最大定格 (特記無き場合) †

印加電圧 (V_{cc} ~ V_{ss} 間)	-0.3 ~ 4.1	V
印加電圧 (全端子) (注 1)	-0.3 ~ $V_{cc} + 0.3$	V
ダイオード電流 (全端子)	± 2	mA
保存温度範囲 未プログラムのデバイス (注 2) T_{stg}	-55 ~ 150	°C
保存温度範囲 プログラム済みデバイス (注 2) T_{stg}	-40 ~ 85	°C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注 1) すべての電圧は V_{ss} を基準とします。JTAG ヒューズ切断電圧 V_{pb} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

(注 2) ピーク リフロー温度が、出荷箱又はリール上のデバイス ラベルで規定された温度より高くならない状態で、現在の JEDEC J-STD-020 規格に従ってプリント基板にはんだ付けする工程では、もっと高い温度を印加しても構いません。

推奨動作条件

項目	最小	標準	最大	単位
電源電圧 (プログラム実行時)、 V_{cc} (注 1)	1.8	3.6	V	
電源電圧 (フラッシュ・メモリ プログラム/消去時)、 V_{cc}	2.2	3.6	V	
電源電圧、 V_{ss}	0		V	
動作周囲温度、 T_A	-40	85	°C	
プロセッサ周波数 f_{SYSTEM} (最大 MCLK 周波数) (注 1、2 及び図 1 参照)	$V_{cc} = 1.8$ V、 デューティ比 = 50% $\pm 10\%$	0	6	MHz
	$V_{cc} = 2.7$ V、デューティ比 = 50% $\pm 10\%$ (注 3)	0	12	
	$V_{cc} = 3.3$ V、デューティ比 = 50% $\pm 10\%$ (注 4)	0	16	

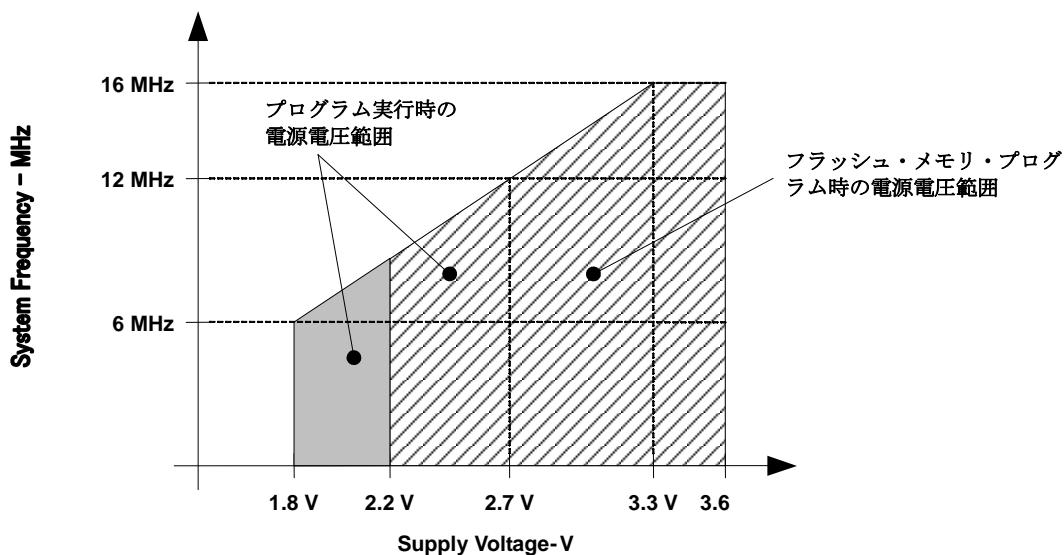
(注 1) MSP430 CPU は、MCLK で直接クロックされます。

MCLK の上側及び下側位相は、規定された最大周波数のパルス幅を越えてはいけません。

(注 2) モジュールによって最大入力クロック周波数の規格が異なることがあります。このデータ・シートの各モジュールの規格を参照して下さい。

(注 3) これは、 $V_{cc} = 2.7$ V ~ 3.6 V 及び $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ の時の 12 MHz 用に提供された DCO キャリブレーション値を使用した場合です。

(注 4) これは、 $V_{cc} = 3.3$ V ~ 3.6 V 及び $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ の時の 16 MHz 用に提供された DCO キャリブレーション値を使用した場合です。



(注) 最小プロセッサ周波数は、システム・クロックによって決まります。フラッシュ・プログラム又は消去は、2.2 V の最小 V_{cc} が必要です。

図 1. 動作範囲

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合)

アクティブ・モード電源電流 (V_{CC}) (外部電流を除く) (注 1, 2)

項目	測定条件	V_{CC}	最小	標準	最大	単位
$I_{AM, 1MHz}$ アクティブ・モード (AM) 電流 (1 MHz)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 1$ MHz、 $f_{ACLK} = 32,768$ Hz、 フラッシュ・メモリのプログラム実行時、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 0、SCG0 = 0、SCG1 = 0、OSCOFF = 0	2.2 V		250	300	μA
		3 V		350	410	
$I_{AM, 1MHz}$ アクティブ・モード (AM) 電流 (1 MHz)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 1$ MHz、 $f_{ACLK} = 32,768$ Hz、 RAM のプログラム実行時、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 0、SCG0 = 0、SCG1 = 0、OSCOFF = 0	2.2 V		200		μA
		3 V		300		
$I_{AM, 4kHz}$ アクティブ・モード (AM) 電流 (4 kHz)	$f_{MCLK} = f_{SMCLK} = f_{ACLK} = 32,768$ Hz/8 = 4,096 Hz、 $f_{DCO} = 0$ Hz、 フラッシュ・メモリのプログラム実行時、 SELMX = 11、SELS = 1、DIVMx = DIVSx = DIVAx = 11、 CPUOFF = 0、SCG0 = 1、SCG1 = 0、OSCOFF = 0	2.2 V		2	5	μA
		3 V		3	9	
$I_{AM, 100kHz}$ アクティブ・モード (AM) 電流 (100 kHz)	$f_{MCLK} = f_{SMCLK} = f_{DCO(0,0)} \approx 100$ kHz、 $f_{ACLK} = 0$ Hz、 フラッシュ・メモリのプログラム実行時、 RSELx = 0、DCOx = 0、 CPUOFF = 0、SCG0 = 0、SCG1 = 0、OSCOFF = 1	2.2 V		60	85	μA
		3 V		72	95	

(注 1) すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) 電流は、負荷容量 9 pF の Micro Crystal CC4V-T1A SMD で特性評価されています。

内部及び外部負荷容量は、必要とされている 9 pF に厳密にマッチするように選ばれます。

代表特性 - アクティブ・モード電源電流 (V_{CC})

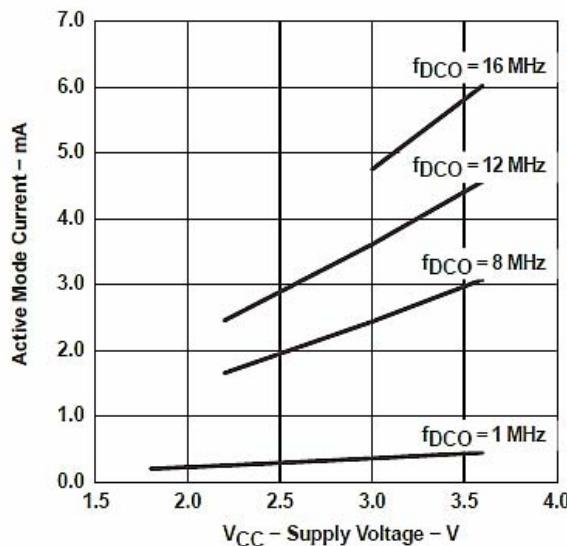


図 2. V_{CC} 対アクティブ・モード電源電流、 $T_A = 25^\circ C$

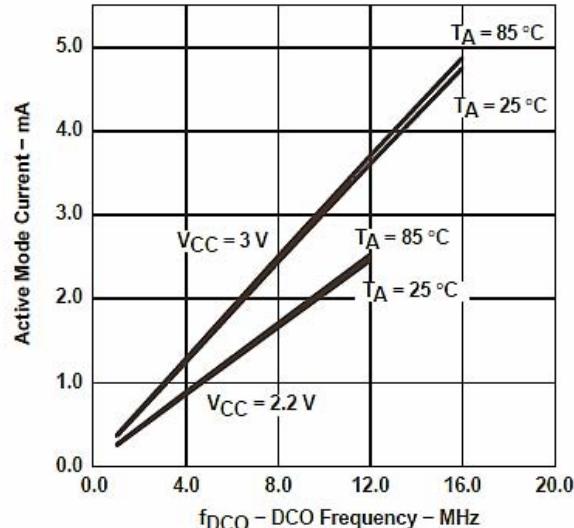


図 3. DCO 周波数対アクティブ・モード電源電流

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）

ロー・パワー・モード電源電流 (V_{cc}) (外部電流を除く) (注 1、2)

項目	測定条件	V_{cc}	最小	標準	最大	単位
$I_{LPM0, 1MHz}$ ロー・パワー・モード 0 電流 (LPM0) (注 3)	$f_{MCLK} = 0$ MHz、 $f_{SMCLK} = f_{DCO} = 1$ MHz、 $f_{ACLK} = 32,768$ Hz、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 1、SCG0 = 0、SCG1 = 0、OSCOFF = 0	2.2 V		65	80	μA
		3 V		85	100	
$I_{LPM0, 100kHz}$ ロー・パワー・モード 0 電流 (LPM0) (注 3)	$f_{MCLK} = 0$ MHz、 $f_{SMCLK} = f_{DCO(0, 0)} \approx 100$ kHz、 $f_{ACLK} = 0$ Hz、 RSELX = 0、DCOx = 0、 CPUOFF = 1、SCG0 = 0、SCG1 = 0、OSCOFF = 1	2.2 V		37	48	μA
		3 V		41	52	
I_{LPM2} ロー・パワー・モード 2 電流 (LPM2) (注 4)	$f_{MCLK} = f_{SMCLK} = 0$ MHz、 $f_{DCO} = 1$ MHz、 $f_{ACLK} = 32,768$ Hz、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 1、SCG0 = 0、SCG1 = 1、OSCOFF = 0	2.2 V		22	29	μA
		3 V		25	32	
I_{LPM3} ロー・パワー・モード 3 電流 (LPM3) (注 4)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 0$ MHz、 $f_{ACLK} = 32,768$ Hz、 CPUOFF = 1、SCG0 = 1、 SCG1 = 1、OSCOFF = 0	2.2 V	$T_A = -40^\circ C$	0.7	1.2	μA
			$T_A = 25^\circ C$	0.7	1	
			$T_A = 85^\circ C$	1.6	2.3	
		3 V	$T_A = -40^\circ C$	0.9	1.2	
			$T_A = 25^\circ C$	0.9	1.2	
			$T_A = 85^\circ C$	1.6	2.8	
I_{LPM4} ロー・パワー・モード 4 電流 (LPM4) (注 5)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 0$ MHz、 $f_{ACLK} = 32,768$ Hz、 CPUOFF = 1、SCG0 = 1、SCG1 = 1、 OSCOFF = 1	2.2 V	$T_A = 25^\circ C$	0.1	0.5	μA
		2.2 V/3 V	$T_A = 85^\circ C$	0.8	1.9	

(注 1) すべての入力は、0 V 又は V_{cc} に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) 電流は、負荷容量 9 pF の Micro Crystal CC44V-T1A SMD で特性評価されています。

内部及び外部負荷容量は、必要とされている 9 pF に厳密にマッチするように選ばれます。

(注 3) SMCLK でクロックした時のプラウンアウト及び WDT の電流が含まれています。

(注 4) ACLK でクロックした時のプラウンアウト及び WDT の電流が含まれています。

(注 5) プラウンアウトの電流が含まれています。

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

シユミット・トリガ入力 - ポート P1 及び P2

項目	測定条件	V _{cc}	最小	標準	最大	単位
V _{IT+} 立ち上がり入力スレッショルド電圧			0.45		0.75	V _{cc}
		2.2 V	1		1.65	V
		3 V	1.35		2.25	
V _{IT-} 立ち下がり入力スレッショルド電圧			0.25		0.55	V _{cc}
		2.2 V	0.55		1.2	V
		3 V	0.75		1.65	
V _{hys} 入力電圧ヒステリシス (V _{IT+} - V _{IT-})		2.2 V	0.2		1	V
		3 V	0.3		1	
R _{pull} プルアップ/プルダウン抵抗	プルアップ: V _{IN} = V _{ss} ; プルダウン: V _{IN} = V _{cc}		20	35	50	Ω
C _I 入力容量	V _{IN} = V _{ss} 又は V _{cc}				5	pF

入力 - ポート P1 及び P2

項目	測定条件	V _{cc}	最小	標準	最大	単位
t _(int) 外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、割り込みフラグをセットするための外部トリガ・パルス幅(注 1)	2.2 V/3 V	20			ns

(注 1) 外部信号は、最小割り込みパルス幅 t_(int) が適合するたび毎に割り込みフラグをセットします。トリガ信号が t_(int) より短い場合にもセットされることがあります。

リーク電流 - ポート P1 及び P2

項目	測定条件	V _{cc}	最小	標準	最大	単位
I _{1kg(Px.x)} ハイ・インピーダンス リーク電流	(注 1、2)	2.2 V/3 V			±50	nA

(注 1) 特記無き場合、リーク電流は対応する端子に V_{ss} 又は V_{cc} を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ/プルダウン抵抗はディスエーブルとします。

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

出力 - ポート P1 及び P2

項目	測定条件	V_{CC}	最小	標準	最大	単位
I_L 最大負荷電流（ポート端子当たり）					± 6	mA
I_{LT} 最大合計負荷電流（全ポート端子）					± 48	mA
V_{OH} ハイ・レベル出力電圧	$I_{(OHmax)} = -1.5$ mA (注 1、3)	2.2 V	$V_{CC} - 0.25$	V_{CC}		V
	$I_{(OHmax)} = -6$ mA (注 2、3)		$V_{CC} - 0.6$	V_{CC}		
	$I_{(OHmax)} = -1.5$ mA (注 1、3)	3 V	$V_{CC} - 0.25$	V_{CC}		
	$I_{(OHmax)} = -6$ mA (注 2、3)		$V_{CC} - 0.6$	V_{CC}		
V_{OL} ロー・レベル出力電圧	$I_{(OLmax)} = 1.5$ mA (注 1、3)	2.2 V	V_{SS}	$V_{SS} + 0.25$		V
	$I_{(OLmax)} = 6$ mA (注 2、3)		V_{SS}	$V_{SS} + 0.6$		
	$I_{(OLmax)} = 1.5$ mA (注 1、3)	3 V	V_{SS}	$V_{SS} + 0.25$		
	$I_{(OLmax)} = 6$ mA (注 2、3)		V_{SS}	$V_{SS} + 0.6$		

(注 1) 全出力の最大電流 $I_{(OHmax)}$ と $I_{(OLmax)}$ の合計は、規定の最大電圧降下を保持するため ± 12 mA を越えてはいけません。(注 2) 全出力の最大電流 $I_{(OHmax)}$ と $I_{(OLmax)}$ の合計は、規定の最大電圧降下を保持するため ± 48 mA を越えてはいけません。

(注 3) 同時に 1 出力のみ負荷をかけます。

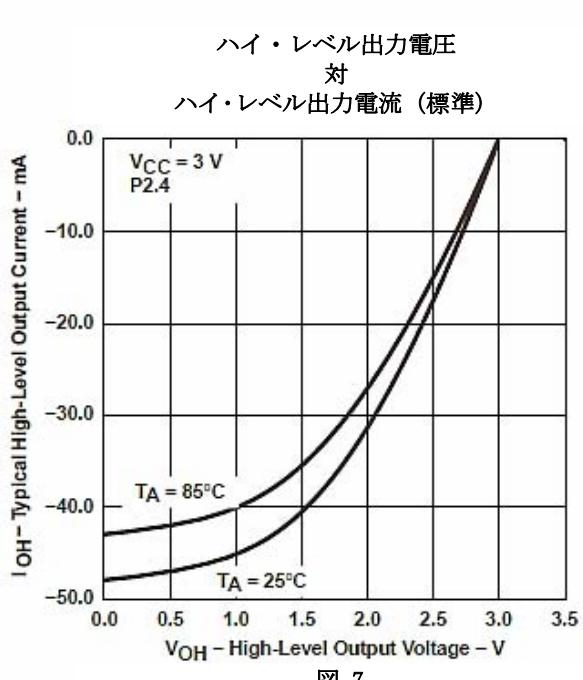
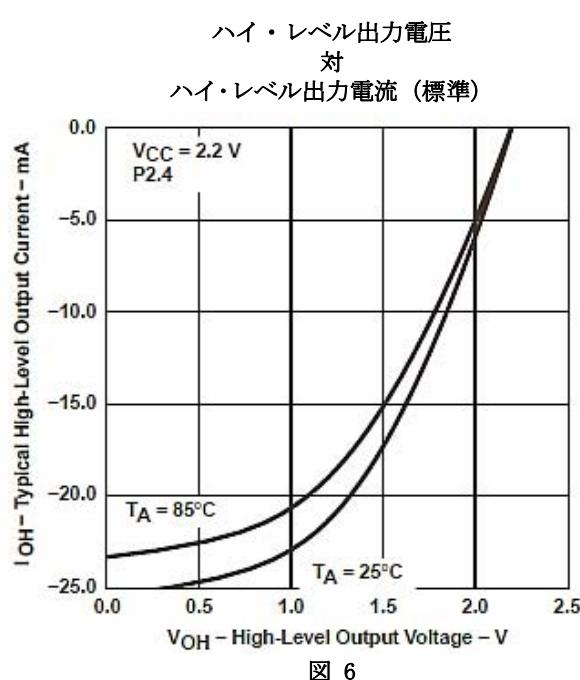
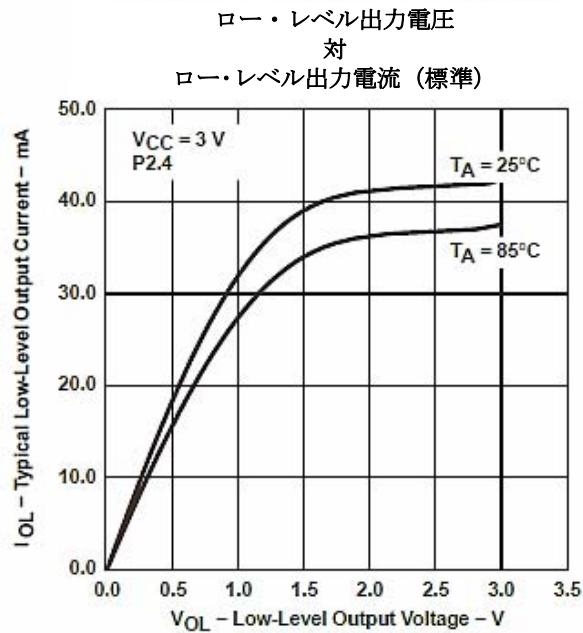
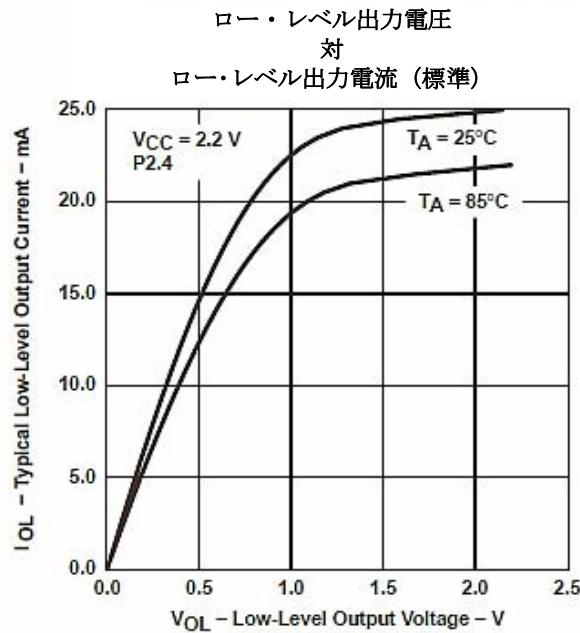
出力周波数 - ポート P1 及び P2

項目	測定条件	V_{CC}	最小	標準	最大	単位
$f_{Px,y}$ ポート出力周波数 (負荷付き)	P1.4/SMCLK、 $C_L = 20$ pF、 $R_L = 1$ k Ω (注 1、2)	2.2 V			10	MHz
		3 V			12	
$f_{Port,CLK}$ クロック出力周波数	P2.0/ACLK、P1.4/SMCLK、 $C_L = 20$ pF (注 2)	2.2 V			12	MHz
		3 V			16	

(注 1) 出力と V_{CC} 及び V_{SS} 間に 2 個の 0.5 k Ω 抵抗デバイダを負荷として使用します。出力は、デバイダのセンター・タップに接続します。(注 2) 出力電圧は、規定のトグル周波数で少なくとも 10% 及び 90% V_{CC} まで届きます。

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

代表特性 - 出力



（注）同時に1出力のみ負荷をかけます。

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

POR/ブラウンアウト・リセット（BOR）（注1、2）

項目	測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(start)}$ （図8参照）	$dV_{CC}/dt \leq 3 \text{ V/s}$		0.7 x $V_{(B_IT-)}$			V
$V_{(B_IT-)}$ （図8～図10参照）	$dV_{CC}/dt \leq 3 \text{ V/s}$				1.71	V
$V_{hys(B_IT-)}$ （図8参照）	$dV_{CC}/dt \leq 3 \text{ V/s}$		70	130	180	mV
$t_d(BOR)$ （図8参照）					2000	μs
$t_{(reset)}$ 内部でリセットを受け付けるための RST/NMI 端子パルス幅		2.2 V/3 V	2			μs

（注1） ブラウンアウト・モジュールの消費電流は、 I_{CC} に含まれています。 $V_{(B_IT-)} + V_{hys(B_IT-)} \leq 1.8 \text{ V}$ とします。

（注2） パワーアップ時は、CPU は $V_{CC} = V_{(B_IT-)} + V_{hys(B_IT-)}$ となった後、 $t_d(BOR)$ 経過後にコードの実行を開始します。デフォルトの DCO の設定値は、 $V_{CC} \geq V_{CC(min)}$ となるまで変えてはいけません。 $V_{CC(min)}$ は、使用する動作周波数における最小電源電圧を表します。

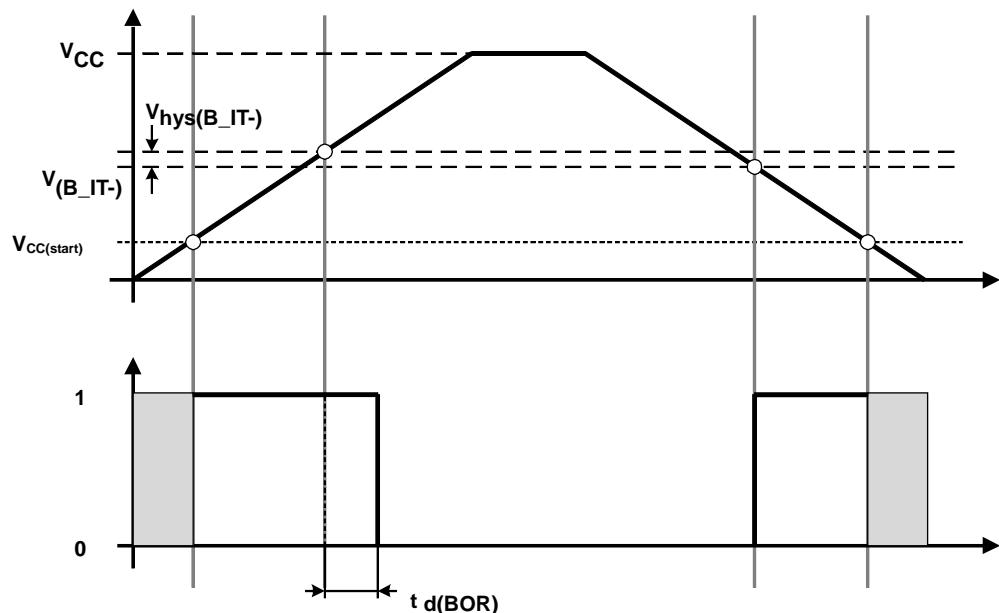


図 8. 電源電圧対 POR / ブラウンアウト・リセット（BOR）

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

代表特性 - POR / ブラウンアウト・リセット (BOR)

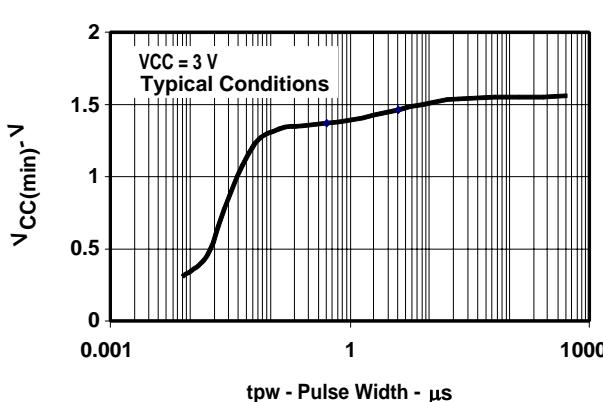


図 9. POR / ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル（矩形波電圧降下）

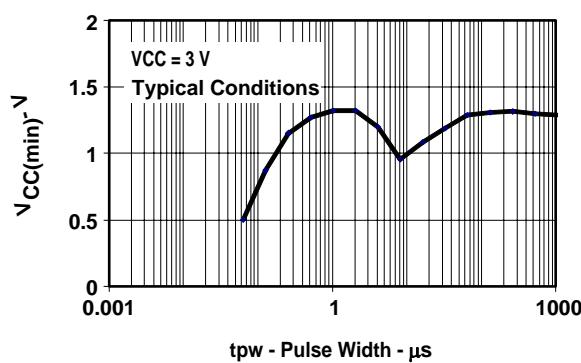
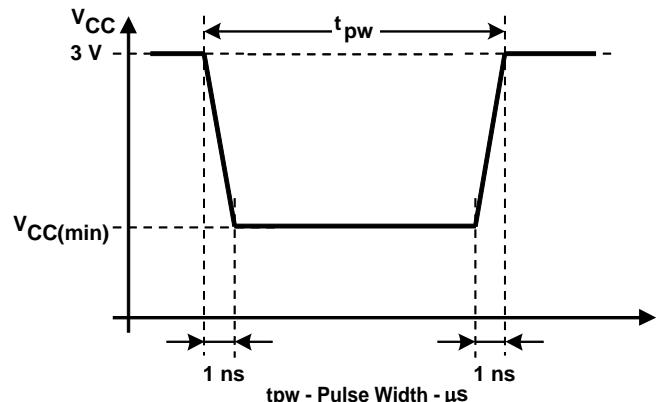
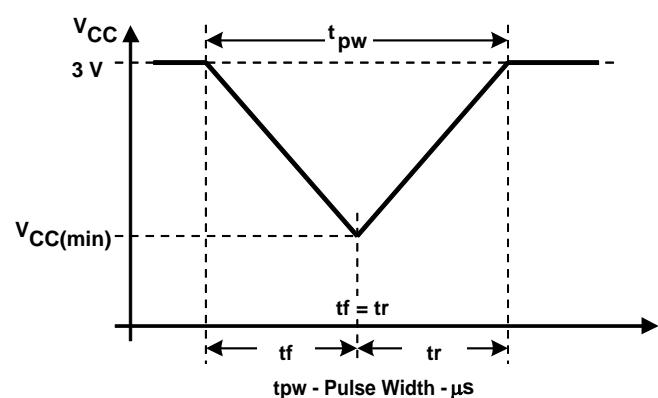


図 10. POR / ブラウンアウト信号を生成するための $V_{CC(min)}$ レベル（三角波電圧降下）



推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

主要 DCO 特性

- RSEL_x によって選択されるすべての範囲は、RSEL_x + 1 と重なります： RSEL_x = 0 は RSEL_x = 1 と重なります、... RSEL_x = 14 は RSEL_x = 15 と重なります。
- DCO コントロール・ビット DCO_x は、パラメータ S_{DCO} によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD_x は、32 DCOCLK サイクルの期間で $f_{DCO(RSEL, DCO+1)}$ が使用される頻度を選択します。周波数 $f_{DCO(RSEL, DCO+1)}$ は、残りのサイクルのために使用されます。この平均周波数は、次式で表されます。

$$f_{average} = \frac{32 \times f_{DCO(RSEL, DCO)} \times f_{DCO(RSEL, DCO+1)}}{MOD \times f_{DCO(RSEL, DCO)} + (32 - MOD) \times f_{DCO(RSEL, DCO+1)}}$$

DCO 周波数

項目	測定条件	V _{CC}	最小	標準	最大	単位
V _{CC} 電源電圧	RSEL _x < 14		1.8	3.6		V
	RSEL _x = 14		2.2	3.6		
	RSEL _x = 15		3.0	3.6		
$f_{DCO(0, 0)}$ DCO 周波数 (0, 0)	RSEL _x = 0, DCO _x = 0, MOD _x = 0	2.2 V/3 V	0.06	0.14	0.14	MHz
$f_{DCO(0, 3)}$ DCO 周波数 (0, 3)	RSEL _x = 0, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.07	0.17	0.17	MHz
$f_{DCO(1, 3)}$ DCO 周波数 (1, 3)	RSEL _x = 1, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.10	0.20	0.20	MHz
$f_{DCO(2, 3)}$ DCO 周波数 (2, 3)	RSEL _x = 2, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.14	0.28	0.28	MHz
$f_{DCO(3, 3)}$ DCO 周波数 (3, 3)	RSEL _x = 3, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.20	0.40	0.40	MHz
$f_{DCO(4, 3)}$ DCO 周波数 (4, 3)	RSEL _x = 4, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.28	0.54	0.54	MHz
$f_{DCO(5, 3)}$ DCO 周波数 (5, 3)	RSEL _x = 5, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.39	0.77	0.77	MHz
$f_{DCO(6, 3)}$ DCO 周波数 (6, 3)	RSEL _x = 6, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.54	1.06	1.06	MHz
$f_{DCO(7, 3)}$ DCO 周波数 (7, 3)	RSEL _x = 7, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.80	1.50	1.50	MHz
$f_{DCO(8, 3)}$ DCO 周波数 (8, 3)	RSEL _x = 8, DCO _x = 3, MOD _x = 0	2.2 V/3 V	1.10	2.10	2.10	MHz
$f_{DCO(9, 3)}$ DCO 周波数 (9, 3)	RSEL _x = 9, DCO _x = 3, MOD _x = 0	2.2 V/3 V	1.60	3.00	3.00	MHz
$f_{DCO(10, 3)}$ DCO 周波数 (10, 3)	RSEL _x = 10, DCO _x = 3, MOD _x = 0	2.2 V/3 V	2.50	4.30	4.30	MHz
$f_{DCO(11, 3)}$ DCO 周波数 (11, 3)	RSEL _x = 11, DCO _x = 3, MOD _x = 0	2.2 V/3 V	3.00	5.50	5.50	MHz
$f_{DCO(12, 3)}$ DCO 周波数 (12, 3)	RSEL _x = 12, DCO _x = 3, MOD _x = 0	2.2 V/3 V	4.30	7.30	7.30	MHz
$f_{DCO(13, 3)}$ DCO 周波数 (13, 3)	RSEL _x = 13, DCO _x = 3, MOD _x = 0	2.2 V/3 V	6.00	9.60	9.60	MHz
$f_{DCO(14, 3)}$ DCO 周波数 (14, 3)	RSEL _x = 14, DCO _x = 3, MOD _x = 0	2.2 V/3 V	8.60	13.9	13.9	MHz
$f_{DCO(15, 3)}$ DCO 周波数 (15, 3)	RSEL _x = 15, DCO _x = 3, MOD _x = 0	3 V	12.0	18.5	18.5	MHz
$f_{DCO(15, 7)}$ DCO 周波数 (15, 7)	RSEL _x = 15, DCO _x = 7, MOD _x = 0	3 V	16.0	26.0	26.0	MHz
S_{RSEL} レンジ RSEL ~ RSEL+1 間 の周波数ステップ	$S_{RSEL} = f_{DCO(RSEL+1, DCO)} / f_{DCO(RSEL, DCO)}$	2.2 V/3 V		1.55		ratio
S_{DCO} タップ DCO ~ DCO+1 間の 周波数ステップ	$S_{DCO} = f_{DCO(RSEL, DCO+1)} / f_{DCO(RSEL, DCO)}$	2.2 V/3 V	1.05	1.08	1.12	
デューティ比	P1.4/SMCLK で測定	2.2 V/3 V	40	50	60	%

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

校正された DCO 周波数 - 校正時の公差

項目	測定条件	T _A	V _{CC}	最小	標準	最大	単位
校正時の周波数公差		25°C	3 V	-1	±0.2	+1	%
$f_{CAL(1MHz)}$ 1 MHz 校正值	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5 ms	25°C	3 V	0.990	1	1.010	MHz
$f_{CAL(8MHz)}$ 8 MHz 校正值	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	25°C	3 V	7.920	8	8.080	MHz
$f_{CAL(12MHz)}$ 12 MHz 校正值	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	25°C	3 V	11.88	12	12.12	MHz
$f_{CAL(16MHz)}$ 16 MHz 校正值	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2 ms	25°C	3 V	15.84	16	16.16	MHz

校正された DCO 周波数 - 温度範囲 0°C ~ 85°C の公差

項目	測定条件	T _A	V _{CC}	最小	標準	最大	単位
1 MHz 公差		0°C ~ 85°C	3 V	-2.5	±0.5	+2.5	%
8 MHz 公差		0°C ~ 85°C	3 V	-2.5	±1.0	+2.5	%
12 MHz 公差		0°C ~ 85°C	3 V	-2.5	±1.0	+2.5	%
16 MHz 公差		0°C ~ 85°C	3 V	-3.0	±2.0	+3.0	%
$f_{CAL(1MHz)}$ 1 MHz 校正值	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5 ms	0°C ~ 85°C	2.2 V	0.970	1	1.030	MHz
			3 V	0.975	1	1.025	
			3.6 V	0.970	1	1.030	
$f_{CAL(8MHz)}$ 8 MHz 校正值	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	0°C ~ 85°C	2.2 V	7.760	8	8.400	MHz
			3 V	7.800	8	8.200	
			3.6 V	7.600	8	8.240	
$f_{CAL(12MHz)}$ 12 MHz 校正值	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	0°C ~ 85°C	2.2 V	11.70	12	12.30	MHz
			3 V	11.70	12	12.30	
			3.6 V	11.70	12	12.30	
$f_{CAL(16MHz)}$ 16 MHz 校正值	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2ms	0°C ~ 85°C	3 V	15.52	16	16.48	MHz
			3.6 V	15.00	16	16.48	

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

校正された DCO 周波数 - 電源電圧 V_{cc} の範囲の公差

項目	測定条件	T_A	V_{cc}	最小	標準	最大	単位
1 MHz 公差 (V_{cc} の範囲)		25°C	1.8 V ~ 3.6 V	-2.5	±2	+2.5	%
8 MHz 公差 (V_{cc} の範囲)		25°C	1.8 V ~ 3.6 V	-2.5	±2	+2.5	%
12 MHz 公差 (V_{cc} の範囲)		25°C	2.2 V ~ 3.6 V	-2.5	±2	+2.5	%
16 MHz 公差 (V_{cc} の範囲)		25°C	3 V ~ 3.6 V	-3	±2	+3	%
$f_{CAL(1MHz)}$ 1 MHz 校正值	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5 ms	25°C	1.8 V ~ 3.6 V	0.970	1	1.030	MHz
$f_{CAL(8MHz)}$ 8 MHz 校正值	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	25°C	1.8 V ~ 3.6 V	7.760	8	8.240	MHz
$f_{CAL(12MHz)}$ 12 MHz 校正值	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	25°C	2.2 V ~ 3.6 V	11.64	12	12.36	MHz
$f_{CAL(16MHz)}$ 16 MHz 校正值	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2 ms	25°C	3 V ~ 3.6 V	15.00	16	16.48	MHz

校正された DCO 周波数 - 総合公差

項目	測定条件	T_A	V_{cc}	最小	標準	最大	単位
1 MHz 総合公差		-40°C ~ 85°C	1.8 V ~ 3.6 V	-5	±2	+5	%
8 MHz 総合公差		-40°C ~ 85°C	1.8 V ~ 3.6 V	-5	±2	+5	%
12 MHz 総合公差		-40°C ~ 85°C	2.2 V ~ 3.6 V	-5	±2	+5	%
16 MHz 総合公差		-40°C ~ 85°C	3 V ~ 3.6 V	-6	±3	+6	%
$f_{CAL(1MHz)}$ 1 MHz 校正值	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5ms	-40°C ~ 85°C	1.8 V ~ 3.6 V	0.950	1	1.050	MHz
$f_{CAL(8MHz)}$ 8 MHz 校正值	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	-40°C ~ 85°C	1.8 V ~ 3.6 V	7.600	8	8.400	MHz
$f_{CAL(12MHz)}$ 12 MHz 校正值	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	-40°C ~ 85°C	2.2 V ~ 3.6 V	11.40	12	12.60	MHz
$f_{CAL(16MHz)}$ 16 MHz 校正值	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2 ms	-40°C ~ 85°C	3 V ~ 3.6 V	15.00	16	17.00	MHz

代表特性 - 校正された 1 MHz DCO 周波数

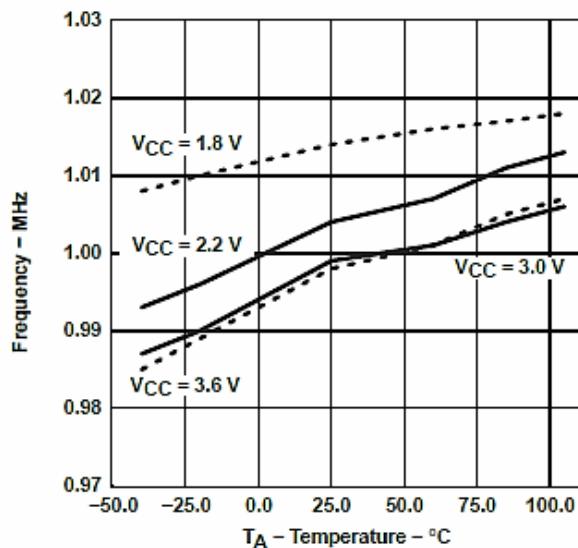


図 11. 温度対校正された 1 MHz 周波数

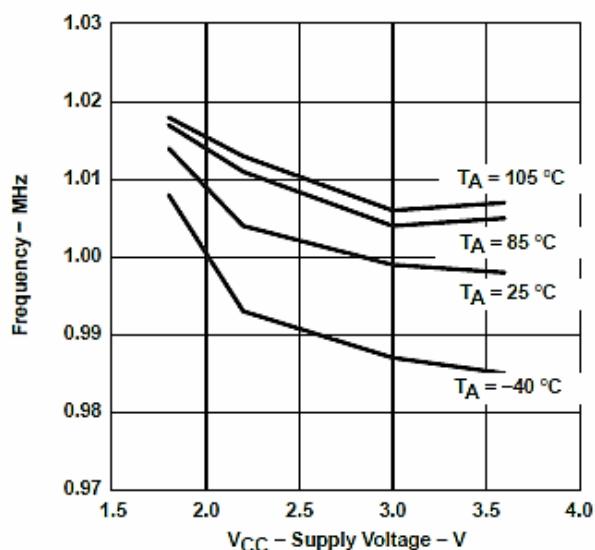


図 12. V_{CC} 対校正された 1 MHz 周波数

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

低消費電力モード（LPM3/4）からのウェークアップ

項目	測定条件	V _{CC}	最小	標準	最大	単位
t _{DCO, LPM3/4} LPM3/4 からの DCO クロック・ウェークアップ時間（注 1）	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz	2.2 V/3 V			2	μs
	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz	2.2 V/3 V			1.5	
	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz	2.2 V/3 V			1	
	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz	3 V			1	
t _{CPU, LPM3/4} LPM3/4 からの CPU ウェークアップ時間（注 2）				1/f _{MCLK} + t _{Clock, LPM3/4}		

（注 1） DCO クロック・ウェークアップ時間は、外部ウェークアップ信号（すなわちポート割り込み）のエッジから、クロック端子（MCLK 又は SMCLK）で外部から観測される最初のクロック・エッジまでを測定します。

（注 2） パラメータは、DCOCLK が MCLK として使用された場合のみに適用されます。

代表特性 - LPM3/4 からの DCO クロック・ウェークアップ時間

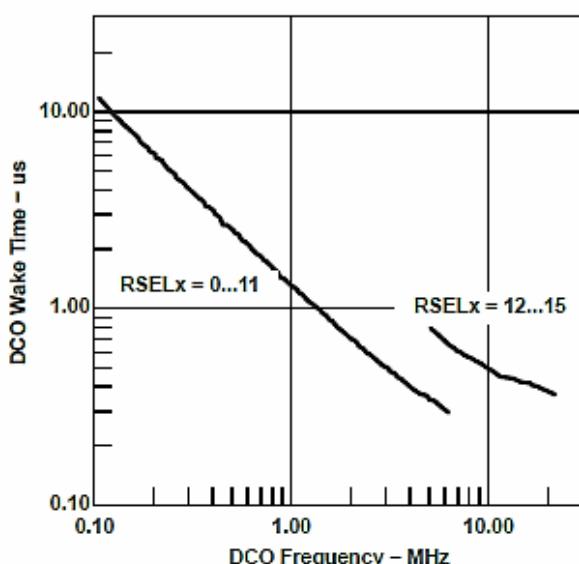


図 13. DCO 周波数対 LPM3 からのクロック・ウェークアップ時間

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

クリスタル・オシレータ、LFXT1、低周波数モード（注4）

項目	測定条件	V_{CC}	最小	標準	最大	単位
$f_{LFXT1, LF}$ LFXT1 オシレータ クリスタル 周波数、LF モード 0, 1	XTS = 0, LFXT1Sx = 0 又は 1	1.8 V ~ 3.6 V		32,768		Hz
$f_{LFXT1, LF, logic}$ LFXT1 オシレータ ロジック・ レベル矩形波入力周波数、 LF モード	XTS = 0, LFXT1Sx = 3	1.8 V ~ 3.6 V	10,000	32,768	50,000	Hz
OA_{LF} LF クリスタル発振許容値	XTS = 0, LFXT1Sx = 0; $f_{LFXT1, LF} = 32,768$ kHz、 $C_{L, eff} = 6$ pF			500		$k\Omega$
	XTS = 0, LFXT1Sx = 0; $f_{LFXT1, LF} = 32,768$ kHz、 $C_{L, eff} = 12$ pF			200		
内部有効負荷容量、 LF モード (注1)	XTS = 0, XCAPx = 0		1			pF
	XTS = 0, XCAPx = 1		5.5			
	XTS = 0, XCAPx = 2		8.5			
	XTS = 0, XCAPx = 3		11			
デューティ 比 LF モード	XTS = 0, P1.4/ACLK で測定、 $f_{LFXT1, LF} = 32,768$ Hz	2.2 V/3 V	30	50	70	%
$f_{Fault, LF}$ オシレータ障害周波数、 LF モード（注3）	XTS = 0, LFXT1Sx = 3 (注2)	2.2 V/3 V	10		10,000	Hz

- (注1) ボンド及びパッケージの寄生容量を含みます。（約 2 pF/端子）
プリント基板には容量が付加されますので、ACLK 周波数を測定することによって正確な負荷を検証することを推奨します。
正確な測定のため、有効負荷容量は常に使用するクリスタルの規格に適合しなければなりません。
- (注2) ロジック・レベル入力周波数で測定しますが、クリスタルでの動作にも適用されます。
- (注3) 規格の最小値より低い周波数では障害フラグがセットされ、最大値より高い周波数では障害フラグがセットされません。
その間の周波数では障害フラグがセットされることもあります。
- (注4) LFXT1 オシレータの EMI を改善するため、次のガイドラインに従って下さい。
 - デバイスとクリスタルの間の配線はできるだけ短くする。
 - オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
 - 他のクロック又はデータ・ラインからオシレータ端子 XIN 及び XOUT へのクロストークを防止する。
 - XIN 及び XOUT 端子の下側又は近くにプリント基板の配線を走らせないようにする。
 - オシレータ端子 XIN 及び XOUT の寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
 - コーティングを使用する場合は、それがオシレータ端子間に容量／抵抗リレークを誘導しないこと。
 - シリアル・プログラミング・アダプタを使用するために、XOUT ラインを JTAG ヘッダへ配線しない。
 この信号は、シリアル・プログラミング・アダプタには必要ありません。

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

クリスタル・オシレータ、LFXT1、高周波数モード（注5）

項目	測定条件	V _{CC}	最小	標準	最大	単位
f _{LFXT1, HF0} LFXT1 オシレータ クリスタル 周波数、HF モード 0	XTS = 1、LFXT1Sx = 0	1.8 V ~ 3.6 V	0.4		1	MHz
f _{LFXT1, HF1} LFXT1 オシレータ クリスタル 周波数、HF モード 1	XTS = 1、LFXT1Sx = 1	1.8 V ~ 3.6 V	1		4	MHz
f _{LFXT1, HF2} LFXT1 オシレータ クリスタル 周波数、HF モード 2	XTS = 1、LFXT1Sx = 2	1.8 V ~ 3.6 V	2		10	MHz
		2.2 V ~ 3.6 V	2		12	
		3 V ~ 3.6 V	2		16	
f _{LFXT1, HF, logic} LFXT1 オシレータ ロジック・レ ベル矩形波入力周波数、 HF モード	XTS = 1、LFXT1Sx = 3	1.8 V ~ 3.6 V	0.4		10	MHz
		2.2 V ~ 3.6 V	0.4		12	
		3 V ~ 3.6 V	0.4		16	
OA _{HF} HF クリスタル発振許容値 (図 14、15 参照)	XTS = 0、LFXT1Sx = 0、 f _{LFXT1, HF} = 1 MHz、 C _{L, eff} = 15 pF			2700		Ω
	XTS = 0、LFXT1Sx = 1、 f _{LFXT1, HF} = 4 MHz、 C _{L, eff} = 15 pF			800		
	XTS = 0、LFXT1Sx = 2、 f _{LFXT1, HF} = 16 MHz、 C _{L, eff} = 15 pF			300		
C _{L, eff} 内部有効負荷容量、 HF モード (注 1)	XTS = 1 (注 2)			1		pF
デューティ 比	XTS = 1、P1.4/ACLK で測定、 f _{LFXT1, HF} = 10 MHz	2.2 V/3 V	40	50	60	%
	XTS = 1、P1.4/ACLK で測定、 f _{LFXT1, HF} = 16 MHz	2.2 V/3 V	40	50	60	
f _{Fault, HF} オシレータ障害周波数、 HF モード (注 4)	XTS = 1、LFXT1Sx = 3 (注 3)	2.2 V/3 V	30		300	kHz

- (注 1) ボンド及びパッケージの寄生容量を含みます。（約 2 pF/端子）
プリント基板には容量が付加されますので、ACLK 周波数を測定することによって正確な負荷を検証することを推奨します。
正確な測定のため、有効負荷容量は常に使用するクリスタルの規格に適合しなければなりません。
- (注 2) ロジック・レベル入力周波数で測定しますが、クリスタルでの動作にも適用されます。
- (注 3) 規格の最小値より低い周波数では障害フラグがセットされ、最大値より高い周波数では障害フラグがセットされません。
その間の周波数では障害フラグがセットされることもあります。
- (注 4) LFXT1 オシレータの EMI を改善するため、次のガイドラインに従って下さい。
– デバイスとクリスタルの間の配線はできるだけ短くする。
– オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
– 他のクロック又はデータ・ラインからオシレータ端子 XIN 及び XOUT へのクロストークを防止する。
– XIN 及び XOUT 端子の下側又は近くにプリント基板の配線を走らせないようにする。
– オシレータ端子 XIN 及び XOUT の寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
– コーティングを使用する場合は、それがオシレータ端子間に容量／抵抗リードを誘導しないこと。
– シリアル・プログラミング・アダプタを使用するため、XOUT ラインを JTAG ヘッダへ配線しない。
この信号は、シリアル・プログラミング・アダプタには必要ありません。

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

代表特性 - LFXT1 オシレータ HF モード (XTS = 1)

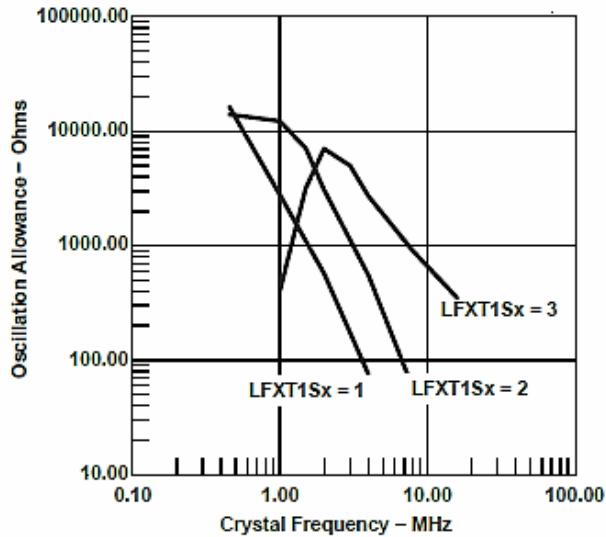


図 14. クリスタル周波数対発振許容値、 $C_{L_{\text{eff}}} = 15 \text{ pF}$, $T_A = 25^\circ\text{C}$

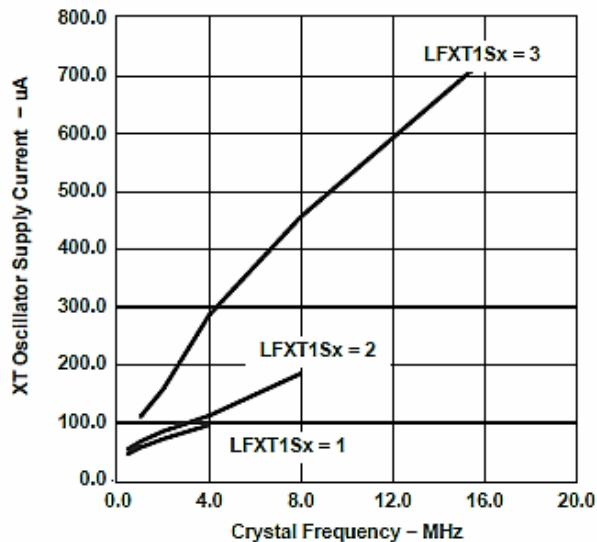


図 15. クリスタル周波数対 XT オシレータ電源電流、 $C_{L_{\text{eff}}} = 15 \text{ pF}$, $T_A = 25^\circ\text{C}$

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

タイマ_A

項目		測定条件	V _{cc}	最小	標準	最大	単位
f _{TA}	タイマ_A クロック周波数	内部: SMCLK、ACLK; 外部: TACLK、INCLK; デューティ比 = 50% ±10%	2.2 V			10	MHz
			3 V			16	
t _{TA, cap}	タイマ_A、 キャプチャ・タイミング	TA0、TA1、TA2	2.2 V/3 V	20			ns

コンパレータ_A+（注 1）

項目		測定条件	V _{cc}	最小	標準	最大	単位
I _(DD)		CAON = 1、CARSEL = 0、CAREF = 0	2.2 V		25	40	μA
			3 V		45	60	
I _(RefLadder/RefDiode)		CAON = 1、CARSEL = 0、 CAREF = 1/2/3、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	2.2 V		30	50	μA
			3 V		45	71	
V _(IC)	同相入力電圧	CAON = 1	2.2 V/3 V	0	V _{cc} - 1		V
V _(Ref025)	Voltage @ 0.25 V _{CC} node V _{CC}	PCA0 = 1、CARSEL = 1、 CAREF = 1、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	2.2 V/3 V	0.23	0.24	0.25	
V _(Ref050)	Voltage @ 0.5 V _{CC} node V _{CC}	PCA0 = 1、CARSEL = 1、CAREF = 2、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷	2.2 V/3 V	0.47	0.48	0.5	
V _(RefVT)	(図 19、20 参照)	PCA0 = 1、CARSEL = 1、CAREF = 3、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷、T _A = 85°C	2.2 V	390	480	540	mV
V _(offset)	オフセット電圧	(注 2)	2.2 V/3 V	-30		30	
V _{hys}	入力ヒステリシス	CAON = 1	2.2 V/3 V	0	0.7	1.4	mV
t _(response)	応答時間 (ロー・レベル ~ ハイ・レ ベル及びハイ・レベル ~ ロ ー・レベル)	T _A = 25°C、オーバードライブ 10 mV、 フィルタなし: CAF = 0 (注 3) (図 16、17 参照)	2.2 V	80	165	300	ns
			3 V	70	120	240	
		T _A = 25°C、オーバードライブ 10 mV、 Wフィルタ付き: CAF = 1 (注 3) (図 16、17 参照)	2.2 V	1.4	1.9	2.8	μs
			3 V	0.9	1.5	2.2	

(注 1) コンパレータ_A+ 端子のリーク電流は、I_{lkg(Px,x)} 規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A+ 入力を反転させることにより、キヤンセルすることができます。2 つの連続した測定値を加算します。

(注 3) 応答時間は P2.2/CAOUT で測定します。

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

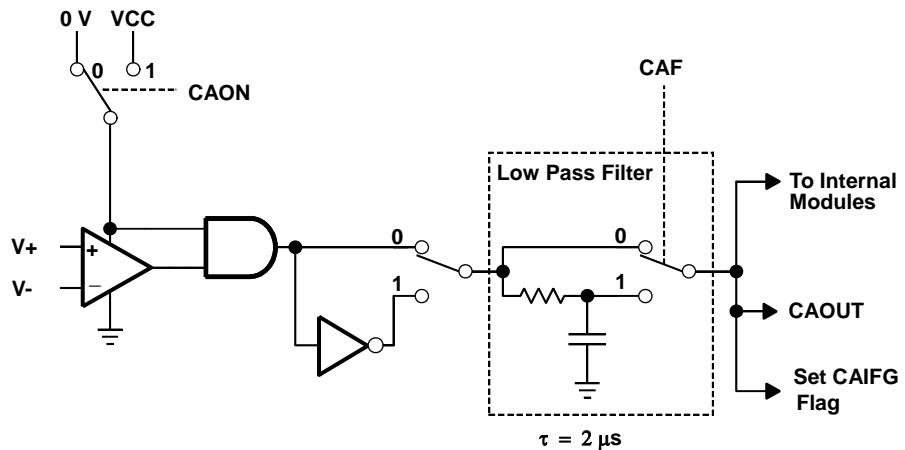


図 16. コンパレータ_A+ モジュール ブロック図

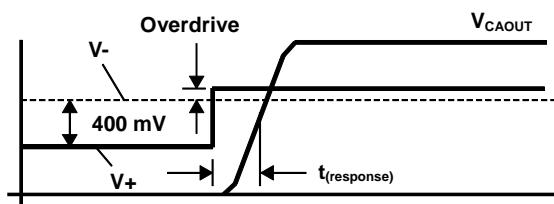


図 17. オーバードライブの定義

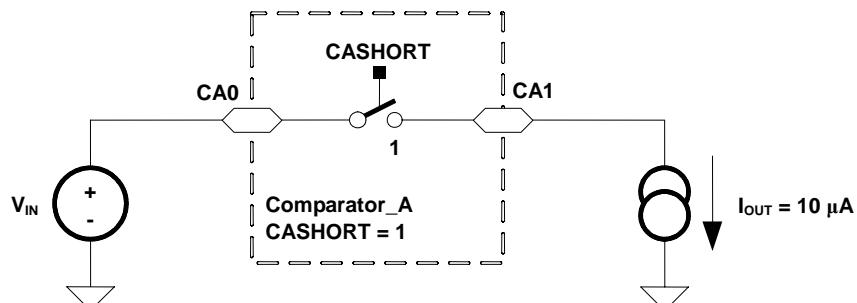
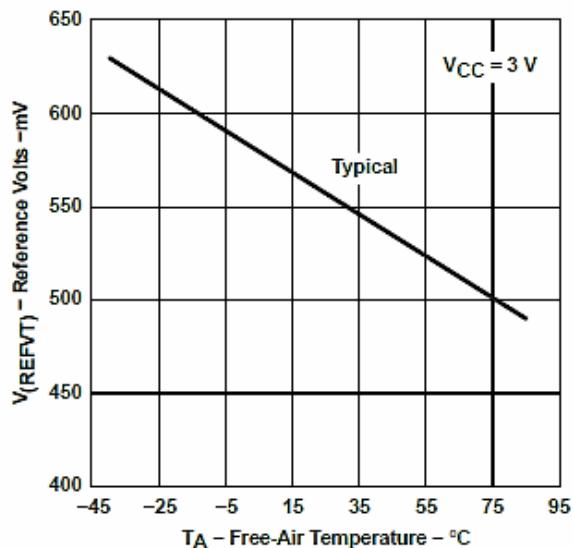
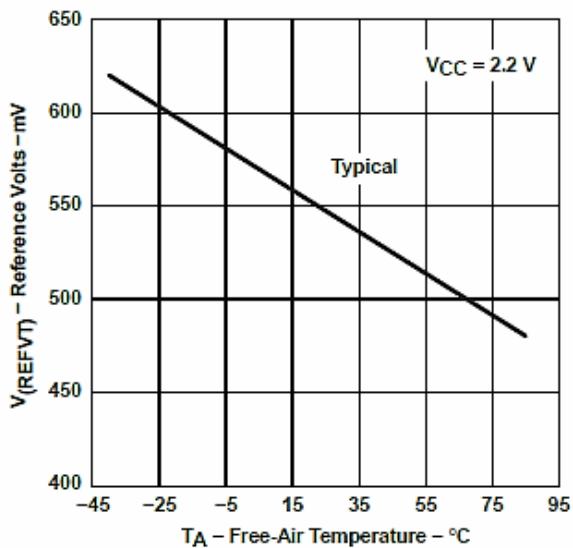
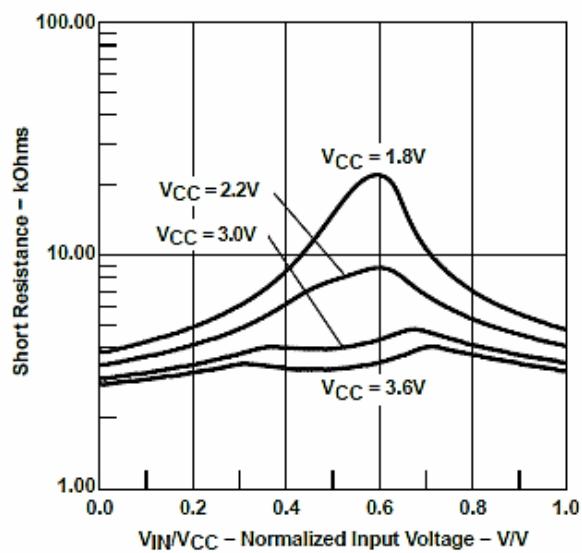


図 18. コンパレータ_A+ 短絡抵抗測定条件

推奨電源電圧及び動作周囲温度における電気的特性（特記無き場合）（続き）

代表特性 - コンパレータ_A+

図 19. 温度対 $V_{(REFVT)}$ 、 $V_{CC} = 3\text{ V}$ 図 20. 温度対 $V_{(REFVT)}$ 、 $V_{CC} = 2.2\text{ V}$ 図 21. V_{IN}/V_{CC} 対短絡抵抗

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項目	測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(PGM/ERASE)}$ プログラム及び消去時電源電圧			2.2		3.6	V
f_{FTG} フラッシュ・タイミング発生器周波数			257		476	kHz
I_{PGM} プログラム時消費電流 (V_{CC})		2.2 V/3.6 V	3	5		mA
I_{ERASE} 消去時消費電流 (V_{CC})		2.2 V/3.6 V	3	7		mA
t_{CPT} 累積プログラム時間	(注 1)	2.2 V/3.6 V			4	ms
$t_{CMErase}$ 累積一括消去時間		2.2 V/3.6 V	20			ms
プログラム/消去回数			10 ⁴	10 ⁵		cycles
$t_{Retention}$ データ保持期間	$T_J = 25^\circ\text{C}$		100			years
t_{Word} ワード又はバイト・プログラム時間	(注 2)		30	t_{FTG}		
$t_{Block, 0}$ 先頭バイト又はワードのブロック・プログラム時間			25			
$t_{Block, 1-63}$ 各後続バイト又はワードのブロック・プログラム時間			18			
$t_{Block, End}$ ブロック・プログラム終了シーケンスのウェイト時間			6			
$t_{Mass Erase}$ 一括消去時間			10593			
$t_{Seg Erase}$ セグメント消去時間			4819			

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。 $(t_{FTG} = 1/f_{FTG})$

RAM

項目	最小	標準	最大	単位
$V_{(RAMh)}$ CPU 停止時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

JTAG インタフェース

項目	測定条件	V_{CC}	最小	標準	最大	単位
f_{TCK} TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
		3 V	0		10	
$R_{Internal}$ 内部プルダウン抵抗 (TEST)		2.2 V/3 V	25	60	90	k Ω

(注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するよう制限されます。

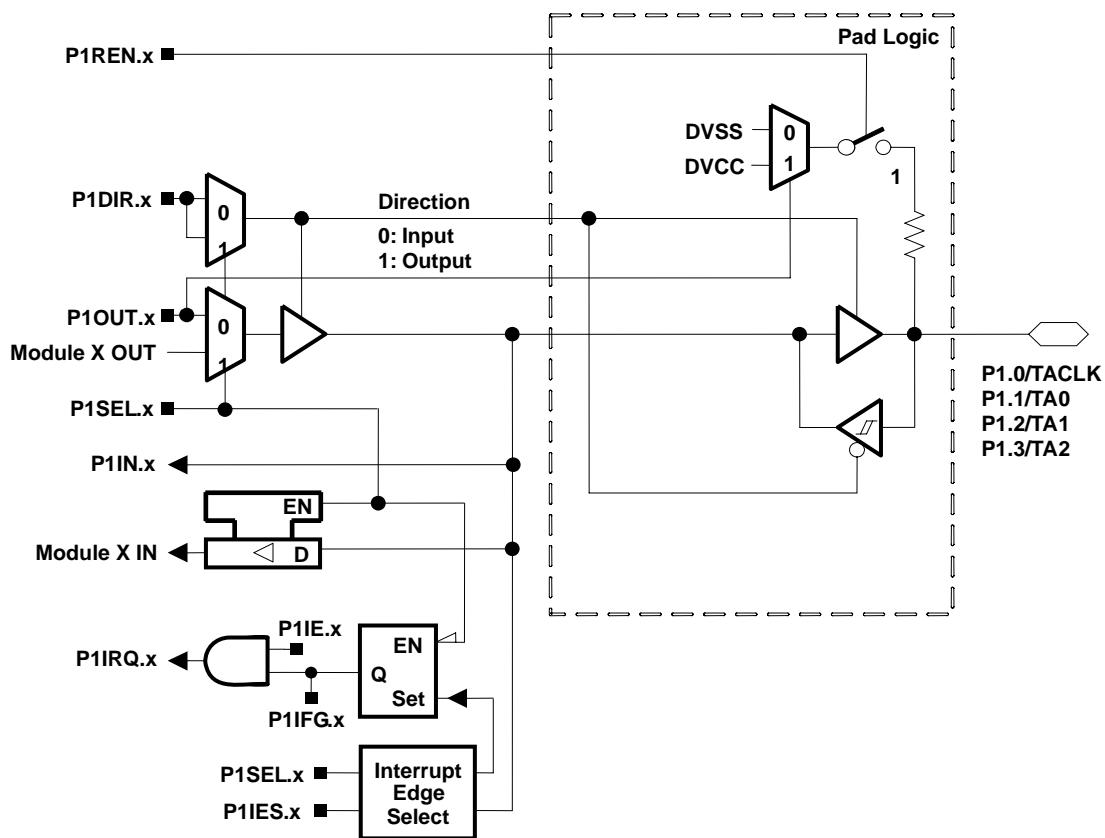
JTAG ヒューズ (注 1)

項目	測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(FB)}$ ヒューズ切断時の電源電圧	$T_A = 25^\circ\text{C}$		2.5			V
V_{FB} ヒューズ切断電圧 (TEST)	$T_A = 25^\circ\text{C}$		6		7	V
I_{FB} ヒューズ切断時の消費電流 (TEST)	$T_A = 25^\circ\text{C}$				100	mA
t_{FB} ヒューズ切断時間	$T_A = 25^\circ\text{C}$				1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG / テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

ポート P1 端子図 : P1.0 ~ P1.3、シュミット・トリガ入力／出力



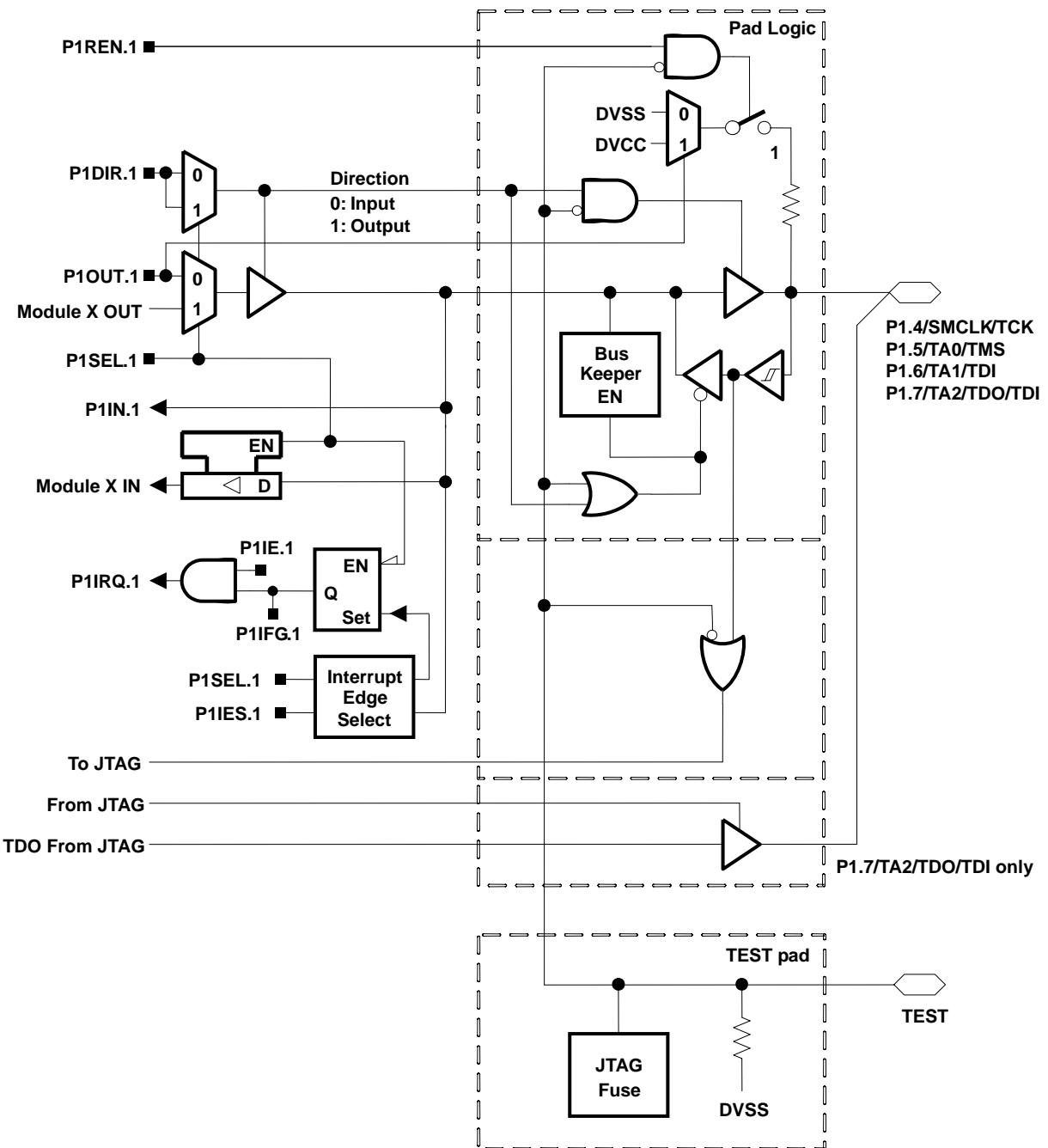
ポート P1 (P1.0 ~ P1.3) 端子機能

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS	
			P1DIR.x	P1SEL.x
P1.0/TACLK	0	P1.0† (I/O)	I: 0; O: 1	0
		TACLK	0	1
		DV _{SS}	1	1
P1.1/TA0	1	P1.1† (I/O)	I: 0; O: 1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1
P1.2/TA1	2	P1.2† (I/O)	I: 0; O: 1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1
P1.3/TA2	3	P1.3† (I/O)	I: 0; O: 1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1

†リセット (PUC/POR) 後のデフォルト

アプリケーション情報

ポート P1 端子図 : P1.4 ~ P1.7、シュミット・トリガ及びイン・システム・アクセス機能入力／出力



ポート P1 (P1.4 ~ P1.7) 端子機能

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P1DIR.x	P1SEL.x	TEST
P1.4/SMCLK/TCK	4	P1.4†(I/O)	I: 0; O: 1	0	0
		SMCLK	1	1	0
		TCK	X	X	1
P1.5/TA0/TMS	5	P1.5† (I/O)	I: 0; O: 1	0	0
		Timer_A3.TA0	1	1	0
		TMS	X	X	1
P1.6/TA1/TDI/TCLK	6	P1.6† (I/O)	I: 0; O: 1	0	0
		Timer_A3.TA1	1	1	0
		TDI/TCLK (注 3)	X	X	1
P1.7/TA2/TDO/TDI	7	P1.7† (I/O)	I: 0; O: 1	0	0
		Timer_A3.TA2	1	1	0
		TDO/TDI (注 3)	X	X	1

† リセット (PUC/POR) 後のデフォルト

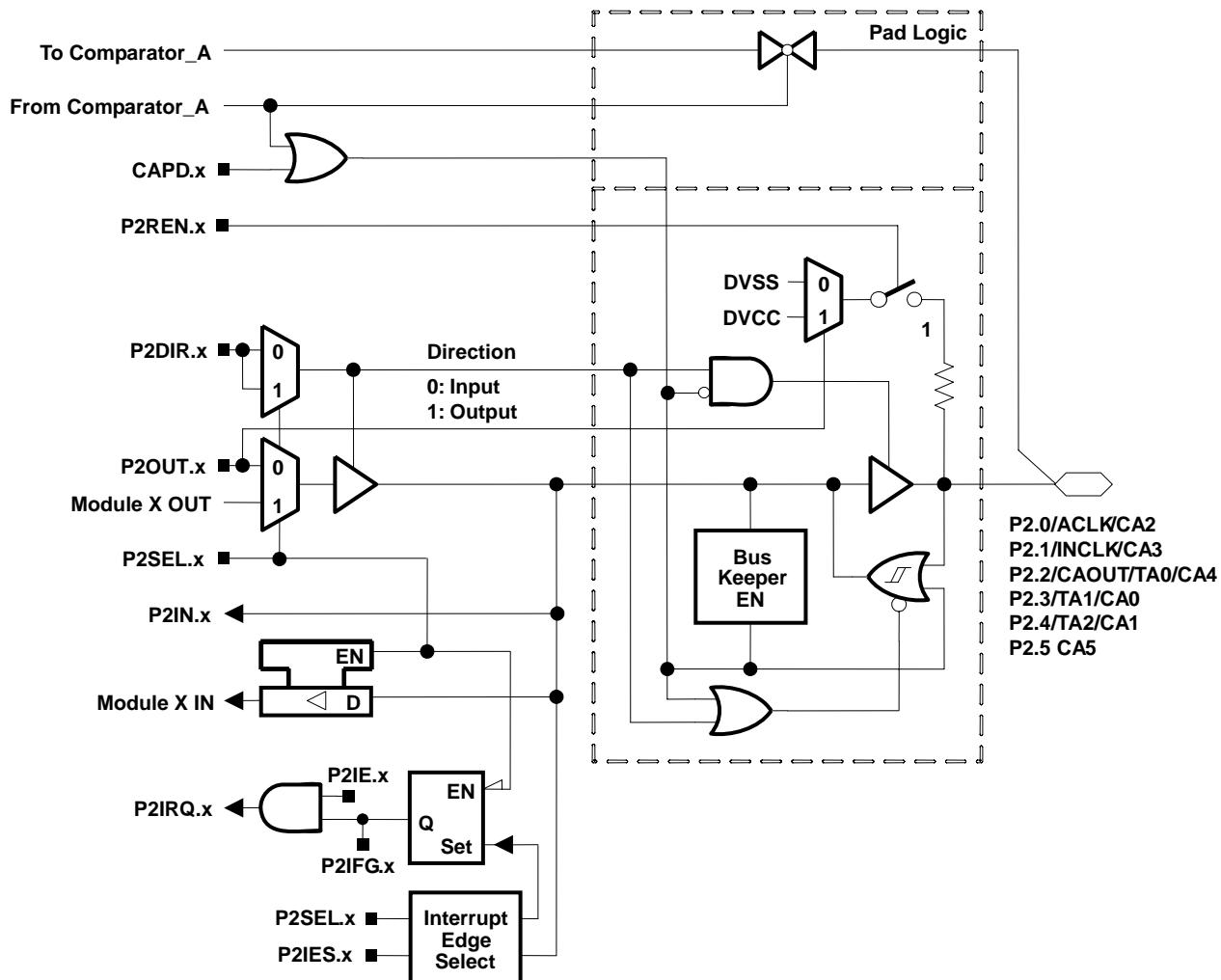
(注 1) N/A: 使用不可又は未使用

(注 2) X: 関係ありません

(注 3) 機能は JTAG によって制御されます。

アプリケーション情報

ポート P2 端子図 : P2.0 ~ P2.5、シュミット・トリガ入力／出力



コンパレータ_A+ からの制御信号

PIN NAME	FUNCTION	SIGNAL "FROM COMPARATOR_A+" = 1					
		P2CA4	P2CA0	OR	P2CA3	P2CA2	P2CA1
P2.0/ACLK/CA2	CA2	1	1		0	1	0
P2.1/INCLK/CA3	CA3	N/A	N/A		0	1	1
P2.2/CAOUT/TA0/CA4	CA4	N/A	N/A		1	0	0
P2.3/TA1/CA0	CA0	0	1		N/A	N/A	N/A
P2.4/TA2/CA1	CA1	1	0		0	0	1
P2.5/CA5	CA5	N/A	N/A		1	0	1

(注 1) N/A : 使用不可又は未使用

ポート P2 (P2.0 ~ P2.5) 端子機能

PIN NAME (P2.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P2DIR.x	P2SEL.x	CAPD.x
P2.0/ACLK/CA2	0	P2.0↑ (I/O)	I: 0; O: 1	0	0
		ACLK	1	1	0
		CA2 (注 3)	X	X	1
P2.1/INCLK/CA3	1	P2.1↑ (I/O)	I: 0; O: 1	0	0
		Timer_A3.INCLK	0	1	0
		DV _{ss}	1	1	0
		CA3 (注 3)	X	X	1
P2.2/CAOUT/TA0/CA4	2	P2.2↑ (I/O)	I: 0; O: 1	0	0
		Timer_A3.CCI0B	0	1	0
		Comparator_A.OUT	1	1	0
		CA4 (注 3)	X	X	1
P2.3/TA1/CA0	3	P2.3↑ (I/O)	I: 0; O: 1	0	0
		Timer_A3.TA1	1	1	0
		CA0 (注 3)	X	X	1
P2.4/TA2/CA1	4	P2.4↑ (I/O)	I: 0; O: 1	0	0
		Timer_A3.TA2	1	1	0
		CA1 (注 3)	X	X	1
P2.5/CA5	5	P2.5↑ (I/O)	I: 0; O: 1	0	0
		CA5 (注 3)	X	X	1

† リセット (PUC/POR) 後のデフォルト

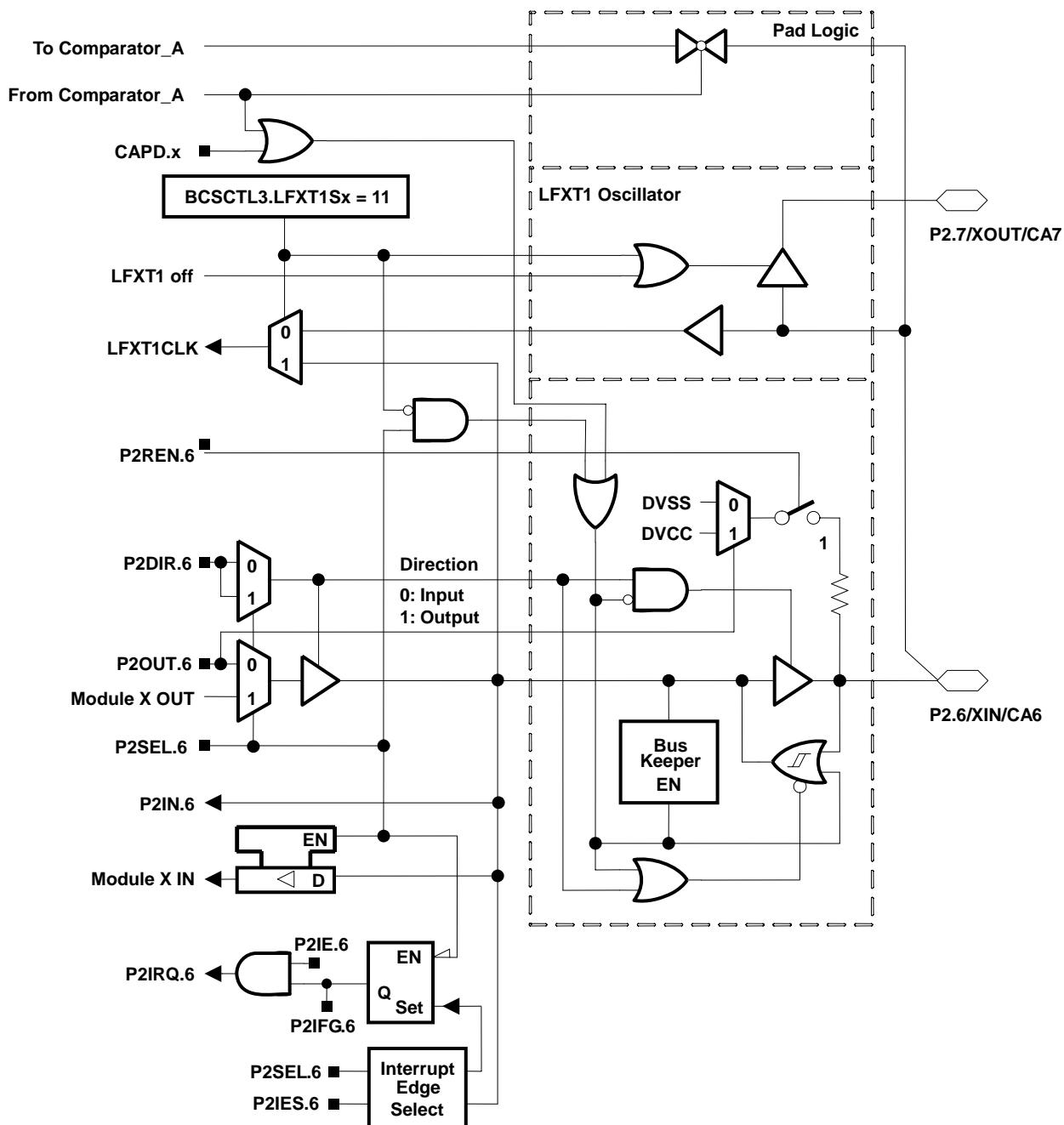
(注 1) N/A: 使用不可又は未使用

(注 2) X: 関係ありません

(注 3) CAPD.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。CA_x 端子を P2CAx ビットを使ってコンパレータ・マルチプレクサの入力に選択すると、関連する CAPD.x ビットの状態に関係なくこの端子の入力バッファは自動的にディスエーブルとなります。

アプリケーション情報

ポート P2 端子図 : P2.6、シミュット・トリガ入力／出力及びクリスタル・オシレータ入力

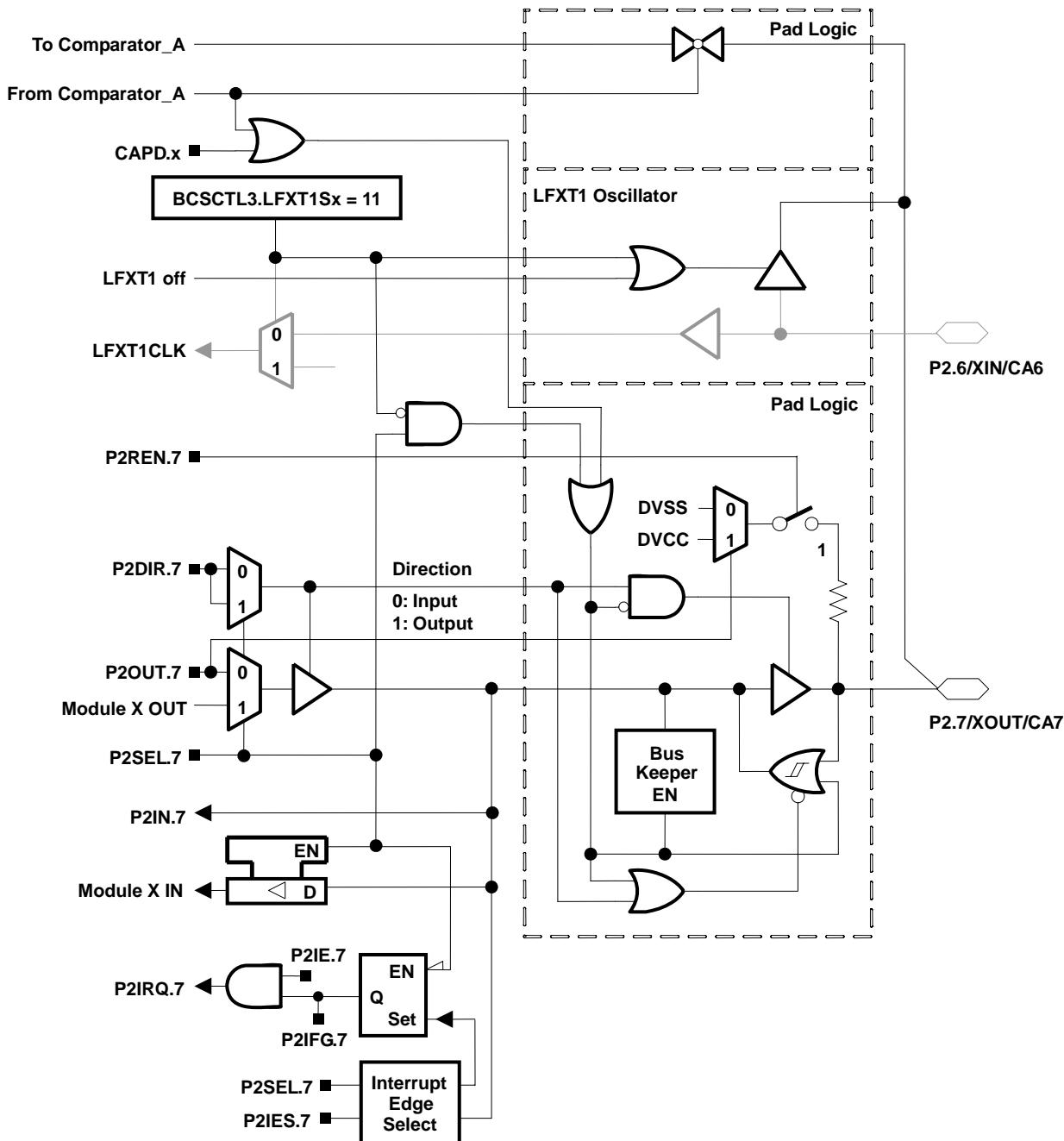


コンパレータ_A+ からの制御信号

PIN NAME	FUNCTION	SIGNAL "FROM COMPARATOR_A+" = 1		
		P2CA3	P2CA2	P2CA1
P2.6/XIN/CA6	CA6	1	1	0

アプリケーション情報

ポート P2 端子図 : P2.7、シュミット・トリガ入力／出力及びクリスタル・オシレータ出力



コンパレータ_A+ からの制御信号

PIN NAME	FUNCTION	SIGNAL "FROM COMPARATOR_A+" = 1		
		P2CA3	P2CA2	P2CA1
P2.7/XOUT/CA7	CA7	1	1	1

ポート P2 (P2.6) 端子機能

PIN NAME (P2.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P2DIR.x	P2SEL.x	CAPD.x
P2.6/XIN/CA6	6	P2.6 (I/O)	I: 0; O: 1	0	0
		XINT	X	1	0
		CA6 (注 3)	X	X	1

†リセット (PUC/POR) 後のデフォルト

(注 1) N/A: 使用不可又は未使用

(注 2) X: 関係ありません

(注 3) CAPD.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。CA_x 端子を P2CAx ビットを使ってコンペレータ・マルチプレクサの入力に選択すると、関連する CAPD.x ビットの状態に関係なくこの端子の入力バッファは自動的にディスエーブルとなります。

ポート P2 (P2.7) 端子機能

PIN NAME (P2.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P2DIR.x	P2SEL.x	CAPD.x
P2.7/XOUT/CA7	6	P2.7 (I/O)	I: 0; O: 1	0	0
		XOUT† (注 4)	X	1	0
		CA7 (注 3)	X	X	1

†リセット (PUC/POR) 後のデフォルト

(注 1) N/A: 使用不可又は未使用

(注 2) X: 関係ありません

(注 3) CAPD.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。CA_x 端子を P2CAx ビットを使ってコンペレータ・マルチプレクサの入力に選択すると、関連する CAPD.x ビットの状態に関係なくこの端子の入力バッファは自動的にディスエーブルとなります。

(注 4) XOUT/P2.7/CA7 端子を入力として使用すると、リセット後にこの端子にオシレータ出力ドライバが接続されるため、P2SEL.7 がクリアされるまで電流が流れることができます。

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子上にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の I_{TF} チェック電流が TEST 端子からグランドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 22 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

POR 後の TMS がロー・レベルになる点

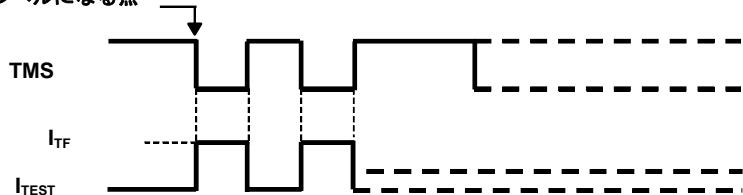


図 22. ヒューズ・チェック・モード電流、MSP430F21x1

(注)

JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。

PACKAGING INFORMATION

Orderable Device	Status ^[1]	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ^[2]	Lead/Ball Finish	MSL Peak Temp ^[3]
MSP430F2121IRGE	PREVIEW					TBD	Call TI	Call TI
MSP430F2131IRGE	PREVIEW					TBD	Call TI	Call TI

^[1] The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

^[2] Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

^[3] MSL, Peak Temp. – The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F2101IDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2101
MSP430F2101IDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2101
MSP430F2101IDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2101
MSP430F2101IDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2101
MSP430F2101IDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2101
MSP430F2101IDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2101
MSP430F2101IDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2101
MSP430F2101IDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2101
MSP430F2101IPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2101
MSP430F2101IPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2101
MSP430F2101IPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2101
MSP430F2101IPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2101
MSP430F2101IRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2101
MSP430F2101IRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2101
MSP430F2101IRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2101
MSP430F2101IRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2101
MSP430F2101TDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2101T
MSP430F2101TDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2101T
MSP430F2101TDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2101T
MSP430F2101TDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2101T
MSP430F2101TDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2101T
MSP430F2101TDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2101T
MSP430F2101TDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2101T
MSP430F2101TDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2101T
MSP430F2101TPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2101T
MSP430F2101TPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2101T

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F2101TPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2101T
MSP430F2101TPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2101T
MSP430F2101TRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 105	M430F 2101T
MSP430F2101TRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	M430F 2101T
MSP430F2111IDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2111
MSP430F2111IDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2111
MSP430F2111IDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2111
MSP430F2111IDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2111
MSP430F2111IDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2111
MSP430F2111IDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2111
MSP430F2111IDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2111
MSP430F2111IDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2111
MSP430F2111IPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2111
MSP430F2111IPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2111
MSP430F2111IPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2111
MSP430F2111IPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2111
MSP430F2111IRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2111
MSP430F2111IRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2111
MSP430F2111IRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2111
MSP430F2111IRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2111
MSP430F2111TDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2111T
MSP430F2111TDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2111T
MSP430F2111TDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2111T
MSP430F2111TDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2111T
MSP430F2111TDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2111T
MSP430F2111TDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2111T

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F2111TPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2111T
MSP430F2111TPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2111T
MSP430F2111TPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2111T
MSP430F2111TPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2111T
MSP430F2111TRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 105	M430F 2111T
MSP430F2111TRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	M430F 2111T
MSP430F2111TRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 105	M430F 2111T
MSP430F2111TRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	M430F 2111T
MSP430F2121IDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2121
MSP430F2121IDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2121
MSP430F2121IDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2121
MSP430F2121IDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2121
MSP430F2121IDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2121
MSP430F2121IDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2121
MSP430F2121IDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2121
MSP430F2121IDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2121
MSP430F2121IPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2121
MSP430F2121IPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2121
MSP430F2121IPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2121
MSP430F2121IPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2121
MSP430F2121IRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2121
MSP430F2121IRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2121
MSP430F2121IRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2121
MSP430F2121IRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2121
MSP430F2121TDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2121T

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F2121TDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2121T
MSP430F2121TDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2121T
MSP430F2121TDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2121T
MSP430F2121TDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2121T
MSP430F2121TDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2121T
MSP430F2121TPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2121T
MSP430F2121TPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2121T
MSP430F2121TPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2121T
MSP430F2121TPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2121T
MSP430F2121TRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 105	M430F 2121T
MSP430F2121TRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	M430F 2121T
MSP430F2131IDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2131
MSP430F2131IDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2131
MSP430F2131IDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2131
MSP430F2131IDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4F2131
MSP430F2131IDGVRG4	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2131
MSP430F2131IDGVRG4.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2131
MSP430F2131IDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2131
MSP430F2131IDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2131
MSP430F2131IDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2131
MSP430F2131IDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	M430F2131
MSP430F2131IPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2131
MSP430F2131IPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2131
MSP430F2131IPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2131
MSP430F2131IPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	430F2131
MSP430F2131IRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2131
MSP430F2131IRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2131

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSP430F2131IRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	M430F 2131
MSP430F2131IRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	M430F 2131
MSP430F2131TDGV	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2131T
MSP430F2131TDGV.B	Active	Production	TVSOP (DGV) 20	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2131T
MSP430F2131TDGVR	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2131T
MSP430F2131TDGVR.B	Active	Production	TVSOP (DGV) 20	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	4F2131T
MSP430F2131TDW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2131T
MSP430F2131TDW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2131T
MSP430F2131TDWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2131T
MSP430F2131TDWR.B	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	M430F2131T
MSP430F2131TPW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2131T
MSP430F2131TPW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2131T
MSP430F2131TPWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2131T
MSP430F2131TPWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	4F2131T
MSP430F2131TRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 105	M430F 2131T
MSP430F2131TRGER.B	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	M430F 2131T
MSP430F2131TRGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 105	M430F 2131T
MSP430F2131TRGET.B	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	M430F 2131T

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

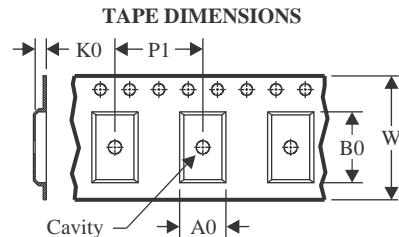
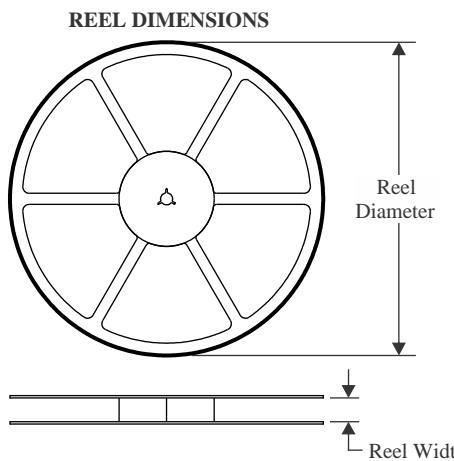
(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

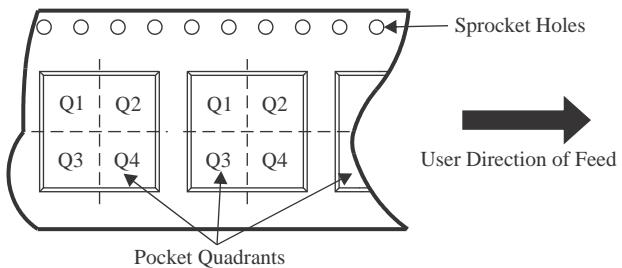
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


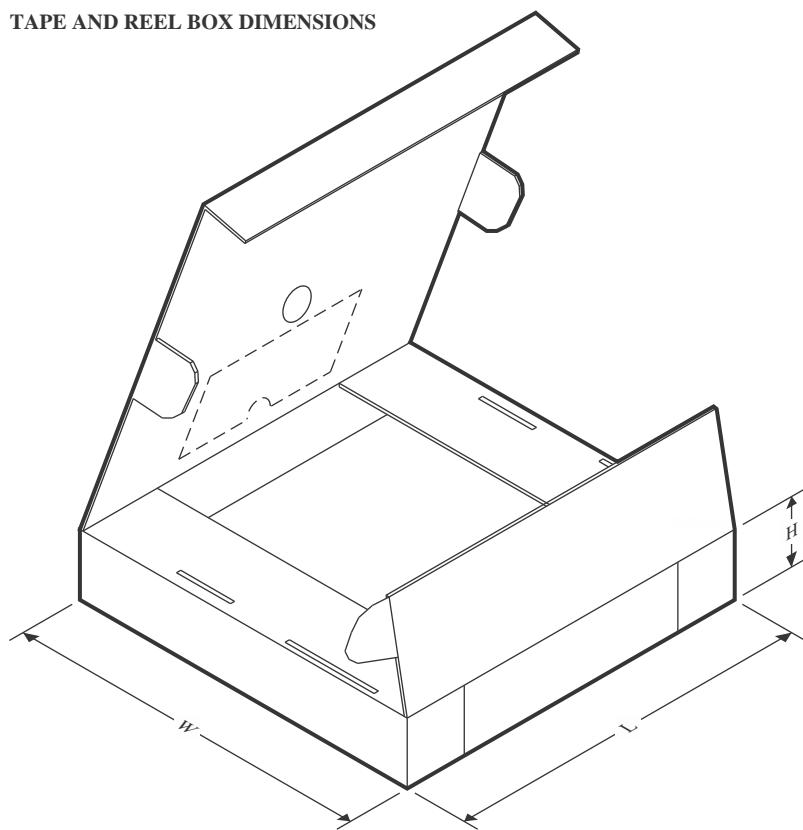
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F2101IDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2101IDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2101IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2101IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2101IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2101IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2101TDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2101TDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2101TPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2101TRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2101TRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2111IDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2111IDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2111IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2111IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2111IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

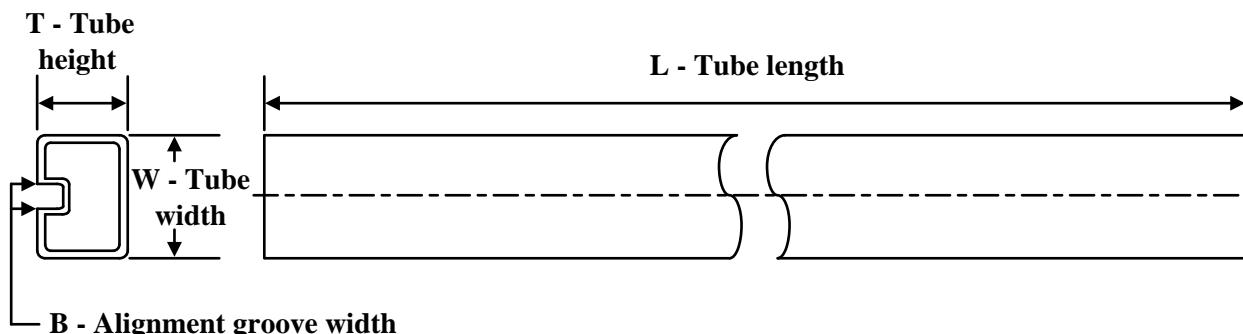
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F2111IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2111IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2111TDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2111TDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2111TPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2111TRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2111TRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2111TRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2121IDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2121IDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2121IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2121IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2121IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2121IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2121TDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2121TDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2121TPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2121TRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2121TRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2131IDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2131IDGVRG4	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2131IDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2131IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2131IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2131IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2131IRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2131TDGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430F2131TDWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
MSP430F2131TPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSP430F2131TRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSP430F2131TRGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F2101IDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2101IDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2101IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2101IRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
MSP430F2101IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2101IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2101TDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2101TDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2101TPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2101TRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
MSP430F2101TRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
MSP430F2111IDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2111IDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2111IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2111IRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
MSP430F2111IRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
MSP430F2111IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2111IRGET	VQFN	RGE	24	250	210.0	185.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F2111TDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2111TDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2111TPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2111TRGER	VQFN	RGE	24	3000	367.0	367.0	35.0
MSP430F2111TRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2111TRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2121IDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2121IDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2121IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2121IRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
MSP430F2121IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2121IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2121TDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2121TDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2121TPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2121TRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2121TRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2131IDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2131IDGVRG4	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2131IDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2131IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2131IRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
MSP430F2131IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2131IRGET	VQFN	RGE	24	250	210.0	185.0	35.0
MSP430F2131TDGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
MSP430F2131TDWR	SOIC	DW	20	2000	356.0	356.0	45.0
MSP430F2131TPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
MSP430F2131TRGER	VQFN	RGE	24	3000	346.0	346.0	33.0
MSP430F2131TRGET	VQFN	RGE	24	250	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
MSP430F2101IDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2101IDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2101IDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2101IDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2101IPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2101IPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2101TDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2101TDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2101TDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2101TDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2101TPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2101TPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2111IDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2111IDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2111IDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2111IDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2111IPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2111IPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2111TDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2111TDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2111TPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2111TPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2121IDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2121IDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2121IDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2121IDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2121IPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2121IPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2121TDW	DW	SOIC	20	25	507	12.83	5080	6.6

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
MSP430F2121TDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2121TPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2121TPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2131IDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2131IDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2131IDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2131IDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2131IPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2131IPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2131TDGV	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2131TDGV.B	DGV	TVSOP	20	90	530	10.2	3600	3.5
MSP430F2131TDW	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2131TDW.B	DW	SOIC	20	25	507	12.83	5080	6.6
MSP430F2131TPW	PW	TSSOP	20	70	530	10.2	3600	3.5
MSP430F2131TPW.B	PW	TSSOP	20	70	530	10.2	3600	3.5

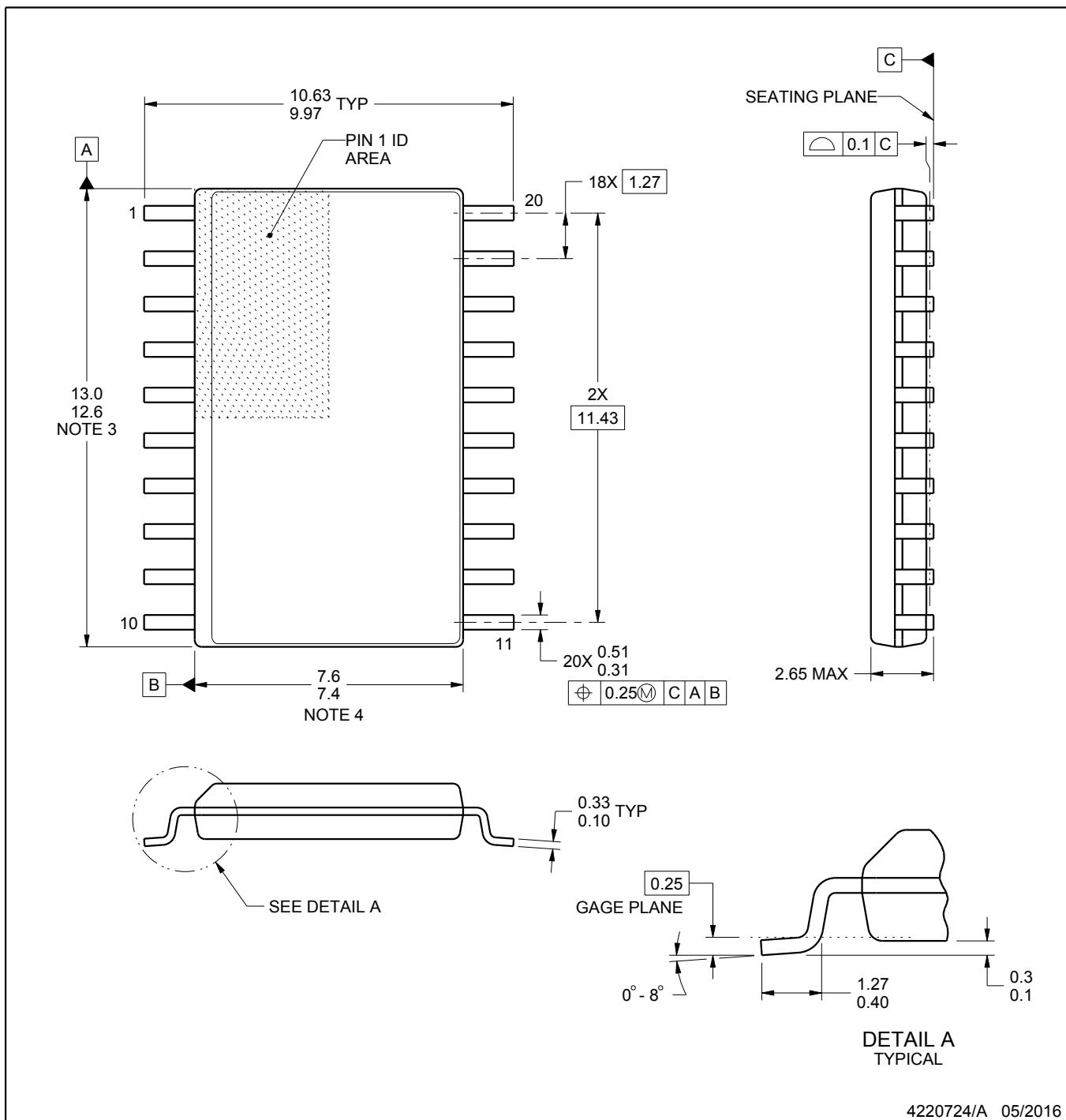
PACKAGE OUTLINE

DW0020A



SOIC - 2.65 mm max height

SOIC



NOTES:

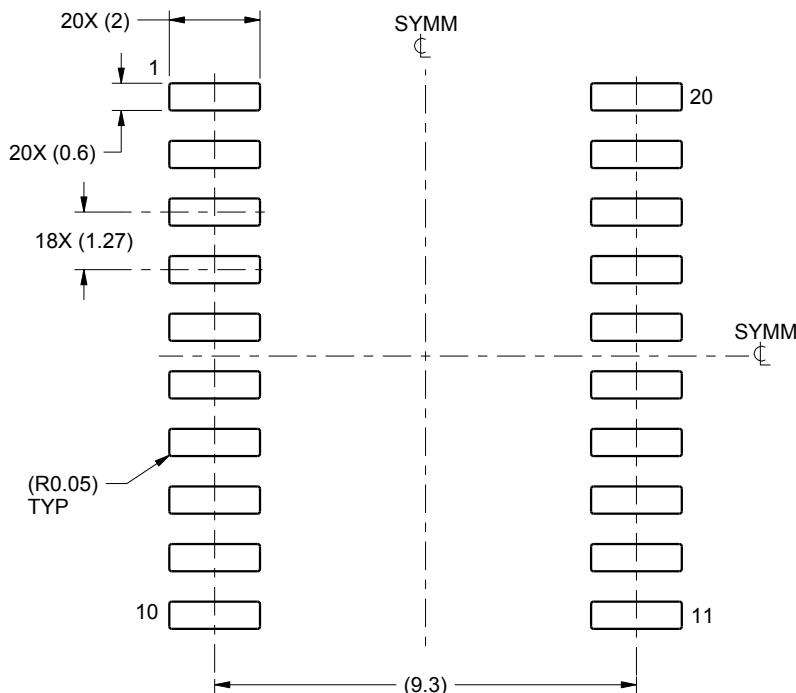
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

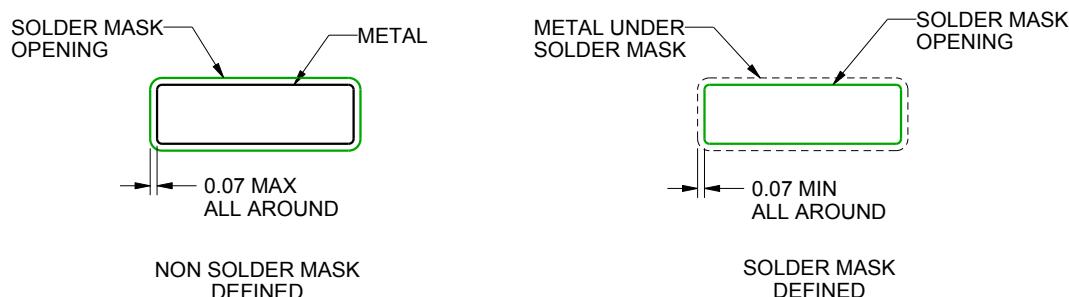
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

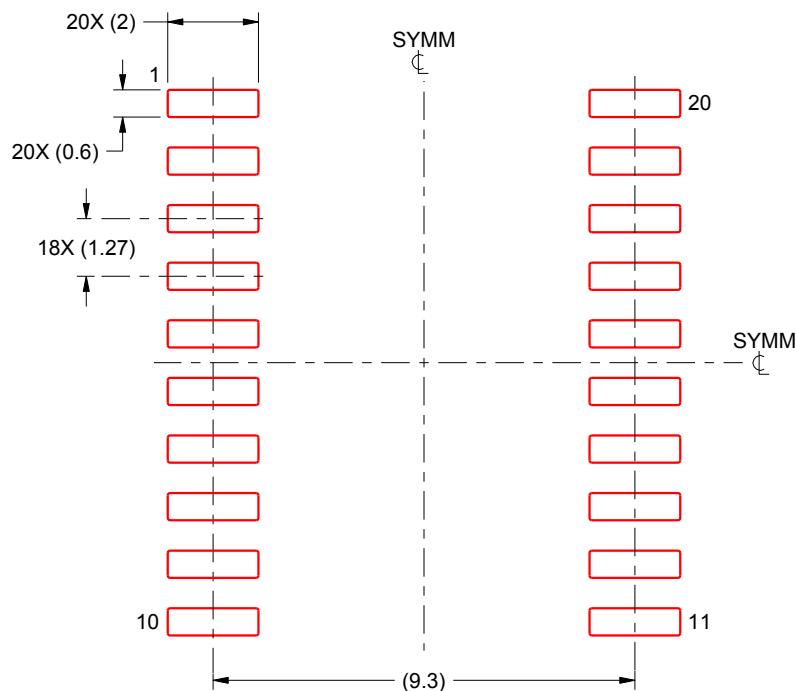
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

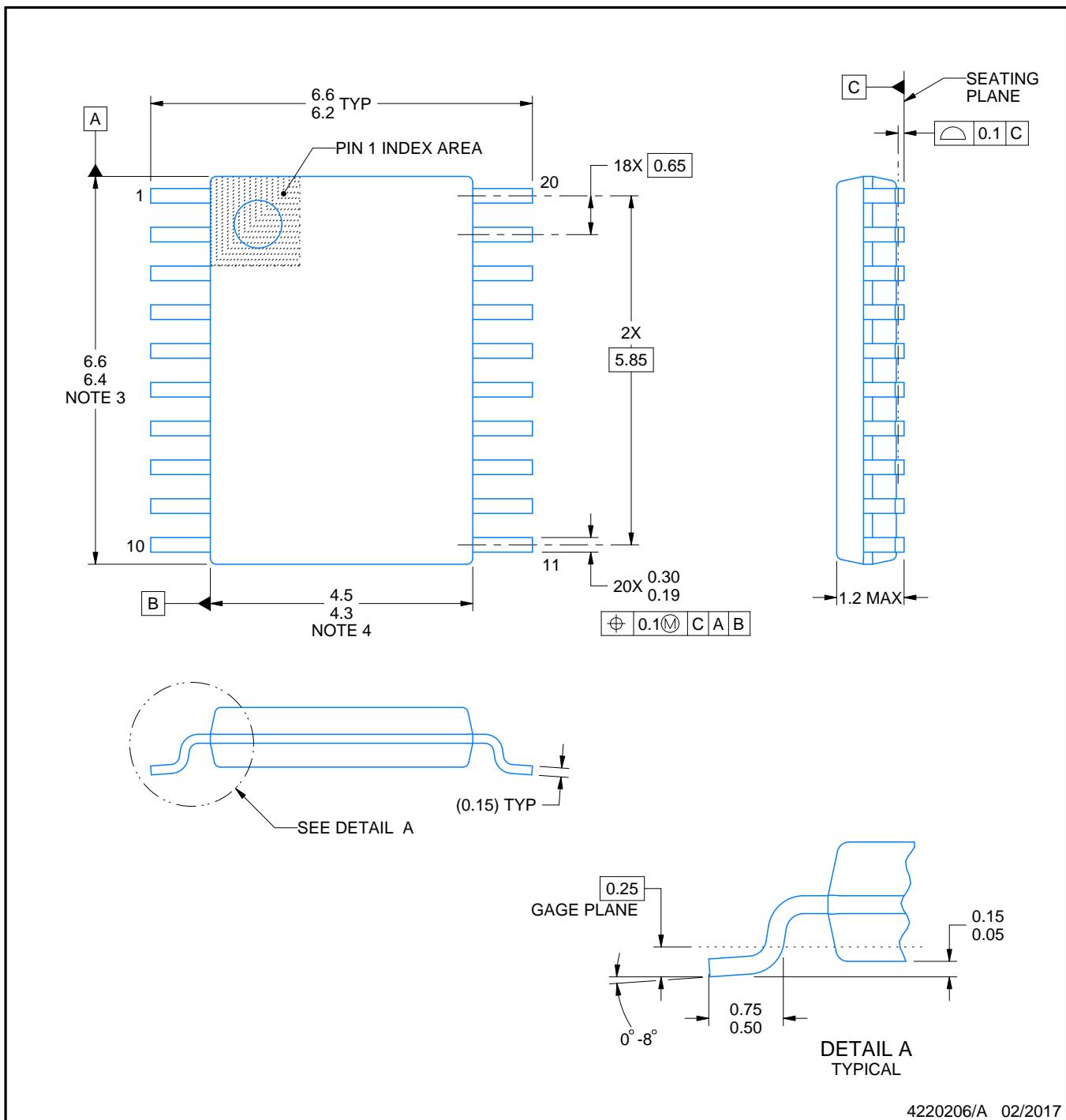
PACKAGE OUTLINE

PW0020A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

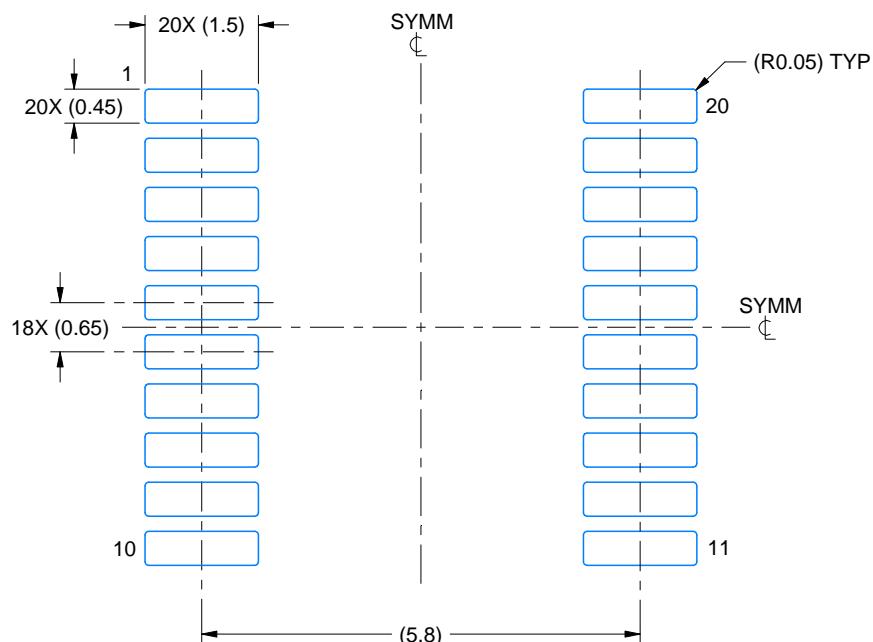
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

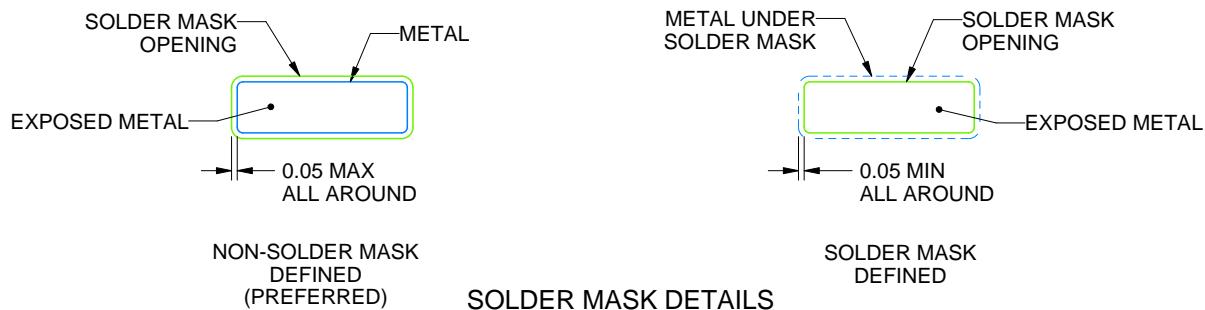
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

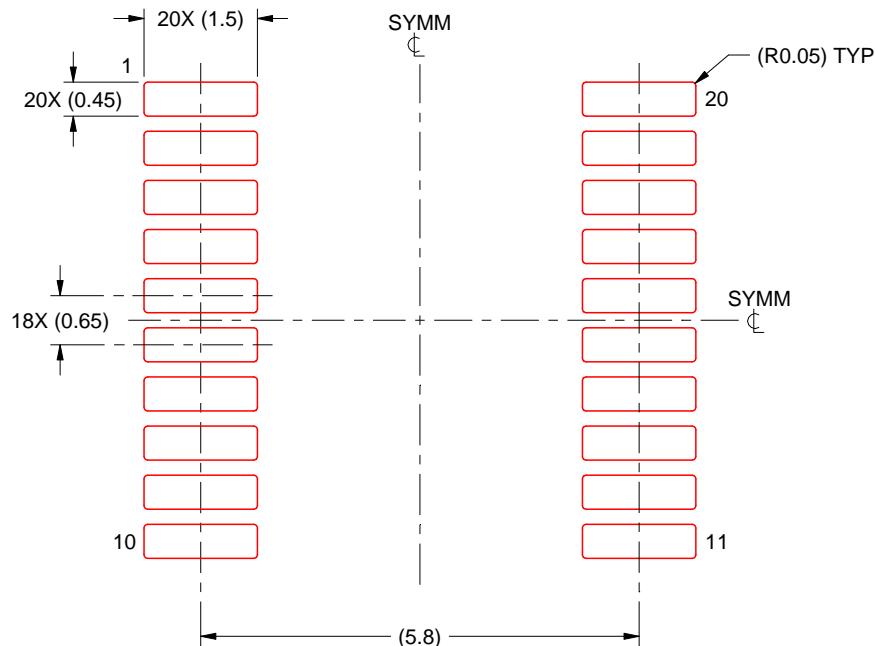
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

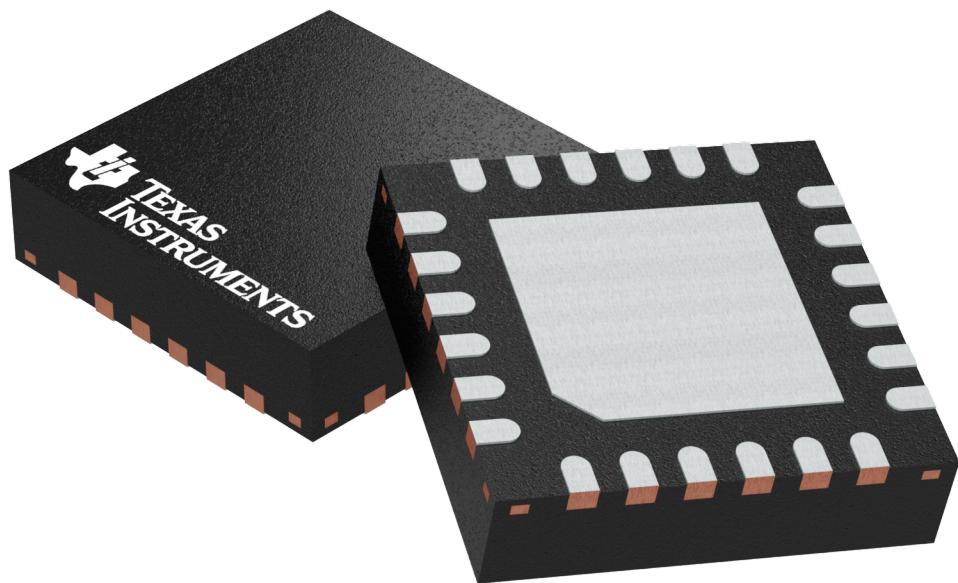
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H

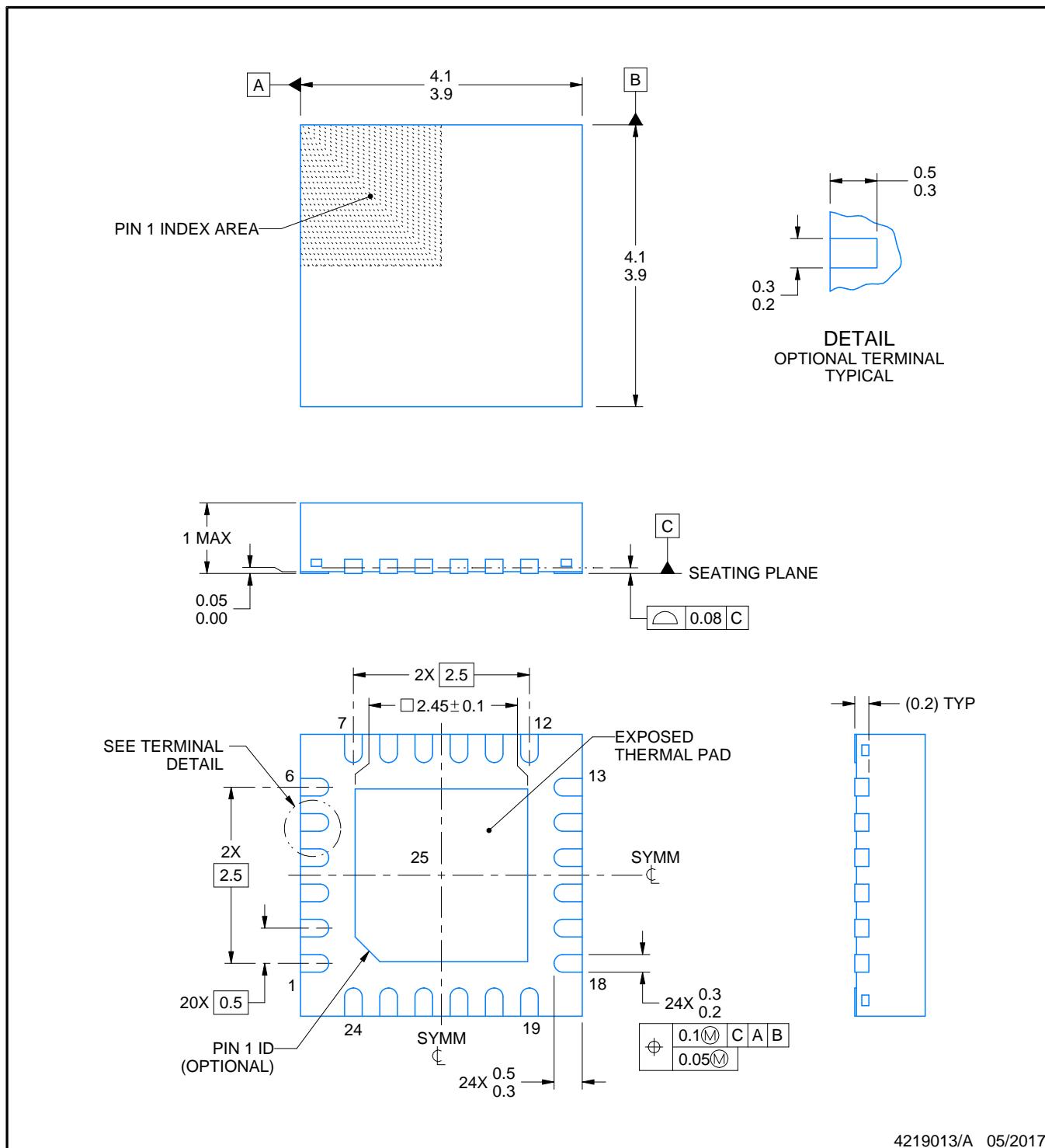
PACKAGE OUTLINE

RGE0024B



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219013/A 05/2017

NOTES:

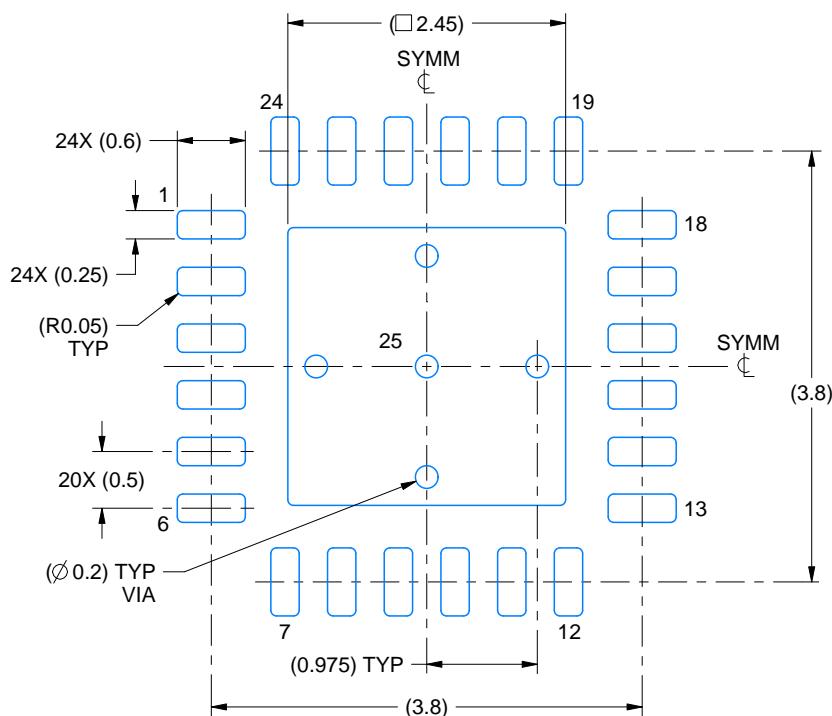
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

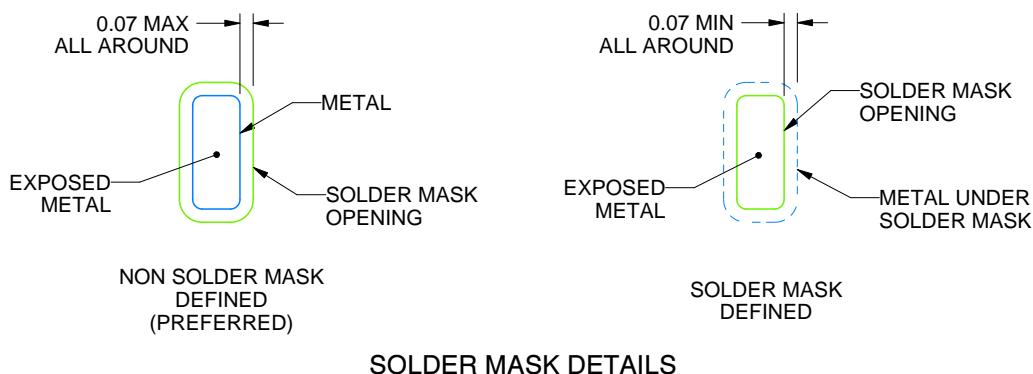
RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



4219013/A 05/2017

NOTES: (continued)

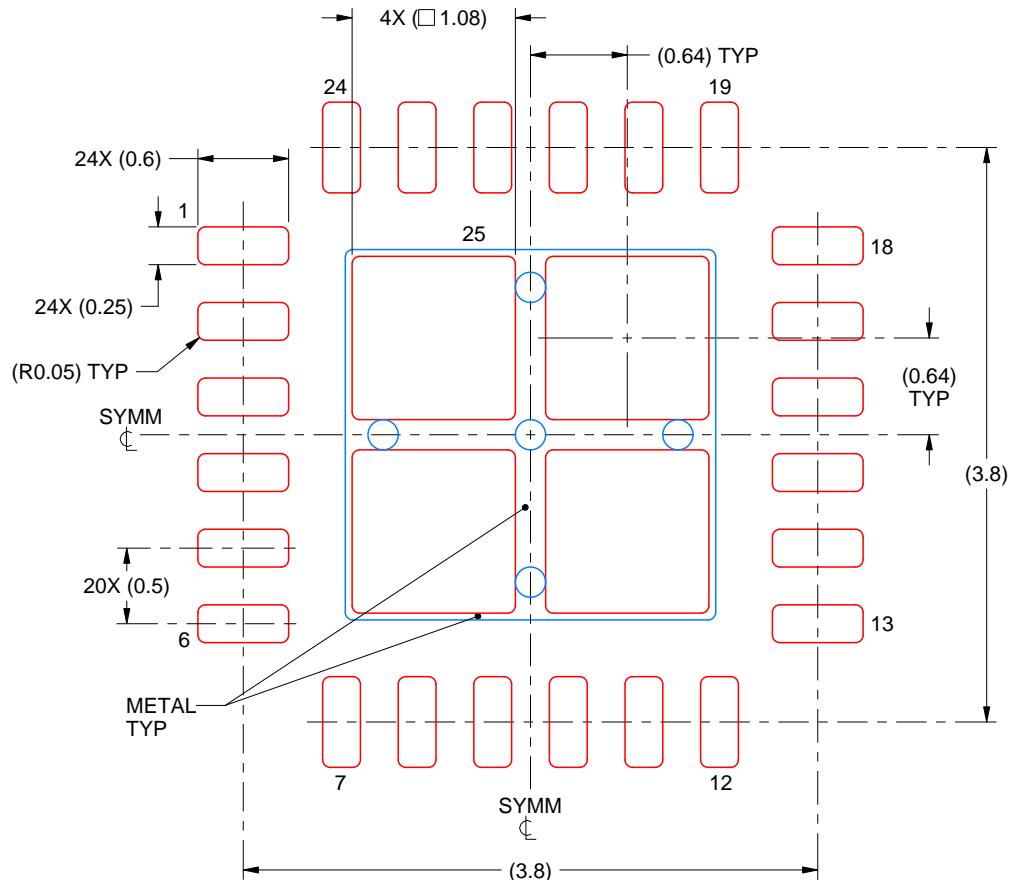
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月