

ミックスト・シグナル・マイクロコントローラ

特徴

- 低電源電圧範囲：1.8 V～3.6 V
- 超低消費電力：
 - アクティブ・モード：280 μ A (1 MHz, 2.2 V)
 - スタンバイ・モード：1.1 μ A
 - オフ・モード (RAM データ保持)：0.2 μ A
- 5つの消費電力節約モード
- スタンバイ・モードから 6 μ s 以下のウェークアップ
- 16 ビット RISC アーキテクチャ
62.5 ns インストラクション・サイクル・タイム
- 3 個又は 4 個の 16 ビット・シグマ・デルタ A/D コンバータ (差動 PGA 入力付き)
- 16 ビット・タイマ_B (3 つのキャプチャ/コンペア・シャドー・レジスタ付き)
- 16 ビット・タイマ_A (3 つのキャプチャ/コンペア・レジスタ付き)
- オン・チップ・コンパレータ
- 4 つのユニバーサル・シリアル・コミュニケーション・インターフェース (USCI)
 - USCI_A0 及び USCI_A1
 - オート・ボーレート検出をサポートする強化されたUART
 - IrDAエンコーダ及びデコーダ
 - 同期式SPI
 - USCI_B0 及び USCI_B1
 - I²C
 - 同期式SPI
- コントラスト制御付き最大 160 セグメント LCD ドライバ内蔵

- 32ビット・ハードウエア・マルチプライヤ
 - プラウンアウト検出
 - プログラム可能なレベル検出による電源電圧監視／モニタ
 - シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
 - ブートストラップ・ローダ
 - オン・チップ・エミュレーション・モジュール
 - ファミリ製品：
- | | |
|---------------|--|
| MSP430F4783 : | 48KB + 256B フラッシュ
2KB RAM
3つのシグマ・デルタ ADC |
| MSP430F4793 : | 60KB + 256B フラッシュ
2.5KB RAM
3つのシグマ・デルタ ADC |
| MSP430F4784 : | 48KB + 256B フラッシュ
2KB RAM
4つのシグマ・デルタ ADC |
| MSP430F4794 : | 60KB + 256B フラッシュ
2.5KB RAM
4つのシグマ・デルタ ADC |
- MSP430F47x3 及び MSP430F47x4 は、100 ピン・プラスチック QFP パッケージで供給されます
- モジュールの詳細は、MSP430x4xx ファミリ・ユーザーズ・ガイド、資料番号 SLAU141 (日本語版)、SLAU056 (英語版) をご参照下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリ寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット・レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6 μ s 以内で行われます。

MSP430F47xx シリーズは、3 つ又は 4 つの 16 ビット・シグマ・デルタ A/D コンバータを搭載した単相電力計をターゲットにしたマイクロコントローラ構成になっています。各チャネルは、差動入力ペアとプログラム可能な入力ゲインを持っていています。また、2 つの 16 ビット・タイマ、3 つのユニバーサル・シリアル・コミュニケーション・インターフェース (USCI)、72 個の I/O 端子、及びコントラスト制御付き液晶ドライバ (LCD) も内蔵しています。

静電気放電対策

 静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切な ESD 保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

 テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

製品オプション

T _A	パッケージ・デバイス
	プラスチック100ピンQFP (PZ)
-40°C～85°C	MSP430F4783IPZ MSP430F4793IPZ MSP430F4784IPZ MSP430F4794IPZ

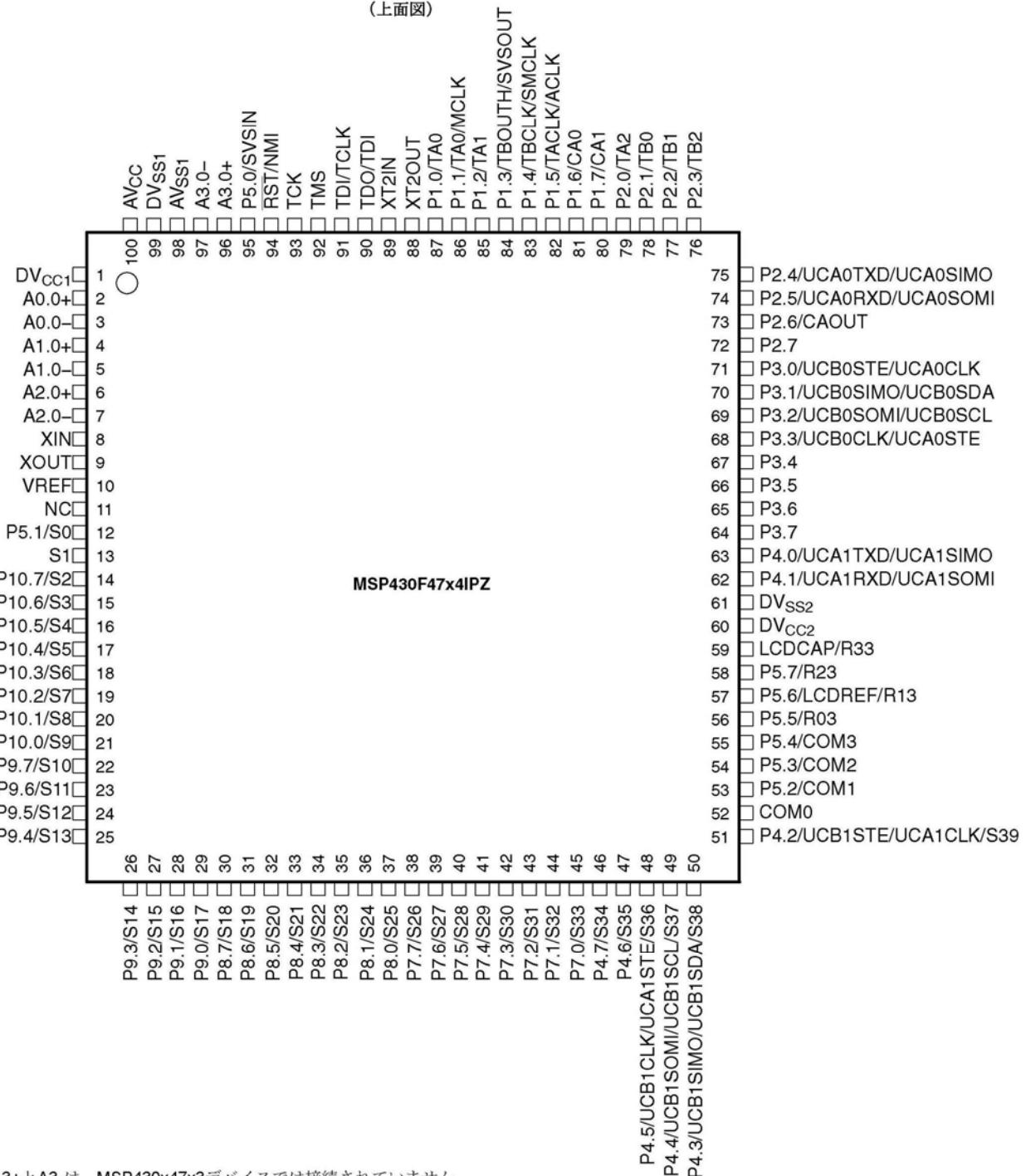
開発ツール・サポート

すべてのMSP430マイクロコントローラは、使いやすい開発ツールによる先進的なデバッグ及びプログラミングを可能にする組み込み型エミュレーション・モジュール(EEM)を内蔵しています。推奨ハードウェア・オプションには次のものがあります。

- デバッグ及びプログラミング・インターフェース
 - MSP-FET430UIF(USB)
 - MSP-FET430PIF(パラレル・ポート)
- 対象基板とのデバッグ及びプログラミング・インターフェース
 - MSP-FET430U100
- 量産プログラマ
 - MSP-GANG430

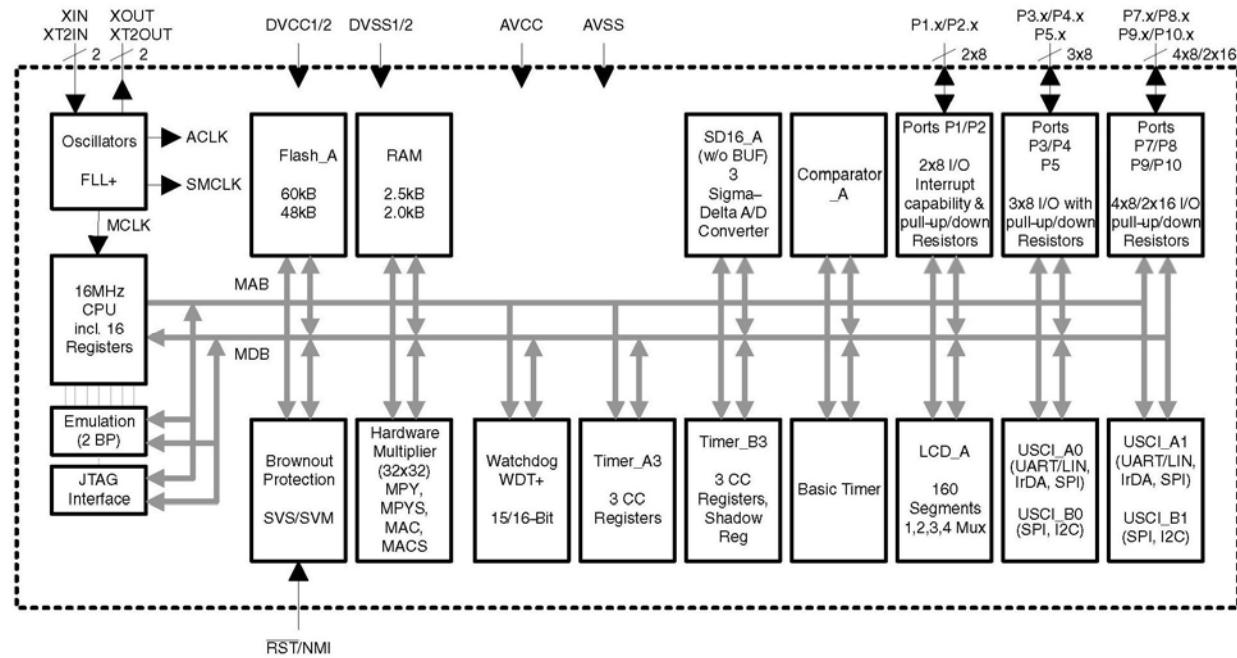
ピン配置、MSP430F47xxIPZ**PZパッケージ**

(上面図)

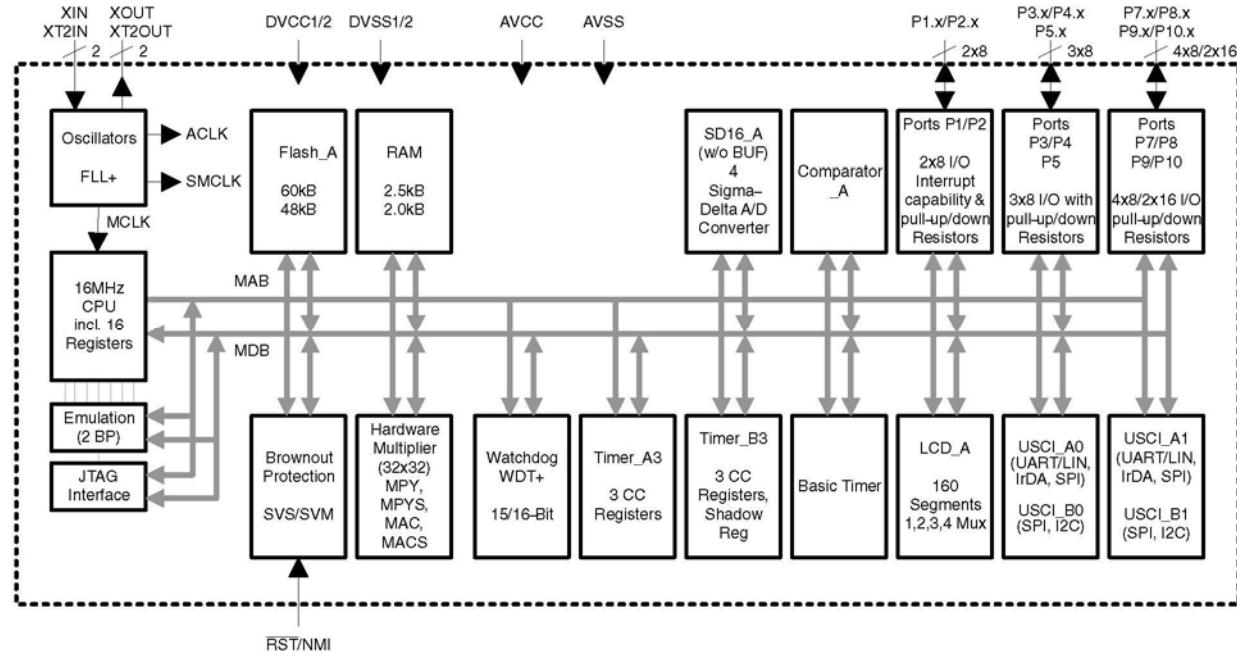


A3+とA3-は、MSP430x47x3デバイスでは接続されていません。

MSP430F47x3 機能ブロック図



MSP430F47x4 機能ブロック図



端子機能表

端 子		I/O	機 能
名 前	番 号		
DV _{CC1}	1		デジタル電源電圧（正端子）
A0.0+	2	I	SD16_A正アナログ入力A0.0（注1参照）
A0.0-	3	I	SD16_A負アナログ入力A0.0（注1参照）
A1.0+	4	I	SD16_A正アナログ入力A1.0（注1参照）
A1.0-	5	I	SD16_A負アナログ入力A1.0（注1参照）
A2.0+	6	I	SD16_A正アナログ入力A2.0（注1参照）
A2.0-	7	I	SD16_A負アナログ入力A2.0（注1参照）
XIN	8	I	クリスタル・オシレータXT1の入力ポート。標準又は時計用クリスタルが接続できます。
XOUT	9	O	クリスタル・オシレータXT1の出力端子
V _{REF}	10	I/O	外部基準電圧のための入力 / 内部基準電圧出力（中間電圧として使用できます。）
NC	11		内部で接続されていません。V _{SS} に接続できます
P5.1/S0	12	I/O	汎用デジタルI/O / LCDセグメント出力0
S1	13	O	LCDセグメント出力1
P10.7/S2	14	I/O	汎用デジタルI/O / LCDセグメント出力2
P10.6/S3	15	I/O	汎用デジタルI/O / LCDセグメント出力3
P10.5/S4	16	I/O	汎用デジタルI/O / LCDセグメント出力4
P10.4/S5	17	I/O	汎用デジタルI/O / LCDセグメント出力5
P10.3/S6	18	I/O	汎用デジタルI/O / LCDセグメント出力6
P10.2/S7	19	I/O	汎用デジタルI/O / LCDセグメント出力7
P10.1/S8	20	I/O	汎用デジタルI/O / LCDセグメント出力8
P10.0/S9	21	I/O	汎用デジタルI/O / LCDセグメント出力9
P9.7/S10	22	I/O	汎用デジタルI/O / LCDセグメント出力10
P9.6/S11	23	I/O	汎用デジタルI/O / LCDセグメント出力11
P9.5/S12	24	I/O	汎用デジタルI/O / LCDセグメント出力12
P9.4/S13	25	I/O	汎用デジタルI/O / LCDセグメント出力13
P9.3/S14	26	I/O	汎用デジタルI/O / LCDセグメント出力14
P9.2/S15	27	I/O	汎用デジタルI/O / LCDセグメント出力15
P9.1/S16	28	I/O	汎用デジタルI/O / LCDセグメント出力16
P9.0/S17	29	I/O	汎用デジタルI/O / LCDセグメント出力17
P8.7/S18	30	I/O	汎用デジタルI/O / LCDセグメント出力18
P8.6/S19	31	I/O	汎用デジタルI/O / LCDセグメント出力19
P8.5/S20	32	I/O	汎用デジタルI/O / LCDセグメント出力20
P8.4/S21	33	I/O	汎用デジタルI/O / LCDセグメント出力21
P8.3/S22	34	I/O	汎用デジタルI/O / LCDセグメント出力22
P8.2/S23	35	I/O	汎用デジタルI/O / LCDセグメント出力23
P8.1/S24	36	I/O	汎用デジタルI/O / LCDセグメント出力24
P8.0/S25	37	I/O	汎用デジタルI/O / LCDセグメント出力25
P7.7/S26	38	I/O	汎用デジタルI/O / LCDセグメント出力26
P7.6/S27	39	I/O	汎用デジタルI/O / LCDセグメント出力27
P7.5/S28	40	I/O	汎用デジタルI/O / LCDセグメント出力28
P7.4/S29	41	I/O	汎用デジタルI/O / LCDセグメント出力29
P7.3/S30	42	I/O	汎用デジタルI/O / LCDセグメント出力30

注1：すべての未使用アナログ入力の接続は、開放にすることを推奨します。

端子機能表（続き）

端子		機能	
名前	番号	I/O	
P7.2/S31	43	I/O	汎用デジタルI/O / LCDセグメント出力31
P7.1/S32	44	I/O	汎用デジタルI/O / LCDセグメント出力32
P7.0/S33	45	I/O	汎用デジタルI/O / LCDセグメント出力33
P4.7/S34	46	I/O	汎用デジタルI/O / LCDセグメント出力34
P4.6/S35	47	I/O	汎用デジタルI/O / LCDセグメント出力35
P4.5/ UCB1CLK/UCA1STE/ S36	48	I/O	汎用デジタルI/O / USCI_B1クロック入／出力 / USCI_A1スレーブ送信イネーブル / LCDセグメント出力36
P4.4/ UCB1SOMI/UCB1SCL/ S37	49	I/O	汎用デジタルI/O / SPIモードのUSCI_B1スレーブ出力／マスタ入力 / I ² CモードのSCL I ² Cクロック / LCDセグメント出力37
P4.3/ UCB1SIM0/UCB1SDA/ S38	50	I/O	汎用デジタルI/O / SPIモードのUSCI_B1スレーブ入力／マスタ出力 / I ² CモードのSDA I ² Cクロック / LCDセグメント出力38
P4.2/ UCB1STE/UCA1CLK/ S39	51	I/O	汎用デジタルI/O / USCI_B1スレーブ送信イネーブル / USCI_A1クロック入／出力 / LCDセグメント出力39
COM0	52	0	COM0～3はLCDバックプレーンのために使用されます。
P5.2/COM1	53	I/O	汎用デジタルI/O / コモン出力、COM0～3はLCDバックプレーンのために使用されます。
P5.3/COM2	54	I/O	汎用デジタルI/O / コモン出力、COM0～3はLCDバックプレーンのために使用されます。
P5.4/COM3	55	I/O	汎用デジタルI/O / コモン出力、COM0～3はLCDバックプレーンのために使用されます。
P5.5/R03	56	I/O	汎用デジタルI/O / 最低アナログLCDレベル(V5)の入力ポート
P5.6/LCDREF/R13	57	I/O	汎用デジタルI/O / 安定化されたLCD電圧のための外部基準電圧入力 / 正側から3番目の アナログLCDレベル(V4又はV3)の入力ポート
P5.7/R23	58	I/O	汎用デジタルI/O / 正側から2番目のアナログLCDレベル(V2)の入力ポート
LDCAP/R33	59	I	LCDコンデンサ接続 / 最も正側のアナログLCDレベル(V1)の入／出力ポート
DV _{CC2}	60		デジタル電源の正端子
DV _{SS2}	61		デジタル電源の負端子
P4.1/ UCA1RXD/UCA1SOMI	62	I/O	汎用デジタルI/O / UARTモードのUSCI_A1受信データ入力、SPIモードのスレーブ出力／マスタ入力
P4.0/ UCA1TXD/UCA1SIM0	63	I/O	汎用デジタルI/O / UARTモードのUSCI_A1送信データ出力、SPIモードのスレーブ入力／マスタ出力
P3.7	64	I/O	汎用デジタルI/O
P3.6	65	I/O	汎用デジタルI/O
P3.5	66	I/O	汎用デジタルI/O
P3.4	67	I/O	汎用デジタルI/O
P3.3/ UCB0CLK/UCA0STE	68	I/O	汎用デジタルI/O USCI_B0クロック入／出力 / USCI_A0スレーブ送信イネーブル
P3.2/ UCB0SOMI/UCB0SCL	69	I/O	汎用デジタルI/O SPIモードのUSCI_B0スレーブ出力／マスタ入力、I ² CモードのSCL I ² Cクロック
P3.1/ UCB0SIM0/UCB0SDA	70	I/O	汎用デジタルI/O SPIモードのUSCI_B0スレーブ入力／マスタ出力、I ² CモードのSDA I ² Cデータ
P3.0/ UCB0STE/UCA0CLK	71	I/O	汎用デジタルI/O USCI_B0スレーブ送信イネーブル / USCI_A0クロック入／出力
P2.7	72	I/O	汎用デジタルI/O
P2.6/CAOUT	73	I/O	汎用デジタルI/O / コンパレータ_A出力

端子機能表（続き）

端子		機能	
名前	番号	I/O	
P2.5/UCA0RXD/UCA0SOMI	74	I/O	汎用デジタルI/O / UARTモードのUSCI_A0受信データ入力、SPIモードのスレーブ出力/マスタ入力
P2.4/UCA0TXD/UCA0SIMO	75	I/O	汎用デジタルI/O / UARTモードのUSCI_A0送信データ出力、SPIモードのスレーブ入力/マスタ出力
P2.3/TB2	76	I/O	汎用デジタルI/O / タイマ_B3 CCR2、キャプチャ:CCI2A/CCI2B入力、コンペア:Out2出力
P2.2/TB1	77	I/O	汎用デジタルI/O / タイマ_B3 CCR1、キャプチャ:CCI1A/CCI1B入力、コンペア:Out1出力
P2.1/TB0	78	I/O	汎用デジタルI/O / タイマ_B3 CCR0、キャプチャ:CCI0A/CCI0B入力、コンペア:Out0出力
P2.0/TA2	79	I/O	汎用デジタルI/O / タイマ_A、キャプチャ:CCI2A入力、コンペア:Out2出力
P1.7/CA1	80	I/O	汎用デジタルI/O / コンバレータ_A入力1
P1.6/CA0	81	I/O	汎用デジタルI/O / コンバレータ_A入力0
P1.5/TACLK/ACLK	82	I/O	汎用デジタルI/O / タイマ_A、クロック信号TACLK入力 / ACLK出力 (1/1, 1/2, 1/4, 又は1/8分周)
P1.4/TBCLK/SMCLK	83	I/O	汎用デジタルI/O / 入力クロックTBCLK - タイマ_B3 / サブメイン・システム・クロックSMCLK出力
P1.3/TBOUTH/SVSOUT	84	I/O	汎用デジタルI/O / すべてのPWMデジタル出力ポートをハイ・インピーダンスに切り替え - タイマ_B3 TB0~TB2 / SVS:SVSコンバレータの出力
P1.2/TA1	85	I/O	汎用デジタルI/O / タイマ_A、キャプチャ:CCI1A入力、コンペア:Out1出力
P1.1/TA0/MCLK	86	I/O	汎用デジタルI/O / タイマ_A、キャプチャ:CCI0B入力 / MCLK出力 注: TA0はこの端子上では入力のみです。/BSL受信
P1.0/TA0	87	I/O	汎用デジタルI/O / タイマ_A、キャプチャ:CCI0A入力、コンペア: Out0出力 / BSL送信
XT2OUT	88	0	クリスタル・オシレータXT2の出力端子
XT2IN	89	I	クリスタル・オシレータXT2の入力ポート。標準のクリスタルだけを接続することができます。
TDO/TDI	90	I/O	テスト・データ出力ポート。TDO/TDIデータ出力又はプログラミング・データ入力
TDI/TCLK	91	I	テスト・データ入力又はテスト・クロック入力。デバイス保護ヒューズが、TDI/TCLKに接続されています。
TMS	92	I	テスト・モード選択入力。TMSは、デバイス・プログラミング及びテストのための入力ポートとして使用します。
TCK	93	I	テスト・クロック入力。TCKは、デバイス・プログラミング及びテストのためのクロック入力ポートです。
RST/NMI	94	I	リセット入力又はマスク不可能な割り込み入力ポート
P5.0/SVSSIN	95	I/O	汎用デジタルI/O / 電源電圧監視回路へのアナログ入力
A3.0+ (MSP430x47x4のみ)	96	I	SD16_A正アナログ入力A3.0(注2) MSP430x47x3デバイスでは接続されていませんので、開放接続を推奨します。
A3.0- (MSP430x47x4のみ)	97	I	SD16_A負アナログ入力A3.0(注2) MSP430x47x3デバイスでは接続されていませんので、開放接続を推奨します。
AV _{ss}	98		アナログ電源の負端子
DV _{ss1}	99		デジタル電源の負端子
AV _{cc}	100		アナログ電源の正端子。DV _{cc1} /DV _{cc2} より前にパワーアップしてはいけません。

(注2) すべての未使用アナログ入力は、開放接続を推奨します。

概要説明**CPU**

MSP430 CPUには、アプリケーションに適した16ビットRISCアーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための7つのアドレッシング・モード及びデスティネーション・オペランドのための4つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPUは、命令実行時間を短縮する16個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPUクロックの1サイクルです。

レジスタの内の4個(R0～R3)は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ(定数発生回路)として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使ってCPUに接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは3つのフォーマット及び7つのアドレス・モードを持った51の命令からなります。それぞれの命令は、ワード及びバイト・データに基づいて実行することができます。表1に命令フォーマットの3つのタイプの例を示します。表2にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件／条件付き)	例、JNE	Jump-on-equal bit = 0

表2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0)
 - CPU はディスエーブル
 - ACLK 及び SMCLK はアクティブのまま。
 - MCLK はディスエーブル
 - FLL+ループ制御はアクティブのまま
- 低消費電力モード 1 (LPM1)
 - CPU はディスエーブル
 - FLL+ループ制御はディスエーブル
 - ACLK 及び SMCLK はアクティブのまま。
 - MCLK はディスエーブル
- 低消費電力モード 2 (LPM2)
 - CPU はディスエーブル
 - MCLK、FLL+ループ制御、及び DCOCLK はディスエーブル
 - DCO の DC 発生回路はイネーブルのまま
 - ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3)
 - CPU はディスエーブル
 - MCLK、FLL+ループ制御、及び DCOCLK はディスエーブル
 - DCO の DC 発生回路はディスエーブル
 - ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4)
 - CPU はディスエーブル
 - ACLK はディスエーブル
 - MCLK、FLL+ループ制御、及び DCOCLK はディスエーブル
 - DCO の DC 発生回路はディスエーブル
 - クリスタル・オシレータは停止

割り込みベクタ・アドレス

割り込みベクタ及びパワーアップの開始アドレスは、アドレス範囲 0FFFFh～0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

もし、リセット・ベクタ（アドレス 0FFFFh に配置）が 0FFFFh を含む（すなわち、フラッシュ・メモリがプログラムされていない）場合、CPU はパワーアップの直後に LPM4 に移行します。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワーアップ 外部リセット ウォッチドッグ フラッシュ・キー違反 PC アウト・オブ・レンジ（注4）	PORIFG RSTIFG WDTIFG KEYV (注 1)	リセット	0FFF Eh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ・アクセス違反	NMIIFG (注 1, 3) OFIFG (注 1, 3) ACCVIFG (注 1, 3)	マスク可能（不可能） マスク可能（不可能） マスク可能（不可能）	0FFF Ch	14
タイマ_B3	TBCCR0 CCIFG (注 2)	マスク可能	0FFF Ah	13
タイマ_B3	TBCCR1～TBCCR2 CCIFG TBIFG (注 1, 2)	マスク可能	0FFF 8h	12
コンパレータ_A	CAIFG	マスク可能	0FFF 6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF 4h	10
USCI_A0/B0 受信	UCA0RXIFG、UCB0RXIFG (注 1, 5)	マスク可能	0FFF 2h	9
USCI_A0/B0 送信	UCA0TXIFG、UCB0TXIFG (注 1, 6)	マスク可能	0FFF 0h	8
SD16_A	SD16CCTLx SD16VIFG SD16CCTLx SD16IFG (注 1, 2)	マスク可能	0FFE Eh	7
タイマ_A3	TACCR0 CCIFG (注 2)	マスク可能	0FFE Ch	6
タイマ_A3	TACCR1 及び TACCR2 CCIFG TAIFG (注 1, 2)	マスク可能	0FFE Ah	5
I/O ポート P1 (8 つのフラグ)	P1IFG. 0～P1IFG. 7 (注 1, 2)	マスク可能	0FFE 8h	4
USCI_A1/B1 受信	UCA1RXIFG、UCB1RXIFG (注 1, 2)	マスク可能	0FFE 6h	3
USCI_A1/B1 送信	UCA1TXIFG、UCB1TXIFG (注 1, 2)	マスク可能	0FFE 4h	2
I/O ポート P2 (8 つのフラグ)	P2IFG. 0～P2IFG. 7 (注 1, 2)	マスク可能	0FFE 2h	1
Basic Timer1	BTIFG	マスク可能	0FFE 0h	0 (最下位)

(注1) 複数のソース・フラグ

(注2) 割り込みフラグはモジュールの中にあります。

(注3) マスク可能（不可能）：個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注4) CPUが、モジュールのレジスタ・メモリ・アドレス範囲(0h～0FFh)から命令をフェッチしようとした場合に、リセットが生成されます。

(注5) SPIモードでは:UCB0RXIFG。I²CモードではレジスタUCB0STATの:UCALIFG, UCNACKIFG, ICSTTIFG, UCSTPIFG。

(注6) UART/SPIモードでは:UCB0TXIFG。I²Cモードでは:UCB0RXIFG, UCB0TXIFG。

(注7) SPIモードでは:UCB1RXIFG。I²CモードではレジスタUCB1STATの:UCALIFG, UCNACKIFG, ICSTTIFG, UCSTPIFG。

(注8) UART/SPIモードでは:UCB1TXIFG。I²Cモードでは:UCB1RXIFG, UCB1TXIFG。

スペシャル・ファンクション・レジスタ

ほとんどの割り込み及びモジュール・イネーブル・ビットは、最も低いアドレス空間に集められています。機能の目的で割り当てられていないスペシャル・ファンクション・レジスタ・ビットは、物理的にデバイスの中に存在しませんので、この配列によってソフトウェアのアクセスが簡単になります。

割り込みイネーブル1、2

Address	7	6	5	4	3	2	1	0
00h			ACCVIE	NMIIE			OFIE	WDTIE

rw-0 rw-0 rw-0 rw-0

WDTIE ウオッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE オシレータ障害イネーブル

NMIIE マスク可能な（不可能な）割り込みイネーブル

ACCVIE フラッシュ・アクセス違反割り込みイネーブル

Address	7	6	5	4	3	2	1	0
01h	BTIE				UCB0TXIE	UCB0RXIE	UCA0TXIE	UCA0RXIE

rw-0 rw-0 rw-0 rw-0

UCA0RXIE USCI_A0 受信割り込みイネーブル

UCA0TXIE USCI_A0 送信割り込みイネーブル

UCB0RXIE USCI_B0 受信割り込みイネーブル

UCB0TXIE USCI_B0 送信割り込みイネーブル

BTIE Basic Timer1 割り込みイネーブル

割り込みフラグ・レジスタ1、2

Address	7	6	5	4	3	2	1	0
02h				NMIIFG	RSTIFG	PORIFG	OFIFG	WDTIFG

rw-0 rw-(0) rw-(1) rw-1 rw-(0)

WDTIFG ウオッチドッグ・タイマ・オーバーフロー又はセキュリティ・キー違反でセットされます。

V_{cc}パワーアップ又はリセット・モードでのRST/NMI端子のリセット条件でリセットされます。

OFIFG オシレータ障害でフラグがセットされます。

RSTIFG 外部リセット割り込みフラグ。リセット・モードでのRST/NMI端子のリセット条件でセットされます。
V_{cc}パワーアップでリセットされます。

PORIFG パワー・オン・リセット割り込みフラグ。V_{cc}パワーアップでセットされます。

NMIIFG RST/NMI端子でセットされます。

Address	7	6	5	4	3	2	1	0
03h	BTIFG				UCB0 TXIFG	UCB0 RXIFG	UCA0 TXIFG	UCA0 RXIFG

rw-0 rw-1 rw-0 rw-1 rw-0

UCA0RXIFG USCI_A0受信割り込みフラグ

UCA0TXIFG USCI_A0送信割り込みフラグ

UCB0RXIFG USCI_B0受信割り込みフラグ

UCB0TXIFG USCI_B0送信割り込みフラグ

BTIFG Basic Timer1割り込みフラグ

説明

rw: ビットは、読み出し及び書き込みをすることができます。

rw-0, 1: ビットは、読み出し及び書き込みをすることができます。PUCによりリセット又はセットされます。

rw-(0, 1): ビットは、読み出し及び書き込みをすることができます。PORによりリセット又はセットされます。

デバイスには、SFRビットが存在しません。

メモリ構成

		MSP430F4783/MSP430F4784	MSP430F4793/MSP430F4794
メモリ メイン: 割り込みベクタ メイン: コード・メモリ	サイズ フラッシュ フラッシュ	48 KB 0FFFFh～0FFE0h 0FFFFh～04000h	60 KB 0FFFFh～0FFE0h 0FFFFh～01100h
情報メモリ	サイズ フラッシュ	256 バイト 010FFh～01000h	256 バイト 010FFh～01000h
ブート・メモリ	サイズ ROM	1 KB 0FFFh～0C00h	1 KB 0FFFh～0C00h
RAM	サイズ	2 KB 09FFh～0200h	2.5 KB 0BFFh～0200h
ペリフェラル	16ビット 8ビット 8ビットSFR	01FFh～0100h 0FFh～010h 0Fh～00h	01FFh～0100h 0FFh～010h 0Fh～00h

ブートストラップ・ローダ

BSL により、ユーザーは UART シリアル・インターフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由したデバイス・メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート「MSP430 ブートストラップ・ローダの特徴」*“Features of the MSP430 Bootstrap Loader”* (資料番号 SLAA089) をご参照下さい。

BSL 機能	PZ パッケージ端子
データ送信	87 – P1.0
データ受信	86 – P1.1

フラッシュ・メモリ (フラッシュ)

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは次の特徴を持っています。:

- フラッシュ・メモリは、nセグメントのメイン・メモリ及び4セグメントのそれぞれ64バイトの情報メモリ(A～D)を持っています。メイン・メモリのそれぞれのセグメントのサイズは512バイトです。
- セグメント0～nは1ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメントA～Dは、個々に又はセグメント0～nのグループとして消去することができます。
セグメントA～Dは、情報メモリとも呼ばれます。
- セグメントAにはキャリブレーション・データが含まれています。リセットの後、セグメントAはプログラミング又は消去に対して保護されています。そのロックは外すことができますが、キャリブレーション・データが必要な場合は、このセグメントを消去しないように注意して下さい。

ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通してCPUに接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、「*MSP430x4xx ファミリ・ユーザーズ・ガイド*」をご参照下さい。

デジタル I/O

9つの8ビットI/Oポート内蔵：ポートP1～P5及びP7～P10

- すべての個々のI/Oビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせも可能です。
- ポートP1及びP2のすべての8ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し／書き込みアクセスは、すべての命令により可能です。
- ポートP7/P8及びP9/P10は、それぞれポートPA及びPBとしてワード形式でアクセス可能です。
- 各I/Oは、個々にプログラム可能なプルアップ／プルダウン抵抗を持っています。

オシレータ及びシステム・クロック

MSP430x47xx のクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ(DCO)、及び8 MHz 高周波クリスタル・オシレータ(XT1)、プラス 16 MHz 高周波クリスタル・オシレータ(XT2)が利用できるFLL+モジュールで構成されています。FLL+クロック・モジュールは、安いシステム・コストと低消費電力の両方の必要条件を満たすように設計されています。FLL+の特徴として、デジタル周波数ロック・ループ(FLL)ハードウェアが、デジタル・モジュレータと連携して、DCO周波数を時計用クリスタル周波数のプログラム可能な倍数に安定化させます。内部DCOは、高速ターン・オン クロック・ソースを提供し、6 μ s 以内に安定します。FLL+モジュールは次のクロック信号を提供します：

- 補助クロック(ACLK) : 32768 Hzの時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック(MCLK) : CPUによって使用されるシステム・クロック
- サブ・メイン・クロック(SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック
- ACLK/n : ACLK、ACLK/2、ACLK/4、又はACLK/8のバッファ出力

プラウンアウト、電源電圧監視

プラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。電源電圧監視(SVS)回路は、電源電圧がユーザーが設定したレベル以下に下がったかどうかを検出し、電源電圧の監視（デバイスは自動的にリセットされます）及び電源電圧のモニタ（SVM、デバイスは自動的にリセットされません）の両方を行います。

CPUは、プラウンアウト回路がデバイス・リセットを指示した後、コード実行を開始します。しかし、その時点では V_{cc} は $V_{cc}(\min)$ に到達していないかもしれません。ユーザーは、 V_{cc} が $V_{cc}(\min)$ に到達するまでは、デフォルトのFLL+設定が変わらないようにしなければなりません。もし必要ならば、いつ V_{cc} が $V_{cc}(\min)$ に到達したかを知るためにSVS回路を使用することもできます。

ハードウェア・マルチプライヤ

マルチプライ動作は、専用ペリフェラル・モジュールによって行われます。このモジュールは、32ビット、24ビット、16ビット、及び8ビット動作を行います。このモジュールは、符号付き及び符号なしマルチプライ及びアキュームレート動作（積和演算）と同様に符号付き及び符号無しマルチプライ動作（乗算）を行います。

ウォッチドッグ・タイマ(WDT+)

WDT+モジュールの主な機能は、ソフトウェア障害が起こった後、制御されたシステム再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が不要なアプリケーションでは、モジュールはインターバル・タイマとして設定することができ、設定された時間間隔で割り込みを発生することができます。

ユニバーサル・シリアル通信インターフェース(USCI_A0、USCI_B0、USCI_A1、USCI_B1)

ユニバーサル・シリアル通信インターフェース(USCI)モジュールは、シリアル・データ通信のために使用されます。USCI モジュールによって、SPI(3 又は 4 ピン)、I2C のような同期通信プロトコル、及び UART、自動ボーレート検出(LIN)の付いた強化された UART、及び IrDA のような非同期通信プロトコルが利用できます。

USCI_A0 及び USCI_A1 によって、SPI(3 又は 4 ピン)、UART、強化された UART、及び IrDA を利用できます。

USCI_B0 及び USCI_B1 によって、SPI(3 又は 4 ピン)及び I2C を利用できます。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ／コンペア・レジスタ付きの 16 ビット・タイマ／カウンタです。タイマ_A3 により、複数のキャプチャ／コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ／コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続					
入力端子番号	デバイス入力信号	モジュール入力名	モジュール・ブロック	モジュール出力信号	出力端子番号
82 - P1.5	TACLK	TACLK	タイマ	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
	<u>TACLK</u>	INCLK			
87 - P1.0	TA0	CCI0A	CCRO	TA0	87 - P1.0
	TA0	CCI0B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
85 - P1.2	TA1	CCI1A	CCR1	TA1	85 - P1.2
	CAOUT(内部)	CCI1B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			
79 - P2.0	TA2	CCI2A	CCR2	TA2	79 - P2.0
	ACLK(内部)	CCI2B			
	DV _{ss}	GND			
	DV _{cc}	V _{cc}			

タイマ_B3

タイマ_B3 は、3つのキャプチャ／コンペア・レジスタ付きの16ビット・タイマ／カウンタです。タイマ_B3により、複数のキャプチャ／コンペア、PWM出力、及びインターバル・タイミングを利用することができます。タイマ_B3にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ／コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_B3信号の接続					
入力端子番号	デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号
83 - P1. 4	TBCLK	TBCLK	タイマ	NA	
	ACLK	ACLK			
	SMCLK	SMCLK			
	TBCLK	INCLK			
78 - P2. 1	TB0	CCIOA	CCR0	TB0	78 - P2. 1
78 - P2. 1	TB0	CCIOB			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
77 - P2. 2	TB1	CCI1A	CCR1	TB1	77 - P2. 2
77 - P2. 2	TB1	CCI1B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			
76 - P2. 3	TB2	CCI2A	CCR2	TB2	76 - P2. 3
76 - P2. 3	TB2	CCI2B			
	DV _{SS}	GND			
	DV _{CC}	V _{CC}			

コンパレータ_A

コンパレータ_A モジュールの主要な機能は、高精度スロープ A/D 変換、バッテリ電圧監視、及び外部アナログ信号のモニタをサポートすることです。

SD16_A

SD16_A モジュールは、3つ(MSP430F47x3)又は4つ(MSP430F47x4)の独立した 16 ビット・シグマ・デルタ A/D コンバータを内蔵しています。各チャネルは、完全差動アナログ入力ペアとプログラマブル・ゲイン・アンプ入力段で設計されています。外部アナログ入力に加えて、内部 V_{cc} 検出及び温度センサも使用できます。

Basic Timer1

Basic Timer1 は、16 ビット・タイマ／カウンタを形成するためにカスケード接続できる 2 つの独立した 8 ビット・タイマを持っています。両方のタイマは、ソフトウェアによって読み出し及び書き込みすることができます。Basic Timer1 は、周期的な割り込みと LCD モジュールのクロックを生成するために使用することができます。

LCD_A ドライバ (チャージ・ポンプ・レギュレータ付き)

LCD_A ドライバは、LCD ディスプレイを駆動するのに必要なセグメント及びコモン信号を生成します。LCD_A コントローラは、セグメント・ドライブ情報を保存するための専用データ・メモリを持っています。コモン及びセグメント信号は、モードによって定義されるとおりに生成されます。スタティック、2MUX、3MUX、及び 4MUX LCD がこのペリフェラルによって利用できます。モジュールは、内蔵されたチャージ・ポンプにより、電源電圧とは独立した LCD 電圧を供給することができます。さらに、ソフトウェアによって LCD 電圧レベル、つまりコントラストを制御することができます。

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
ウォッチドッグ	ウォッчドッグ・タイマ制御	WDTCTL	0120h
フラッシュ_A	フラッシュ制御4 フラッシュ制御3 フラッシュ制御2 フラッシュ制御1	FCTL4 FCTL3 FCTL2 FCTL1	01BEh 012Ch 012Ah 0128h
タイマ_B3	キャプチャ/コンペア・レジスタ2 キャプチャ/コンペア・レジスタ1 キャプチャ/コンペア・レジスタ0 タイマ_Bレジスタ キャプチャ/コンペア制御2 キャプチャ/コンペア制御1 キャプチャ/コンペア制御0 タイマ_B制御 タイマ_B割り込みベクタ	TBCCR2 TBCCR1 TBCCR0 TBR TBCCTL2 TBCCTL1 TBCCTL0 TBCTL TBIV	0196h 0194h 0192h 0190h 0186h 0184h 0182h 0180h 011Eh
タイマ_A3	キャプチャ/コンペア・レジスタ2 キャプチャ/コンペア・レジスタ1 キャプチャ/コンペア・レジスタ0 タイマ_Aレジスタ キャプチャ/コンペア制御2 キャプチャ/コンペア制御1 キャプチャ/コンペア制御0 タイマ_A制御 タイマ_A割り込みベクタ	TACCR2 TACCR1 TACCR0 TAR TACCTL2 TACCTL1 TACCTL0 TACTL TAIV	0176h 0174h 0172h 0170h 0166h 0164h 0162h 0160h 012Eh
32ビット・ハイ ドウエア・マル チプライヤ	MPY32制御0 64ビット結果3 - 最上位ワード 64ビット結果2 64ビット結果1 64ビット結果0 - 最下位ワード 32ビットの第2オペランド (上位ワード) 32ビットの第2オペランド (下位ワード) マルチプライ符合付き+アキュームレート/ 32ビット・オペランド1 (上位ワード) マルチプライ符合付き+アキュームレート/ 32ビット・オペランド1 (下位ワード) マルチプライ + アキュームレート/ 32ビット・オペランド1 (上位ワード) マルチプライ + アキュームレート/ 32ビット・オペランド1 (下位ワード) マルチプライ符合付き/32ビット・オペランド1 (上位ワード) マルチプライ符合付き/32ビット・オペランド1 (下位ワード) マルチプライ符合なし/32ビット・オペランド1 (上位ワード) マルチプライ符合なし/32ビット・オペランド1 (下位ワード)	MPY32CTL0 RES3 RES2 RES1 RES0 OP2H OP2L MACS32H MACS32L MAC32H MAC32L MPYS32H MPYS32L MPY32H MPY32L	015Ch 015Ah 0158h 0156h 0154h 0152h 0150h 014Eh 014Ch 014Ah 0148h 0146h 0144h 0142h 0140h

ペリフェラル・ファイル・マップ (続き)

ワード・アクセスによるペリフェラル (続き)			
32ビット・ハーデウエア・マルチプライヤ	合計拡張 結果上位ワード 結果下位ワード 第2オペランド マルチプライ符合付き + アキュームレート/オペランド1 マルチプライ + アキュームレート/オペランド1 マルチプライ符合付き/オペランド1 マルチプライ符合なし/オペランド1	SUMEXT RESHI RESLO OP2 MACS MAC MPYS MPY	013Eh 013Ch 013Ah 0138h 0136h 0134h 0132h 0130h
USCI_B0 (バイト・アクセスによるペリフェラルも参照)	USCI_B0 I2Cオウン・アドレス USCI_B0 I2Cスレーブ・アドレス	UCB0I2COA UCB0I2CSA	016Ch 016Eh
USCI_B1 (バイト・アクセスによるペリフェラルも参照)	USCI_B1 I2Cオウン・アドレス USCI_B1 I2Cスレーブ・アドレス	UCB1I2COA UCB1I2CSA	017Ch 017Eh
SD16_A (バイト・アクセスによるペリフェラルも参照)	汎用制御 チャネル0制御 チャネル1制御 チャネル2制御 チャネル3制御 割り込みベクタ・ワード・レジスタ チャネル0変換メモリ チャネル1変換メモリ チャネル2変換メモリ チャネル3変換メモリ	SD16CTL SD16CCTL0 SD16CCTL1 SD16CCTL2 SD16CCTL3 SD16IV SD16MEM0 SD16MEM1 SD16MEM2 SD16MEM3	0100h 0102h 0104h 0106h 0108h 0110h 0112h 0114h 0116h 0118h
ポート PA	ポートPAレジスタ・イネーブル ポートPA選択 ポートPA方向 ポートPA出力 ポートPA入力	PAREN PASEL PADIR PAOUT PAIN	014h 03Eh 03Ch 03Ah 038h
ポート PB	ポートPBレジスタ・イネーブル ポートPB選択 ポートPB方向 ポートPB出力 ポートPB入力	PBREN PBSEL PBDIR PBOUT PBIN	016h 00Eh 00Ch 00Ah 008h

ペリフェラル・ファイル・マップ (続き)

ペイト・アクセスによるペリフェラル			
SD16_A (ワード・ アクセスによる ペリフェラルも 参照)	チャネル0入力制御 チャネル1入力制御 チャネル2入力制御 チャネル3入力制御 チャネル0プリロード チャネル1プリロード チャネル2プリロード チャネル3プリロード 予約 (内部SD16コンフィグレーション1)	SD16INCTL0 SD16INCTL1 SD16INCTL2 SD16INCTL3 SD16PRE0 SD16PRE1 SD16PRE2 SD16PRE3 SD16CONF1	0B0h 0B1h 0B2h 0B3h 0B8h 0B9h 0BAh 0BBh 0BFh
LCD_A	LCD電圧制御1 LCD電圧制御0 LCD電圧ポート制御1 LCD電圧ポート制御0 LCDメモリ20 : LCDメモリ16 LCDメモリ15 : LCDメモリ1 LCD制御とモード	LCDAVCTL1 LCDAVCTL0 LCDAPCTL1 LCDAPCTL0 LCDM20 : LCDM16 LCDM15 : LCDM1 LCDACTL	0AFh 0AEh 0ADh 0ACh 0A4h : 0A0h 09Fh : 091h 090h
USCI_A0	USCI_A0送信バッファ USCI_A0受信バッファ USCI_A0ステータス USCI_A0変調制御 USCI_A0ポート・レート制御1 USCI_A0ポート・レート制御0 USCI_A0制御1 USCI_A0制御0 USCI_A0 IrDA受信制御 USCI_A0 IrDA送信制御 USCI_A0自動ポート・レート制御	UCA0TXBUF UCA0RXBUF UCA0STAT UCA0MCTL UCA0BR1 UCA0BR0 UCA0CTL1 UCA0CTL0 UCA0IRRCTL UCA0IRTCTL UCA0ABCTL	067h 066h 065h 064h 063h 062h 061h 060h 05Fh 05Eh 05Dh
USCI_B0	USCI_B0送信バッファ USCI_B0受信バッファ USCI_B0ステータス USCI_B1 I2C割り込みイネーブル USCI_B0ビット・レート制御1 USCI_B0ビット・レート制御0 USCI_B0制御1 USCI_B0制御0	UCB0TXBUF UCB0RXBUF UCB0STAT UCB0I2CIE UCB0BR1 UCB0BR0 UCB0CTL1 UCB0CTL0	06Fh 06Eh 06Dh 06Ch 06Bh 06Ah 069h 068h
USCI_A1	USCI_A1送信バッファ USCI_A1受信バッファ USCI_A1ステータス USCI_A1変調制御 USCI_A1ポート・レート制御1 USCI_A1ポート・レート制御0 USCI_A1制御1 USCI_A1制御0 USCI_A1 IrDA受信制御 USCI_A1 IrDA送信制御 USCI_A1自動ポート・レート制御 USCI_A1割り込みフラグ USCI_A1割り込みイネーブル	UCA1TXBUF UCA1RXBUF UCA1STAT UCA1MCTL UCA1BR1 UCA1BR0 UCA1CTL1 UCA1CTL0 UCA1IRRCTL UCA1IRTCTL UCA1ABCTL UC1IFG UC1IE	0D7h 0D6h 0D5h 0D4h 0D3h 0D2h 0D1h 0D0h 0CFh 0CEh 0CDh 007h 006h

ペリフェラル・ファイル・マップ (続き)

ペイト・アクセスによるペリフェラル			
USCI_B1	USCI_B1送信バッファ USCI_B1受信バッファ USCI_B1ステータス USCI_B1 I2C割り込みイネーブル USCI_B1ビット・レート制御1 USCI_B1ビット・レート制御0 USCI_B1制御1 USCI_B1制御0 USCI_A1割り込みフラグ USCI_A1割り込みイネーブル	UCB1TXBUF UCB1RXBUF UCB1STAT UCB1I2CIE UCB1BR1 UCB1BR0 UCB1CTL1 UCB1CTL0 UC1IFG UC1IE	0DFh 0DEh 0DDh 0DCh 0DBh 0DAh 0D9h 0D8h 007h 006h
コンパレータ_A	コンパレータ_Aポート・ディスエーブル コンパレータ_A制御2 コンパレータ_A制御1	CAPD CACTL2 CACTL1	05Bh 05Ah 059h
プラウンアウト、SVS	SVS制御レジスタ (プラウンアウト信号によりリセット)	SVSCTL	056h
FLL+ Clock	FLL+制御2 FLL+制御1 FLL+制御0 システム・クロック周波数制御 システム・クロック周波数インテグレータ1 システム・クロック周波数インテグレータ0	FLL_CTL2 FLL_CTL1 FLL_CTL0 SCFQCTL SCFI1 SCFI0	055h 054h 053h 052h 051h 050h
Basic Timer1	BTカウンタ2 BTカウンタ1 BT制御	BTCNT2 BTCNT1 BTCTL	047h 046h 040h
ポートP10	ポートP10レジスタ・イネーブル ポートP10選択 ポートP10方向 ポートP10出力 ポートP10入力	P10REN P10SEL P10DIR P10OUT P10IN	017h 00Fh 00Dh 00Bh 009h
ポートP9	ポートP9レジスタ・イネーブル ポートP9選択 ポートP9方向 ポートP9出力 ポートP9入力	P9REN P9SEL P9DIR P9OUT P9IN	016h 00Eh 00Ch 00Ah 008h
ポートP8	ポートP8レジスタ・イネーブル ポートP8選択 ポートP8方向 ポートP8出力 ポートP8入力	P8REN P8SEL P8DIR P8OUT P8IN	015h 03Fh 03Dh 03Bh 039h
ポートP7	ポートP7レジスタ・イネーブル ポートP7選択 ポートP7方向 ポートP7出力 ポートP7入力	P7REN P7SEL P7DIR P7OUT P7IN	014h 03Eh 03Ch 03Ah 038h

ペリフェラル・ファイル・マップ (続き)

バイト・アクセスによるペリフェラル (続き)			
ポートP5	ポートP5レジスタ・イネーブル ポートP5選択 ポートP5方向 ポートP5出力 ポートP5入力	P5REN P5SEL P5DIR P5OUT P5IN	012h 033h 032h 031h 030h
ポートP4	ポートP4レジスタ・イネーブル ポートP4選択 ポートP4方向 ポートP4出力 ポートP4入力	P4REN P4SEL P4DIR P4OUT P4IN	011h 01Fh 01Eh 01Dh 01Ch
ポートP3	ポートP3レジスタ・イネーブル ポートP3選択 ポートP3方向 ポートP3出力 ポートP3入力	P3REN P3SEL P3DIR P3OUT P3IN	010h 01Bh 01Ah 019h 018h
ポートP2	ポートP2レジスタ・イネーブル ポートP2選択 ポートP2割り込みイネーブル ポートP2割り込みエッジ選択 ポートP2割り込みフラグ ポートP2方向 ポートP2出力 ポートP2入力	P2REN P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN	02Fh 02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h
ポートP1	ポートP1割り込みイネーブル ポートP1選択 ポートP1割り込みイネーブル ポートP1割り込みエッジ選択 ポートP1割り込みフラグ ポートP1方向 ポートP1出力 ポートP1入力	P1REN P1SEL P1IE P1IES P1IFG P1DIR P1OUT P1IN	027h 026h 025h 024h 023h 022h 021h 020h
スペシャル・ファンクション	SFR割り込みフラグ2 SFR割り込みフラグ1 SFR割り込みイネーブル2 SFR割り込みイネーブル1	IFG2 IFG1 IE2 IE1	003h 002h 001h 000h

絶対最大定格（注1）

印加電圧 (V_{cc} ~ V_{ss} 間)	-0.3~4.1	V
印加電圧(全端子) (注2)	-0.3~ V_{cc} + 0.3	V
ダイオード電流(全端子)	±2	mA
保存温度範囲	未プログラムのデバイス (注3)	T_{stg}	-55~150 °C
保存温度範囲	プログラム済みデバイス (注3)	T_{stg}	-40~85 °C

(注1) 絶対最大定格を超えるストレスは、デバイスに致命的なダメージを与えることがあります。絶対最大定格は、ストレスの限度のみについて示したもので、この条件、もしくは、本仕様書の「推奨動作条件」に示された条件を超える条件でのデバイスの機能動作を意味するものではありません。

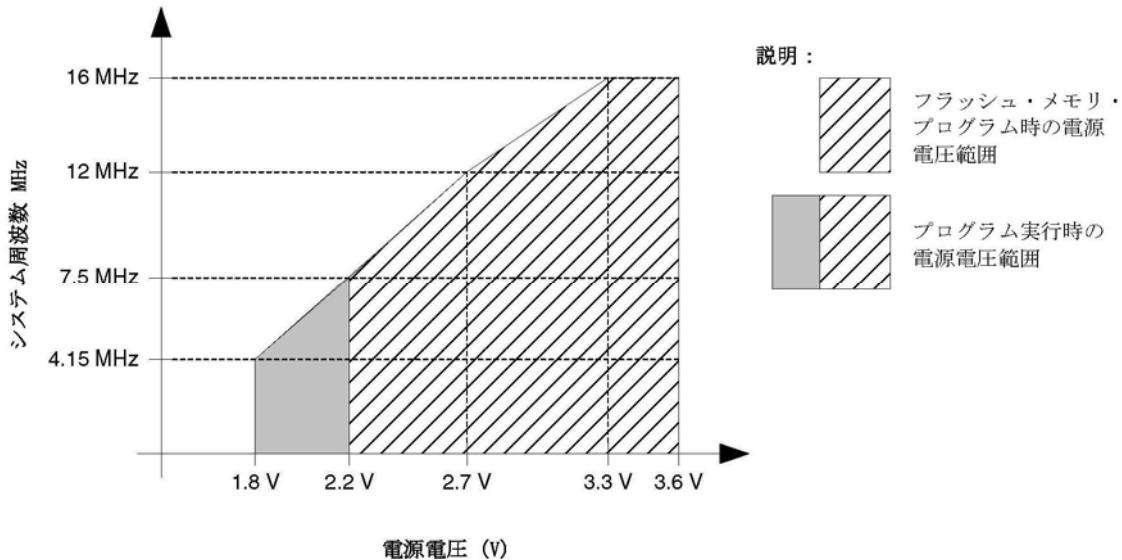
(注2) すべての電圧は V_{ss} を基準とします。JTAGヒューズ切断電圧 V_{FB} は、絶対最大定格を超えて構いません。JTAGヒューズを切断する時、TDI/TCLK端子に電圧が印加されます。

(注3) ピーク・リフロー温度が、出荷箱又はリール上のデバイス・ラベルで規定された温度より高くならない状態で、現在のJEDEC J-STD-020規格に従ってプリント基板にはんだ付けする工程では、もっと高い温度を印加しても構いません。

推奨動作条件

パラメータ	最小	標準	最大	単位
電源電圧(プログラム実行時), V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$) (注1)	1.8		3.6	V
電源電圧(プログラム実行時), SVSイネーブル時, PORON = 1, V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$) (注1, 2)	2.0		3.6	V
電源電圧(フラッシュ・メモリ・プログラム／消去時), V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$) (注1)	2.2		3.6	V
電源電圧(V_{SS})		0		V
動作周囲温度(T_A)	-40		85	°C
プロセッサ周波数 f_{SYSTEM} (最大MCLK周波数) (注3, 4及び図1参照)	$V_{CC} = 1.8\text{ V}$, デューティ比 = 50%±10%	dc	4.15	MHz
	$V_{CC} = 2.2\text{ V}$, デューティ比 = 50%±10%	dc	7.5	
	$V_{CC} = 2.7\text{ V}$, デューティ比 = 50%±10%	dc	12	
	$V_{CC} \geq 3.3\text{ V}$, デューティ比 = 50%±10%	dc	16	

- (注1) AV_{CC} と DV_{CC} は同じ電源から供給することを推奨します。パワーアップ及び動作時の AV_{CC} と DV_{CC} の差は、最大0.3Vまで許容されます。
- (注2) 最小動作電源電圧は、電源電圧を下降させてPORがアクティブとなるトリップ・ポイントで定義します。PORは、電源電圧が最小電源電圧 + SVS回路のヒステリシスより上昇するとインアクティブとなります。
- (注3) MSP430 CPUは、MCLKクロックを使用します。
- MCLKの上側及び下側位相は、規定された最大周波数のパルス幅を超えてはいけません。
- (注4) モジュールによって最大入力クロックの規格が異なることがあります。このデータ・シートの各モジュールの規格をご参照下さい。



(注) 最小プロセッサ周波数は、システム・クロックによって決まります。フラッシュ・プログラム又は消去動作には、2.2Vの最小 V_{CC} が必要です。

図1. 動作範囲

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）
電源電流 ($AV_{CC} + DV_{CC}$) (外部電流を除く)

パラメータ	測定条件	最小	標準	最大	単位
I _(AM) アクティブ・モード(注1) $f_{(MCLK)} = f_{(SMCLK)} = 1$ MHz, $f_{(ACLK)} = 32,768$ Hz, XTS_FLL = 0, SELM = (0, 1) (フラッシュからプログラム実行)	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	$V_{CC} = 2.2$ V		280	350
		$V_{CC} = 3$ V		420	560
I _(LPM0) ロー・パワー・モード(LPM0) (注1, 4)	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	$V_{CC} = 2.2$ V		45	70
		$V_{CC} = 3$ V		75	110
I _(LPM2) ロー・パワー・モード(LPM2) $f_{(MCLK)} = f_{(SMCLK)} = 0$ MHz, $f_{(ACLK)} = 32,768$ Hz, SCG0 = 0 (注2, 4)	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	$V_{CC} = 2.2$ V		11	14
		$V_{CC} = 3$ V		17	22
I _(LPM3) ロー・パワー・モード(LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0$ MHz, $f_{(ACLK)} = 32,768$ Hz, SCG0 = 1, Basic Timer1はイネーブル, ACLKを選択, LCD_Aはイネーブル, LCDCPEN = 0 (スタティック・モード, $f_{LCD} = f_{(ACLK)}/32$) (注2, 3, 4)	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 2.2$ V		1.0	2.0
	$T_A = 25^{\circ}\text{C}$			1.1	2.0
	$T_A = 60^{\circ}\text{C}$			2.0	3.0
	$T_A = 85^{\circ}\text{C}$			3.0	6.0
	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 3$ V		1.2	3.0
	$T_A = 25^{\circ}\text{C}$			1.3	3.0
	$T_A = 60^{\circ}\text{C}$			2.5	3.5
	$T_A = 85^{\circ}\text{C}$			3.5	7.5
I _(LPM3) ロー・パワー・モード(LPM3) $f_{(MCLK)} = f_{(SMCLK)} = 0$ MHz, $f_{(ACLK)} = 32,768$ Hz, SCG0 = 1, Basic Timer1はイネーブル, ACLKを選択, LCD_Aはイネーブル, LCDCPEN = 0 (4-muxモード, $f_{LCD} = f_{(ACLK)}/32$) (注2, 3, 4)	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 2.2$ V		3.5	5.5
	$T_A = 25^{\circ}\text{C}$			3.5	5.5
	$T_A = 60^{\circ}\text{C}$			5.5	7.0
	$T_A = 85^{\circ}\text{C}$			11.0	17.0
	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 3$ V		4.0	8.0
	$T_A = 25^{\circ}\text{C}$			4.0	6.5
	$T_A = 60^{\circ}\text{C}$			6.0	8.0
	$T_A = 85^{\circ}\text{C}$			13.0	20.0
I _(LPM4) ロー・パワー・モード(LPM4) $f_{(MCLK)} = 0$ MHz, $f_{(SMCLK)} = 0$ MHz, $f_{(ACLK)} = 0$ Hz, SCG0 = 1 (注2, 4)	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 2.2$ V		0.1	1.0
	$T_A = 25^{\circ}\text{C}$			0.2	1.0
	$T_A = 60^{\circ}\text{C}$			1.0	2.0
	$T_A = 85^{\circ}\text{C}$			1.8	5.0
	$T_A = -40^{\circ}\text{C}$	$V_{CC} = 3$ V		0.1	2.0
	$T_A = 25^{\circ}\text{C}$			0.2	2.0
	$T_A = 60^{\circ}\text{C}$			1.5	2.5
	$T_A = 85^{\circ}\text{C}$			2.0	6.0

(注1) タイマ_Aは、 $f_{(DCOCLK)} = f_{(DCO)} = 1$ MHzによって駆動されます。すべての入力は0 V又は V_{CC} に接続します。出力にはソース又はシンク電流を流しません。

(注2) すべての入力は、0 V又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

(注3) LPM3電流は、Micro Crystal CC4V-T1A (9 pF) クリスタルを使用し、OSCCAPx = 1hとして測定します。

(注4) ブラウンアウトの電流を含みます。

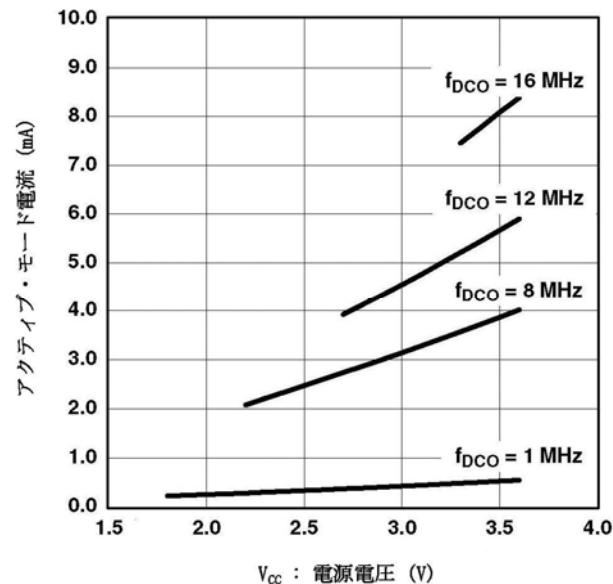
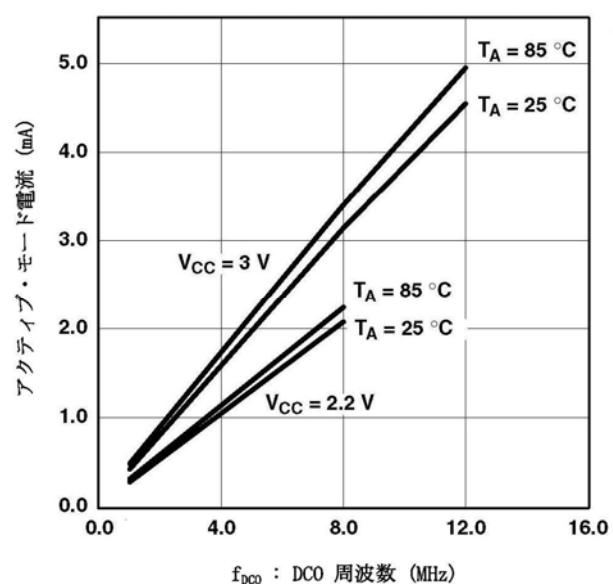
代表特性 - アクティブ・モード電源電流(V_{CC}) V_{CC} : 電源電圧 (V)図2. V_{CC} 対アクティブ・モード電源電流($T_A = 25^\circ\text{C}$) f_{DCO} : DCO 周波数 (MHz)

図3. DCO周波数対アクティブ・モード電源電流

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）
シユミット・トリガ入力 - ポートP1～P5、P7～P10、 $\overline{\text{RST}}/\text{NMI}$ 、JTAG: TCK、TMS、TDI/TCLK、TDO/TDI

パラメータ	測定条件	V_{cc}	最小	標準	最大	単位
V_{IT+} 上昇入力スレッショルド電圧			0.45	0.75	V_{cc}	
		2.2 V	1.00	1.65		V
		3 V	1.35	2.25		
V_{IT-} 下降入力スレッショルド電圧			0.25	0.55	V_{cc}	
		2.2 V	0.55	1.20		V
		3 V	0.75	1.65		
V_{phys} 入力電圧ヒステリシス($V_{IT+} - V_{IT-}$)		2.2 V	0.2	1.0		V
		3 V	0.3	1.0		
R_{pull} プルアップ／プルダウン抵抗($\overline{\text{RST}}/\text{NMI}$ 及びJTAG端子を除く)	プルアップ: $V_{IN} = V_{ss}$, プルダウン: $V_{IN} = V_{cc}$		20	35	50	kΩ
C_i 入力容量	$V_{IN} = V_{ss}$ 又は V_{cc}			5		pF

入力 - ポートP1、P2

パラメータ	測定条件	V_{cc}	最小	標準	最大	単位
$t_{(int)}$ 外部割り込みタイミング	ポートP1, P2:P1.x～P2.x, 割り込みフラグをセットするための外部トリガ・パルス幅（注1）	2.2 V/3 V	20			ns

(注1) 外部信号は、最小割り込みパルス幅 $t_{(int)}$ が適合するたび毎に割り込みフラグをセットします。トリガ信号が $t_{(int)}$ より短い場合にもセットされることがあります。

リーク電流 - ポートP1～P5、P7～P10

パラメータ	測定条件	V_{cc}	最小	標準	最大	単位
$I_{1kg(Px,x)}$ ハイ・インピーダンス・リーク電流	(注1, 2)	2.2 V/3 V			±50	nA

(注1) 特記無き場合、リーク電流は対応する端子に V_{ss} 又は V_{cc} を印加して測定します。

(注2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ／プルダウン抵抗はディスエーブルとします。

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

出力 - ポートP1～P5、P7～P10

パラメータ	測定条件	V _{cc}	最小	標準	最大	単位
V _{OH} ハイ・レベル出力電圧	I _(OHmax) = -1.5 mA (注1)	2.2 V	V _{cc} - 0.25		V _{cc}	V
	I _(OHmax) = -6 mA (注2)		V _{cc} - 0.6		V _{cc}	
	I _(OHmax) = -1.5 mA (注1)	3 V	V _{cc} - 0.25		V _{cc}	
	I _(OHmax) = -6 mA (注2)		V _{cc} - 0.6		V _{cc}	
V _{OL} ロー・レベル出力電圧	I _(OLmax) = 1.5 mA (注1)	2.2 V	V _{ss}	V _{ss} + 0.25		V
	I _(OLmax) = 6 mA (注2)		V _{ss}	V _{ss} + 0.6		
	I _(OLmax) = 1.5 mA (注1)	3 V	V _{ss}	V _{ss} + 0.25		
	I _(OLmax) = 6 mA (注2)		V _{ss}	V _{ss} + 0.6		

(注1) 全出力の最大電流I_{OH(max)}とI_{OL(max)}の合計は、規定の最大電圧降下を保持するため±12 mAを超えてはいけません。(注2) 全出力の最大電流I_{OH(max)}とI_{OL(max)}の合計は、規定の最大電圧降下を保持するため±48 mAを超えてはいけません。

出力周波数 - ポートP1～P5、P7～P10

パラメータ	測定条件	V _{cc}	最小	標準	最大	単位
f _{Px,y} ポート出力周波数 (負荷付き)	P1.4/TBCLK/SMCLK, C _L = 20 pF, R _L = 1 kΩを1/2 V _{cc} に接続(注1, 2)	2.2 V			10	MHz
		3 V			12	
f _{Port_CLK} クロック出力周波数	P1.1/TA0/MCLK, P1.5/TACLK/ACLK, P1.4/TBCLK/SMCLK, C _L = 20 pF (注2)	2.2 V			12	MHz
		3 V			16	

(注1) 負荷として、出力とV_{cc}及びV_{ss}間に2個の2 kΩ抵抗ディバイダを使用することができます。出力は、ディバイダのセンター・タップに接続します。(注2) 出力電圧は、規定のトグル周波数で少なくとも10%及び90% V_{cc}まで届きます。

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

代表特性 - 出力

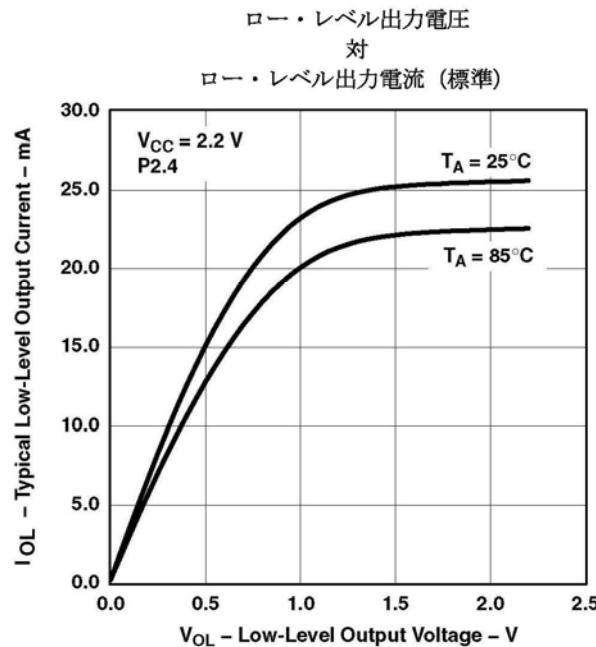


図 4

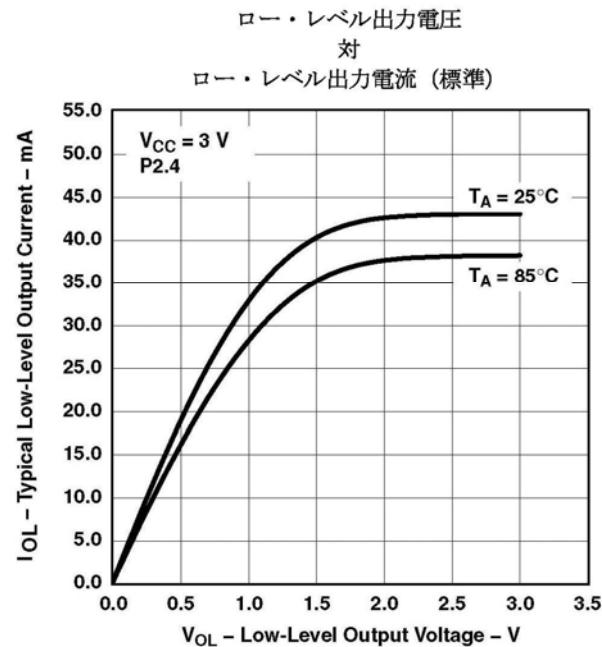


図 5

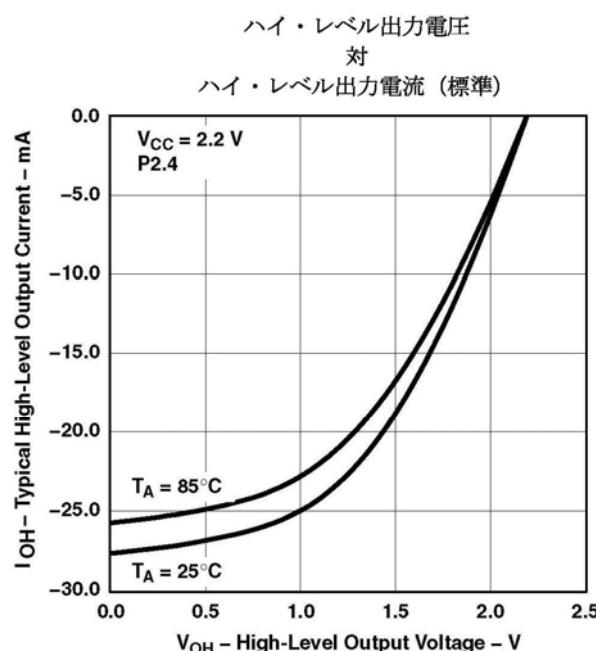


図 6

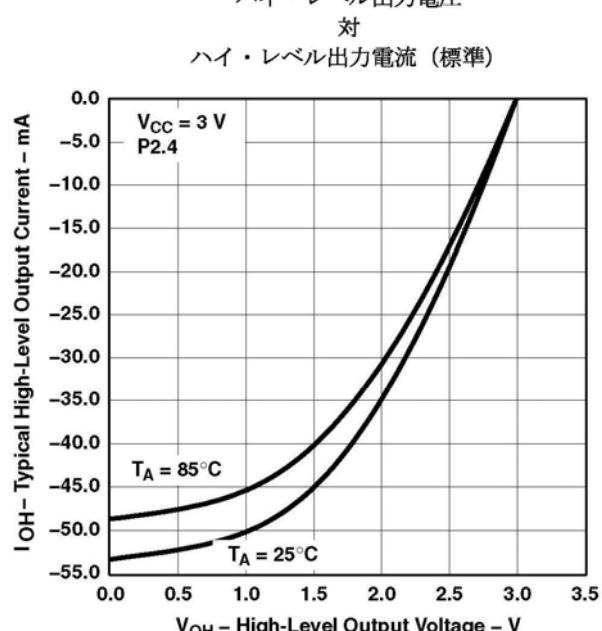


図 7

(注) 同時に1出力のみ負荷をかけます。

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

POR／ブラウンアウト・リセット(BOR)（注1, 2）

パラメータ	測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(start)}$ (図8参照)	$dV_{CC}/dt \leq 3 \text{ V/s}$		0.7	$\times V_{(B_IT-)}$		V
$V_{(B_IT-)}$ (図8～10参照)	$dV_{CC}/dt \leq 3 \text{ V/s}$				1.71	V
$V_{hys(B_IT-)}$ (図8参照)	$dV_{CC}/dt \leq 3 \text{ V/s}$		70	130	180	mV
$t_d(BOR)$ (図8参照)					2000	μs
$t_{(reset)}$ 内部でリセットを受け付けるためのRST/NMI端子パルス幅		2.2 V/3 V	2			μs

(注1) ブラウンアウト・モジュールの消費電流は、 I_{CC} に含まれています。 $V_{(B_IT-)} + V_{hys(B_IT-)} \leq 1.8 \text{ V}$ とします。

(注2) パワーアップ時は、CPUは $V_{CC} = V_{(B_IT-)} + V_{hys(B_IT-)}$ となった後 $t_d(BOR)$ 経過後にコードの実行を開始します。デフォルトのFLL+の設定値は、 $V_{CC} \geq V_{CC(min)}$ となるまで変えてはいけません。ここで $V_{CC(min)}$ は、使用する動作周波数における最小電源電圧を表します。ブラウンアウト/SVS回路に関する詳細な情報については、MSP430x4XXファミリー・ユーザーズ・ガイド (SLAU056) をご参照下さい。

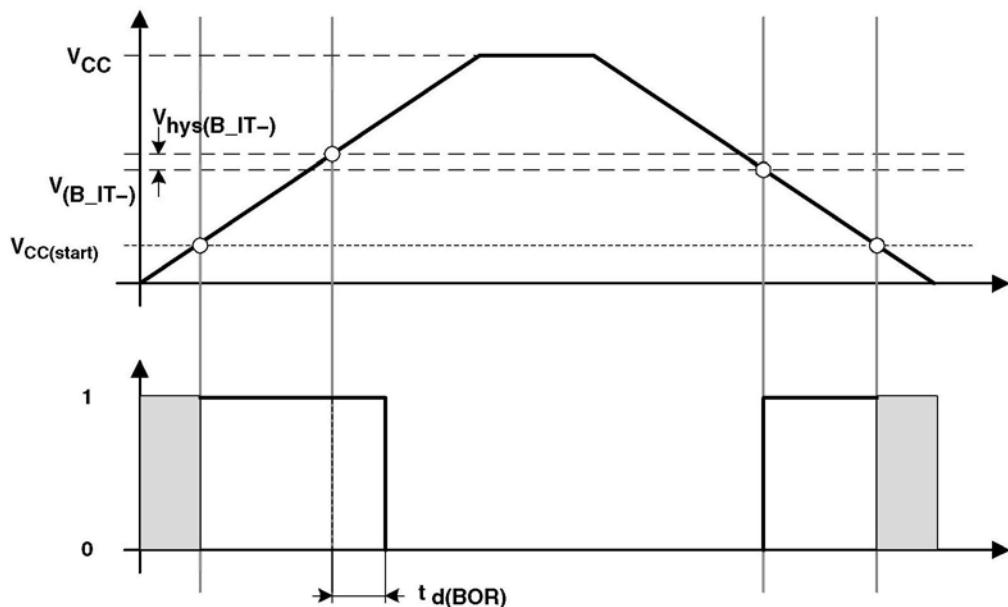


図8. 電源電圧に対するPOR／ブラウンアウト・リセット(BOR)

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

代表特性 - POR/ブラウンアウト・リセット(BOR)

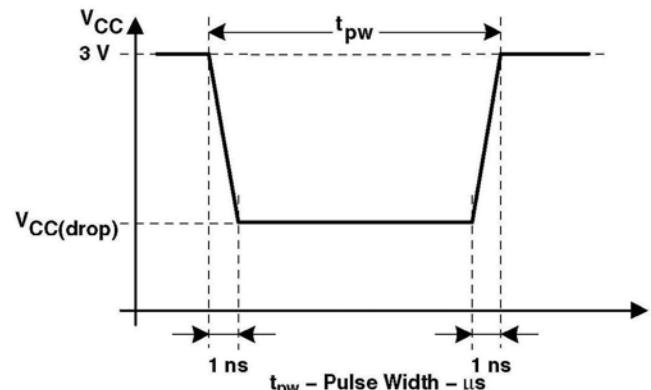
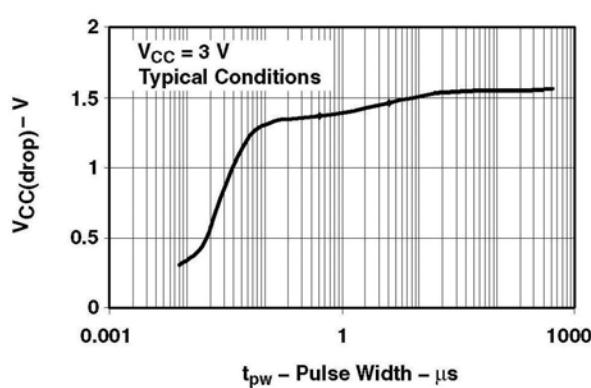


図9. POR/ブラウンアウト信号を生成するための $V_{CC(drop)}$ レベル(矩形波電圧降下)

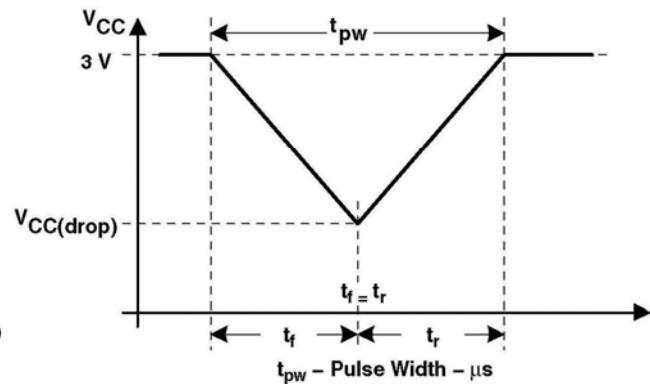
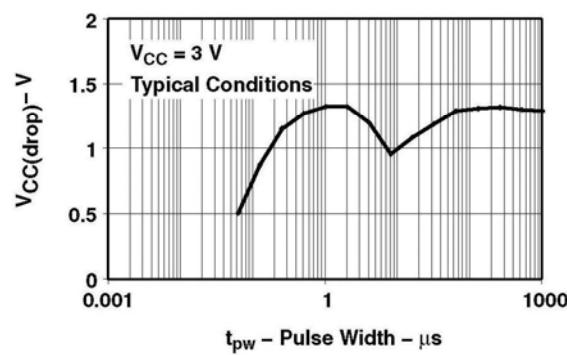


図10. POR/ブラウンアウト信号を生成するための $V_{CC(drop)}$ レベル(三角波電圧降下)

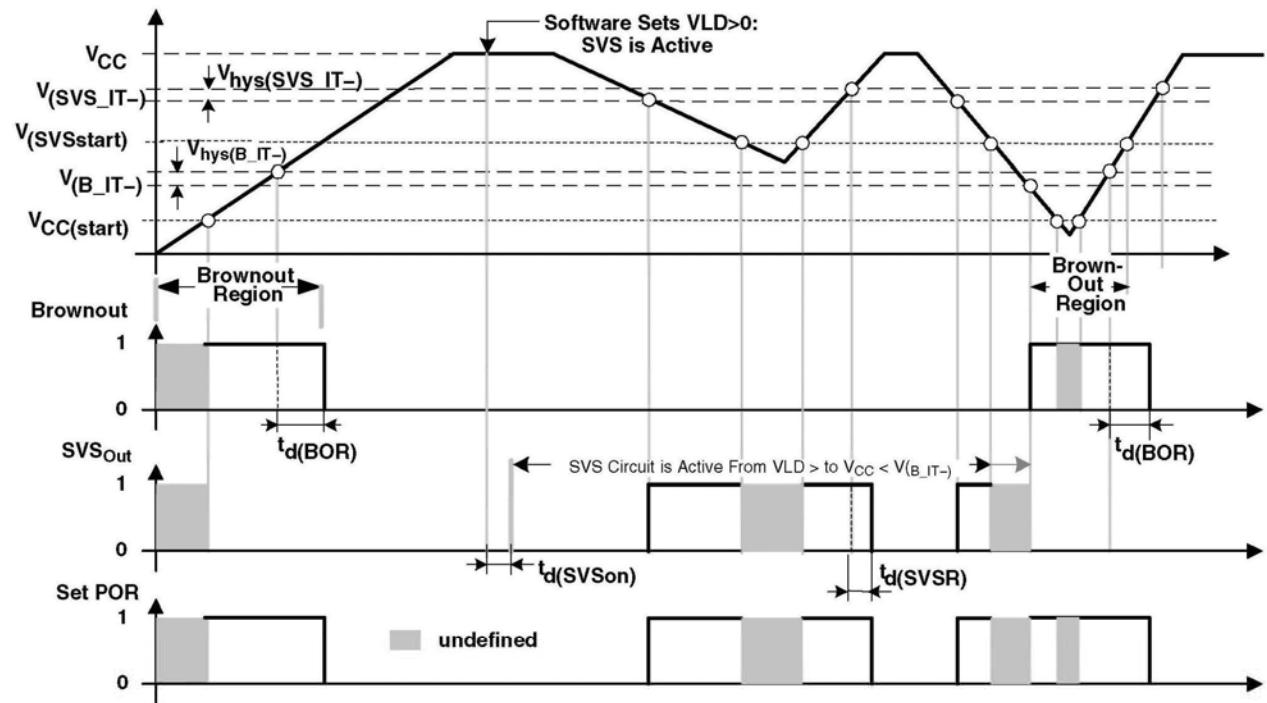
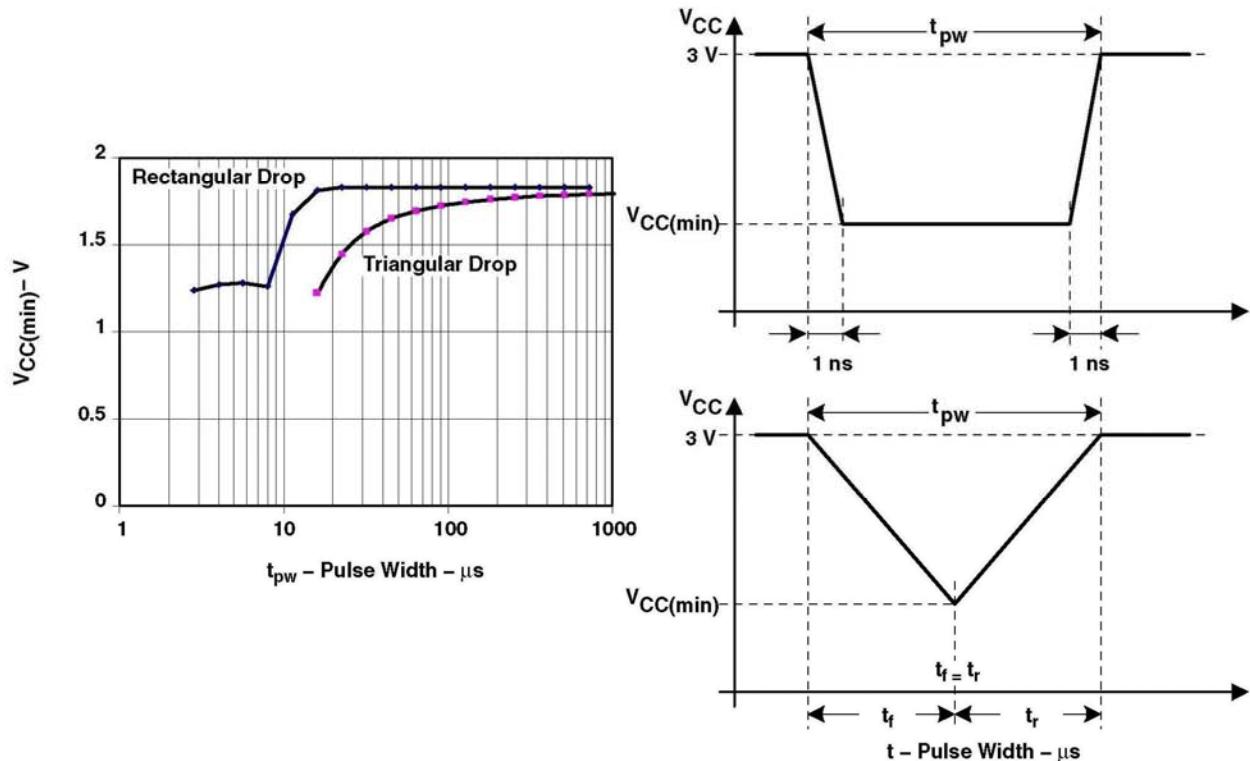
電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

SVS(電源電圧監視／モニタ)(注1)

パラメータ	測定条件	最小	標準	最大	単位
$t_{(SVSR)}$	$dV_{CC}/dt > 30 \text{ V/ms}$ (図11参照)	5		150	μs
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	
$t_{d(SVSon)}$	SVSオン, $VLD = 0 \sim VLD \neq 0$ までスイッチ, $V_{CC} = 3 \text{ V}$	20		200	μs
t_{settle}	$VLD \neq 0$ (注2)			12	μs
$V_{(SVSstart)}$	$VLD \neq 0, V_{CC}/dt \leq 3 \text{ V/s}$ (図11参照)		1.55	1.7	V
$V_{(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図11参照)	VLD = 1	70	120	155
		VLD = 2..14	$V_{(SVS_IT-)} \times 0.001$	$V_{(SVS_IT-)} \times 0.016$	
	$V_{CC}/dt \leq 3 \text{ V/s}$ (図11参照), A7に印加される外部電圧	VLD = 15	4.4	10.4	mV
$V_{(SVS_IT-)}$	$V_{CC}/dt \leq 3 \text{ V/s}$ (図11参照)	VLD = 1	1.8	1.9	2.05
		VLD = 2	1.94	2.1	2.25
		VLD = 3	2.05	2.2	2.37
		VLD = 4	2.14	2.3	2.48
		VLD = 5	2.24	2.4	2.6
		VLD = 6	2.33	2.5	2.71
		VLD = 7	2.46	2.65	2.86
		VLD = 8	2.58	2.8	3
		VLD = 9	2.69	2.9	3.13
		VLD = 10	2.83	3.05	3.29
		VLD = 11	2.94	3.2	3.42
		VLD = 12	3.11	3.35	3.61†
		VLD = 13	3.24	3.5	3.76†
		VLD = 14	3.43	3.7†	3.99†
$I_{CC(SVS)}$ (注1)	$VLD \neq 0, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	VLD = 15	1.1	1.2	1.3
			10	15	μA

† 推奨動作電圧範囲は3.6 Vに制限されます。

(注1) SVSモジュールの消費電流は I_{CC} の値に含まれていません。(注2) セトリング時間 t_{settle} は、VLDが $VLD \neq 0$ から2~15の間の異なる値に切り替わった後、コンパレータ出力が安定したレベルになるのに必要な時間です。オーバードライブ>50 mVと仮定します。

代表特性

図11. 電源電圧に対するSVSリセット(SVSR)

図12. SVS信号を生成するための $V_{CC(\min)}$ レベル(矩形波電圧及び三角波電圧降下)

電気的特性（特記無き場合、推奨周囲温度範囲）

DCO

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
f _(DCOCLK)	N(DCO) = 01Eh, FN_8 = FN_4 = FN_3 = FN_2 = 0, D = 2, DCOPUS = 0	2.2 V/3 V		1		MHz
f _(DCO=2)	FN_8 = FN_4 = FN_3 = FN_2 = 0, DCOPUS = 1	2.2 V	0.3	0.65	1.25	MHz
		3 V	0.3	0.7	1.3	
f _(DCO=27)	FN_8 = FN_4 = FN_3 = FN_2 = 0, DCOPUS = 1	2.2 V	2.5	5.6	10.5	MHz
		3 V	2.7	6.1	11.3	
f _(DCO=2)	FN_8 = FN_4 = FN_3 = 0, FN_2 = 1, DCOPUS = 1	2.2 V	0.7	1.3	2.3	MHz
		3 V	0.8	1.5	2.5	
f _(DCO=27)	FN_8 = FN_4 = FN_3 = 0, FN_2 = 1, DCOPUS = 1	2.2 V	5.7	10.8	18	MHz
		3 V	6.5	12.1	20	
f _(DCO=2)	FN_8 = FN_4 = 0, FN_3 = 1, FN_2 = x, DCOPUS = 1	2.2 V	1.2	2	3	MHz
		3 V	1.3	2.2	3.5	
f _(DCO=27)	FN_8 = FN_4 = 0, FN_3 = 1, FN_2 = x, DCOPUS = 1	2.2 V	9	15.5	25	MHz
		3 V	10.3	17.9	28.5	
f _(DCO=2)	FN_8 = 0, FN_4 = 1, FN_3 = FN_2 = x, DCOPUS = 1	2.2 V	1.8	2.8	4.2	MHz
		3 V	2.1	3.4	5.2	
f _(DCO=27)	FN_8 = 0, FN_4 = 1, FN_3 = FN_2 = x, DCOPUS = 1	2.2 V	13.5	21.5	33	MHz
		3 V	16	26.6	41	
f _(DCO=2)	FN_8 = 1, FN_4 = FN_3 = FN_2 = x, DCOPUS = 1	2.2 V	2.8	4.2	6.2	MHz
		3 V	4.2	6.3	9.2	
f _(DCO=27)	FN_8 = 1, FN_4 = FN_3 = FN_2 = x, DCOPUS = 1	2.2 V	21	32	46	MHz
		3 V	30	46	70	
S _n	隣接したDCOタップ間のステップ・サイズ: S _n = f _{DCO(Tap n+1)} /f _{DCO(Tap n)} (図14のタップ21~27参照)	1 < TAP ≤ 20 TAP = 27		1.06 1.07	1.11 1.17	
D _t	温度ドリフト, N _(DCO) = 01Eh, FN_8 = FN_4 = FN_3 = FN_2 = 0, D = 2, DCOPUS = 0		2.2 V 3 V	-0.2 -0.2	-0.3 -0.3	-0.4 -0.4
D _v	V _{CC} 変動によるドリフト, N _(DCO) = 01Eh, FN_8 = FN_4 = FN_3 = FN_2 = 0, D = 2, DCOPUS = 0			0	5	15
						%/V

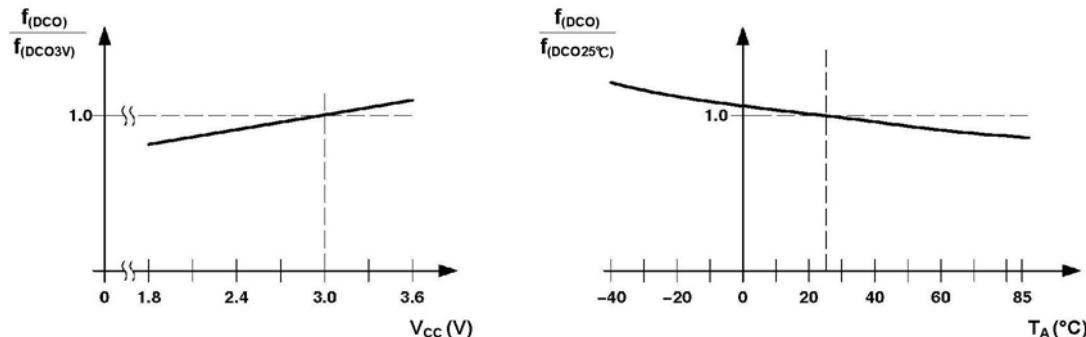


図13. 電源電圧及び周囲温度対DCO周波数

電気的特性（特記無き場合、推奨動作周囲温度範囲）

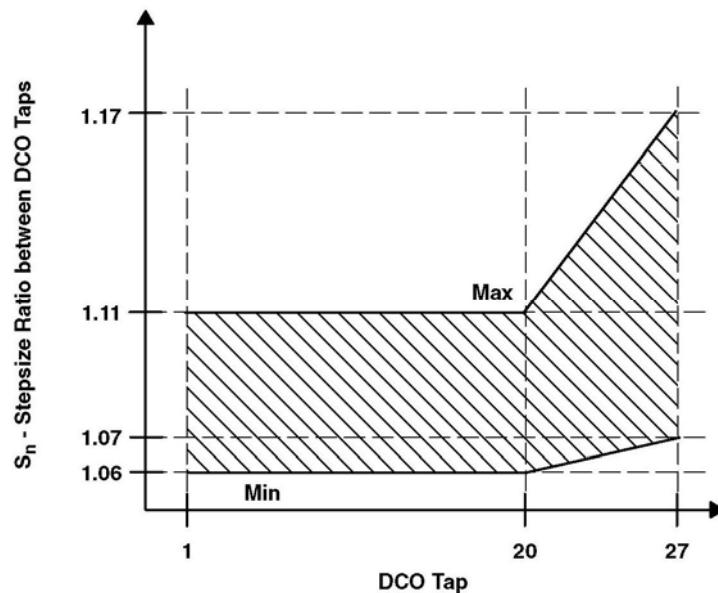


図14. DCOタップ・ステップ・サイズ

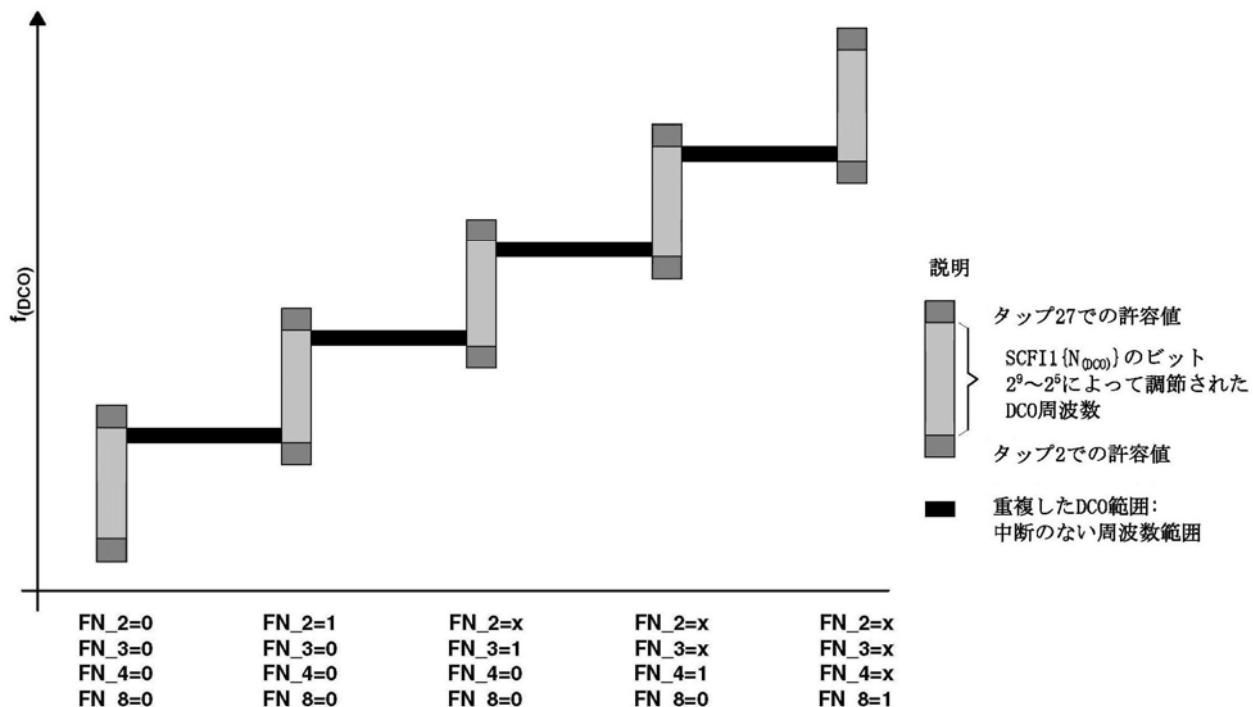


図15. FN_xビットにより制御される5つの重複したDCO範囲

電気的特性（特記無き場合、推奨動作周囲温度範囲）（続き）

クリスタル・オシレータ、LFXT1、低周波数モード(注4)

パラメータ		測定条件	V _{CC}	最小	標準	最大	単位
f _{LFXT1,LF}	LFXT1オシレータ・クリスタル周波数(LFモード)	XTS_FLL = 0, LFXT1DIG = 0	1.8 V～3.6 V		32,768		Hz
f _{LFXT1,LF,logic}	LFXT1オシレータ・ロジック・レベル矩形波入力周波数(LFモード)	XTS_FLL = 0, LFXT1DIG = 1, XCAPx = 0	1.8 V～3.6 V	10,000	32,768		Hz
0A _{LF}	LFクリスタル発振許容値	XTS_FLL = 0, LFXT1DIG = 0, f _{LFXT1,LF} = 32,768 Hz, C _{L,eff} = 6 pF			500		kΩ
		XTS_FLL = 0, LFXT1DIG = 0, f _{LFXT1,LF} = 32,768 Hz, C _{L,eff} = 12 pF			200		
C _{L,eff}	内部有効負荷容量(LFモード)(注1)	XTS_FLL = 0, XCAPx = 0			1		pF
		XTS_FLL = 0, XCAPx = 1			5.5		
		XTS_FLL = 0, XCAPx = 2			8.5		
		XTS_FLL = 0, XCAPx = 3			11		
デューティ比	LFモード	XTS_FLL = 0, P1.4/ACLKで測定, f _{LFXT1,LF} = 32,768 Hz	2.2 V/3 V	30	50	70	%
f _{Fault,LF}	オシレータ障害周波数, LFモード(注3)	XTS_FLL = 0 (注2)	2.2 V/3 V	10	10,000		Hz

(注1) ボンド及びパッケージの寄生容量を含みます(約2 pF/端子)。

プリント基板には容量が付加されますので、ACLK周波数を測定することによって正確な負荷を検証することを推奨します。正確な測定のため、有効負荷容量は常に使用するクリスタルの規格に適合しなければなりません。

(注2) ロジック・レベル入力周波数で測定しますが、クリスタルでの動作にも適用されます。

(注3) 規格の最小値より低い周波数では障害フラグがセットされ、最大値より高い周波数では障害フラグがセットされません。その間の周波数では障害フラグがセットされることもあります。

(注4) LFXT1オシレータのEMIを改善するため、次のガイドラインに従って下さい。

- デバイスとクリスタルの間の配線はできるだけ短くする。
 - オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
 - 他のクロック又はデータ・ラインからオシレータ端子XIN及びXOUTへのクロストークを防止する。
 - XIN及びXOUT端子の下側又は近くにプリント基板の配線を走らせないようにする。
 - オシレータ端子XIN及びXOUTの寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
 - コーティングを使用する場合は、それがオシレータ端子間に容量／抵抗リークを誘導しないこと。
 - シリアル・プログラミング・アダプタを使用するために、XOUTラインをJTAGヘッダへ配線しない。
- この信号は、シリアル・プログラミング・アダプタには必要ありません。

クリスタル・オシレータ、LFXT1、高周波数モード

パラメータ		測定条件	V _{CC}	最小	標準	最大	単位
f _{XT1}	XT1オシレータ・クリスタル周波数	XTS_FLL = 1, セラミック・リザーベータ	1.8 V～3.6 V	0.45		4	MHz
			2.7 V～3.6 V	0.45		8	
f _{XT1}	XT1オシレータ・クリスタル周波数	XTS_FLL = 1, クリスタル	1.8 V～3.6 V	1		4	MHz
			2.7 V～3.6 V	1		8	
C _{L,eff}	内部有効負荷容量(注1)	XTS_FLL = 1, XCAPx = 0 (注2)			1		pF
デューティ比	P1.4/ACLKで測定		2.2 V/3 V	40	50	60	%

(注1) ボンド及びパッケージの寄生容量を含みます(約2 pF/端子)。

プリント基板には容量が付加されますので、ACLK周波数を測定することによって正確な負荷を検証することを推奨します。正確な測定のため、有効負荷容量は常に使用するクリスタルの規格に適合しなければなりません。

(注2) 両方の端子に外部コンデンサを必要とします。値はクリスタル・メーカーによって規定されます。

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

クリスタル・オシレータ、XT2オシレータ（注5）

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
f _{XT2, 0} XT2オシレータ・クリスタル周波数（モード0）	XT2Sx = 0	1.8 V～3.6 V	0.4		1	MHz
f _{XT2, 1} XT2オシレータ・クリスタル周波数（モード1）	XT2Sx = 1	1.8 V～3.6 V	1		4	MHz
f _{XT2, 2} XT2オシレータ・クリスタル周波数（モード2）	XT2Sx = 2	1.8 V～3.6 V	2	10		MHz
		2.2 V～3.6 V	2	12		
		3.0 V～3.6 V	2	16		
f _{XT2, logic} XT2オシレータ・ロジック・レベル矩形波入力周波数	XT2Sx = 3	1.8 V～3.6 V	0.4	10		MHz
		2.2 V～3.6 V	0.4	12		
		3.0 V～3.6 V	0.4	16		
0A _{XT2} HFクリスタル発振許容値（注16）	XT2Sx = 0, f _{XT2} = 1 MHz, C _{L, eff} = 15 pF			2700		Ω
	XT2Sx = 1, f _{LFXT1, HF} = 4 MHz, C _{L, eff} = 15 pF			800		
	XT2Sx = 2, f _{LFXT1, HF} = 16 MHz, C _{L, eff} = 15 pF			300		
C _{L, eff} 内部有効負荷容量（注1）	（注2）			1		PF
デューティ比	P1.4/ACLKで測定, f _{XT2} = 10 MHz	2.2 V/3 V	40	50	60	%
	P1.4/ACLKで測定, f _{XT2} = 16 MHz	3 V	40	50	60	
f _{Fault, XT2} オシレータ障害周波数（注4）	XT2Sx = 3（注3）	2.2 V/3 V	30		300	kHz

(注1) ボンド及びパッケージの寄生容量を含みます(約2 pF／端子)。

プリント基板には容量が付加されますので、ACLK周波数を測定することによって正確な負荷を検証することを推奨します。正確な測定のため、有効負荷容量は常に使用するクリスタルの規格に適合しなければなりません。

(注2) 両方の端子に外部コンデンサを必要とします。値はクリスタル・メーカーによって規定されます。

(注3) ロジック・レベル入力周波数で測定しますが、クリスタルでの動作にも適用されます。

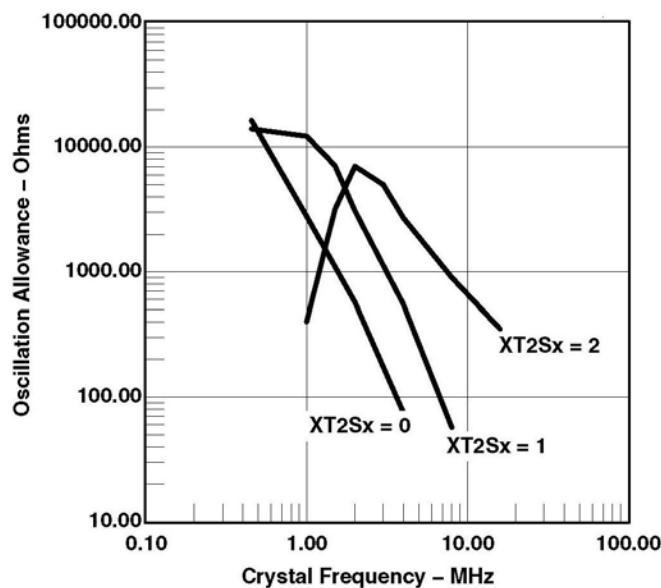
(注4) 規格の最小値より低い周波数では障害フラグがセットされ、最大値より高い周波数では障害フラグがセットされません。
その間の周波数では障害フラグがセットされることもあります。

(注5) XT2オシレータのEMIを改善するため、次のガイドラインに従って下さい。

- デバイスとクリスタルの間の配線はできるだけ短くする。
- オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
- 他のクロック又はデータ・ラインからオシレータ端子XIN及びXOUTへのクロストークを防止する。
- XIN及びXOUT端子の下側又は近くにプリント基板の配線を走らせないようにする。
- オシレータ端子XIN及びXOUTの寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
- コーティングを使用する場合は、それがオシレータ端子間に容量／抵抗リーカーを誘導しないこと。
- シリアル・プログラミング・アダプタを使用するために、XOUTラインをJTAGヘッダへ配線しない。
この信号は、シリアル・プログラミング・アダプタには必要ありません。

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

代表特性 - XT2オシレータ

図16. クリスタル周波数対発振許容値 ($C_{L_{eff}} = 15 \text{ pF}$, $T_A = 25^\circ\text{C}$)

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

ウェークアップLPM3

パラメータ	測定条件	V_{CC}	最小	標準	最大	単位
$t_d(LPM3)$ 遅延時間	$f = 1$ MHz	2.2 V/3 V			6	μs
	$f = 2$ MHz				6	
	$f = 3$ MHz				6	

LCD_A

パラメータ	測定条件	V_{CC}	最小	標準	最大	単位
$V_{CC(LCD)}$ 電源電圧範囲	チャージ・ポンプはイネーブル (LCDPEN = 1, VLCDx > 0000)		2.2		3.6	V
C_{LCD} LCDCAPコンデンサ(注1)	チャージ・ポンプはイネーブル (LCDPEN = 1, VLCDx > 0000)		4.7			μF
$I_{CC(LCD)}$ 電源電流	$V_{LCD(typ)} = 3$ V, LCDPEN = 1, VLCDx = 1000, 全セグメントはオン, $f_{LCD} = f_{ACLK}/32$, LCDは接続なし(注2), $T_A = 25^\circ C$	2.2 V		3.8		μA
f_{LCD} LCD周波数				1.1		kHz
V_{LCD} LCD電圧	VLCDx = 0000			V_{CC}		V
	VLCDx = 0001			2.60		
	VLCDx = 0010			2.66		
	VLCDx = 0011			2.72		
	VLCDx = 0100			2.78		
	VLCDx = 0101			2.84		
	VLCDx = 0110			2.90		
	VLCDx = 0111			2.96		
	VLCDx = 1000			3.02		
	VLCDx = 1001			3.08		
	VLCDx = 1010			3.14		
	VLCDx = 1011			3.20		
	VLCDx = 1100			3.26		
	VLCDx = 1101			3.32		
	VLCDx = 1110			3.38		
	VLCDx = 1111		3.44		3.60	
R_{LCD} LCD ドライバ出力インピーダンス	$V_{LCD} = 3$ V, LCDPEN = 1, VLCDx = 1000, $I_{LOAD} = \pm 10 \mu A$	2.2 V		10		$k\Omega$

(注1) 外部コンデンサが規定の最小値より小さい状態で内部チャージ・ポンプをイネーブルにすると、デバイスにダメージを与える可能性があります。

(注2) 実際にディスプレイを接続すると、LCDのサイズに応じて消費電流が増加します。

電気的特性(特記無き場合、推奨動作周囲温度範囲) (続き)

コンパレータ_A(注1)

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
I _(CC)	CAON = 1, CARSEL = 0, CAREF = 0	2.2 V	25	40		μA
		3 V	45	60		
I _(Refladder/Refdiode)	CAON = 1, CARSEL = 0, CAREF = 1/2/3, P1.6/CA0とP1.7/CA1は無負荷	2.2 V	30	50		μA
		3 V	45	80		
V _(Ref025) Voltage @ 0.25 V _{CC} node V _{CC}	PCA0 = 1, CARSEL = 1, CAREF = 1, P1.6/CA0とP1.7/CA1は無負荷	2.2 V/3 V	0.23	0.24	0.25	
V _(Ref050) Voltage @ 0.5 V _{CC} node V _{CC}	PCA0 = 1, CARSEL = 1, CAREF = 2, P1.6/CA0とP1.7/CA1は無負荷	2.2 V/3 V	0.47	0.48	0.5	
V _(RefVT) (図17, 18参照)	PCA0 = 1, CARSEL = 1, CAREF = 3, P1.6/CA0とP1.7/CA1は無負荷, T _A = 85°C	2.2 V	390	480	540	mV
		3 V	400	490	550	
V _{IC} 同相入力電圧範囲	CAON = 1	2.2 V/3 V	0	V _{CC} - 1		V
V _p -V _S オフセット電圧	(注2)	2.2 V/3 V	-30	30		mV
V _{hys} 入力ヒステリシス	CAON = 1	2.2 V/3 V	0	0.7	1.4	mV
t _(response LH and HL) (注3)	T _A = 25°C, オーバードライブ10 mV, フィルタなし:CAF = 0	2.2 V	80	165	300	ns
		3 V	70	120	240	
	T _A = 25°C, オーバードライブ10 mV, フィルタ付き:CAF = 1	2.2 V	1.4	1.9	2.8	μs
		3 V	0.9	1.5	2.2	

(注1) コンパレータ_A端子のリーク電流は、I_{lkg(P_{x,x})}の規格と同じです。

(注2) 入力オフセット電圧は、連続して測定する毎にCAEXビットを使ってコンパレータ_A入力を反転させることにより、キャンセルすることができます。2つの連続した測定値を加算します。

(注3) 応答時間は、コンパレータ_Aを前もってイネーブルにした(CAON = 1)状態で、入力電圧ステップを使用してP1.6/CA0で測定します。CAONを同時に設定する場合は、最大300 nsのセトリング時間が応答時間に加えられます。

電気的特性(特記無き場合、推奨動作周囲温度範囲) (続き)

代表特性

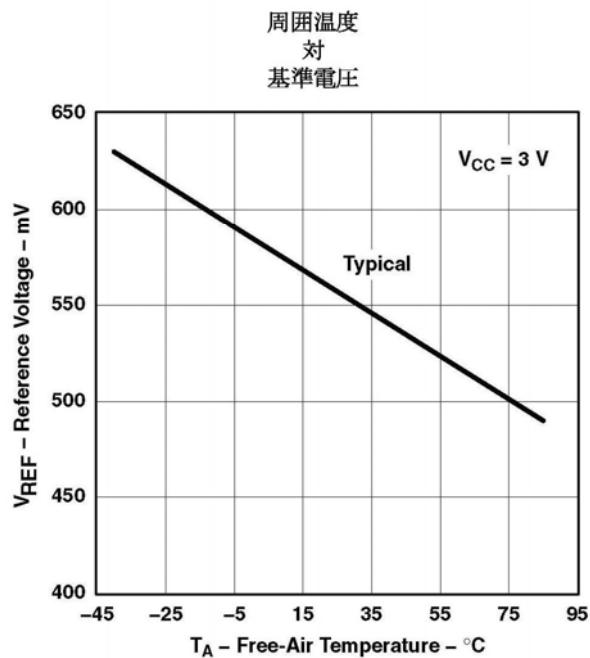


図17. 周囲温度対 $V_{(\text{RefVT})}$

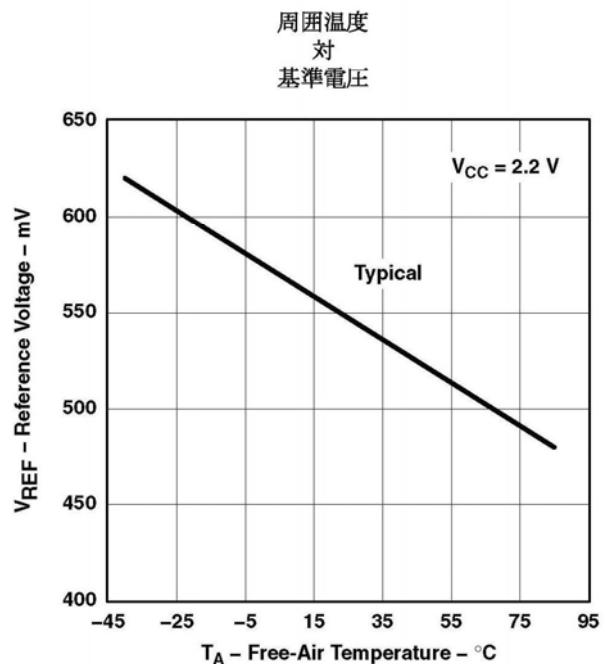


図18. 周囲温度対 $V_{(\text{RefVT})}$

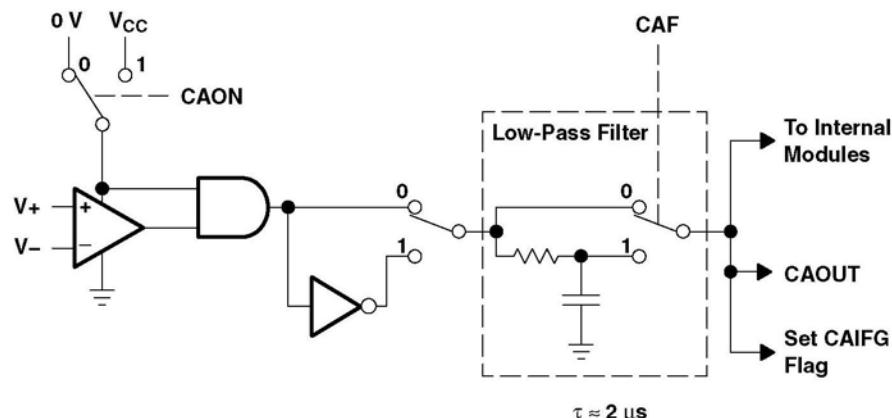


図19. コンパレータ_Aモジュールのブロック図

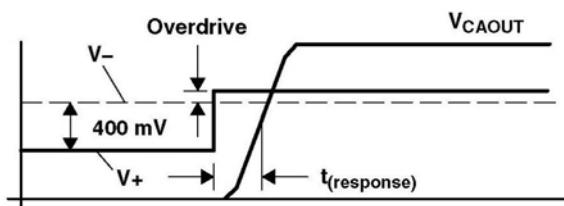


図20. オーバードライブの定義

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

タイマ_A

パラメータ	測定条件	V _{cc}	最小	標準	最大	単位
f_{TA} タイマ_Aクロック周波数	内部: SMCLK, ACLK 外部: TACLK, INCLK デューティ比 = 50%±10%	2.2 V			10	MHz
		3 V			16	
$t_{TA, cap}$ タイマ_Aキャプチャ・タイミング	TA0, TA1, TA2	2.2 V/3 V	20			ns

タイマ_B

パラメータ	測定条件	V _{cc}	最小	標準	最大	単位
f_{TB} タイマ_Bクロック周波数	内部: SMCLK, ACLK 外部: TBCLK デューティ比 = 50%±10%	2.2 V			10	MHz
		3 V			16	
$t_{TB, cap}$ タイマ_Bキャプチャ・タイミング	TB0, TB1, TB2	2.2 V/3 V	20			ns

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

USCI (UARTモード)

パラメータ	測定条件	V _{cc}	最小	標準	最大	単位
f _{USCI} USCI入力クロック周波数	内部: SMCLK, ACLK 外部: UCLK デューティ比 = 50%±10%				f _{SYSTEM}	MHz
f _{BITCLK} BITCLKクロック周波数 (ボートレート(MBaud)と同じ)		2.2 V/3 V			1	MHz
t _r UART受信デグリッチ時間 (注1)		2.2 V	50	150	600	ns
		3 V	50	100	600	

(注1) UART受信デグリッチ時間より短いUART受信入力(UCxRX)のパルスは除去されます。パルスが確実に認識されるためには、パルス幅はデグリッチ時間の最大規格より大きくなければなりません。

USCI (SPIマスター・モード) (図21, 22参照)

パラメータ	測定条件	V _{cc}	最小	標準	最大	単位
f _{USCI} USCI入力クロック周波数	SMCLK, ACLK デューティ比 = 50%±10%				f _{SYSTEM}	MHz
t _{SU, MI} SOMI入力データ・セットアップ時間		2.2 V	110			ns
		3 V	75			
t _{HD, MI} SOMI入力データ・ホールド時間		2.2 V	0			ns
		3 V	0			
t _{VALID, MO} SIMO出力データ有効時間	UCLKエッジ～SIMO有効, C _L = 20 pF	2.2 V			30	ns
		3 V			20	

注: $f_{UCxCLK} = \frac{1}{2t_{LO/HI}}$ 但し $t_{LO/HI} \geq \max(t_{VALID, MO(USCI)} + t_{SU, SI(Slave)}, t_{SU, MI(USCI)} + t_{VALID, SO(Slave)})$.

スレーブのパラメータ t_{SU, SI(Slave)} と t_{VALID, SO(Slave)} に関しては、付属のスレーブの SPI パラメータをご参照下さい。

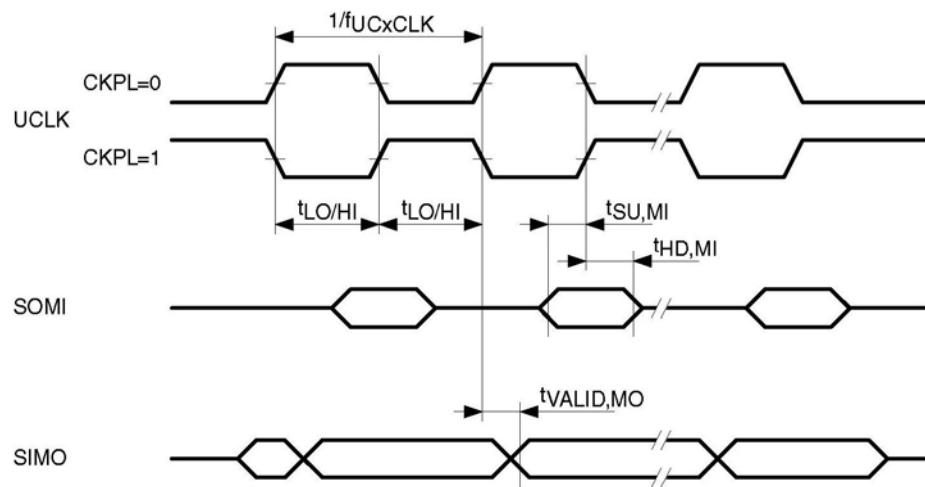
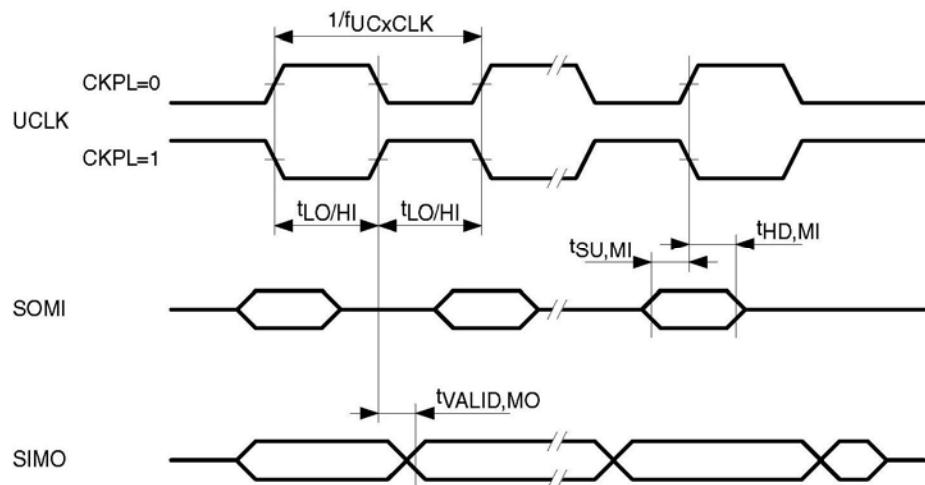
USCI (SPIスレーブ・モード) (図23, 24参照)

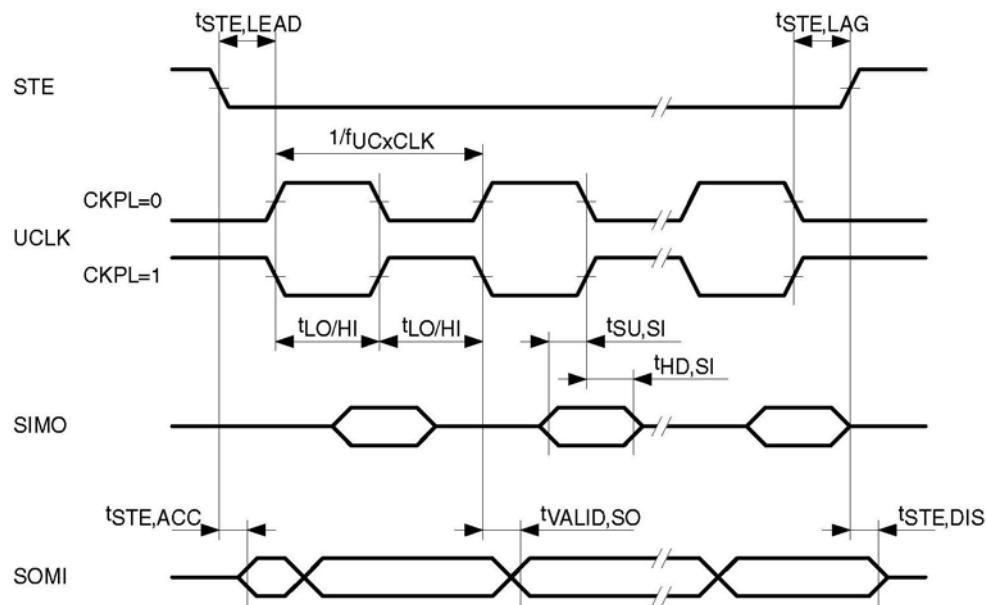
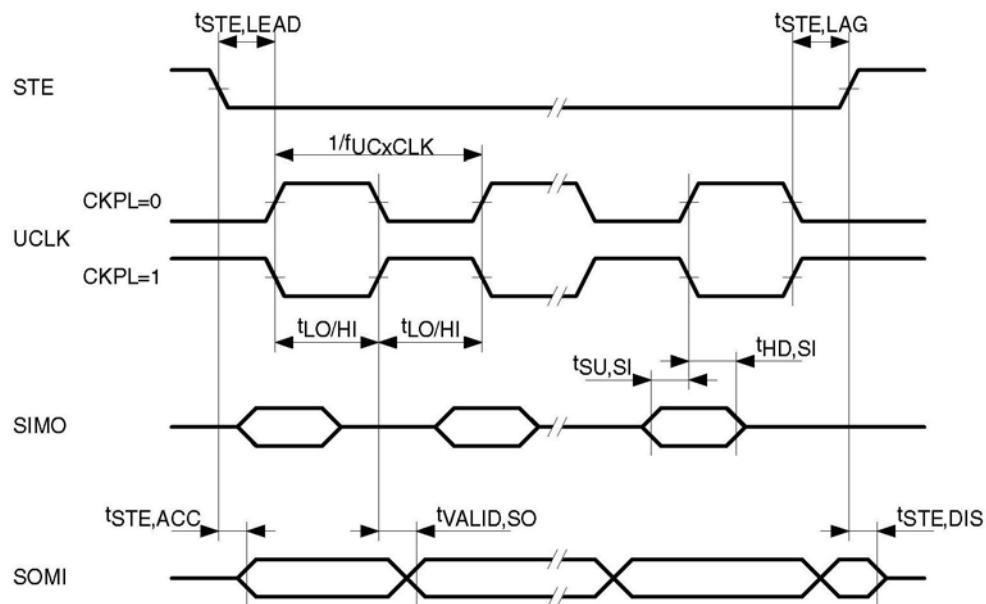
パラメータ	測定条件	V _{cc}	最小	標準	最大	単位
t _{STE, LEAD} STE進み時間 STEロー～クロック		2.2 V/3 V		50		ns
t _{STE, LAG} STE遅れ時間 最後のクロック～STEハイ		2.2 V/3 V	10			ns
t _{STE, ACC} STEアクセス時間 STEロー～SOMIデータ出力		2.2 V/3 V		50		ns
t _{STE, DIS} STEディスエーブル時間 STEハイ～SOMIハイ・インピーダンス		2.2 V/3 V	50			ns
t _{SU, SI} SIMO入力データ・セットアップ時間		2.2 V	20			ns
		3 V	15			
t _{HD, SI} SIMO入力データ・ホールド時間		2.2 V	10			ns
		3 V	10			
t _{VALID, SO} SOMI出力データ有効時間	UCLKエッジ～SOMI有効, C _L = 20 pF	2.2 V	75	110		ns
		3 V	50	75		

注: $f_{UCxCLK} = \frac{1}{2t_{LO/HI}}$ 但し $t_{LO/HI} \geq \max(t_{VALID, MO(Master)} + t_{SU, SI(USCI)}, t_{SU, MI(Master)} + t_{VALID, SO(USCI)})$.

マスターのパラメータ t_{SU, MI(Master)} と t_{VALID, MO(Master)} に関しては、付属のマスターの SPI パラメータをご参照下さい。

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

図21. SPI マスタ・モード、 $\text{CKPH} = 0$ 図22. SPI マスタ・モード、 $\text{CKPH} = 1$

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

図23. SPIスレーブ・モード、CKPH = 0

図24. SPIスレーブ・モード、CKPH = 1

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）

USCI (I2Cモード) (図25参照)

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
f _{USCI} USCI入力クロック周波数	内部: SMCLK, ACLK 外部: UCLK デューティ比 = 50%±10%				f _{SYSTEM}	MHz
f _{SCL} SCLクロック周波数		2.2 V/3 V	0	400	400	kHz
t _{HD, STA} (繰り返し)スタート・ホールド時間	f _{SCL} ≤ 100 kHz	2.2 V/3 V	4			μs
	f _{SCL} > 100 kHz		0.6			
t _{SU, STA} 繰り返しスタート・セットアップ時間	f _{SCL} ≤ 100 kHz	2.2 V/3 V	4.7			μs
	f _{SCL} > 100 kHz		0.6			
t _{HD, DAT} データ・ホールド時間		2.2 V/3 V	0			ns
t _{SU, DAT} データ・セットアップ時間		2.2 V/3 V	250			ns
t _{SU, STO} ストップ・セットアップ時間		2.2 V/3 V	4.0			μs
t _{SP} 入力フィルタによって除去されるスパイクのパルス幅		2.2 V	50	150	600	ns
		3 V	50	100	600	

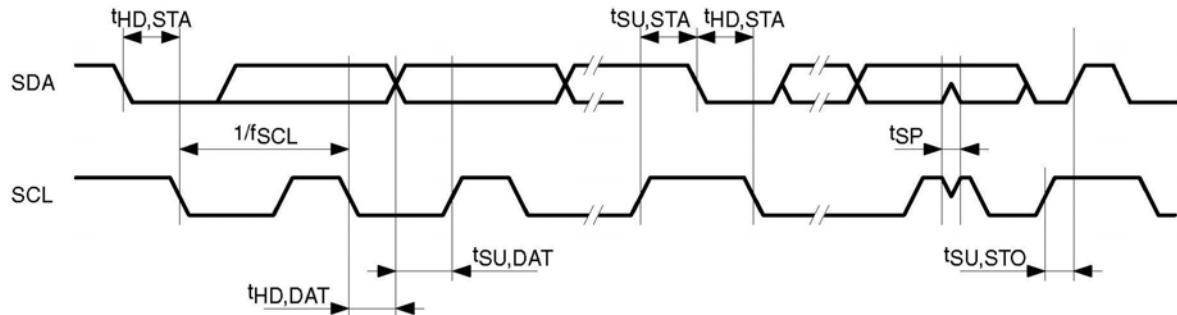


図25. I2Cモード・タイミング

電気的特性（特記無き場合、推奨動作周囲温度範囲）

SD16_A、電源及び推奨動作条件

パラメータ	測定条件			V _{cc}	最小	標準	最大	単位
A _{V_{CC}} アナログ電源電圧	A _{V_{CC}} = D _{V_{CC}} A _{V_{SS}} = D _{V_{SS}} = 0 V				2.5		3.6	V
I _{SD16} アナログ電源電流 (内部基準電圧を含む1つのアクティブSD16_Aチャネル)	SD16LP = 0, f _{SD16} = 1 MHz, SD160SR = 256	GAIN: 1, 2 GAIN: 4, 8, 16 GAIN: 32	3 V		730	1050		μA
	SD16LP = 1, f _{SD16} = 0.5 MHz, SD160SR = 256	GAIN: 1 GAIN: 32			810	1150		
					1160	1700		
			3 V		720	1030		
					810	1150		
f _{SD16} アナログ・フロント・エンド入力クロック周波数	SD16LP = 0 (ロー・パワー・モードはディスエーブル)	3 V	0.03	1	1.1			MHz
	SD16LP = 1 (ロー・パワー・モードはイネーブル)	3 V	0.03	0.5				

SD16_A、入力範囲(注1)

パラメータ	測定条件			V _{cc}	最小	標準	最大	単位
V _{ID, FSR} 差動フル・スケール入力電圧範囲	バイポーラ・モード, SD16UNI = 0				-V _{REF} /2GAIN		+V _{REF} /2GAIN	mV
	ユニポーラ・モード, SD16UNI = 1				0		+V _{REF} /2GAIN	
V _{ID} 規定の性能のための差動入力電圧範囲 (注2)	SD16REFON = 1	SD16GAINx = 1			±500			mV
		SD16GAINx = 2			±250			
		SD16GAINx = 4			±125			
		SD16GAINx = 8			±62			
		SD16GAINx = 16			±31			
		SD16GAINx = 32			±15			
Z ₁ 入力インピーダンス (1入力端子対AV _{SS})	F _{SD16} = 1 MHz	SD16GAINx = 1	3 V		200			kΩ
		SD16GAINx = 32			75			
Z _{ID} 差動入力インピーダンス (IN+～IN-)	F _{SD16} = 1 MHz	SD16GAINx = 1	3 V	300	400			kΩ
		SD16GAINx = 32		100	150			
V _I 絶対入力電圧範囲					AV _{SS} - 1 V		AV _{CC}	V
V _{IC} 同相入力電圧範囲					AV _{SS} - 1 V		AV _{CC}	V

(注1) すべてのパラメータは、各SD16_Aチャネルに適用されます。

(注2) アナログ入力範囲は、V_{REF}に印加される基準電圧に依存します。V_{REF}が外部から供給される場合は、フル・スケール範囲は、V_{FSR+} = +(V_{REF}/2)/GAIN及びV_{FSR-} = -(V_{REF}/2)/GAINで定義されます。アナログ入力範囲は、V_{FSR+}又はV_{FSR-}の80%を超えてはいけません。

電気的特性（特記無き場合、推奨動作周囲温度範囲）（続き）

SD16_A、特性 ($f_{SD16} = 1$ MHz, SD160SRx = 256, SD16REFON = 1)

パラメータ	測定条件	V_{CC}	最小	標準	最大	単位
SINAD S/N + 歪み率	SD16GAINx = 1, 信号振幅 $V_{PP} = 500$ mV	$f_{IN} = 50$ Hz, 100 Hz (注1, 2)	3 V	83	85	dB
	SD16GAINx = 2, 信号振幅 $V_{PP} = 250$ mV			81	84	
	SD16GAINx = 4, 信号振幅 $V_{PP} = 125$ mV			76	79	
	SD16GAINx = 8, 信号振幅 $V_{PP} = 62$ mV			70	75	
	SD16GAINx = 16, 信号振幅 $V_{PP} = 31$ mV			66	70	
	SD16GAINx = 32, 信号振幅 $V_{PP} = 15$ mV			62	65	
G 公称ゲイン	SD16GAINx = 1	3 V	0.97	1.00	1.02	%
	SD16GAINx = 2		1.90	1.96	2.02	
	SD16GAINx = 4		3.76	3.86	3.96	
	SD16GAINx = 8		7.36	7.62	7.84	
	SD16GAINx = 16		14.56	15.04	15.52	
	SD16GAINx = 32		27.20	28.35	29.76	
E_{OS} オフセット誤差	SD16GAINx = 1	3 V			± 0.2	%FSR
	SD16GAINx = 32				± 1.5	
dE_{OS}/dT オフセット誤差 の温度係数	SD16GAINx = 1	3 V			± 4	ppm FSR/°C
	SD16GAINx = 32				± 20	
CMRR 同相信号除去比	SD16GAINx = 1, 同相入力信号: $V_{ID} = 500$ mV, $f_{IN} = 50$ Hz, 100 Hz	3 V			>90	dB
	SD16GAINx = 32, 同相入力信号: $V_{ID} = 16$ mV, $f_{IN} = 50$ Hz, 100 Hz				>75	
AC PSRR AC電源電圧変動 除去比	SD16GAINx = 1, $V_{CC} = 3$ V ± 100 mV, $f_{VCC} = 50$ Hz	3 V			>80	dB
X _T クロストーク	SD16GAINx = 1, $V_{ID} = 500$ mV, $f_{IN} = 50$ Hz, 100 Hz	3 V			<-100	dB

(注1) 次の電圧がSD16入力に印加されます:

$$V_{IN, A+}(t) = 1.2V + V_{PP}/2 \times \sin(2\pi \times f_{IN} \times t)$$

$$V_{IN, A-}(t) = 1.2V - V_{PP}/2 \times \sin(2\pi \times f_{IN} \times t)$$

その結果、差動電圧 $V_{diff} = V_{IN, A+}(t) - V_{IN, A-}(t) = V_{PP} \times \sin(2\pi \times f_{IN} \times t)$

(注2) SD16_AのSINAD特性は変更されることがあります。正誤表(errata sheet)をご参照下さい。

電気的特性（特記無き場合、推奨動作周囲温度範囲）（続き）

代表特性 - OSR（オーバーサンプリング・レート）におけるSD16_A SNR/SINAD特性

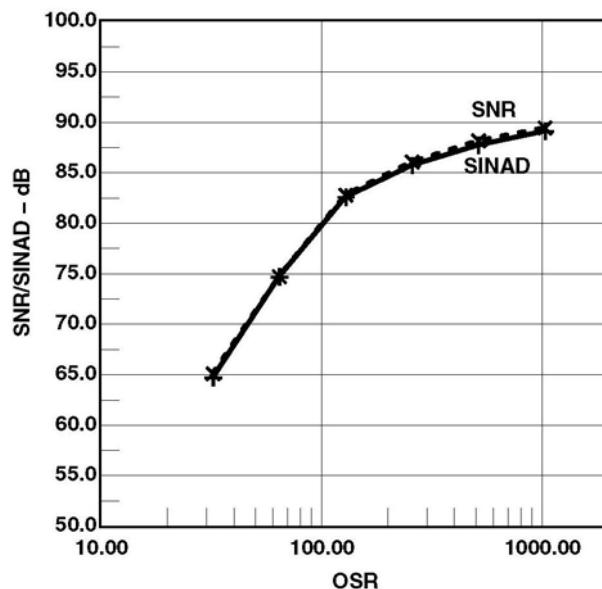


図26. OSRにおけるSNR/SINAD特性, $f_{SD16} = 1$ MHz, SD16REFON = 1, SD16GAINx = 1
 $V_{IN}(t) = 1.2V + 500mV \times \sin(2\pi \times 50Hz \times t)$

SD16_A、温度センサと内蔵V_{CC}検出

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
TC _{Sensor}	センサ温度係数		1.18	1.32	1.46	mV/K
V _{Offset, sensor}	センサ・オフセット電圧		-100		100	mV
V _{Sensor}	センサ出力電圧(注2)	3 V	T _A = 85°Cでの温度センサ電圧	435	475	515
			T _A = 25°Cでの温度センサ電圧	355	395	435
			T _A = 0°Cでの温度センサ電圧	320	360	400
V _{CC, SENSE}	入力5のV _{CC} デイバイダ		f _{SD16} = 32 kHz, SD16SRx = 256, SD16REFON = 1	0.08	1/11	0.10
R _{SOURCE, VCC}	入力5のV _{CC} デイバイダの信号源抵抗				500	kΩ

(注1) 温度センサ出力電圧は次式で計算することができます。

$$V_{Sensor, typ} = TC_{Sensor} (273 + T[\text{°C}]) + V_{Offset, sensor} [\text{mV}]$$

(注2) 数値は、TC_{Sensor}又はV_{Offset, sensor}を使用した計算ではなく、特性評価（及び／又は）量産テストに基づいています。
 $f_{SD16} = 1$ MHz, SD16SRx = 256, SD16REFON = 1で測定されます。

電気的特性（特記無き場合、推奨動作周囲温度範囲）（続き）

SD16_A、内部基準電圧

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
V _{REF} 内部基準電圧	SD16REFON = 1, SD16VMIDON = 0	3 V	1.14	1.20	1.26	V
I _{REF} 基準電圧電流	SD16REFON = 1, SD16VMIDON = 0	3 V		175	260	μA
TC 温度係数	SD16REFON = 1, SD16VMIDON = 0 (注1)	3 V		18	50	ppm/K
C _{REF} V _{REF} 負荷容量	SD16REFON = 1, SD16VMIDON = 0 (注2)			100		nF
I _{LOAD} V _{REF(1)} 最大負荷電流	SD16REFON = 1, SD16VMIDON = 0	3 V			±200	nA
t _{ON} ターン・オン時間	SD16REFON = 0 → 1, SD16VMIDON = 0, C _{REF} = 100 nF	3 V		5		ms
DC PSR DC電源電圧変動除去 ΔV _{REF} / ΔV _{CC}	SD16REFON = 1, SD16VMIDON = 0, V _{CC} = 2.5 V~3.6 V			100		μV/V

(注1) ポックス法を用いて計算されています。: (MAX(-40°C...85°C) - MIN(-40°C...85°C)) / MIN(-40°C...85°C) / (85°C - (-40°C))

(注2) V_{REF}にはコンデンサは必要ありませんが、基準電圧ノイズを低減するために少なくとも100 nFのコンデンサを接続することを推奨します。

SD16_A、基準電圧出力バッファ

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
V _{REF,BUF} 基準電圧バッファ出力電圧	SD16REFON = 1, SD16VMIDON = 1	3 V		1.2		V
I _{REF,BUF} 基準電圧 + 基準電圧出力バッファ静止電流	SD16REFON = 1, SD16VMIDON = 1	3 V		385	600	μA
C _{REF(0)} V _{REF} に必要な負荷容量	SD16REFON = 1, SD16VMIDON = 1			470		nF
I _{LOAD,Max} V _{REF} 最大負荷電流	SD16REFON = 1, SD16VMIDON = 1	3 V			±1	mA
負荷電流に対する最大基準電圧変動	I _{LOAD} = 0 mA~1 mA	3 V	-15		+15	mV
t _{ON} ターン・オン時間	SD16REFON = 0 → 1, SD16VMIDON = 0 → 1, C _{REF} = 470 nF	3 V		100		μs

SD16_A、外部基準電圧入力

パラメータ	測定条件	V _{CC}	最小	標準	最大	単位
V _{REF(I)} 入力電圧	SD16REFON = 0	3 V	1.0	1.25	1.5	V
I _{REF(I)} 入力電流	SD16REFON = 0	3 V			50	nA

電気的特性（特記無き場合、推奨電源電圧及び動作周囲温度範囲）（続き）

フラッシュ・メモリ

パラメータ	測定条件	V_{cc}	最小	標準	最大	単位
$V_{CC(PGM/ERASE)}$ プログラム及び消去電源電圧			2.2		3.6	V
f_{FTG} フラッシュ・タイミング発生器周波数			257		476	kHz
I_{PGM} プログラム時消費電流 (V_{cc})		2.2 V/3.6 V	3	5	mA	
I_{ERASE} 消去時消費電流 (V_{cc})		2.2 V/3.6 V	3	7	mA	
t_{CPT} 累積プログラム時間（注1）		2.2 V/3.6 V			10	ms
$t_{CMerase}$ 累積一括消去時間		2.2 V/3.6 V	20			ms
プログラム／消去回数			10^4	10^5		cycles
$t_{Retention}$ データ保持期間	$T_J = 25^\circ\text{C}$		100			years
t_{Word} ワード又はバイト・プログラム時間	(注2)		30	t_{FTG}		
$t_{Block, 0}$ 先頭バイト又はワードのブロック・プログラム時間			25			
$t_{Block, 1-63}$ 各後続バイト又はワードのブロック・プログラム時間			18			
$t_{Block, End}$ ブロック・プログラム終了シーケンスのウェイト時間			6			
$t_{Mass Erase}$ 一括消去時間			10593			
$t_{Seg Erase}$ セグメント消去時間			4819			

(注1) 64バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を超えてはいけません。このパラメータは、個々のワード／バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注2) これらの値は、フラッシュ・コントローラのスタート・マシンにハード・ワイヤードされています($t_{FTG} = 1/f_{FTG}$)。

RAM

パラメータ	測定条件	最小	標準	最大	単位
$V_{(RAMh)}$ RAMデータ保持電源電圧(注1)	CPU停止時	1.6			V

(注1) このパラメータは、RAMのデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

JTAGインターフェース

パラメータ	測定条件	V_{cc}	最小	標準	最大	単位
f_{TCK} TCK入力周波数	(注1)	2.2 V	0	5		
		3 V	0	10		MHz
$R_{internal}$ TMS, TCK, TDI/TCLKの内部プルアップ抵抗	(注2)	2.2 V/3 V	20	35	50	kΩ

(注1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注2) TMS, TDI/TCLK, 及びTCKのプルアップ抵抗は、すべてのバージョンに内蔵されています。

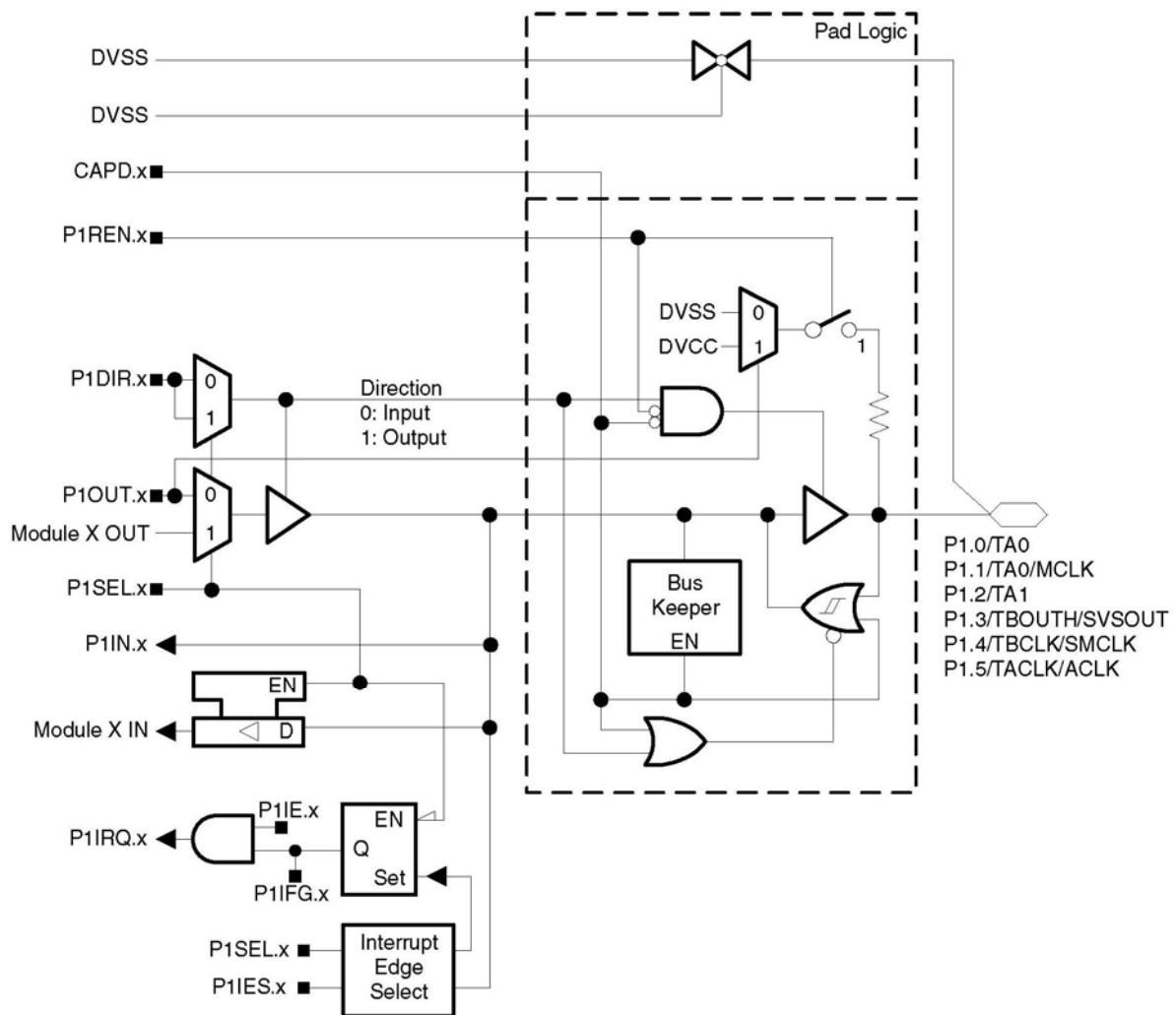
JTAGヒューズ(注1)

パラメータ	測定条件	V_{cc}	最小	標準	最大	単位
$V_{CC(FB)}$ ヒューズ切断時の電源電圧	$T_A = 25^\circ\text{C}$		2.5			V
V_{FB} ヒューズ切断電圧 (TDI/TCLK)			6	7		V
I_{FB} ヒューズ切断時の消費電流 (TDI/TCLK)					100	mA
t_{FB} ヒューズ切断時間					1	ms

(注1) ヒューズが切断されると、二度とMSP430 JTAG／テスト及びエミュレーション機能へアクセスすることができなくなり、JTAGはバイパス・モードに切り替わります。

アプリケーション情報

ポートP1(P1.0~P1.5)、シユミット・トリガ入力／出力



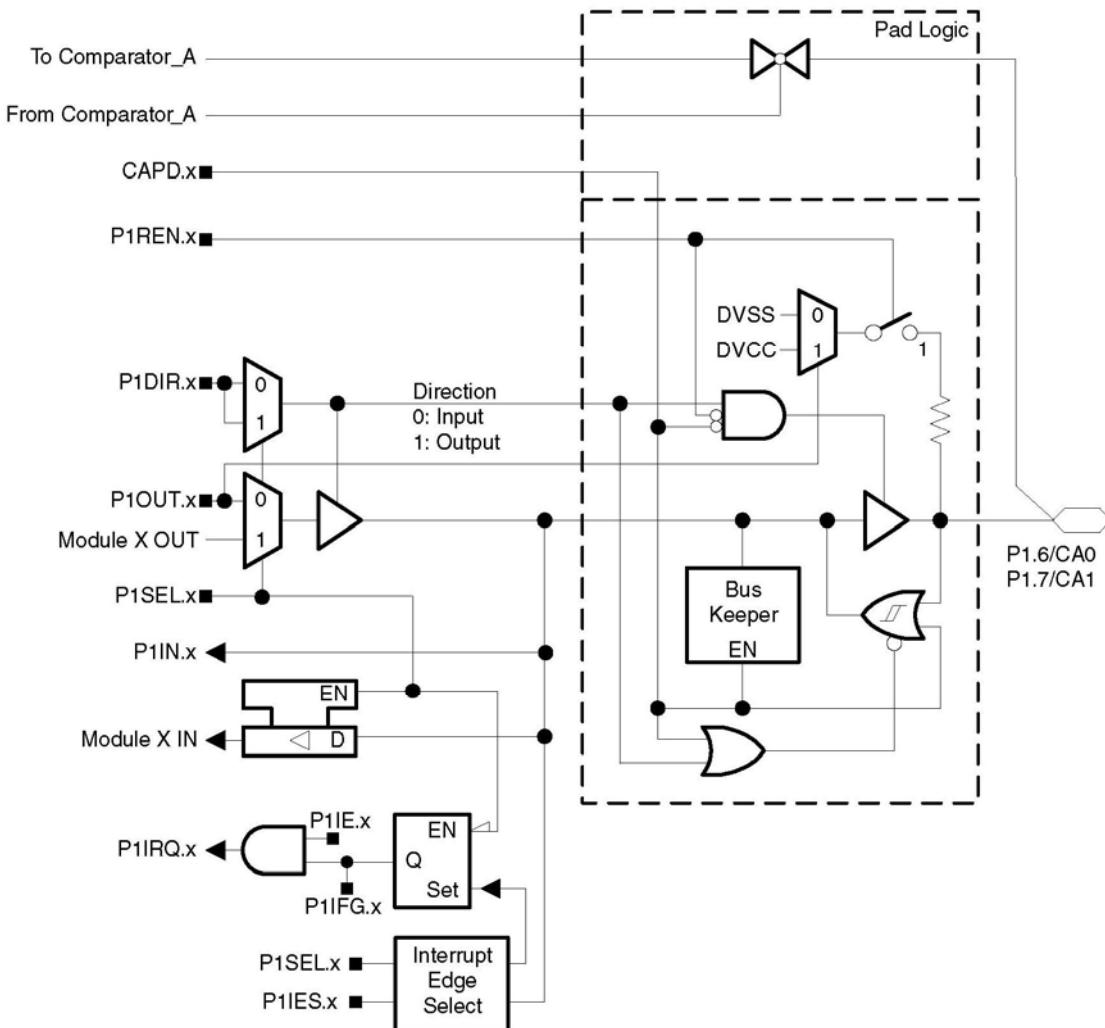
ポートP1(P1.0~P1.5)端子機能

端子名 (P1. X)	X	機能	制御ビット/信号		
			P1DIR. x	P1SEL. x	CAPD. x
P1.0/TA0	0	P1.0 (I/O)	I:0, 0:1	0	0
		タイマ_A3.CCI0A	0	1	0
		タイマ_A3.TA0	1	1	0
		入力バッファはディスエーブル (注1, 2)	X	X	1
P1.1/TA0/MCLK	1	P1.1 (I/O)	I:0, 0:1	0	0
		タイマ_A3.CCI0B	0	1	0
		MCLK	1	1	0
		入力バッファはディスエーブル (注1, 2)	X	X	1
P1.2/TA1	2	P1.2 (I/O)	I:0, 0:1	0	0
		タイマ_A3.CCI1A	0	1	0
		タイマ_A3.TA1	1	1	0
		入力バッファはディスエーブル (注1, 2)	X	X	1
P1.3/ TBOUTH/SVSOUT	3	P1.3 (I/O)	I:0, 0:1	0	0
		タイマ_B7.TBOUTH	0	1	0
		SVSOUT	1	1	0
		入力バッファはディスエーブル (注1, 2)	X	X	1
P1.4/TBCLK/SMCLK	4	P1.4 (I/O)	I:0, 0:1	0	0
		タイマ_B7.TBCLK	0	1	0
		SMCLK	1	1	0
		入力バッファはディスエーブル (注1, 2)	X	X	1
P1.5/TACLK/ACLK	5	P1.5 (I/O)	I:0, 0:1	0	0
		タイマ_A3.TACLK	0	1	0
		ACLK	1	1	0
		入力バッファはディスエーブル (注1, 2)	X	X	1

(注1) X : 関係ありません。

(注2) CAPD. x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。

ポートP1(P1.6~P1.7)、シユミット・トリガ入力／出力

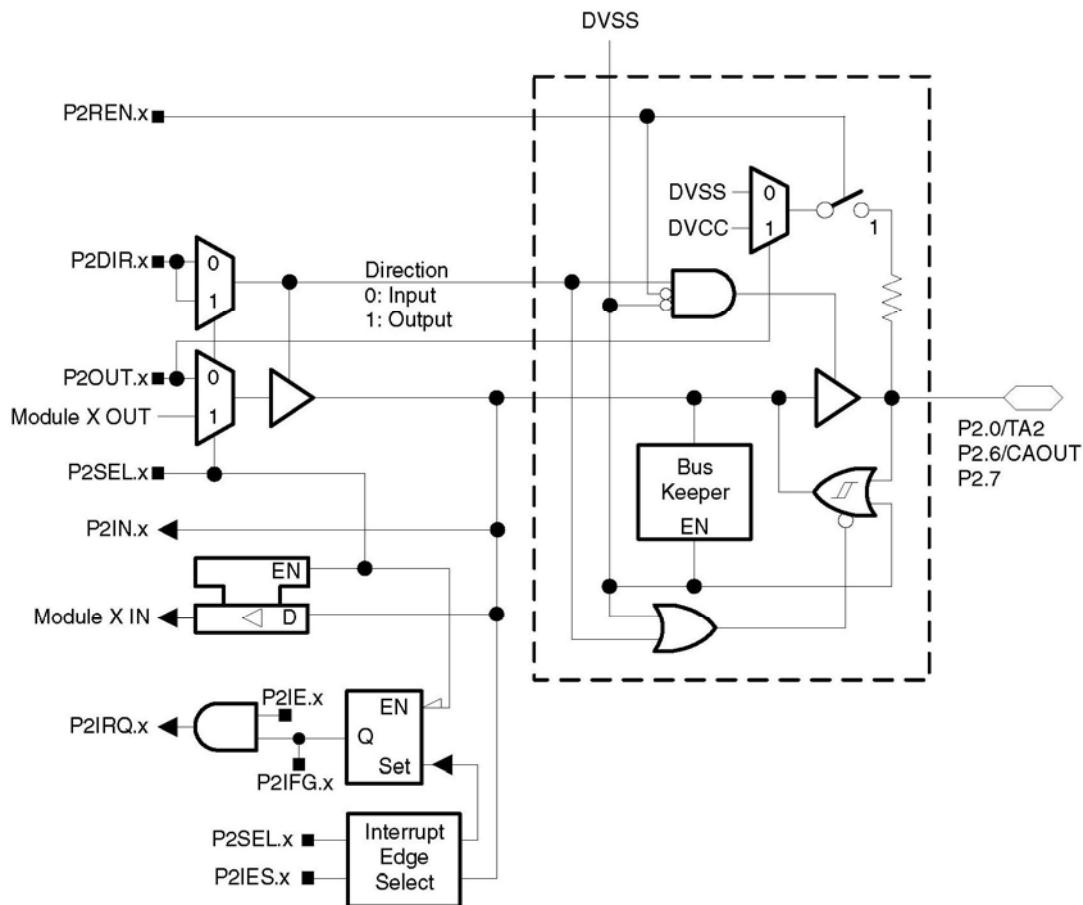


ポートP1(P1.6~P1.7)端子機能

端子名 (P1.X)	X	機能	制御ビット／信号		
			P1DIR.x	P1SEL.x	CAPD.x
P1.6/CA0	6	P1.6 (I/O)	I:0, 0:1	0	0
		CA0 (注1, 2)	X	X	1
P1.7/CA1	7	P1.7 (I/O)	I:0, 0:1	0	0
		CA1 (注1, 2)	X	X	1

(注1) X : 関係ありません。

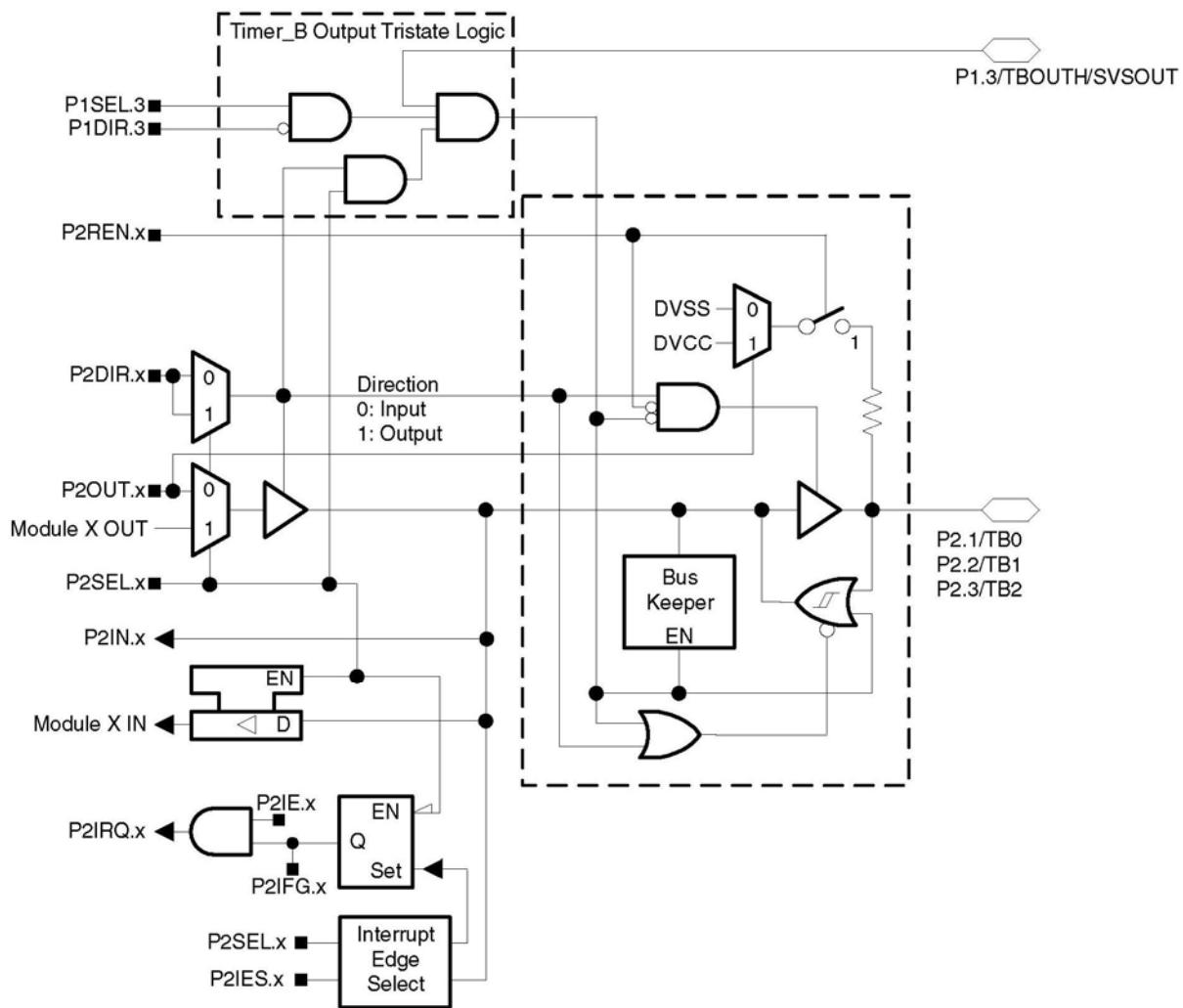
(注2) CAPD.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シユミット・トリガと同様に出力ドライバはディスエーブルとなります。

ポートP2(P2.0, P2.6~P2.7)、シミュット・トリガ入力／出力

ポートP2(P2.0, P2.6~P2.7)端子機能

端子名 (P2.X)	X	機能	制御ビット／信号	
			P2DIR.x	P2SEL.x
P2.0/TA2	0	P2.0 (I/O)	I:0, 0:1	0
		タイマ_A3.CCI2A	0	1
		タイマ_A3.TA2	1	1
P2.6/CAOUT	6	P2.6 (I/O)	I:0, 0:1	0
		N/A (注1)	0	1
		CAOUT	1	1
P2.7	7	P2.7 (I/O)	I:0, 0:1	0
		N/A (注1)	0	1
		DVSS	1	1

(注1) N/A: 使用不可又は未使用

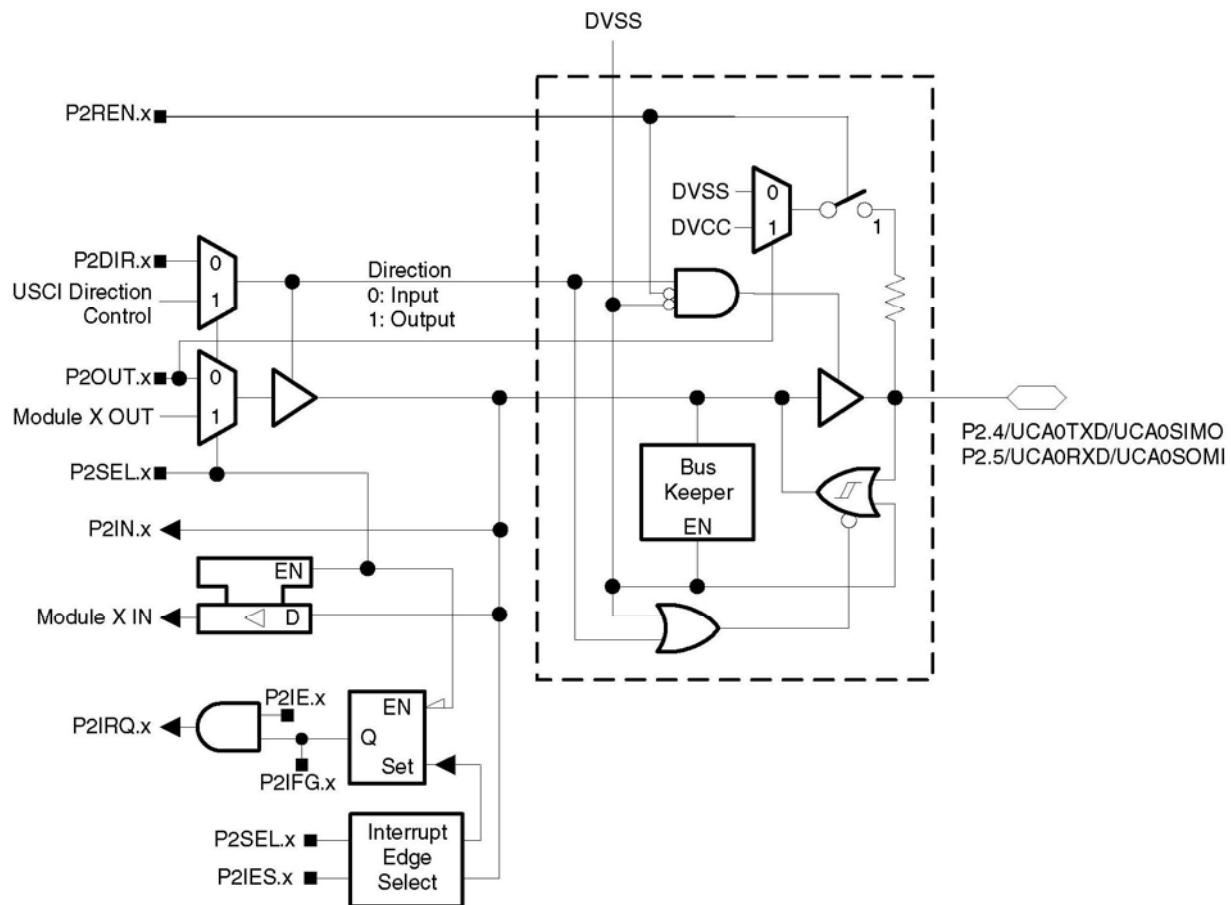
ポートP2(P2.1~P2.3)、シユミット・トリガ入力／出力



ポートP2(P2.1~P2.3)端子機能

端子名 (P2.X)	X	機能	制御ビット／信号	
			P2DIR.x	P2SEL.x
P2.1/TB0	1	P2.1 (I/O)	I:0, 0:1	0
		タイマ_B7.CCI0Aとタイマ_B7.CCI0B	0	1
		タイマ_B7.TB0 (注1)	1	1
P2.2/TB1	2	P2.2 (I/O)	I:0, 0:1	0
		タイマ_B7.CCI1Aとタイマ_B7.CCI1B	0	1
		タイマ_B7.TB1 (注1)	1	1
P2.3/TB2	3	P2.3 (I/O)	I:0, 0:1	0
		タイマ_B7.CCI2Aとタイマ_B7.CCI2B	0	1
		タイマ_B7.TB2 (注1)	1	1

(注1) TBOUTHを設定すると、すべてのタイマ_B出力はハイ・インピーダンスに設定されます。

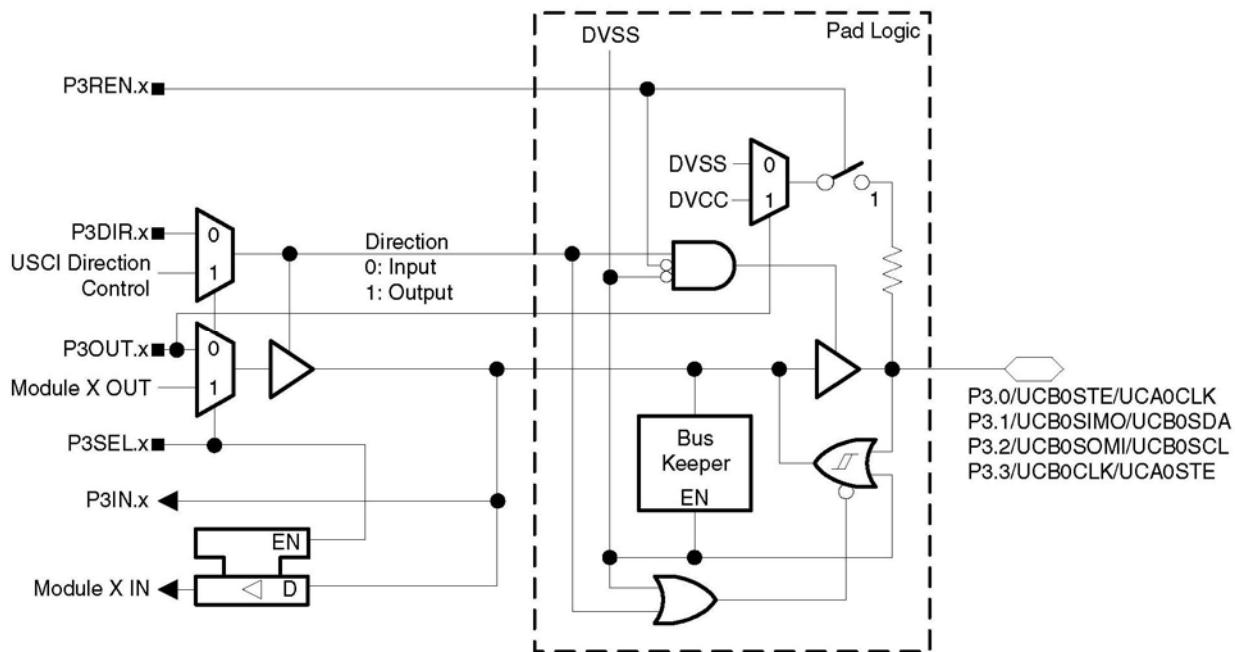
ポートP2(P2.4～P2.5)、シユミット・トリガ入力／出力

ポートP2(P2.4～P2.5)端子機能

端子名 (P2.X)	X	機能	制御ビット／信号	
			P2DIR.x	P2SEL.x
P2.4/ UCA0TXD/UCA0SIMO	4	P2.4 (I/O)	I:0, 0:1	0
		UCA0TXD/UCA0SIMO (注1, 2)	X	1
P2.5/ UCA0RXD/UCA0SOMI	5	P2.5 (I/O)	I:0, 0:1	0
		UCA0RXD/UCA0SOMI (注1, 2)	X	1

(注1) X : 関係ありません。

(注2) 端子の方向は、USCIモジュールで制御されます。

ポートP3(P3.0~P3.3)、シユミット・トリガ入力／出力



ポートP3(P3.0~P3.3)端子機能

端子名 (P3.X)	X	機能	制御ビット／信号	
			P3DIR.x	P3SEL.x
P3.0/ UCA0CLK/UCB0STE	0	P3.0 (I/O)	I:0, 0:1	0
		UCA0CLK/UCB0STE (注1, 2, 3)	X	1
P3.1/ UCB0SIMO/ UCB0SDA	1	P3.1 (I/O)	I:0, 0:1	0
		UCB0SIMO/UCB0SDA (注1, 2, 4)	X	1
P3.2/ UCB0SOMI/ UCB0SCL	2	P3.2 (I/O)	I:0, 0:1	0
		UCB0SOMI/UCB0SCL (注1, 2, 4)	X	1
P3.3/ UCB0CLK/UCA0STE	3	P3.3 (I/O)	I:0, 0:1	0
		UCB0CLK/UCA0STE (注1, 2, 5)	X	1

(注1) X : 関係ありません。

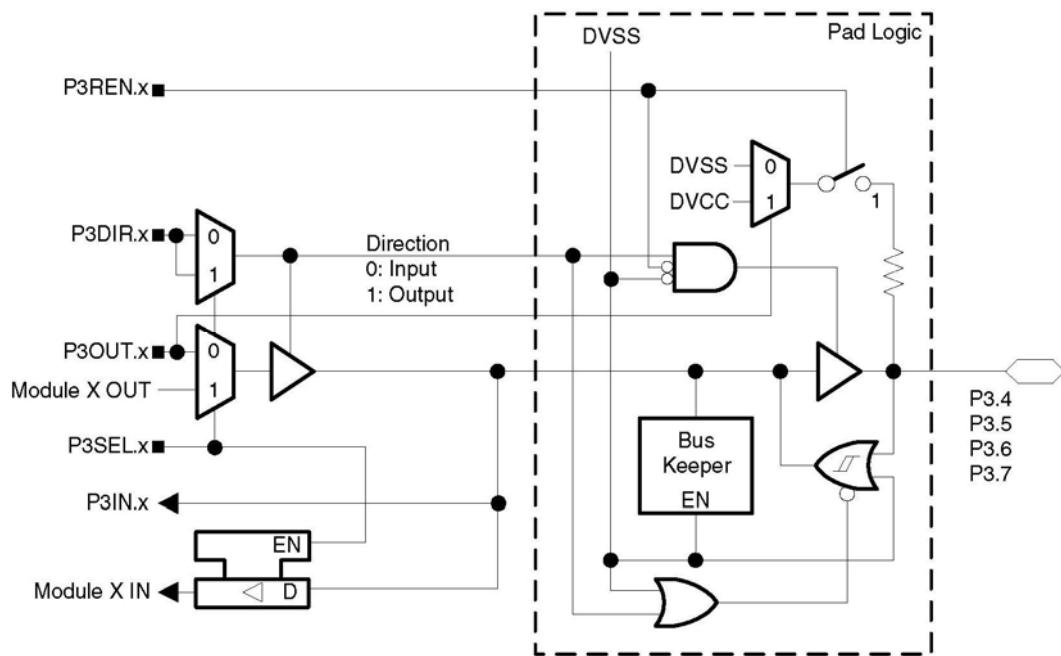
(注2) 端子の方向は、USCIモジュールで制御されます。

(注3) UCA0CLK機能は、UCB0STE機能より優先されます。この端子をUCA0CLK入力又は出力とする必要がある場合は、USCI_B0はたとえ4線SPIモードが選択されていたとしても、強制的に3線SPIモードにされます。

(注4) I2C機能が選択された場合は、出力は論理0をV_{ss}レベルに駆動するだけです。

(注5) UCB0CLK機能は、UCA0STE機能より優先されます。この端子をUCB0CLK入力又は出力とする必要がある場合は、USCI_A0はたとえ4線SPIモードが選択されていたとしても、強制的に3線SPIモードにされます。

ポートP3(P3.4~P3.7)、シユミット・トリガ入力／出力

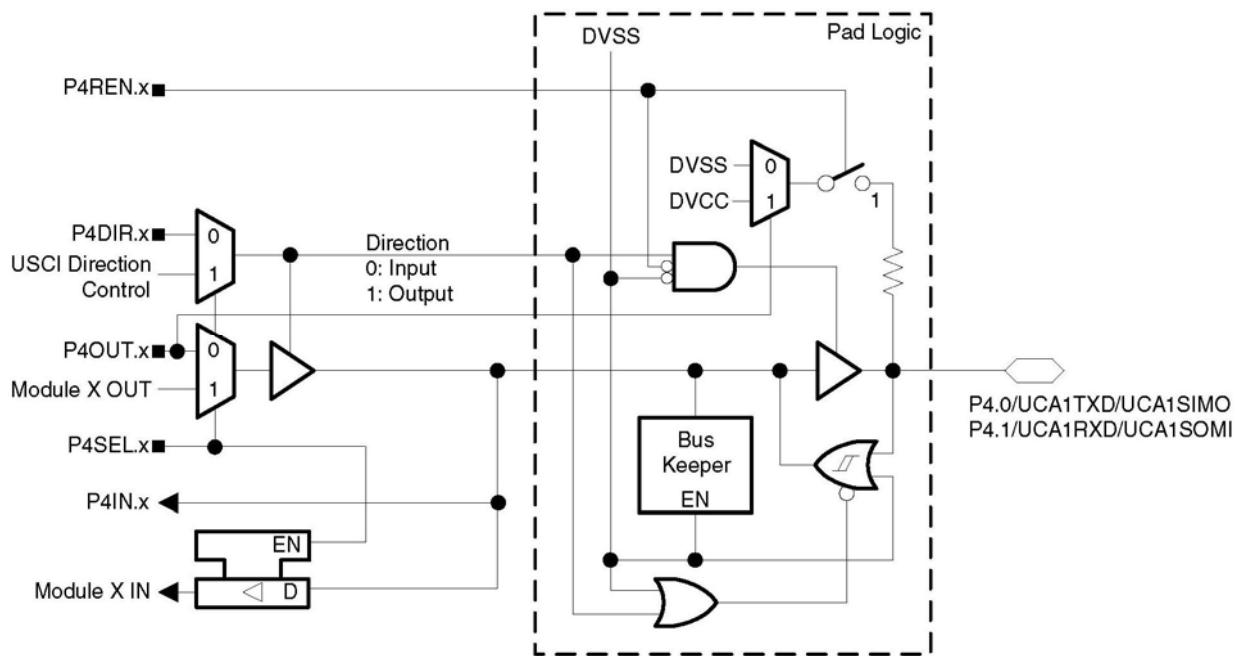


ポートP3(P3.4~P3.7)端子機能

端子名 (P3.X)	X	機能	制御ビット／信号	
			P3DIR.x	P3SEL.x
P3.4	4	P3.4 (I/O)	I:0, 0:1	0
		N/A (注1)	0	1
		DVSS	1	1
P3.5	5	P3.5 (I/O)	I:0, 0:1	0
		N/A (注1)	0	1
		DVSS	1	1
P3.6	6	P3.6 (I/O)	I:0, 0:1	0
		N/A (注1)	0	1
		DVSS	1	1
P3.7	7	P3.7 (I/O)	I:0, 0:1	0
		N/A (注1)	0	1
		DVSS	1	1

(注1) N/A: 使用不可又は未使用

ポートP4(P4.0～P4.1)、シユミット・トリガ入力／出力

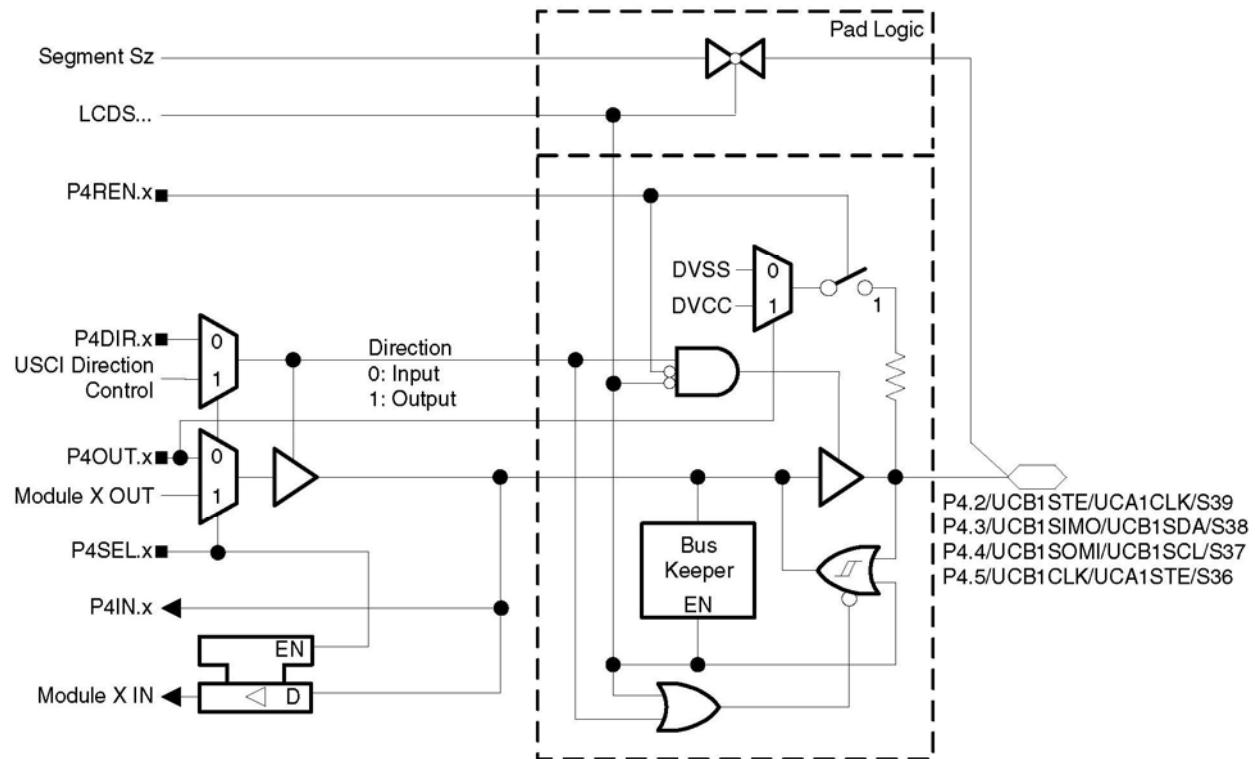


ポートP4(P4.0～P4.1)端子機能

端子名 (P4.X)	X	機能	制御ビット／信号	
			P4DIR.x	P4SEL.x
P4.0/ UCA1TXD/UCA1SIMO	0	P4.0 (I/O)	I:0, 0:1	0
		UCA1TXD/UCA1SIMO (注1, 2)	X	1
P4.1/ UCA1RXD/UCA1SOMI	1	P4.1 (I/O)	I:0, 0:1	0
		UCA1RXD/UCA1SOMI (注1, 2)	X	1

(注1) X : 関係ありません。

(注2) 端子の方向は、USCIモジュールで制御されます。

ポートP4(P4.2~P4.5)、シミュット・トリガ入力／出力

ポートP4(P4.2~P4.5)端子機能

端子名 (P4.X)	X	機能	制御ビット／信号		
			P4DIR.x	P4SEL.x	LCDS36
P4.2/ UCA1CLK/UCB1STE/ S39	2	P4.2 (I/O)	I:0, 0:1	0	0
		UCA1CLK/UCB1STE (注1, 2, 3)	X	1	0
		S39 (注1)	X	X	1
P4.3/ UCB1SIMO/UCB1SDA/ S38	3	P4.3 (I/O)	I:0, 0:1	0	0
		UCB1SIMO/UCB1SDA (注1, 2, 4)	X	1	0
		S38 (注1)	X	X	1
P4.4/ UCB1SOMI/UCB1SCL/ S37	4	P4.4 (I/O)	I:0, 0:1	0	0
		UCB1SOMI/UCB1SCL (注1, 2, 4)	X	1	0
		S37 (注1)	X	X	1
P4.5/ UCB1CLK/UCA1STE/ S36	5	P4.5 (I/O)	I:0, 0:1	0	0
		UCB1CLK/UCA1STE (注1, 2, 5)	X	1	0
		S36 (注1)	X	X	1

(注1) X : 関係ありません。

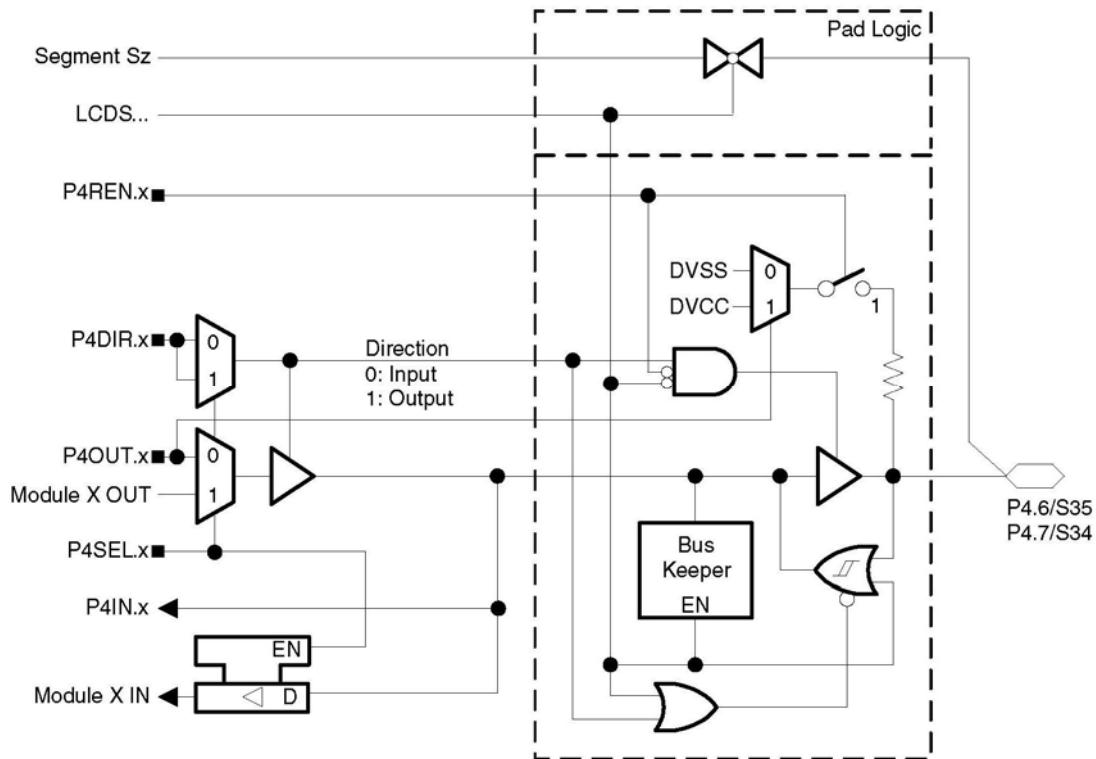
(注2) 端子の方向は、USCIモジュールで制御されます。

(注3) UCA1CLK機能は、UCB1STE機能より優先されます。この端子をUCA1CLK入力又は出力とする必要がある場合は、USCI_B1はたとえ4線SPIモードが選択されていたとしても、強制的に3線SPIモードにされます。

(注4) I2C機能が選択された場合は、出力は論理0をV_{ss}レベルに駆動するだけです。

(注5) UCB1CLK機能は、UCA1STE機能より優先されます。この端子をUCB1CLK入力又は出力とする必要がある場合は、USCI_A1はたとえ4線SPIモードが選択されていたとしても、強制的に3線SPIモードにされます。

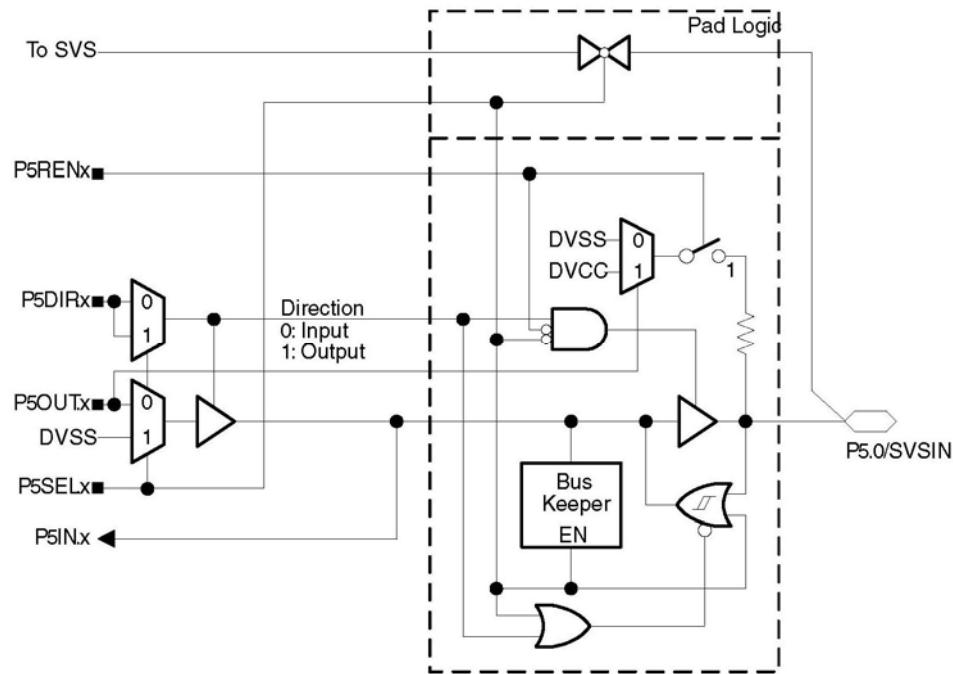
ポートP4(P4.6~P4.7)、シユミット・トリガ入力／出力



ポートP4(P4.6~P4.7)端子機能

端子名 (P4.X)	X	機能	制御ビット／信号		
			P4DIR.x	P4SEL.x	LCDS32
P4.6/S35	6	P4.6 (I/O)	I:0, 0:1	0	0
		S35 (注1)	X	X	1
P4.7/S34	7	P4.7 (I/O)	I:0, 0:1	0	0
		S34 (注1)	X	X	1

(注1) X: 関係ありません。

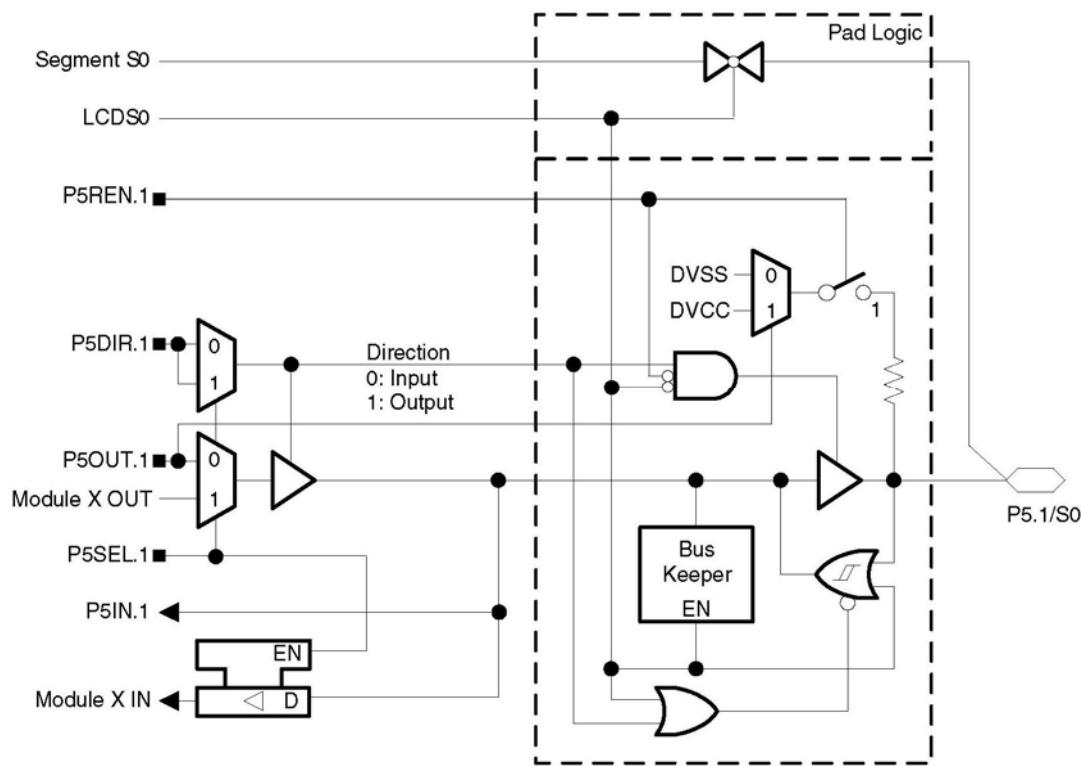
ポートP5(P5.0)、シユミット・トリガ入力／出力

ポートP5(P5.0)端子機能

端子名 (P5.x)	X	機能	制御ビット／信号	
			P5DIR.x	P5SEL.x
P5.0/SVSIN	0	P5.0 (1/0)	I:0, 0:1	0
		SVSIN (注1, 2)	X	1

(注1) X : 関係ありません。

(注2) P5SEL.xビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シユミット・トリガと同様に出力ドライバはディスエーブルとなります。

ポートP5(P5.1)、シミュット・トリガ入力／出力



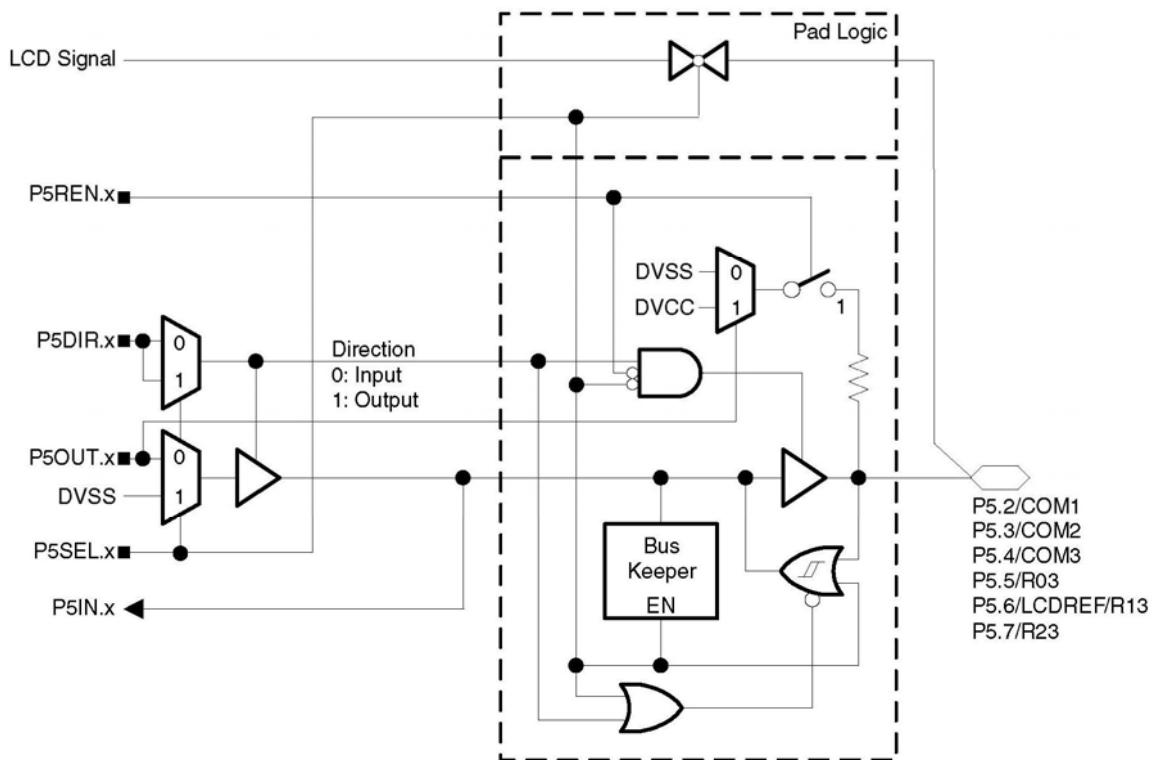
ポートP5(P5.1)端子機能

端子名 (P5.X)	X	機能	制御ビット／信号		
			P5DIR.x	P5SEL.x	LCDS0
P5.1/S0	1	P5.1 (I/O)	I:0, 0:1	0	0
		N/A (注2)	0	1	0
		DVSS	1	1	0
		S0 (注1)	X	X	1

(注1) X : 関係ありません。

(注2) N/A : 使用不可又は未使用

ポートP5(P5.2~P5.7)、シユミット・トリガ入力／出力



ポートP5(P5.2~P5.7)端子機能

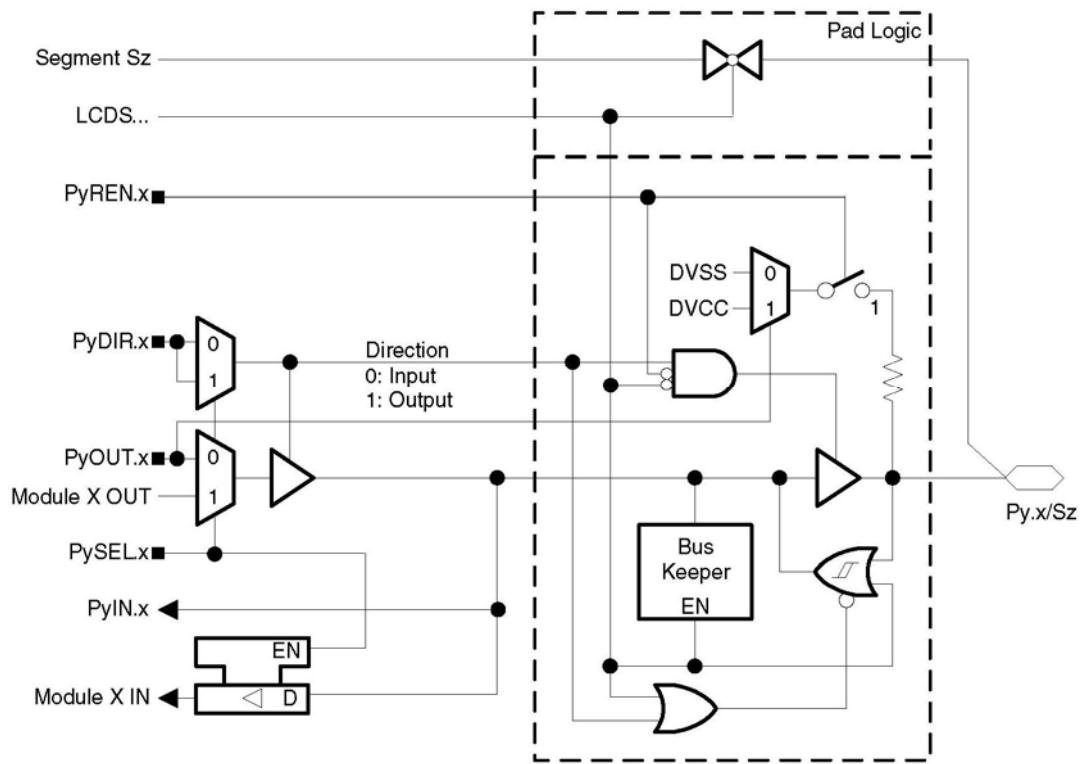
端子名 (P5.X)	X	機能	制御ビット／信号	
			P5DIR.x	P5SEL.x
P5.2/COM1	2	P5.2 (I/O)	I:0, 0:1	0
		COM1 (注1, 2)	X	1
P5.3/COM2	3	P5.3 (I/O)	I:0, 0:1	0
		COM2 (注1, 2)	X	1
P5.4/COM3	4	P5.4 (I/O)	I:0, 0:1	0
		COM3 (注1, 2)	X	1
P5.5/R03	5	P5.5 (I/O)	I:0, 0:1	0
		R03 (注1, 2)	X	1
P5.6/LCDREF/R13	6	P5.6 (I/O)	I:0, 0:1	0
		R13又はLCDREF (注1, 2, 3)	X	1
P5.7/R23	7	P5.7 (I/O)	I:0, 0:1	0
		R23 (注1, 2)	X	1

(注1) X : 関係ありません。

(注2) P5SEL.xビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シユミット・トリガと同様に出力ドライバはディスエーブルとなります。

(注3) VLCDREFx = 01の時、LCD_Aチャージ・ポンプの外部基準電圧が印加されます。それ以外はR13が選択されます。

ポートP7～P10、シミュット・トリガ入力／出力



ポートP7(P7.0~P7.1)端子機能

端子名 (P7.X)	X	機能	制御ビット／信号		
			P7DIR.x	P7SEL.x	LCDS32
P7.0/S33	0	P7.0 (I/O)	I:0, 0:1	0	0
		S33 (注1)	X	X	1
P7.1/S32	1	P7.1 (I/O)	I:0, 0:1	0	0
		S32 (注1)	X	X	1

(注1) X : 関係ありません。

ポートP7(P7.4~P7.5)端子機能

端子名 (P7.X)	X	機能	制御ビット／信号		
			P7DIR.x	P7SEL.x	LCDS28
P7.2/S31	2	P7.2 (I/O)	I:0, 0:1	0	0
		S31 (注1)	X	X	1
P7.3/S30	3	P7.3 (I/O)	I:0, 0:1	0	0
		S30 (注1)	X	X	1
P7.4/S29	4	P7.4 (I/O)	I:0, 0:1	0	0
		S29 (注1)	X	X	1
P7.5/S28	5	P7.5 (I/O)	I:0, 0:1	0	0
		S28 (注1)	X	X	1

(注1) X : 関係ありません。

ポートP7(P7.6~P7.7)端子機能

端子名 (P7.X)	X	機能	制御ビット／信号		
			P7DIR.x	P7SEL.x	LCDS24
P7.6/S27	6	P7.6 (I/O)	I:0, 0:1	0	0
		S27 (注1)	X	X	1
P7.7/S26	7	P7.7 (I/O)	I:0, 0:1	0	0
		S26 (注1)	X	X	1

(注1) X : 関係ありません。

ポートP8(P8.0～P8.1)端子機能

端子名 (P8.X)	X	機能	制御ビット／信号		
			P8DIR.x	P8SEL.x	LCDS24
P8.0/S25	0	P8.0 (I/O)	I:0, 0:1	0	0
		S25 (注1)	X	X	1
P8.1/S24	1	P8.1 (I/O)	I:0, 0:1	0	0
		S24 (注1)	X	X	1

(注1) X : 関係ありません。

ポートP8(P8.2～P8.5)端子機能

端子名 (P8.X)	X	機能	制御ビット／信号		
			P8DIR.x	P8SEL.x	LCDS20
P8.2/S23	2	P8.2 (I/O)	I:0, 0:1	0	0
		S23 (注1)	X	X	1
P8.3/S22	3	P8.3 (I/O)	I:0, 0:1	0	0
		S22 (注1)	X	X	1
P8.4/S21	4	P8.4 (I/O)	I:0, 0:1	0	0
		S21 (注1)	X	X	1
P8.5/S20	5	P8.5 (I/O)	I:0, 0:1	0	0
		S20 (注1)	X	X	1

(注1) X : 関係ありません。

ポートP8(P8.6～P8.7)端子機能

端子名 (P8.X)	X	機能	制御ビット／信号		
			P8DIR.x	P8SEL.x	LCDS16
P8.6/S19	6	P8.6 (I/O)	I:0, 0:1	0	0
		S19 (注1)	X	X	1
P8.7/S18	7	P8.7 (I/O)	I:0, 0:1	0	0
		S18 (注1)	X	X	1

(注1) X : 関係ありません。

ポートP9 (P9.0~P9.1) 端子機能

端子名 (P9.X)	X	機能	制御ビット/信号		
			P9DIR.x	P9SEL.x	LCDS16
P9.0/S17	0	P9.0 (I/O)	I:0, 0:1	0	0
		S17 (注1)	X	X	1
P9.1/S16	1	P9.1 (I/O)	I:0, 0:1	0	0
		S16 (注1)	X	X	1

(注1) X: 関係ありません。

ポートP9 (P9.2~P9.5) 端子機能

端子名 (P9.X)	X	機能	制御ビット/信号		
			P9DIR.x	P9SEL.x	LCDS12
P9.2/S15	2	P9.2 (I/O)	I:0, 0:1	0	0
		S15 (注1)	X	X	1
P9.3/S14	3	P9.3 (I/O)	I:0, 0:1	0	0
		S14 (注1)	X	X	1
P9.4/S13	4	P9.4 (I/O)	I:0, 0:1	0	0
		S13 (注1)	X	X	1
P9.5/S12	5	P9.5 (I/O)	I:0, 0:1	0	0
		S12 (注1)	X	X	1

(注1) X: 関係ありません。

ポートP9 (P9.6~P9.7) 端子機能

端子名 (P9.X)	X	機能	制御ビット/信号		
			P9DIR.x	P9SEL.x	LCDS8
P9.6/S11	6	P9.6 (I/O)	I:0, 0:1	0	0
		S11 (注1)	X	X	1
P9.7/S10	7	P9.7 (I/O)	I:0, 0:1	0	0
		S10 (注1)	X	X	1

(注1) X: 関係ありません。

ポートP10(P10.0～P10.1)端子機能

端子名 (P10.X)	X	機 能	制御ビット／信号		
			P10DIR. x	P10SEL. x	LCDS8
P10.0/S9	0	P10.0 (I/O)	I:0, 0:1	0	0
		S9 (注1)	X	X	1
P10.1/S8	1	P10.1 (I/O)	I:0, 0:1	0	0
		S8 (注1)	X	X	1

(注1) X : 関係ありません。

ポートP10(P10.2～P10.5)端子機能

端子名 (P10.X)	X	機 能	制御ビット／信号		
			P10DIR. x	P10SEL. x	LCDS4
P10.2/S7	2	P10.2 (I/O)	I:0, 0:1	0	0
		S7 (注1)	X	X	1
P10.3/S6	3	P10.3 (I/O)	I:0, 0:1	0	0
		S6 (注1)	X	X	1
P10.4/S5	4	P10.4 (I/O)	I:0, 0:1	0	0
		S5 (注1)	X	X	1
P10.5/S4	5	P10.5 (I/O)	I:0, 0:1	0	0
		S4 (注1)	X	X	1

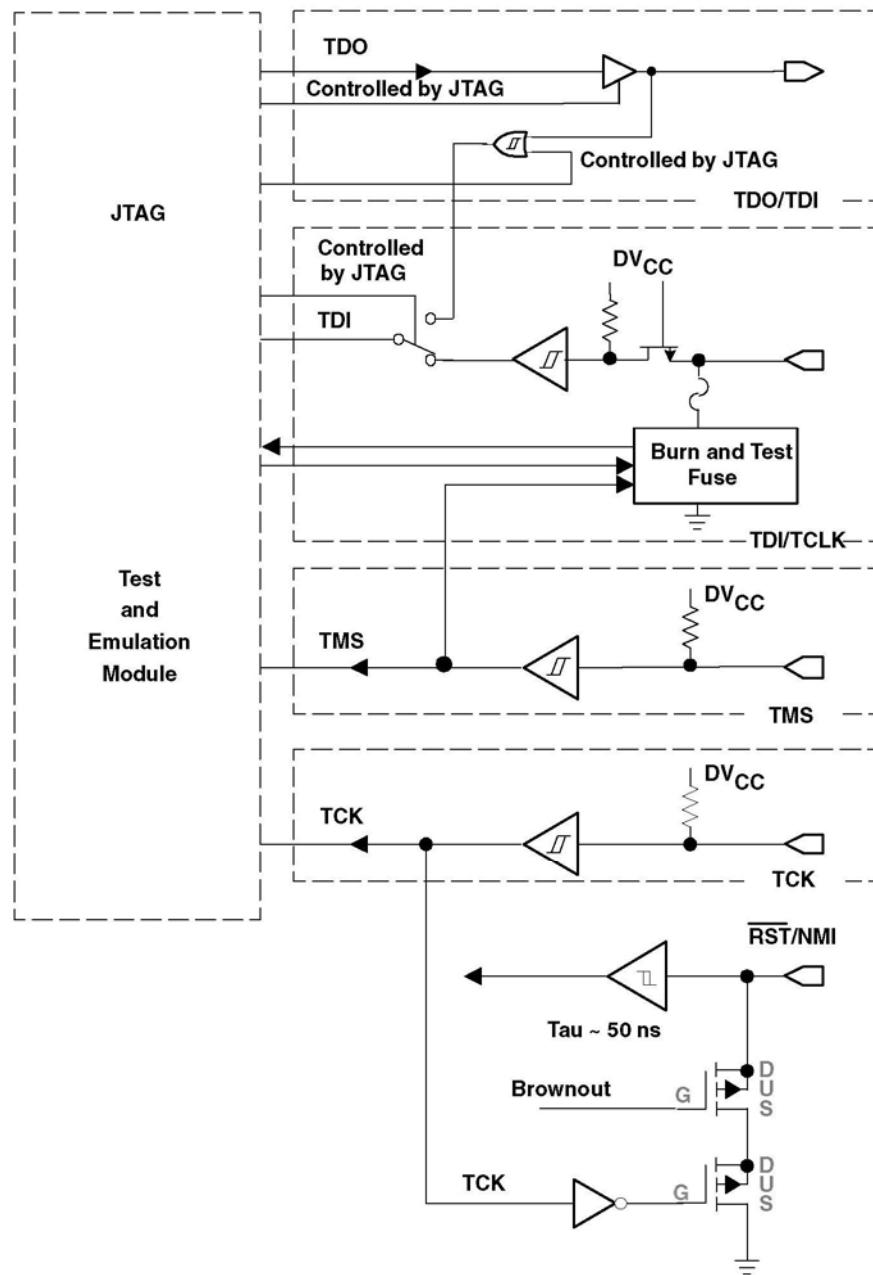
(注1) X : 関係ありません。

ポートP10(P10.6～P10.7)端子機能

端子名 (P10.X)	X	機 能	制御ビット／信号		
			P10DIR. x	P10SEL. x	LCDS0
P10.6/S3	6	P10.6 (I/O)	I:0, 0:1	0	0
		S3 (注1)	X	X	1
P10.7/S2	7	P10.7 (I/O)	I:0, 0:1	0	0
		S2 (注1)	X	X	1

(注1) X : 関係ありません。

JTAG端子(TMS, TCK, TDI/TCLK, TDO/TDI)、シユミット・トリガ入力／出力又は出力



JTAG ヒューズ・チェック・モード

MSP430デバイスは、TDI/TCLK端子上にヒューズを持っており、パワー・オン・リセット(POR)直後の一回目にJTAGにアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 Vで1 mAの $I_{(TF)}$ ヒューズ・チェック電流がTDI/TCLK端子からグランドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

パワーアップ後のTMS端子の最初の下降エッジを伴って、又はTMS端子がローに保持された状態でのパワーアップ後、ヒューズ・チェック・モード機能が起動します。次のTMS端子の上昇エッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次のPORが発生するまで休止します。各POR後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS端子がロー状態(図27参照)の時のみに発生します。従って、TMS端子をハイ(初期設定条件)にすることにより、電流の流出を防止することができます。JTAG端子は内部で終端されていますので、外部での終端は必要ありません。

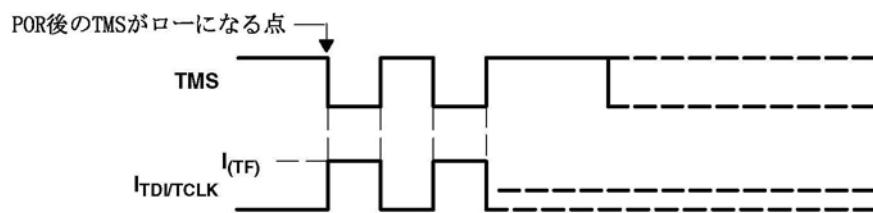


図27. ヒューズ・チェック・モード電流

データ・シート・リビジョン履歴

資料番号	概 要
SLAS545	暫定データ・シート・リリース
SLAS545A	量産データ・シート・リリース
SLAS545B	2ページに開発ツール・サポートのセクションを追加。 36ページのXT1周波数範囲を、電源電圧範囲に従って分割。 36ページのLFXT1、低周波数モード特性にパラメータ $f_{LFXT1, LF, logic}$ を追加。

注：ページ及び図番号は、それぞれの文書リビジョンでの番号を示し、他のリビジョンにおいては異なることがあります。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
MSP430F4783IPZ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F4783IPZR	ACTIVE	LQFP	PZ	100	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F4784IPZ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F4784IPZR	ACTIVE	LQFP	PZ	100	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F4793IPZ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F4793IPZR	ACTIVE	LQFP	PZ	100	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F4794IPZ	ACTIVE	LQFP	PZ	100	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
MSP430F4794IPZR	ACTIVE	LQFP	PZ	100	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

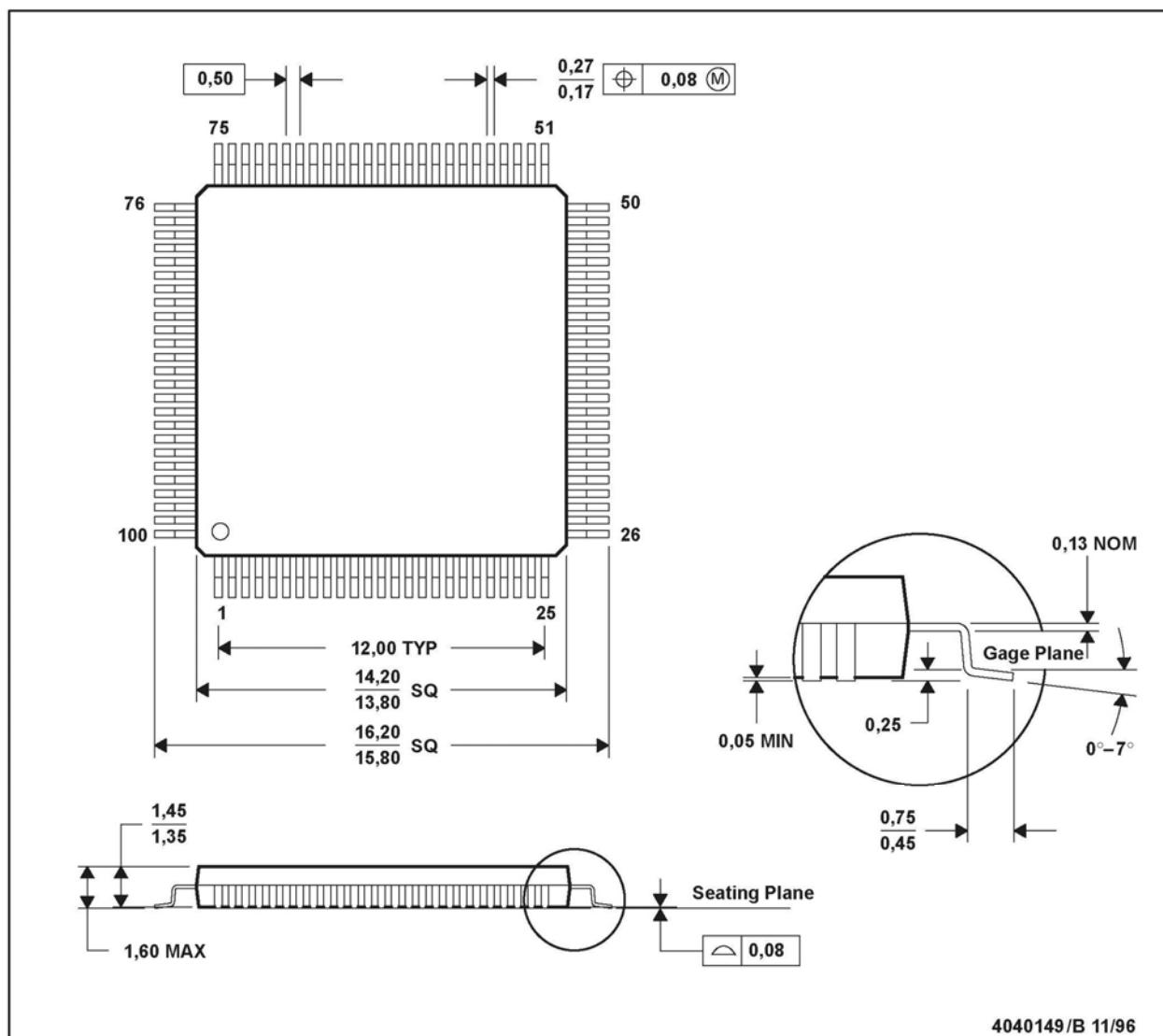
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

機械的データ

PZ (S-PQFP-G100)

PLASTIC QUAD FLATPACK

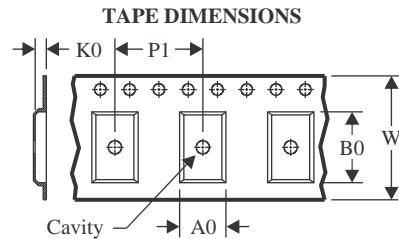
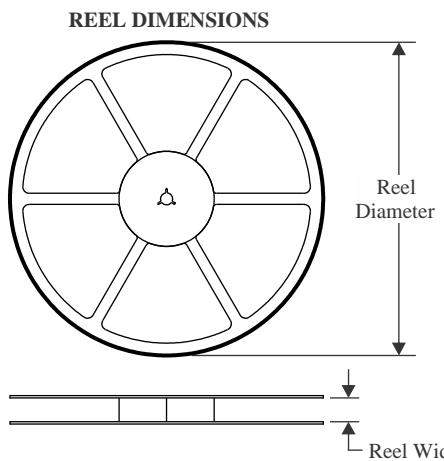


(注A) すべての寸法の単位はmmです。

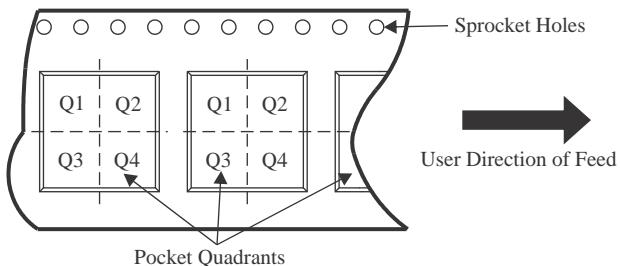
(注B) この図面は予告なく変更されることがあります。

(注C) JEDEC MS-026に準拠します。

(S) AS545B - MAY 2007 - REVISED SEPTEMBER 2008)

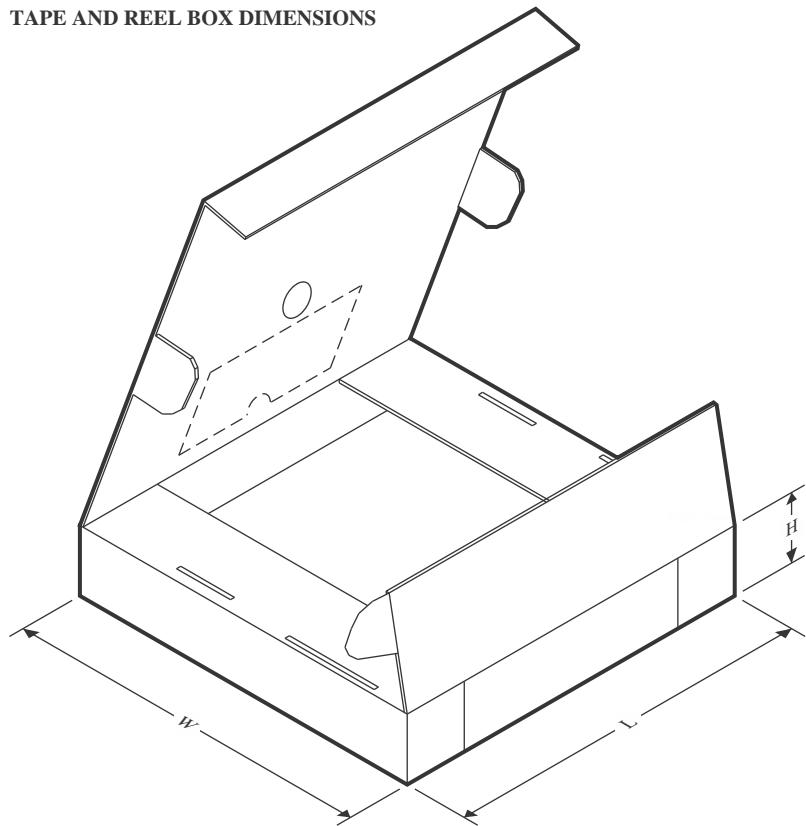
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

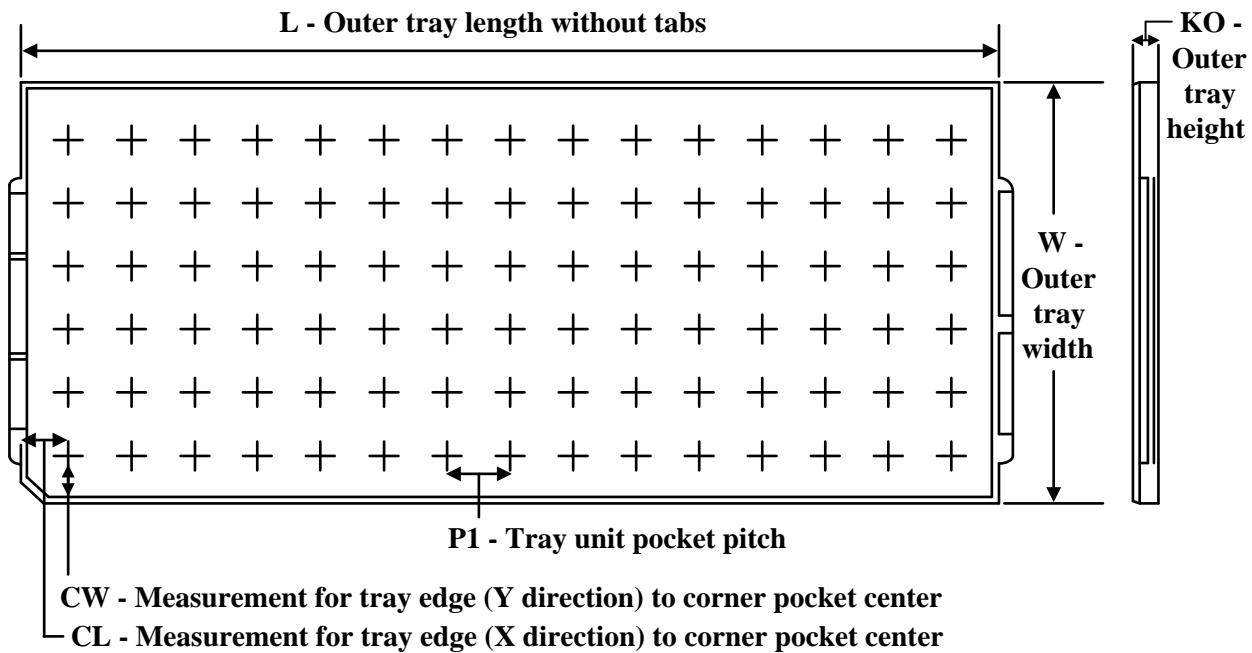
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430F4783IPZR	LQFP	PZ	100	1000	330.0	24.4	17.0	17.0	2.1	20.0	24.0	Q2
MSP430F4783IPZRG4	LQFP	PZ	100	1000	330.0	24.4	17.0	17.0	2.1	20.0	24.0	Q2
MSP430F4784IPZR	LQFP	PZ	100	1000	330.0	24.4	17.0	17.0	2.1	20.0	24.0	Q2
MSP430F4793IPZR	LQFP	PZ	100	1000	330.0	24.4	17.0	17.0	2.1	20.0	24.0	Q2
MSP430F4794IPZR	LQFP	PZ	100	1000	330.0	24.4	17.0	17.0	2.1	20.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430F4783IPZR	LQFP	PZ	100	1000	350.0	350.0	43.0
MSP430F4783IPZRG4	LQFP	PZ	100	1000	350.0	350.0	43.0
MSP430F4784IPZR	LQFP	PZ	100	1000	350.0	350.0	43.0
MSP430F4793IPZR	LQFP	PZ	100	1000	350.0	350.0	43.0
MSP430F4794IPZR	LQFP	PZ	100	1000	350.0	350.0	43.0

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
MSP430F4783IPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
MSP430F4783IPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
MSP430F4784IPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
MSP430F4784IPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
MSP430F4793IPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
MSP430F4793IPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
MSP430F4794IPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45
MSP430F4794IPZ.A	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.45

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月