

OPAx396 高精度、低 I_Q 、低入力バイアス電流オペアンプ

1 特長

- 低 I_Q : 23.5 μ A
- ゲイン帯域幅積: 1MHz
- 低い入力バイアス電流: 10fA (標準値)
- 低いオフセット電圧: $\pm 100\mu$ V (最大値)
- 低いドリフト: $\pm 1.2\mu$ V/ $^{\circ}$ C
- 低い電源電圧範囲: 1.7V ~ 5.5V
- レールを ± 100 mV 超えた入力同相
- 高スルーレート: 1V/ μ s
- 高負荷容量の駆動
- 大出力電流の駆動: 60mA
- レール ツー レール 出力
- EMI および RFI フィルタ付き入力

2 アプリケーション

- ポータブル・エレクトロニクス
- 流量トランスミッタ
- 血糖値測定器
- プロセス分析 (pH、ガス、力、湿度)
- 温度トランスミッタ
- 圧力トランスミッタ
- 医療用センサ・パッチ
- ビル・オートメーション
- ウェアラブル・フィットネスおよびアクティビティ・モニタ
- ガス検出器
- アナログ・セキュリティ・カメラ

3 説明

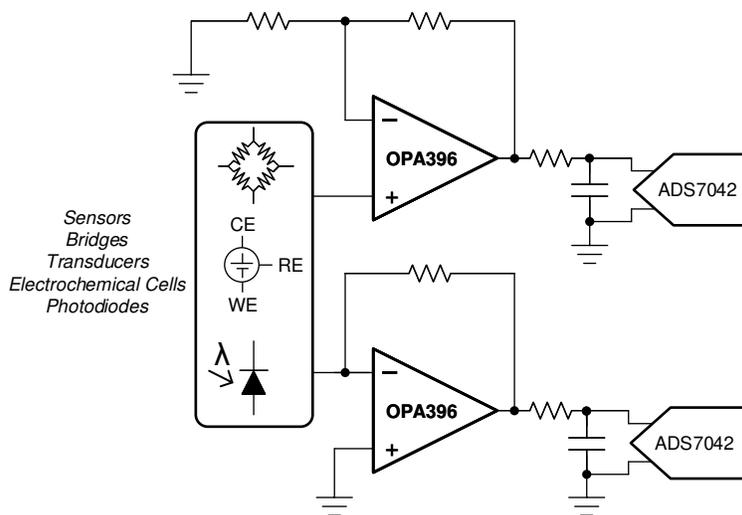
OPA396、OPA2396、OPA4396 (OPAx396) は、高帯域 (1MHz) と非常に低い静止電流 (23.5 μ A) を兼ね備えた高精度アンプです。こうした機能とレール ツー レール入出力を組み合わせることで、これらのデバイスは高ゲイン、低消費電力のアプリケーションにおいて非常に優れた選択肢となります。10fA という非常に低い入力バイアス電流、100 μ V のオフセット (最大値)、および 1.2 μ V/ $^{\circ}$ C の温度ドリフトにより、低消費電力要件が厳しいレシオメトリック およびアンペロメトリック センサ フロント エンドで高い精度を維持できます。

OPAx396 は、テキサス・インスツルメンツ独自の e-trim™ オペアンプ技術を採用しており、入力スイッチングやオートゼロ技術を必要とせず、超低オフセットと低入力オフセット ドリフトという独自の組み合わせを実現できます。CMOS ベースのテクノロジー プラットフォームは、最新の堅牢な出力段設計も採用しています。この設計は、高い出力容量に耐えることができ、一般的な低消費電力アンプで共通にみられる安定性の問題を緩和します。

パッケージ情報

部品番号	チャンネル数	パッケージ (1)	パッケージサイズ (2)
OPA396	シングル	DCK (SC70, 5)	2.00mm x 2.1mm
OPA2396	デュアル	DGK (VSSOP, 8)	3.0mm x 4.9mm
OPA4396	クワッド	PW (TSSOP, 14)	5.0mm x 6.4mm

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にあるパッケージ オプションについての付録を参照してください。
- (2) パッケージ サイズ (長さ x 幅) は公称値であり、該当する場合はピンも含まれます。



高入力インピーダンス、低オフセット バッファ



目次

1 特長	1	6.4 デバイスの機能モード.....	19
2 アプリケーション	1	7 アプリケーションと実装	20
3 説明	1	7.1 使用上の注意.....	20
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	20
5 仕様	5	7.3 電源に関する推奨事項.....	24
5.1 絶対最大定格.....	5	7.4 レイアウト.....	24
5.2 ESD 定格.....	5	8 デバイスおよびドキュメントのサポート	25
5.3 推奨動作条件.....	5	8.1 デバイスのサポート.....	25
5.4 熱に関する情報: OPA396.....	6	8.2 ドキュメントのサポート.....	25
5.5 熱に関する情報: OPA2396.....	6	8.3 ドキュメントの更新通知を受け取る方法.....	25
5.6 熱に関する情報: OPA4396.....	6	8.4 サポート・リソース.....	25
5.7 電気的特性.....	7	8.5 商標.....	25
5.8 代表的特性.....	9	8.6 静電気放電に関する注意事項.....	26
6 詳細説明	17	8.7 用語集.....	26
6.1 概要.....	17	9 改訂履歴	26
6.2 機能ブロック図.....	17	10 メカニカル、パッケージ、および注文情報	26
6.3 機能説明.....	18		

4 ピン構成および機能

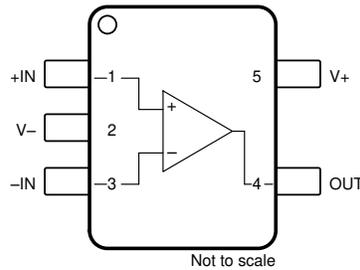


図 4-1. OPA396 : DCK (5 ピン SC70) パッケージ、上面図

表 4-1. ピンの機能 : OPA396

ピン		タイプ ⁽¹⁾	説明
名称	番号		
-IN	3	I	反転入力
+IN	1	I	非反転入力
OUT	4	O	出力
V-	2	—	負 (最低) 電源
V+	5	—	正 (最高) 電源

(1) I = 入力、O = 出力

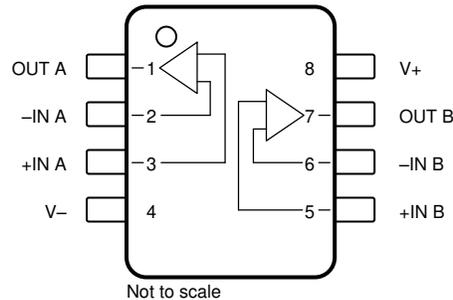


図 4-2. OPA2396 DGK パッケージ
8 ピン VSSOP
上面図

表 4-2. ピンの機能 : OPA2396

ピン		タイプ ⁽¹⁾	説明
名称	番号		
-IN A	B1	I	反転入力、チャンネル A
-IN B	B3	I	反転入力、チャンネル B
+IN A	C1	I	非反転入力、チャンネル A
+IN B	C3	I	非反転入力、チャンネル B
EN	B2	I	イネーブルピン。High = 両方のアンプがイネーブル。
OUT A	A1	O	出力、チャンネル A
OUT B	A3	O	出力、チャンネル B
V-	C2	—	負 (最低) 電源
V+	A2	—	正 (最高) 電源

(1) I = 入力、O = 出力

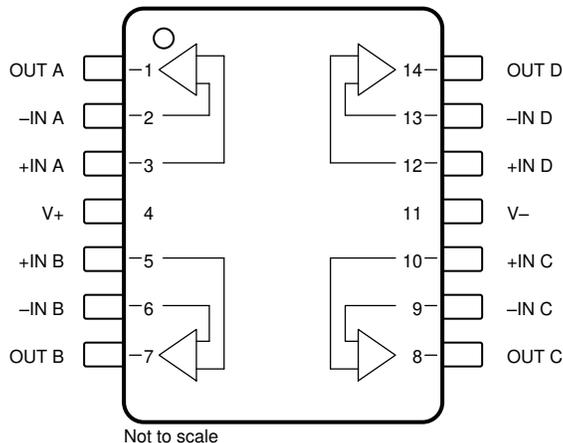


図 4-3. OPA4396 PW パッケージ
14 ピン TSSOP
上面図

表 4-3. ピンの機能 : OPA4396

名称	ピン		タイプ ⁽¹⁾	説明
	番号	PW (TSSOP)		
-IN A	2		I	反転入力、チャンネル A
-IN B	6		I	反転入力、チャンネル B
-IN C	9		I	反転入力、チャンネル C
-IN D	13		I	反転入力、チャンネル D
+IN A	3		I	非反転入力、チャンネル A
+IN B	5		I	非反転入力、チャンネル B
+IN C	10		I	非反転入力、チャンネル C
+IN D	12		I	非反転入力、チャンネル D
EN AB	—		I	A および B アンプのイネーブルピン。High = アンプ A および B がイネーブル。
EN CD	—		I	C および D アンプのイネーブルピン。High = アンプ C および D がイネーブル。
OUT A	1		O	出力、チャンネル A
OUT B	7		O	出力、チャンネル B
OUT C	8		O	出力、チャンネル C
OUT D	14		O	出力、チャンネル D
サーマルパッド	—		—	サーマルパッドを V- に接続
V-	11		—	負 (最低) 電源
V+	4		—	正 (最高) 電源

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	単電源		6	V
		両電源		±3	
	入力電圧、すべてのピン	同相	(V-) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.5	
	入力電流、すべてのピン			±10	mA
	出力短絡 ⁽²⁾		連続	連続	
T _A	動作温度		-55	150	°C
T _{stg}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	単電源	1.7		5.5	V
		両電源	±0.85		±2.75	
	入力電圧	差動	-0.5		+0.5	
T _A	規定温度		-40		125	°C

5.4 熱に関する情報 : OPA396

熱評価基準 ⁽¹⁾		OPA396	単位
		DCK (SC70)	
		5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	214	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	115	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	29	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	58	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

5.5 熱に関する情報 : OPA2396

熱評価基準 ⁽¹⁾		OPA2396	単位
		DGK (VSSOP)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	152.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	61.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	86.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	85.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

5.6 熱に関する情報 : OPA4396

熱評価基準 ⁽¹⁾		OPA4396	単位
		PW (TSSOP)	
		14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	109.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	27.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	54.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

5.7 電気的特性

$V_S = 1.7V \sim 5.5V$ 、 $T_A = 25^\circ C$ 、 $V_{CM} = V_S/2$ の場合 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
オフセット電圧						
V_{OS}	入力オフセット電圧	$V_S = 5.0V$		± 10	± 100	μV
		$V_{CM} = (V+) - 0.3V$ 、 $V_S = 5.0V$		± 60	± 750	
		$V_{CM} = (V-) - 0.1V$	$T_A = -40^\circ C \sim +125^\circ C^{(1)}$	± 15	± 100	
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = 0^\circ C \sim 85^\circ C^{(1)}$		± 1	± 5	$\mu V/^\circ C$
		$T_A = -40^\circ C \sim +125^\circ C^{(1)}$		± 1.2	± 6	
PSRR	電源除去比	$V_{CM} = (V-) - 0.1V$			40	$\mu V/V$
入力バイアス電流						
I_B	入力バイアス電流	$T_A = 25^\circ C^{(1)}$		± 0.01	10	pA
		$T_A = -40^\circ C \sim +125^\circ C^{(1)}$		± 3.78		
I_{OS}	入力オフセット電流	$T_A = 25^\circ C^{(1)}$		± 0.01	10	pA
		$T_A = -40^\circ C \sim +125^\circ C^{(1)}$		± 1.00		
ノイズ						
	入力電圧ノイズ	$f = 0.1Hz \sim 10Hz$ 、 $V_{CM} = (V-)$		0.91		μV_{RMS}
				6.0		μV_{PP}
e_n	入力電圧ノイズ密度	$f = 10Hz$		130		nV/\sqrt{Hz}
		$f = 1kHz$		60		
		$f = 10kHz$		55		
i_n	入力電流ノイズ密度	$f = 1kHz$		30		fA/\sqrt{Hz}
入力電圧						
V_{CM}	同相電圧	$T_A = -40^\circ C \sim +125^\circ C^{(1)}$		(V-) - 0.1V	(V+) + 0.1V	V
CMRR	同相除去比	$(V-) - 0.1V \leq V_{CM} \leq (V+) - 1.5V$		89	100	dB
		$(V-) - 0.1V \leq V_{CM} \leq (V+) - 1.5V$ 、 $V_S = 5.5V$	$T_A = -40^\circ C \sim +125^\circ C^{(1)}$	100	121	
		$(V+) - 0.6V \leq V_{CM} \leq (V+) + 0.1V$		90	100	
					69	
入力インピーダンス						
Z_{id}	差動入力インピーダンス			$0.1 \parallel 1$		$G\Omega \parallel pF$
Z_{ic}	同相モード入力インピーダンス			$1 \parallel 1$		$T\Omega \parallel pF$

5.7 電気的特性 (続き)

 $V_S = 1.7V \sim 5.5V$ 、 $T_A = 25^\circ C$ 、 $V_{CM} = V_S/2$ の場合 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループゲイン							
A _{OL}	開ループ電圧ゲイン	V _S = 5.5 V	(V ⁻) + 0.1V < V _O < (V ⁺) - 0.1V、 V _{CM} = (V ⁻) - 100mV、 R _L = 10kΩ	100	121		dB
			(V ⁻) + 0.45V < V _O < (V ⁺) - 0.45V、 V _{CM} = (V ⁻) - 100mV、 R _L = 2kΩ	100	121		
		V _S = 1.7 V	(V ⁻) + 0.1V < V _O < (V ⁺) - 0.1V、 V _{CM} = (V ⁺) - 1.5V、 R _L = 10kΩ	90	113		
			(V ⁻) + 0.45V < V _O < (V ⁺) - 0.45V、 V _{CM} = (V ⁺) - 1.5V、 R _L = 2kΩ	90	107		
周波数応答							
UGB	ユニティゲイン帯域幅	G = 1	I _{OUT} = 0μA、R _L = 10kΩ		450		kHz
			I _{OUT} = 0μA、R _L = 50kΩ		0.85		MHz
			I _{OUT} = 100μA、R _L = 10kΩ		0.75		
GBW	ゲイン帯域幅積				1		MHz
SR	スルーレート	G = -1, 4V ステップ			1		V/μs
t _s	セトリングタイム	0.1% まで、V _S = 5.5V、G = 1, 1V ステップ			8		μs
t _{OR}	過負荷回復時間	V _{IN} × G = V _S			15		μs
出力							
V _O	電圧出力スイング (レールから)	無負荷				3	mV
		R _L = 10kΩ				10	
		R _L = 2kΩ				40	
		T _A = -40°C ~ +125°C、両レール、R _L = 10kΩ ⁽¹⁾				10	
I _{SC}	短絡電流	V _S = 5.5 V			60		mA
Z _O	オープンループ出力インピーダンス	f = 1MHz、無負荷			1.6		kΩ
電源							
I _Q	アンプごとの静止電流	V _{CM} = (V ⁺) - 1.5V			23.5	30	μA
			T _A = -40°C ~ +125°C ⁽¹⁾				

(1) 複数のロットにわたるデバイスの母集団ベンチシステムの測定から確立された仕様。

5.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

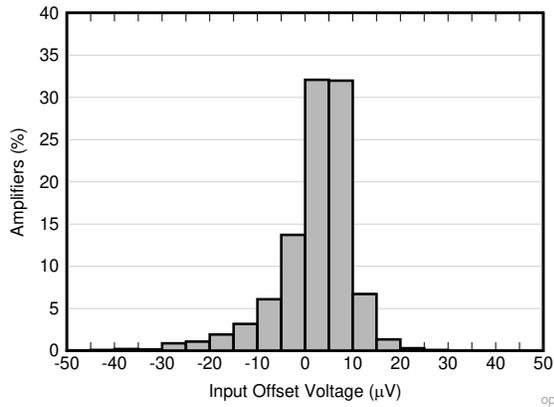


図 5-1. オフセット電圧の分布

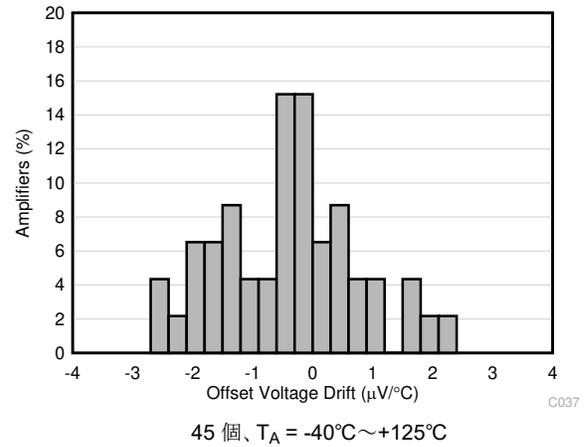


図 5-2. オフセット電圧ドリフトの分布

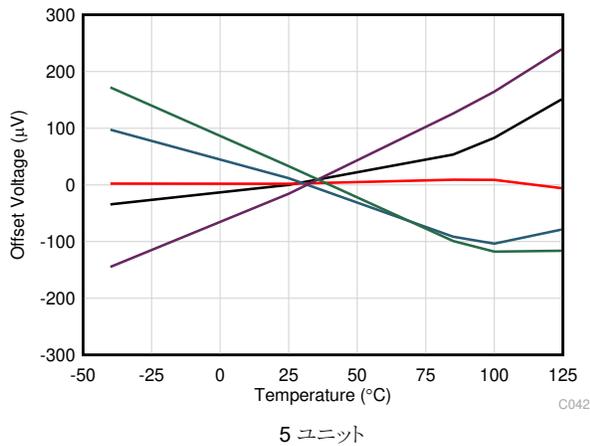


図 5-3. オフセット電圧と温度との関係

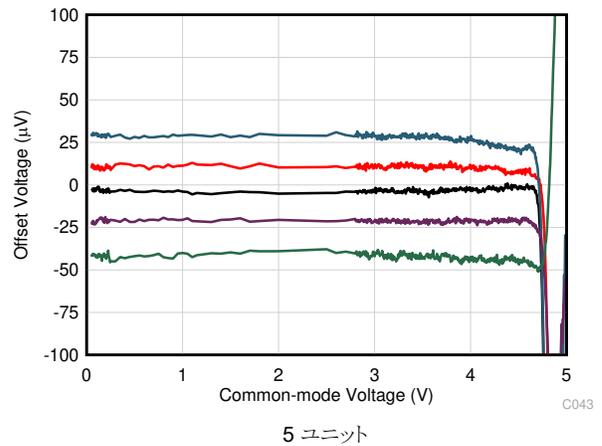


図 5-4. オフセット電圧と同相電圧との関係

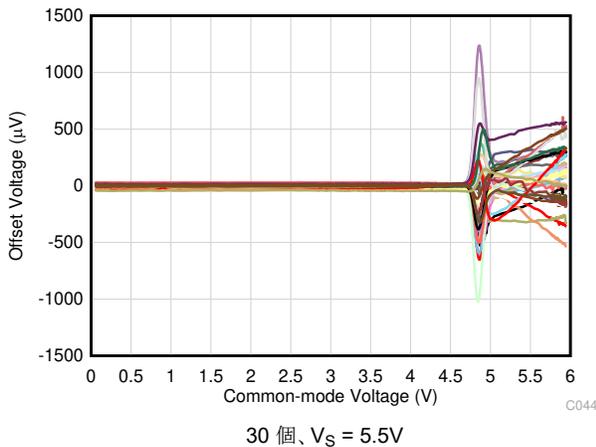


図 5-5. オフセット電圧と同相電圧との関係

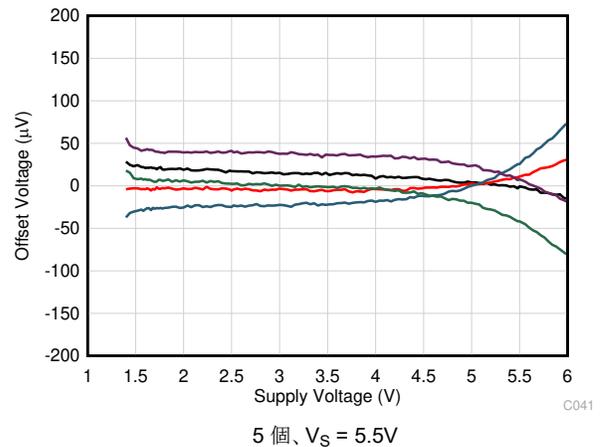


図 5-6. オフセット電圧と電源電圧との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

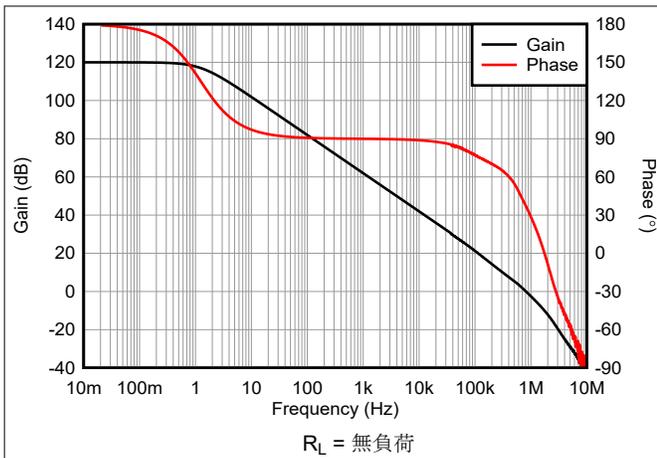


図 5-7. 開ループゲインおよび位相と周波数との関係

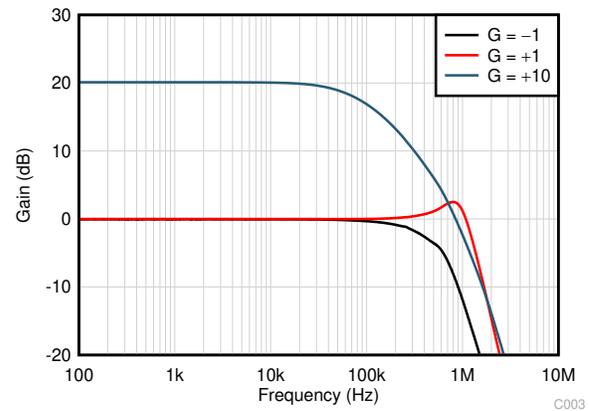


図 5-8. 閉ループゲインおよび位相と周波数との関係

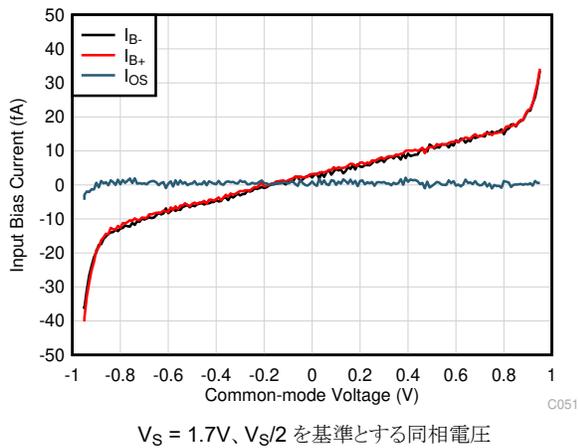


図 5-9. 入力バイアス電流と同相電圧との関係

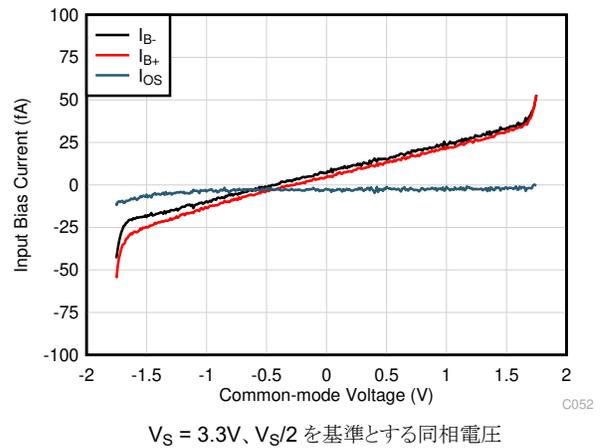


図 5-10. 入力バイアス電流と同相電圧との関係

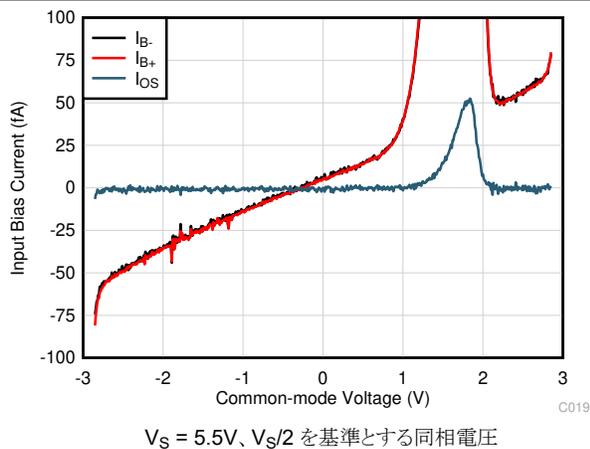


図 5-11. 入力バイアス電流と同相電圧との関係

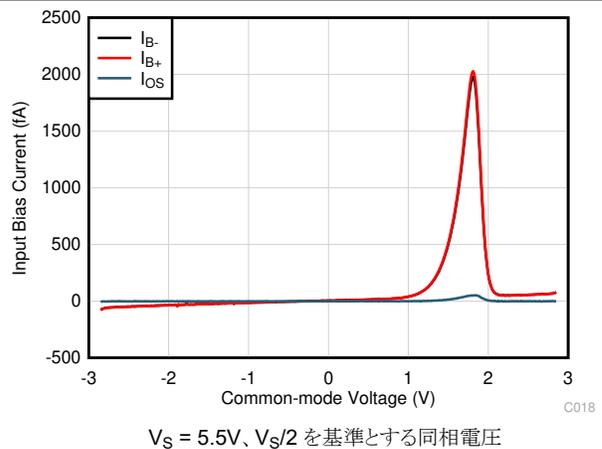


図 5-12. 入力バイアス電流と同相電圧との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

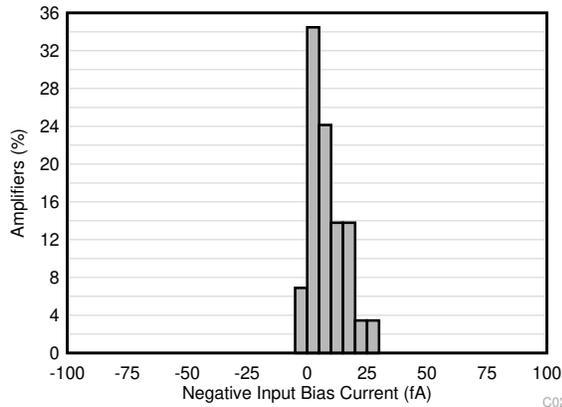


図 5-13. 負の入カバイアス電流の分布

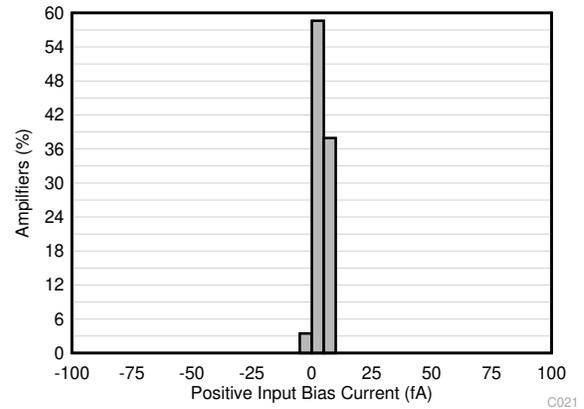


図 5-14. 正の入カバイアス電流の分布

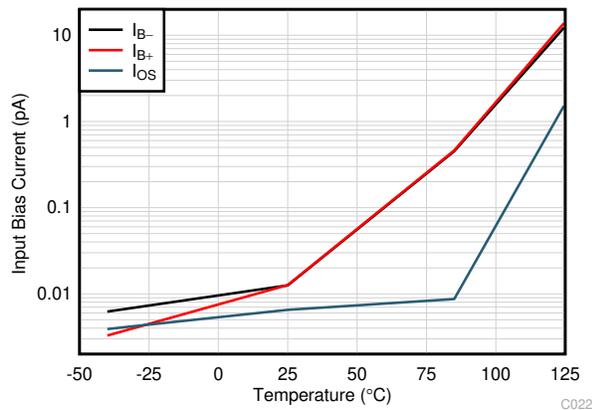


図 5-15. 入力バイアス電流と温度との関係

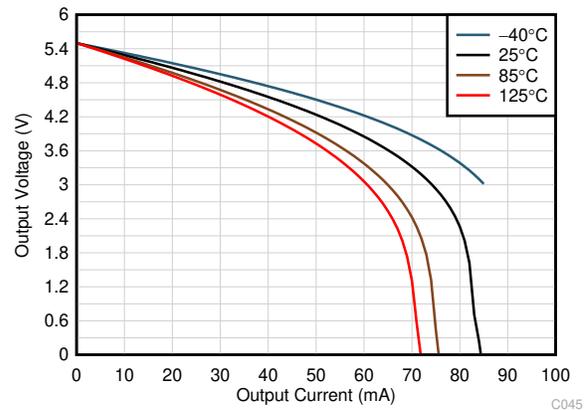


図 5-16. 出力電圧スイングと出力電流との関係
(最大供給能力)

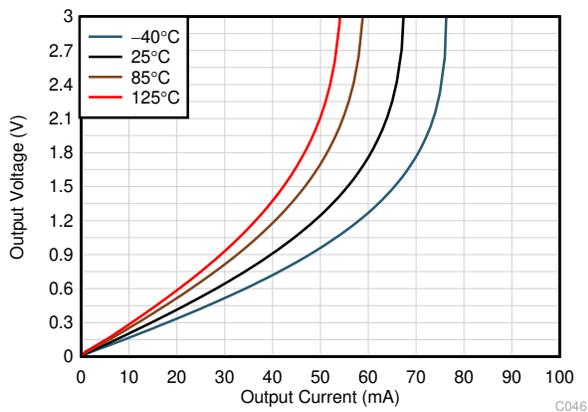


図 5-17. 出力電圧スイングと出力電流との関係
(最大供給能力)

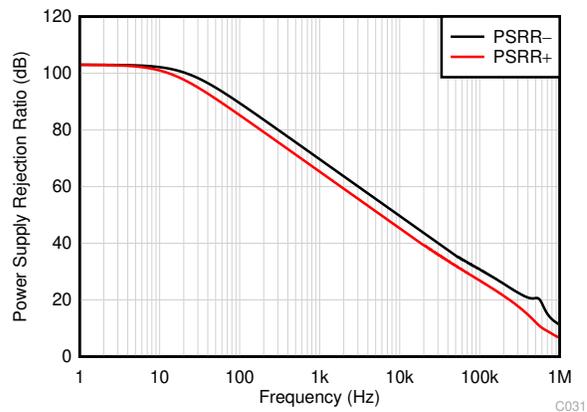


図 5-18. PSRR と周波数との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

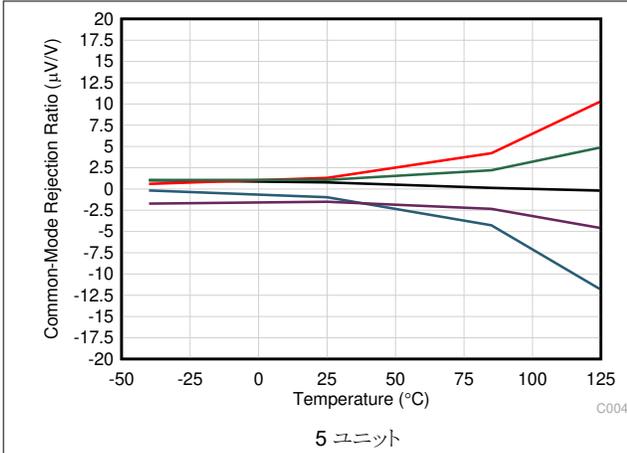


図 5-19. CMRR と温度との関係

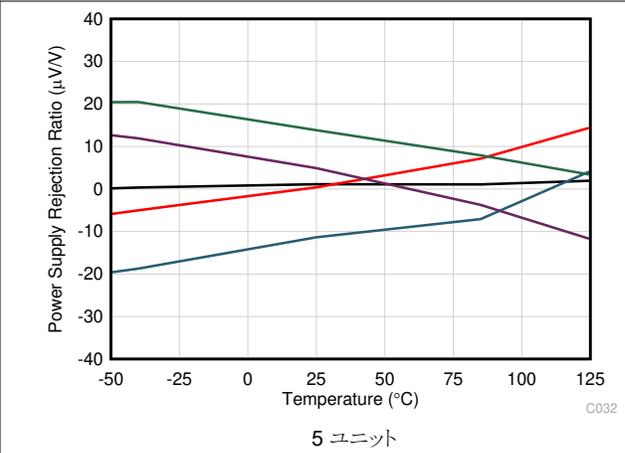


図 5-20. PSRR と温度との関係

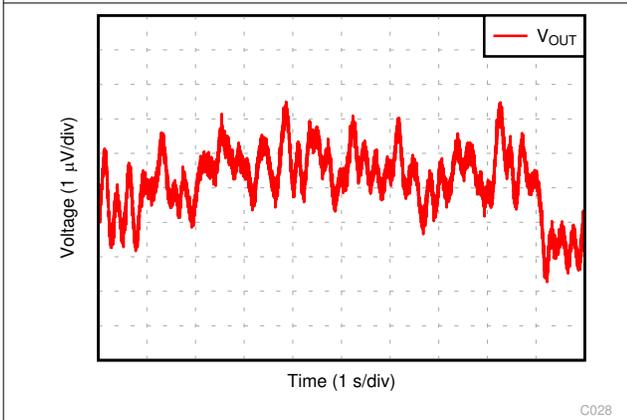


図 5-21. 0.1Hz~10Hz のノイズ

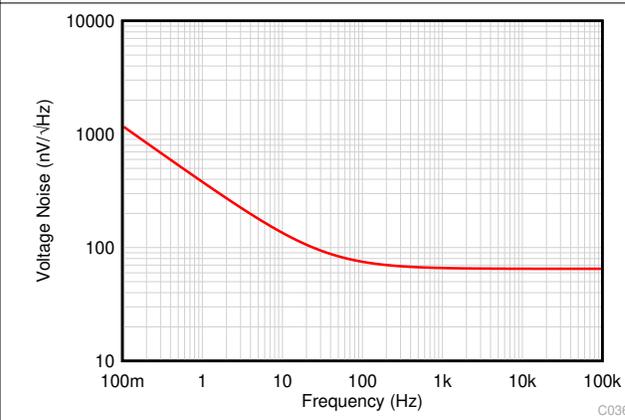


図 5-22. 入力電圧ノイズスペクトル密度と周波数との関係

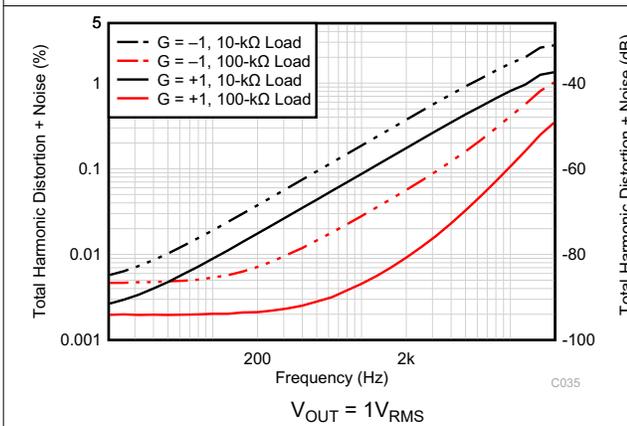


図 5-23. THD+N 比と周波数との関係

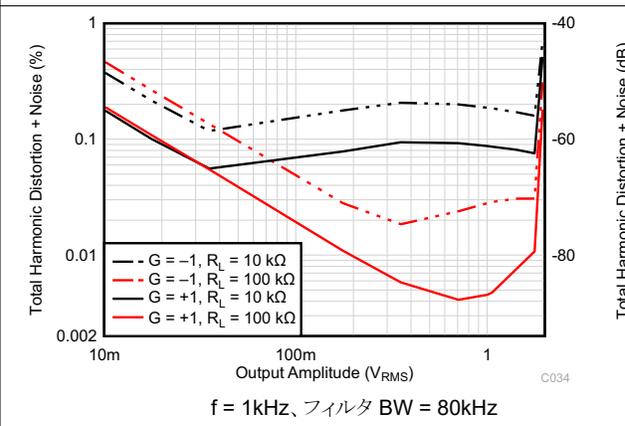


図 5-24. THD+N と出力振幅との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

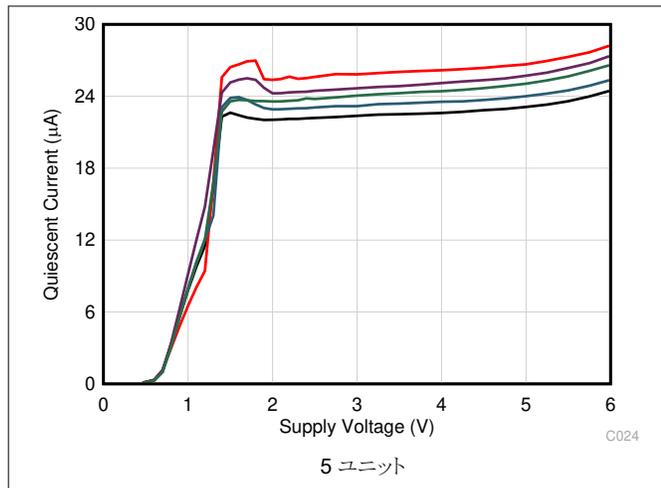


図 5-25. 静止電流と電源電圧との関係

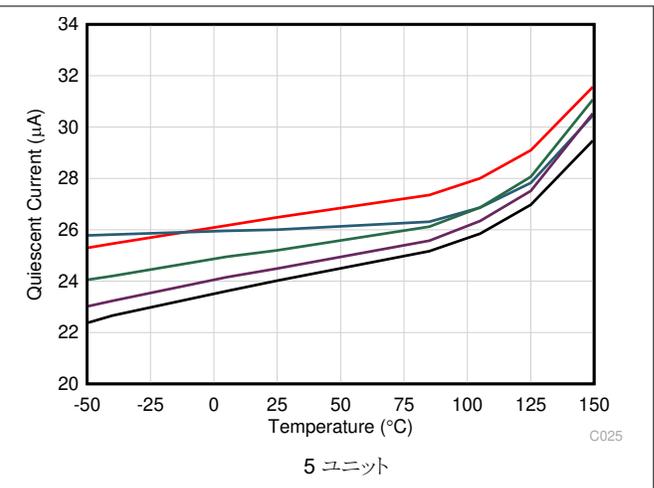


図 5-26. 静止電流と温度との関係

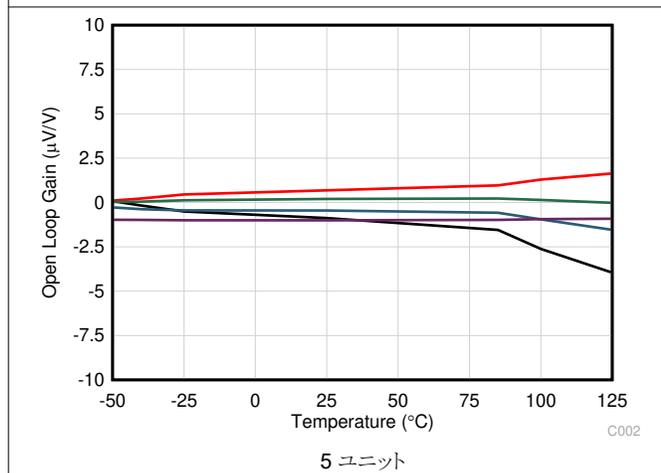


図 5-27. 開ループゲインと温度との関係

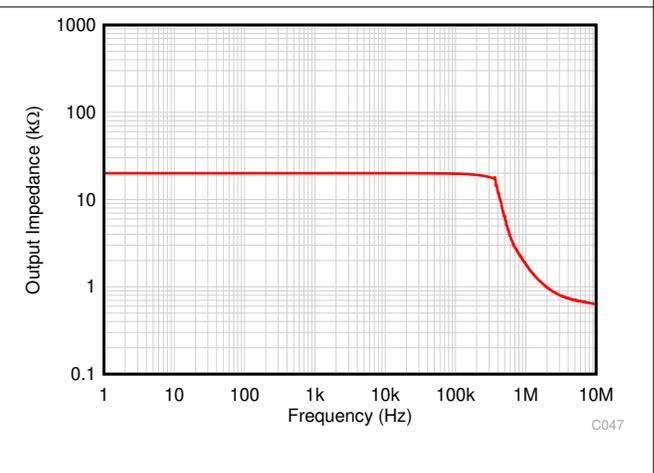


図 5-28. 開ループ出力インピーダンスと周波数との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)

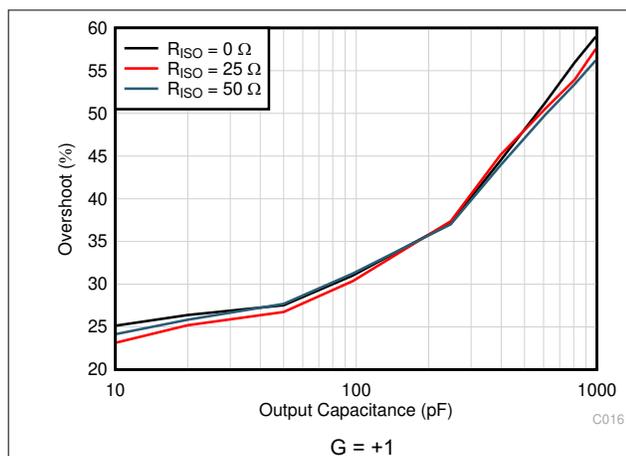


図 5-29. 小信号オーバーシュートと容量性負荷との関係 (10mV ステップ)

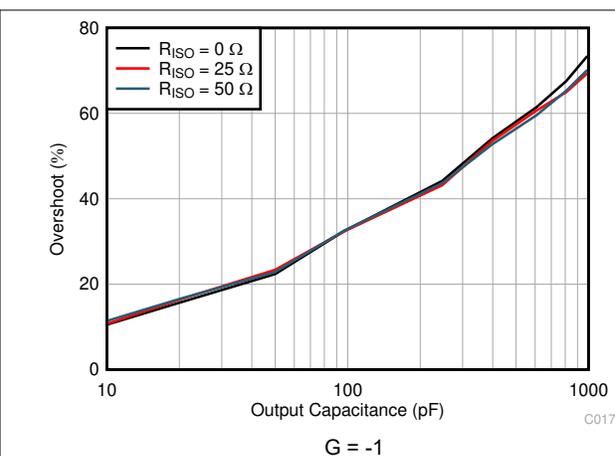


図 5-30. 小信号オーバーシュートと容量性負荷との関係 (10mV ステップ)

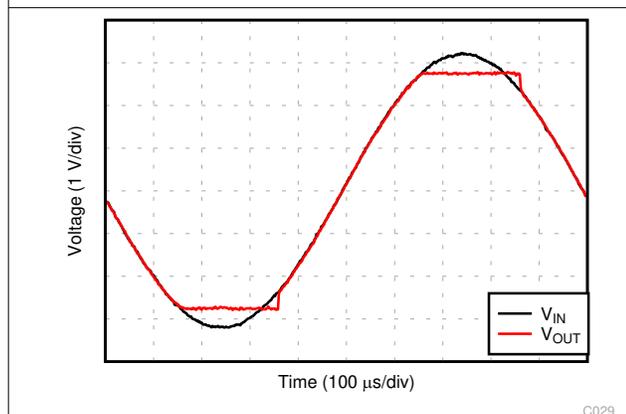


図 5-31. 位相反転が発生しない

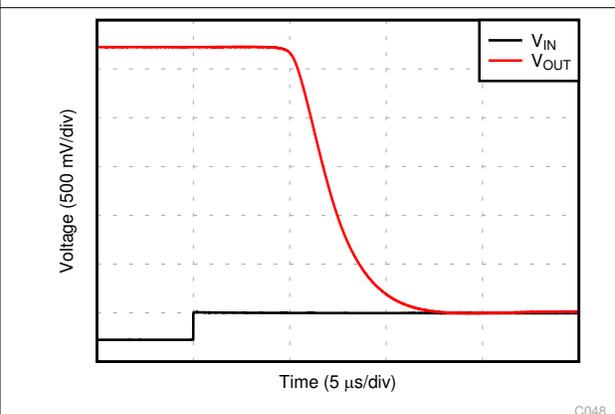


図 5-32. 正の過負荷からの回復

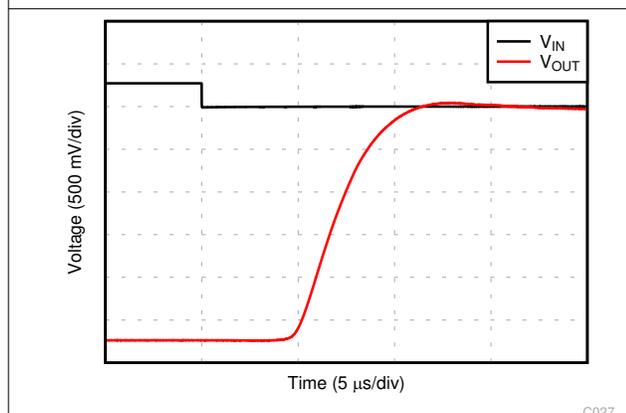


図 5-33. 負の過負荷からの回復

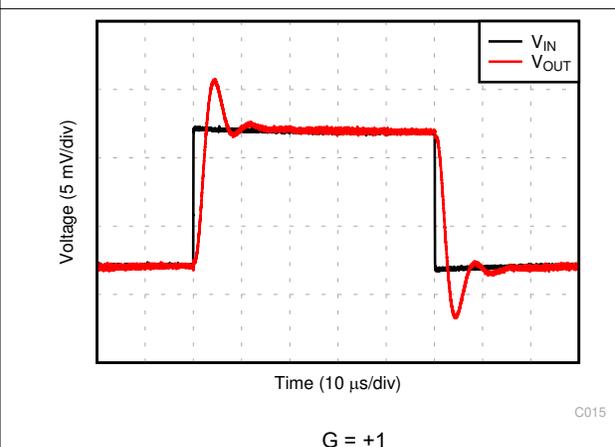
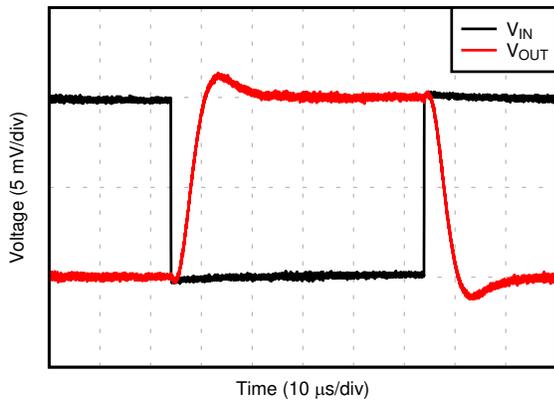


図 5-34. 小信号ステップ応答 (10mV ステップ)

5.8 代表的特性 (続き)

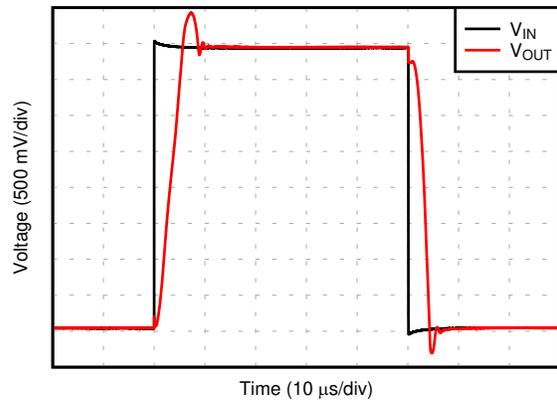
$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)



G = -1

C049

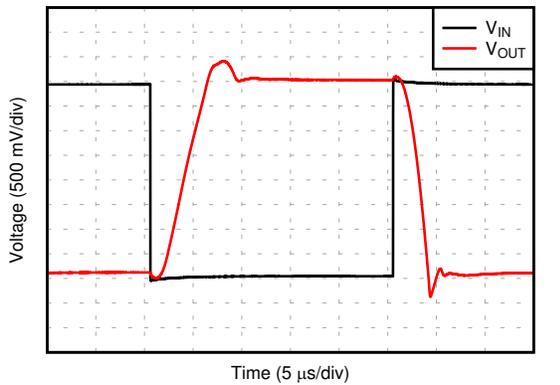
図 5-35. 小信号ステップ応答 (10mV ステップ)



G = +1

C013

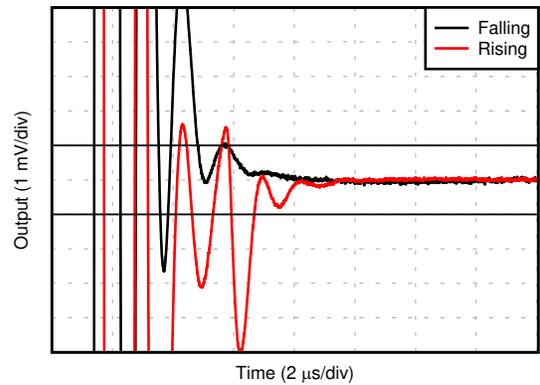
図 5-36. 大信号ステップ応答 (4V ステップ)



G = -1

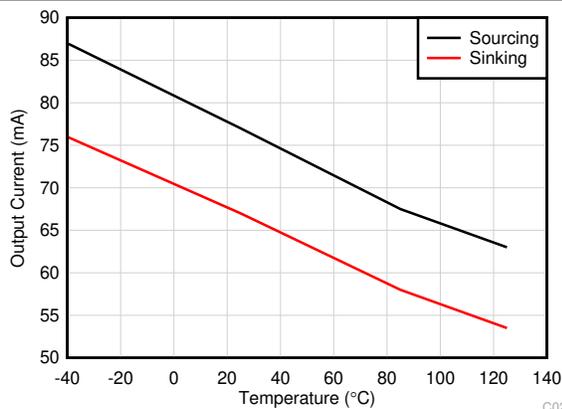
C014

図 5-37. 大信号ステップ応答 (4V ステップ)



C033

図 5-38. セトリングタイム (1V 正ステップ)



C026

図 5-39. 短絡電流と温度との関係

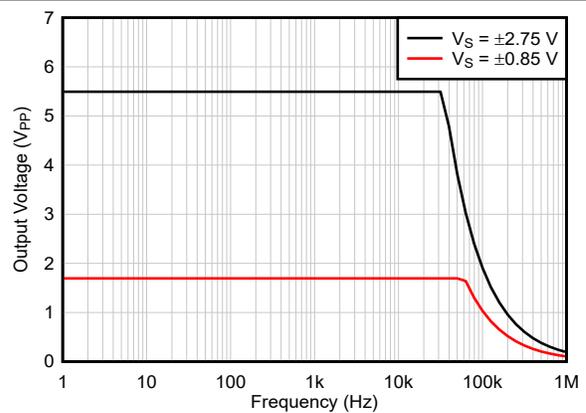
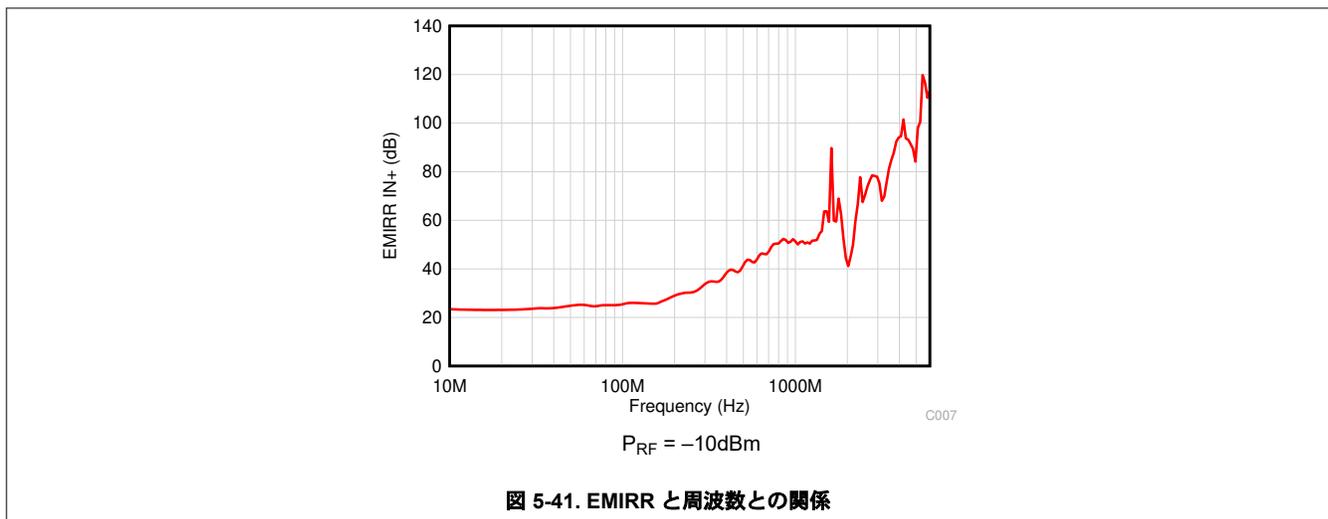


図 5-40. 最大出力電圧と周波数との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5.0\text{V}$ 、 $V_{CM} = V_S / 2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $C_L = 100\text{pF}$ の場合 (特に記述のない限り)



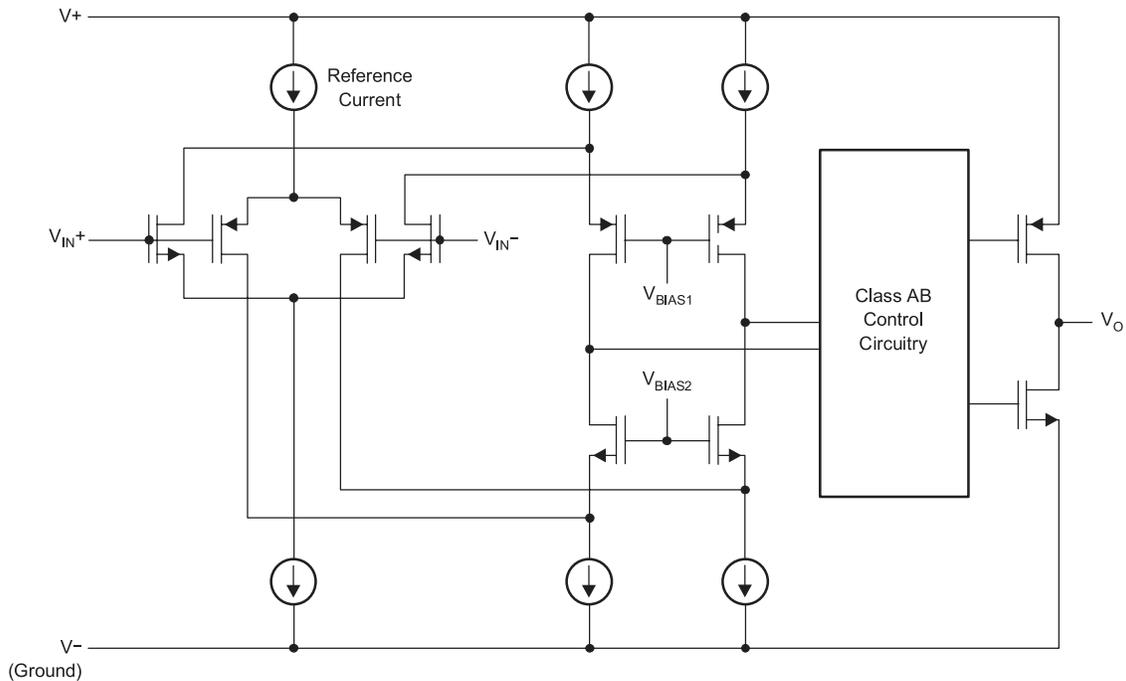
6 詳細説明

6.1 概要

OPAx396 は、独自のオフセットトリム技法を使用した、低オフセット、低消費電力の **e-trim** オペアンプです。これらのオペアンプは、入力オフセット電圧、ドリフト、入力バイアス電流が非常に低く、帯域幅と静止電流の比率が非常に優れています。OPAx396 は 1.7V~5.5V で動作し、ユニティゲインで安定しており、さまざまな汎用かつ高精度のアプリケーション向けに設計されています。

出力には高い容量性負荷に耐えられる高度な出力段があり、確実に安定した性能を発揮します。OPAx396 は、入力バイアス電流、オフセット電圧、消費電力が重要な高インピーダンスセンサに最適なアンプです。

6.2 機能ブロック図



6.3 機能説明

6.3.1 低い入力バイアス電流

OPAx396 は、CMOS 入力と高度な静電気放電 (ESD) 保護回路により、非常に低い入力バイアス電流を実現します。入力バイアス電流 (I_B) は、主に CMOS 入力アンプの入力保護方式に依存します。ESD セルを慎重に検討しないと、特に温度範囲全体にわたって、CMOS 入力デバイスで大きな入力バイアス電流が発生する可能性があります。OPAx396 は、125°C で最大 $\pm 30\text{pA}$ の優れた入力バイアス電流定格を実現します。

6.3.2 入力差動電圧

OPAx396 では入力ノード間にダイオードが接続されていないため、電源電圧間の任意の入力電圧に対応できます。図 6-1 に入力の構造を示します。これらのデバイスは、電源電圧を上回らない任意の差動入力電圧に耐えられますが、0.5V を超える差動入力電圧では連続動作させないようにしてください。

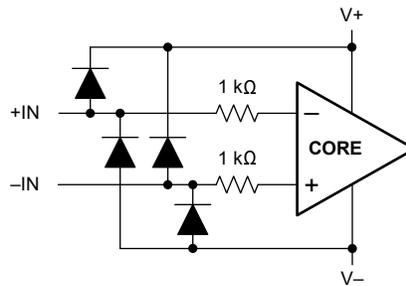


図 6-1. 等価入力回路

6.3.3 容量性負荷駆動能力

OPAx396 は、最大 1nF の容量性負荷でも安定性を維持する高度な出力駆動回路を備えています。多くの低静止電流アンプは、出力段のバイアスに使用される電流レベルが低いため、容量性負荷に接続すると安定性が低下します。OPAx396 は、高い容量性負荷に適合する出力段を使用して設計されており、追加の消費電流は発生しません。この機能は、すべての温度条件と電源条件において安定性の高いデバイスを製作するのに役立ち、堅牢なシステム性能を実現します。

6.3.4 EMI 除去

OPAx396 は、内蔵の電磁干渉 (EMI) フィルタを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装のボードなどから発生する EMI 干渉の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。OPAx396 は、このような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数値化する機能を開発しました。OPAx396 でこのテストを行った結果を図 6-2 に示します。実際のアプリケーションで一般的に発生する特定の周波数における OPAx396 の EMIRR +IN の値を表 6-1 に示します。表 6-1 に示すアプリケーションは、表に示す特定の周波数を中心として、またはその周波数の付近で運用されます。詳細については、『オペアンプの EMI 除去率』アプリケーションノートを参照してください。このアプリケーション ノートは www.ti.com からダウンロードできます。

電磁干渉 (EMI) 除去比 (EMIRR) は、オペアンプの EMI 耐性を表します。多くのオペアンプに共通する悪影響は、RF 信号の整流によるオフセット電圧の変化です。EMI によって発生するこのオフセットの変化を除去するのにより効率的なオペアンプは、EMIRR が高いものであり、これはデシベルの値で定量化されます。EMIRR の測定はさまざまな方法で行えますが、このセクションでは EMIRR +IN について説明します。これは、特に、RF 信号がオペアンプの非反転入力ピンに印加されたときの EMIRR 性能を示すものです。一般に、以下の 3 つの理由により、EMIRR については非反転入力のみがテストされます。

1. オペアンプの入力ピンは、EMI の影響を最も受けやすいことが知られており、通常は電源ピンまたは出力ピンよりも強く RF 信号を整流します。
2. 非反転および反転オペアンプ入力は、対称的な物理レイアウトを採用しており、EMIRR 性能がほぼ一致しています。
3. 非反転入力ピンを PCB 上で絶縁できるため、非反転ピンでの EMIRR 測定は、他のピンよりも簡単です。この絶縁により、RF 信号を非反転入力ピンに直接印加でき、他の部品との複雑な相互作用や PCB 配線の接続は発生しません。

帯域幅外のスペクトル成分を持つ信号に対しては、それを補正するためのアンプのループゲインが不十分なので、オペアンプのいずれかのピンに対して高周波信号が伝導または放射されると、悪影響が発生する可能性があります。入力、電源、または出力で伝導または放射による EMI があると、予期しない DC オフセット、過渡電圧、その他の未知の動作が発生する可能性があります。ノイズの多い無線信号、デジタル クロック、インターフェイスから、敏感なアナログ ノードを適切にシールドし、分離するように注意してください。

OPAx396 の EMIRR +IN の周波数特性を 図 6-2 に示します。OPAx396 のユニティゲイン帯域幅は 1MHz です。この周波数未満での EMIRR 性能は、干渉する信号がオペアンプの帯域幅内にあることを示しています。

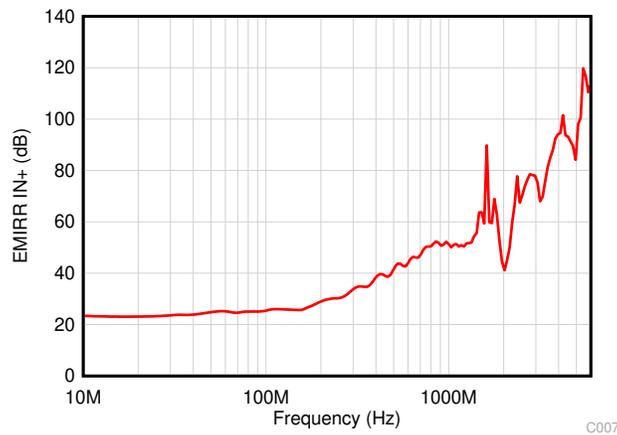


図 6-2. EMIRR テスト

表 6-1. 特定周波数における OPAx396 の EMIRR IN+

FREQUENCY	アプリケーションおよび割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	39.1dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	46.5dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz~2GHz)	61.3dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz~4GHz)	69.8dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	82.5dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz~8GHz)	83.6dB

6.4 デバイスの機能モード

OPAx396 には単一の機能モードがあり、電源電圧が 1.7V ($\pm 0.85V$) を上回ると動作します。OPAx396 の最大電源電圧は 5.5V ($\pm 2.75V$) です。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx396 はユニティ ゲイン安定の高精度オペアンプで、予期しない出力および位相反転は発生しません。OPAx396 は完全なレール ツー レール入力用に最適化されているため、低電圧、単一電源動作、または分割電源使用が可能です。これらの小型、高精度、低ノイズのオペアンプは、電源を 100mV 上回る同相範囲を持つ高インピーダンス入力を備えており、全入力範囲で全電源電圧を許容します。OPAx396 高精度アンプは、センサ アプリケーション、低ゲインまたは高ゲインの低消費電力アナログ シグナル チェーン アプリケーション、低消費電力のディスクリート MOSFET またはバイポーラドライバ向けに設計されています。

7.2 代表的なアプリケーション

7.2.1.3 端子 CO ガス センサ

図 7-1 に、3 端子のバイアスなし CO センサと組み合わせて使用する、シンプルなマイクロパワー ポテンショスタット回路を示します。この同じ設計は、他のさまざまな 3 端子ガス センサや電気化学セルにも応用できます。基本的なセンサには、センス電極または動作電極 (WE)、カウンタ電極 (CE)、リファレンス電極 (RE) の 3 つの電極があります。電流は CE と WE の間を流れ、検出された濃度に比例します。RE は内部基準点の電位を監視します。バイアスなしのセンサでは、CE のバイアスを調整して、WE と RE を同じ電位に維持する必要があります。U1 で形成されたポテンショスタット回路を介して、サーボ フィードバック アクションにより RE ピンが V_{REF} で設定された電位に維持されます。センサの静電容量が大きい場合、 R_1 は安定性を維持します。 C_1 と R_2 はポテンショスタット インテグレータを形成し、フィードバック時間を一定に設定します。U2 はトランスインピーダンス アンプ (TIA) を形成し、検出されたセンサ電流を比例電圧に変換します。式 1 は、 R_F を使用して、トランスインピーダンス ゲインとその感度を計算します。

$$V_{TIA} = (-I \times R_F) + V_{REF} \quad (1)$$

R_{Load} は、通常はセンサのメーカーによって指定される負荷抵抗値です (一般的には 10Ω)。WE での電位は、印加された V_{REF} によって設定されます。

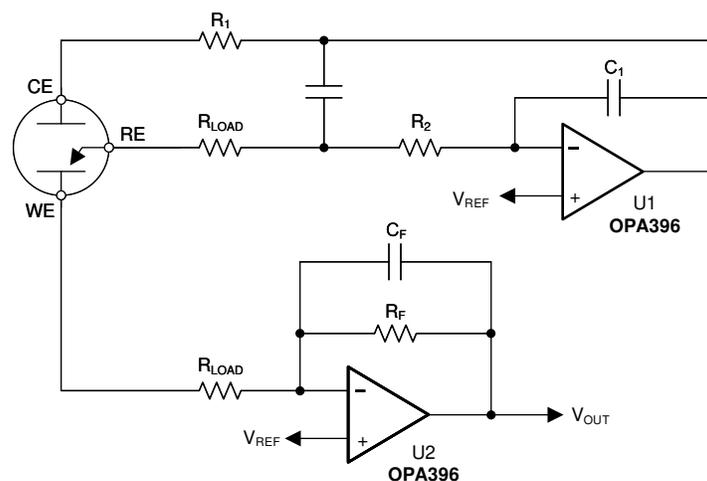


図 7-1.3 端子 CO ガス センサ

7.2.1.1 設計要件

この例では、図 7-2 に示す CO センサの電気的モデルを使用してセンサ性能をシミュレーションしています。このシミュレーションは、69nA/ppm の感度を持つ CO センサをモデル化するように設計されています。電源電圧と A/D コンバータ (ADC) の最大入力電圧は 2.5V で、最大濃度は 300ppm です。

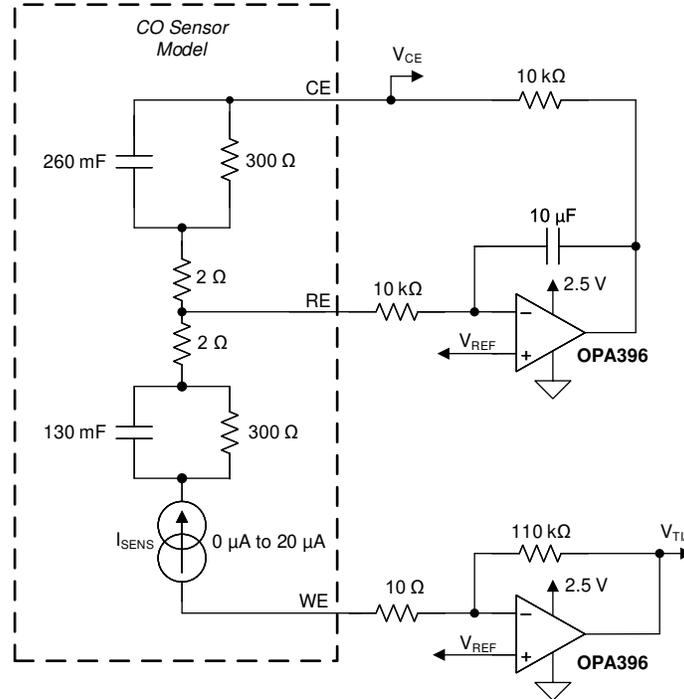


図 7-2. CO センサ シミュレーションの回路図

7.2.1.2 詳細な設計手順

まず、 V_{REF} 電圧を決定します。この電圧は、最大ヘッドルームと分解能の間のバランスを取り、CE 端子の最小スイングを許容するものにします。これは、一般的に、濃度 (センサ電流) の増加に伴い、CE 端子が RE 電位に対して負になることがよくあるためです。ベンチ測定により、この特定のセンサでは、300ppm での CE と RE の差が 180mV であることがわかりました。負の CE スイング、フットルーム、10kΩ 抵抗の両端の電圧降下を許容するため、 V_{REF} に 300mV を選択します。

$$V_{ZERO} = V_{REF} = 300\text{mV} \quad (2)$$

ここで

- V_{ref} : リファレンス電圧 (300mV)
- V_{zero} : 濃度電圧 (300mV)

次に、予測される最大濃度での最大センサ電流を計算します。

$$I_{SENSMAX} = I_{PERPPM} \times \text{ppmMAX} = 69\text{nA} \times 300\text{ppm} = 20.7\mu\text{A} \quad (3)$$

ここで

- $I_{SENSMAX}$: 予測される最大センサ電流
- I_{PERPPM} : メーカーが規定したセンサ電流 (A/ppm)
- ppmMAX: 必要な最大 ppm 読み取り値

次に、測定に使用可能なリファレンス電圧よりも大きい出力スイング範囲を求めます。

$$V_{\text{SWING}} = V_{\text{OUTMAX}} - V_{\text{ZERO}} = 2.5\text{V} - 0.3\text{V} = 2.2\text{V} \quad (4)$$

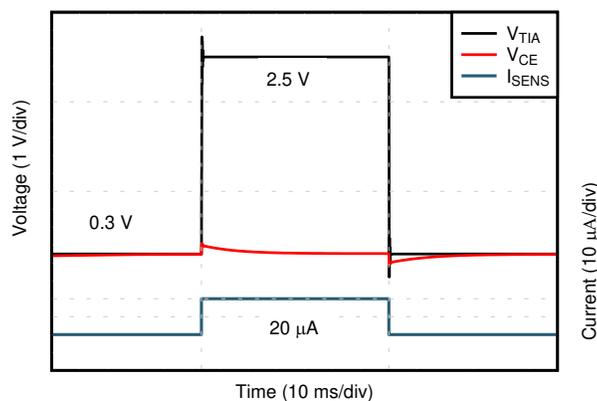
ここで

- V_{SWING} : 予測される出力電圧変化
- V_{OUMAX} : アンプの最大出力スイング

最後に、最大スイングと最大センサ電流を使用して、トランスインピーダンス抵抗値 (R_F) を計算します。

$$R_F = \frac{V_{\text{SWING}}}{I_{\text{SENSMAX}}} = \frac{2.2\text{V}}{20.7\mu\text{A}} = 106.28\text{k}\Omega \text{ (use } 110\text{k}\Omega \text{ for a common value)} \quad (5)$$

7.2.1.3 アプリケーション曲線



C012

図 7-3. 模擬 300ppm CO 暴露に対するセンサの過渡応答

7.2.2 4mA ~ 20mA ループ設計

ファクトリオートメーションシステムでは一般的に、プロセスオートメーションを実現するために 4mA ~ 20mA の通信プロトコルが使用されます。代表的な 2 線式、4mA ~ 20mA ループアプリケーションでは、リモートトランスミッタへの電力は合計消費電流 4mA 未満に制限されます。この電力制限のため、低消費電力が不可欠になります。OPAx396 は、低消費電力、高精度、高帯域が要求される 4mA ~ 20mA ループアプリケーションの設計における多くの課題を解決します。

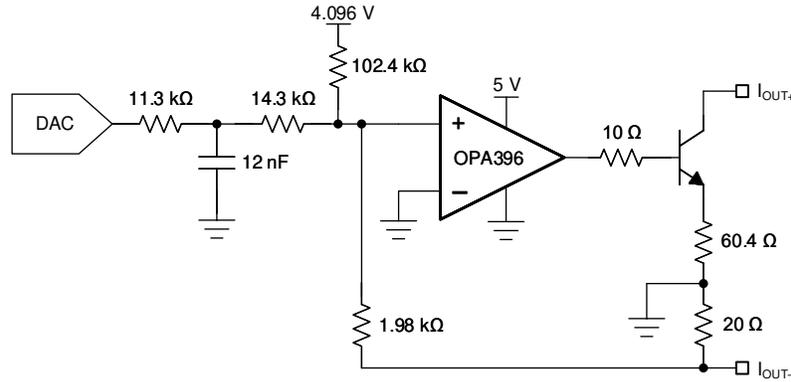


図 7-4. 4~20mA ループ インターフェイスの回路図

7.2.2.1 設計要件

表 7-1. 設計パラメータ

パラメータ	値
合計消費電流	< 100μA
DAC 制御電圧	0V ~ 4.096V
出力電流	4mA ~ 20mA

7.2.2.2 アプリケーション曲線

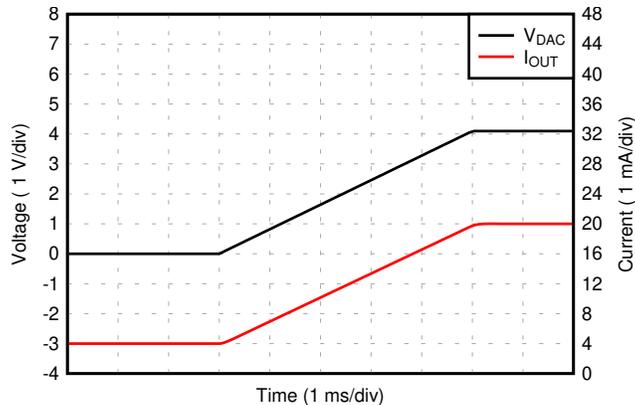


図 7-5. 4mA ~ 20mA ループ応答

7.3 電源に関する推奨事項

OPAx396 デバイスは、1.7V～5.5V ($\pm 0.85V \sim \pm 2.75V$) で動作することが規定されています。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に関心を持つことをお勧めします。

- トレースは短くします。
- 可能な場合はプリント基板 (PCB) のグランド プレーンを使用し、表面実装部品をデバイスのピンのできるだけ近くに配置します。
- 電源ピンの両端に $0.1\mu F$ のコンデンサを配置します。

これらのガイドラインは、性能を向上させ、電磁干渉 (EMI) の影響を低減するなどの利点を実現するために、アナログ回路全体に適用する必要があります。

7.4.2 レイアウト例

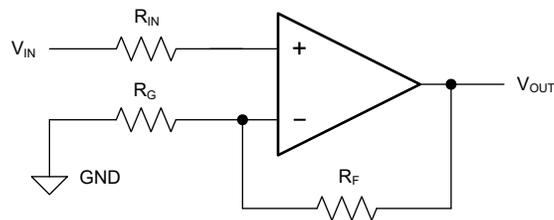


図 7-6. 回路図

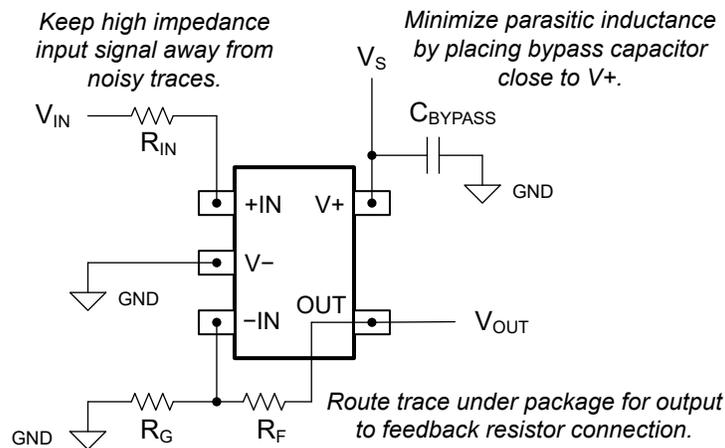


図 7-7. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイスのサポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™シミュレーションソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーションソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーションプログラムです。TINA-TI シミュレーションソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブモデルとアクティブモデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーションソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーションソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイックスタートツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[HART モデム搭載、高精度、ループ電源使用 4mA~20mA フィールド・トランスミッタのリファレンス・デザイン](#)
- テキサス・インスツルメンツ、[マイクロパワー電気化学ガス・センサ・アンプのリファレンス・デザイン](#)
- テキサス・インスツルメンツ、[『トランスインピーダンス・アンプの直感的な補償』アプリケーション・レポート](#)
- テキサス・インスツルメンツ、[『pH 電極を使用した設計』アプリケーション・レポート](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

e-trim™, TINA-TI™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision * (July 2021) to Revision A (March 2026)	Page
• データシートに OPA2396DGKR および OPA4396PWR を追加.....	1
• 「ピン構成および機能」セクションに OPA2396 および OPA4396 のピン配置情報を追加	3

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2396DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3BPS
OPA396DCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1JJ
OPA396DCKR.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1JJ
OPA396DCKRG4	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1JJ
OPA396DCKRG4.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1JJ
OPA396DCKT	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1JJ
OPA396DCKT.A	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1JJ
OPA4396PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4396

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

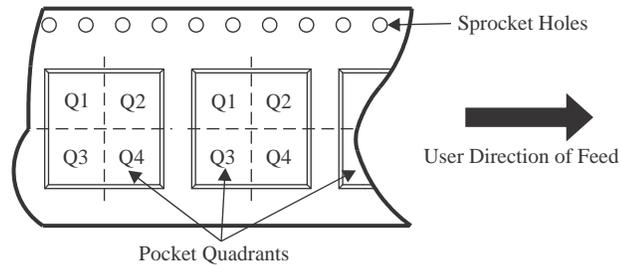
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2396DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA396DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA396DCKRG4	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA396DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA4396PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2396DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA396DCKR	SC70	DCK	5	3000	190.0	190.0	30.0
OPA396DCKRG4	SC70	DCK	5	3000	190.0	190.0	30.0
OPA396DCKT	SC70	DCK	5	250	190.0	190.0	30.0
OPA4396PWR	TSSOP	PW	14	3000	353.0	353.0	32.0

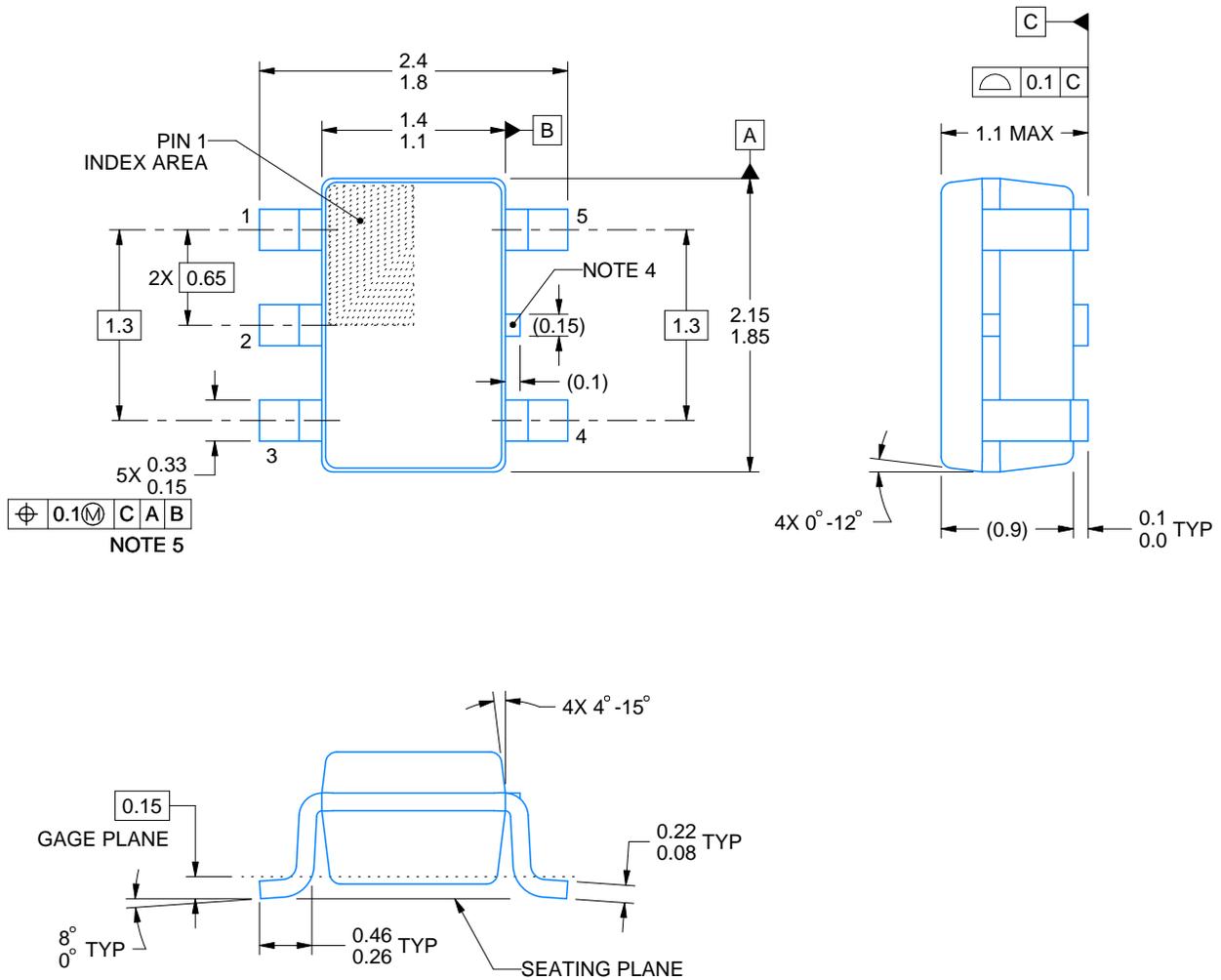
DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES:

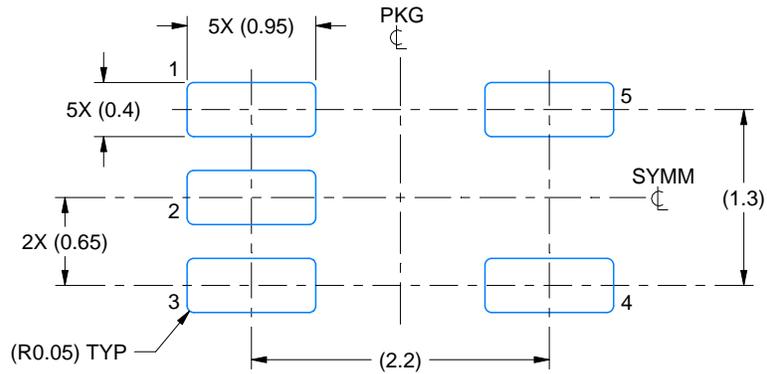
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

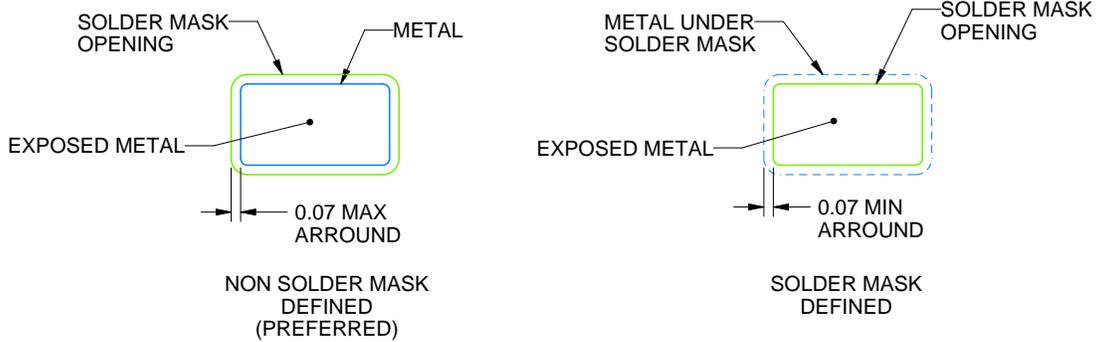
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

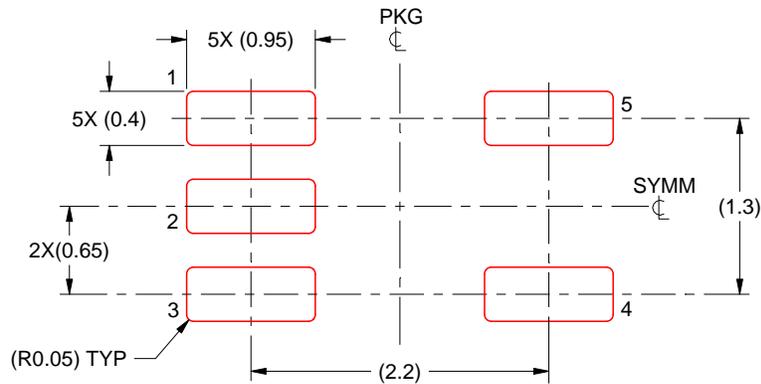
- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR

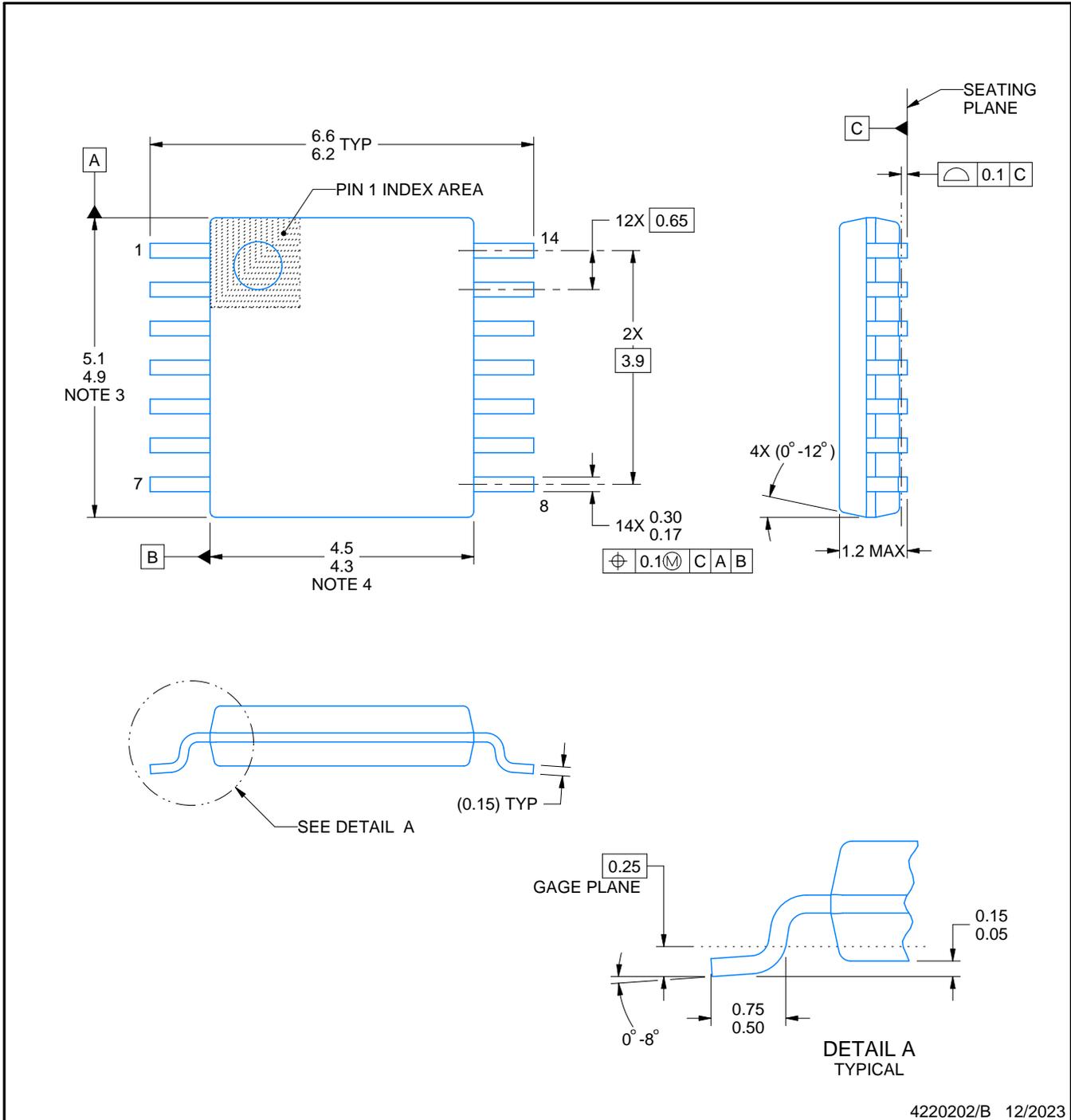
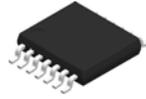


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE: 18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.



NOTES:

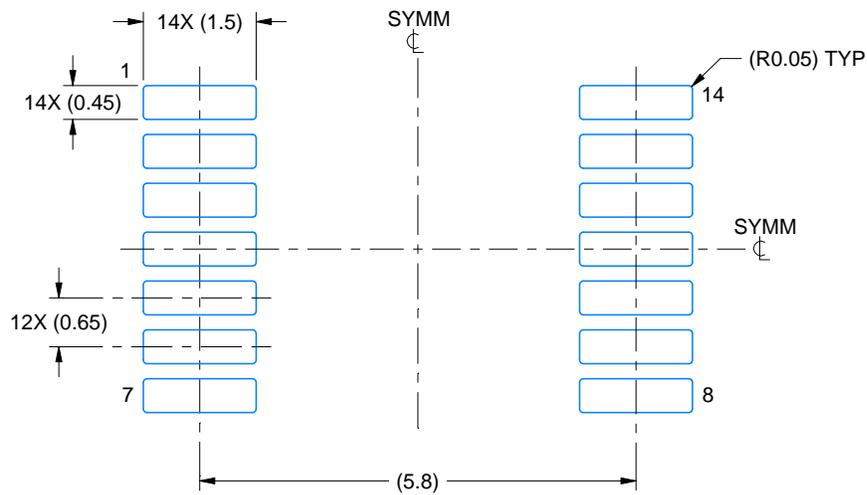
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

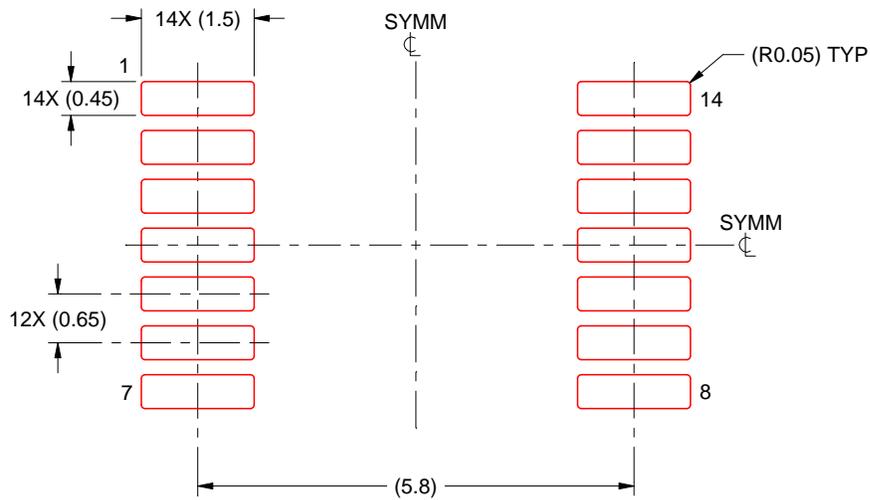
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

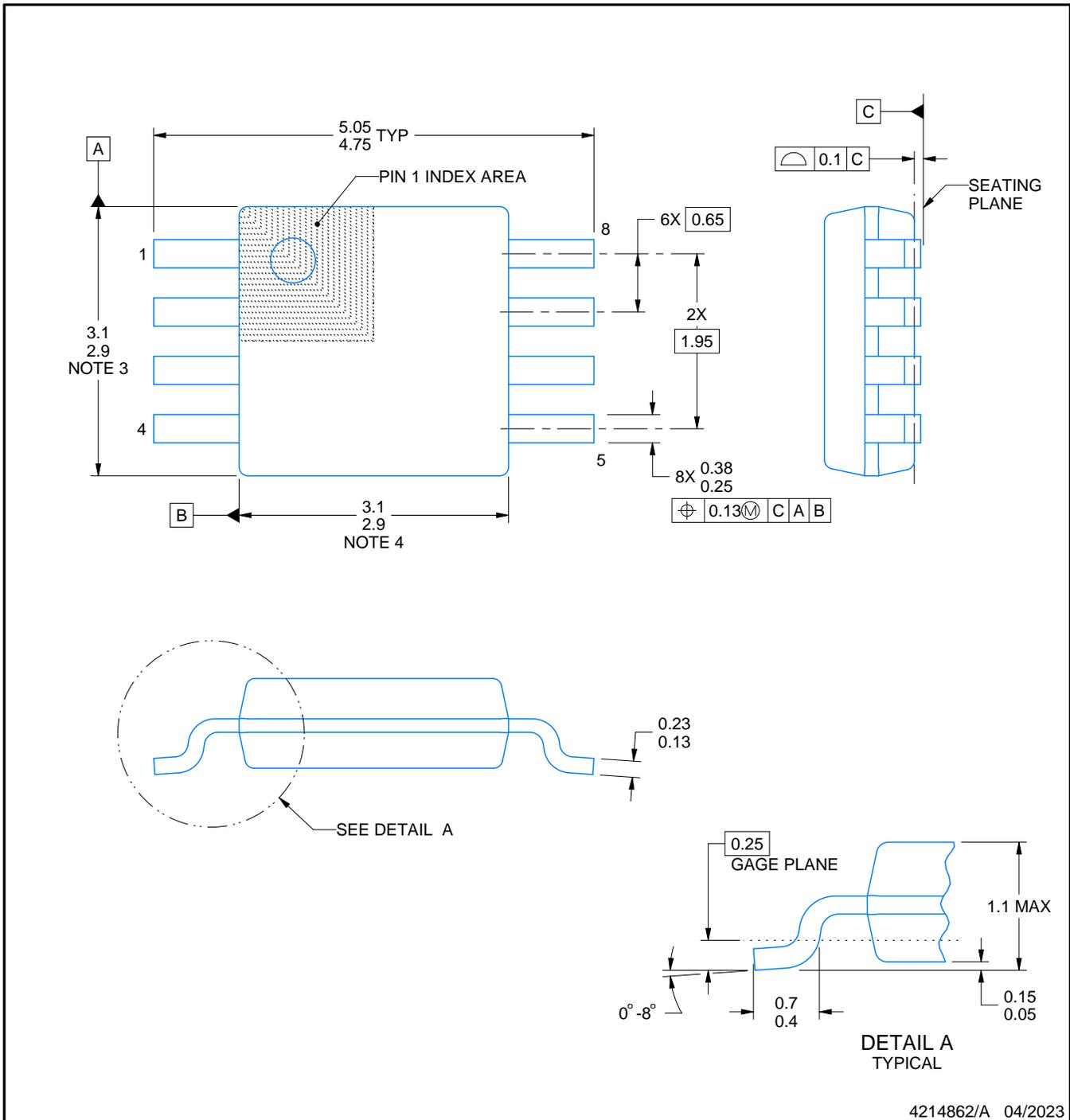
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

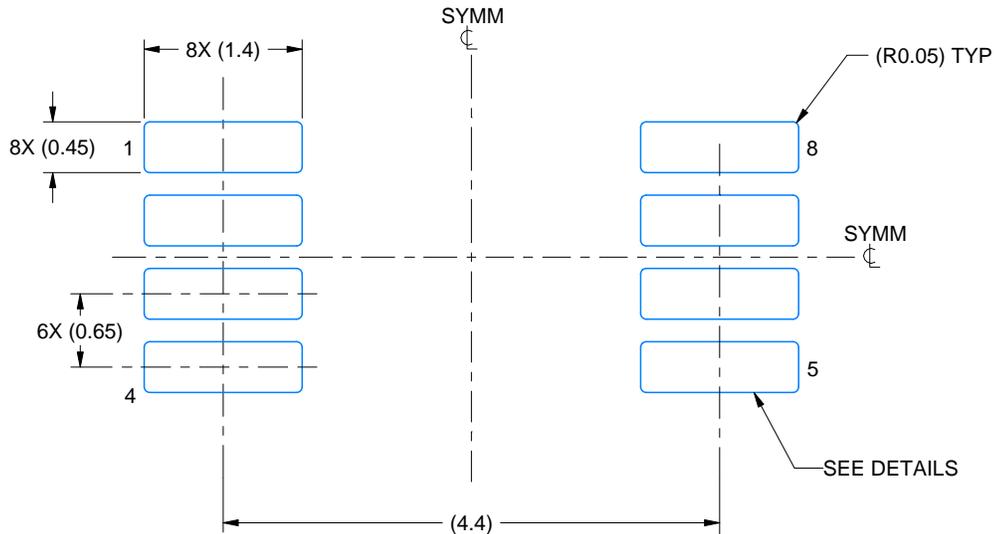
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

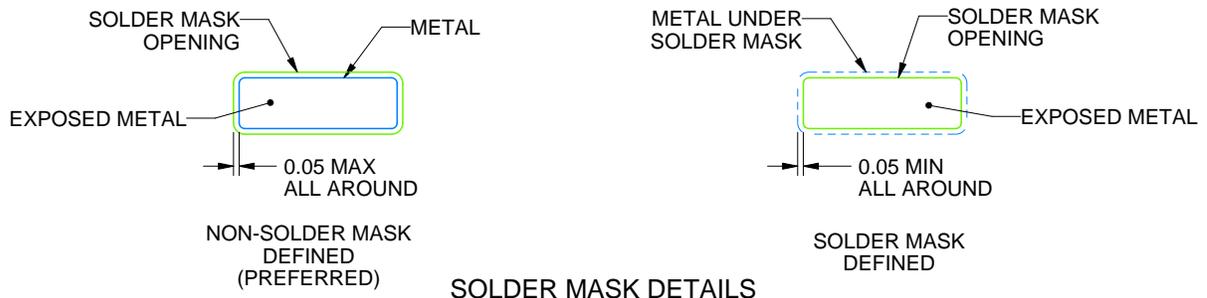
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

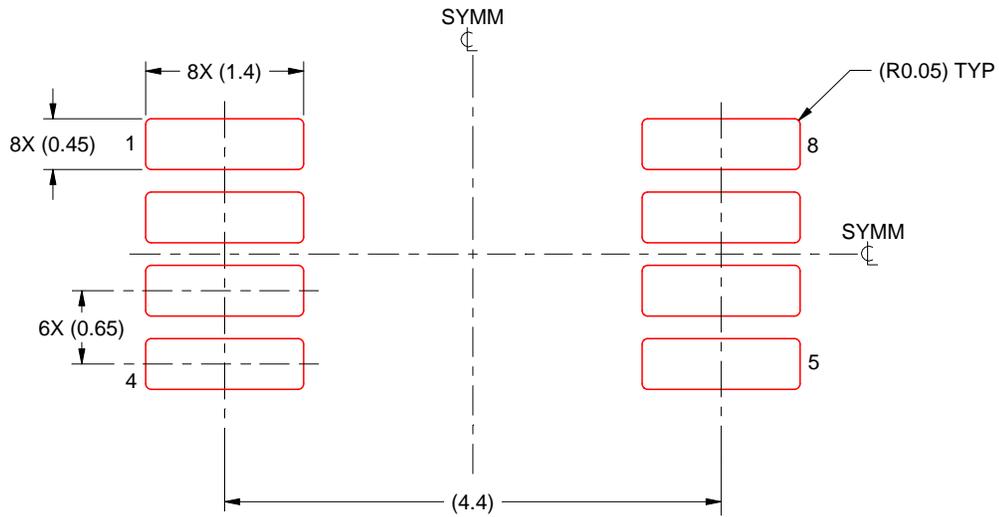
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月