

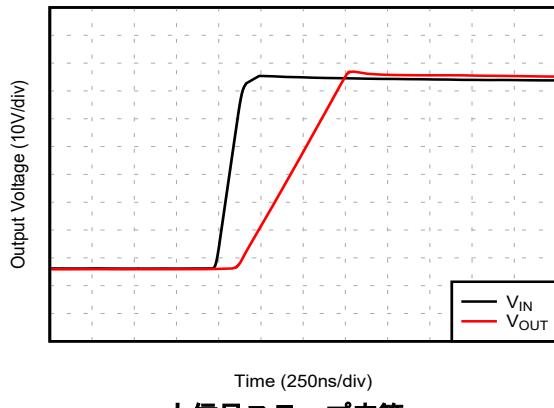
OPAx596 マルチプレクサ対応入力付き、高電圧 (85V)、低消費電力 (420 μ A)、高スルーレート (100V/ μ s) パワー アンプ

1 特長

- 高スルーレート: 100V/ μ s
- 低消費電力: 420 μ A
- 広い電源電圧範囲:
 - $\pm 4V \sim \pm 42.5V$
 - $8V \sim 85V$
- MUX 対応入力
- 入力が負のレールを下回ることになります
- レールツー レール出力
- ゲイン帯域幅: 3.75MHz
- 低ノイズ: 12.8nV/ \sqrt{Hz}
- 低い入力バイアス電流: 5pA
- 低い入力オフセット電圧: $\pm 1mV$
- 出力電流駆動: $\pm 30mA$
- 幅広い温度範囲: $-40^{\circ}C \sim +125^{\circ}C$
- 業界標準の小型パッケージ:
 - D (8 ピン SOIC)
 - DBV (5 ピン SOT-23)
 - DGK (8 ピン VSSOP)

2 アプリケーション

- 半導体試験装置
- LCD テスト
- プログラマブル DC 電源
- CT および PET スキャナ
- ソースメジャー ユニット (SMU)
- 光学モジュール
- 実験室およびフィールド用計測機器



3 説明

OPA596 および OPA2596 (OPAx596) は、高電圧 (85V)、高スルーレート (100V/ μ s)、マイクロパワー (420 μ A)、ユニティゲイン安定のオペアンプです。

OPAx596 を使用すると、高ゲイン構成でシステムの出力電圧を上げることで、半導体試験の出力負荷ドライバやデジタル電源などの次世代の高電圧システムを実現できます。低消費電力と業界標準の小型パッケージにより、サイズに制約のある高密度システムで使用でき、システムの熱管理要件を低減できます。

独自の設計手法により、OPAx596 は最小限の消費電力で非常に高いスルーレートを実現できるため、大信号セトリング タイムが改善され、実効大信号帯域幅が最大化されます。また、これらのデバイスはマルチプレクサ対応入力を備えており、大きな差動電圧 (最大 85V) に対応できるため、多重化アプリケーションで従来の入力と比較してセトリング動作を向上させるのに役立ちます。

OPAx596 は、業界標準パッケージで供給され、 $-40^{\circ}C \sim +125^{\circ}C$ の温度範囲全体で動作します。

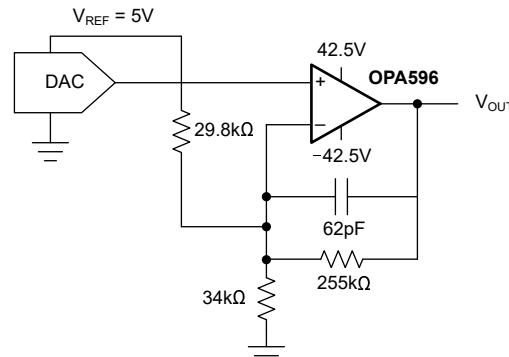
製品情報

部品番号	チャネル	パッケージ ⁽¹⁾
OPA596	シングル	DBV (SOT-23, 5)
OPA2596	デュアル	D (SOIC, 8) DGK (VSSOP, 8)

(1) 詳細については、[セクション 10](#) を参照してください。

関連する 85V 製品

部品番号	出力電流	入力オフセット
OPAx596	$\pm 30mA$	1mV
OPAx593	$\pm 250mA$	100 μ V



ゲイン付き DAC 出力バッファ



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.4 デバイスの機能モード	19
2 アプリケーション	1	7 アプリケーションと実装	20
3 説明	1	7.1 アプリケーション情報	20
4 ピン構成および機能	3	7.2 代表的なアプリケーション	20
5 仕様	4	7.3 沿面距離と空間距離	25
5.1 絶対最大定格	4	7.4 電源に関する推奨事項	25
5.2 ESD 定格	4	7.5 レイアウト	26
5.3 推奨動作条件	4	8 デバイスおよびドキュメントのサポート	29
5.4 熱に関する情報 (OPA596)	5	8.1 ドキュメントの更新通知を受け取る方法	29
5.5 熱に関する情報 (OPA2596)	5	8.2 サポート・リソース	29
5.6 電気的特性	6	8.3 商標	29
5.7 代表的特性	8	8.4 静電気放電に関する注意事項	29
6 詳細説明	16	8.5 用語集	29
6.1 概要	16	9 改訂履歴	29
6.2 機能ブロック図	16	10 メカニカル、パッケージ、および注文情報	30
6.3 機能説明	17		

4 ピン構成および機能

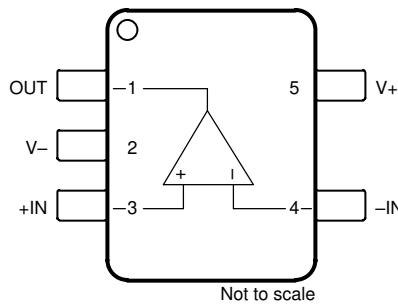


図 4-1. OPA596 DBV パッケージ、5 ピン SOT-23 (上面図)

表 4-1. ピンの機能 : OPA596

ピン		タイプ	説明
名称	番号		
+IN	3	入力	非反転入力
-IN	4	入力	反転入力
OUT	1	出力	出力
V+	5	電源	正 (最高) 電源
V-	2	電源	負 (最低) 電源

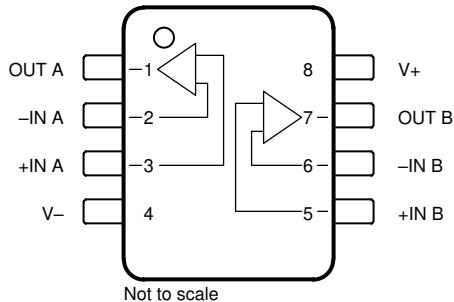


図 4-2. OPA2596 D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP
(上面図)

表 4-2. ピンの機能 : OPA2596

ピン		タイプ	説明
名称	番号		
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
OUT A	1	出力	出力、チャネル A
OUT B	7	出力	出力、チャネル B
V+	8	電源	正 (最高) 電源
V-	4	電源	負 (最低) 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V_S	電源電圧、 $V_S = (V+) - (V-)$			93	V
信号入力ピン電圧 ⁽²⁾	同相		$(V-) - 0.3$	$(V+) + 0.3$	V
	差動			$(V+) - (V-)$	
	入力電流、すべての入力ピン ⁽²⁾			± 10	mA
I_{SC}	出力短絡 ⁽³⁾			連続	
T_J	接合部温度			150	°C
T_{STG}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力端子は、電源レールに対してダイオード クランプされています。電源レールを超えて 0.3V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
- (3) グラウンドに短絡します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2500	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	± 500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧	デュアル電源	± 4	± 42.5		V
		単一電源	8	85		
T_A	周囲温度		-40	125	125	°C

5.4 熱に関する情報 (OPA596)

熱評価基準 ⁽¹⁾		OPA596	単位
		DBV (SOT-23)	
		5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	165.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	99.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	64.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	42.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	64.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体およびIC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 熱に関する情報 (OPA2596)

熱評価基準 ⁽¹⁾		OPA2596		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	111.3	143.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	49.2	50.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	59.0	78.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.8	3.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	58.1	77.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体およびIC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.6 電気的特性

$V_S = 85V$ ($\pm 42.5V$)、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$ を中間電源に、 $V_{CM} = V_{OUT}$ = 中間電源 (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧			± 0.2	± 1	mV
dV_{OS}/dT	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim +125^\circ C$ ⁽¹⁾		± 1	± 6	$\mu V/^\circ C$
PSRR	電源除去比	$8V \leq V_S \leq 85V$		± 1	± 5	$\mu V/V$
入力バイアス電流						
I_B	入力バイアス電流 ⁽¹⁾			± 5	± 15	pA
		$T_A = -40^\circ C \sim +85^\circ C$			± 50	
I_{OS}	入力オフセット電流 ⁽¹⁾	$T_A = -40^\circ C \sim +125^\circ C$			± 1	nA
		$T_A = -40^\circ C \sim +85^\circ C$		± 5	± 15	pA
		$T_A = -40^\circ C \sim +125^\circ C$			± 50	
ノイズ						
	入力電圧ノイズ	$f = 0.1Hz \sim 10Hz$		1.4		μV_{PP}
e_n	入力電圧ノイズ密度	$f = 100Hz$		17.8		nV/\sqrt{Hz}
		$f = 1kHz$		12.9		
		$f = 10kHz$		12.8		
i_n	電流ノイズ密度	$f = 1kHz$		7		fA/\sqrt{Hz}
入力電圧						
V_{CM}	同相電圧	線形動作	$(V-) - 0.1$	$(V+) - 3.5$		V
CMRR	同相除去	$(V-) \leq V_{CM} \leq (V+) - 3.5V$	$T_A = -40^\circ C \sim +125^\circ C$ ⁽¹⁾	120	140	dB
				120	140	
入力インピーダンス						
	差動			100	$\parallel 2.5$	$M\Omega \parallel pF$
	同相			10	$\parallel 5.5$	$G\Omega \parallel pF$
開ループ ゲイン						
A_{OL}	開ループ電圧ゲイン	$(V-) + 1V < V_O < (V+) - 1.5V$ 、 $R_L = 10k\Omega$ 中間電源に ⁽¹⁾		134	140	dB
			$T_A = -40^\circ C \sim +125^\circ C$	120	140	
		$(V-) + 3V < V_O < (V+) - 3.5V$ 、 $R_L = 2k\Omega$ を中間電源に		116	126	
			$OPA596$ $T_A = -40^\circ C \sim +125^\circ C$ ⁽¹⁾	116	126	
			$OPA2596$ $T_A = -40^\circ C \sim +125^\circ C$ ⁽¹⁾	97	110	
周波数応答						
GBW	ゲイン帯域幅積	$G = 1$		2.25		MHz
		$G = 10$		3		
		$G = 100$		3.75		
SR	スルーレート	$G = \pm 1$ 、 $V_O = 70V$ 刻み		100		$V/\mu s$
t_S	セトリング タイム	$\pm 0.01\%$ まで、 $G = 1$ 、 $V_O = 70V$ 刻み、 $C_L = 20pF$		3		μs
	過負荷からの回復	$G = -10$		115		ns
THD+N	全高調波歪み + ノイズ	$G = +1$ 、 $V_O = 70V_{PP}$ 、 $f = 1kHz$	$R_L = 10k\Omega$	-102		dB
			$R_L = 2k\Omega$	-95		

5.6 電気的特性 (続き)

$V_S = 85V$ ($\pm 42.5V$)、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$ を中間電源に、 $V_{CM} = V_{OUT}$ = 中間電源 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
V_O	電圧出力スイング (レールから) (1)	無負荷	40	50		mV
		$R_L = 10k\Omega$ を中間電圧に	420	500		
		$R_L = 2k\Omega$ を中間電圧に	2	2.5		V
I_{SC}	出力電流			± 30		mA
C_{LOAD}	容量性負荷駆動能力			1		nF
Z_O	オープンループ出力インピーダンス	$f = 1MHz$	550			Ω
電源						
I_Q	静止時電流	$I_O = 0mA$		420	490	μA
			$T_A = -40^\circ C \sim +125^\circ C$ (1)		500	
温度						
	過熱シャットダウン	シャットダウン温度、 T_J	170			$^\circ C$
		熱ヒステリシス	20			

(1) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。

5.7 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 85\text{V}$ 、 $V_{CM} = V_{OUT}$ = 中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

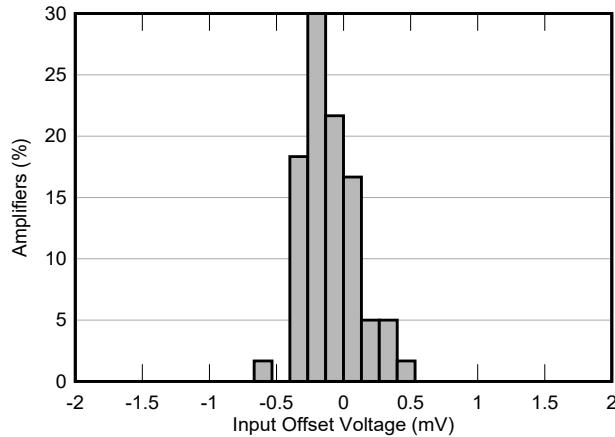


図 5-1. 25°C でのオフセット電圧の製品分布

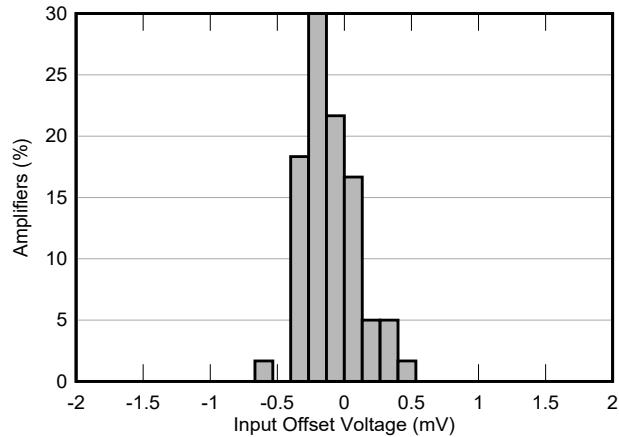


図 5-2. 125°C でのオフセット電圧の製品分布

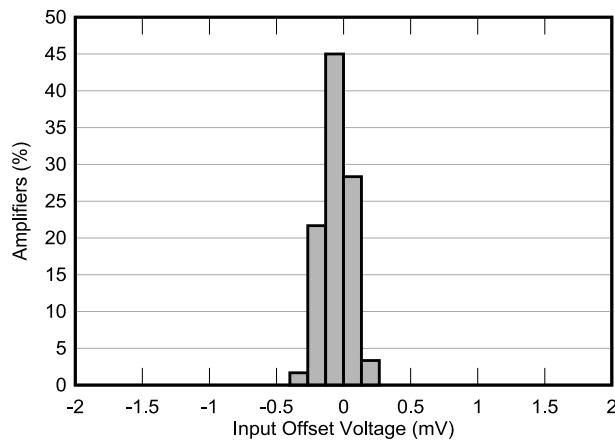


図 5-3. -40°C でのオフセット電圧の製品分布

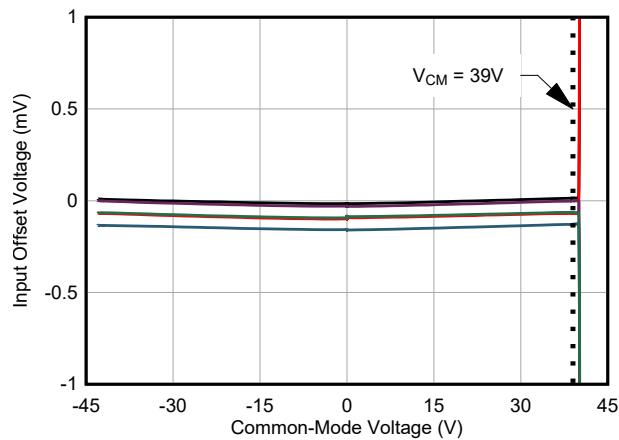


図 5-4. 入力オフセット電圧と同相電圧との関係

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 85\text{V}$ 、 $V_{CM} = V_{OUT}$ =中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

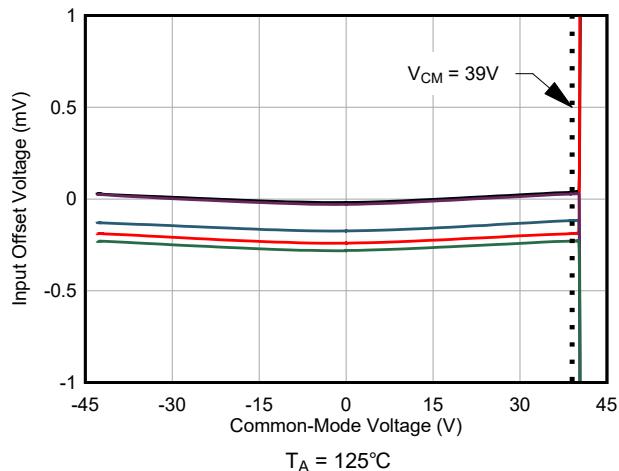


図 5-5. 入力オフセット電圧と同相電圧との関係

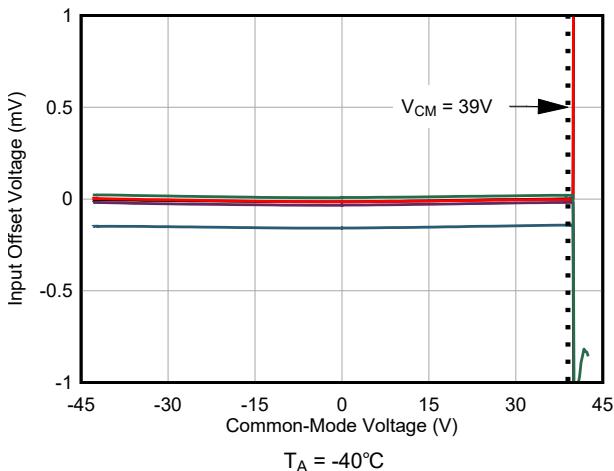


図 5-6. 入力オフセット電圧と同相電圧との関係

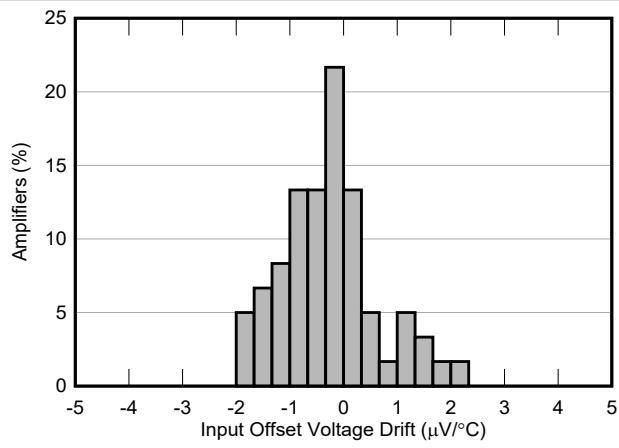


図 5-7. オフセット電圧ドリフトの分布

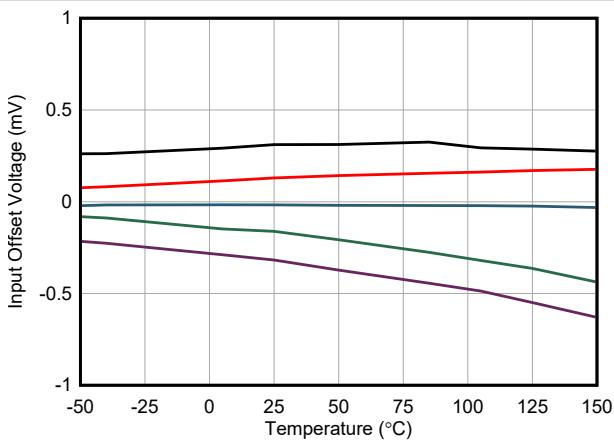


図 5-8. 入力オフセット電圧と温度との関係

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 85\text{V}$ 、 $V_{CM} = V_{OUT}$ =中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

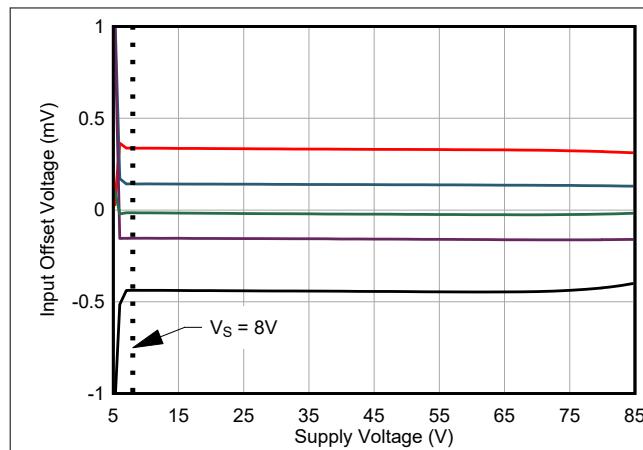


図 5-9. オフセット電圧と電源電圧との関係

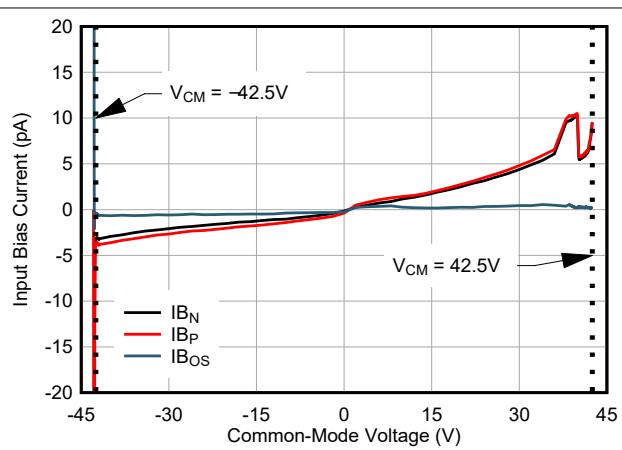


図 5-10. 入力バイアスと同相電圧との関係

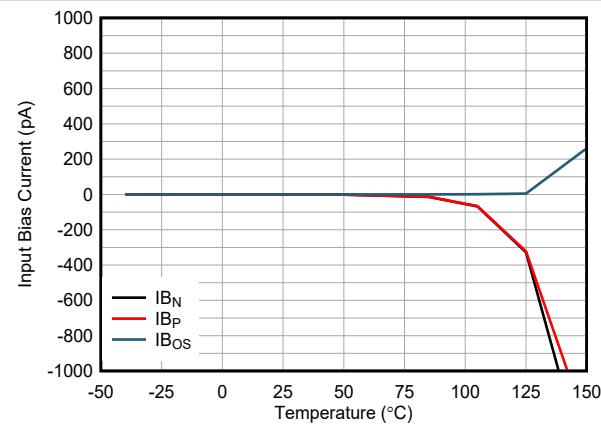


図 5-11. 入力バイアスおよび入力オフセット電流と温度との関係

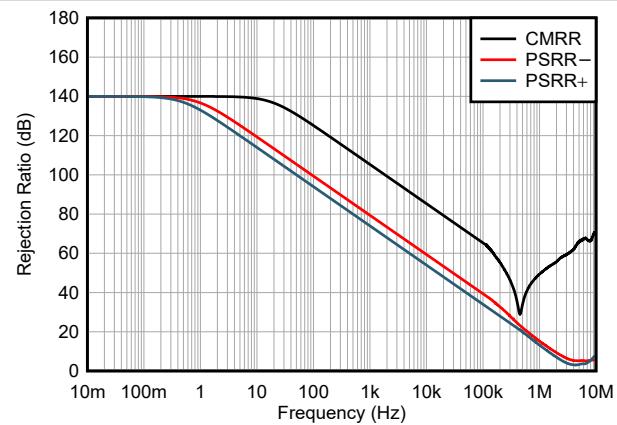


図 5-12. 電源および同相除去比と周波数との関係

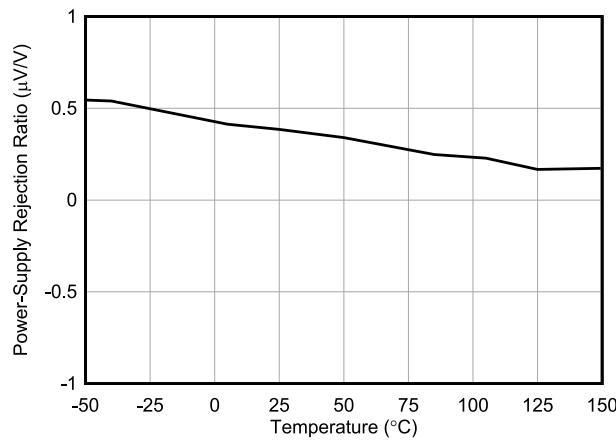


図 5-13. 電源除去比と温度との関係

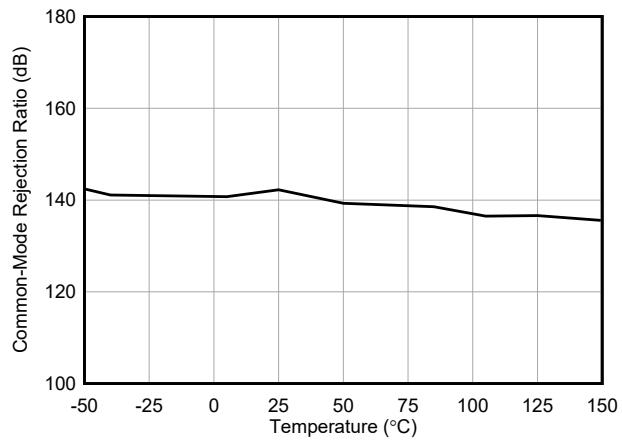
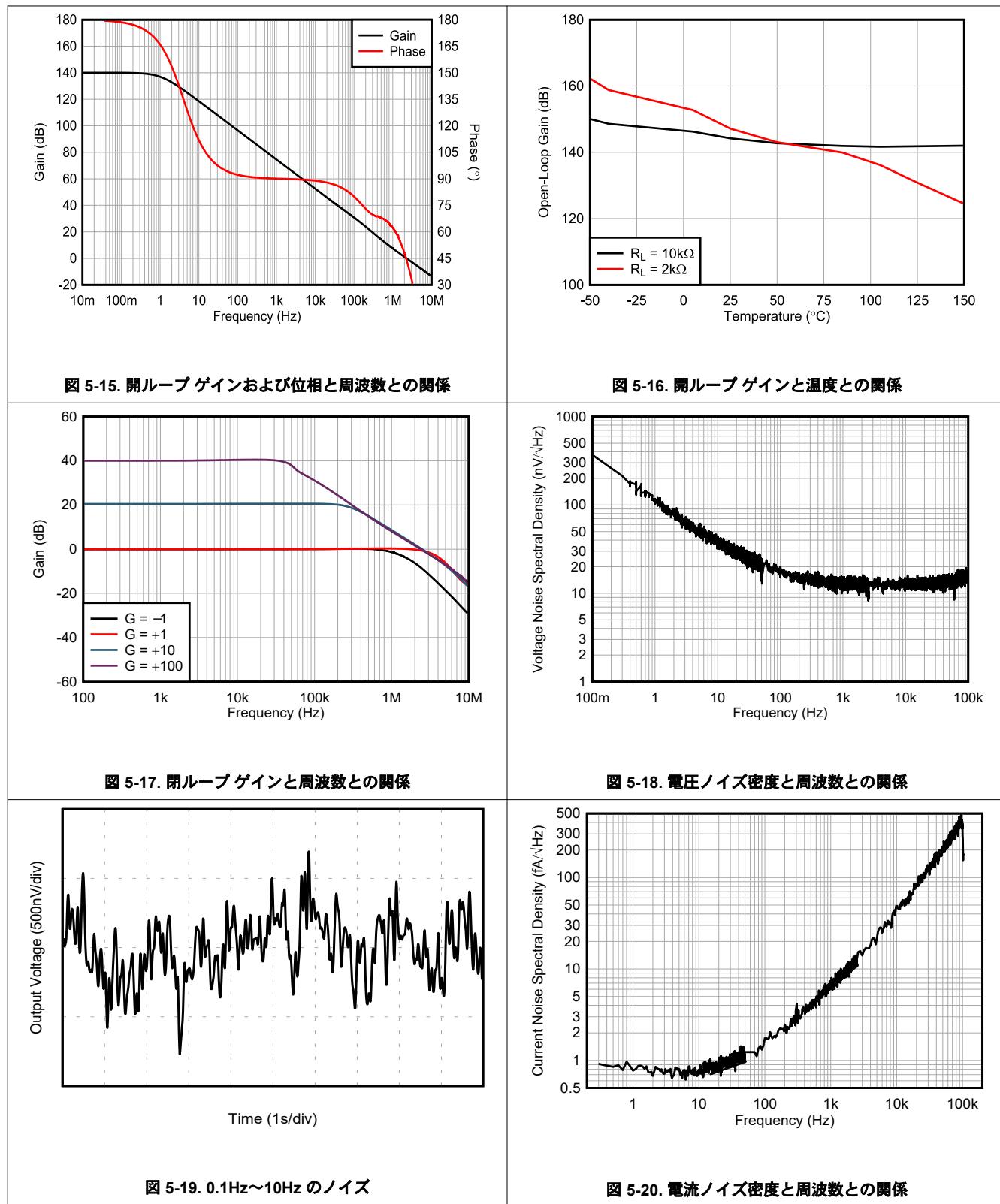


図 5-14. 同相除去比と温度との関係

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 85\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}}$ = 中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)



5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{\text{CM}} = V_{\text{OUT}}$ =中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

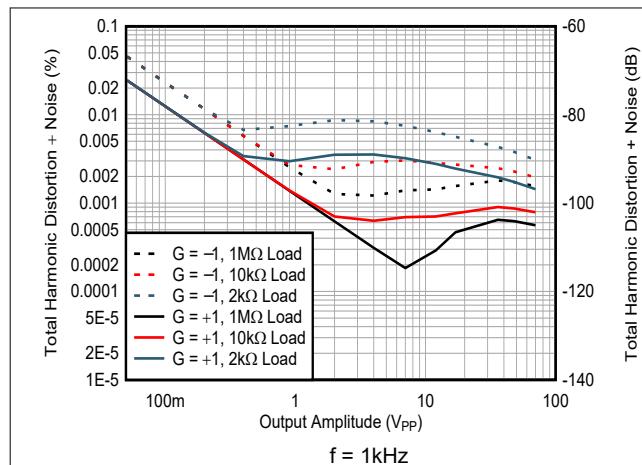


図 5-21. 全高調波歪 + ノイズ比と出力振幅との関係

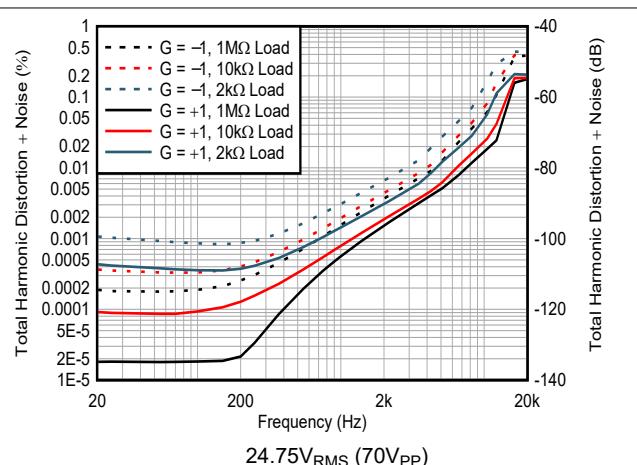


図 5-22. 全高調波歪 + ノイズ比と周波数との関係

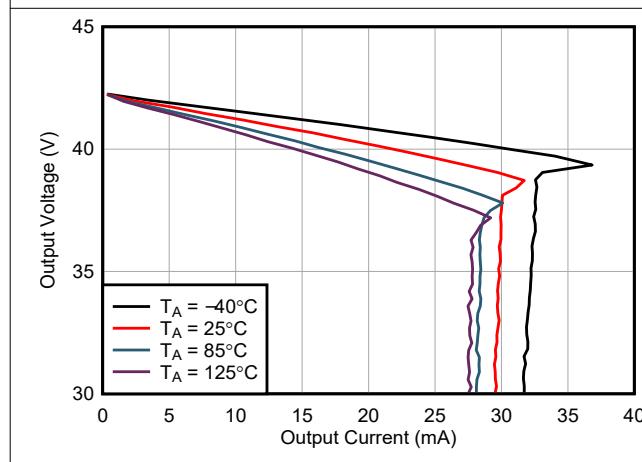


図 5-23. 出力電圧スイングと出力ソース電流との関係

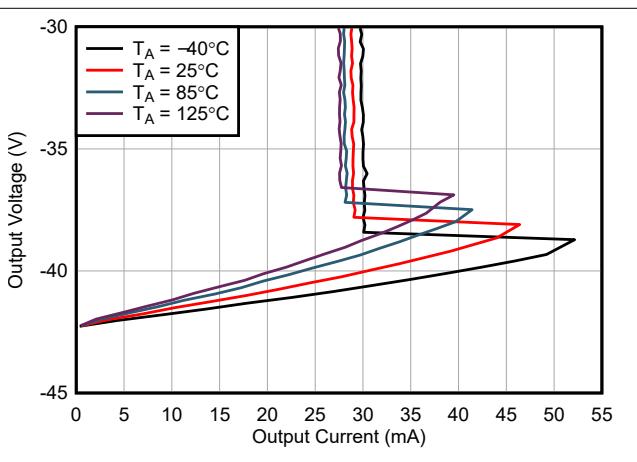


図 5-24. 出力電圧スイングと出力シンク電流との関係

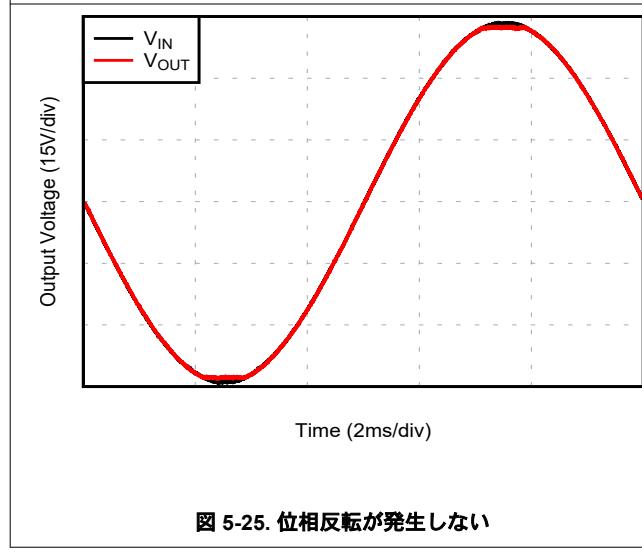


図 5-25. 位相反転が発生しない

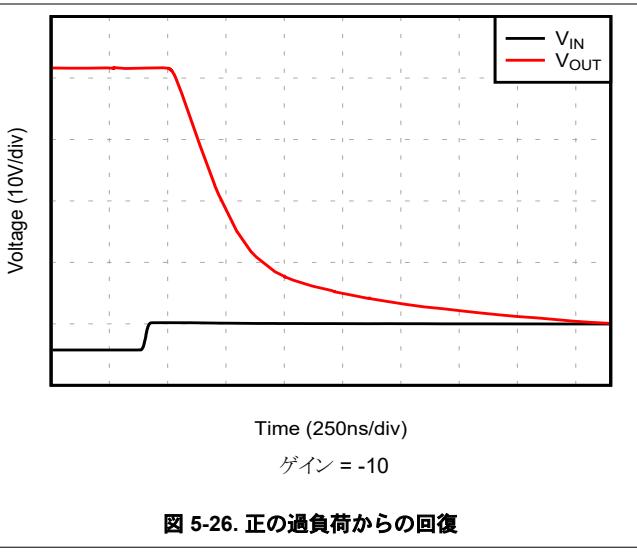
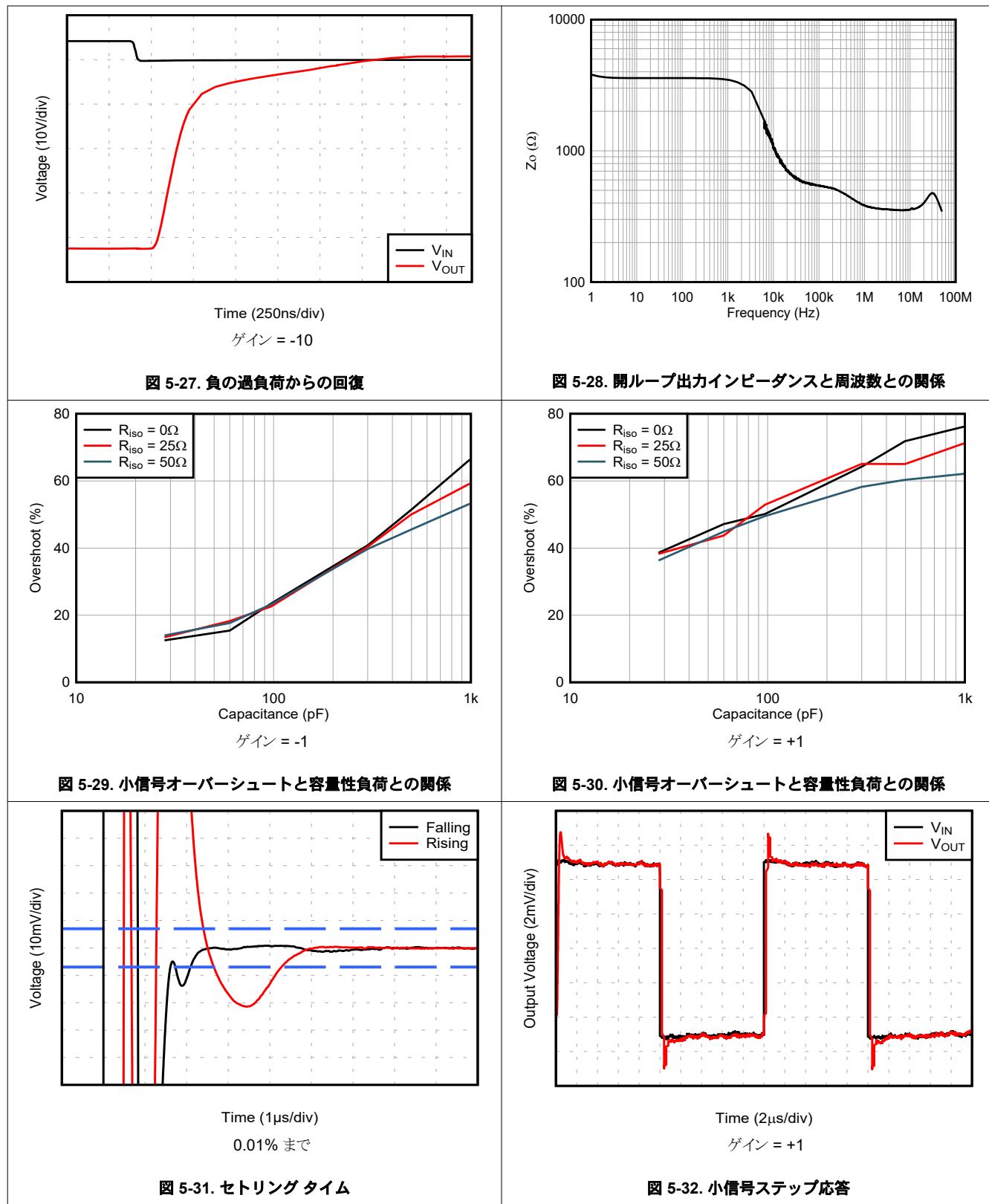


図 5-26. 正の過負荷からの回復

5.7 代表的特性 (続き)

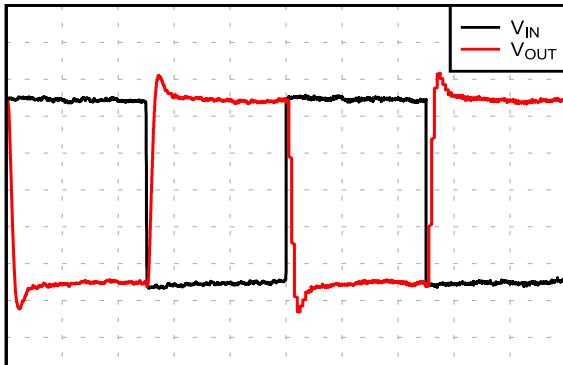
$T_A = 25^\circ\text{C}$ 、 $V_S = 85\text{V}$ 、 $V_{CM} = V_{OUT}$ = 中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)



5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 85\text{V}$ 、 $V_{CM} = V_{OUT}$ =中間電源、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

Output Voltage (2mV/div)

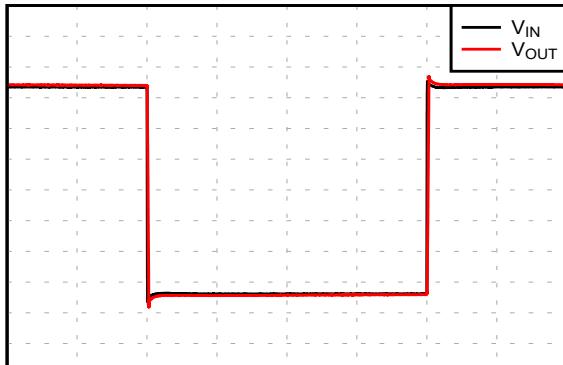


Time (2μs/div)

ゲイン = -1

図 5-33. 小信号ステップ応答

Output Voltage (10V/div)

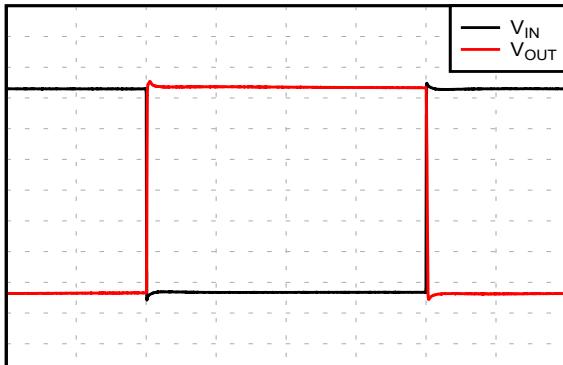


Time (25μs/div)

ゲイン = +1

図 5-34. 大信号ステップ応答

Output Voltage (10V/div)

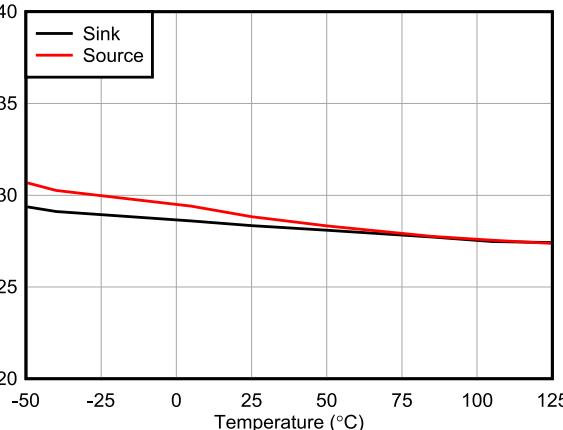


Time (25μs/div)

ゲイン = -1

図 5-35. 大信号ステップ応答

Short-Circuit Current (mA)



Temperature (°C)

図 5-36. 短絡電流と温度との関係

5.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 85\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = \text{中間電源}$ 、 $R_L = 10\text{k}\Omega$ (特に記述のない限り)

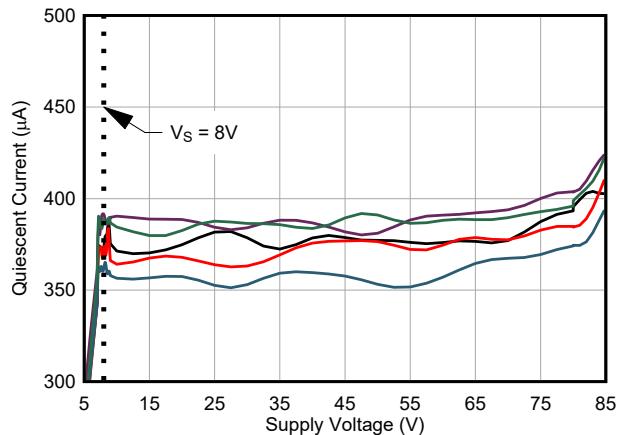


図 5-37. 静止電流と電源電圧との関係

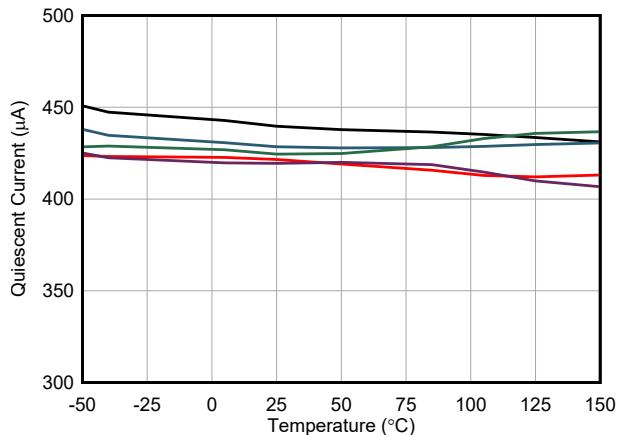


図 5-38. 静止電流と温度との関係

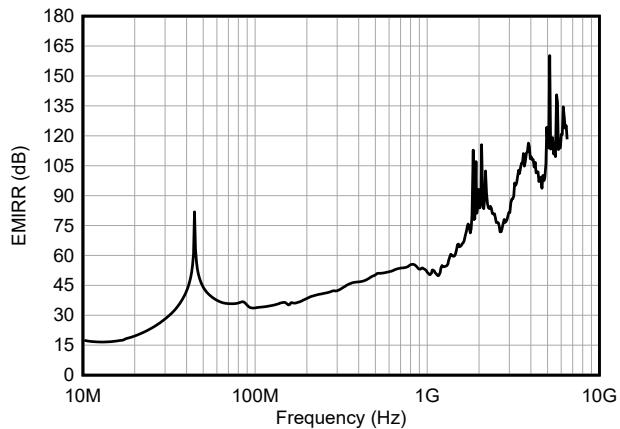


図 5-39. 電磁干渉除去

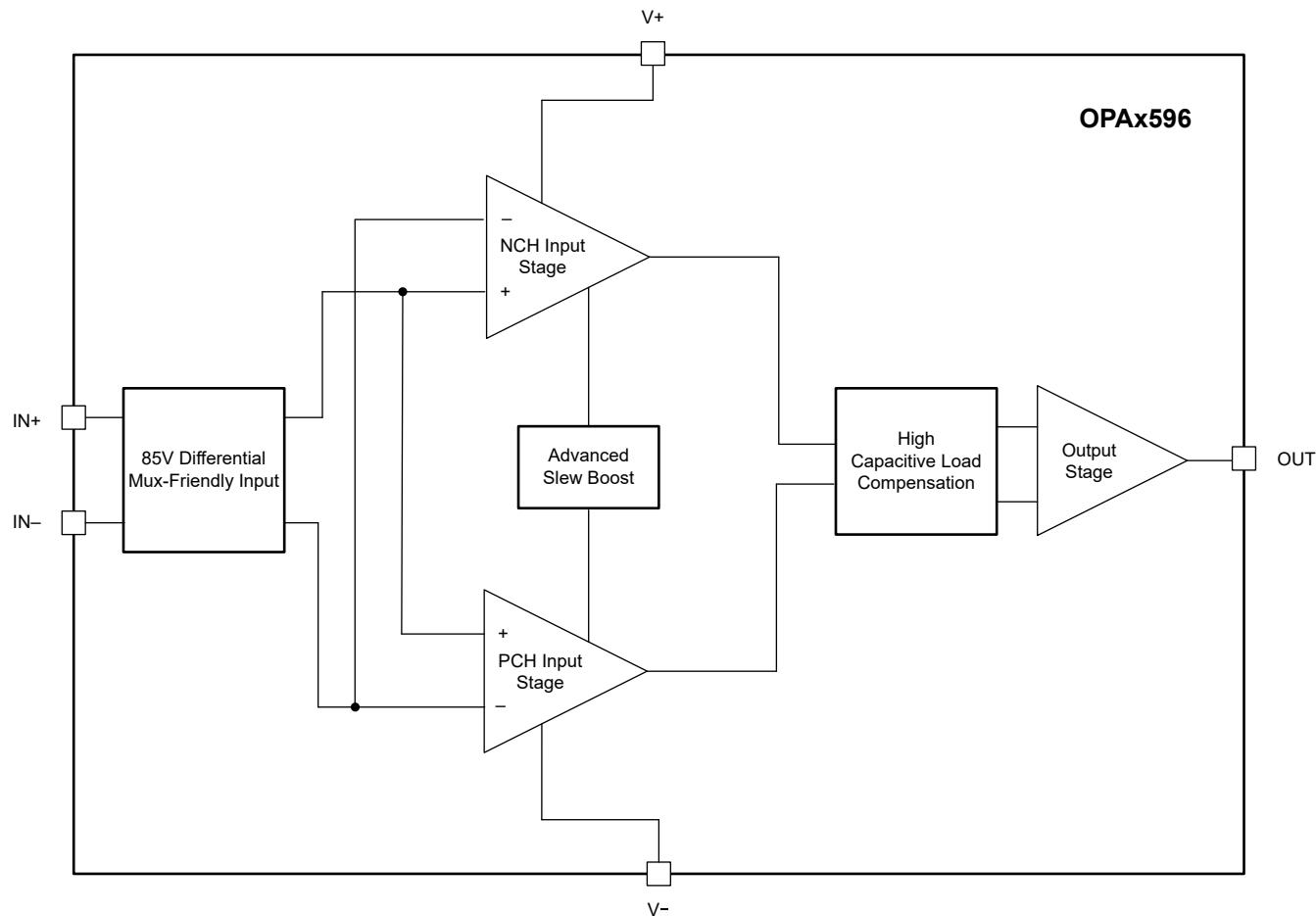
6 詳細説明

6.1 概要

OPAx596 は、低消費電力 ($420 \mu A$)、高スルーレート ($100V/\mu s$)、85V オペアンプです。これらのオペアンプは、独自の設計技術を使用して、最小の消費電力で非常に高いスルーラートを実現します。OPAx596 は $\pm 30mA$ の出力電流を駆動でき、どちらの電源レールからも 100mV 以内までスイングできます。

これらのアンプは、最新の CMOS 技術と高度な設計機能を搭載しており、非常に優れた AC 性能の実現に貢献するほか、小型パッケージオプションを実現できます。OPAx596 の長所には、3.75MHz の帯域幅、 $12.8nV/\sqrt{Hz}$ のノイズ スペクトラル密度、低い入力バイアス電流も含まれます。これらの特長から、OPAx596 デジタルプログラマブル電源における D / A コンバータ (DAC) の出力のゲインまたはバッファとして非常に優れた選択肢になります。

6.2 機能ブロック図



6.3 機能説明

6.3.1 MUX 対応入力

OPAx596 は、入力保護ダイオードが不要な独自の入力アーキテクチャを採用していますが、過渡条件下でも確実に入力を保護します。図 6-1 の従来の入力ダイオード保護方式は、高速過渡ステップ応答によってアクティブ化され、代替電流パスのために信号歪みやセトリング時間遅延が発生する可能性があります。図 6-2 も参照してください。低ゲイン回路の場合、これらの高速ランプ入力信号は、入力電流を増やすバックツーバックダイオードを順バイアスし、セトリング時間が伸びます。

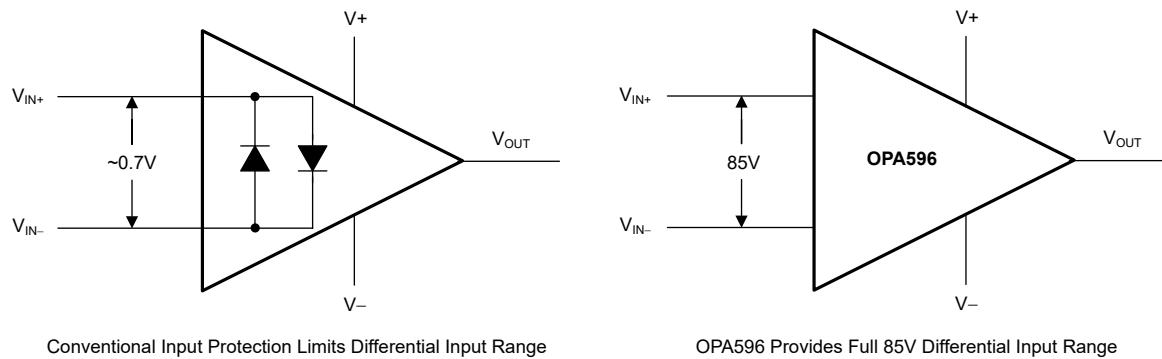


図 6-1. OPA596 の入力保護機能は、差動入力能力を制限しない

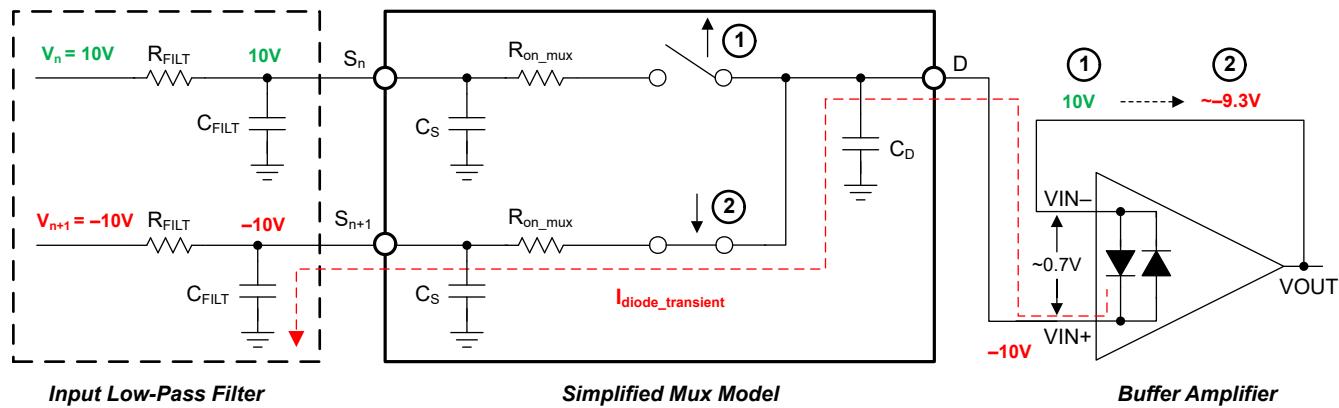


図 6-2. バックツーバックダイオードではセトリングの問題が発生する

OPAx596 は、高電圧アプリケーション向けに真の高インピーダンス差動入力を特徴としています。この特許取得済みの入力保護アーキテクチャは、信号歪みの増加やセトリングタイムの遅延を引き起こさないため、このデバイスはマルチチャネルの高スイッチ入力アプリケーションに最適な選択肢となります。OPAx596 は最大 85V の差動スイング (オペアンプの反転ピンと非反転ピンとの間の電圧) を許容できるため、コンパレータに、または高速ランプまたは切り替えられた入力信号を使用する優れた選択肢となります。

6.3.2 過熱保護

OPAx596 には過熱保護機能があり、自己発熱による損傷を低減できます。接合部温度 (T_J) が約 170°C に達すると、オペアンプの出力段はディセーブルされます。この過熱保護機能は、出力段の温度を監視し、オペアンプの出力駆動をオフにすることで機能します。過熱保護機能により、出力が強制的に高インピーダンス状態になります。OPAx596 は、熱ヒステリシスが約 20°C で設計されており、出力段の温度が約 150°C を下回ると通常動作に戻ります。

この過熱保護機能の目的は、このデバイスが絶対最大定格を超えないようにすることではなく、このデバイスに過剰な熱的過負荷が掛からないようにすることです。

6.3.3 高度なスルーブースト

スルーレートは、時間に対する出力電圧変化の最大変化率を測定した値であり、一般に V/マイクロ秒 (V/μs) 単位で表されます。入力に大きい急速に変化する信号が印加されると、オペアンプがスルーランプ状態に移行する可能性があります。スルーランプの間、オペアンプは開ループ状態に入り、スルーランプに起因する大きな歪みが出力信号に見られます。

式 1 は、オペアンプのスルーレート SR が一般に入力段の飽和電流 I_{TAIL} 、および補償コンデンサ C_C によって決定されることを示しています。

$$SR = \frac{I_{TAIL}}{C_C} \quad (1)$$

スルーレートは一般に、オペアンプの静止電流 (I_Q) によってスケーリングされます。スルーレートの制限を克服する方法はいくつか存在します。たとえば、逆補償とも呼ばれる C_C を小さくすると、安定性が犠牲になりスルーレートが向上します。不完全補償型オペアンプには、最小ゲインが必要であり、ユニティゲインで安定ではありません。より一般的に見た最新のオペアンプには、スルーレートを改善するため、 I_{SAT} を増加させるスルーブースト技術が搭載されています。スルーブースト回路の実装方法は異なりますが、一般に、同等の非昇圧オペアンプに比べて約 4 倍の改善を期待することができます。

OPAx596 は、独自の設計を使用して、比類のないスルーレートと I_Q 比を実現しています。OPAx596 の新しいスルーブースト技術により、類似の昇圧なしオペアンプと比較して 100 倍近いスルーレート向上を実現します。オペアンプはユニティゲイン安定であり、必要に応じてバッファとして使用できます。

表 6-1 に、さまざまなオペアンプのスルーレートと静止電流の比較を示します。

表 6-1. オペアンプのスルーレートと静止電流

部品番号	スルーレート	静止時電流
OPAx596	100V/μs	420μA
OPAx188	0.8V/μs	425μA
OPAx202	0.35V/μs	580μA
OPAx192	20V/μs	1mA
OPA454	13V/μs	3.2mA

6.3.4 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージキャリアは線形状態に回復するための時間を必要とします。チャージキャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーランプを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルーランプ時間の合計になります。

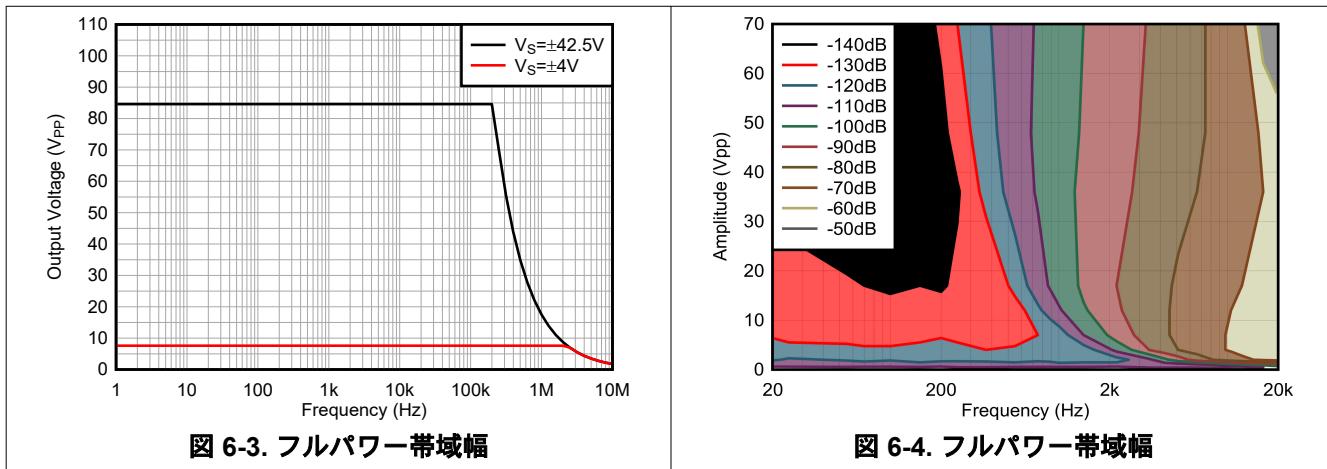
6.3.5 フルパワー帯域幅

フルパワー帯域幅の曲線は、数十年にわたってデータシートで重要な役割を果たしてきました。オペアンプのフルパワー帯域幅から、特定の振幅および周波数の信号でスルーに起因する歪みがどこに設計者が予想できるかをいくつか示します。フルパワー帯域幅曲線は、式 2 を使用して生成されます。

$$FPBW = \frac{SR}{2\pi V_{OUT_MAX}} \quad (2)$$

OPAx596 のフルパワー帯域幅を、図 6-3 に示します。この曲線は、歪み性能の懸念がほとんどなく、高電圧かつ高周波の出力スイングを達成する必要がある設計者に最適なリファレンスになります。残念ながら、この曲線は曲線上の任意の点での真の歪みを示すものではありません。フルパワー帯域幅の曲線は、結局のところ、出力が最大変化率に近づくにつれて理論値とスルーに起因する歪みのみが徐々に現れます。さらに、スルーに起因する歪みは、オペアンプ歪みのいくつかの原因の 1 つにすぎません。したがって、曲線はまともな出発点ですが、歪み性能の信頼できるソースではありません。

図 6-4 に、OPAx596 の全高調波歪み (THD) 性能という観点からフルパワー帯域幅を示します。この曲線は、特定の振幅と周波数の信号について設計者が予測できる歪みのレベルを、より適切に示します。たとえば、OPAx596 は、70V_{PP} で最大約 1kHz で約 -100dB 以上の THD を実現できます。2 番目の例として、OPAx596 は最大約 1kHz まで、10V_{PP} で約 -130dB 以上の THD を達成できます。測定帯域幅に制限があるため、20kHz のデータのみが記録されます。



6.4 デバイスの機能モード

OPAx596 は単一機能モードがあり、電源電圧が 8V ($\pm 4V$) から 85V ($\pm 42.5V$) の範囲内で動作します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

OPAx596 は、低消費電力 ($420\mu\text{A}$)、高スルーレート ($100\text{V}/\mu\text{s}$)、85V パワーオペアンプです。これらのオペアンプは、独自の設計手法により、消費電力を最小限に抑えながら非常に高いスルーライング能力を実現しています。消費電力が小さいため、ボードでの発熱が低減され、出力は電源レール付近でのスイングが可能になります。高いスルーレートにより、大きなピーク高周波信号を扱う場合、出力でスルーラインの歪みが低減されます。

7.2 代表的なアプリケーション

7.2.1 ブリッジ接続圧電ドライバ

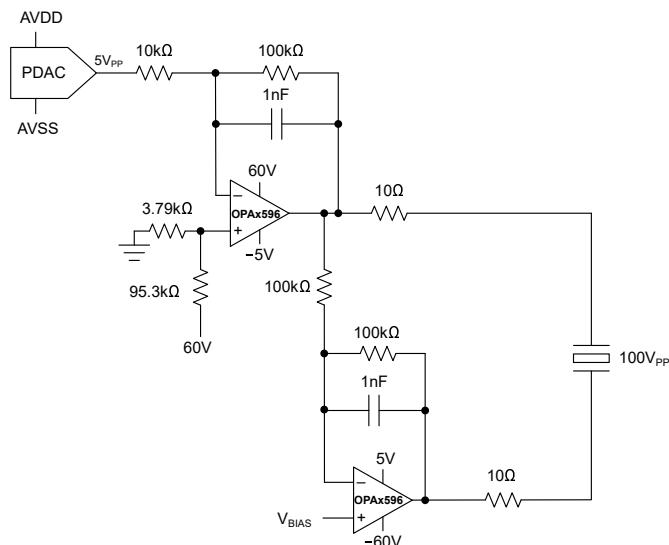


図 7-1. 100V_{PP} 圧電ドライバ、ブリッジ接続負荷付き

7.2.1.1 設計要件

OPAx596 は、100V 動作範囲の圧電アクチュエータを駆動するために、比較的低い周波数の 100Hz で使用されます。圧電アクチュエータが本質的に備える大きな容量により、ドライバアンプに望ましくないリンギングが発生する可能性があります。アンプの不安定性が原因で、アクチュエータの応答が不正確になる可能性があります。500nF の等価負荷と広い出力スイング能力を実現するには、ここに示す圧電アクチュエータを搭載した堅牢なドライバ回路を製作するには、十分な位相マージンが必要です。表 7-1 に設計パラメータを示します。

表 7-1. 設計パラメータ

パラメータ	値
電源電圧	65V
圧電アクチュエータ容量 (1kHz)	500nF
圧電の動作電圧範囲	0V ~ 100V
動作周波数	100Hz
DAC 出力電圧	5V _{PP}

7.2.1.2 詳細な設計手順

圧電アクチュエータは、従来型ソレノイド・アクチュエータと比較して多くの利点を提供します。圧電式アクチュエータは、ソレノイド・アクチュエータと比較して、精度が高く、電力効率が高く、一般的に小型です。圧電アクチュエータの課題の1つは、圧電アクチュエータが非常に広い電圧範囲で動作することです。60Vを超える電圧を駆動するのは珍しくなく、数百ボルトにも容易に到達できます。OPAx596は、電源電圧範囲 85V で動作します。

この設計例では OPAx596 使用して高電圧圧電アクチュエータを制御する 100V_{PP} 信号を供給します(も参照図 7-1)。圧電アクチュエータは、共振周波数よりも低い周波数で動作するときの大容量コンデンサとしてモデル化することができます。圧電アクチュエータは OPAx596 の 2 つのオペアンプによって駆動されるフローティング負荷として処理されます。オペアンプの出力は 180°位相差に設定され、アクチュエータ負荷から見た電圧の 2 倍になります。デジタル/アナログコンバータの信号電圧は OPAx596 によって-10V/V のゲインが印加されます。シンプルな電圧デバイダは DC リファレンスを使用して出力をレベル・シフトし、ユニポーラ駆動電圧を実現します。図 7-2 に両方のアンプの出力電圧と、圧電負荷から観測される電圧を示します。

アンプが大きな容量性負荷を認識すると、不安定性につながる可能性があり、適切な補償が必要になります。位相マージンと安定性を向上させる簡単な方法は、絶縁抵抗と補償コンデンサをフィードバックに追加することです。OPAx596 の各出力には小さな 10Ω の R_{ISO} と 1nF の補償コンデンサを接続するのが効果的です。絶縁抵抗はできるだけ小さくし、それらの両端の電圧降下を最小限に抑えます。動作周波数に応じて補償コンデンサを選択します。この例では、1nF のコンデンサを使用して、100Hz の信号に対応するのに十分な帯域幅が確保されます。PSPICE や TINA-TI などのシミュレーション・ツールを使用して、安定性を確認してください。

この回路の制限を理解することが重要です。他の容量性負荷と同様、高周波ではインピーダンスが大幅に低下する可能性があります。この挙動により、高周波時のドライバアンプの電流出力能力要件が大幅に増大します。高周波動作が必要な場合は、高い電流駆動能力を持つ他のアンプを検討してください。100Hz で、OPAx596 は必要な電流を供給できます。図 7-3 に、この例の OPAx596 の電流出力を示します。

7.2.1.3 アプリケーション曲線

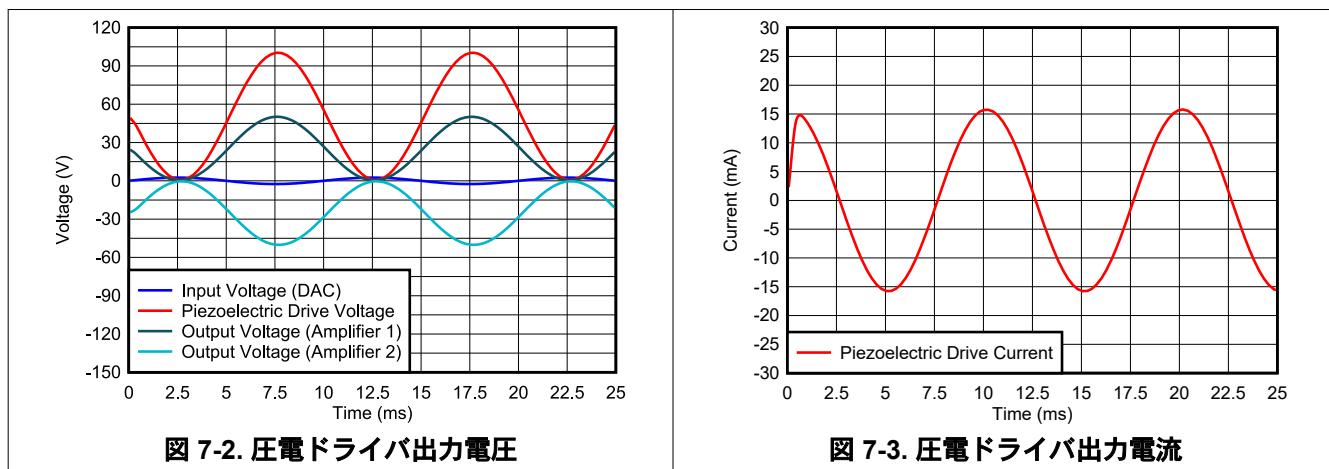
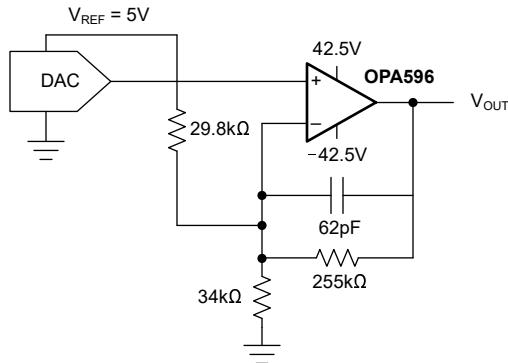


図 7-2. 圧電ドライバ出力電圧

図 7-3. 圧電ドライバ出力電流

7.2.2 DAC 出力ゲインおよびバッファ



7.2.2.1 設計要件

OPAx596 は、ゲイン付きの出力ドライバ段として使用するように設計されており、広いバイポーラ電源電圧を供給します。これらの機能は、小さなサイズの SOT23-5 パッケージ、低消費電力と組み合わせることで、このデバイスは、半導体テスト、多くのチャネルが存在する製造プラットフォームなど、高チャネル密度システムに最適です。この設計例では、OPAx596 は約 17V/V のゲインに構成されています¹。

表 7-2. 設計パラメータ

パラメータ	値
電源電圧	-42.5V ~ +42.5V
入力電圧	0V ~ 5V
出力電圧	-42.5V ~ +42.5V
ゲイン	17 V/V

7.2.2.2 詳細な設計手順

この設計例では、OPAx596 ゲイン段と出力ドライバの両方として構成しています。アンプへの入力信号は 0V ~ 5V であり、デバイスは 17V/V の非反転ゲインで構成されています 5V の DAC 基準電圧を基準電圧として使用し、バイポーラ出力スイングを可能にします。この構成では、出力電圧は約 -42.5V ~ +42.5V です。この設計例は、DAC を使用して入力信号を供給し、低い出力電流要件で広い出力信号を必要とする多くのシステムで一般的です。OPAx596 は、熱的規定の制限範囲内であっても、いずれかのレールまでスイングできます。このようなシステムには、試験 / 測定プラットフォーム、電源などがあります。

7.2.3 単一電源圧電ドライバ

図 7-4 に示すように、いくつかの圧電トランスデューサはグランドを基準できます。OPAx596 は電源電圧範囲が広いため、複雑なブリッジ接続負荷構成を使用せずに、最大 85V の高電圧トランスデューサを駆動できます。アンプの出力には圧電性負荷によって大きな容量が存在し、不安定性を防止するため適切な補償が必要です。出力電流ドライブの要件も考慮してください。電流駆動要件は、動作周波数と負荷の実効容量によって決定されます。高い周波数と大きな容量により、負荷の実効インピーダンスが減少するため、電流駆動の要件が増加します。OPAx596 は、DC および低周波数で圧電性負荷を駆動するための優れた選択肢です。

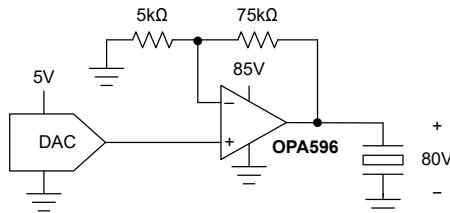


図 7-4. 80V 単一電源圧電ドライバ

7.2.4 ハイサイド電流センス

OPAx596 は、高電圧電流センスの測定が可能です。OPAx596 を使用すると、 $\pm 100V$ 以上のハイサイド電圧測定を簡単に実装できます。この電圧能力は、検出回路のゲインとアンプの入力同相電圧範囲に比例します。図 7-5 は、 $\pm 500V$ のハイサイド電流測定とゲイン 2 に構成された OPA596 を示します。高精度アンプをゲインステージとして使用し、信号をさらに増幅します。

負荷に関連する誤差を避けるため、入力抵抗は十分に大きくなります。OPAx596 は入力バイアス電流が低いため、他のパワー・アンプと比較して大きな抵抗を使用でき、このアプリケーションの総合誤差に大きく寄与しません。この設計に使用する抵抗を選択する際には、入力バイアス電流、熱ノイズ、入力同相範囲について特別な考慮が保証されています。

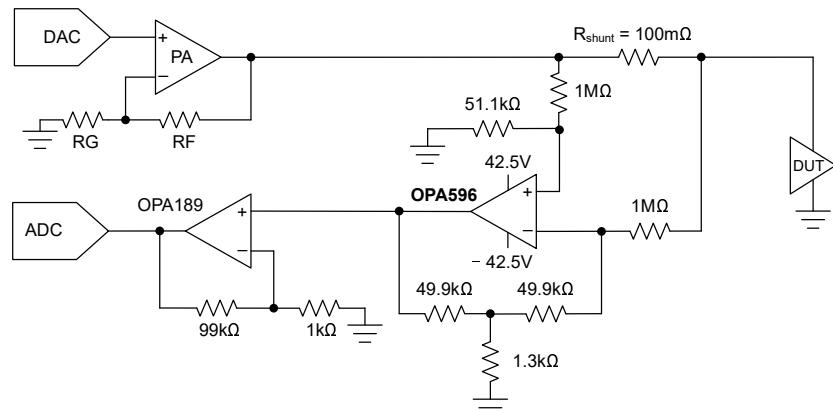


図 7-5. $\pm 500V$ ハイサイド電流センス

7.2.5 高電圧計測アンプ

差動測定はさまざまなアプリケーションで一般的です。差動測定で高入力インピーダンスが必要な場合、計測アンプを採用することができます。容易に利用できるモノリシック計測アンプの入力同相電圧範囲が限られていることが課題となります。図 7-6 に、OPAx596 を採用したディスクリート計測アンプを示します。この回路は、同相電圧が非常に高い場合に高インピーダンスの差動測定が必要な場合に有用です。

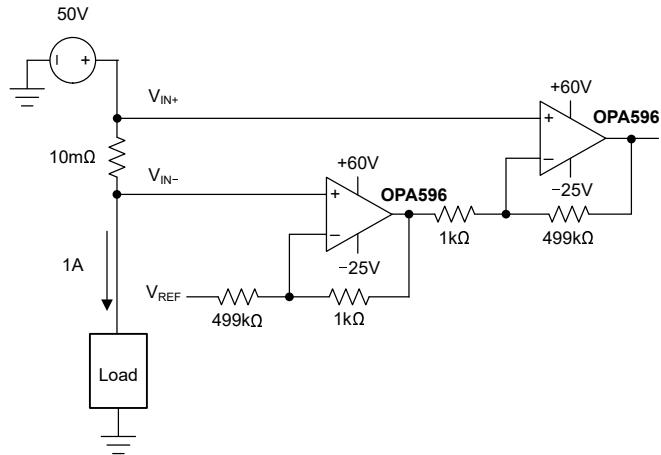


図 7-6. 高電圧計測アンプ

7.2.6 コンポジットアンプ

OPAx596 は、低い入力オフセット電圧と入力オフセットドリフトを実現しています。ただし、一部のアプリケーションでは、さらに高い精度が必要です。図 7-7 に、OPAx596 の DC 精度を大幅に向上させる方法を示します。OPA186 は、競争力のあるコストで提供される 24V ゼロドリフトオペアンプであり、複合アンプ構成の OPAx596 組み合わせることで、高電圧出力能力のある高精度アンプを作成できます。

1 つ目のアンプ OPA186 は、2 つ目のアンプ OPAx596 のオフセットを補正します。ゲインが $R_F / R_G + 1$ に等しくなるように、複合アンプのゲインは R_F と R_G によって設定されます。本アプリケーションでは、回路全体のゲインは 100V/V です。 R_1 と R_2 により OPAx596 にゲインを追加すると、OPA186 のゲイン負荷が減少することで、複合アンプの全体的な帯域幅が向上します。ただし、2 番目のアンプでゲインを大きくしすぎると、閉ループ帯域幅が狭くなり、位相マージンに悪影響を及ぼす可能性があります。複合アンプを構築する際には、安定性に関する特別な考慮事項が保証されます。

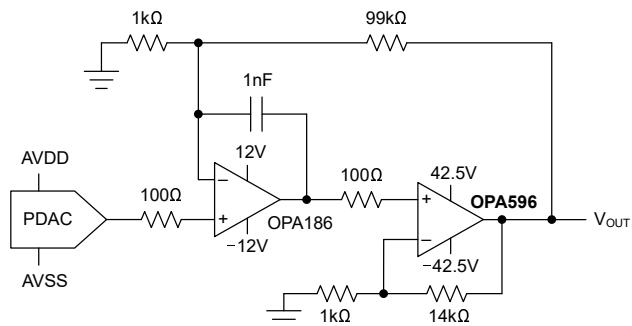
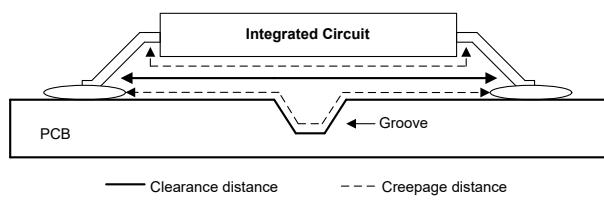


図 7-7. 高精度、高電圧出力コンポジットアンプ

7.3 沿面距離と空間距離

高電圧を使用して電気システムを設計および構築する場合には、沿面距離と空間距離という2つの重要な概念を考慮する必要があります。沿面距離とは、プリント基板(PCB)やプラスチック筐体など、絶縁材料の表面に沿って電流が取ることのできる最短経路を指します。空間距離とは、配線、端子、部品など2つの導電性部分間の、空気中の最短距離を意味します。図7-8に、代表的なICの沿面距離と空間距離を示します。

Edge View



Top view

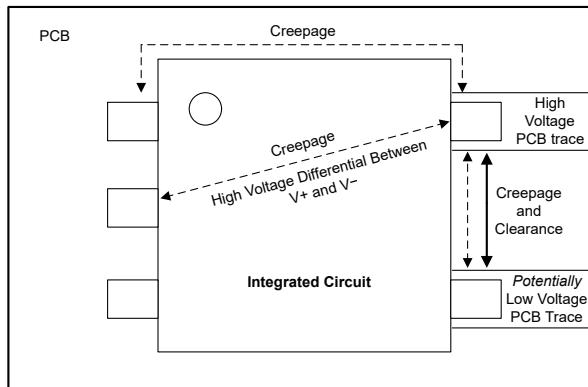


図7-8. ICの沿面距離と空間距離

沿面距離と空間距離のガイダンスを設けていくつかの規格がありますが、これらの規格がオペアンプやその他のICに関連するものでは、解釈と内部の要件に大きく依存します。ガイダンス距離は、汚染度、最大電圧、および基礎となるアプリケーションの影響を大きく受けます。沿面距離の場合、絶縁材料の比較トラッキングインデックス(CTI)定格が大きな要因になります。必要に応じて沿面距離と空間距離を改善するために、PBCグループの追加、コンフォーマルコーティング、動作電圧のディレーティングなど、さまざまな設計手法があります。

テキサスインスツルメンツは、PCB面積の最小化に適した小型パッケージを提供しています。ただし、沿面距離または空間距離の仕様を満たす要件は、関連するIECまたはシステムレベルの規格の解釈と実装によって異なります。このトピックの詳細については、『[高電圧最終製品の空間距離と沿面距離の明確化](#)』ドキュメントを参照してください。

7.4 電源に関する推奨事項

OPAx596、最大 $\pm 42.5V$ (85V)、わずか $\pm 4V$ (8V)の電源で動作し、優れた性能で動作します。ほとんどの特性は、動作電圧範囲内で変化しませんが、セクション5.7に動作電圧によって変化するパラメータが示されています。正常に動作させるには、 $0.1\mu F$ 以上の電源バイパスコンデンサが必要です。コンデンサの電圧の定格電圧が、動作温度範囲全体にわたって高いことを確認します。OPAx596には、非対称電源で電力を供給することにより、正と負の出力電圧スイングを等しくする必要がないアプリケーションでの消費電力を最適化できます。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、オペアンプの電源ピンや回路全体を通じてアナログ回路に伝播する可能性があります。各電源ピンとグランド間に、低 ESR の $0.1\mu\text{F}$ セラミックバイパスコンデンサを接続します。これらのコンデンサは、本デバイスのできるだけ近くに配置します。単一電源アプリケーションでは、 V_+ からグランドへのバイパスコンデンサ 1 つで十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランドプレーン専用です。グランドプレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドを物理的に分離します。
- 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配置します。これらのトレースを離して配置できない場合、感度の高いトレースをノイズの多いトレースと平行にするのではなく、垂直に交差させる方がはるかに効果的です。
- 外付け部品は、可能な限りデバイスに近く配置します。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチックパッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの場合、洗浄後に 85°C で 30 分間の低温ベーキングを行えば十分です。

7.5.1.1 熱に関する注意事項

通常の動作では、オペアンプは自己発熱します。自己発熱は、すべてのアンプで発生するダイ接合部温度の自然な上昇です。この自己発熱は、静止時消費電力、パッケージの熱抵抗、PCB レイアウト、デバイスの動作条件など、いくつかの要因によるものです。

OPAx596 は定格接合部温度 T_J の範囲内で動作し、サーマルシャットダウンを回避します。式 3 を使用して、推定される T_J を求めます

$$T_J = P_D \times R_{\theta JA} + T_A \quad (3)$$

静止状態では、 P_D は電源とオペアンプの静止電流の積で表されます。式 4 に 85V 電源を使用し、 25°C の動作温度を使用したとした $OPAx596T_J$ の計算結果を示します。

$$T_J = (85\text{V} \times 490\mu\text{A}) \times 165.4^\circ\text{C/W} + 25^\circ\text{C} \quad (4)$$

$$T_J = 31.89^\circ\text{C} \quad (5)$$

OPAx596 は消費電力が低いため、式 5 で求めるような小型の SOT23-5 パッケージでも自己発熱を最小限に抑えます。負荷条件では、 P_D は静止電力 P_{DQ} と出力段によって消費される電力 P_{DL} を加算した値に等しくなります。ワーストケースの条件は、出力電圧が両方の電源レールの $1/2$ に等しい場合です (対称型電源である V_+ および V_- を想定)。ワーストケース条件では、 P_{DL} は式 6 で与えられます。

$$P_{DL} = \frac{(V_+)^2}{4 \times R_L} \quad (6)$$

たとえば、OPAx596 にバイポーラの $\pm 42.5\text{V}$ 電源で電力を供給し、 $5\text{k}\Omega$ 負荷 R_L をグランドに駆動すると仮定します。 T_J の最大上昇は、式 7 から与えられるように約 22°C と予想されます。この例では、オペアンプを絶対最大定格内に維持す

るため、さまざまな要因を考慮して、128°C よりも T_A を十分に下に置いて動作させてください。5k Ω 負荷の計算を、図 7-9 に図示します。

$$\Delta T_J = (41.7\text{mW} + 90.3\text{mW}) \times 165.4 \frac{^\circ\text{C}}{\text{W}} \quad (7)$$

OPAx596 などの高電圧アンプでは、接合部温度は静止（無負荷）状態の周囲温度よりも数十度高いことがあります。式 3 おに示すように、接合部温度はパッケージの熱特性に依存し、接合部から周囲への熱抵抗 (R_{eJA}) で表されます。デバイスが駆動する負荷が大きくなると、接合部温度が上昇し、サーマル シャットダウン回路をトリップする可能性があります。OPA596 の SOT23-5 パッケージバージョンで、負荷時と無負荷時の両方の条件で絶対最大定格を超えないように、最大出力電圧と周囲温度との関係を、図 7-9 に示します。この曲線は、標準的な静止電流を前提としており、静止電流の温度変化を考慮していません。

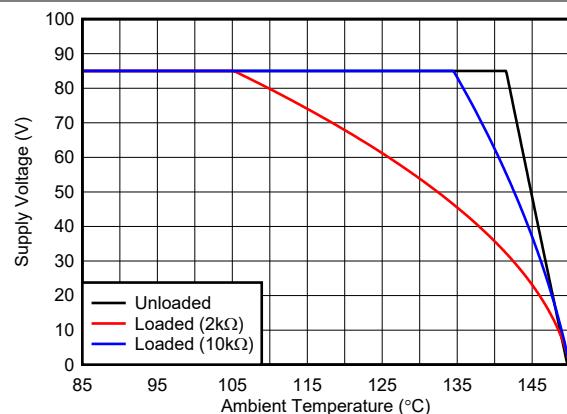


図 7-9. OPA596 (SOT23-5) がサーマル シャットダウンしない安全な動作領域

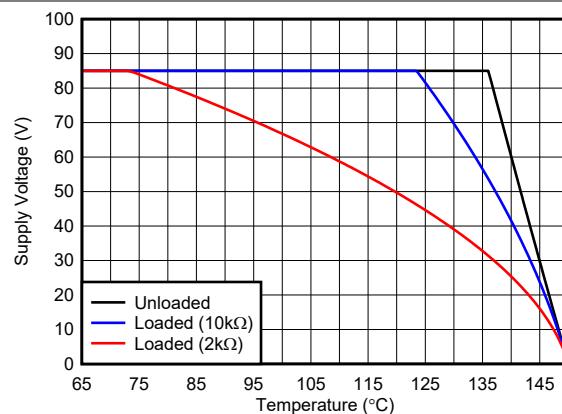


図 7-10. OPA2596 (VSSOP-8) がサーマル シャットダウンしない安全な動作領域

7.5.2 レイアウト例

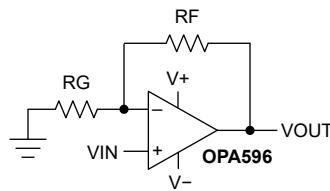


図 7-11. 非反転構成の回路図

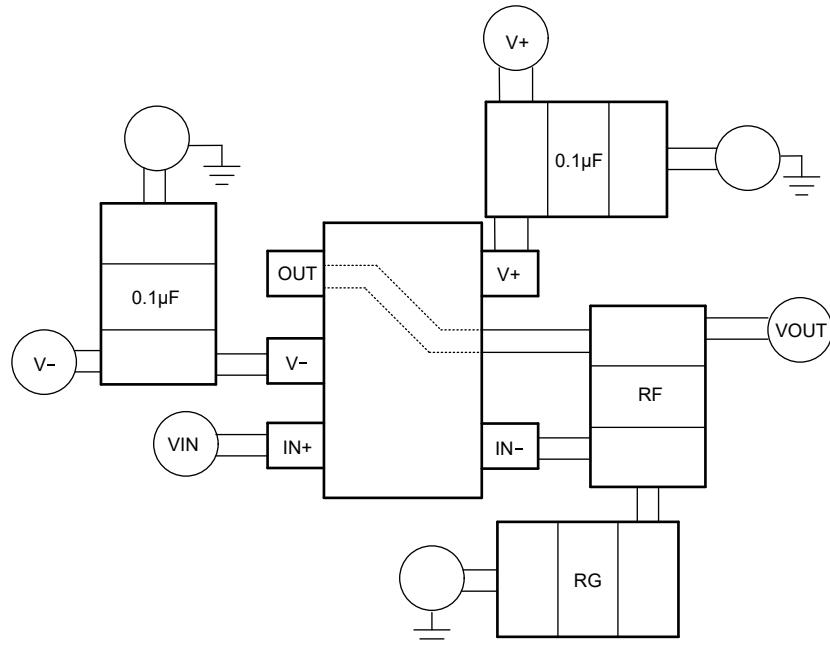


図 7-12. SOT23-5 パッケージの非反転構成の基板レイアウト

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (December 2025) to Revision C (December 2025)	Page
• OP2596 D (SOIC、8) パッケージをプレビューから量産データに変更.....	1

Changes from Revision A (February 2025) to Revision B (December 2025)	Page
• OP2596 DGK (VSSOP、8) パッケージを「開発中製品」から「量産データ」に変更.....	1
• 「電気的特性」に注 1 を追加	6
• レール TYP 値からの電圧出力スイングを更新.....	6
• レール ($R_L = 10k\Omega$) からの電圧出力スイングを最大 435mV から 500mV に変更.....	6
• レール ($R_L = 2k$) からの電圧出力スイングを最大 2.05V から 2.5V に変更.....	6

Changes from Revision * (June 2024) to Revision A (February 2025)	Page
• データシートのステータスを事前情報 (プレビュー) から量産混合 (アクティブとプレビュー) に変更.....	1
• OP2596 プレビュー D (SOIC、8) パッケージを追加「製品情報」表に.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2596DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3SAS
OPA2596DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2596D
OPA596DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596
OPA596DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596
OPA596DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596
OPA596DBVT.A	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

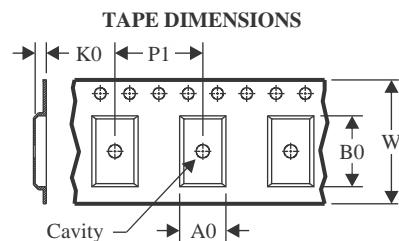
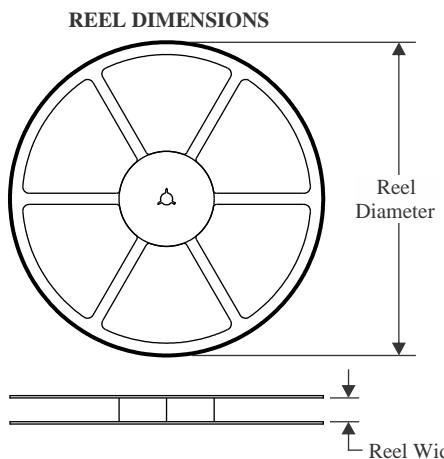
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

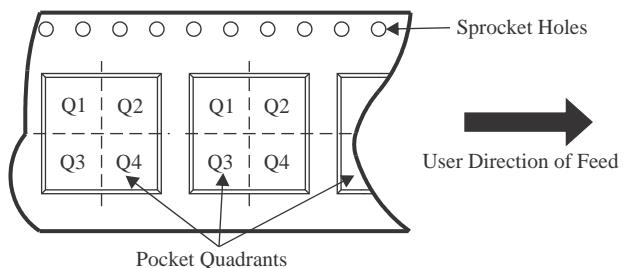
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

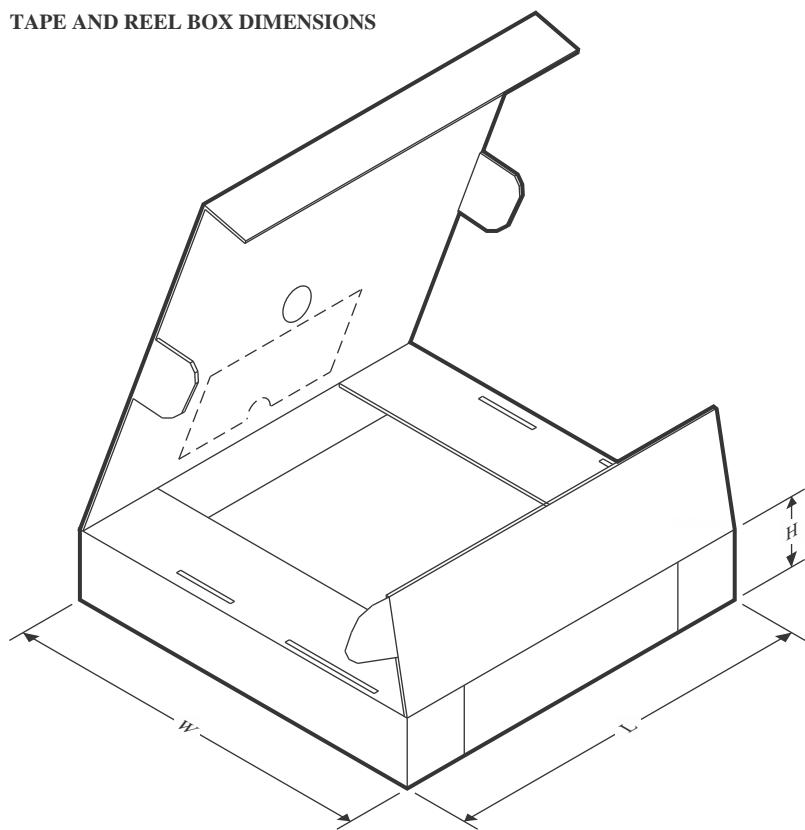
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2596DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2596DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA596DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA596DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2596DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2596DR	SOIC	D	8	2500	353.0	353.0	32.0
OPA596DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA596DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0

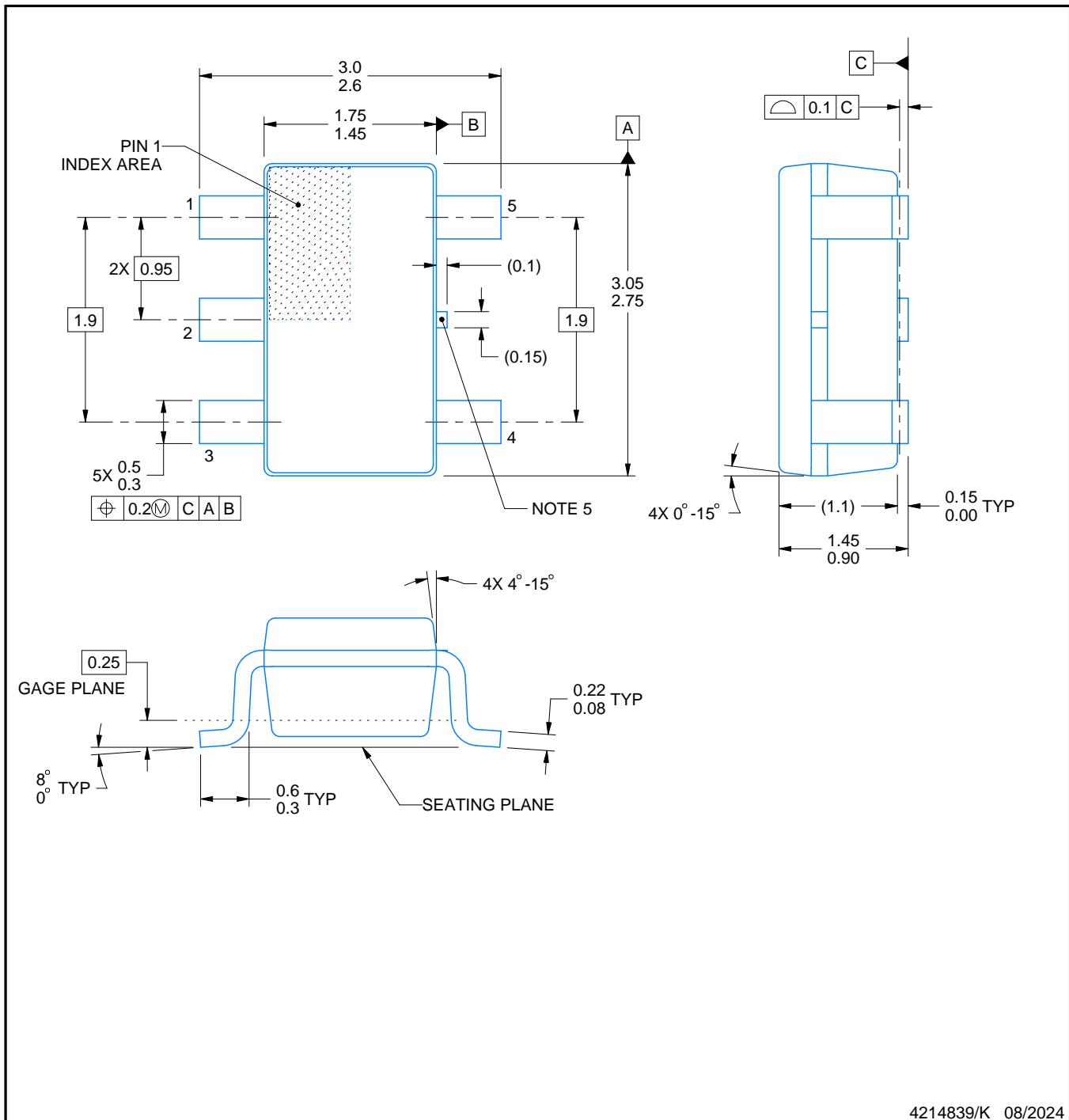
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

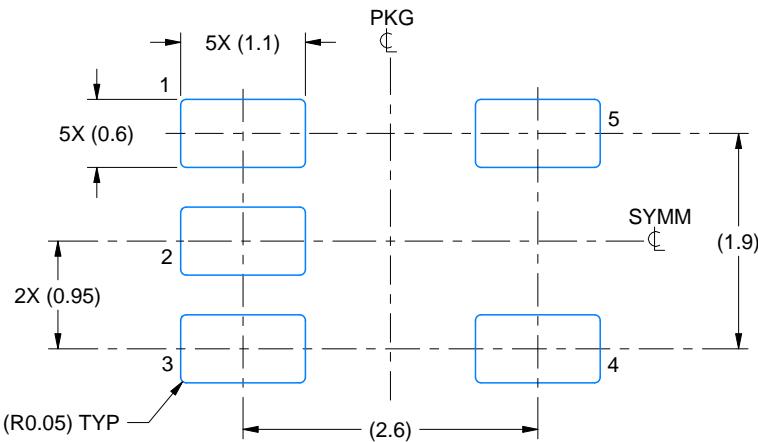
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

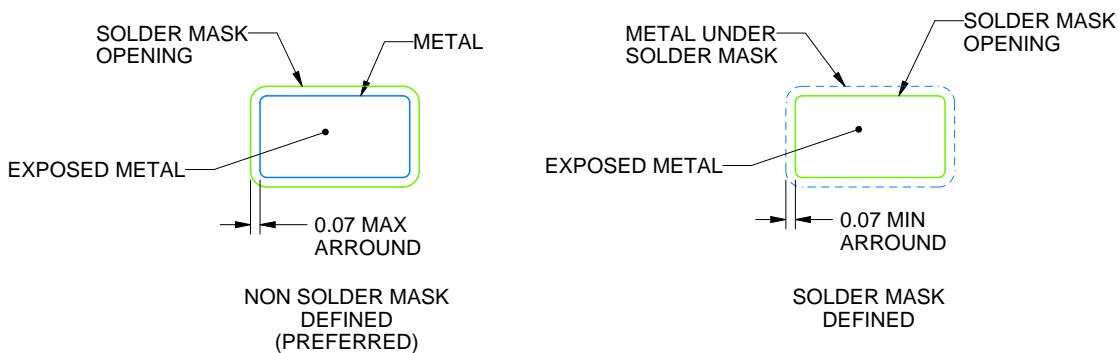
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

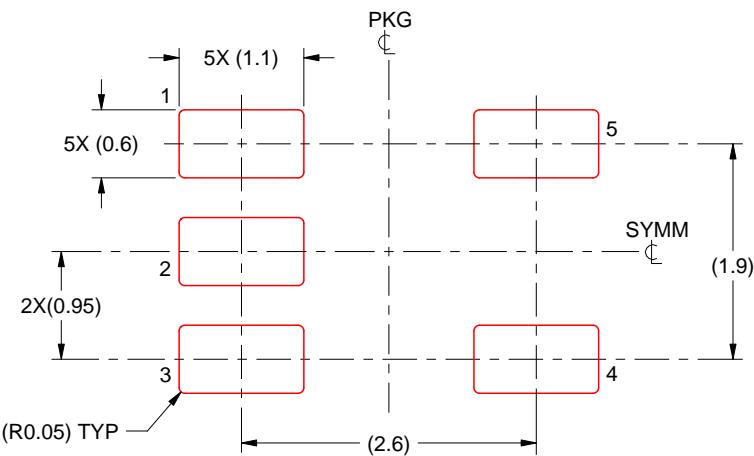
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

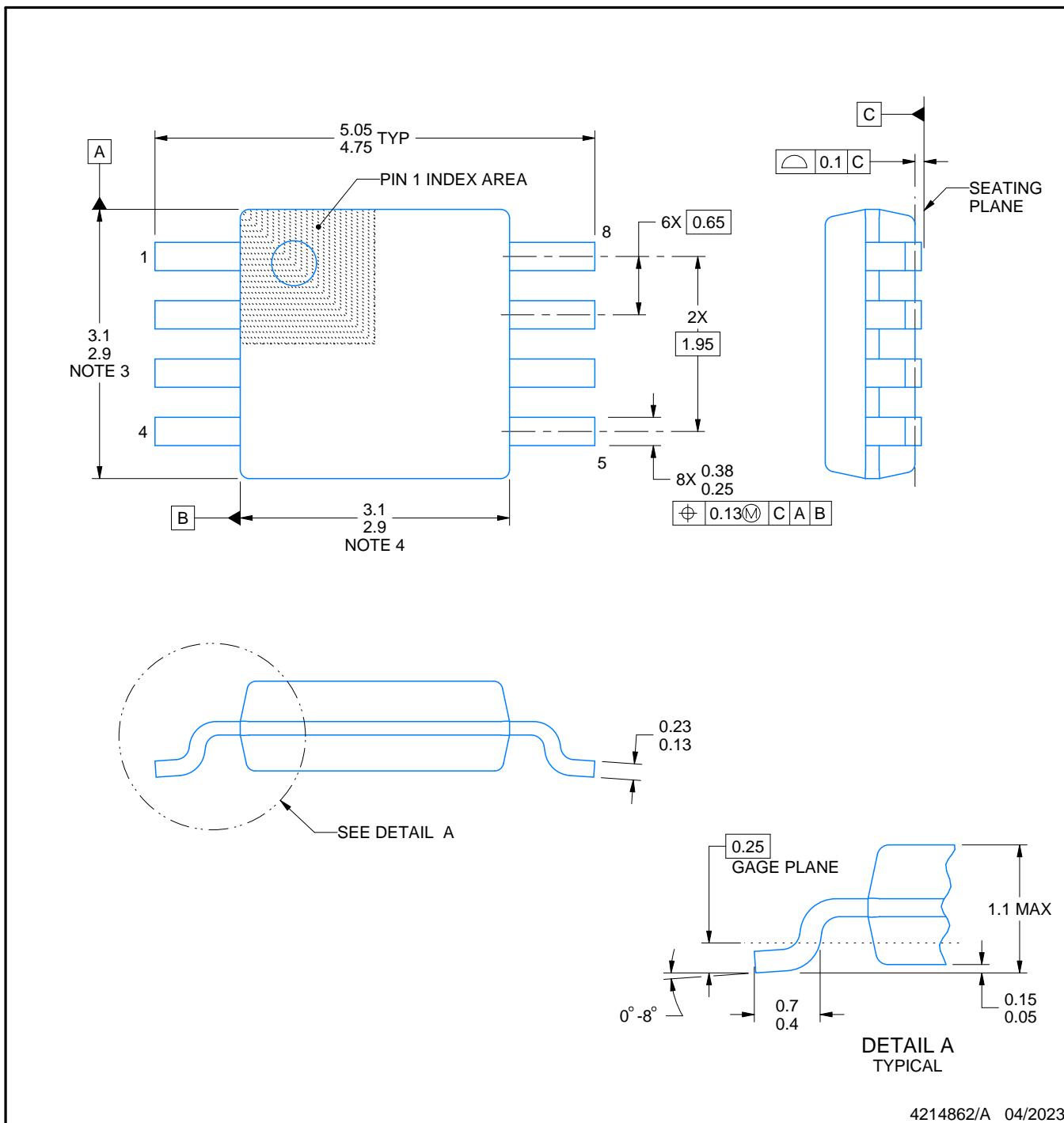
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

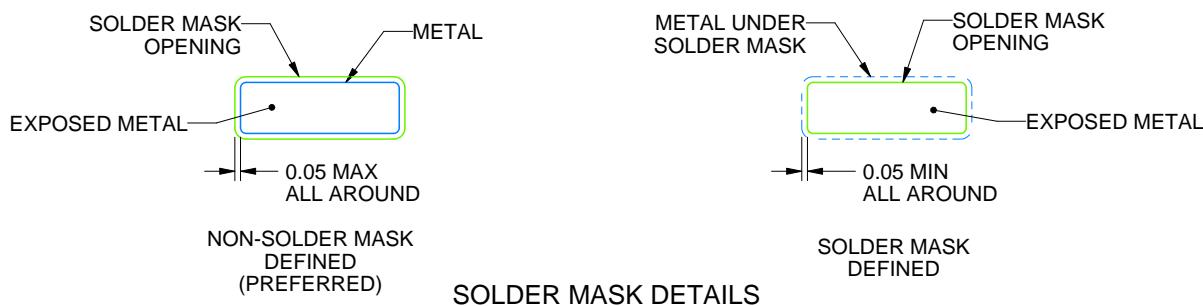
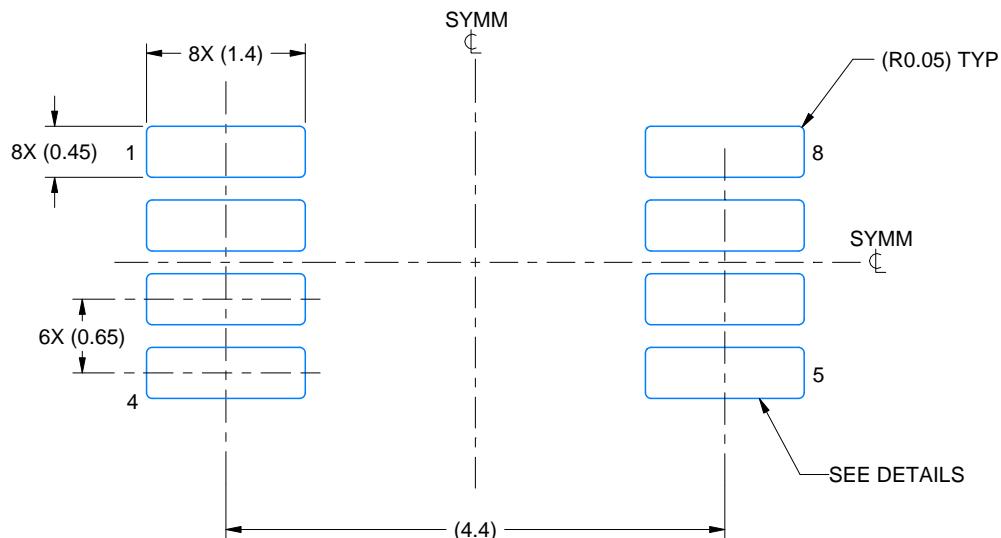
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES: (continued)

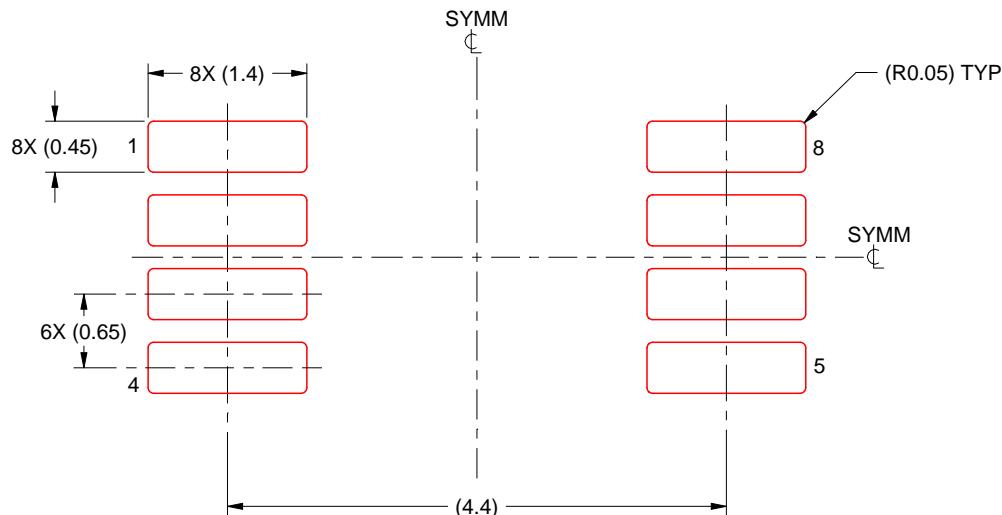
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

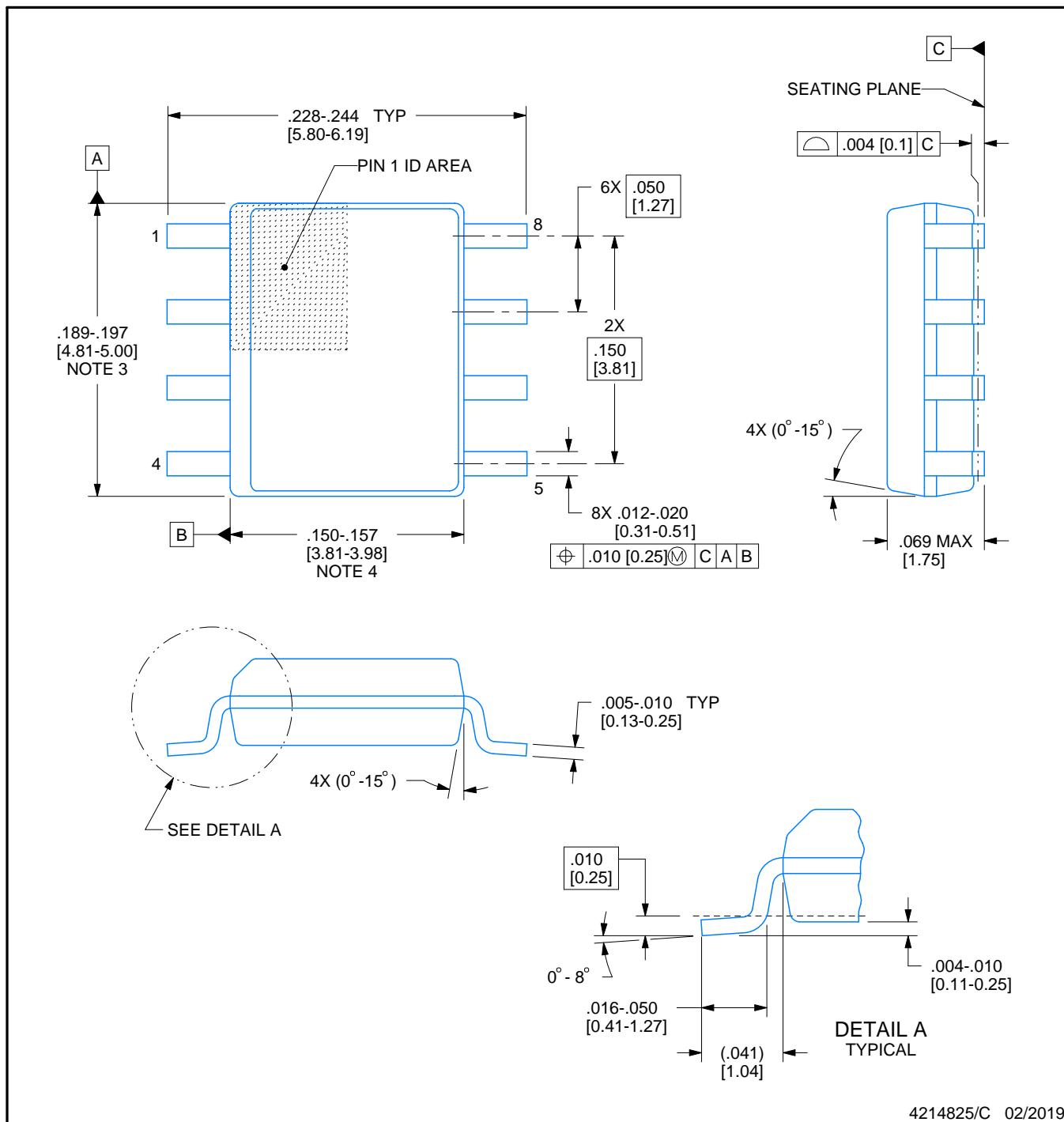


PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

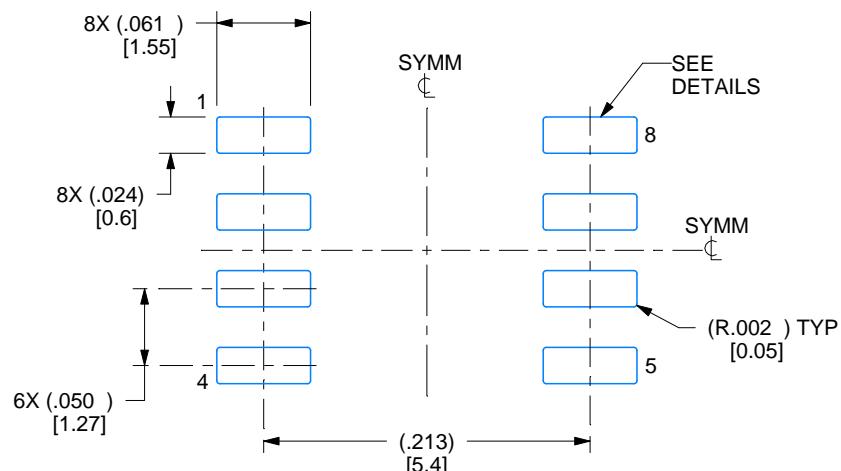
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

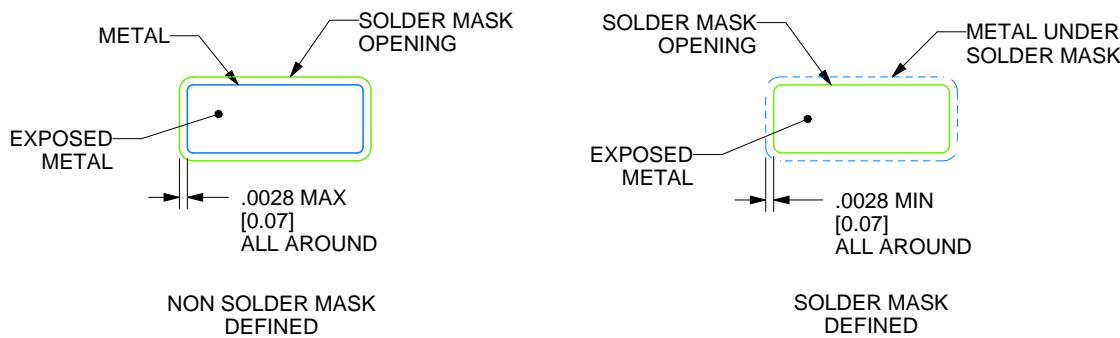
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

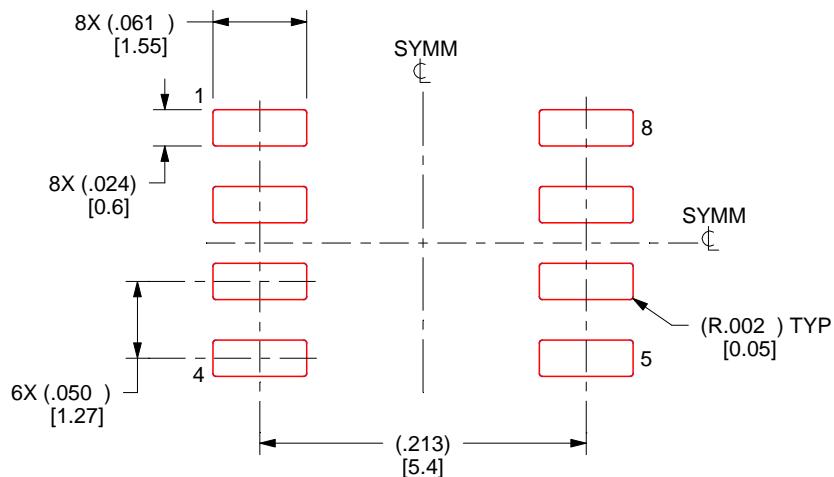
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月