

# OPAx993 32V、レール ツー レール入出力、20MHz、低消費電力オペアンプ

## 1 特長

- レール ツー レール入出力
- 広い電源電圧範囲: 2.7V ~ 32V
- 広い帯域幅: 20MHz GBW、ユニティゲインで安定
- 高スルーレート: 40V/μs
- 低い静止電流: アンプ 1 個あたり 400μA
- 低いオフセット電圧: ±1mV (最大値)
- 低いオフセット電圧ドリフト: ±3μV/°C (最大値)
- 低ノイズ: 1kHz で 13nV/√Hz
- 低い 1/f ノイズ: 0.5μV (ピーク ツー ピーク)
- 低い THD+N: 0.00014% (117dB)
- 業界標準のパッケージ:
  - デュアル: SOIC-8、VSSOP-8、SOT-23-THIN-8
  - クワッド: SOIC-14、TSSOP-14、SOT-23-THIN-14

## 2 アプリケーション

- AC 充電 (パイル) ステーション
- GFCI 故障検出およびテスト
- ソフトウェア無線
- PC とノート PC 向けのディスプレイ パネル
- LCD TV
- 無線制御照明
- モーター ドライブ: 出力段および制御モジュール
- パワー デリバリ: UPS、サーバー、商用ネットワーク電源
- ADC ドライバとリファレンス バッファ アンプ
- ハイサイドおよびローサイド電流検出

## 3 説明

OPAx993 ファミリーに属する OPA2993 および OPA4993 は、高電圧 (32V) 対応のレール ツー レール入出力 (RRIO) オペアンプです。これらのデバイスは、20MHz の広いユニティゲイン帯域幅や 40V/μs の高スルーレートなど、優れた ac 特性を備えながら、チャンネルあたりの静止電流はわずか 400μA です。

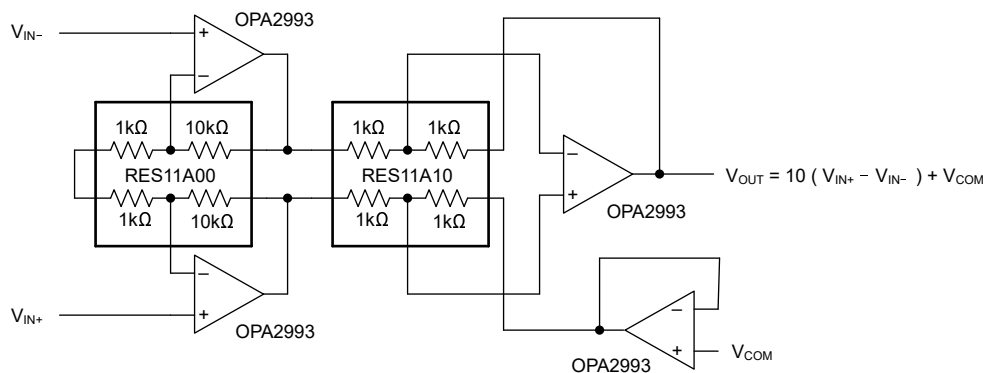
これらのデバイスは、主入力ペアにおける高電圧動作において、低オフセット電圧 (最大 ±1mV) および低オフセットドリフト (最大 ±3μV/°C) など、優れた DC 精度も提供します。これらの特長により、OPAx993 は高電圧の産業用途向けに柔軟性、堅牢性、高性能を兼ね備えたオペアンプとなっています。

OPAx993 オペアンプ ファミリーは、SOT-23-8 や SOT-23-14 などの小型パッケージに加え、SOIC や TSSOP などの標準パッケージでも提供されており、-40°C ~ +125°C の温度範囲で仕様規定されています。

### 製品情報

部品番号 <sup>(1)</sup>	チャンネル数	パッケージ	パッケージサイズ <sup>(3)</sup>
OPA2993	デュアル	D (SOIC, 8)	4.9mm × 6mm
		DGK (VSSOP, 8) <sup>(2)</sup>	3mm × 4.9mm
		DDF (SOT-23, 8) <sup>(2)</sup>	2.9mm × 2.8mm
OPA4993	クワッド	D (SOIC, 14) <sup>(2)</sup>	8.65mm × 6mm
		DYY (SOT-23, 14) <sup>(2)</sup>	4.2mm × 1.9mm
		PW (TSSOP, 14) <sup>(2)</sup>	5mm × 6.4mm

- 詳細については、[セクション 10](#) を参照してください。
- プレビュー情報 (量産データではありません)。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



OPAx993 計装アプリケーション (RES11 使用)



## 目次

1 特長.....	1	7 アプリケーションと実装.....	16
2 アプリケーション.....	1	7.1 使用上の注意.....	16
3 説明.....	1	7.2 代表的なアプリケーション.....	16
4 ピン構成および機能.....	2	7.3 電源に関する推奨事項.....	17
5 仕様.....	4	7.4 レイアウト.....	18
5.1 絶対最大定格.....	4	8 デバイスおよびドキュメントのサポート.....	20
5.2 ESD 定格.....	4	8.1 デバイス サポート.....	20
5.3 推奨動作条件.....	4	8.2 ドキュメントのサポート.....	20
5.4 熱に関する情報 (OPA2993).....	5	8.3 ドキュメントの更新通知を受け取る方法.....	20
5.5 電気的特性.....	6	8.4 サポート・リソース.....	20
5.6 代表的特性.....	9	8.5 商標.....	20
6 詳細説明.....	12	8.6 静電気放電に関する注意事項.....	21
6.1 概要.....	12	8.7 用語集.....	21
6.2 機能ブロック図.....	12	9 改訂履歴.....	21
6.3 機能説明.....	12	10 メカニカル、パッケージ、および注文情報.....	21
6.4 デバイスの機能モード.....	15		

## 4 ピン構成および機能

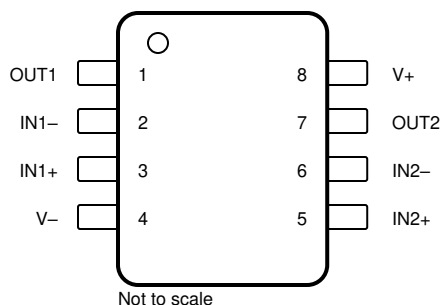
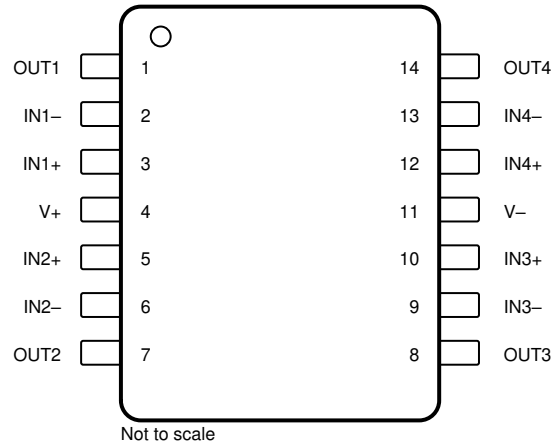


図 4-1. OPA2993 : D パッケージ (8 ピン SOIC)、  
DGK (プレビュー) パッケージ、8 ピン VSSOP、および  
DDF (プレビュー) パッケージ、8 ピン SOT-23-THN  
(上面図)

表 4-1. ピンの機能 : OPA2993

ピン		タイプ	説明
名称	番号		
IN1-	2	入力	反転入力、チャンネル 1
IN1+	3	入力	非反転入力、チャンネル 1
IN2-	6	入力	反転入力、チャンネル 2
IN2+	5	入力	非反転入力、チャンネル 2
OUT1	1	出力	出力、チャンネル 1
OUT2	7	出力	出力、チャンネル 2
V-	4	—	負 (最低) 電源
V+	8	—	正 (最高) 電源



**図 4-2. OPA4993 : D (プレビュー) パッケージ、14 ピン SOIC、  
 および PW (プレビュー) パッケージ、14 ピン TSSOP  
 (上面図)**

**表 4-2. ピンの機能 : OPA4993**

ピン		タイプ	説明
名称	番号		
IN1-	2	入力	反転入力、チャンネル 1
IN1+	3	入力	非反転入力、チャンネル 1
IN2-	6	入力	反転入力、チャンネル 2
IN2+	5	入力	非反転入力、チャンネル 2
IN3-	9	入力	反転入力、チャンネル 3
IN3+	10	入力	非反転入力、チャンネル 3
IN4-	13	入力	反転入力、チャンネル 4
IN4+	12	入力	非反転入力、チャンネル 4
OUT1	1	出力	出力、チャンネル 1
OUT2	7	出力	出力、チャンネル 2
OUT3	8	出力	出力、チャンネル 3
OUT4	14	出力	出力、チャンネル 4
V-	11	—	負 (最低) 電源
V+	4	—	正 (最高) 電源

## 5 仕様

### 5.1 絶対最大定格

動作周囲温度範囲の全体にわたって (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
電源電圧、 $V_S = (V+) - (V-)$		0	33	V
信号入力ピン	同相電圧 <sup>(3)</sup>	$(V-) - 0.5$	$(V+) + 0.5$	V
	差動電圧 <sup>(4)</sup>		$\pm 15$	V
	電流 <sup>(3)</sup>		$\pm 10$	mA
出力短絡 <sup>(2)</sup>		連続		
動作時周囲温度、 $T_A$		-55	150	°C
接合部温度、 $T_J$			150	°C
保管温度、 $T_{stg}$		-65	150	°C

- (1) 「絶対最大定格」に示す定格を超えて本デバイスを動作させた場合、デバイスに永続的な損傷が発生します。これらはプロセスと設計の制約に基づくストレス定格に過ぎず、「推奨動作条件」に示された以外の条件で動作するにはこのデバイスは設計されていません。絶対最大定格条件を含め、「推奨動作条件」以外のいかなる条件にも長時間さらすと、デバイスの信頼性と性能に影響を及ぼす可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。短絡電流が長時間流れると、特に電源電圧が高い場合、過熱や最終的な破壊が発生する可能性があります。
- (3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
- (4) 入力保護のため、入力ピンは双方向ダイオードを介して接続します。差動入力電圧が 0.5V を超える場合は、入力電流が 10mA 以下に制限されます。

### 5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	$\pm 4000$
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	$\pm 1500$

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
$V_S$	電源電圧、 $(V+) - (V-)$	2.7	32	V
$V_I$	同相電圧範囲	$(V-) - 0.1$	$(V+) + 0.1$	V
$T_A$	規定温度	-40	125	°C

## 5.4 熱に関する情報 (OPA2993)

熱評価基準 <sup>(1)</sup>		OPA2993	
		D (SOIC)	
		8 ピン	
			単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	127.10	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	63.27	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	71.20	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	13.91	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	70.54	°C/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、[SPRA953](#) を参照してください。

## 5.5 電気的特性

$V_S = (V+) - (V-) = 2.7V \sim 32V$  ( $\pm 0.9V \sim \pm 16V$ )、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$  を  $V_S/2$  に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$  の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位	
<b>オフセット電圧</b>								
$V_{OS}$	入力オフセット電圧	$V_S = 5V \sim 32V$	$T_A = -40^\circ C \sim 125^\circ C$	$\pm 0.25$		$\pm 1$	mV	
			$T_A = -40^\circ C \sim 125^\circ C$			$\pm 2$		
		$V_{CM} = (V-)$	$T_A = -40^\circ C \sim 125^\circ C$		$\pm 0.2$			$\pm 0.7$
			$T_A = -40^\circ C \sim 125^\circ C$					$\pm 0.8$
		$V_{CM} = (V+) - 1.35V$	$T_A = -40^\circ C \sim 125^\circ C$		$\pm 1.2$			$\pm 1.8$
			$T_A = -40^\circ C \sim 125^\circ C$					$\pm 4$
$dV_{OS}/dT$	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim 125^\circ C$	$V_{CM} = (V-)$		$\pm 0.7$	$\pm 3^{(1)}$	$\mu V/^\circ C$	
			$V_{CM} = (V+) - 1.35V$		$\pm 0.5$	$\pm 3^{(1)}$		
			$V_{CM} = (V+) - 1.35V$		$\pm 0.5$	$\pm 3.5^{(1)}$		
PSRR	入力オフセット電圧と電源との関係	$V_{CM} = (V-)$ 、 $T_A = -40^\circ C \sim 125^\circ C$	$V_S = 5V \sim 32V$		$\pm 5$	$\pm 25$	$\mu V/V$	
					92	106	dB	
			$V_S = 2.7V \sim 32V$				$\pm 50^{(1)}$	$\mu V/V$
					86 <sup>(1)</sup>			dB
<b>入力バイアス電流</b>								
$I_B$	入力バイアス電流	$T_A = -40^\circ C \sim 85^\circ C$			$\pm 150$	$\pm 250$	nA	
			$T_A = -40^\circ C \sim 125^\circ C$					$\pm 320$
			$T_A = -40^\circ C \sim 125^\circ C$					$\pm 403$
$I_{OS}$	入力オフセット電流	$T_A = -40^\circ C \sim 125^\circ C$			$\pm 0.2$	$\pm 10$	nA	
								$\pm 15$
<b>入力電圧</b>								
$V_{CM}$	同相入力電圧範囲			$(V-) - 0.1$		$(V+) + 0.1$	V	
CMRR	同相除去比	$V_S = 32V$ 、 $(V-) < V_{CM} < (V+) - 2V$	$T_A = -40^\circ C \sim 125^\circ C$	100	130		dB	
			$T_A = -40^\circ C \sim 125^\circ C$	100	125			
		$V_S = 32V$ 、 $(V-) < V_{CM} < (V+) - 1V^{(1)}$	$T_A = -40^\circ C \sim 125^\circ C$	105	120			
			$T_A = -40^\circ C \sim 125^\circ C$	100	115			
		$V_S = 5V$ 、 $(V-) < V_{CM} < (V+) - 2V$	$T_A = -40^\circ C \sim 125^\circ C$	100	120			
			$T_A = -40^\circ C \sim 125^\circ C$	95	105			
		$V_S = 5V$ 、 $(V-) < V_{CM} < (V+) - 1V^{(1)}$	$T_A = -40^\circ C \sim 125^\circ C$	90	100			
			$T_A = -40^\circ C \sim 125^\circ C$	86	95			
		$V_S = 2.7V$ 、 $(V-) < V_{CM} < (V+) - 2V^{(1)}$	$T_A = -40^\circ C \sim 125^\circ C$	90	98			
			$T_A = -40^\circ C \sim 125^\circ C$	88	95			
		$V_S = 2.7V$ 、 $(V-) < V_{CM} < (V+) - 1V^{(1)}$	$T_A = -40^\circ C \sim 125^\circ C$	77	90			
			$T_A = -40^\circ C \sim 125^\circ C$	72	86			
$V_S = 32V$ 、 $(V-) < V_{CM} < (V+)$	$T_A = -40^\circ C \sim 125^\circ C$	83	95					
	$T_A = -40^\circ C \sim 125^\circ C$	81	91					
$V_S = 5V$ 、 $(V-) < V_{CM} < (V+)$	$T_A = -40^\circ C \sim 125^\circ C$	68	83					
	$T_A = -40^\circ C \sim 125^\circ C$	65	80					
$V_S = 2.7V$ 、 $(V-) < V_{CM} < (V+)^{(1)}$	$T_A = -40^\circ C \sim 125^\circ C$	64	79					
	$T_A = -40^\circ C \sim 125^\circ C$	59	75					
	$(V+) - 2V < V_{CM} < (V+) - 1V$							
<b>入力インピーダンス</b>								
$Z_{ID}$	差動				$1.1 \parallel 1$		$M\Omega \parallel pF$	
$Z_{CM}$	同相				$3.8 \parallel 1.8$		$G\Omega \parallel pF$	

## 5.5 電気的特性 (続き)

$V_S = (V+) - (V-) = 2.7V \sim 32V$  ( $\pm 0.9V \sim \pm 16V$ )、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$  を  $V_S/2$  に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$  の場合 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>開ループゲイン</b>						
A <sub>OL</sub>	開ループ電圧ゲイン	V <sub>S</sub> = 32V、 (V-) + 1V < V <sub>O</sub> < (V+) - 1V	T <sub>A</sub> = -40°C ~ 125°C	110	136	dB
				92		
		V <sub>S</sub> = 5V、 (V-) + 1V < V <sub>O</sub> < (V+) - 1V <sup>(1)</sup>	T <sub>A</sub> = -40°C ~ 125°C	100	130	
				91	97	
V <sub>S</sub> = 2.7V、 (V-) + 1V < V <sub>O</sub> < (V+) - 1V <sup>(1)</sup>	T <sub>A</sub> = -40°C ~ 125°C	108	126			
		85				
<b>ノイズ</b>						
E <sub>N</sub>	入力電圧ノイズ	f = 0.1Hz ~ 10Hz		0.5		μV <sub>PP</sub>
				0.08		μV <sub>RMS</sub>
e <sub>N</sub>	入力電圧ノイズ密度	f = 1kHz		13		nV/√Hz
		f = 10kHz		13		
i <sub>N</sub>	入力電流ノイズ密度	f = 1kHz		0.17		pA/√Hz
<b>周波数応答</b>						
f <sub>U</sub>	ユニティゲイン帯域幅	R <sub>L</sub> = 1MΩ		8		MHz
GBW	ゲイン帯域幅積	f = 1kHz ~ 100kHz		20		MHz
SR	スルーレート	V <sub>S</sub> = 32V、V <sub>STEP</sub> = 10V、R <sub>S</sub> < 1kΩ、C <sub>L</sub> = 20pF		40		V/μs
t <sub>S</sub>	セトリングタイム	0.1% まで、V <sub>S</sub> = 32V、V <sub>STEP</sub> = 10V、G = +1、C <sub>L</sub> = 20pF		0.74		μs
		0.01% まで、V <sub>S</sub> = 32V、V <sub>STEP</sub> = 10V、G = +1、C <sub>L</sub> = 20pF		1		
PM	位相マージン	G = +1、R <sub>L</sub> = 10kΩ、C <sub>L</sub> = 20pF		60		°
GM	ゲインマージン	G = +1、R <sub>L</sub> = 10kΩ、C <sub>L</sub> = 20pF		12		dB
t <sub>OR</sub>	過負荷回復時間	V <sub>IN</sub> × ゲイン > V <sub>S</sub>		408		ns
THD+N	全高調波歪み + ノイズ	V <sub>S</sub> = 32V、V <sub>O</sub> = 3V <sub>RMS</sub> 、G = 1、f = 1kHz、R <sub>L</sub> = 10kΩ		0.00014		%
				117		dB
<b>出力</b>						

## 5.5 電気的特性 (続き)

$V_S = (V+) - (V-) = 2.7V \sim 32V$  ( $\pm 0.9V \sim \pm 16V$ )、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$  を  $V_S/2$  に接続、 $V_{CM} = V_S/2$ 、 $V_{OUT} = V_S/2$  の場合 (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
電圧出力スイング (レールから)	$V_S = 32V$ 、 正と負 レール ヘッドルーム、 $R_L =$ 負 荷なし	$T_A = -40^\circ C \sim 125^\circ C$	40	140	mV	
			140			
	$V_S = 32V$ 、 正と負 レール ヘッドルーム	$T_A = -40^\circ C \sim 125^\circ C$	93	127		
			185			
	$V_S = 5V$ 、 正と負 レール ヘッドルーム、 $R_L =$ 負 荷なし	$T_A = -40^\circ C \sim 125^\circ C$	27	60		
			70			
	$V_S = 5V$ 、 正と負 レール ヘッドルーム	$T_A = -40^\circ C \sim 125^\circ C$	52	71		
			90			
$V_S = 5V$ 、 正と負 レール ヘッドルーム、 $R_L = 2k\Omega$	$T_A = -40^\circ C \sim 125^\circ C$	86	118			
		133				
$I_{SC}$	$V_S = 32V$	$T_A = -40^\circ C \sim 125^\circ C$	$\pm 40$	$\pm 80$	mA	
			$\pm 30$	$\pm 60$		
	$V_S = 5V^{(1)}$	$T_A = -40^\circ C \sim 125^\circ C$	$\pm 8$	$\pm 16$	mA	
			$\pm 16$	$\pm 16$		
$C_{LOAD}$	容量性負荷駆動能力				pF	
$Z_O$	オープン ループ出力インピーダンス	$I_O = 0A$			$\Omega$	
<b>電源</b>						
$I_Q$	アンプごとの静止電流	$V_S = 32V$ 、 $I_O = 0A$	$T_A = -40^\circ C \sim 125^\circ C$	400	560	$\mu A$
				390	500	
		$V_S = 5V$ 、 $I_O = 0A$	$T_A = -40^\circ C \sim 125^\circ C$	500	500	
				350	500	
		$V_S = 2.7V$ 、 $I_O = 0A$	$T_A = -40^\circ C \sim 125^\circ C$	500	500	
				500	500	

(1) 特性評価のみによって規定されています。

## 5.6 代表的特性

$T_A = 25^\circ\text{C}$ ,  $V_S = \pm 16\text{V}$ ,  $V_{CM} = V_S / 2$ ,  $R_{LOAD} = 10\text{k}\Omega$  (特に記述のない限り)

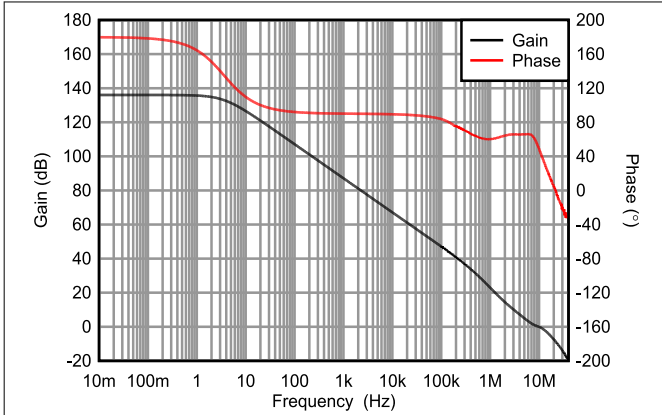


図 5-1. 開ループゲインおよび位相と周波数との関係

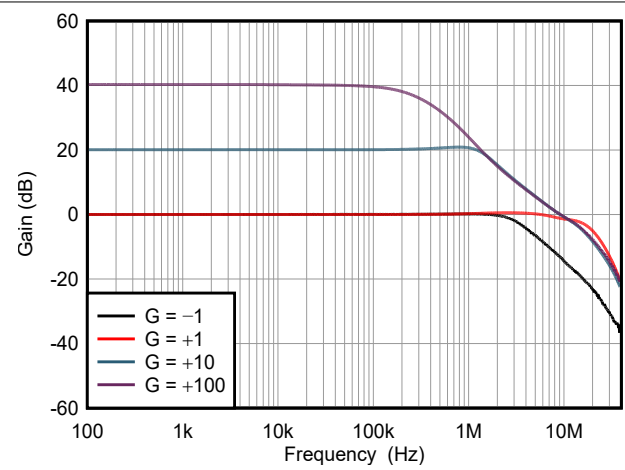


図 5-2. 閉ループゲインと周波数との関係

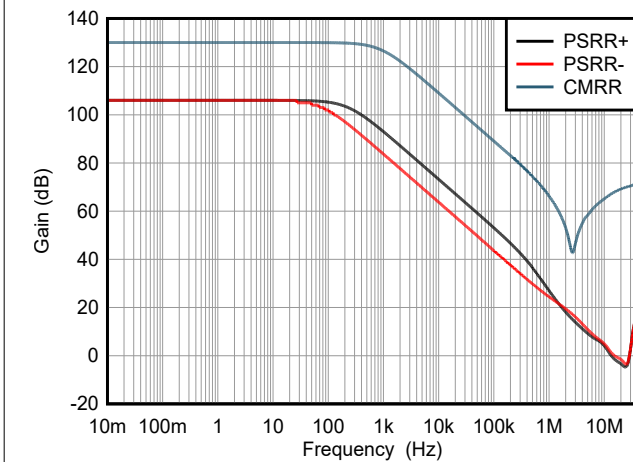


図 5-3. CMRR および PSRR と周波数との関係

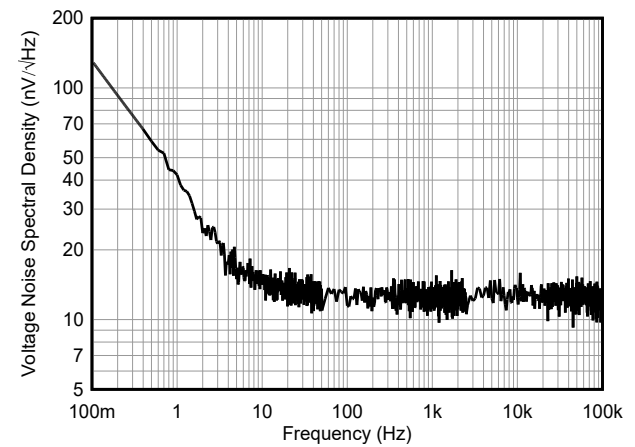


図 5-4. 入力電圧ノイズスペクトル密度と周波数との関係

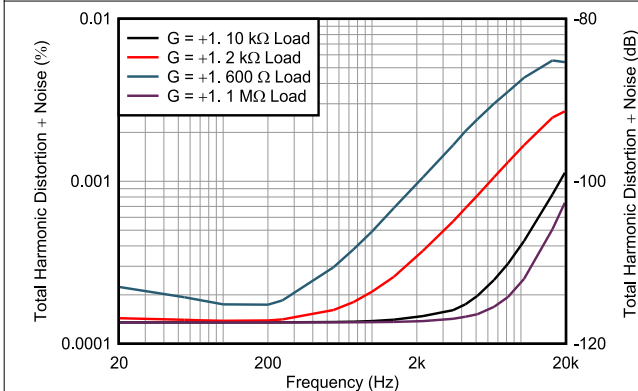


図 5-5. THD+N 比と周波数との関係

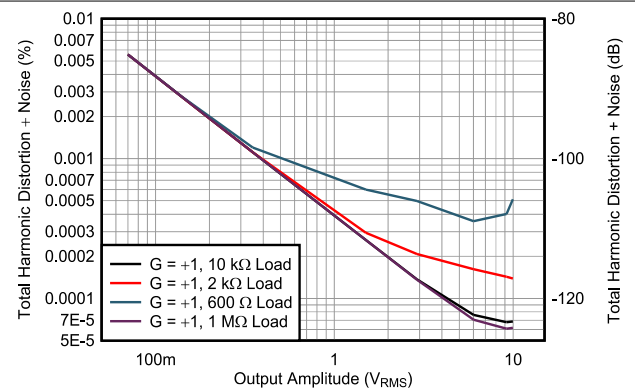


図 5-6. THD+N と出力振幅との関係

## 5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ ,  $V_S = \pm 16\text{V}$ ,  $V_{CM} = V_S / 2$ ,  $R_{LOAD} = 10\text{k}\Omega$  (特に記述のない限り)

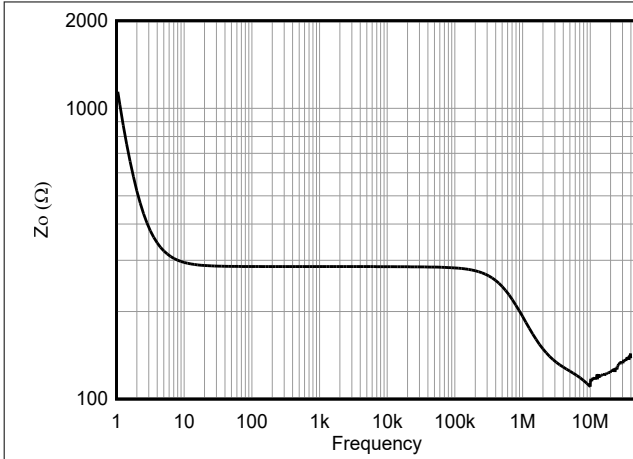


図 5-7. 開ループ出力インピーダンスと周波数との関係

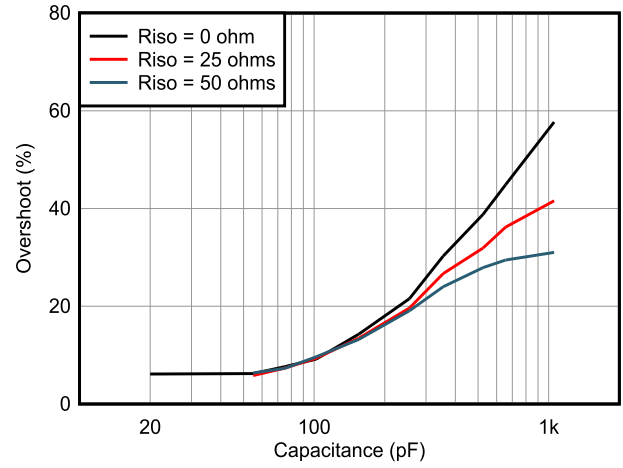


図 5-8. 小信号オーバーシュートと容量性負荷との関係

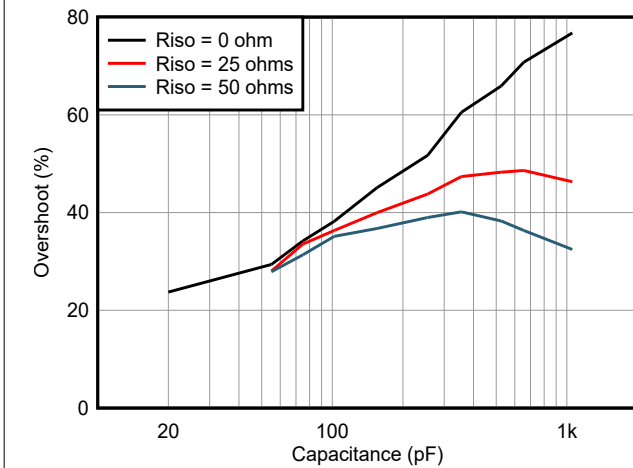


図 5-9. 小信号オーバーシュートと容量性負荷との関係

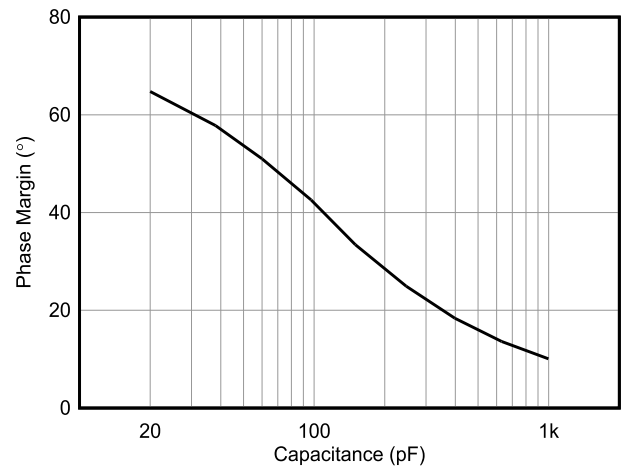


図 5-10. 位相マージンと容量性負荷との関係

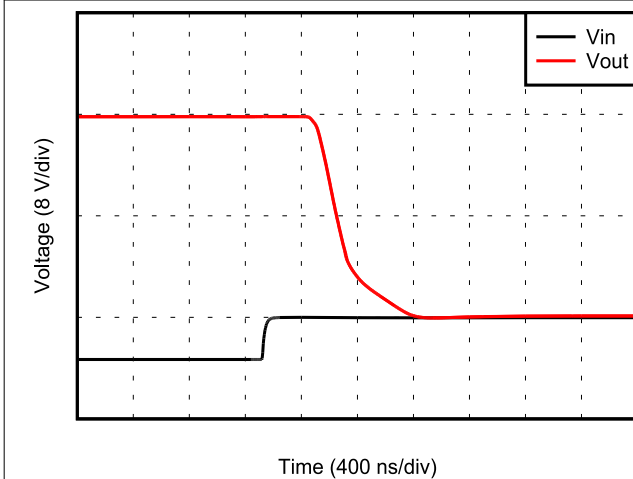


図 5-11. 正の過負荷からの回復

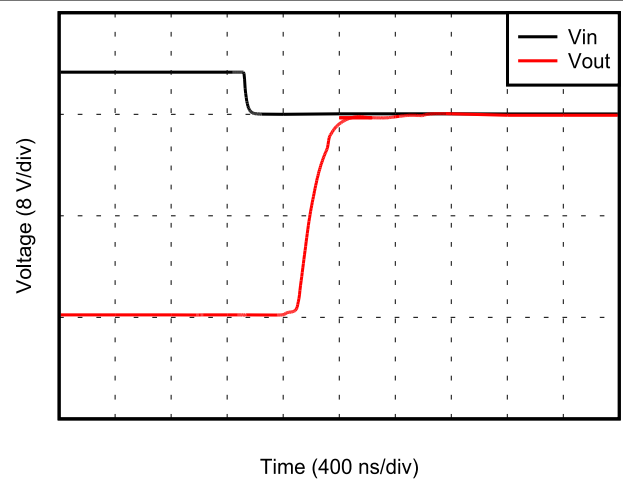


図 5-12. 負の過負荷からの回復

## 5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ ,  $V_S = \pm 16\text{V}$ ,  $V_{CM} = V_S / 2$ ,  $R_{LOAD} = 10\text{k}\Omega$  (特に記述のない限り)

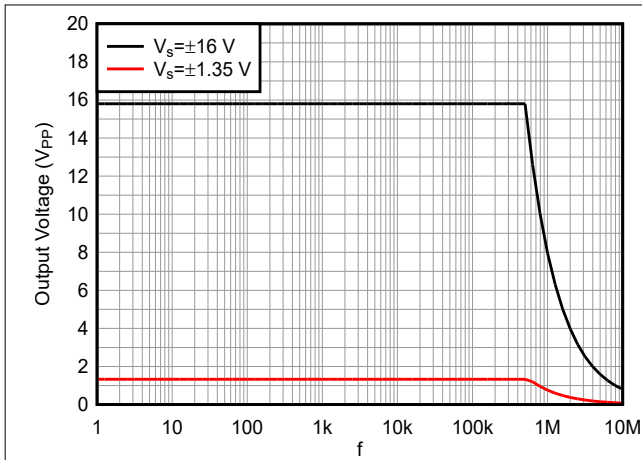


図 5-13. 最大出力電圧と周波数との関係

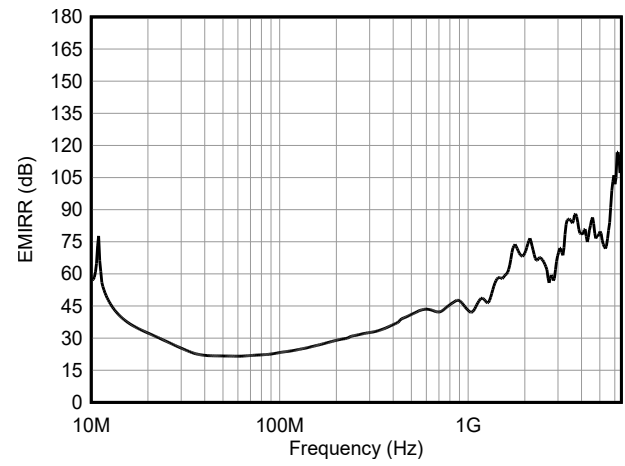


図 5-14. EMIRR (電磁干渉除去比) と周波数との関係

## 6 詳細説明

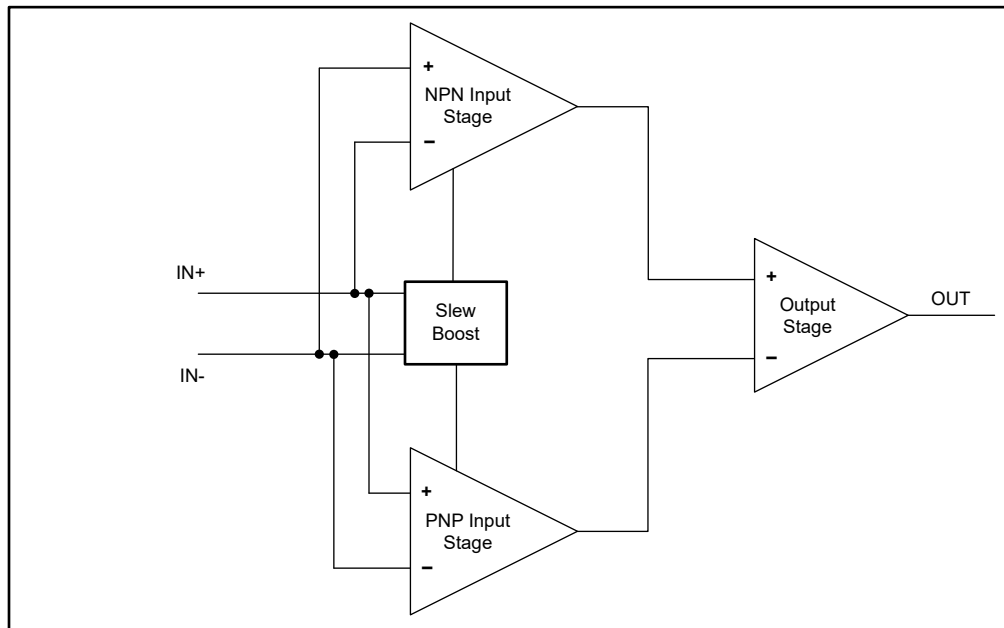
### 6.1 概要

OPAx993 ファミリー (OPA2993 および OPA4993) は、高電圧 (32V) 対応の汎用オペアンプファミリーです。

OPAx993 ファミリーは、容量性負荷がない場合、20MHz の広いゲイン帯域幅と 40V/μs の高速スルーレートを備えています。これらのデバイスは最大 400μA (標準値) の電流を必要とします。

これらのデバイスは、レール ツー レール入出力、低オフセット (±250μV、標準値)、低オフセットドリフト (±0.5μV/°C、標準値) など、優れた DC 精度も提供します。

### 6.2 機能ブロック図



### 6.3 機能説明

#### 6.3.1 ノイズ性能

式 1 は、オペアンプをユニティゲイン構成 (フィードバック抵抗ネットワークなし、したがって追加のノイズ寄与なし) で使用した場合における、ソース インピーダンスの変化に対する回路全体のノイズを示しています。

$$E_0^2 = e_n^2 + (i_n R_S)^2 + 4kTR_S \quad (1)$$

OPAx993 は電圧ノイズが非常に小さいため、ソース インピーダンスが低い (20kΩ 未満) 場合に適した選択肢です。類似の高精度オペアンプである OPAx994 は、電圧ノイズはやや低い一方で、電流ノイズは高くなっています。OPAx993 は、中程度のソース インピーダンス (10kΩ ~ 100kΩ) において優れたノイズ性能を発揮します。100kΩ を上回る場合は、OPA2156 (超低電流ノイズ) のような FET 入力オペアンプの方が優れた性能を発揮する可能性があります。式 1 の式を使用して、回路の合計ノイズを計算します。ここで、 $e_n$  = 電圧ノイズ、 $i_n$  = 電流ノイズ、 $R_S$  = ソース インピーダンス、 $k$  = ボルツマン定数 =  $1.38 \times 10^{-23}$  J/K、 $T$  はケルビン (K) 単位の温度です。

### 6.3.2 同相電圧範囲

OPAx993 は 32V の真のレール ツー レール入力オペアンプで、入力同相範囲が両方の電源レールまで拡張されています。この広い範囲は、[図 6-1](#) に示すように、相補的な PNP および NPN の差動入力ペアを並列化することで実現されています。NPN ペアは、正電源レール付近の入力電圧、通常は  $(V+) - 1V$  から正電源までの範囲で動作します。PNP ペアは、負の電源電圧から、ほぼ  $(V+) - 2V$  までの入力でアクティブになります。両方の入力ペアが動作する小さな遷移領域があり、通常は  $(V+) - 2V \sim (V+) - 1V$  の範囲です。この遷移領域は、プロセス変動に応じてやや変化することがあります。この領域内での PSRR、CMRR、オフセット電圧、オフセットドリフト、ノイズ、THD 性能は、この領域外で動作させる場合と比べると低下することがあります。

同相モード電圧範囲および相補ペアの相互作用に関する詳細については、「[相補型ペア入力段を持つオペアンプ](#)」アプリケーション ノートを参照してください。

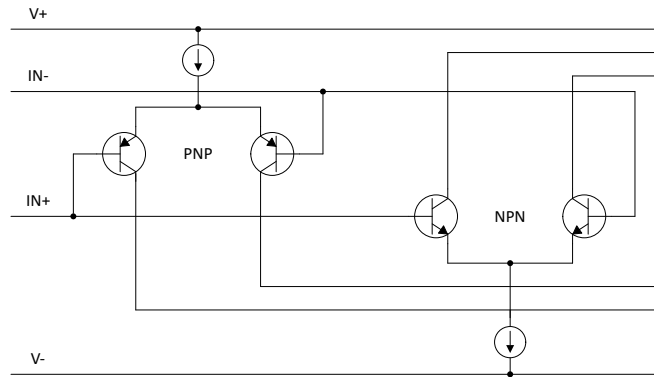


図 6-1. レール ツー レール入力段

### 6.3.3 位相反転の防止

OPAx993 ファミリーには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力ガリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、入力が指定された同相電圧範囲を超えて駆動されると、出力は逆のレールに反転します。OPAx993 はレール ツー レール入力のオペアンプなので、同相範囲はレールまで拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。この特性を[図 6-2](#) に示します。位相反転の詳細については、『[相補型ペア入力段を持つオペアンプ](#)』アプリケーション ノートを参照してください。

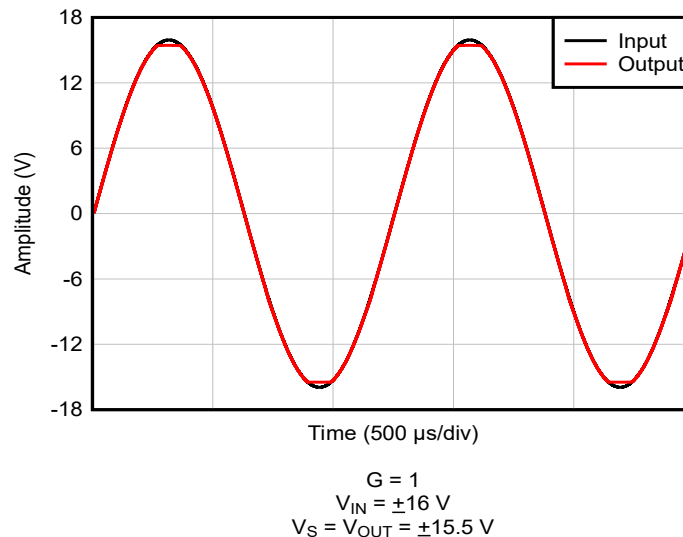


図 6-2. 位相反転が発生しない

### 6.3.4 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。OPA993 の過負荷復帰時間は約 408ns です。

### 6.3.5 電氣的オーバーストレス

設計者は多くの場合、オペアンプが電氣的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレイクダウン特性と、ピンに接続された特定の回路とで決まる電氣的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電氣的オーバーストレス イベントとの関連性を十分に理解しておく役に立ちます。OPA993 に含まれる ESD 回路の図を、[図 6-3](#) に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

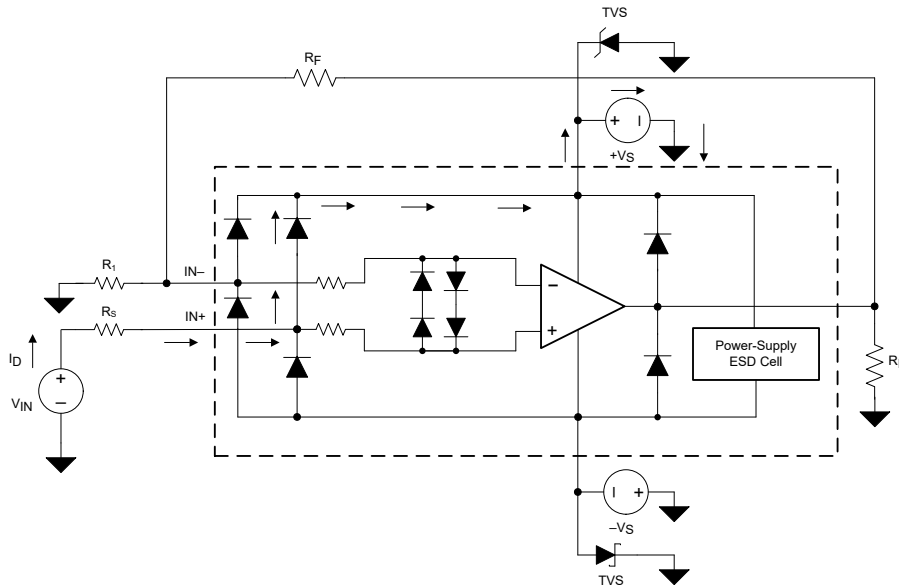


図 6-3. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通して放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

ESD 電圧がアンプの複数の端子間に発生すると、1 つ以上のステアリング ダイオードを通じて電流が流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスは、OPAx993 の通常動作電圧より高く、かつデバイスのブレークダウン電圧レベルより低いトリガ電圧 (スレッシュホールド電圧) を備えています。このスレッシュホールドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

オペアンプを回路に接続したとき (図 6-3 参照)、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しません。とはいえ、印加される電圧が特定の端子の動作電圧範囲を超える状況が発生することがあります。この状況が発生した場合、一部の内部 ESD 保護回路がオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。

図 6-3 は、入力電圧 ( $V_{IN}$ ) が正電源電圧 ( $+V_S$ ) を 500mV 以上上回る具体的な例を示しています。この回路で発生する現象の多くは、電源の特性によって異なります。 $+V_S$  が電流をシンクできる場合、上側の入力ステアリング ダイオードの 1 つが導通し、電流を  $+V_S$  へ導きます。 $V_{IN}$  が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、 $V_{IN}$  はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

もう一つのよくある疑問は、電源  $+V_S$  または  $-V_S$  が 0 V の状態で入力に信号が印加された場合、アンプに何が起こるかという点です。ここでも、電源が 0V または入力信号の振幅より低いレベルにあるときの電源特性によって状況が変わります。見かけ上、電源のインピーダンスが高い場合、オペアンプの電流は入力ソースから電流ステアリング ダイオードを経由して供給されます。この状態は正常なバイアス状態ではありません。アンプは正常に動作しない可能性がきわめて高くなります。電源のインピーダンスが低い場合には、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部ツェナー ダイオードを電源端子に追加します (図 6-3 を参照)。通常動作中にダイオードがオンにならないようなツェナー電圧を選択します。ただし、電源端子が安全な動作電源電圧レベルを超えそうになった場合にはツェナー ダイオードが導通する程度に、ツェナー電圧を低くする必要があります。

OPAx993 の入力端子は、バック ツー バック ダイオードにより、過剰な差動電圧から保護されています (図 6-3 を参照)。ほとんどの回路アプリケーションでは、入力保護回路は何の影響も及ぼしません。ただし、低ゲインまたは  $G = 1$  の回路では、アンプの出力が入力ランプに十分な速さで応答できないため、これらのダイオードに高速ランプ入力信号によって順バイアスがかかる可能性があります。入力信号が十分に速く、この順バイアスの状況が発生する場合は、入力信号電流を 10mA 以下に制限してください。入力信号電流が本質的に制限されていない場合は、入力直列抵抗を使用して入力信号電流を制限できます。この入力直列抵抗は、OPAx993 の低ノイズ性能を低下させます。図 6-3 に、電流を制限する帰還抵抗を実装する構成例を示します。

## 6.4 デバイスの機能モード

OPAx993 には単一機能モードがあり、電源電圧が 2.7V ( $\pm 1.35V$ ) を上回ると動作します。OPAx993 の最大電源電圧は 32V ( $\pm 16V$ ) です。

## 7 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 使用上の注意

OPAx993 ファミリーは、DC 精度と AC 性能が優れています。これらのデバイスは、最高 32V の電源レールで動作し、真のレール ツー レール入出力、低いオフセット電圧とオフセット電圧ドリフトに加えて、20MHz の帯域幅と、高いスルーレートを實現しています。これらの特長から、OPAx993 は高電圧の産業用アプリケーションに適した、堅牢で高性能なオペアンプです。

### 7.2 代表的なアプリケーション

#### 7.2.1 ローサイド電流測定

図 7-1 に、ローサイド電流センシング アプリケーション用に構成された OPAx993 を示します。理論、計算、シミュレーション、測定データを含む 図 7-1 の回路の完全な分析については、「TI Precision Design TIPD129、0A ~ 1A のシングル電源ローサイド電流センシング ソリューション」を参照してください。

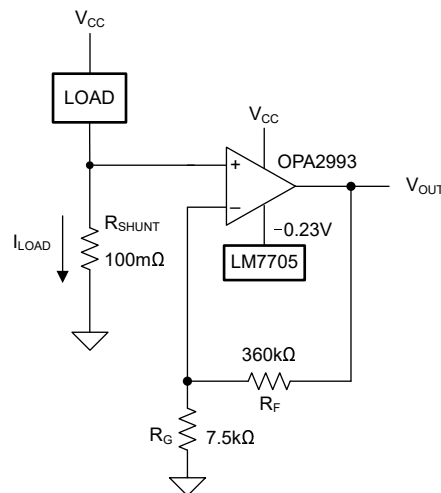


図 7-1. ローサイド電流センシング アプリケーションの OPAx993

#### 7.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流: 0A ~ 1A
- 最大出力電圧: 4.9V
- 最大シャント電圧: 100mV

#### 7.2.1.2 詳細な設計手順

図 7-1 の回路の伝達関数は、式 2 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times \text{Gain} \quad (2)$$

負荷電流 ( $I_{LOAD}$ ) により、シャント抵抗 ( $R_{SHUNT}$ ) の両端で電圧降下が発生します。負荷電流は 0A~1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 3 を使用して定義されます。

$$R_{SHUNT} = \frac{V_{SHUNT\_MAX}}{I_{LOAD\_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (3)$$

式 3 を使用して計算すると、 $R_{SHUNT}$  は 100m $\Omega$  となります。 $I_{LOAD}$  と  $R_{SHUNT}$  によって生成される電圧降下は OPAx993 によって増幅され、0V~4.9V の出力電圧を生成します。OPAx993 が必要な出力電圧を生成するために必要なゲインは、式 4 を使用して計算されます。

$$Gain = \frac{(V_{OUT\_MAX} - V_{OUT\_MIN})}{(V_{IN\_MAX} - V_{IN\_MIN})} \quad (4)$$

式 4 を使用して計算すると、必要なゲインは 49V/V となります。これは抵抗  $R_F$  と  $R_G$  で設定します。OPAx993 のゲインを 49V/V に設定するための抵抗  $R_F$  と  $R_G$  のサイズは、式 5 で計算します。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (5)$$

$R_F$  を 5.76k $\Omega$  とすると、 $R_G$  は 120 $\Omega$  と計算されます。 $R_F$  と  $R_G$  は、標準の値の抵抗で 49:1 の比率を生み出せるよう、5.76k $\Omega$  と 120 $\Omega$  を選択します。49:1 の比率にできるなら、他の抵抗を使用してもかまいません。ただし、抵抗が過度に大きいと、オペアンプの固有ノイズを超える熱ノイズが生成されます。図 7-1 に示す回路で測定された伝達関数を 図 7-2 に示します。

### 7.2.1.3 アプリケーション曲線

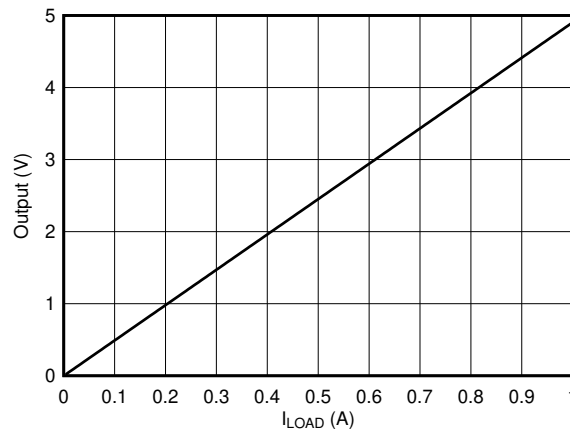


図 7-2. ローサイド、電流検出、伝達関数

## 7.3 電源に関する推奨事項

OPAx993 は、2.7V~32V ( $\pm 1.35V \sim \pm 16V$ ) で動作が規定されています。多くの仕様は -40°C~125°C、または特定の電源電圧とテスト条件で適用されます。

### 注意

電源電圧が 33V を超えると、デバイスに恒久的な損傷を与える可能性があります。セクション 5.1 を参照してください。

電源ピンの近くに 0.1 $\mu F$  のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、レイアウトを参照してください。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されません。
  - 各電源ピンとグラウンドとの間に、低 ESR の  $0.1\mu\text{F}$  セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$  からグラウンドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグラウンド プレーン専用です。グラウンド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グラウンド電流の流れに注意して、デジタル グラウンドとアナログ グラウンドを物理的に確実に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品はデバイスにできるだけ近づけて配置し、RF および RG を反転入力の近くに配置することで寄生容量を最小化できます。
- 入力パターンは、できる限り短くしてください。入力パターンは、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲に、駆動型の低インピーダンス ガードリングを配置することを検討してください。ガードリングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに侵入した水分を除去することを推奨します。ほとんどの場合、洗浄後に  $85^{\circ}\text{C}$  で 30 分間の低温ベーキングを行えば十分です。

### 7.4.2 レイアウト例

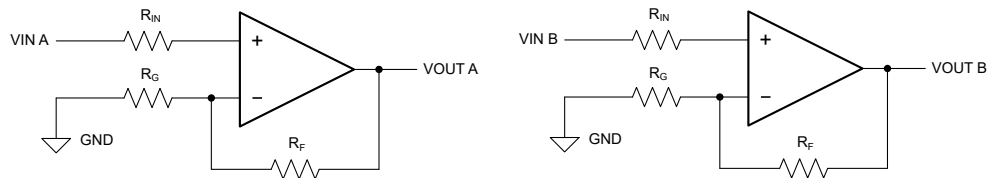


図 7-3. 回路図

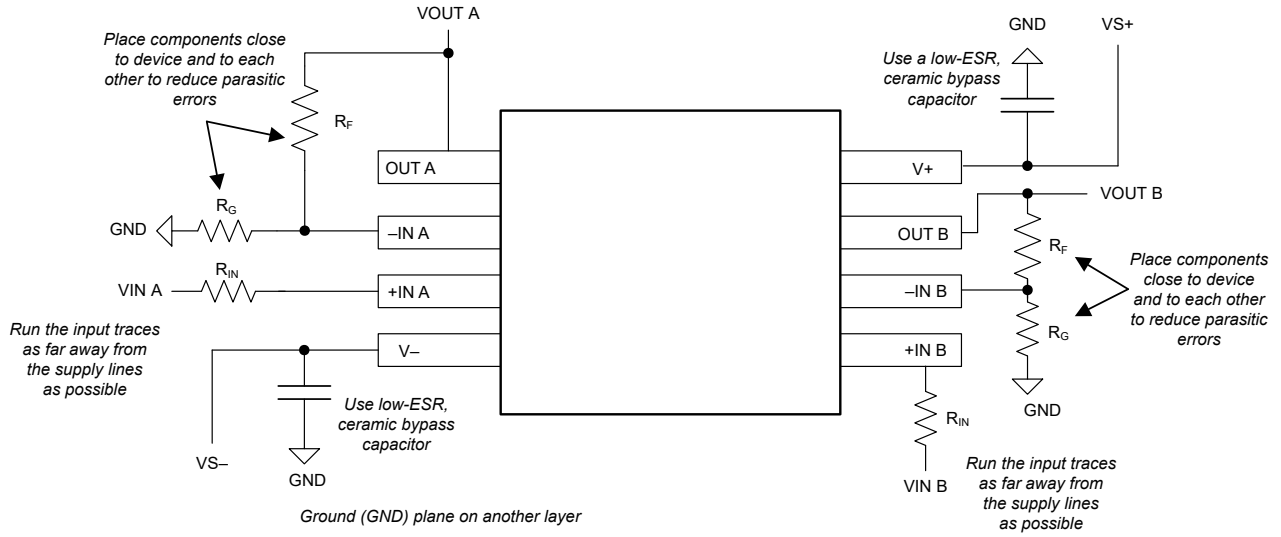


図 7-4. レイアウト例

図 7-5. 非反転構成の回路図のレイアウト例

## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 開発サポート

##### 8.1.1.1 TINA-TI™ (無料のダウンロード ソフトウェア)

TINA™ は、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI は、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロ モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプロブして、動的なクイック スタート ツールを作成できます。

#### 注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[オペアンプの EMI 除去率](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[相補型ペア入力段を持つオペアンプ](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[0A ~ 1A、単一電源、ローサイドの電流センシングソリューション、リファレンス デザイン](#)』アプリケーション ノート

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.5 商標

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.

TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
April 2026	*	初版リリース

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">OPA2993IDR</a>	Active	Production	SOIC (D)   8	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2993I

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2993IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2993IDR	SOIC	D	8	3000	340.5	336.1	25.0



D0008A

# PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
 EXPOSED METAL SHOWN  
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月