

# OPA810-Q1 車載用、140MHz、レール ツー レール入出力、FET 入力のオペアンプ

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ,  $T_A$
- ゲイン帯域幅積: 70MHz
- 小信号帯域幅: 140MHz
- スルーレート: 200V/ $\mu\text{s}$
- 幅広い電源電圧範囲: 4.75V  $\sim$  27V
- 低ノイズ:
  - 入力電圧ノイズ: 6.3nV/ $\sqrt{\text{Hz}}$  ( $f = 500\text{kHz}$ )
  - 入力電流ノイズ: 5fA/ $\sqrt{\text{Hz}}$  ( $f = 10\text{kHz}$ )
- レール ツー レール入出力
  - FET 入力段: 2pA (標準値) の入力バイアス電流
  - 高リニア出力電流: 75mA
- 入力オフセット:  $\pm 550\mu\text{V}$  (最大値)
- オフセットドリフト:  $\pm 2.5\mu\text{V}/^{\circ}\text{C}$  (標準値)
- 低消費電力: 3.7mA/ チャンネル

## 2 アプリケーション

- マルチチャンネルのセンサ インターフェイス
- オプトエレクトロニクスドライバ
- ローサイド電流センシング
- DC/DC コンバータ
- インバータおよびモータ制御
- オンボード チャージャとワイヤレス チャージャ
- HAVC 用コンプレッサ
- フォトダイオード TIA インターフェイス
- ヘッド アップ ディスプレイ (HUD)
- オートモーティブ ディスプレイ

## 3 説明

OPA810-Q1 は、ピコアンペア (pA) の範囲のバイアス電流を持つ、シングル チャンネル、電界効果トランジスタ (FET) 入力、電圧帰還型オペアンプ (op amp) です。OPA810-Q1 は、140MHz の小信号ユニティ ゲイン帯域幅でユニティ ゲイン安定であり、チャンネルあたり 3.7mA の小さな静止電流 ( $I_Q$ ) で優れた DC 精度と動的 AC 性能を実現しています。OPA810-Q1 は、テキサス・インスツルメンツ独自の高速 SiGe BiCMOS プロセスで製造されており、静止電流が同等である他の FET 入力アンプに比べて大幅に性能が向上しています。70MHz のゲイン帯域幅積 (GBWP)、200V/ $\mu\text{s}$  のスルーレート、6.3nV/ $\sqrt{\text{Hz}}$  の小さい電圧ノイズを特長とする OPA810-Q1 は、広範な高忠実度データ アクイジションおよび信号処理アプリケーションで使うために設計されています。

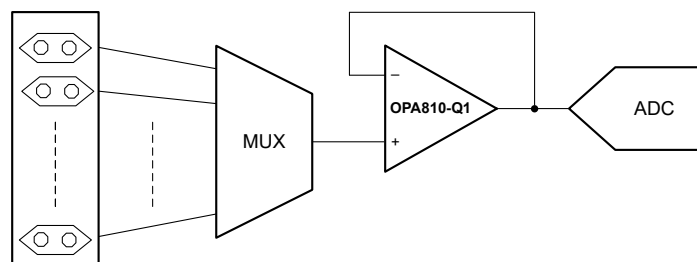
OPA810-Q1 は、レール ツー レールの入出力を持ち、オプトエレクトロニクス部品とアナログ / デジタル コンバータ (ADC) の入力の駆動や、デジタル / アナログ コンバータ (DAC) の出力で重い負荷を駆動する際のバッファリングのための 75mA のリニア出力電流を供給します。

OPA810-Q1 は、拡張産業温度範囲の  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  で動作が規定されています。OPA810-Q1 は、SOT-23 パッケージで供給されます。

### パッケージ情報

部品番号 <sup>(1)</sup>	パッケージ <sup>(2)</sup>	パッケージ サイズ <sup>(3)</sup>
OPA810-Q1	DBV (SOT-23, 5)	2.9mm $\times$ 2.8mm

- セクション 4 を参照してください。
- 詳細については、セクション 11 を参照してください。
- パッケージ サイズ (長さ  $\times$  幅) は公称値であり、該当する場合はピンも含まれます。



単一の高 GBWP アンプを使用したマルチチャンネル センサ インターフェイス



## 目次

1 特長.....	1	7.2 機能ブロック図.....	17
2 アプリケーション.....	1	7.3 機能説明.....	18
3 説明.....	1	7.4 デバイスの機能モード.....	19
4 デバイス比較表.....	2	8 アプリケーションと実装.....	20
5 ピン構成および機能.....	3	8.1 アプリケーション情報.....	20
6 仕様.....	4	8.2 代表的なアプリケーション.....	25
6.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	28
6.2 ESD 定格.....	4	8.4 レイアウト.....	28
6.3 推奨動作条件.....	4	9 デバイスおよびドキュメントのサポート.....	31
6.4 熱に関する情報.....	4	9.1 ドキュメントのサポート.....	31
6.5 電気的特性: 24V.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	31
6.6 電気的特性: 5V.....	7	9.3 サポート・リソース.....	31
6.7 代表的特性: $V_S = 24V$ .....	8	9.4 商標.....	31
6.8 代表的特性: $V_S = 5V$ .....	11	9.5 静電気放電に関する注意事項.....	31
6.9 代表的特性: $\pm 2.375V \sim \pm 12V$ 分割電源.....	13	9.6 用語集.....	31
7 詳細説明.....	17	10 改訂履歴.....	31
7.1 概要.....	17	11 メカニカル、パッケージ、および注文情報.....	32

## 4 デバイス比較表

デバイス	電源電圧、 $\pm V_S$ (V)	$I_Q$ チャネル代 表値 (mA)	ゲイン帯域幅 (MHz)	スルー レート (V/ $\mu$ s)	電圧ノイズ (nV/ $\sqrt{Hz}$ )	アンプの 説明
OPA810-Q1	27	3.8	70	200	6.3	ユニティゲイン安定、FET 入力アンプ
OPA2863-Q1	12.6	0.69	50	105	5.9	レール ツーレール入出力、電圧帰還アンプ
OPAx365-Q1	5.5	4.6	50	25	4.5	レール ツーレール入出力、低ノイズ、CMOS アンプ
OPA2836-Q1	5.5	0.95	118	560	4.6	レール ツーレール出力、負のレール入力、電圧帰還アンプ
TLV365-Q1	5.5	4.6	50	27	4.5	レール ツーレール入出力、CMOS オペアンプ

## 5 ピン構成および機能

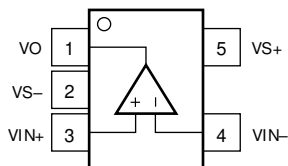


図 5-1. DBV パッケージ、5 ピン SOT23 (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
VIN–	4	入力	反転入力ピン
VIN+	3	入力	非反転入力ピン
VO	1	出力	出力ピン
VS–	2	電源	負電源ピン
VS+	5	電源	正電源ピン

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
V <sub>S</sub>	電源電圧 (全バイポーラ電源) <sup>(2)</sup>		±14	V
V <sub>IN</sub>	入力電圧	V <sub>S-</sub> - 0.5	V <sub>S+</sub> + 0.5	V
V <sub>IN, Diff</sub>	差動入力電圧 <sup>(3)</sup>		±7	V
I <sub>I</sub>	連続入力電流		±10	mA
I <sub>O</sub>	連続出力電流 <sup>(4)</sup>		±15	mA
P <sub>D</sub>	連続消費電力	セクション 6.4 を参照してください。		
T <sub>J</sub>	接合部温度		150	°C
T <sub>stg</sub>	保存温度	-65	125	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) V<sub>S</sub> は、V<sub>S</sub> = V<sub>S+</sub> - V<sub>S-</sub> で表される合計電源電圧です。
- (3) ±7V または合計電源電圧の低い方と等しい。
- (4) エレクトロマイグレーションを制限するための長期的な連続出力電流。

### 6.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>S</sub>	全電源電圧	4.75		27	V
T <sub>A</sub>	周囲温度	-40	25	125	°C

### 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		OPA810-Q1	単位
		DBV (SOT-23)	
		5 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	183.2	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	80.5	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	50.2	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	18.0	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	49.8	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

## 6.5 電気的特性 : 24V

$T_A = 25^\circ\text{C}$ ,  $V_{S+} = 12\text{V}$ ,  $V_{S-} = -12\text{V}$ , 同相電圧 ( $V_{CM}$ ) = 中間電源、 $R_L = 1\text{k}\Omega$  を中間電源に接続、AC 仕様については、ゲイン ( $G$ ) =  $2\text{V/V}$ ,  $R_F = 1\text{k}\Omega$ ,  $C_L = 4.7\text{pF}$  (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>AC 特性</b>						
SSBW	小信号帯域幅	$G = 1$ , $V_O = 20\text{mV}_{PP}$ , $R_F = 0\Omega$		135		MHz
		$G = 1$ , $V_O = 20\text{mV}_{PP}$ , $R_F = 0\Omega$ , $C_L = 10\text{pF}$		140		
		$G = -1$ , $V_O = 20\text{mV}_{PP}$		68		
LSBW	大信号帯域幅	$G = 2$ , $V_O = 2\text{V}_{PP}$		44		MHz
		$G = 2$ , $V_O = 10\text{V}_{PP}$		14		
GBWP	ゲイン帯域幅積			70		MHz
	0.1dB の平坦度に対する帯域幅	$G = 2$ , $V_O = 20\text{mV}_{PP}$		16		MHz
SR	スルー レート (20%-80%) <sup>(3)</sup>	$G = 2$ , $V_O = -2\text{V} \sim +2\text{V}$ ステップ		237		V/ $\mu\text{s}$
		$G = -1$ , $V_O = -2\text{V} \sim +2\text{V}$ ステップ		222		
		$G = 2$ , $V_O = -4.5\text{V} \sim +3.5\text{V}$ ステップ		254		
	立ち上がり時間	$V_O = 200\text{mV}$ ステップ		4		ns
	立ち下がり時間	$V_O = 200\text{mV}$ ステップ		4		ns
	セトリング タイム	$G = 2$ , $V_O = 2\text{V}$ 刻み、0.1% まで		47		ns
		$G = 2$ , $V_O = 10\text{V}$ 刻み、0.1% まで		70		
		$G = 2$ , $V_O = 2\text{V}$ 刻み、0.001% まで		320		
		$G = 2$ , $V_O = 10\text{V}$ 刻み、0.001% まで		200		
	入力オーバードライブ回復	$G = 1$ , $R_F = 0\Omega$ , ( $V_{S-} - 0.5\text{V}$ ) $\sim$ ( $V_{S+} + 0.5\text{V}$ ) 入力		35		ns
	出力オーバードライブ回復	$G = -1$ , ( $V_{S-} - 0.5\text{V}$ ) $\sim$ ( $V_{S+} + 0.5\text{V}$ ) 入力		45		ns
HD2	2 次高調波歪	$f = 100\text{kHz}$ , $V_O = 2\text{V}_{PP}$		-118		dBc
		$f = 100\text{kHz}$ , $V_O = 10\text{V}_{PP}$		-108		
		$f = 1\text{MHz}$ , $V_O = 2\text{V}_{PP}$		-112		
		$f = 1\text{MHz}$ , $V_O = 10\text{V}_{PP}$		-91		
HD3	3 次高調波歪	$f = 100\text{kHz}$ , $V_O = 2\text{V}_{PP}$		-136		dBc
		$f = 100\text{kHz}$ , $V_O = 10\text{V}_{PP}$		-130		
		$f = 1\text{MHz}$ , $V_O = 2\text{V}_{PP}$		-104		
		$f = 1\text{MHz}$ , $V_O = 10\text{V}_{PP}$		-91		
$e_n$	入力換算電圧ノイズ	フラットバンド、1.5kHz の 1/f コーナー		6.3		nV/ $\sqrt{\text{Hz}}$
$i_n$	入力換算電流ノイズ	$f = 10\text{kHz}$		5		fA/ $\sqrt{\text{Hz}}$
$z_O$	閉ループ出力インピーダンス	$f = 100\text{kHz}$		0.007		$\Omega$
<b>DC 特性</b>						
$A_{OL}$	開ループ電圧ゲイン	$f = \text{dc}$ , $V_O = \pm 8\text{V}$	108	120		dB
$V_{OS}$	入力オフセット電圧			100	550	$\mu\text{V}$
	入力オフセット電圧ドリフト	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		2.5	13	$\mu\text{V}/^\circ\text{C}$
	入力バイアス電流			2	30	pA
CMRR	同相除去比	$f = \text{dc}$ , $V_{CM} = \pm 5\text{V}$	88	105		dB
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	88			

## 6.5 電気的特性 : 24V (続き)

$T_A = 25^\circ\text{C}$ ,  $V_{S+} = 12\text{V}$ ,  $V_{S-} = -12\text{V}$ , 同相電圧 ( $V_{CM}$ ) = 中間電源、 $R_L = 1\text{k}\Omega$  を中間電源に接続、AC 仕様については、ゲイン (G) =  $2\text{V/V}$ ,  $R_F = 1\text{k}\Omega$ ,  $C_L = 4.7\text{pF}$  (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
	許容入力差動電圧	図 6-39 を参照してください	±7			V
	差動入力インピーダンス	閉ループ構成内	12    2.5			GΩ    pF
	差動入力容量	開ループ構成内	0.5			pF
	最も正の入力電圧	ΔV <sub>OS</sub> < 5mV <sup>(1)</sup>	V <sub>S+</sub> + 0.2	V <sub>S+</sub> + 0.3		V
	最も負の入力電圧	ΔV <sub>OS</sub> < 5mV <sup>(1)</sup>	V <sub>S-</sub> − 0.2	V <sub>S-</sub> − 0.3		V
出力						
V <sub>OH</sub>	出力電圧 High	R <sub>L</sub> = 667Ω	V <sub>S+</sub> − 0.33	V <sub>S+</sub> − 0.22		V
		T <sub>A</sub> = −40°C ~ +125°C, R <sub>L</sub> = 667Ω	V <sub>S+</sub> − 0.36			
V <sub>OL</sub>	出力電圧 Low	R <sub>L</sub> = 667Ω	V <sub>S-</sub> + 0.15 V <sub>S-</sub> + 0.23			V
		T <sub>A</sub> = −40°C ~ +125°C, R <sub>L</sub> = 667Ω	V <sub>S-</sub> + 0.33			
I <sub>O(max)</sub>	リニア出力駆動 (ソースおよびシンク)	V <sub>O</sub> = 7.25V, R <sub>L</sub> = 151Ω, ΔV <sub>OS</sub> < 1mV	48	64		mA
I <sub>SC</sub>	出力短絡電流			108		mA
C <sub>L</sub>	容量性負荷駆動能力	ピーク 3dB 未満、R <sub>S</sub> = 0Ω		10		pF
電源						
I <sub>Q</sub>	静止電流 (チャネルあたり)			3.8	4.7	mA
PSRR	電源除去比	ΔV <sub>S</sub> = ±2V <sup>(2)</sup>	90	105		dB
		T <sub>A</sub> = −40°C ~ +125°C	90			
補助 CMOS 入力段						
	ゲイン帯域幅積			27		MHz
	入力換算電圧ノイズ	f = 1MHz		20		nV/√Hz
	入力オフセット電圧	V <sub>CM</sub> = V <sub>S+</sub> − 1.5V、無負荷			1.7	mV

- (1) 入力を中間電位にバイアスした際の入力オフセットの変化。  
 (2) 正または負の電源のどちらかのみが +PSRR および -PSRR に対応して変化するときの、デフォルトのテスト条件からの電源電圧の変化。  
 (3) テストレベル (特性とシミュレーションにより設定されたすべての値): (A)  $25^\circ\text{C}$  で 100% テスト済み、特性とシミュレーションによる全温度範囲の制限値、(B) 量産品ではテストなし、特性とシミュレーションにより設定された制限値、(C) 参考のための標準値のみ。

## 6.6 電気的特性 : 5V

$T_A = 25^\circ\text{C}$ 、 $V_{S+} = 5\text{V}$ 、 $V_{S-} = 0\text{V}$ 、同相電圧 ( $V_{CM}$ ) = 1.25V、 $R_L = 1\text{k}\Omega$  を 1.25V に接続、AC 仕様の場合、 $V_{S+} = 3.5\text{V}$ 、 $V_{S-} = -1.5\text{V}$ 、ゲイン ( $G$ ) = 2V/V、 $R_F = 1\text{k}\Omega$ 、 $C_L = 4.7\text{pF}$ 、 $V_{CM} = 0\text{V}$  (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>AC 特性</b>						
SSBW	小信号帯域幅	$G = 1$ 、 $V_O = 20\text{mV}_{pp}$ 、 $R_F = 0\Omega$		133		MHz
LSBW	大信号帯域幅	$G = 2$ 、 $V_O = 2\text{V}_{pp}$		36		MHz
GBWP	ゲイン帯域幅積			70		MHz
	0.1dB の平坦度に対する帯域幅	$G = 2$ 、 $V_O = 20\text{mV}_{pp}$		16		MHz
SR	スルー レート (20%-80%)(3)	$G = 2$ 、 $V_O = -1\text{V} \sim +1\text{V}$ ステップ		134		V/ $\mu\text{s}$
	立ち上がりおよび立ち下がり時間	$V_O = 200\text{mV}$ ステップ		4		ns
	セトリング タイム	$G = 2$ 、 $V_O = -2\text{V} \sim 0\text{V}$ ステップ、0.1% まで、 $V_S = \pm 2.5\text{V}$		100		ns
	入力オーバードライブ回復	$G = 1$ 、 $V_S = \pm 2.5\text{V}$ 、 $(V_{S-} - 0.5\text{V}) \sim (V_{S+} + 0.5\text{V})$ 入力		76		ns
	出力オーバードライブ回復	$G = -1$ 、 $V_S = \pm 2.5\text{V}$ 、 $(V_{S-} - 0.5\text{V}) \sim (V_{S+} + 0.5\text{V})$ 入力		93		ns
HD2	2 次高調波歪	$f = 100\text{kHz}$ 、 $V_O = 2\text{V}_{pp}$		-102		dBc
HD3	3 次高調波歪	$f = 100\text{kHz}$ 、 $V_O = 2\text{V}_{pp}$		-114		dBc
$e_n$	入力換算電圧ノイズ	フラットバンド、1.5kHz の 1/f コーナー		6.3		nV/ $\sqrt{\text{Hz}}$
$z_O$	閉ループ出力インピーダンス	$f = 100\text{kHz}$		0.007		$\Omega$
<b>DC 特性</b>						
$A_{OL}$	開ループ電圧ゲイン	$f = \text{dc}$ 、 $V_O = 1.25\text{V} \sim 3.25\text{V}$		118		dB
$V_{OS}$	入力オフセット電圧			100		$\mu\text{V}$
	入力オフセット電圧ドリフト	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		2.5		$\mu\text{V}/^\circ\text{C}$
	入力バイアス電流			2		pA
CMRR	同相除去比	$f = \text{dc}$ 、 $V_{CM} = 0.75\text{V} \sim 1.75\text{V}$		92		dB
<b>入力</b>						
	許容入力差動電圧	図 6-39 を参照してください		$\pm 5$		V
	差動入力インピーダンス	閉ループ構成内		$12 \parallel 2.5$		$\text{G}\Omega \parallel \text{pF}$
	差動入力容量	開ループ構成内		0.5		pF
	最も正の入力電圧	$\Delta V_{OS} < 5\text{mV}^{(1)}$		$V_{S+} + 0.3$		V
	最も負の入力電圧	$\Delta V_{OS} < 5\text{mV}^{(1)}$		$V_{S-} - 0.3$		V
<b>出力</b>						
$V_{OH}$	出力電圧 High	$R_L = 667\Omega$		$V_{S+} - 0.09$		V
$V_{OL}$	出力電圧 Low	$R_L = 667\Omega$		$V_{S-} + 0.06$		V
$I_{O(\text{max})}$	リニア出力駆動 (ソースおよびシンク)	$V_O = 1.4\text{V}$ 、 $R_L = 27.5\Omega$ 、 $\Delta V_{OS} < 1\text{mV}$ 、 $V_{S+} = 3\text{V}$ 、 $V_{S-} = -2\text{V}$		64		mA
$I_{sc}$	出力短絡電流			96		mA
$C_L$	容量性負荷駆動能力	ピーク 3dB 未満、 $R_S = 0\Omega$		10		pF
<b>電源</b>						
$I_Q$	静止電流 (チャネルあたり)		3.15	3.7	4.5	mA
PSRR	電源除去比	$\Delta V_S = \pm 0.5\text{V}^{(2)}$		100		dB

- (1) 入力を 0V にバイアスした際の入力オフセットの変化。
- (2) 正または負の電源のどちらかのみが +PSRR および -PSRR に対応して変化するときの、デフォルトのテスト条件からの電源電圧の変化。
- (3) 測定された正と負のスルー レートのうち小さい方。

## 6.7 代表的特性 : $V_S = 24V$

$V_{S+} = 12V$ ,  $V_{S-} = -12V$ ,  $R_L = 1k\Omega$ , 入力および出力は中間電圧にバイアス,  $T_A \cong 25^\circ C$ 。AC 仕様の場合,  $V_O = 2V_{PP}$ , ゲイン ( $G$ ) =  $2V/V$ ,  $R_F = 1k\Omega$ ,  $C_L = 4.7pF$  (特に記述のない限り)

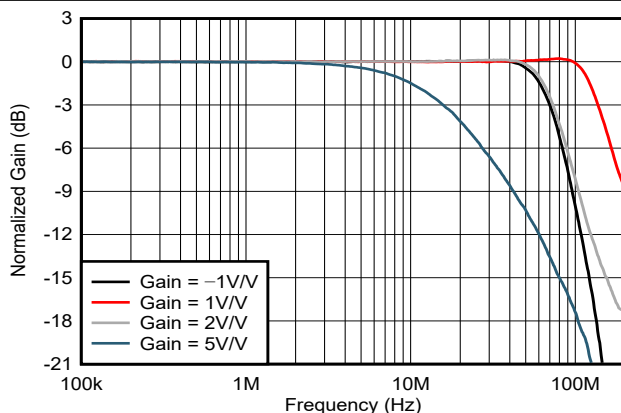


図 8-1 および 図 8-2 を参照、 $V_O = 20mV_{PP}$

図 6-1. 非反転小信号周波数応答とゲインとの関係

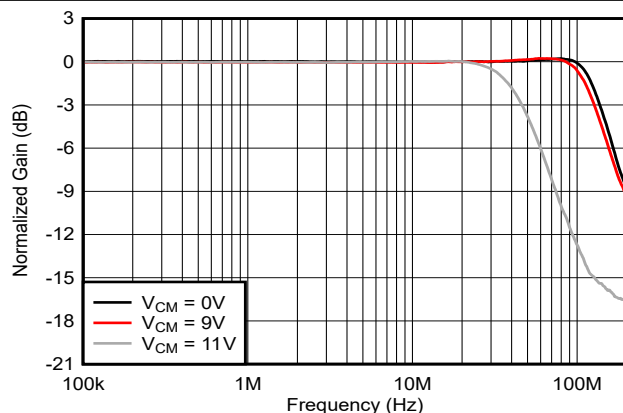


図 8-1 を参照、 $V_O = 20mV_{PP}$ ,  $G = 1V/V$ ,  $C_L = 4.7pF$ ,  $R_F = 0\Omega$

図 6-2. 小信号周波数応答と出力同相電圧との関係

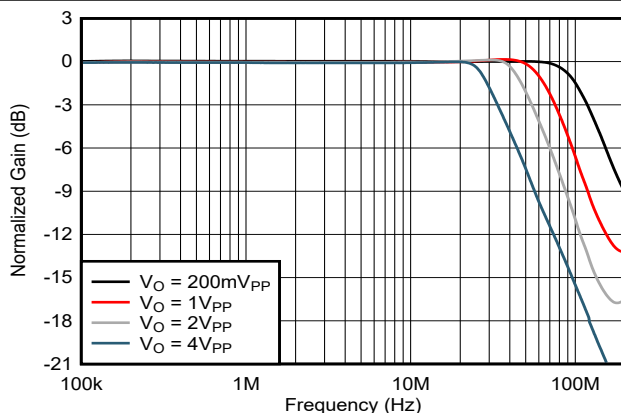


図 8-1 を参照、 $G = 1V/V$ ,  $R_F = 0\Omega$

図 6-3. 小信号周波数応答と  $V_O$  との関係

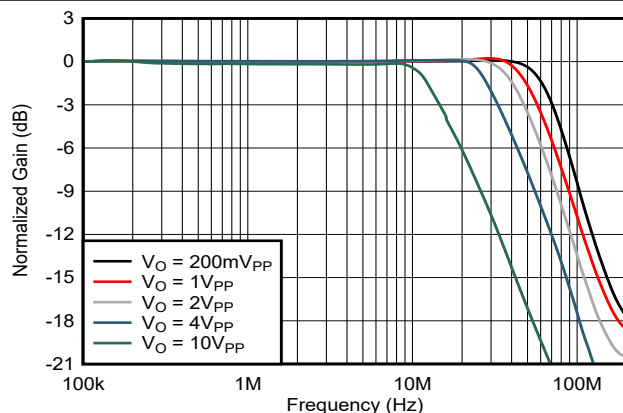


図 8-1 を参照、 $G = 2V/V$

図 6-4. 小信号周波数応答と  $V_O$  との関係

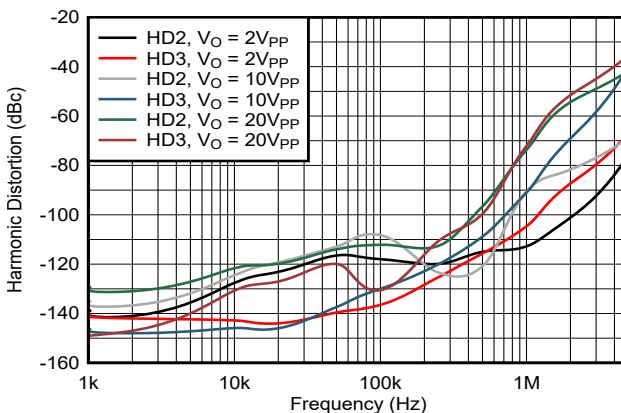


図 8-1 を参照、 $G = 2V/V$

図 6-5. 高調波歪みと周波数と  $V_O$  との関係

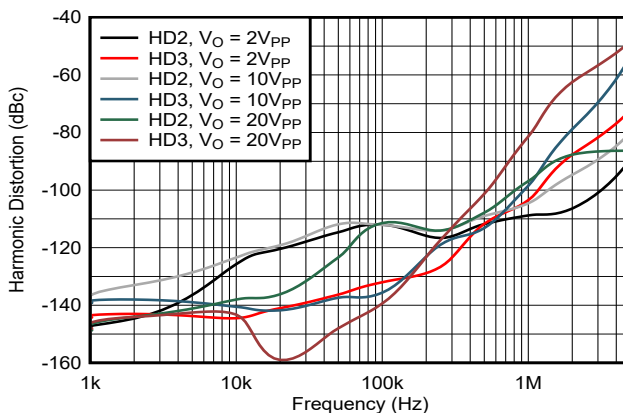


図 8-2 を参照、 $G = -1V/V$

図 6-6. 高調波歪みと周波数と  $V_O$  との関係



## 6.7 代表的特性 : $V_S = 24V$ (続き)

$V_{S+} = 12V$ ,  $V_{S-} = -12V$ ,  $R_L = 1k\Omega$ , 入力および出力は中間電圧にバイアス,  $T_A \cong 25^\circ C$ 。AC 仕様の場合,  $V_O = 2V_{PP}$ , ゲイン ( $G$ ) =  $2V/V$ ,  $R_F = 1k\Omega$ ,  $C_L = 4.7pF$  (特に記述のない限り)

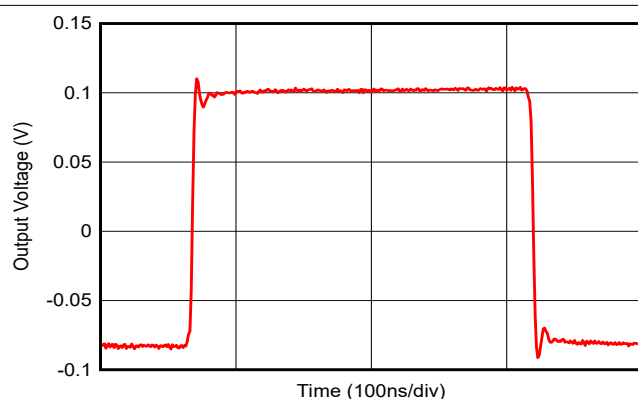


図 8-1 を参照,  $G = 1V/V$ ,  $R_F = 0\Omega$ ,  $C_L = 10pF$

図 6-7. 小信号過渡応答

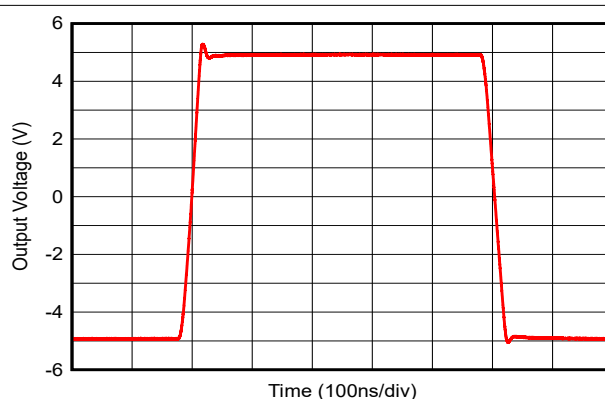


図 8-1 を参照,  $G = 1V/V$ ,  $R_F = 0\Omega$

図 6-8. 大信号過渡応答

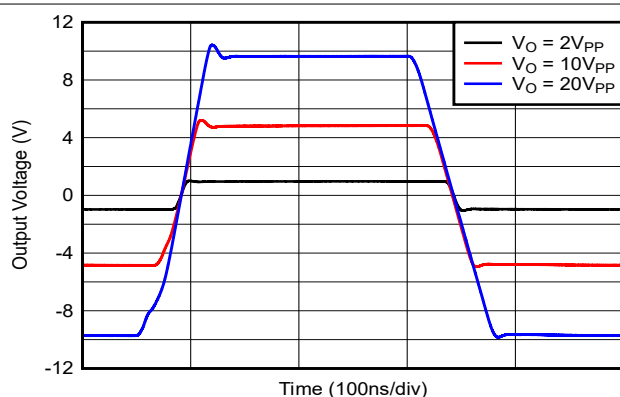


図 8-1 を参照,  $G = 2V/V$

図 6-9. 大信号過渡応答

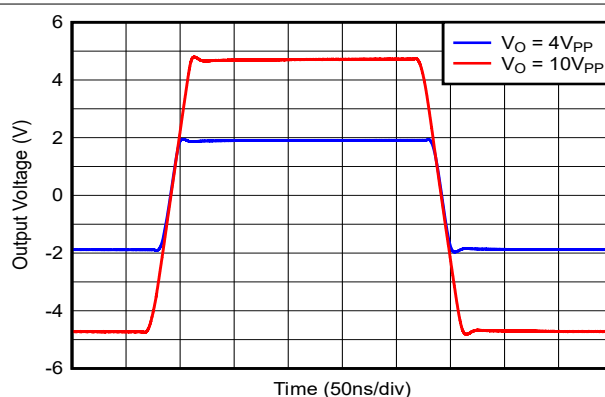


図 8-2 を参照,  $G = -1V/V$

図 6-10. 大信号過渡応答

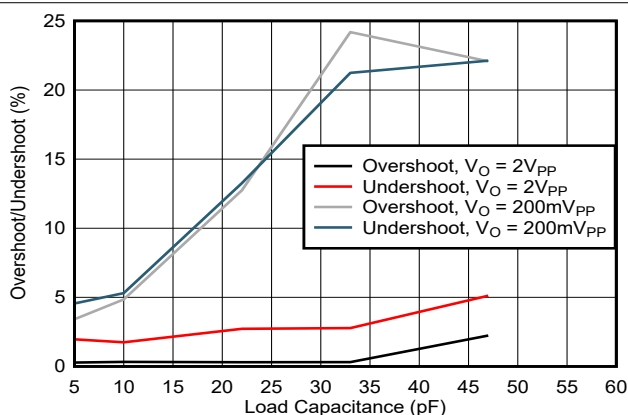


図 8-1 を参照,  $G = 1V/V$ ,  $R_F = 0\Omega$

図 6-11. オーバーシュート/アンダーシュートおよび  $C_L$  との関係

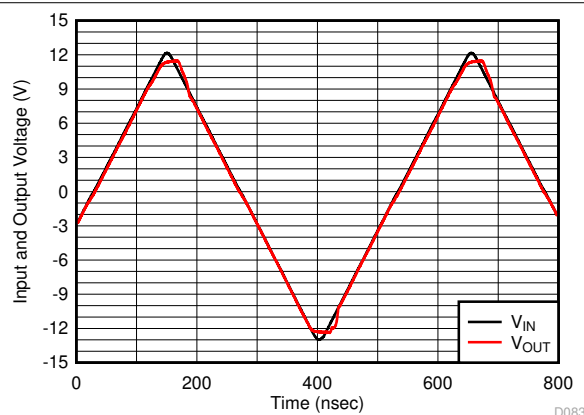


図 8-1 を参照,  $G = 1V/V$ ,  $R_F = 0\Omega$

図 6-12. 入力オーバードライブ回復

## 6.7 代表的特性 : $V_S = 24V$ (続き)

$V_{S+} = 12V$ 、 $V_{S-} = -12V$ 、 $R_L = 1k\Omega$ 、入力および出力は中間電圧にバイアス、 $T_A \cong 25^\circ C$ 。AC 仕様の場合、 $V_O = 2V_{PP}$ 、ゲイン ( $G$ ) =  $2V/V$ 、 $R_F = 1k\Omega$ 、 $C_L = 4.7pF$  (特に記述のない限り)

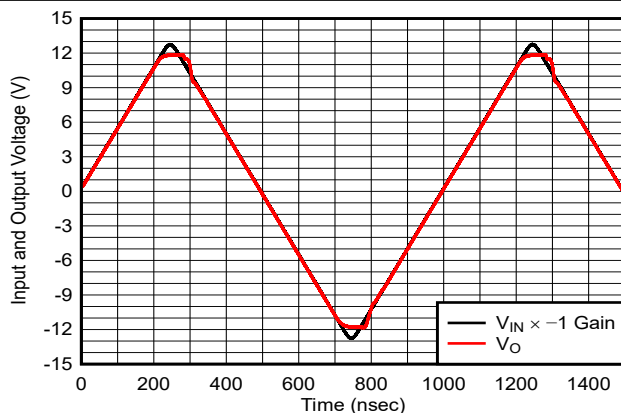


図 8-2 を参照、 $G = -1V/V$

図 6-13. 出力オーバードライブ回復

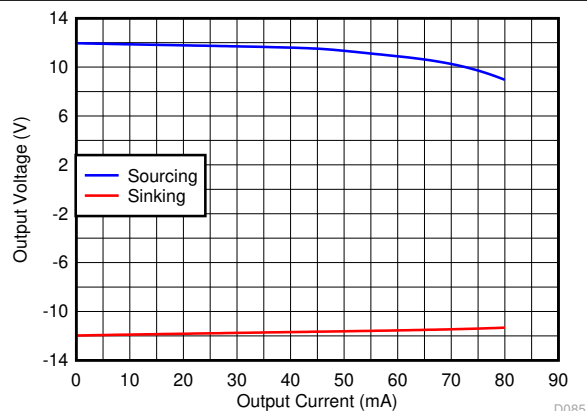
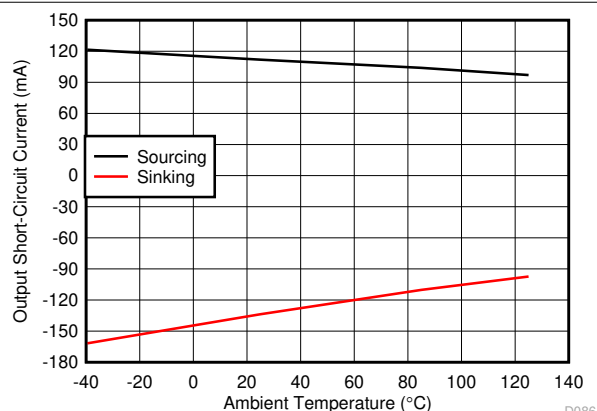
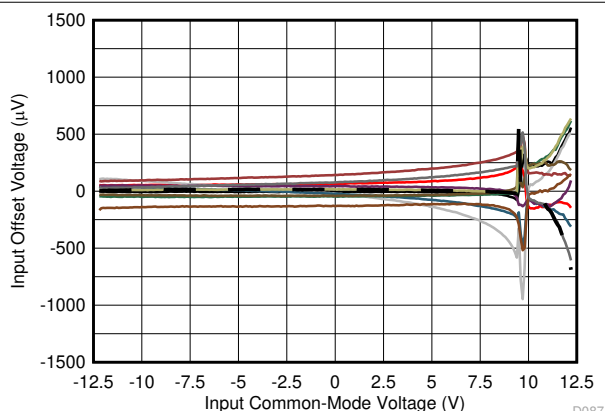


図 6-14. 出力電圧範囲と負荷電流との関係



出力は飽和後に短絡

図 6-15. 出力短絡電流と周囲温度との関係



12 個で測定

図 6-16. オフセット電圧と入力同相電圧との関係

## 6.8 代表的特性 : $V_S = 5V$

$V_{S+} = 5V$ ,  $V_{S-} = 0V$ ,  $V_{CM} = 1.25V$ ,  $R_L = 1k\Omega$ , 出力は中間電源にバイアス,  $T_A \cong 25^\circ C$ 。AC仕様の場合,  $V_{S+} = 3.5V$ ,  $V_{S-} = -1.5V$ ,  $V_{CM} = 0V$ ,  $V_O = 2V_{PP}$ , ゲイン (G) =  $2V/V$ ,  $R_F = 1k\Omega$ ,  $C_L = 4.7pF$  (特に記述のない限り)

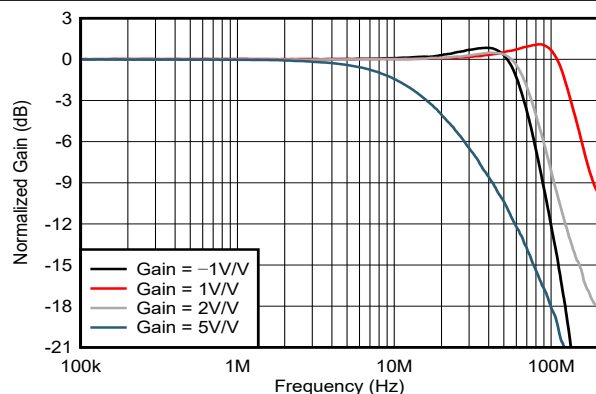


図 8-1 および 図 8-2 を参照,  $V_O = 20mV_{PP}$

図 6-17. 小信号応答とゲインとの関係

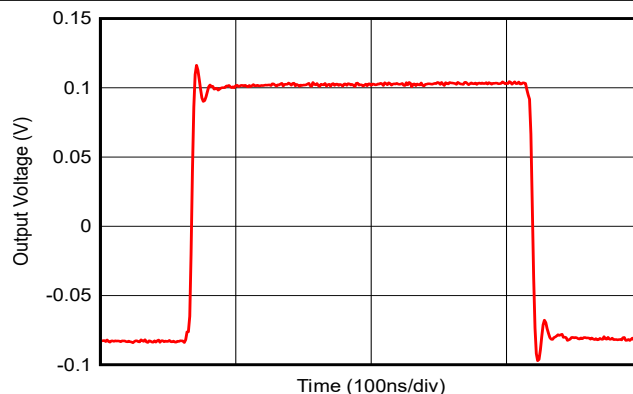


図 8-1 を参照,  $G = 1V/V$ ,  $R_F = 0\Omega$ ,  $C_L = 10pF$

図 6-18. 小信号過渡応答

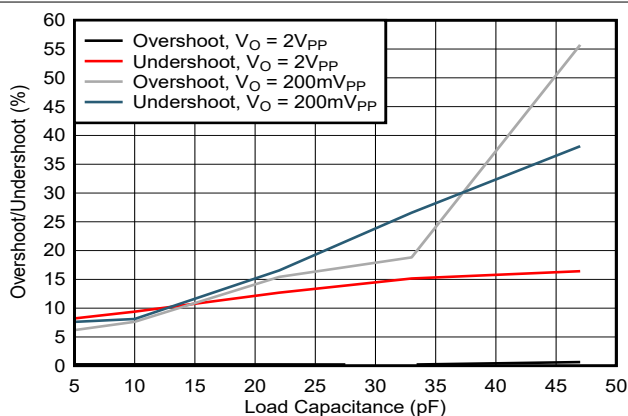


図 8-1 を参照,  $G = 1V/V$ ,  $R_F = 0\Omega$

図 6-19. オーバーシュート/アンダーシュートおよび  $C_L$  との関係

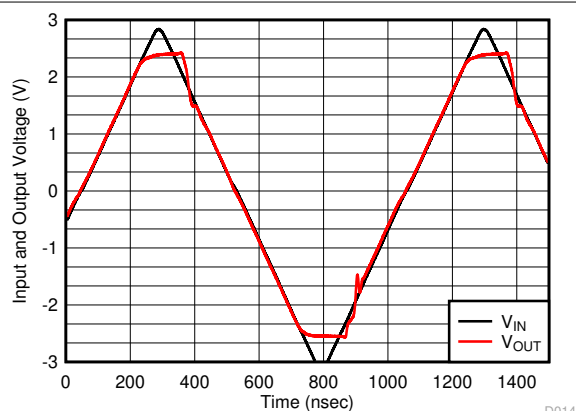


図 8-1 を参照,  $G = 1V/V$ ,  $R_F = 0\Omega$

図 6-20. 入力オーバードライブ回復

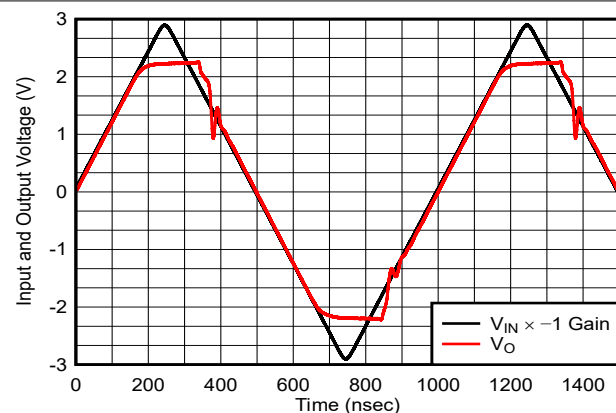


図 8-2 を参照,  $G = -1V/V$

図 6-21. 出力オーバードライブ回復

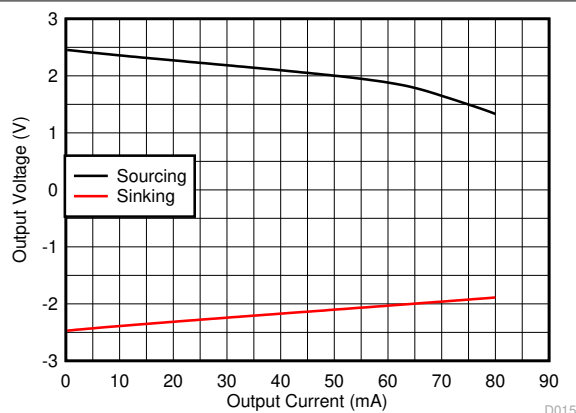
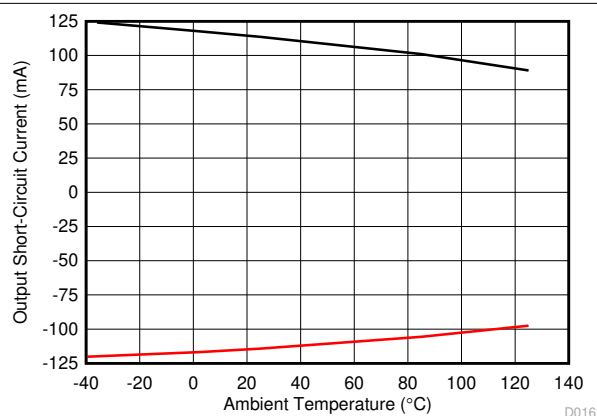


図 6-22. 出力電圧範囲と出力電流との関係

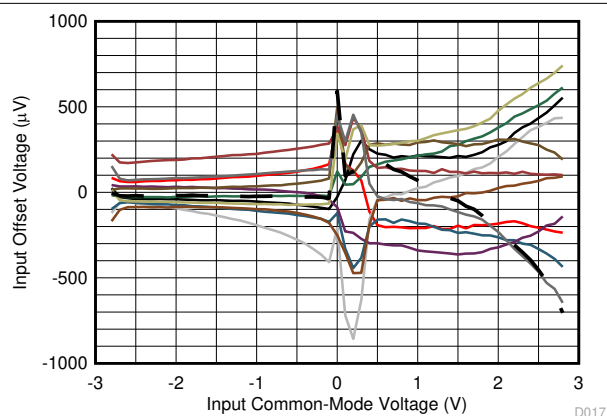
## 6.8 代表的特性 : $V_S = 5V$ (続き)

$V_{S+} = 5V$ ,  $V_{S-} = 0V$ ,  $V_{CM} = 1.25V$ ,  $R_L = 1k\Omega$ , 出力は中間電源にバイアス,  $T_A \cong 25^\circ C$ 。AC 仕様の場合,  $V_{S+} = 3.5V$ ,  $V_{S-} = -1.5V$ ,  $V_{CM} = 0V$ ,  $V_O = 2V_{PP}$ , ゲイン (G) =  $2V/V$ ,  $R_F = 1k\Omega$ ,  $C_L = 4.7pF$  (特に記述のない限り)



出力は飽和後に短絡

図 6-23. 出力短絡電流と周囲温度との関係

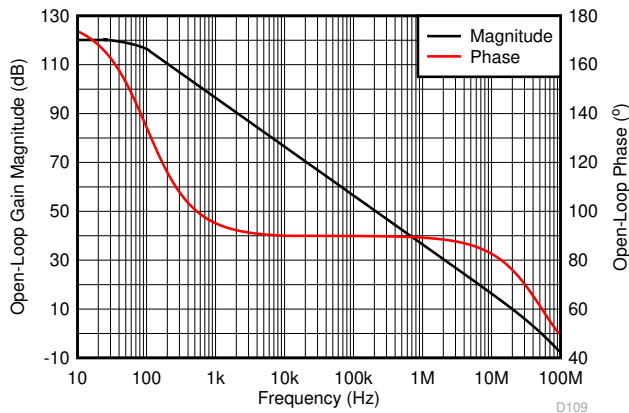


12 個で測定

図 6-24. オフセット電圧と入力同相電圧との関係

## 6.9 代表的特性 : $\pm 2.375\text{V} \sim \pm 12\text{V}$ 分割電源

$V_O = 2V_{PP}$ ,  $R_F = 1\text{k}\Omega$ ,  $R_L = 1\text{k}\Omega$ ,  $T_A \cong 25^\circ\text{C}$  (特に記述のない限り)



出力負荷がない状態でシミュレーション

図 6-25. 開ループゲインおよび位相と周波数との関係

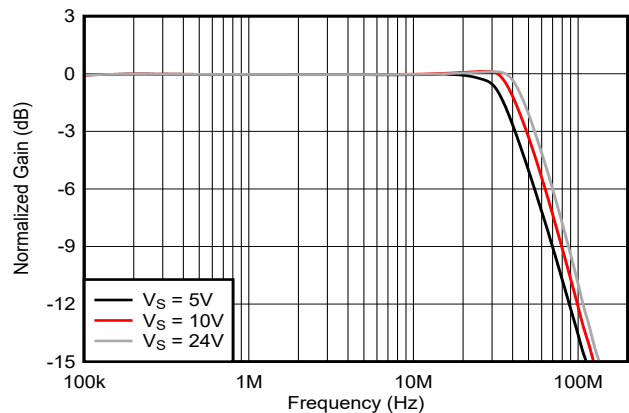


図 8-1 を参照、 $G = 1\text{V/V}$ ,  $R_F = 0\Omega$

図 6-26. 小信号応答と電源電圧との関係

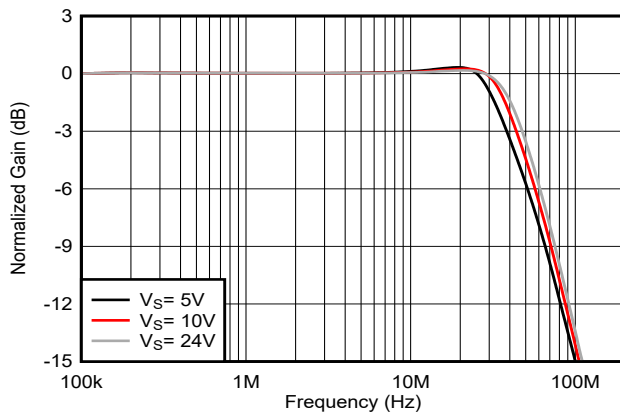


図 8-1 を参照、 $G = 2\text{V/V}$

図 6-27. 小信号応答と電源電圧との関係

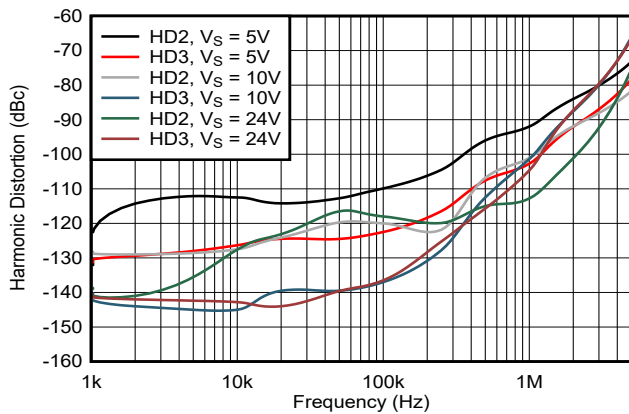


図 8-1 を参照、 $G = 2\text{V/V}$

図 6-28. 高調波歪みと周波数と電源電圧との関係

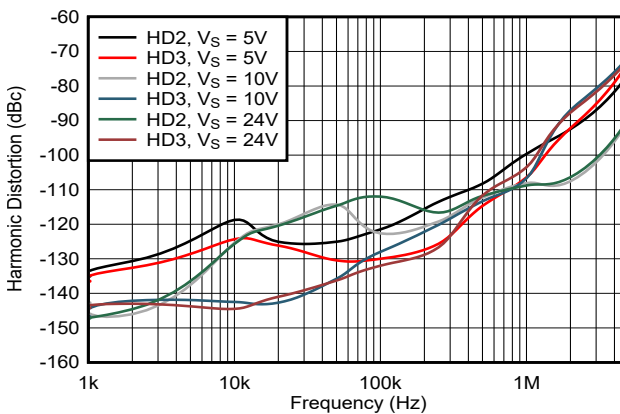


図 8-2 を参照、 $G = -1\text{V/V}$

図 6-29. 高調波歪みと周波数と電源電圧との関係

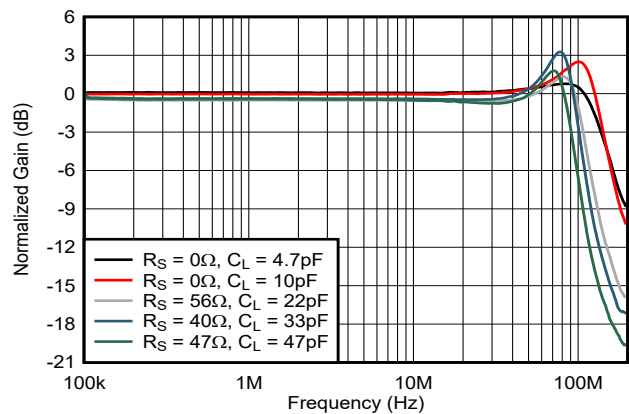


図 8-1 および 図 7-1 を参照、

$V_S = 10\text{V}$ ,  $V_O = 20\text{mV}_{PP}$ , ゲイン =  $1\text{V/V}$ ,  $R_F = 0\Omega$

図 6-30. 小信号周波数応答と  $C_L$  との関係

## 6.9 代表的特性 : $\pm 2.375\text{V} \sim \pm 12\text{V}$ 分割電源 (続き)

$V_O = 2V_{PP}$ ,  $R_F = 1\text{k}\Omega$ ,  $R_L = 1\text{k}\Omega$ ,  $T_A \cong 25^\circ\text{C}$  (特に記述のない限り)

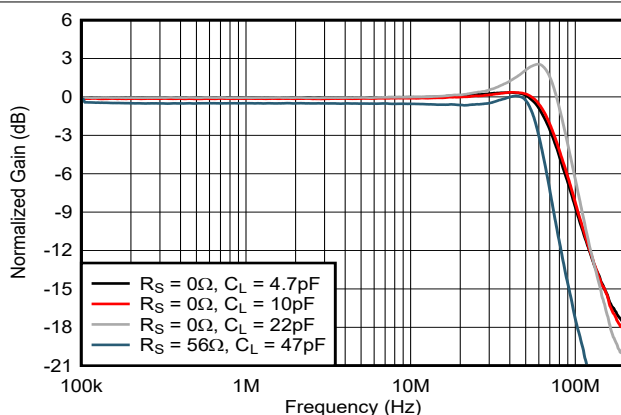
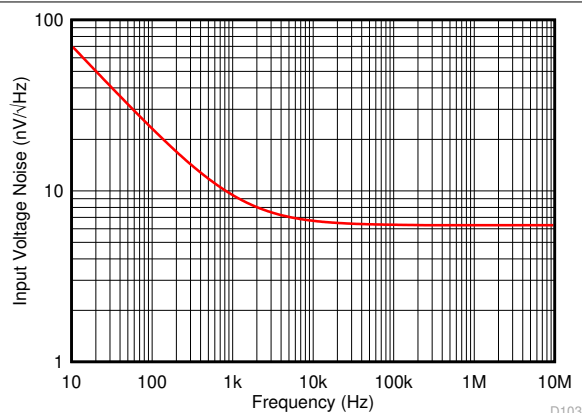


図 8-1 および 図 7-1 を参照、

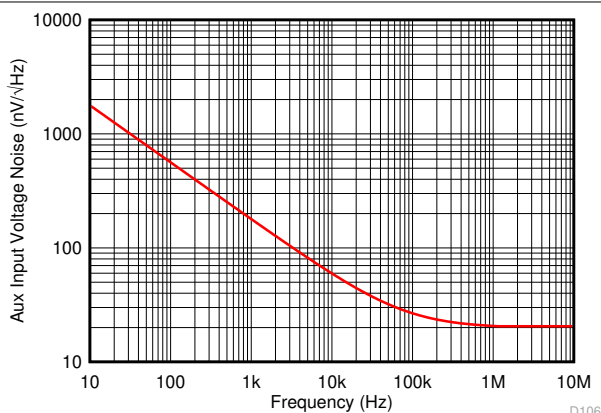
$V_S = 10\text{V}$ ,  $V_O = 20\text{mV}_{PP}$ , ゲイン =  $2\text{V/V}$

図 6-31. 小信号周波数応答と  $C_L$  との関係



測定後、 $1/f$  モデルに近似

図 6-32. 入力電圧ノイズ密度と周波数との関係



測定後、 $1/f$  モデルに近似

図 6-33. 補助入力段の電圧ノイズ密度と周波数との関係

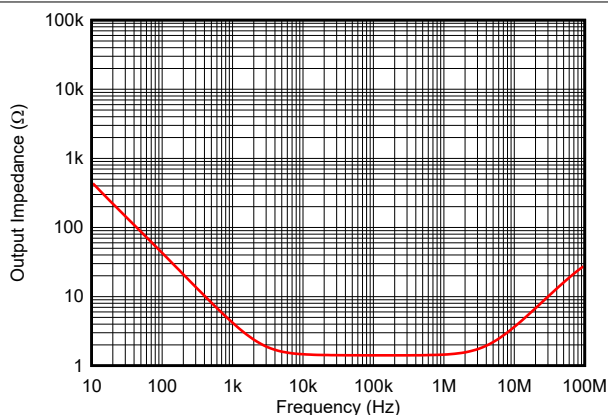
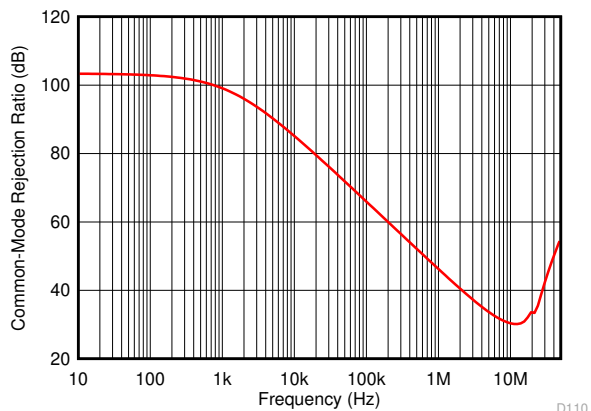
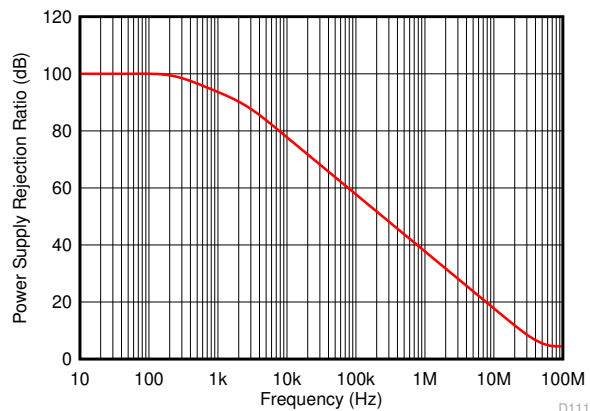


図 6-34. 開ループ出力インピーダンスと周波数との関係



$V_S = 10\text{V}$  および  $24\text{V}$

図 6-35. 同相除去比と周波数との関係

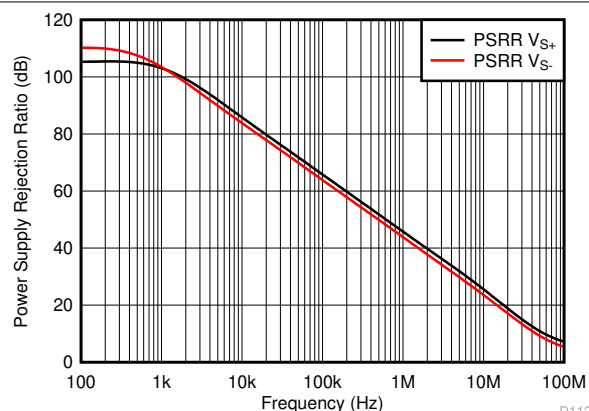


$V_S = 5\text{V}$  および  $10\text{V}$

図 6-36. 電源除去比と周波数との関係

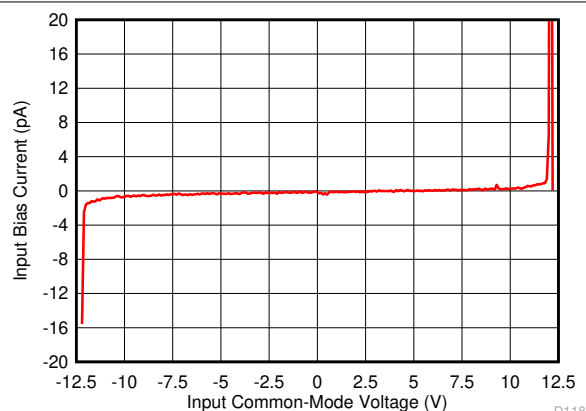
## 6.9 代表的特性 : $\pm 2.375\text{V} \sim \pm 12\text{V}$ 分割電源 (続き)

$V_O = 2V_{PP}$ ,  $R_F = 1\text{k}\Omega$ ,  $R_L = 1\text{k}\Omega$ ,  $T_A \cong 25^\circ\text{C}$  (特に記述のない限り)



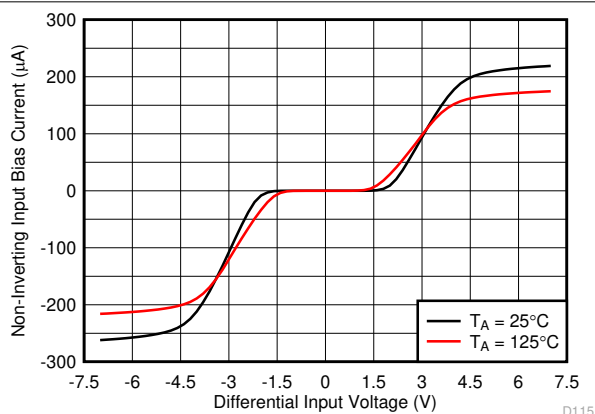
シミュレーション曲線、 $V_S = 24\text{V}$

図 6-37. 電源除去比と周波数との関係



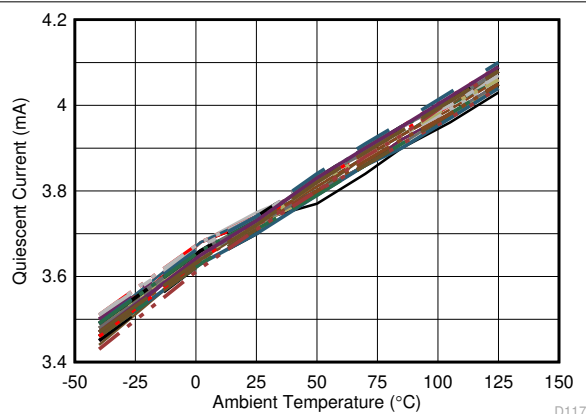
$V_S = \pm 12\text{V}$

図 6-38. 入力バイアス電流と入力同相電圧との関係



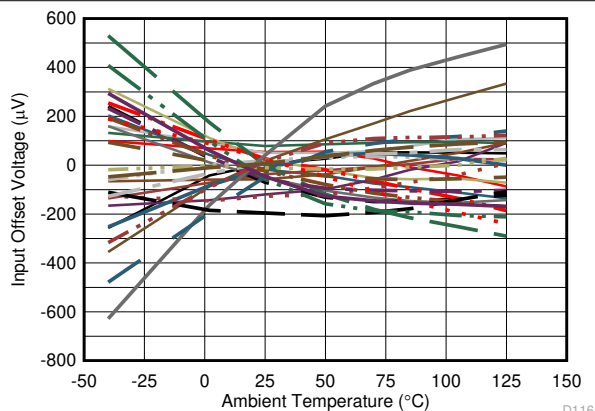
$\text{Abs}(V_{IN, \text{Diff (max)}}) = V_S$  ( $V_S < 7\text{V}$  のとき)

図 6-39. 入力バイアス電流と差動入力電圧との関係



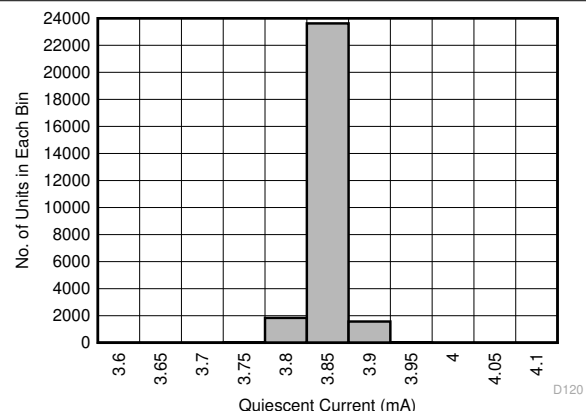
32 個、 $V_S = \pm 5\text{V}$

図 6-40. 静止電流と周囲温度の関係



32 ユニット

図 6-41. 入力オフセット電圧と周囲温度との関係

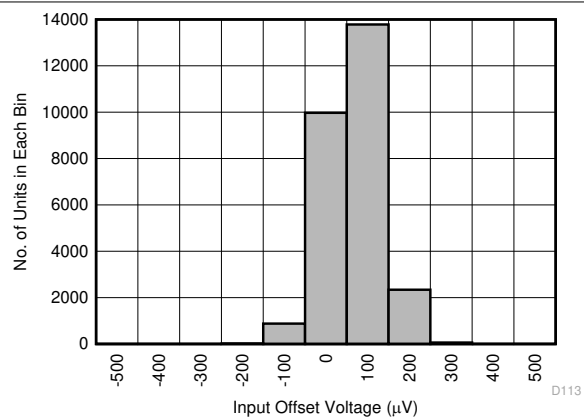


27000 個、 $\mu = 3.82\text{mA}$ ,  $\sigma = 17\mu\text{A}$ ,  $V_S = 24\text{V}$

図 6-42. 静止時電流の分布

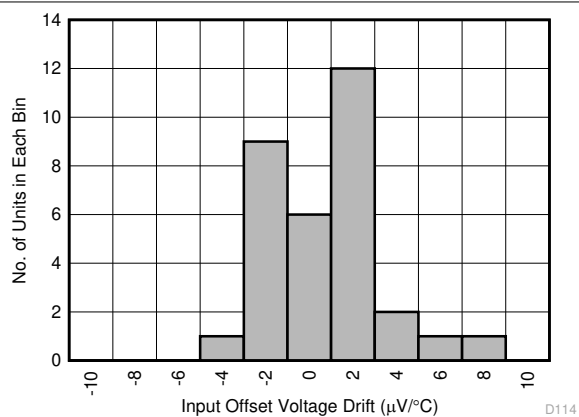
## 6.9 代表的特性 : $\pm 2.375V \sim \pm 12V$ 分割電源 (続き)

$V_O = 2V_{PP}$ ,  $R_F = 1k\Omega$ ,  $R_L = 1k\Omega$ ,  $T_A \cong 25^\circ C$  (特に記述のない限り)



27000 個、 $\mu = 16 \mu V$ 、 $\sigma = 63 \mu V$ 、 $V_S = 24V$

図 6-43. 入力オフセット電圧分布



$-40^\circ C \sim +125^\circ C$  フィット、32 個、 $\mu = -0.15 \mu V/^\circ C$ 、 $\sigma = 2.5 \mu V/^\circ C$

図 6-44. 入力オフセット電圧ドリフト分布



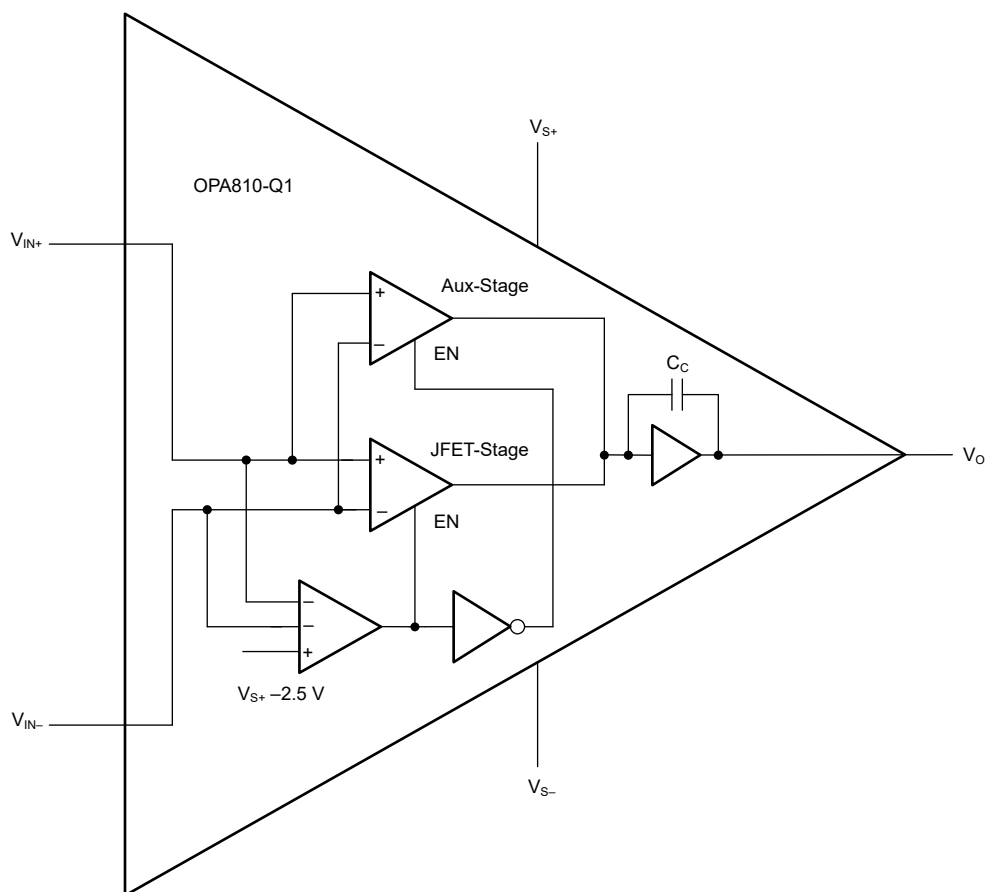
## 7 詳細説明

## 7.1 概要

OPA810-Q1 は、同相入力電圧範囲において入力バイアス電流が非常に低い、シングル チャネル、電界効果トランジスタ (FET) 入力、ユニティゲイン安定、電圧帰還型オペアンプです。OPA810-Q1 は、4.75V ~ 27V の広い電源電圧範囲で動作し、140MHz の小信号ユニティゲイン帯域幅を備えているため、低静止電力で優れた DC 精度と動的 AC 性能を発揮します。OPA810-Q1 は、テキサス・インスツルメンツ独自の高速 SiGe BiCMOS プロセスで製造されており、静止電流が同等である他の FET 入力アンプに比べて大幅に性能が向上しています。70MHz のゲイン帯域幅積 (GBWP)、200V/μs の非常に高いスルー レート、6.3nV/√Hz の小さいノイズを特長とする OPA810-Q1 は、広範なデータ アクイジションおよび信号処理アプリケーション向けに設計されています。OPA810-Q1 は入力クランプを備え、最大 7V の入力差動電圧に対応できるため、マルチプレクサと共に使用する場合や、高速過渡で信号を処理する場合などに優れた選択肢となります。このデバイスは、これらのベンチマークレベルの性能を実現していますが、チャンネルごとに標準的な静止電流 ( $I_Q$ ) である 3.7mA しか消費しません。

OPA810-Q1 は、直線性性能の低下なしに、大電流のソース/シンクが可能です。OPA810-Q1 は帯域幅が広いので、広い周波数範囲にわたって出力インピーダンスが低く、それにより、アンプは出力絶縁を必要とせずに最大 10pF の容量性負荷を駆動できます。このデバイスは、幅広いデータ アクイジション、テストおよび測定、フロントエンド バッファ、インピーダンス測定、電力アナライザ、広帯域フォトダイオードトランスインピーダンス、信号処理アプリケーション向けに設計されています。

## 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 アーキテクチャ

OPA810-Q1 は、JFET 差動入力ペアのメイン段と CMOS 差動入力補助 (aux) 段を含む真の高インピーダンス入力段を備え、正の電源電圧である 2.5V 以内で動作します。バイアス電流は、アンプの同相入力範囲全体で、最大 20pA に制限されます。OPA810-Q1 の入力段のブロック図は、[セクション 7.2](#) に記載されています。このアンプは高速信号 (歪み、ノイズ、入力オフセット電圧) に対して非常に優れた性能を示すだけでなく、補助段によりレール ツー レール入出を実現でき位相反転を防止します。デバイスの CMRR および PSRR は、同相入力補助段のときに 75dB (標準値) となります。

また、OPA810-Q1 は入力クランプを内蔵しており、最大入力差動電圧を 7V 以下 (7V と合計電源電圧のうち低い方) に抑えることができます。このアーキテクチャは、標準アンプの 1 ~ 2 倍のダイオード順方向電圧降下最大定格に比べて、大幅に優れた差動入力電圧能力を備えているため、マルチプレクサおよび高速過渡電流での信号処理に最適です。[図 6-39](#) に示すように、入力バイアス電流も 300μA 以下にクランプされます。これにより、前のドライバ段に負荷をかけず、電流制限抵抗も必要ありません (入力同相電圧が電源電圧よりも高いときに入力 ESD ダイオードを流れる電流の制限を除く)。この機能により、信号ゲインと故障検出用にそれぞれアンプとコンパレータを必要とするシステムで、このアンプをコンパレータとして使用することもできます。オフセット、歪み、ノイズ性能を最小限に抑えるには、メイン JFET 入力段への同相入力電圧を制限します (正電源から 2.5V 以上離れた値)。

OPA810-Q1 はレール ツー レール出力アンプで、24V 電源での動作では、出力時にいずれかのレールまでスイングします ([図 6-14](#) も参照)。レール ツー レール出力構成は、レール付近で入力がバイアスされる場合、または出力が電源電圧に近付くようにアンプが閉ループ ゲインに構成されている場合に特に便利です。出力が飽和すると、入力が電源電圧を 0.5V 超えた際、出力は、10V 電源での反転ゲイン  $G = -1V/V$  で 55ns 以内に回復します。出力は、[図 6-15](#) の制限により短絡保護されています。

[図 7-1](#) に、出力において容量性負荷 ( $C_L$ ) を駆動する際に、アンプの位相マージンがどのように減少し不安定になるかの様子を示します。アンプの出力と負荷容量の間に直列抵抗 ( $R_S$ ) を用いると、アンプの出力インピーダンスと開ループ伝達関数の  $C_L$  により形成される極が相殺され、ゼロとなります。OPA810-Q1 は、不安定性を引き起こすことなく、最大 10pF の容量性負荷を駆動できます。OPA810-Q1 をユニティ ゲイン バッファとして構成する場合は、より大きな負荷容量値に対応した直列抵抗を使用します ([図 6-30](#) も参照)。[図 6-31](#) に、1V/V を超えるゲインで使用する場合は、OPA810-Q1 は出力に直列抵抗を必要とせずに 10pF を超える負荷容量を駆動できることを示します。

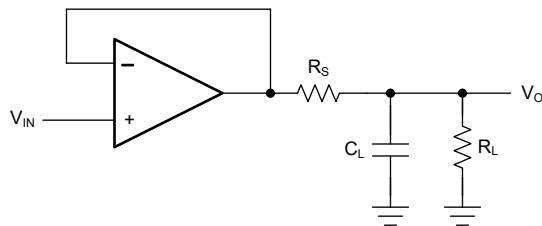


図 7-1. OPA810-Q1 による容量性負荷の駆動

### 7.3.2 ESD 保護

図 7-2 に示すように、すべてのデバイス ピンは電源との間に接続された内部 ESD 保護ダイオードで保護されています。これらのダイオードは、電源電圧を上回る入力オーバードライブ電圧に対してもある程度の保護を提供します。これらの保護ダイオードは、通常、10mA の連続入出力電流に対応できます。差動入力クランプは、入力同相電圧が電源電圧範囲内にあるときのみバイアス電流を制限します。ただし、電源電圧よりも大きい同相電圧が発生する可能性がある場合は、入力に電流制限直列抵抗を追加する必要があります。抵抗値が大きいとノイズ性能や周波数応答が低下するため、これらの抵抗値はできるだけ小さくします。

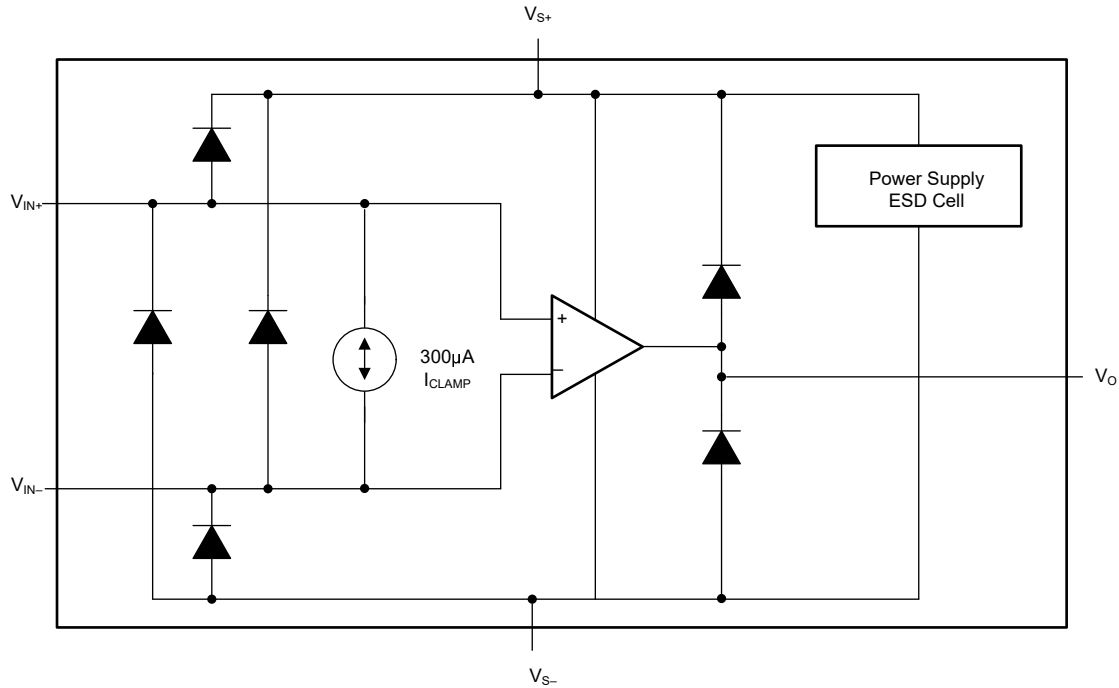


図 7-2. 内部 ESD 保護

## 7.4 デバイスの機能モード

### 7.4.1 分割電源動作 ( $\pm 2.375\text{V} \sim \pm 13.5\text{V}$ )

一般的なラボ用機器によるテストを容易にするために、OPA810-Q1 は電源分割動作ができるように構成することもできます (『SOT-23 5 ピンまたは 6 ピン評価基板』ユーザー ガイドを参照)。この構成により、電源レール間の中間点がグランドとなり、ほとんどの信号ジェネレータ、ネットワーク アナライザ、オシロスコープ、スペクトル アナライザ、およびその他のラボ用機器は入出力の基準をグランドにするため、ラボでのテストが容易になります。図 8-1 に非反転アンプとして構成された OPA810-Q1 を、図 8-2 に反転アンプとして構成された OPA810-Q1 を示します。グランドを基準とする分割電源動作の場合、電源  $V_{S+}$  と  $V_{S-}$  はグランドを中心として対称となり、 $V_{REF}$  は GND となります。使いやすいため、信号がグランドを中心に振れるシステムでは分割電源動作が推奨されますが、この場合 2 つの電源レールが必要になります。

### 7.4.2 単一電源動作 ( $4.75\text{V} \sim 27\text{V}$ )

新しいシステムの多くは単一電源を使用して効率を向上させ、追加電源のコストを削減しています。OPA810-Q1 は単一電源 (負電源をグランドに設定) で使用でき、入力と出力がデバイスの線形動作内にバイアスされても、性能に変化はありません。回路を分割電源から平衡型の単一電源構成に変更するには、すべての電圧を複数の電源レール間の差の半分だけレベル シフトします。アンプを単一電源動作用に構成することのもう 1 つの利点は、低電源レールが接地されているため、PSRR の影響が最小限に抑えられることです。単一電源設計の例については、『単一電源オペアンプの設計テクニック』アプリケーション レポートを参照してください。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

#### 8.1.1 アンプのゲイン構成

OPA810-Q1 は、各チャネルに 2 つの高インピーダンス入力と 1 つの低インピーダンス出力を備えた従来型の電圧帰還アンプです。標準的な応用回路 (図 8-1 および 図 8-2 も参照) には、非反転ゲイン構成と反転ゲイン構成が含まれています。各構成の DC 動作点は、基準電圧  $V_{REF}$  によってレベルシフトされます。これは通常、単一電源動作時の中間電圧に設定されます。分割電源アプリケーションでは、 $V_{REF}$  は多くの場合、グランドに接続されます。

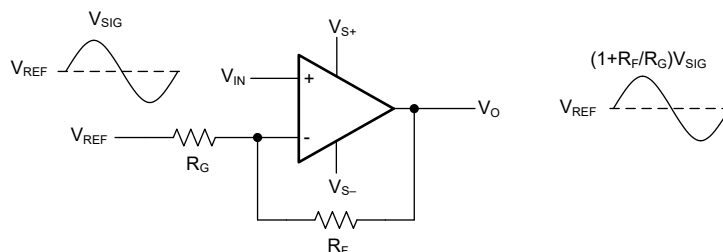


図 8-1. 非反転アンプ

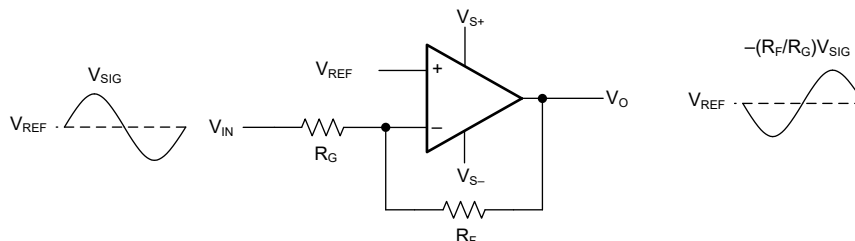


図 8-2. 反転アンプ

式 1 に非反転構成のアンプの閉ループ ゲインを示します。

$$V_O = V_{IN} \left( 1 + \frac{R_F}{R_G} \right) + V_{REF} \quad (1)$$

式 2 に反転構成のアンプの閉ループ ゲインを示します。

$$V_O = V_{IN} \left( - \frac{R_F}{R_G} \right) + V_{REF} \quad (2)$$

### 8.1.2 帰還抵抗の選択

OPA810-Q1 は、各チャネルに 2 つの高インピーダンス入力と 1 つの低インピーダンス出力を備えた従来型の電圧帰還アンプです。標準的な適応回路 (図 8-3 および 図 8-4 も参照) には、非反転ゲイン構成と反転ゲイン構成が含まれています。各構成の DC 動作点は、基準電圧  $V_{REF}$  によってレベルシフトされます。それは通常、単一電源動作時の中間電圧に設定されます。分割電源アプリケーションでは、 $V_{REF}$  は多くの場合、グランドに接続されます。

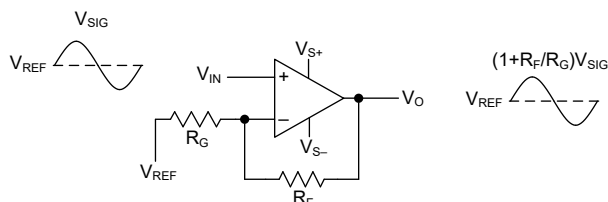


図 8-3. 非反転アンプ

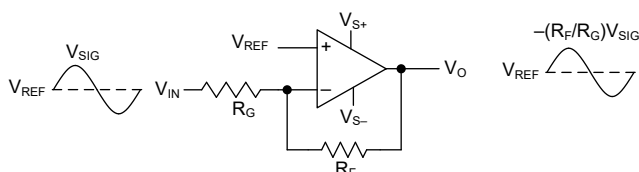


図 8-4. 反転アンプ

式 3 に非反転構成のアンプの閉ループ ゲインを示します。

$$V_O = V_{IN} \left( 1 + \frac{R_F}{R_G} \right) + V_{REF} \quad (3)$$

式 4 に反転構成のアンプの閉ループ ゲインを示します。

$$V_O = V_{IN} \left( -\frac{R_F}{R_G} \right) + V_{REF} \quad (4)$$

低周波ゲインの大きさは、帰還抵抗 ( $R_F$ ) とゲイン設定抵抗  $R_G$  の大きさの比によって決定されます。 $R_F$  と  $R_G$  の個々の値の大きさから、アンプの安定性、帰還抵抗ネットワークの消費電力、総出力ノイズとの間のトレードオフが決定されます。帰還ネットワークにより、アンプ出力の負荷が増加します。大きい値の帰還抵抗を用いると、アンプ出力で消費される電力が低減されます。その反対に、帰還抵抗の値が大きいと、出力で見られる固有の電圧ノイズおよびアンプの電流ノイズの寄与が増加するとともに、帰還率 ( $\beta$ ) に極が発生する周波数が低下します。この極によって、ゼロゲインのクロスオーバー周波数と潜在的な不安定性で位相マージンが減少します。小さな帰還抵抗を使用すると、消費電力が増加し、アンプの出力負荷が大きいことにより、アンプの直線性が低下します。図 8-5 に入力コンデンサを使用した反転構成における OPA810-Q1 の代表的な回路図を示します。

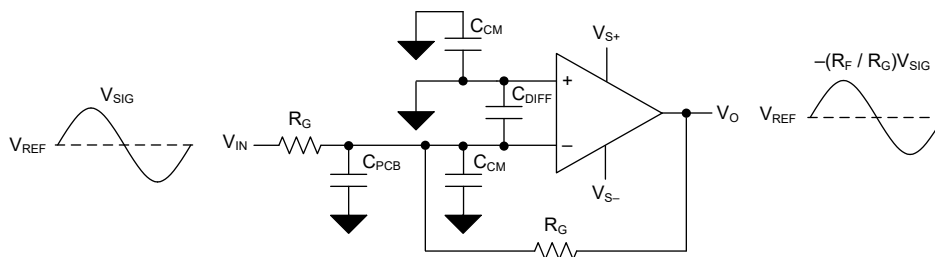


図 8-5. 入力コンデンサを使用した反転アンプ

式 5 は、アンプの反転入力ピンの実効容量を示しています。この容量は、式 6 で表されるカットオフ周波数で  $\beta$  に極を形成します。

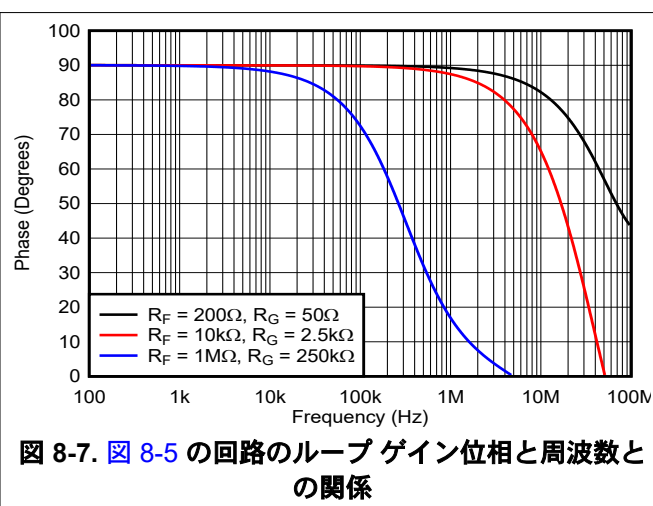
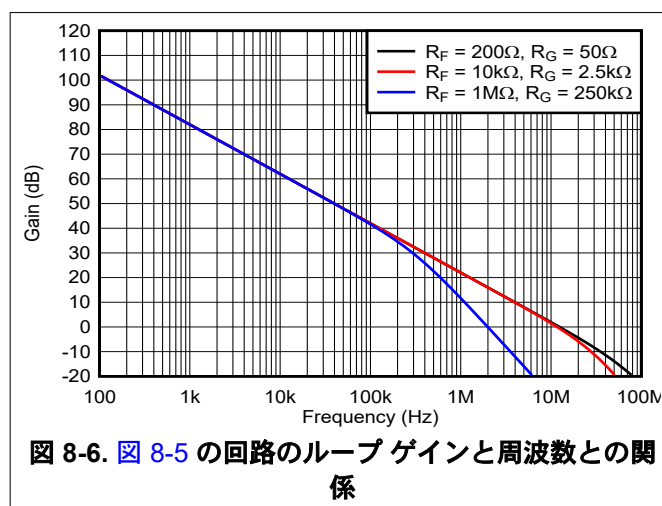
$$C_{IN} = C_{CM} + C_{DIFF} + C_{PCB} \quad (5)$$

ここで、

- $C_{CM}$ : アンプの同相モード入力容量
- $C_{DIFF}$ : アンプの差動入力容量
- $C_{PCB}$ : プリント基板 (PCB) の寄生容量

$$f_c = \frac{1}{2\pi R_F C_{IN}} \quad (6)$$

低消費電力システムでは、帰還抵抗の値が大きいほど、周波数の早い段階で位相マージンが減少し始め、不安定性が発生します。図 8-6 および 図 8-7 に、反転アンプとして構成された TINA-TI の OPA810-Q1 シミュレーションで、帰還抵抗値が桁単位で変化した場合のループゲインの大きさと位相のプロットをそれぞれ示します。



位相マージンが小さいと、図 8-8 に示すように、周波数応答にピーキングが発生し、帯域幅が狭くなります。つまり、パルス応答結果にオーバーシュートとリンギングが発生します。OPA810-Q1 のフラットバンド電圧ノイズ密度は  $6.3\text{nV}/\sqrt{\text{Hz}}$  となります。TI は、電圧ノイズの寄与がアンプのノイズを超えないように  $R_F$  を選択することを推奨します。図 8-9 は、 $25^\circ\text{C}$  での抵抗値による電圧ノイズ密度の変動を示しています。 $2\text{k}\Omega$  抵抗は  $5.75\text{nV}/\sqrt{\text{Hz}}$  の熱ノイズ密度を示し、これは OPA810-Q1 のフラットバンドノイズに匹敵します。このため、 $R_F$  は、 $2\text{k}\Omega$  よりも小さいものを使用しつつ、アプリケーションの出力電圧振幅と電源電流要件に対して過度な電力を消費しない程度に十分な大きさのものを選択します。セクション 8.1.3 に、ノイズに寄与するさまざまな要素の詳細な分析を示します。



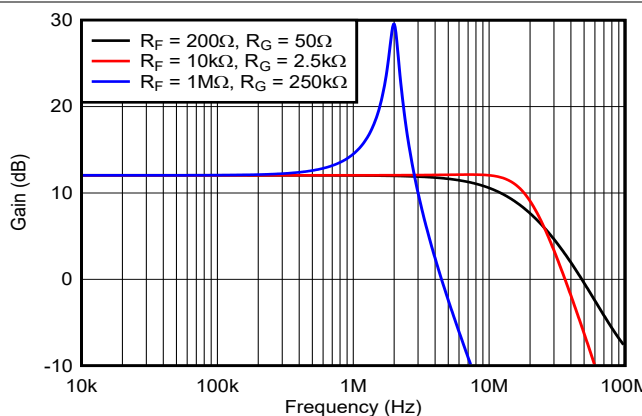


図 8-8. 図 8-5 の回路の閉ループ ゲインと周波数との関係

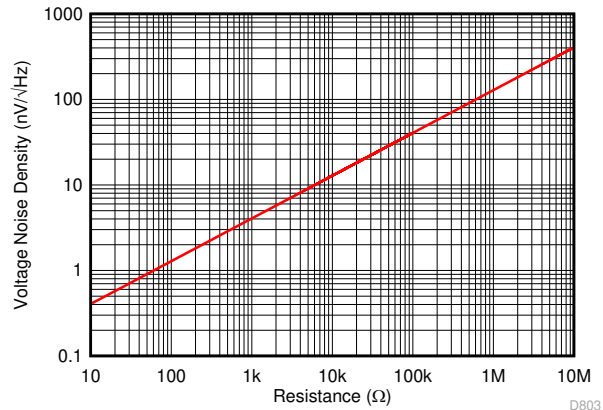


図 8-9. 熱ノイズ密度と抵抗との関係

### 8.1.3 ノイズ解析と、抵抗素子が全ノイズに及ぼす影響

OPA810-Q1 は、入力換算の広帯域ノイズ電圧密度が  $6.3\text{nV}/\sqrt{\text{Hz}}$  と低く、 $3.7\text{mA}$  という低い静止消費電流を必要とします。この低入力ノイズを最大限に活用するには、他の考えられるノイズ要因にも注意を払う必要があります。図 8-10 には、すべてのノイズ項を含めたオペアンプのノイズ解析モデルが示されています。このモデルでは、すべてのノイズ項は、 $\text{nV}/\sqrt{\text{Hz}}$  か  $\text{pA}/\sqrt{\text{Hz}}$  のノイズ電圧項またはノイズ電流密度項として扱われます。

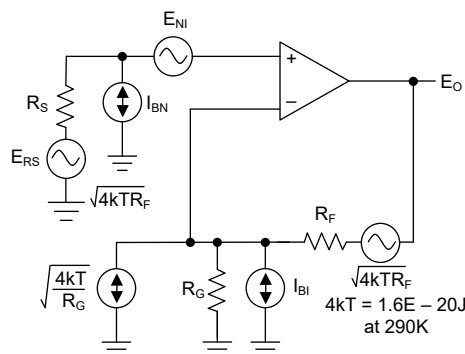


図 8-10. オペアンプのノイズ解析モデル

合計出力スポット ノイズ電圧は、出力ノイズ電圧に寄与する項の二乗和の平方根として計算できます。この計算では、重ね合わせによって出力に寄与するすべてのノイズ電力を加算し、平方根を計算してスポット ノイズ電圧を求めます。図 8-10 は、式 7 に示されている項を使用した出力ノイズ電圧の一般的な式となります。

$$E_O = \sqrt{(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S)NG^2 + (I_{BI}R_F)^2 + 4kTR_FNG} \quad (7)$$

この式をノイズ ゲイン ( $NG = 1 + R_F / R_G$ ) で割ると、非反転入力における等価入力換算スポット ノイズ電圧が得られます。式 8 を参照してください。

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \quad (8)$$

式 8 に大きな抵抗値を代入すると、等価入力換算ノイズの総量が急速に支配的になる可能性があります。 $2\text{k}\Omega$  の非反転入力のソース インピーダンスにより、アンプの電圧ノイズ項と同様のジョンソン電圧ノイズ項が加算されます ( $6.3\text{nV}/\sqrt{\text{Hz}}$ )。

表 8-1 は、図 8-11 に示すように、OPA810-Q1 が  $5\text{V}/\text{V}$  の非反転ゲインに構成されているときの、さまざまな項からのノイズ寄与を比較したものです。ケース 2 の抵抗値がケース 1 の抵抗値の 10 倍である場合、2 つのケースを考慮します。ケ

ース 1 の合計出力ノイズは  $34\text{nV}/\sqrt{\text{Hz}}$ 、ケース 2 のノイズは  $51.5\text{nV}/\sqrt{\text{Hz}}$  です。ケース 2 の場合、値の大きい抵抗を使用すると、OPA810-Q1 などの低ノイズ アンプを選択する利点が薄くなります。システム全体のノイズを最小限に抑えるには、抵抗値のサイズを小さくします。この減少により、アンプの出力負荷が増加し、歪み性能が低下します。負荷が大きくなると、アンプのダイナミック消費電力が増加します。回路設計者は、システム要件に適合させながらアンプ全体の性能を最大化するために、適切なトレードオフを考慮する必要があります。

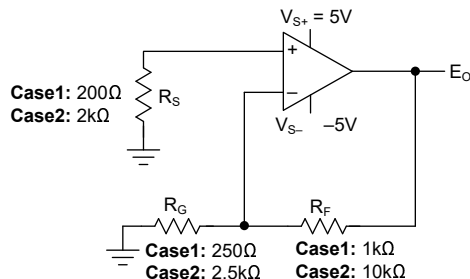


図 8-11. ノイズ寄与の比較：アンプを非反転ゲイン  $5\text{V}/\text{V}$  で使用した 2 つのケース

表 8-1. 図 8-11 の回路のノイズ寄与の比較

ノイズ源	出力ノイズの計算式	CASE 1				CASE 2			
		ノイズ源の値	電圧ノイズ寄与 ( $\text{nV}/\sqrt{\text{Hz}}$ )	ノイズ電力寄与 ( $\text{nV}^2/\text{Hz}$ )	寄与 (%)	ノイズ源の値	電圧ノイズ寄与 ( $\text{nV}/\sqrt{\text{Hz}}$ )	ノイズ電力寄与 ( $\text{nV}^2/\text{Hz}$ )	寄与 (%)
ソース抵抗、 $R_S$	$E_{RS} (1 + R_F / R_G)$	$1.82\text{nV}/\sqrt{\text{Hz}}$	9.1	82.81	7.15	$5.76\text{nV}/\sqrt{\text{Hz}}$	28.8	829.44	31.29
ゲイン抵抗、 $R_G$	$E_{RG} (R_F / R_G)$	$2.04\text{nV}/\sqrt{\text{Hz}}$	8.16	66.59	5.75	$6.44\text{nV}/\sqrt{\text{Hz}}$	25.76	663.58	25.03
帰還抵抗、 $R_F$	$E_{RF}$	$4.07\text{nV}/\sqrt{\text{Hz}}$	4.07	16.57	1.43	$12.87\text{nV}/\sqrt{\text{Hz}}$	12.87	165.64	6.25
アンプ電圧ノイズ、 $E_{NI}$	$E_{NI} (1 + R_F / R_G)$	$6.3\text{nV}/\sqrt{\text{Hz}}$	31.5	992.25	85.67	$6.3\text{nV}/\sqrt{\text{Hz}}$	31.5	992.25	37.43
反転電流ノイズ、 $I_{BI}$	$I_{BI} (R_F \parallel R_G)$	$5\text{fA}/\sqrt{\text{Hz}}$	$5.0\text{E-}3$	—	—	$5\text{fA}/\sqrt{\text{Hz}}$	$50\text{E-}3$	—	—
非反転電流ノイズ、 $I_{BN}$	$I_{BN} R_S (1 + R_F / R_G)$	$5\text{fA}/\sqrt{\text{Hz}}$	$1.0\text{E-}3$	—	—	$5\text{fA}/\sqrt{\text{Hz}}$	$10\text{E-}3$	—	—



## 8.2 代表的なアプリケーション

### 8.2.1 トランスインピーダンス アンプ

OPA810-Q1 は GBWP が高く、入力電圧および電流ノイズが低いため、中程度から高いトランスインピーダンス ゲインに対する優れた広帯域トランスインピーダンス アンプと言えます。

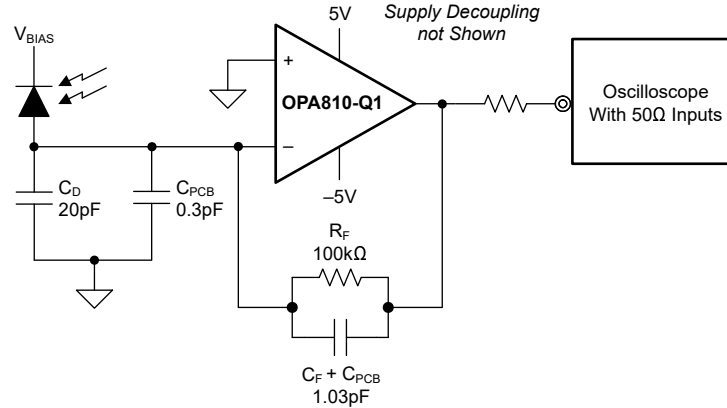


図 8-12. 広帯域、高感度、トランスインピーダンス アンプ

#### 8.2.1.1 設計要件

表 8-2 に、高帯域幅で高ゲインのトランスインピーダンス アンプ回路の設計要件を示します。

表 8-2. 設計要件

パラメータ	設計要件
ターゲット帯域幅	> 2MHz
トランスインピーダンス ゲイン	100kΩ
フォトダイオード容量	20pF

#### 8.2.1.2 詳細な設計手順

トランスインピーダンス ゲインが比較的高い大面積の検出器から高帯域幅を必要とする設計は、OPA810-Q1 の入力電圧ノイズが低下するという利点があります。この入力電圧ノイズは、ダイオードのソース容量により周波数全範囲でピークアップされ、(多くの場合) 入力感度の制限要因となる可能性があります。この設計で重要な要素は、逆バイアス電圧 ( $V_{BIAS}$ ) が印加されたときに予想されるダイオード容量 ( $C_D$ )、目的のトランスインピーダンス ゲイン ( $R_F$ )、OPA810-Q1 の GBWP (70MHz) です。図 8-12 に、表 8-2 で説明したトランスインピーダンス回路とパラメータを示します。これら 3 つの変数セット (および、OPA810-Q1 の寄生入力容量と、 $C_D$  に追加されたプリント基板 (PCB) を含む) を使用することで、帰還コンデンサの値 ( $C_F$ ) を設定し、周波数応答を制御できます。アプリケーション レポート『[高速アンプのトランスインピーダンスに関する考慮事項](#)』では、トランスインピーダンス アプリケーションで高速アンプを使用する方法について説明しています。2 次バターワース周波数応答が最大限平坦になるように、式 9 に従って帰還極を設定します。

$$\frac{1}{2\pi R_F C_{IN}} = \sqrt{\frac{GBWP}{4\pi R_F C_D}} \quad (9)$$

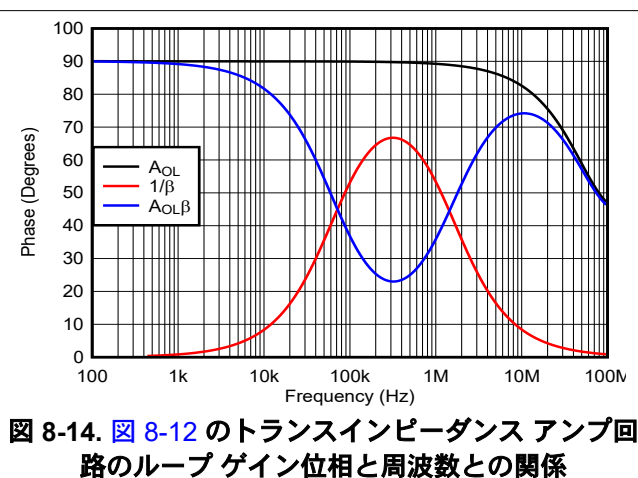
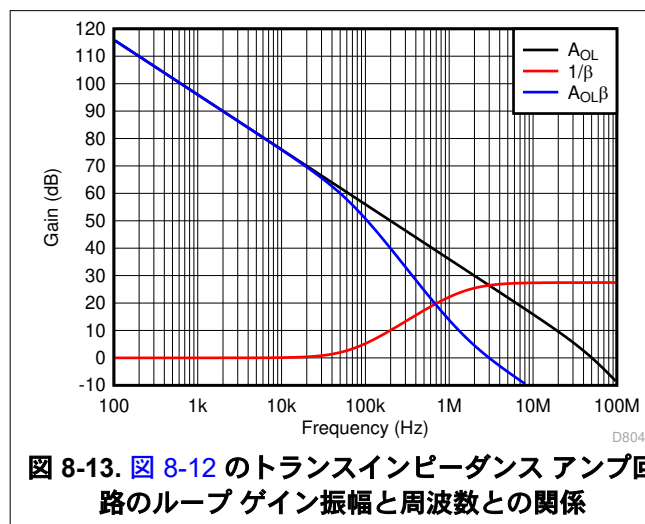
アンプの入力容量は、同相容量と差動容量 (2.0 + 0.5) pF の合計です。フォトダイオード パッケージと PCB から寄生容量は約 0.3pF です。式 5 を使用すると、 $C_D = 22.8\text{pF}$  の合計入力容量が得られます。式 9 から、1.55MHz の帰還極を設定します。1.55MHz に極を設定するには、1.03pF の合計帰還容量が必要です。

式 10 は、トランスインピーダンス アンプ回路のおおよその -3dB 帯域幅を示しています。

$$f_{-3dB} = \sqrt{\frac{GBWP}{2\pi R_F C_D}} \text{ Hz} \quad (10)$$

式 10 で 2.19MHz の閉ループ帯域幅を推定します。図 8-13 と 図 8-14 に、図 8-12 のトランスインピーダンス アンプ回路の TINA-TI シミュレーションからのループ ゲインの振幅と位相のプロットを示します。1/β のゲイン曲線には、R<sub>F</sub> と C<sub>IN</sub> からのゼロが 70kHz に、R<sub>F</sub> と C<sub>F</sub> によって 1/β のゼロを相殺する極が 1.5MHz にあります。その結果、ループ ゲインのクロスオーバー周波数 (A<sub>OL</sub> が 1/β に等しい周波数) において 20dB/decade の閉鎖率となり、安定した回路を実現します。3MHz の閉ループ帯域幅と 100kΩ のトランスインピーダンス ゲインから、62°の位相マージンが得られます。

### 8.2.1.3 アプリケーション曲線



## 8.2.2 マルチチャネル センサ インターフェイス

高インピーダンス入力アンプは、出力インピーダンスが比較的高いセンサと接続する場合に特に有用です。このようなマルチチャネル システムは通常、マルチプレクサを介してこれらのセンサと信号チェーンを接続します。図 8-15 に、各センサとのインターフェイスにアンプを使用し、マルチプレクサを介して ADC を駆動させる実装例を示します。図 8-16 に示す別の回路では、マルチプレクサの出力に、より高い GBWP と高速セトリング特性を持つアンプを 1 つ採用しています。このアーキテクチャでは、チャネル間の切り替え時に大きな信号過渡が発生します。ここでは、アンプのセトリング性能と最大許容差動入力電圧によって、信号チェーンの性能とアンプの信頼性がそれぞれ制限されます。

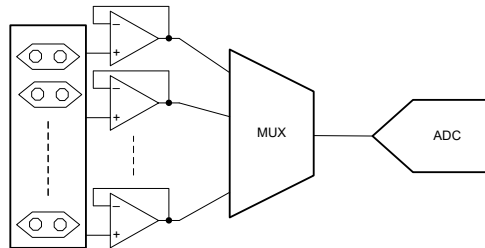


図 8-15. 複数のアンプを使用したマルチチャネル センサ インターフェイス

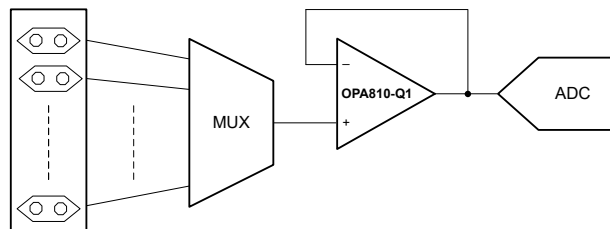


図 8-16. 単一の高 GBWP アンプを使用したマルチチャネル センサ インターフェイス

図 8-17 に、図 8-16 のユニティ ゲイン バッファとして構成された OPA810-Q1 の非反転端子に 8V ステップが印加された場合の出力電圧と入力差動電圧を示します。

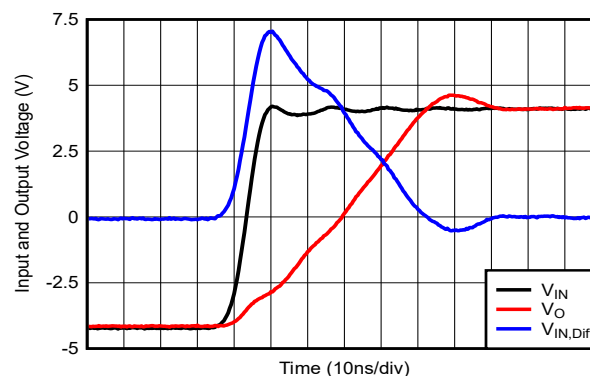


図 8-17. OPA810-Q1 を使用した大信号過渡応答

高速な入力過渡応答のため、アンプはスルー レート制限を受け、出力が最終値に達して負帰還ループが閉じるまで、入力はいかに追従しなくなります (図 8-17 に、最大値が 7V の  $V_{IN, Diff}$  を示します)。  $V_{IN, Diff}$  の最大定格が 0.7V ~ 1.5V の標準的なアンプでは、入力ピンと直列に電流制限抵抗を使用して、不可逆的な損傷からデバイスを保護する必要があります。結果としてデバイスの周波数応答も制限されます。OPA810-Q1 には入力クランプが内蔵されているため、最大 7V の  $V_{IN, Diff}$  を印加でき、外部抵抗は不要で、デバイスの損傷や性能仕様のシフトも発生しません。このような入力段アーキテクチャと、高速なセトリング性能と相まって、OPA810-Q1 はマルチチャネル センサ マルチプレクス システムに理想的なものとなっています。

## 8.3 電源に関する推奨事項

OPA810-Q1 は、4.75V ~ 27V の電源電圧範囲で動作することが想定されています。OPA810-Q1 は、単一側電源、分割/平衡型バイポーラ電源、または不平衡型バイポーラ電源で動作できます。単一電源で動作させることは、多くの利点があります。グラウンドに負電源を接続すると、-PSRR 項に起因する DC 誤差を最小限に抑えることができます。通常、AC 性能は、10V 動作時にわずかに改善し、電源電流の増加は最小限です。電源ピンから高周波 0.01μF のデカップリング コンデンサまでの距離を最小にします (0.1 インチ未満)。デバイスの電源ピンには、高周波 0.01μF 電源デカップリング コンデンサとともに、より大きなコンデンサ (標準値 2.2μF) を使用しています。単一電源動作の場合は、正の電源のみにこれらのコンデンサを使用します。分割電源を使用する場合は、各電源とグラウンド間にこれらのコンデンサを使用します。必要に応じて、より大きいコンデンサをデバイスから離して配置し、プリント基板 (PCB) の同じ領域にある複数のデバイス間でこれらのコンデンサを共有します。2 つの電源間 (分割電源動作の場合) にオプションの電源デカップリング コンデンサを接続すると、2 次高調波歪みを低減できます。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

OPA810-Q1 などの高い周波数のアンプを使用して最適な性能を実現するには、基板レイアウトの寄生素子と外部部品の種類に細心の注意を払う必要があります。回路基板を設計する際は、[DEM-OPA-SOT-1A](#) を参照してください。性能を最適化するための推奨事項として以下が挙げられます。

1. すべての信号 I/O ピンの AC グラウンドに対する**寄生容量を最小化**します。出力ピンと反転入力ピンの寄生容量は不安定性の原因になることがあります。非反転入力では、この寄生容量がソース インピーダンスの影響を受けて、意図しない帯域制限を引き起こす可能性があります。不要な容量を減らすため、信号 I/O ピン周囲のグラウンド プレーンと電源プレーンのすべてにおいて、それらのピン周りに間を設けます。その他に、グラウンド プレーンと電源プレーンが基板上の他の場所で途切れないようにします。
2. 電源ピンから高周波 0.01μF のデカップリング コンデンサまでの**距離を最小**にします (0.1 インチ未満)。デバイスのピンにおいて、グラウンド プレーンおよび電源プレーンのレイアウトを信号 I/O ピンの近くに配置することはできません。ピンとデカップリング コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグラウンド パターンは狭くならないようにします。常にこれらのコンデンサで、電源接続をデカップリングします。電源ピンには、低周波数で効果的なより大きい (2.2μF ~ 6.8μF) デカップリング コンデンサを使用します。こうしたデカップリング コンデンサをデバイスから少し離れた場所に配置し、PCB と同じ領域にある複数のデバイス間でコンデンサを共有します。
3. 外付け部品を慎重に選択および配置することで、**OPA810-Q1 の高周波性能が維持**されます。抵抗は、リアクタンスが低いタイプを選択する必要があります。最もよく機能するのは表面実装抵抗で、レイアウト全体をより厳密にすることができます。金属皮膜と炭素化合物を使ったアキシアル リード型抵抗を使うと、優れた高周波性能も実現できます。繰り返しになりますが、リードと PCB パターンの長さをできるだけ短くします。高周波アプリケーションでは、巻線抵抗を使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗と直列出力抵抗 (ある場合) は、必ず出力ピンにできるだけ近付けて配置します。非反転入力終端抵抗といった他のネットワーク部品も、パッケージの近くに配置する必要があります。外部抵抗をシャントする寄生容量が少ない場合も、抵抗の値が過度に大きいと、時定数が大きくなり、性能が低下する可能性があります。適切なアキシアル金属皮膜抵抗や表面実装抵抗では、シャントと抵抗が約 0.2pF となります。抵抗値が 10kΩ より大きい場合、この寄生容量は 70MHz の GBWP の近くに極またはゼロを追加するため、その結果、回路の動作に影響を及ぼします。負荷駆動の検討事項に合わせて、抵抗値をできるだけ抑えます。抵抗値を小さくすると、抵抗によるノイズ項が低く保たれ、寄生容量の影響が最小限に抑えられます。ただし、抵抗値を小さくすると、 $R_F$  および  $R_G$  がアンプの出力負荷ネットワークの一部になるため、ダイナミック消費電力が増加します。トランスインピーダンス アプリケーション ([セクション 8.2.1](#) も参照) は、反転ノード上のすべての寄生容量成分を考慮して帰還補償コンデンサが設定されている限り、アプリケーションに必要な任意の帰還抵抗を使用できます。

4. 基板上のその他の広帯域デバイスとは、短い直接配線を使って、またはオンボード伝送ラインを通して接続できません。短い接続の場合、パターンと隣のデバイスの入力を集中容量性負荷と見なします。比較的幅の広いパターン (50mil ~ 100mil) を使用し、できるだけそれら周囲のグランドプレーンと電源プレーンとの間を広げなければなりません。寄生容量性負荷の合計を見積り、十分な位相マージンと安定性を得るために  $R_S$  を設定します。OPA810-Q1 は 10pF (公称値) の寄生負荷で動作するように補償されているため、寄生容量性負荷が常に  $R_S$  を必要とするわけではありません (10pF 未満の場合)。信号ゲインが大きくなる (無負荷位相マージンが大きくなる) ため、 $R_S$  を使用せずに、寄生容量性負荷を大きくすることができます。長いパターンが必要であり、二重終端伝送ラインに固有の 6dB の信号損失が許容される場合、マイクロストリップまたはストリップライン手法を使って整合インピーダンス伝送ラインを実装します (マイクロストリップおよびストリップラインレイアウト手法については、ECL 設計ハンドブックを参照してください)。通常、50Ω の環境はオンボードでは必要ありません。よりインピーダンスが高い環境を使用すると歪みが改善されます。基板の材質とパターンの寸法に基づく基板の特性トレースインピーダンスとともに、OPA810-Q1 の出力からパターンへは整合直列抵抗を、相手側デバイスの入力には終端シャント抵抗を使用します。また、終端インピーダンスは、シャント抵抗と相手側デバイスの入力インピーダンスの並列組み合わせになることに注意してください。トレースインピーダンスと一致するように、全体の実効インピーダンスを設定します。二重終端伝送ラインの 6dB の減衰が許容できない場合は、長いパターンをソース端でのみ直列終端することができます。この場合は、パターンを容量性負荷として扱い、直列抵抗値を設定して、十分な位相マージンと安定性を確保します。この設定では、信号の整合性も二重終端ラインも維持されません。相手側デバイスの入力インピーダンスが低い場合は、終端インピーダンスへの直列出力によって分圧が形成されるため、信号が減衰します。
5. 放熱特性を最適化するように PCB レイアウトを設計する必要があります。動作周囲温度が 125°C という極端なケースでは、SOIC パッケージの約 134.8°C/W、および 24V の電源 × 4.7mA の消費電流 (125°C) で求められる内部電力から、最大内部消費電力は 113mW と算出されます。この内部消費電力により、接合部温度は周囲温度から 15°C 上昇します。この値には負荷電力も加算されるため、この内部消費電力も計算してワーストケースの安全動作点を決定する必要があります。
6. OPA810-Q1 などのような高速デバイスにソケットを使用しないでください。ソケットによってリード長やピン間容量が増加することで、非常に厄介な寄生的ネットワークが形成され、スムーズで安定した周波数応答を実現することがほとんど不可能になります。OPA810-Q1 を基板に半田付けすることで、最良の結果が得られます。

#### 8.4.1.1 熱に関する注意事項

OPA810-Q1 は、ほとんどの用途でヒートシンクやエアフローを必要としません。最大許容接合部温度により、許容される内部消費電力が設定されます。最大接合部温度が 150°C を超えないようにしてください。

動作時の接合部温度 ( $T_J$ ) は、 $T_A + P_D \times \theta_{JA}$  によって与えられます。合計内部消費電力 ( $P_D$ ) は、静止電力 ( $P_{DQ}$ ) と、負荷電力を供給するための出力段での追加消費電力 ( $P_{DL}$ ) の合計です。静止電力は、規定の無負荷時消費電流とデバイス全体の合計電源電圧の積です。 $P_{DL}$  は、必要な出力信号と負荷に依存します。ただし、接地された抵抗負荷の場合、出力がいずれかの電源電圧の 1/2 と等しい電圧に固定されているとき (等しい分割電源の場合)、それは最大になります。この条件で、 $P_{DL} = V_S^2 / (4 \times R_L)$  です。ここで、 $R_L$  には帰還ネットワーク負荷が含まれます。

負荷へ流れる電力ではなく、出力段の電力によって内部消費電力が決定されます。

ワーストケースの例として、ユニティゲインバッファとして構成された DCK (SC70 パッケージ) を使用して  $T_J$  の最大値を計算します。その際、本デバイスは、周囲温度 (25°C) において ±12V 電源で動作し、接地された 500Ω 負荷を駆動しているものとします。

$$P_D = 24V \times 4.7mA + 12^2 / (4 \times 500\Omega) = 184.8mW$$

最大  $T_J = 25^\circ C + (0.185W \times 190.8^\circ C/W) = 60^\circ C$  であり、これは、150°C の最大許容接合部温度よりはるかに小さい値です。

## 8.4.2 レイアウト例

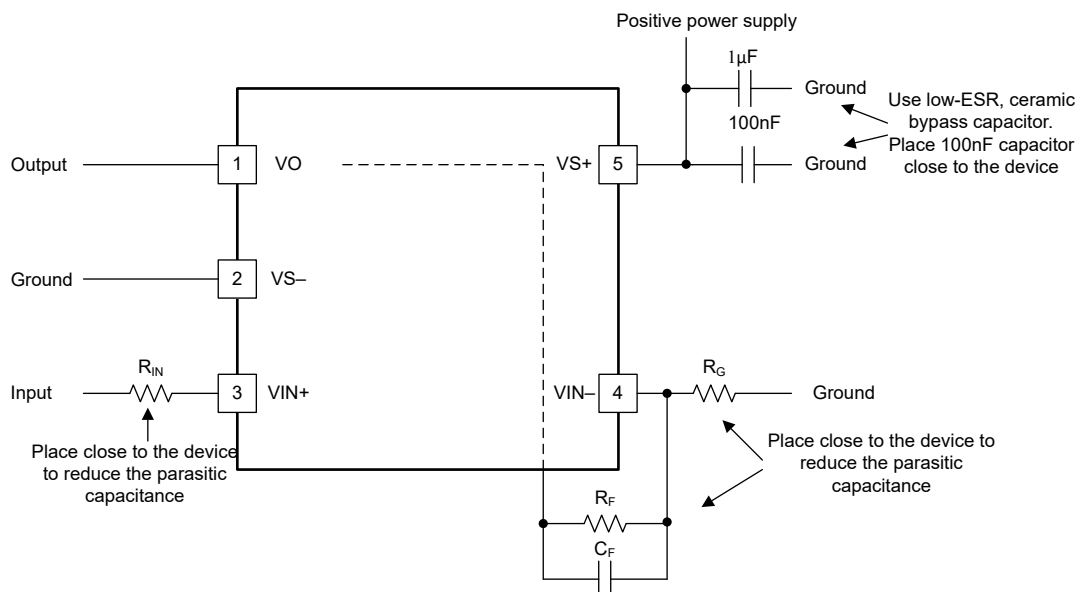


図 8-18. レイアウトに関する推奨事項



## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[ADS9110 18 ビット、2MSPS、15mW、拡張パフォーマンス機能搭載の SAR ADC](#)』データシート
- テキサス・インスツルメンツ、『[THS4561 低消費電力、高電源範囲、70MHz、完全差動アンプ](#)』データシート
- テキサス・インスツルメンツ、『[OPAx837 低消費電力、高精度、105MHz 電圧帰還型オペアンプ](#)』データシート
- テキサス・インスツルメンツ、『[OPAx378 低ノイズ、900kHz、RRIO、高精度オペアンプ、ゼロドリフト シリーズ](#)』データシート
- テキサス・インスツルメンツ、『[REF50xx 低ノイズ、超低ドリフト、高精度基準電圧](#)』データシート
- テキサス・インスツルメンツ、『[単一電源オペアンプの設計テクニック](#)』アプリケーション レポート
- テキサス・インスツルメンツ、『[高速アンプのトランスインピーダンスに関する考慮事項](#)』アプリケーション レポート
- テキサス・インスツルメンツ、『[ブログ:トランスインピーダンス アンプについて知っておくべきこと—第 1 部](#)』
- テキサス・インスツルメンツ、『[ブログ:トランスインピーダンス アンプについて知っておくべきこと—第 2 部](#)』
- テキサス・インスツルメンツ、『[高速オペアンプのノイズ解析](#)』アプリケーション レポート
- テキサス・インスツルメンツ、[TINA モデルおよびシミュレーション ツール](#)
- テキサス・インスツルメンツ、[TIDA-01057、10Vpp の真の差動入力に対応し、信号ダイナミックレンジを最大化する最大 20 ビットの ADC のリファレンス デザイン](#)

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2025	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">OPA810QDBVRQ1</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O810Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

### OTHER QUALIFIED VERSIONS OF OPA810-Q1 :

- Catalog : [OPA810](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA810QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

## TAPE AND REEL BOX DIMENSIONS

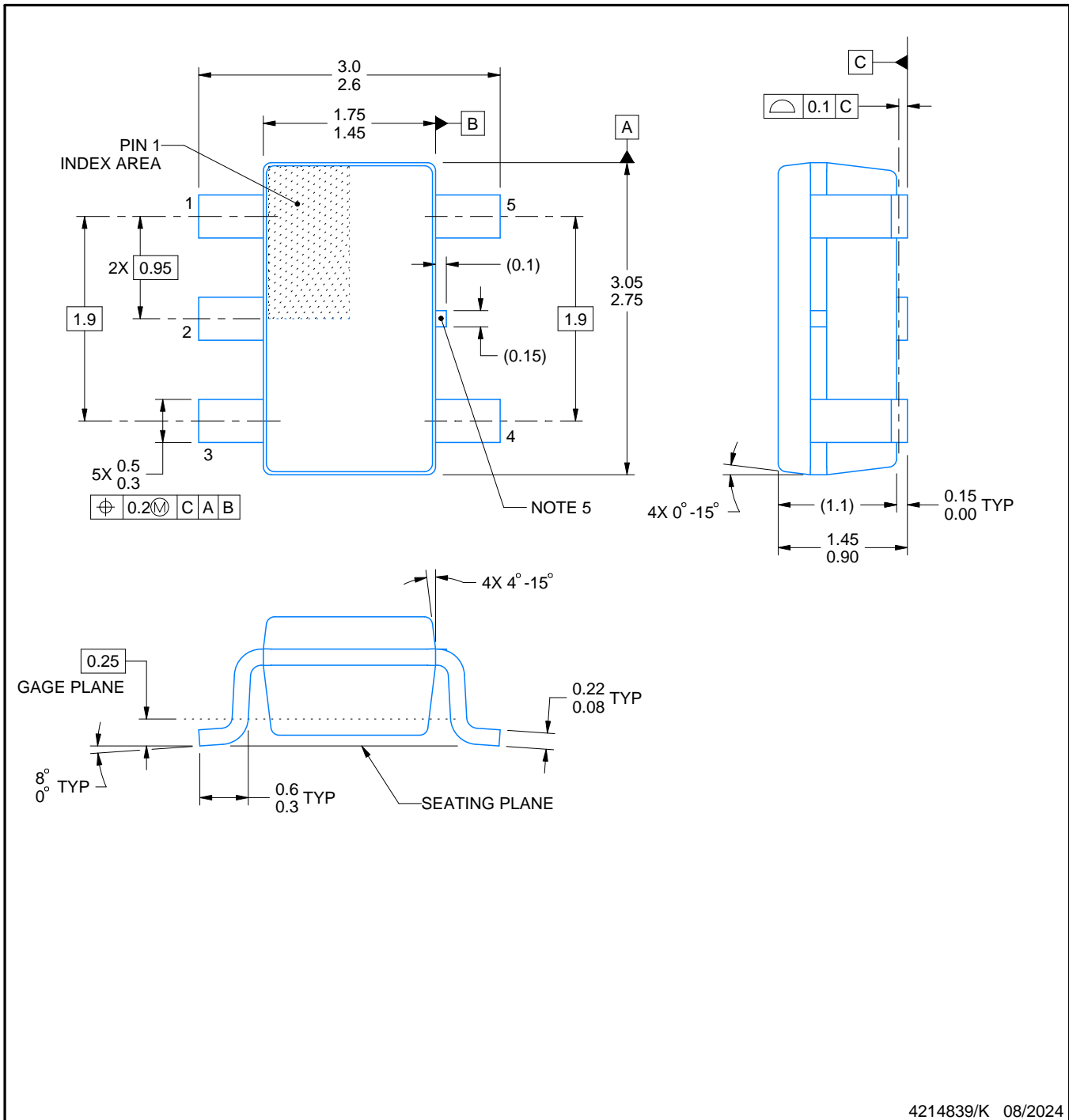


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA810QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0

**DBV0005A****PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

**NOTES:**

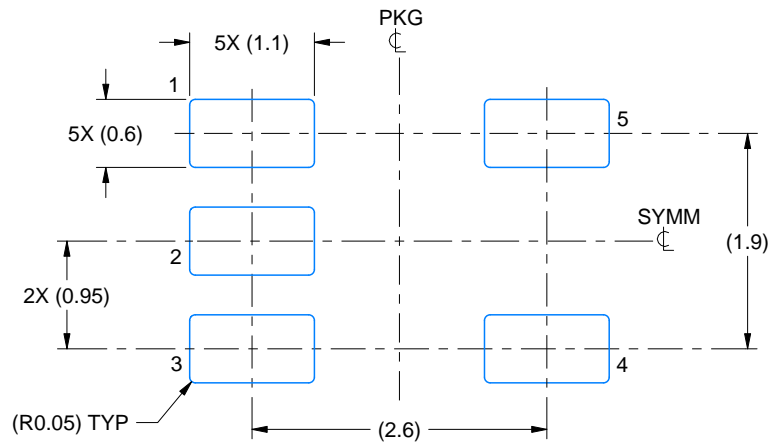
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

# EXAMPLE BOARD LAYOUT

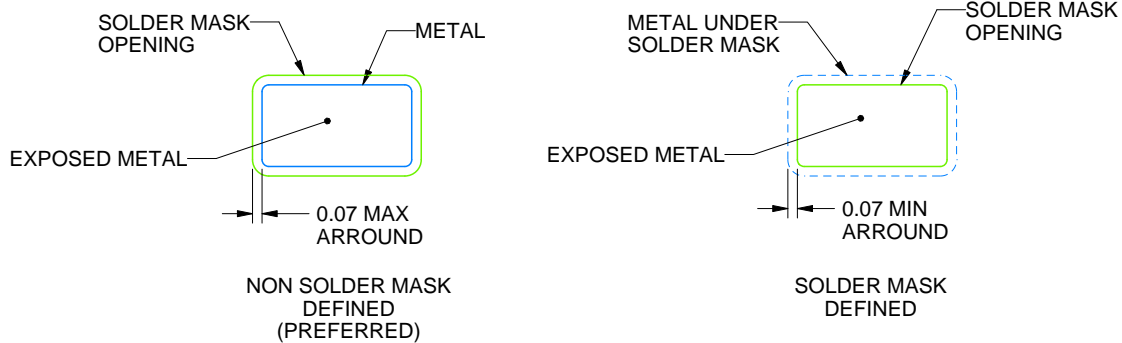
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

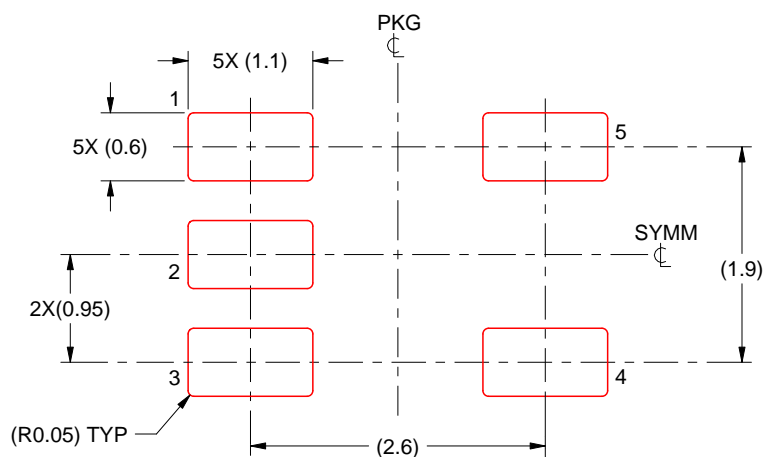
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月