



## 2V<sub>RMS</sub>ドライバ、ヘッドホン・ドライバ、および6ポート・オーディオ・インターフェイス内蔵、24ビット、96/192kHz、非同期、4チャンネル/4チャンネル・オーディオ・コーデック

### 特長

- 2V<sub>RMS</sub>または2.4V<sub>RMS</sub>出力 (標準)、2V<sub>RMS</sub>入力 (標準)
- ステレオDAC×2およびステレオADC×2の非同期動作
- MUXおよびバイパス付きの6ポート・オーディオ・インターフェイス
- 主要特性：
  - THD+N (f<sub>S</sub> = 48kHz) : 0.01% (ADC)、0.01% (DAC)
  - SNR/DR (f<sub>S</sub> = 48kHz) : 95dB (ADC)、100dB (DAC)
  - ライン入力 (ステレオ×6) : 2V<sub>RMS</sub>入力に対応
  - ライン出力 (ステレオ×2) : 2V<sub>RMS</sub>または2.4V<sub>RMS</sub>出力に対応
  - ヘッドホン出力 : 32Ωに対して20mW以上、16Ωに対して30mW以上
  - サンプリング・レート : 96kHz (ADC)、192kHz (DAC)
  - システム・クロック : 128f<sub>S</sub>、192f<sub>S</sub>、256f<sub>S</sub>、384f<sub>S</sub>、512f<sub>S</sub>、768f<sub>S</sub>
  - デジタル・フィルタの通過帯域リップル : ±0.05dB (ADC)、±0.04dB (DAC)
  - デジタル・フィルタの阻止帯域減衰 : – 65dB (ADC)、– 50dB (DAC)
- I<sup>2</sup>C™インターフェイス
- 多機能：
  - オーディオ・インターフェイス : I<sup>2</sup>S™、前詰め、後詰め
  - デジタル・アッテネーター : 0dB ~ – 100dB、0.5dB単位 (DAC)、20dB ~ – 100dB、0.5dB単位 (ADC)
  - デジタル・ソフト・ミュート : 1.0dBステップでミュート
  - デジタル・ディエンファシス・フィルタ : 32、44.1、48kHz
  - デジタル・オーディオ・インターフェイスのMUXおよびバイパス
  - ライン入力レベルコントロール : 9、6、3、0dB
  - ライン出力レベルコントロール : 0、–0.5、–1.0dB
  - ヘッドホン出力音量コントロール : 12dB ~ – 70dB、1dBステップ
  - DACのオーバーサンプリング・レート制御
- 電源電圧：
  - 2V<sub>RMS</sub>ドライバ用 : 9V
  - デジタルおよびアナログ用 : 3.3V

- 消費電力：
  - 360mW (f<sub>S</sub> = 48kHz動作時)
  - 25.5μW (パワーダウン・モード)
- クロック停止時のポップ・ノイズ低減
- ヘッドホン出力の短絡保護
- 柔軟性の高いGPIOポート：
  - 内部ミュート・フラグ
  - 内部ゼロ・フラグ
  - ヘッドホン挿入状態検出
  - ヘッドホン短絡保護状態
  - 論理機能 (AND、NAND、OR、NOR、BUF、INV)
- パッケージ : 64ピンHTQFP PowerPAD™
- 動作温度範囲 : – 25°C ~ + 85°C

### アプリケーション

- デジタル・テレビ
- DVDレコーダー
- IP-STB (セットトップ・ボックス)

### 概要

PCM5310は、2V<sub>RMS</sub>ドライバ、ヘッドホン・アンプ、アナログ・マルチプレクサ (MUX)、および6つのオーディオ・インターフェイス・ポートを備えた、デジタル・テレビ・アプリケーション向けの4チャンネル/4チャンネル・オーディオ・コーデックです。

PCM5310は、16ビットまたは24ビットの前詰め、後詰め、I<sup>2</sup>Sの各オーディオ・データ形式をサポートします。また、PCM5310には、アナログ・バイパス・モード、アナログ音量制御、アナログ・レベル制御、アナログ・マルチプレクサ、GPIO、ゼロ・フラグ、短絡保護、ディエンファシス・フィルタ、ハイパス・フィルタ、デジタル・アッテネータなど、I<sup>2</sup>Cインターフェイスで制御可能な多くの機能が内蔵されています。6つのオーディオ・インターフェイス・ポートにそれぞれMUXおよびバイパス機能を備えているので、外部DSPや他のデバイスの要求ポート数を減少することができます。

Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



## 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

### パッケージ/オーダー情報

最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト（[www.ti.com](http://www.ti.com)）をご覧ください。

### 絶対最大定格<sup>(1)</sup>

動作温度範囲内（特に記述のない限り）

パラメータ	PCM5310	単位	
電源電圧	$V_{CCDA}$ 、 $V_{CCAD}$ 、 $V_{CCP}$ 、 $V_{DD}$	-0.3 to 4.0	V
	$V_{CCH}$	-0.3 to 10	V
グラウンド電圧の差：AGNDAD、AGNDDA、PGND、HGND、DGND	±0.1	V	
入力電圧	-0.3 to 4.0	V	
入力電流（電源を除くすべてのピン）	±10	mA	
通電状態での周囲温度	-40 to +125	°C	
保存温度	-55 to +150	°C	
ジャンクション温度	+150	°C	
リード温度（半田付け、5秒）	+260	°C	
パッケージ温度（IRリフロー、ピーク）	+260	°C	

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### 推奨動作条件

動作温度範囲内（特に記述のない限り）

パラメータ	最小	公称	最大	単位
アナログ電源電圧、 $V_{CCAD}$ 、 $V_{CCDA}$ 、 $V_{CCP}$	3.0	3.3	3.6	V
アナログ電源電圧、 $V_{CCH}$	8.55	9	9.45	V
デジタル電源電圧、 $V_{DD}$	3.0	3.3	3.6	V
アナログ入力電圧、フルスケール（-0 dB）	2			$V_{RMS}$
アナログ出力電圧、フルスケール（-0 dB）	2		2.4	$V_{RMS}$
デジタル入力ロジック・ファミリ	CMOS			
デジタル入力クロック周波数	ADC システム・クロック		36.864	MHz
	ADC サンプリング・クロック		96	kHz
	DAC システム・クロック		36.864	MHz
	DAC サンプリング・クロック		192	kHz
アナログ出力負荷抵抗	10			kΩ
アナログ出力負荷容量	30			pF
デジタル出力負荷容量	10			pF
動作周囲温度、 $T_A$	-25		+85	°C

## 電気的特性

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S^{(1)}=48\text{kHz}$ 、システム・クロック $=256f_S$ 、および24ビット・データで規定されています。

パラメータ		測定条件	PCM5310			単位
			最小	標準	最大	
オーディオ・データ						
データ・フォーマット						
オーディオ・データ・ビット長			16, 24			ビット
オーディオ・データ・インターフェイ・フォーマット			I <sup>2</sup> S、前詰め、後詰め			
オーディオ・データ・フォーマット			MSB、2の補数			
サンプリング 周波数	ADC		108			kHz
	DAC		216			kHz
システム・ クロック	ADC		256 f <sub>S</sub> , 384 f <sub>S</sub> , 512 f <sub>S</sub> , 768 f <sub>S</sub>			MHz
	DAC		128 f <sub>S</sub> , 192 f <sub>S</sub> , 256 f <sub>S</sub> , 384 f <sub>S</sub> , 512 f <sub>S</sub> , 768 f <sub>S</sub>			MHz
ビット・ クロック	ADC		48 f <sub>S</sub> , 64 f <sub>S</sub>			MHz
	DAC		32 f <sub>S</sub> , 48 f <sub>S</sub> , 64 f <sub>S</sub>			MHz
デジタル入出力						
ロジック・ファミリ			CMOS互換			
V <sub>IH</sub>	入力ロジック “High” レベル		0.7 V <sub>DD</sub>			V
V <sub>IL</sub>	入力ロジック “Low” レベル		0.3 V <sub>DD</sub>			V
I <sub>IH</sub>	入力ロジック “High” 電流		10			μA
I <sub>IL</sub>	入力ロジック “Low” 電流		-10			μA
V <sub>OH</sub>	出力ロジック “High” レベル	I <sub>OH</sub> = 2 mA	0.75 V <sub>DD</sub>			V
V <sub>OL</sub>	出力ロジック “Low” レベル	I <sub>OH</sub> = -2 mA	0.25 V <sub>DD</sub>			V
DAC ライン出力						
ダイナミック特性						
フルスケール出力電圧	デジタル入力 = 0dB、G242、G241 = “Low”		2			V <sub>RMS</sub>
	デジタル入力 = 0dB、G242、G241 = “High”		2.4			V <sub>RMS</sub>
ダイナミック・レンジ		EIAJ、A-weighted	90	100		dB
SNR	信号対雑音比	EIAJ、A-weighted	90	100		dB
チャンネル・セパレーション			88	97		dB
THD+N	全高調波歪み+ノイズ	デジタル入力 = 0dB、G242、G241 = “Low”		0.01	0.02	%
負荷抵抗		AC負荷	10			kΩ
DC 精度						
ゲイン誤差		デジタル入力 = 0dB、G242、G241 = “Low”	±3	±13		%/FSR
ゲイン・ミスマッチ、チャンネル間			±3	±13		%/FSR
バイポーラ・ゼロ誤差		ゼロ・データ入力	±40	±120		mV
センター電圧		ゼロ・データ入力	0.5 V <sub>CCDA</sub>			V
アナログ・ゲイン制御						
ゲイン範囲			0, -0.5, -1.0			dB
ゲイン誤差			±0.5			dB

(1) f<sub>S</sub>=サンプリング・レート

## 電気的特性 (続き)

すべての仕様は (特に記述のない限り)、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_s=48\text{kHz}$ 、システム・クロック=256 $f_s$ 、および24ビット・データで規定されています。

パラメータ	測定条件	PCM5310			単位
		最小	標準	最大	
<b>DAC ヘッドホン出力</b>					
<b>ダイナミック特性</b>					
フルスケール出力電圧	デジタル入力 = 0dB、VOL= 0dB		1		$V_{RMS}$
ダイナミック・レンジ	EIAJ、A-weighted	85	96		dB
SNR 信号対雑音比	EIAJ、A-weighted	85	96		dB
チャンネル・セパレーション	$R_L = 32\ \Omega$		88		dB
THD+N 全高調波歪み+ノイズ	$R_L = 32\ \Omega$ 、VOL = 0 dB		0.1	0.18	%
	$R_L = 16\ \Omega$ 、VOL = 0 dB		1	3	%
負荷抵抗		16			$\Omega$
<b>DC 精度</b>					
ゲイン誤差	デジタル入力 = 0dB、VOL= 0dB		$\pm 3$	$\pm 13$	%/FSR
ゲイン・ミスマッチ、チャンネル間			$\pm 3$	$\pm 13$	%/FSR
バイポーラ・ゼロ誤差	ゼロ・データ入力		$\pm 27$	$\pm 80$	mV
センター電圧	ゼロ・データ入力		$0.5 V_{CCDA}$		V
<b>アナログ・ボリューム</b>					
ゲイン範囲		-70		12	dB
ゲイン誤差			0.5		dB
ゲイン・ステップ			1.0		dB
<b>ADC ライン入力</b>					
<b>ダイナミック特性</b>					
フルスケール入力電圧	デジタル入力 = 0dB、VOL= 0dB		2		$V_{RMS}$
ダイナミック・レンジ	EIAJ、A-weighted	85	95		dB
SNR 信号対雑音比	EIAJ、A-weighted	85	95		dB
チャンネル・セパレーション			93		dB
THD+N 全高調波歪み+ノイズ	アナログ入力 = -1dB、VOL = 0dB		0.01	0.018	%
<b>DC 精度</b>					
ゲイン誤差	アナログ入力 = 0dB、VOL= 0dB		$\pm 3$	$\pm 13$	%/FSR
ゲイン・ミスマッチ、チャンネル間			$\pm 3$	$\pm 13$	%/FSR
バイポーラ・ゼロ誤差	ゼロ・データ入力		$\pm 17$	$\pm 50$	mV
センター電圧	ゼロ・データ入力		$0.5 V_{CCAD}$		V
<b>アナログ入力</b>					
入力インピーダンス		37.6	47	56.4	k $\Omega$
<b>アナログ・ゲイン制御</b>					
ゲイン範囲			9, 6, 3, 0		dB
ゲイン誤差			$\pm 0.5$		dB

## 電気的特性 (続き)

すべての仕様は (特に記述のない限り)、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = V_{CCAD} = V_{CCDA} = V_{CCP} = 3.3\text{V}$ 、 $V_{CCH} = 9\text{V}$ 、 $f_S = 48\text{kHz}$ 、システム・クロック =  $256f_S$ 、および24ビット・データで規定されています。

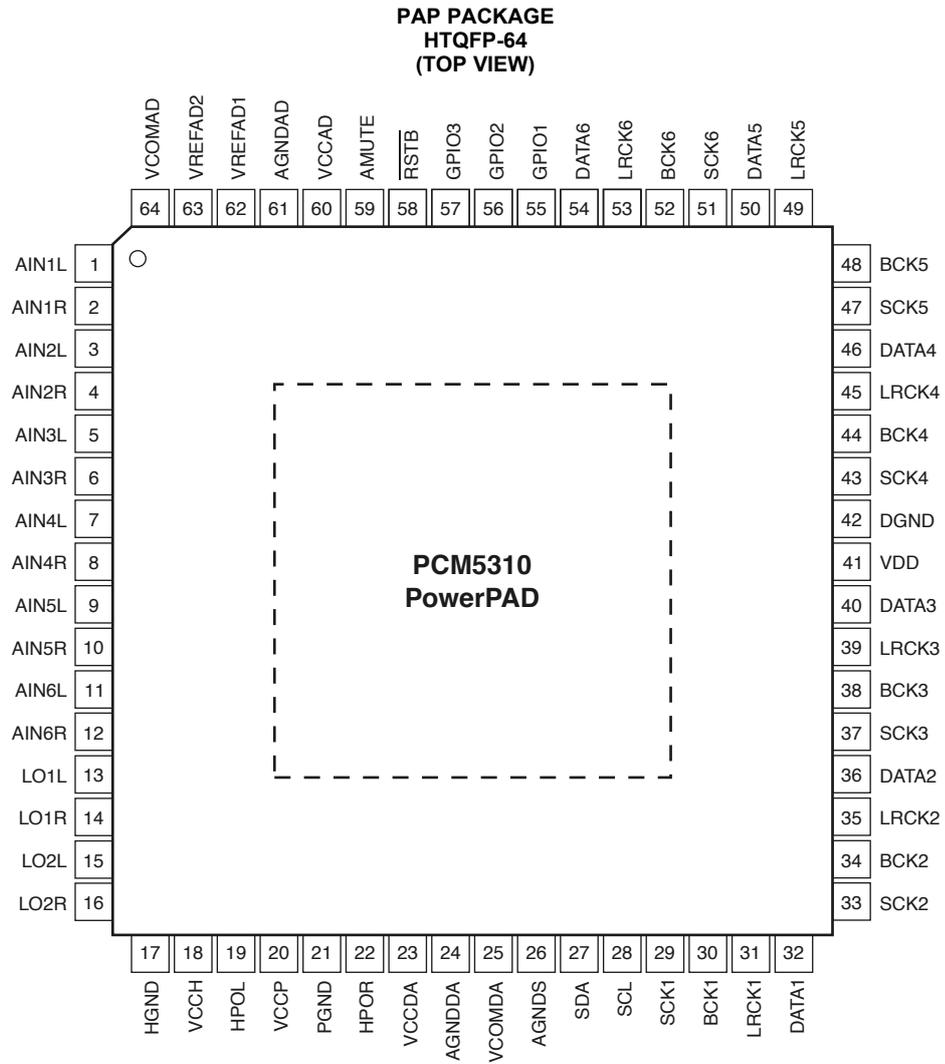
パラメータ	測定条件	PCM5310			単位
		最小	標準	最大	
アナログ入カ-アナログ出力パス (バイパス)					
ダイナミック特性					
フルスケール入力電圧	アナログ入力 = 0dB、VOL= 0dB		2		$V_{RMS}$
フルスケール出力電圧	アナログ入力 = 0dB、G242、G241 = "Low"		2		$V_{RMS}$
ダイナミック・レンジ	EIAJ、A-weighted	90	100		dB
SNR 信号対雑音比	EIAJ、A-weighted	90	100		dB
チャンネル・セパレーション		88	97		dB
THD+N 全高調波歪み+ノイズ	アナログ入力 = 0dB、G242、G241 = "Low"		0.003	0.006	%
DC 精度					
ゲイン誤差	アナログ入力 = 0dB、G242、G241 = "Low"		$\pm 3$	$\pm 13$	%/FSR
ゲイン・ミスマッチ、チャンネル間			3	$\pm 13$	%/FSR
バイポーラ・ゼロ誤差	ゼロ・データ入力		$\pm 20$	$\pm 60$	mV
センター電圧	アナログ入力	ゼロ・データ入力	$0.5 V_{CCAD}$		V
	アナログ出力	ゼロ・データ入力	$0.5 V_{CCDA}$		V
アナログ入力					
入力インピーダンス		37.6	47	56.4	$k\Omega$
フィルタ					
DAC用補間デジタル・フィルタ					
通過帯域				$0.454 f_S$	kHz
阻止帯域		$0.546 f_S$			kHz
通過帯域リップル			$\pm 0.04$		dB
阻止帯域減衰量		-50			dB
群遅延			$20/f_S$		s
ディエンファシス誤差			$\pm 0.1$		dB
DAC用アナログ・フィルタ					
周波数応答	$f_C = 20\text{ kHz}$		$\pm 0.1$		dB
カットオフ周波数	ゲイン = -3 dB		190		kHz
ADC用デシメーション・デジタル・フィルタ					
通過帯域				$0.454 f_S$	kHz
阻止帯域		$0.583 f_S$			kHz
通過帯域リップル			$\pm 0.05$		dB
阻止帯域減衰量		-65			dB
群遅延			$17.4/f_S$		s
ADC用アナログ・フィルタ					
周波数応答	$f_C = 20\text{ kHz}$		$\pm 0.01$		dB
カットオフ周波数	ゲイン = -3 dB		500		kHz
ADC用ハイパス・フィルタ					
周波数応答	ゲイン = -3 dB		0.91		Hz

## 電気的特性（続き）

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S=48\text{kHz}$ 、システム・クロック= $256f_S$ 、および24ビット・データで規定されています。

パラメータ	測定条件	PCM5310			単位
		最小	標準	最大	
<b>電源要求</b>					
$V_{DD}$	デジタル電圧範囲	3	3.3	3.6	V
$V_{CCAD}$	DAC電圧範囲	3	3.3	3.6	V
$V_{CCDA}$	ADC電圧範囲	3	3.3	3.6	V
$V_{CCP}$	ヘッドホン・ドライバ電圧範囲	3	3.3	3.6	V
$V_{CCH}$	2V <sub>RMS</sub> ドライバ電圧範囲	8.55	9	9.45	V
消費電流	ゼロ・データ入力、すべてアクティブ		98	120	mA
	すべてパワーダウン		6	100	$\mu\text{A}$
消費電力	ゼロ・データ入力、すべてアクティブ		360	450	mW
	すべてパワーダウン		25.5	350	$\mu\text{W}$
<b>温度範囲</b>					
	動作温度範囲	-25		+85	$^{\circ}\text{C}$
$\theta_{JA}$	熱抵抗	HTQFP-64	21		$^{\circ}\text{C}/\text{W}$

## ピン配置



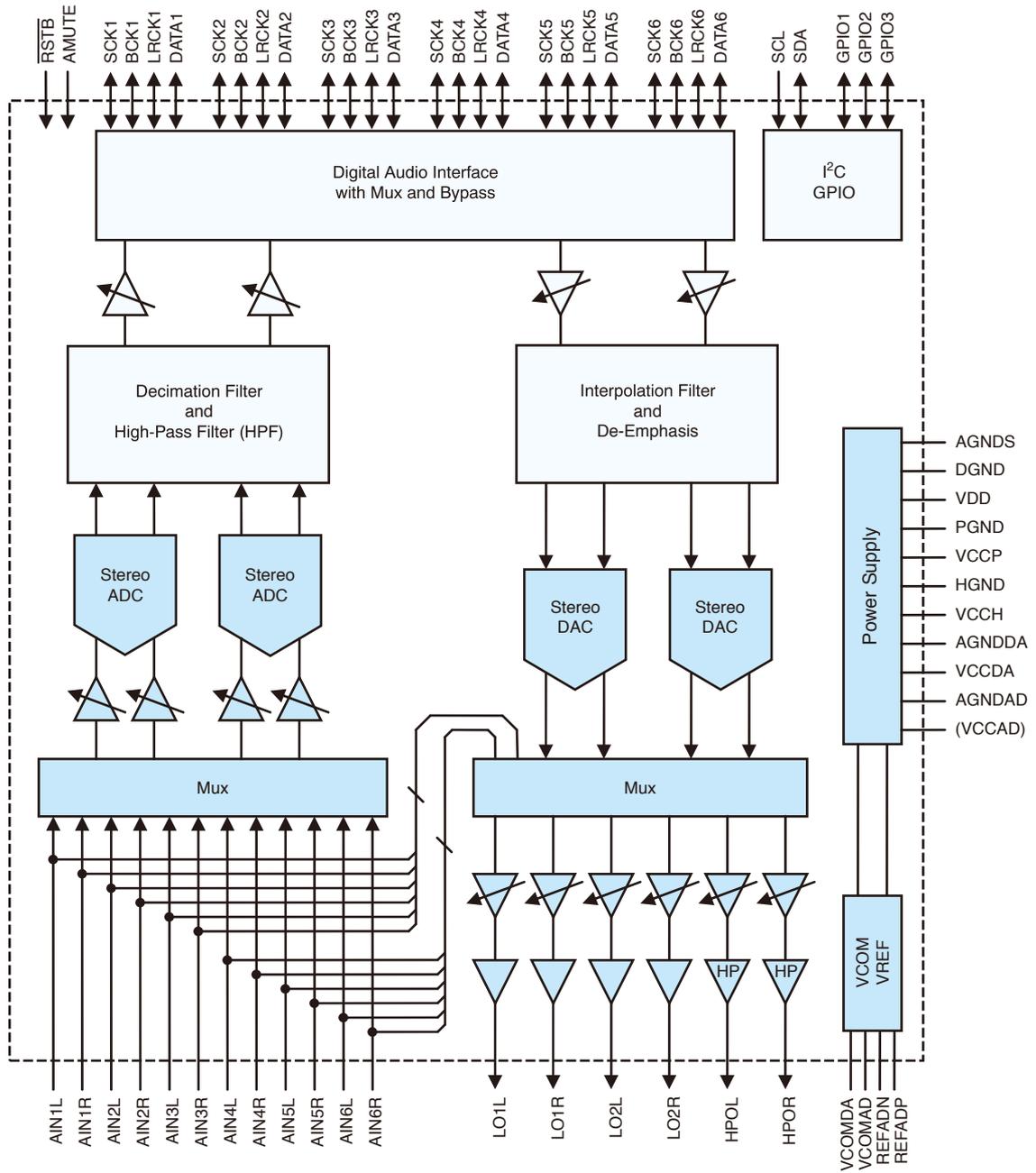
## ピン説明

ピン		I/O	概要
名前	番号		
AIN1L	1	I	ライン入力1 Lチャンネル
AIN1R	2	I	ライン入力1 Rチャンネル
AIN2L	3	I	ライン入力2 Lチャンネル
AIN2R	4	I	ライン入力2 Rチャンネル
AIN3L	5	I	ライン入力3 Lチャンネル
AIN3R	6	I	ライン入力3 Rチャンネル
AIN4L	7	I	ライン入力4 Lチャンネル
AIN4R	8	I	ライン入力4 Rチャンネル
AIN5L	9	I	ライン入力5 Lチャンネル
AIN5R	10	I	ライン入力5 Rチャンネル
AIN6L	11	I	ライン入力6 Lチャンネル
AIN6R	12	I	ライン入力6 Rチャンネル
LO1L	13	O	ライン出力1 Lチャンネル
LO1R	14	O	ライン出力1 Rチャンネル
LO2L	15	O	ライン出力2 Lチャンネル

ピン説明 (続き)

ピン		I/O	概要
名前	番号		
LO2R	16	O	ライン出力2 Rチャンネル
HPOL	19	O	ヘッドホン出力Lチャンネル
HPOR	22	O	ヘッドホン出力Rチャンネル
VCOMDA	25	—	DACのコモン電圧
VCOMAD	64	—	ADCのコモン電圧
VREFAD1	62	—	ADCのリファレンス電圧1
VREFAD2	63	—	ADCのリファレンス電圧2
VCCAD	60	—	ADCの電源 (標準3.3V)
AGNDAD	61	—	ADCのグラウンド
VCCDA	23	—	DACの電源 (標準3.3V)
AGNDDA	24	—	DACのグラウンド
VCCP	20	—	ヘッドホンの電源 (標準3.3V)
PGND	21	—	ヘッドホンのグラウンド
VDD	41	—	デジタル電源 (標準3.3V)
DGND	42	—	デジタル・グラウンド
VCCH	18	—	2V <sub>RMS</sub> ドライバの電源 (標準9.0V)
HGND	17	—	2V <sub>RMS</sub> ドライバのグラウンド
AGNDS	26	—	アナログ・グラウンド
SCK1	29	I/O	ポート1システム・クロック
BCK1	30	I/O	ポート1シリアル・ビット・クロック
LRCK1	31	I/O	ポート1L/Rチャンネル・クロック
DATA1	32	I/O	ポート1シリアル・オーディオ・データ
SCK2	33	I/O	ポート2システム・クロック
BCK2	34	I/O	ポート2シリアル・ビット・クロック
LRCK2	35	I/O	ポート2L/Rチャンネル・クロック
DATA2	36	I/O	ポート2シリアル・オーディオ・データ
SCK3	37	I/O	ポート3システム・クロック
BCK3	38	I/O	ポート3シリアル・ビット・クロック
LRCK3	39	I/O	ポート3L/Rチャンネル・クロック
DATA3	40	I/O	ポート3シリアル・オーディオ・データ
SCK4	43	I/O	ポート4システム・クロック
BCK4	44	I/O	ポート4シリアル・ビット・クロック
LRCK4	45	I/O	ポート4L/Rチャンネル・クロック
DATA4	46	I/O	ポート4シリアル・オーディオ・データ
SCK5	47	I/O	ポート5システム・クロック
BCK5	48	I/O	ポート5シリアル・ビット・クロック
LRCK5	49	I/O	ポート5L/Rチャンネル・クロック
DATA5	50	I/O	ポート5シリアル・オーディオ・データ
SCK6	51	I/O	ポート6システム・クロック
BCK6	52	I/O	ポート6シリアル・ビット・クロック
LRCK6	53	I/O	ポート6左/右チャンネル・クロック
DATA6	54	I/O	ポート6シリアル・オーディオ・データ
SCL	28	I	I <sup>2</sup> Cインターフェイスのクロック
SDA	27	I/O	I <sup>2</sup> Cインターフェイスのデータ
GPIO1	55	I/O	General-purpose 入出力1
GPIO2	56	I/O	General-purpose 入出力2
GPIO3	57	I/O	General-purpose 入出力3
RSTB	58	I	リセット (アクティブ・ロー)
AMUTE	59	I	全アナログ出力のアナログ・ミュート制御 (アクティブ・ハイ)

# 機能ブロック図



## 代表的特性：デジタル・フィルタ (DAC)

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S=48\text{kHz}$ 、システム・クロック=256 $f_S$ 、および24ビット・データで規定されています。

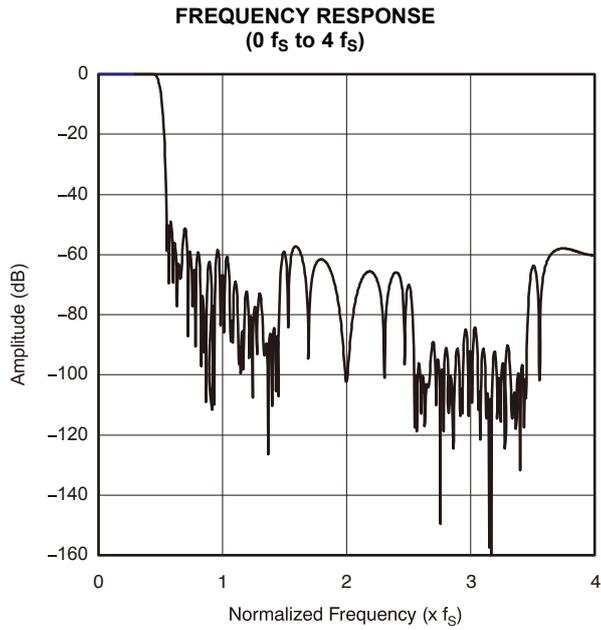


Figure 1.

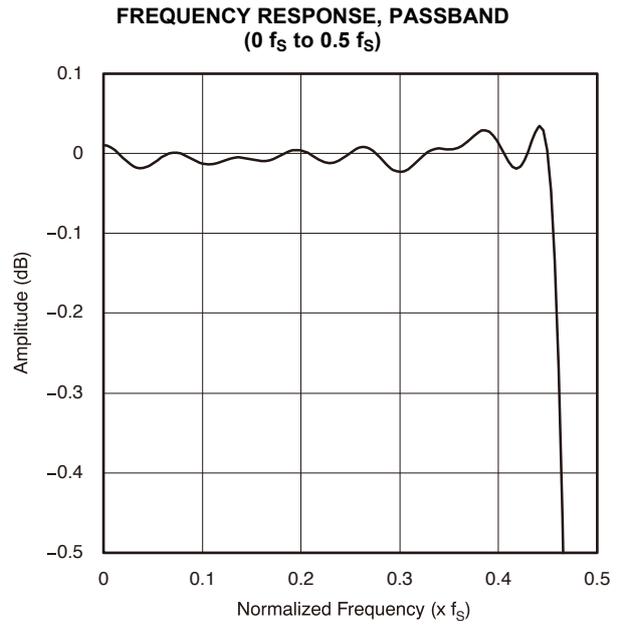


Figure 2.

## 代表的特性：アナログ・フィルタ (DAC)

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S=48\text{kHz}$ 、システム・クロック=256 $f_S$ 、および24ビット・データで規定されています。

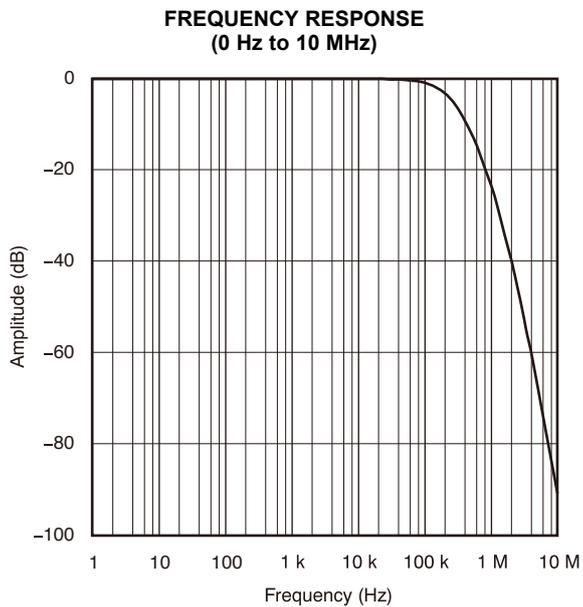


Figure 3.

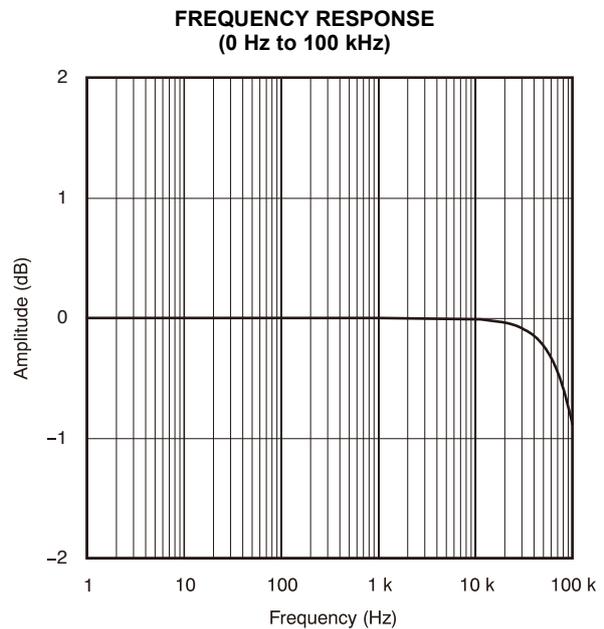


Figure 4.

## 代表的特性：デジタル・フィルタ（ADC）

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S=48\text{kHz}$ 、システム・クロック=256 $f_S$ 、および24ビット・データで規定されています。

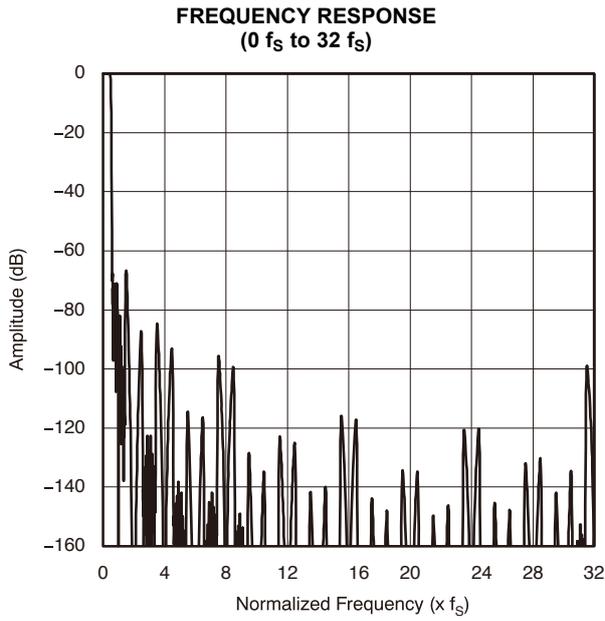


Figure 5.

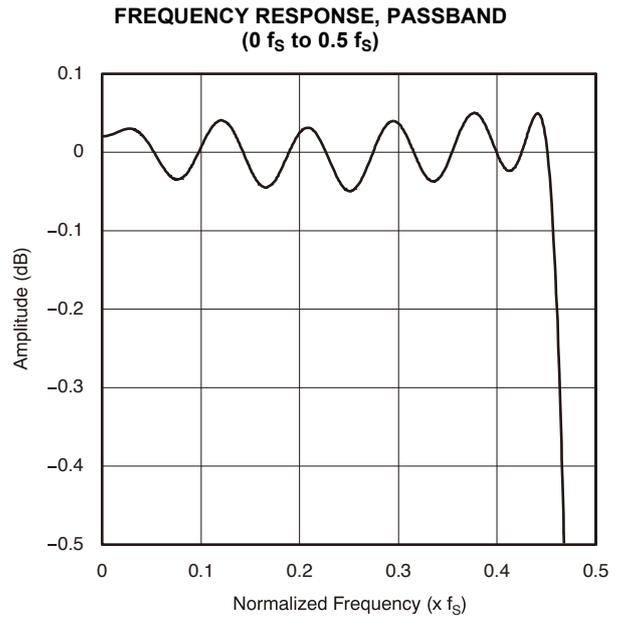


Figure 6.

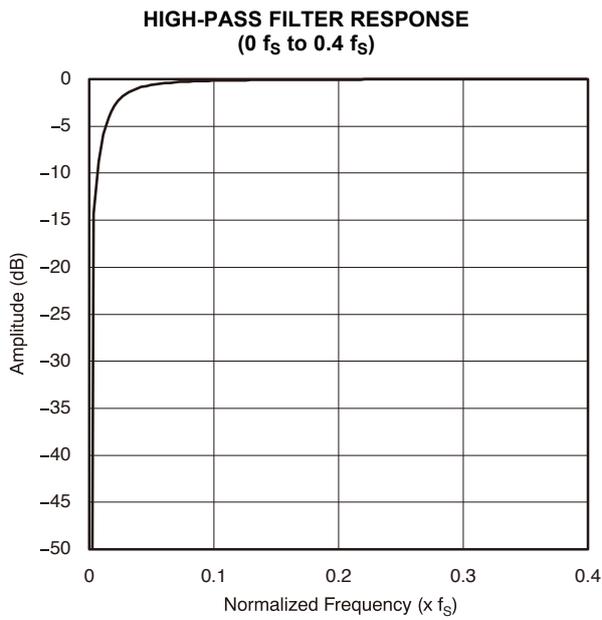


Figure 7.

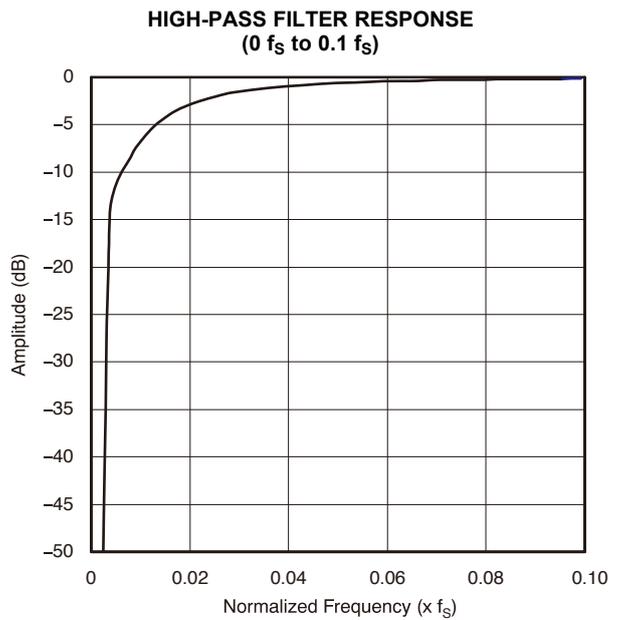


Figure 8.

## 代表的特性：アナログ特性（DAC）

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_s=48\text{kHz}$ 、システム・クロック=256 $f_s$ 、および24ビット・データで規定されています。

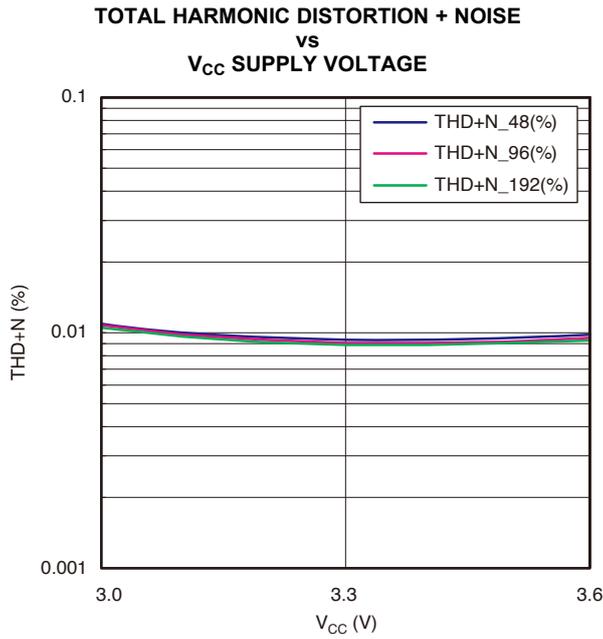


Figure 9.

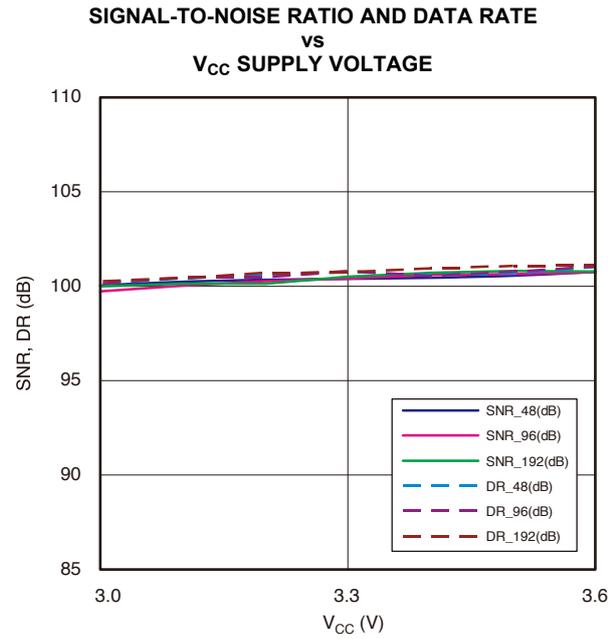


Figure 10.

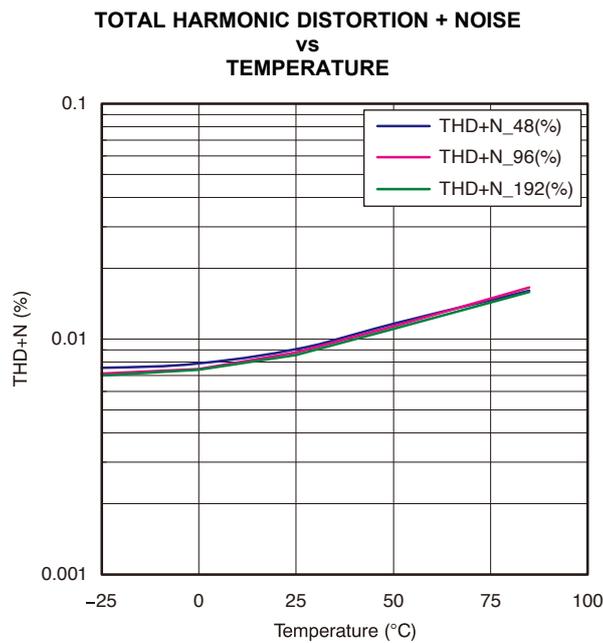


Figure 11.

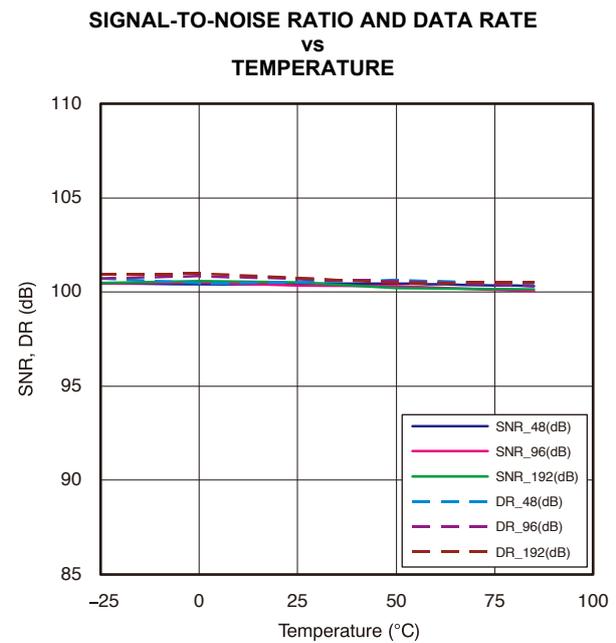


Figure 12.

## 代表的特性：アナログ特性（ADC）

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S=48\text{kHz}$ 、システム・クロック=256 $f_S$ 、および24ビット・データで規定されています。

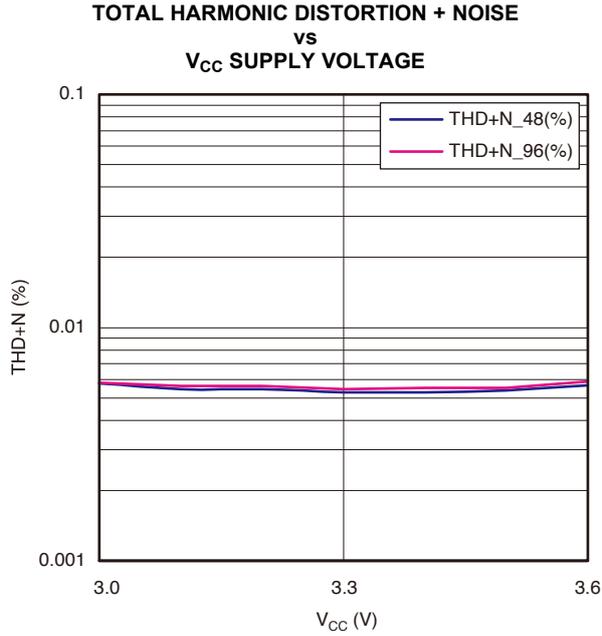


Figure 13.

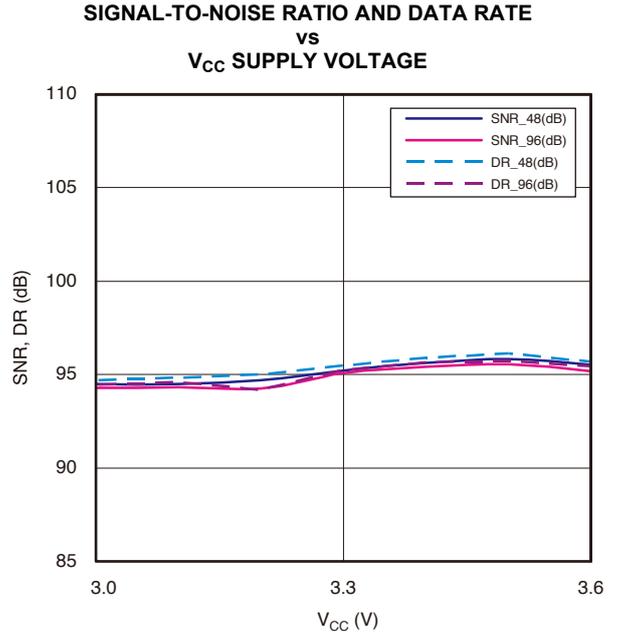


Figure 14.

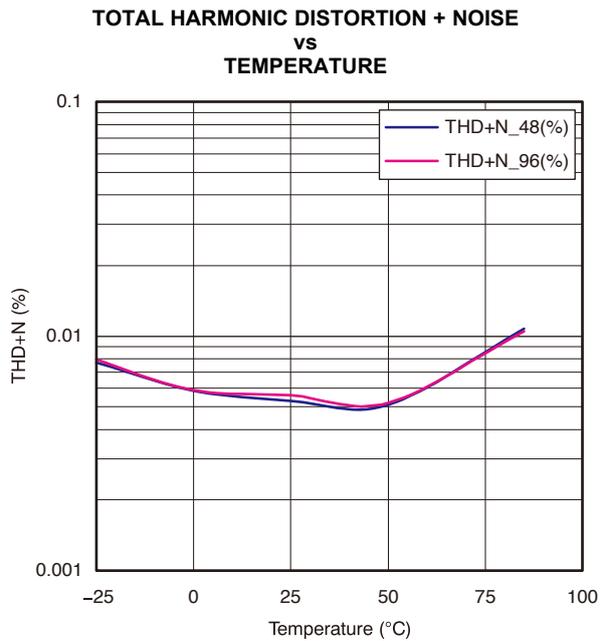


Figure 15.

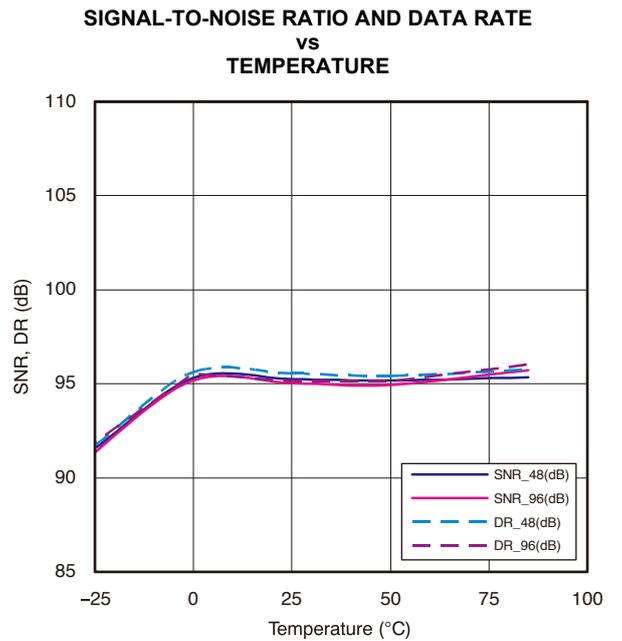


Figure 16.

## 代表的特性：アナログ特性（ヘッドホン）

すべての仕様は（特に記述のない限り）、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_s=48\text{kHz}$ 、システム・クロック=256 $f_s$ 、および24ビット・データで規定されています。

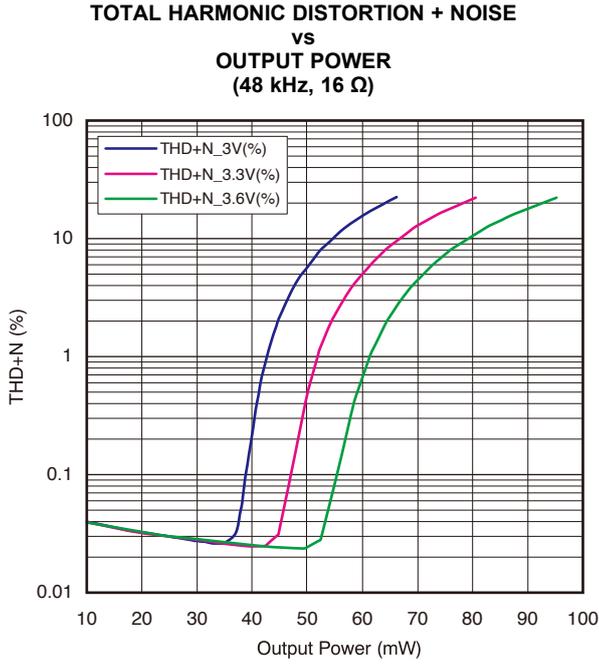


Figure 17.

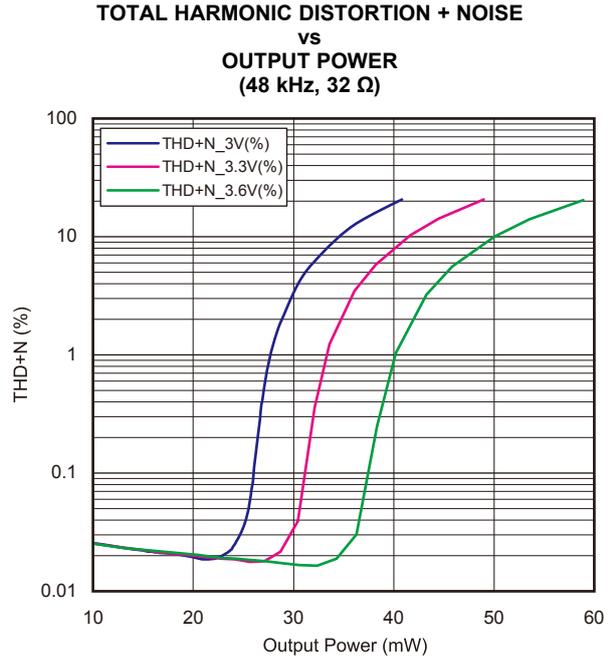


Figure 18.

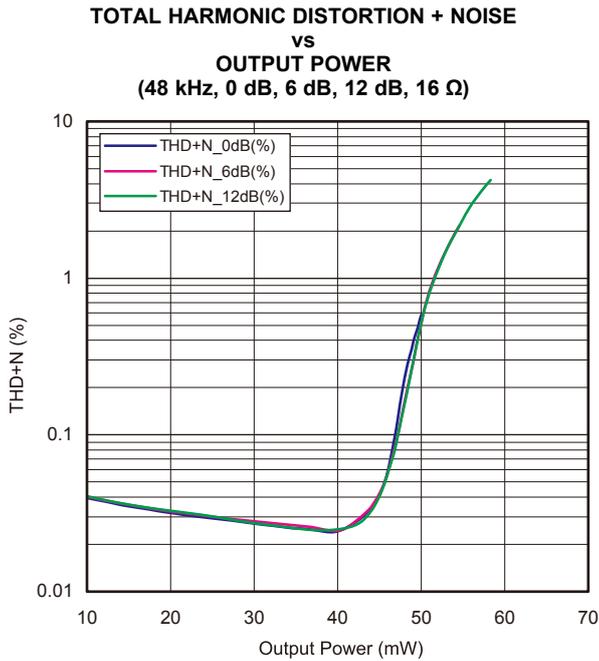


Figure 19.

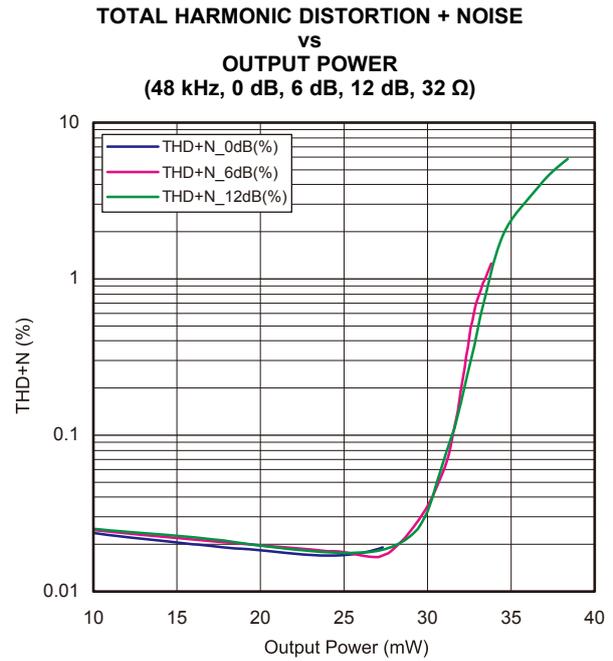


Figure 20.

## 代表的特性：出力スペクトル (DAC)

すべての仕様は (特に記述のない限り)、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S=48\text{kHz}$ 、システム・クロック=256 $f_S$ 、および24ビット・データで規定されています。

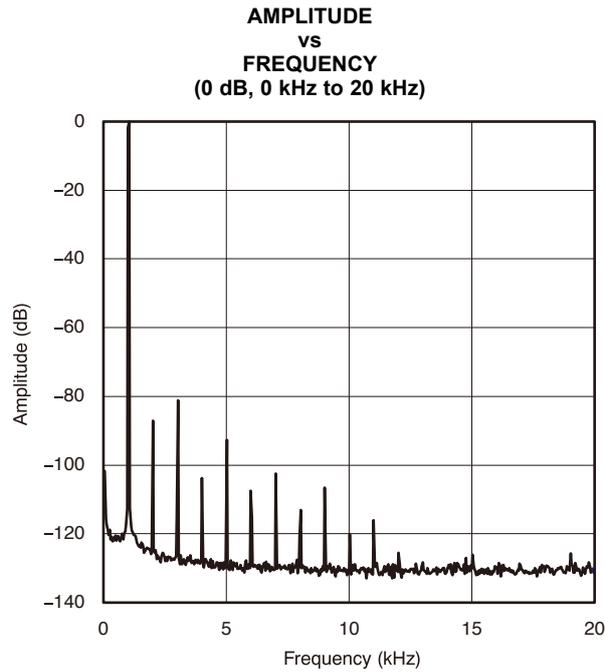


Figure 21.

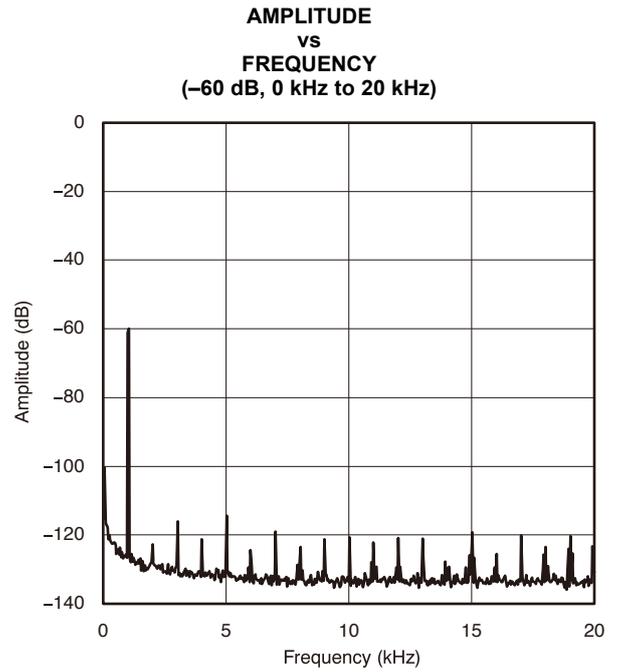


Figure 22.

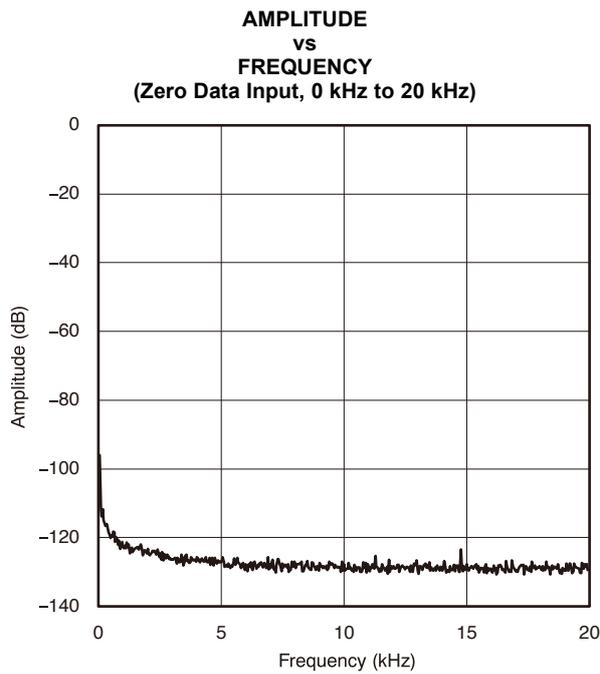


Figure 23.

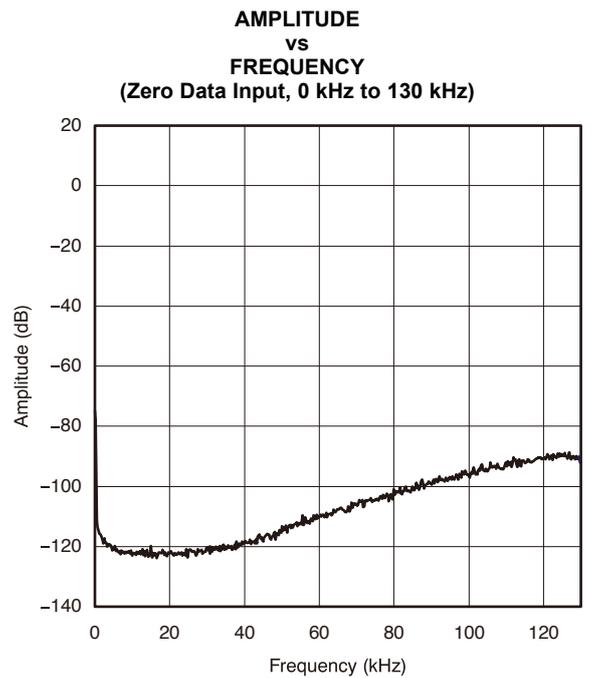


Figure 24.

## 代表的特性：出力スペクトル (ADC)

すべての仕様は (特に記述のない限り)、 $T_A=+25^{\circ}\text{C}$ 、 $V_{DD}=V_{CCAD}=V_{CCDA}=V_{CCP}=3.3\text{V}$ 、 $V_{CCH}=9\text{V}$ 、 $f_S=48\text{kHz}$ 、システム・クロック=256 $f_S$ 、および24ビット・データで規定されています。

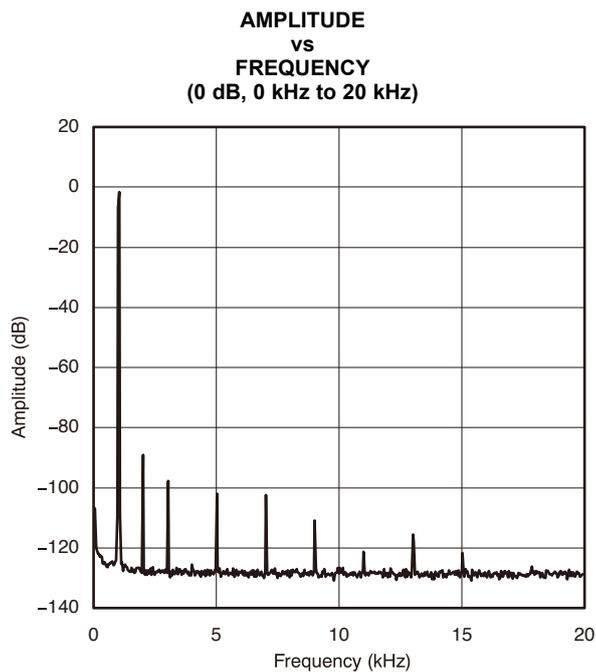


Figure 25.

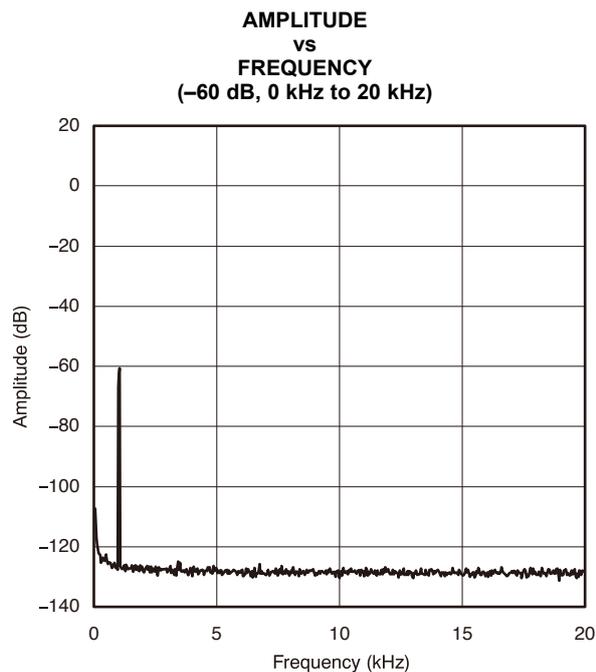


Figure 26.

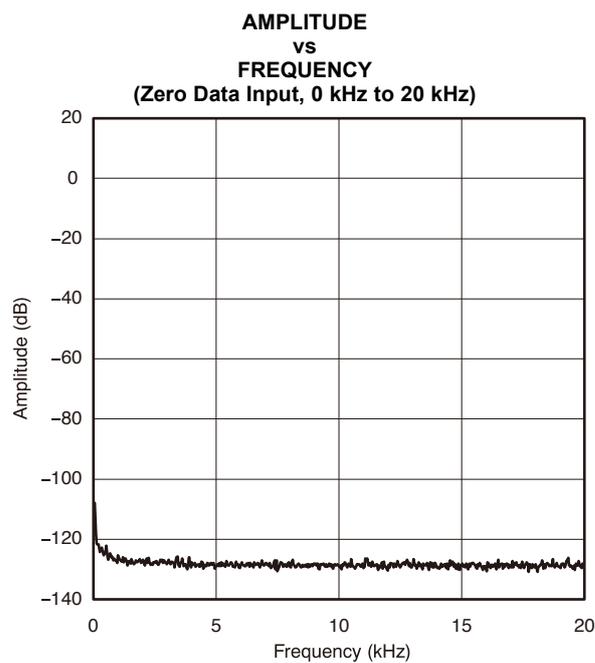


Figure 27.

## 詳細説明

### アナログ入力

PCM5310には、4チャンネルのA/Dコンバータ（ADC）とともに、プログラマブル・ゲイン・アンプ（PGA）と、 $2V_{RMS}$ 入力の6つのステレオ・アナログ入力が搭載されています。図28に示すように、ピンAIN1L/1R～AIN6L/6Rは、アナログ・マルチプレクサ（MUX）を通してADCの左（L）または右（R）チャンネルに接続されます。アナログ入力電圧レベルが $2V_{RMS}$ より低い場合は、PGAを使用して信号増幅することができます。ゲイン・レベルは、9dB、6dB、3dBのいずれかに設定できます。アナログ入力レジスタの説明を表1に示します。

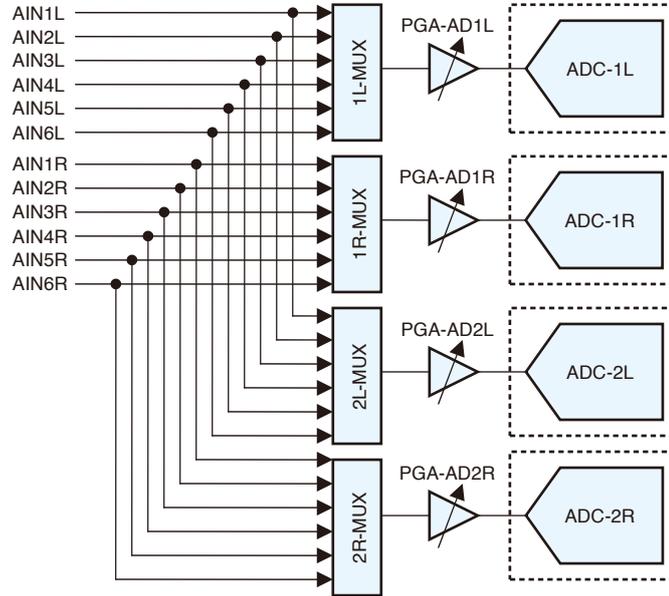


図28. アナログ入力

表1. アナログ入力レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
ADC1L/1Rのアナログ入力MUX選択	20	AX1R[2:0], AX1L[2:0]
ADC2L/2Rのアナログ入力MUX選択	21	AX2R[2:0], AX2L[2:0]
ADC1L/1Rのアナログ入力ゲイン制御	22	AG1R[1:0], AG1L[1:0]
ADC2L/2Rのアナログ入力ゲイン制御	23	AG2R[1:0], AG2L[1:0]

## アナログ出力

PCM5310には、4チャンネルのD/Aコンバータ (DAC)、アナログ・レベル制御付きの2つのステレオ・ライン出力、アナログ音量制御付きのヘッドホン出力、およびアナログ直接入力パスを備えたアナログ・マルチプレクサ (MUX) が搭載されています。ライン出力 (LO1L, LO1R, LO2L, LO2R) は、外部アンプなしで $2V_{RMS}$ を出力することができます。オーディオ・アプリケーションにおいてより高い出力電圧レベルが必要な場合、PCM5310は $2.4V_{RMS}$ 出力を実現できます。

ヘッドホン出力 (HPOL, HPOR) は、 $16\Omega$ の負荷に対して0.1%のTHDで30mW以上の駆動能力を持ちます。また、 $-70\text{dB} \sim 12\text{dB}$ の範囲で制御可能なゼロクロス・アナログ・ボリューム制御を備えています。オーディオ・アプリケーションで必要な場合は、ヘッドホン出力更新制御を使用してLチャンネルとRチャンネルのアナログ音量を同時に設定できます。

図29に示すように、ライン出力とヘッドホン出力は、すべてのアナログ入力および各DACチャンネルからアナログ入力ソースを選択できます。アナログ出力レジスタの説明を表2に示します。

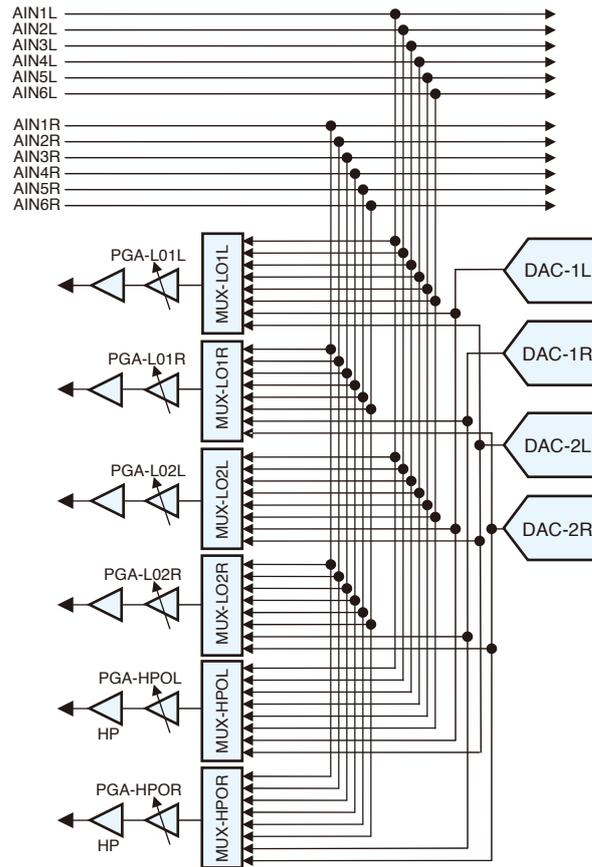


図29. アナログ出力

表2. アナログ出力レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
ライン出力のゲイン・レベル制御	27	GL2R[1:0], GL2L[1:0], GL1R[1:0], GL1L[1:0]
ライン出力の $2.0V_{RMS}$ または $2.4V_{RMS}$ の選択	28	G242, G241
ヘッドホン音量のゼロクロス更新制御	30	HUPE, HSUR, HSUL, HZRS
ヘッドホン出力の音量レベル設定	31, 32	HMUL, HMUR, HVOL[6:0], HVOR[6:0]
出力1のアナログ出力MUX選択	24	AL1R[3:0], AL1L[3:0]
出力2のアナログ出力MUX選択	25	AL2R[3:0], AL2L[3:0]
ヘッドホン出力のアナログ出力MUX選択	26	AHPR[3:0], AHPL[3:0]

## システム・クロック入力、出力、および $f_S$ 自動検出

PCM5310には、SCK1、SCK2、SCK3、SCK4、SCK5、SCK6の6つのクロック入力ポートがあります。各入力ポートにはそれぞれ、さまざまな周波数の独立したクロックを供給できます。これらのポートは、デジタル・フィルタおよびデルタ・シグマ変調回路の内部クロックとして使用されます。これらの組み合わせで1つの共通オーディオ・クロックが作成されます。PCM5310は、 $128f_S$ 、 $192f_S$ 、 $256f_S$ 、 $384f_S$ 、 $512f_S$ 、または $768f_S$ の入力クロック・レートを自動的に検出します ( $f_S$  = オーディオ・サンプリング・レート)。オーディオ・クロック・レートの検出は、必要に応じてディスエーブルにできます。システム・クロック入力、出力、および $f_S$ 自動検出レジスタの説明を表3に示します。表4に、共通オーディオ・クロックの周波数を示します。図30および表5に、システム・クロック入力のタイミング要件を示します。

表3. システム・クロック入力、出力、および $f_S$ 自動検出レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
DAC12のマスタ/スレーブおよび $f_S$ 検出	44	DMS12[3:0]
DAC12のオーディオ・インターフェイス・フォーマット	44	DFM12[1:0]
DAC34のマスタ/スレーブおよび $f_S$ 検出	54	DMS34[3:0]
DAC34のオーディオ・インターフェイス・フォーマット	54	DFM34[1:0]
ADC12のマスタ/スレーブおよび $f_S$ 検出	84	AMS12[3:0]
ADC12のオーディオ・インターフェイス・フォーマット	84	AFM12[1:0]
ADC34のマスタ/スレーブおよび $f_S$ 検出	94	AMS34[3:0]
ADC34のオーディオ・インターフェイス・フォーマット	94	AFM34[1:0]
SCK6クロック出力選択	07	PSC6[2:0]

表4. 共通オーディオ・クロックに対するシステム・クロック周波数

サンプリング 周波数 (kHz)	システム・クロック周波数 (MHz)					
	$128 f_S$ (1)	$192 f_S$ (1)	$256 f_S$	$384 f_S$	$512 f_S$	$768 f_S$
32	4.0960	6.1440	8.1920	12.2880	16.3840	24.5760
44.1	5.6488	8.4672	11.2896	16.9344	22.5792	33.8688
48	6.1440	9.2160	12.2880	18.4320	24.5760	36.8640
88.2	11.2896	16.9344	22.5792	33.8688	非サポート	非サポート
96	12.2880	18.4320	24.5760	36.8640	非サポート	非サポート
176.4 <sup>(1)</sup>	22.5792	33.8688	非サポート	非サポート	非サポート	非サポート
192 <sup>(1)</sup>	24.5760	36.8640	非サポート	非サポート	非サポート	非サポート

(1) このサンプリング周波数およびシステム・クロック周波数は、DAC に対してのみサポートされます。

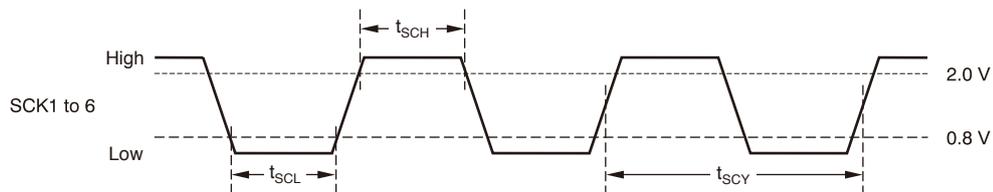


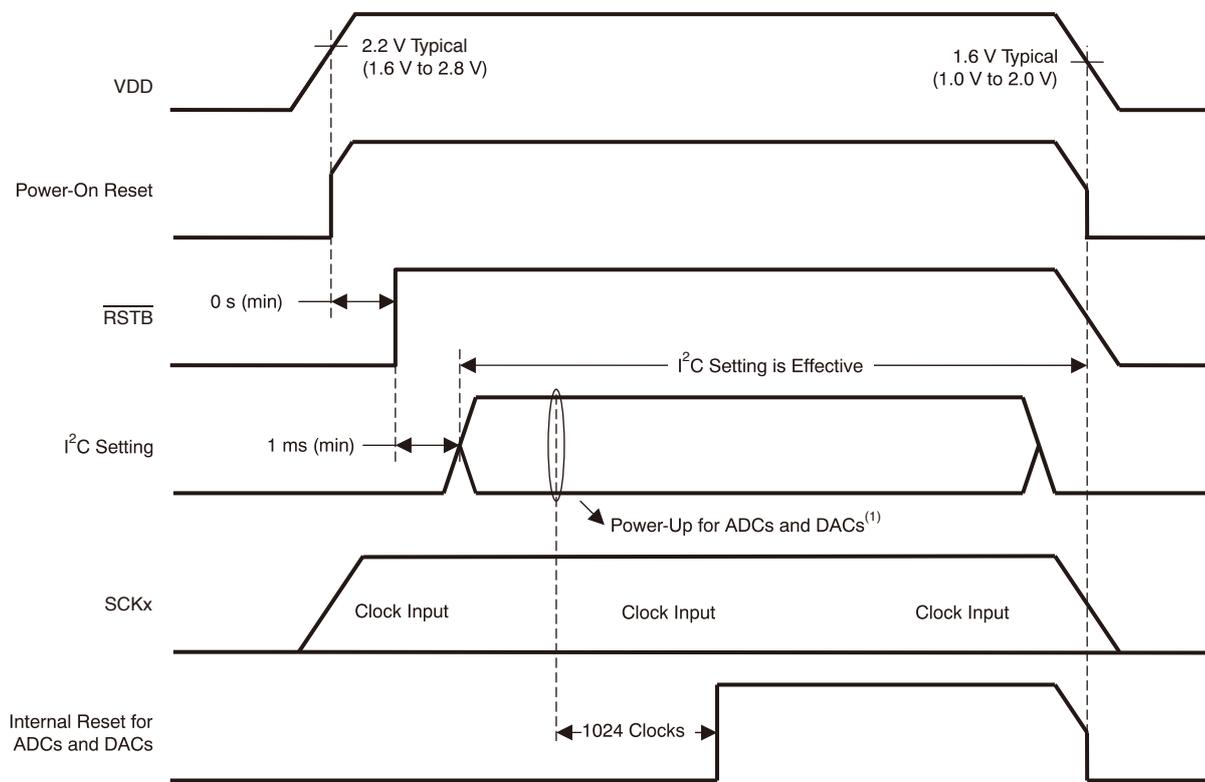
図30. システム・クロック入力タイミング

表5. 図30のタイミング特性

パラメータ		最小	最大	単位
$t_{SCY}$	システム・クロック周期	25		ns
$t_{SCH}$	システム・クロックの“High”時間	$0.4 t_{SCY}$		ns
$t_{SCL}$	システム・クロックの“Low”時間	$0.4 t_{SCY}$		ns
	システム・クロックのデューティ・サイクル	40	60	%

## パワーオン/オフ・リセット

パワーオン・リセット (POR) 回路は、電源電圧標準2.2Vにおいてリセット信号を発生します。この回路は、他の電源 ( $V_{CCDA}$ 、 $V_{CCAD}$ 、 $V_{CCH}$ 、 $V_{CCP}$ ) には依存しません。内部回路がデフォルト状態にクリアされた後、すべてのアナログおよびデジタル出力が無信号状態になります。デバイスのパワーオン時またはパワーオフ時に大きな可聴ポップ・ノイズが生じるのを避けるために、デバイスは図31に示すようなシーケンスでオン/オフ制御することを推奨します。



(1)  $\overline{\text{RSTB}}$  はアクティブ・ローです。内部回路のリセットが有効になるには、100ns以上が必要です。

図31. パワーオン/オフ・リセット

## レジスタ・リセットおよびシステム・リセット (レジスタ01)

レジスタ・リセット (MRST) は、すべてのレジスタ・データをデフォルト設定に戻します。リセット後、MRSTレジスタは自動的に '1' に設定されます。

システム・リセット (SRST) は、すべてのレジスタ・データを含めて、すべての内部回路を同時にデフォルト状態に戻します。リセット後、SRSTレジスタは自動的に '1' に設定されます。

PCM5310では、MRSTおよびSRSTをイネーブルにする際、アナログおよびデジタル出力に可聴ポップ・ノイズが発生する場合があります。

レジスタ・リセットおよびシステム・リセット・レジスタの説明を表6に示します。

表6. リセット・レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
レジスタ・データのみをリセット	01	MRST
レジスタ・データを含めてすべての回路をリセット	01	SRST

## RSTB制御

$\overline{\text{RSTB}}$  (ピン58) を "High" から "Low" にすると、すべての内部回路がデフォルト状態に戻ります。アプリケーションにリセット制御が必要ない場合は、RCパッシブ遅延回路を使用して $\overline{\text{RSTB}}$ をデジタル電源 (VDD) に接続してください。

PCM5310では、 $\overline{\text{RSTB}}$ をイネーブルにする際、アナログおよびデジタル出力に可聴ポップ・ノイズが発生する場合があります。

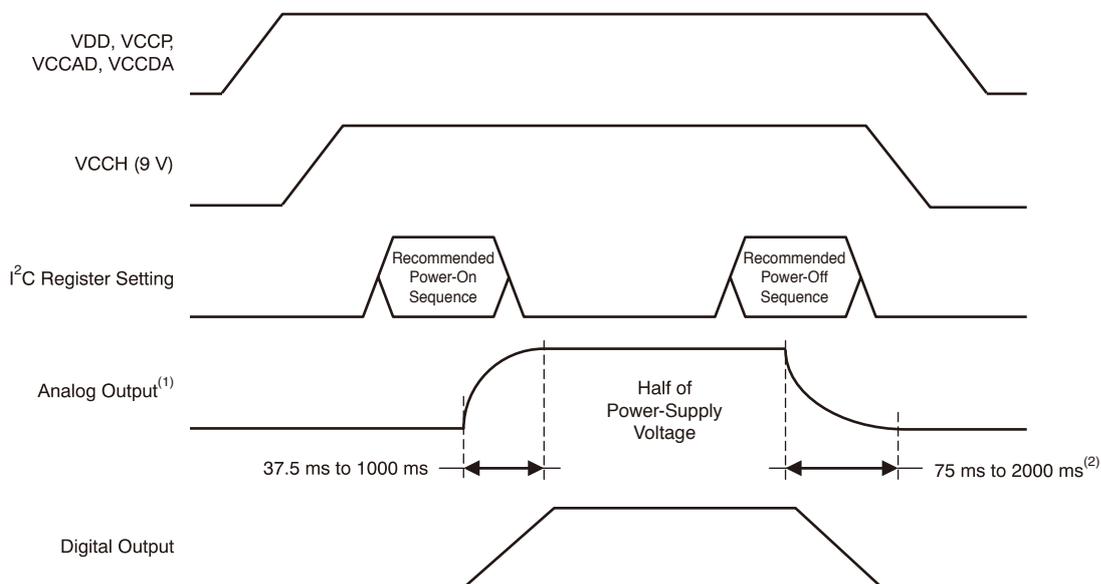
$\overline{\text{RSTB}}$ 制御状態の説明を表6に示します。

表7.  $\overline{\text{RSTB}}$ 制御

$\overline{\text{RSTB}}$ (ピン58) の状態	概要
Low	レジスタ・データを含めてすべての回路をリセット
High	リセット解除

## 電源シーケンスおよびパワーオン/オフ・シーケンス

可聴ポップ・ノイズを低減するためには、すべての電源をオンにした後、またはすべての電源をオフにする前に、指定のレジスタ設定シーケンスを実行する必要があります。アプリケーションまたはシステムで使用しないモジュールは、推奨パワーオン・シーケンスの後にパワーダウンしてください。パワーオフ・シーケンスの前には、すべてのモジュールがパワーオン状態になっている必要があります。推奨電源シーケンスを図32に示します。表8および表9に、推奨レジスタ設定を示します。



(1) アナログ出力電位の上昇/下降時間は、レジスタ設定により変更できます（レジスタ18のPDTM[2:0]を参照）。

(2) VCOMADピンとVCOMDAピンの間に、1.0 $\mu$ Fのコンデンサを接続する必要があります。

図32. 推奨パワーオン/オフ・シーケンス

表8. パワーオン時の推奨レジスタ設定

ステップ	レジスタ設定		概要
	アドレス	データ	
1	—	—	すべての電源をオン
2	11	00	アナログ・バイアスのパワーアップ
3	1F	49	ヘッドホン出力Lチャンネルのミュートをディスエーブル、レベル (-42dB) 設定 <sup>(1)</sup>
4	20	49	ヘッドホン出力Rチャンネルのミュートをディスエーブル、レベル (-42dB) 設定 <sup>(1)</sup>
5	1E	B0	ヘッドホン音量更新制御
6	1B	00	DACからのライン出力ゲイン (0dB) 制御 <sup>(1)</sup>
7	1C	00	ライン出力2V <sub>RMS</sub> および2.4V <sub>RMS</sub> モード選択
8	2A	FF	DAC12のLチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>
9	2B	FF	DAC12のRチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>
10	29	00	DAC12デジタル・ミュート設定およびデジタル・ゲイン・ブースト
11	28	B1	DAC12のデジタル・アッテネーター/ミュート制御、およびゼロクロスのイネーブル
12	34	FF	DAC34のLチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>
13	35	FF	DAC34のRチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>
14	33	00	DAC34デジタル・ミュート設定およびデジタル・ゲイン (0dB) ブースト
15	32	B1	DAC34のデジタル・アッテネーター/ミュート制御、およびゼロクロスのイネーブル
16	52	D5	ADC12のLチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>
17	53	D5	ADC12のRチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>

(1) 音量、ゲイン、およびアッテネーションについては任意のレベルを使用できます。システムのパワーオフ時に記録されたレジスタ・データによりレベルを復元する必要があります。

表8. パワーオン時の推奨レジスタ設定 (続き)

ステップ	レジスタ設定		概要
	アドレス	データ	
18	51	00	ADC12デジタル・ミュートのディスエーブル
19	50	01	ADC12のデジタル・アッテネーター/ミュート制御、およびゼロクロスのイネーブル
20	5C	D7	ADC34のLチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>
21	5D	D7	ADC34のRチャンネル・デジタル・アッテネーションレベル (0dB) 設定 <sup>(1)</sup>
22	5B	00	ADC34デジタル・ミュートのディスエーブル
23	5A	01	ADC34のデジタル・アッテネーター/ミュート制御、およびゼロクロスのイネーブル
24	18	77	ライン出力1 L/RチャンネルMUX選択
25	19	00	ライン出力2 L/RチャンネルMUX選択
26	1A	88	ヘッドホン出力L/RチャンネルMUX選択
27	14	11	ADC12アナログ入力MUX選択 (AIN1L/R) <sup>(2)</sup>
28	15	22	ADC34アナログ入力MUX選択 (AIN2L/R) <sup>(2)</sup>
29	16	00	ADC12アナログ入力ゲイン・レベル (0dB) 設定 <sup>(1)</sup>
30	17	00	ADC34アナログ入力ゲイン・レベル (0dB) 設定 <sup>(1)</sup>
31	65	98	オーディオ・インターフェイス (LRCKx/BCKx) ポート1およびポート2設定 (ADC12/34、マスタ) <sup>(3)</sup>
32	66	98	オーディオ・インターフェイス (DATAx) ポート1およびポート2設定 (ADC12/34のデータ出力) <sup>(3)</sup>
33	67	10	オーディオ・インターフェイス (SCKx) ポート1およびポート2設定 (SCK1/2の入力) <sup>(4)</sup>
34	68	32	オーディオ・インターフェイス (LRCKx/BCKx) ポート3およびポート4設定 (LRCK3/4、BCK3/4の入力) <sup>(4)</sup>
35	69	32	オーディオ・インターフェイス (DATAx) ポート3およびポート4設定 (DATA3/4の入力) <sup>(4)</sup>
36	6A	32	オーディオ・インターフェイス (SCKx) ポート3およびポート4設定 (SCK3/4の入力) <sup>(4)</sup>
37	6B	54	オーディオ・インターフェイス (LRCKx/BCKx) ポート5およびポート6設定 (LRCK3/4、BCK3/4の入力) <sup>(4)</sup>
38	6C	54	オーディオ・インターフェイス (DATAx) ポート5およびポート6設定 (DATA5/6の入力) <sup>(4)</sup>
39	6D	54	オーディオ・インターフェイス (SCKx) ポート5およびポート6設定 (SCK5/6の入力) <sup>(4)</sup>
40	6E	43	DAC12およびDAC34のLRCK/BCK選択 <sup>(4)</sup>
41	6F	43	DAC12およびDAC34のDATA選択 <sup>(4)</sup>
42	70	43	DAC12およびDAC34のSCK選択 <sup>(4)</sup>
43	74	89	ADC12およびADC34のLRCK/BCK選択 (ADC12/34、マスタ) <sup>(4)</sup>
44	75	10	ADC12およびADC34のSCK選択 <sup>(4)</sup>
45	76	76	GPIO制御またはGPIO1およびGPIO2オーディオ・データ選択
46	2C	80	DAC12オーディオ・インターフェイスおよびマスタ/スレーブ選択 <sup>(5)</sup>
47	36	80	DAC34オーディオ・インターフェイスおよびマスタ/スレーブ選択 <sup>(5)</sup>
48	54	40	ADC12オーディオ・インターフェイスおよびマスタ/スレーブ選択 (マスタ、256f <sub>S</sub> ) <sup>(5)</sup>
49	5E	40	ADC34オーディオ・インターフェイスおよびマスタ/スレーブ選択 (マスタ、256f <sub>S</sub> ) <sup>(5)</sup>
50	12	11	アナログ・バックエンドおよびフロントエンドのパワーアップ
51	2E	00	DAC12 パワーアップ
52	38	00	DAC34 パワーアップ
53	55	00	ADC12 パワーアップ
54	5F	00	ADC34 パワーアップ
55	12	01	コモン電圧 (V <sub>COM</sub> ) パワーアップおよび上昇/下降時間設定

(2) ADC12 および ADC34 の入力には任意の入力端子を使用できます。

(3) アプリケーションでオーディオ・インターフェイス MUX およびバイパス選択を使用しない場合、これらの設定は不要です。

(4) アプリケーションでオーディオ・インターフェイス MUX およびバイパス選択を使用しない場合、これらの設定は不要です。

(5) アプリケーションでオーディオ・インターフェイスにスレーブ・モードを使用し、SCK 自動 f<sub>S</sub> 検出を使用する場合、これらの設定は不要です。

表9. パワーオフ時の推奨レジスタ設定

ステップ	レジスタ設定		概要
	アドレス	データ	
1	18	00	ライン出力1 L/RチャンネルMUX選択
2	19	00	ライン出力2 L/RチャンネルMUX選択
3	1A	00	ヘッドホン出力L/RチャンネルMUX選択
4	14	00	ADC12アナログ入力MUX選択
5	15	00	ADC34アナログ入力MUX選択
6	12	11	コモン電圧 ( $V_{COM}$ ) パワーダウンおよび上昇/下降時間設定
7	55	80	ADC12パワーダウン
8	5F	80	ADC34パワーダウン
9	2E	80	DAC12パワーダウン
10	38	80	DAC34パワーダウン
11	12	71	アナログ・バックエンドおよびフロントエンドのパワーダウン
12	11	80	アナログ・バイアスのパワーダウン
13	—	—	すべての電源をオフ

## オーディオ・シリアル・インターフェイス

PCM5310には、SCK<sub>x</sub>、BCK<sub>x</sub>、LRCK<sub>x</sub>、DATA<sub>x</sub>（双方向）の6つのオーディオ・インターフェイス・ポートがあります。各ポートまたは信号は、任意のADCまたはDACに接続できます。オーディオ・システム・アプリケーションでオーディオ信号をバイパスする必要がある場合、PCM5310では任意のポートから任意のポートにバイパスできます。オーディオ・インターフェイス・ポートおよびMUXの構成については、図33を参照してください。ポート1～ポート6の詳細については、図47～図52を参照してください。

オーディオ・インターフェイスは、LRCK、BCK、およびDATAから構成されます。LRCKには、サンプリング・レート（ $f_s$ ）および左チャンネルと右チャンネルのデータが供給されます。DATAはDACの補間フィルタからシリアル・オーディオ・データを受信し、デシメーション・フィルタにシリアル・データを送信します。BCKは、“High”から“Low”への遷移でDATAのシリアル・オーディオ・データを送受信するために使用されます。BCKおよびLRCKはシステム・クロックSCKと同期している必要があります。PCM5310は、LRCK/BCKがSCKと同期した状態で動作しますが、BCK/LRCKとSCKの間に特定の位相関係は必要としません。各オーディオ・インターフェイス・ポートは、マスタまたはスレーブ・モードを選択でき、マスタ・モードではSCKからLRCKおよびBCKを生成できます。オーディオ・シリアル・インターフェイス・レジスタの説明を表6に示します。

表10. オーディオ・シリアル・インターフェイス・レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
DAC12のマスタ/スレーブおよび $f_s$ 検出	44	DMS12[3:0]
DAC12のオーディオ・インターフェイス・フォーマット	44	DFM12[1:0]
DAC34のマスタ/スレーブおよび $f_s$ 検出	54	DMS34[3:0]
DAC34のオーディオ・インターフェイス・フォーマット	54	DFM34[1:0]
ADC12のマスタ/スレーブおよび $f_s$ 検出	84	AMS12[3:0]
ADC12のオーディオ・インターフェイス・フォーマット	84	AFM12[1:0]
ADC34のマスタ/スレーブおよび $f_s$ 検出	94	AMS34[3:0]
ADC34のオーディオ・インターフェイス・フォーマット	94	AFM34[1:0]
ポート1およびポート2のLRCK/BCK選択	101	LBS2[3:0], LBS1[3:0]
ポート1およびポート2のDATA選択	102	DTS2[3:0], DTS1[3:0]
ポート1およびポート2のSCK選択	103	SCS2[2:0], SCS1[2:0]
ポート3およびポート4のLRCK/BCK選択	104	LBS4[3:0], LBS3[3:0]
ポート3およびポート4のDATA選択	105	DTS4[3:0], DTS3[3:0]
ポート3およびポート4のSCK選択	106	SCS4[2:0], SCS3[2:0]
ポート5およびポート6のLRCK/BCK選択	107	LBS6[3:0], LBS5[3:0]
ポート5およびポート6のDATA選択	108	DTS6[3:0], DTS5[3:0]
ポート5およびポート6のSCK選択	109	SCS6[2:0], SCS5[2:0]
DAC12およびDAC34のLRCK/BCK選択	110	D34LB[3:0], D12LB[3:0]
DAC12およびDAC34のDATA選択	111	D34DT[3:0], D12DT[3:0]
DAC12およびDAC34のSCK選択	112	D34S[2:0], D12S[2:0]
ADC12およびADC34のLRCK/BCK選択	116	A34LB[3:0], A12LB[3:0]
ADC12およびADC34のSCK選択	117	A34SC[2:0], A12SC[2:0]
GPIO-1およびGPIO-2オーディオ・データ選択	118	GP2S[3:0], GP1S[3:0]

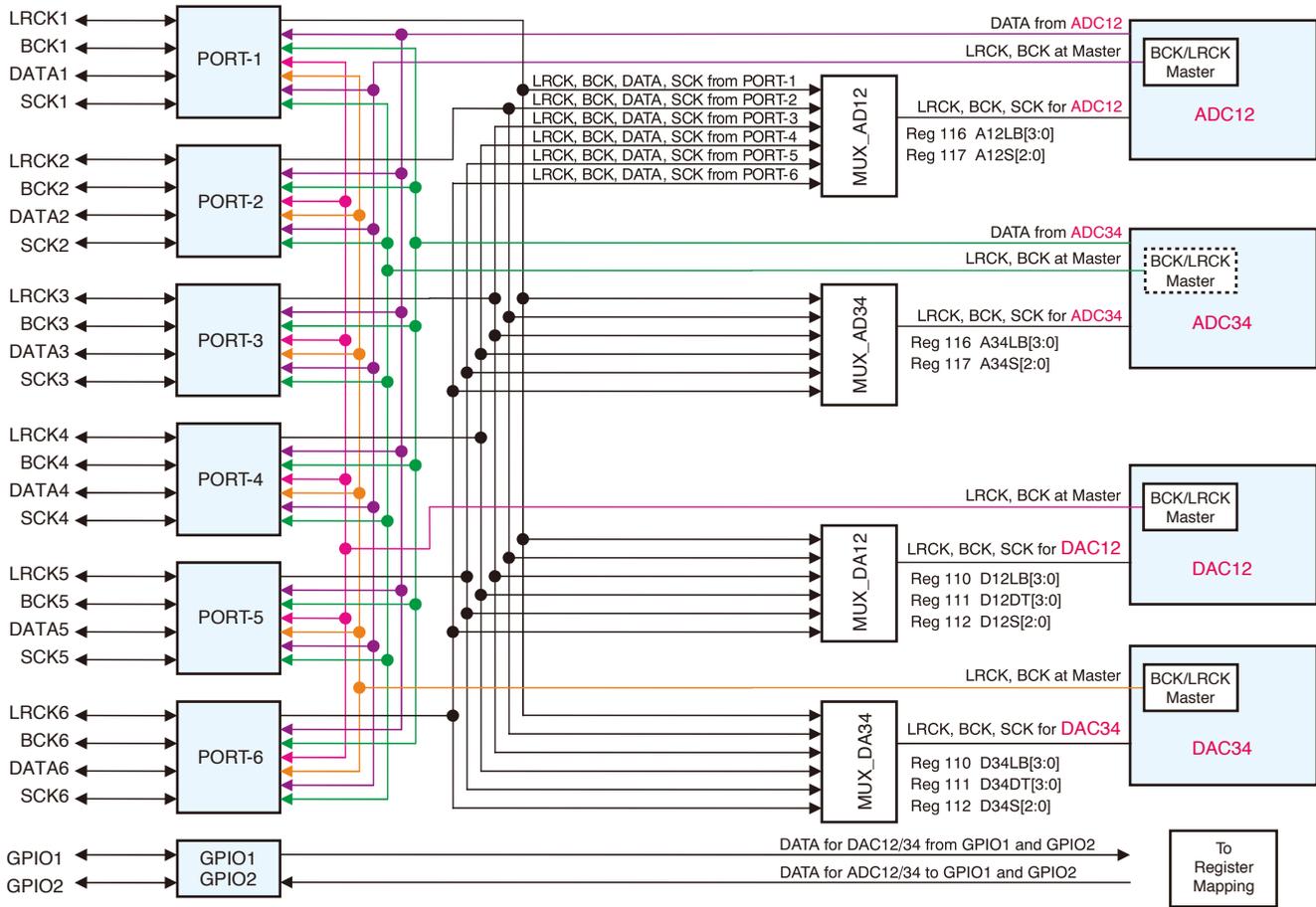


図33. オーディオ・インターフェイス・ポートおよびMUX

## オーディオ・データ・フォーマットおよびタイミング

PCM5310は、I<sup>2</sup>S、前詰め、後詰め各データ形式をサポートし、デジタル入力に対しては32f<sub>S</sub>、48f<sub>S</sub>、64f<sub>S</sub>のBCKレート、ADCに対しては48f<sub>S</sub>、64f<sub>S</sub>のBCKレートをサポートしています。データ・フォーマットは図34に示され、I<sup>2</sup>Cインターフェイスを使用し選択できます。すべての形式で、2's コンプリメント・バイナリ、MSBファーストのオーディオ・データが必要です。デフォルトの形式は、16-24ビットのI<sup>2</sup>Sです。図35および図36に、詳細タイミング図を示します。オーディオ・インターフェイス・データ形式レジスタの説明を表11に示します。

表11. オーディオ・インターフェイス・データ形式レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
DAC12のオーディオ・インターフェイス形式	44	DFM12[1:0]
DAC34のオーディオ・インターフェイス形式	54	DFM34[1:0]
ADC12のオーディオ・インターフェイス形式	84	AFM12[1:0]
ADC34のオーディオ・インターフェイス形式	94	AFM34[1:0]

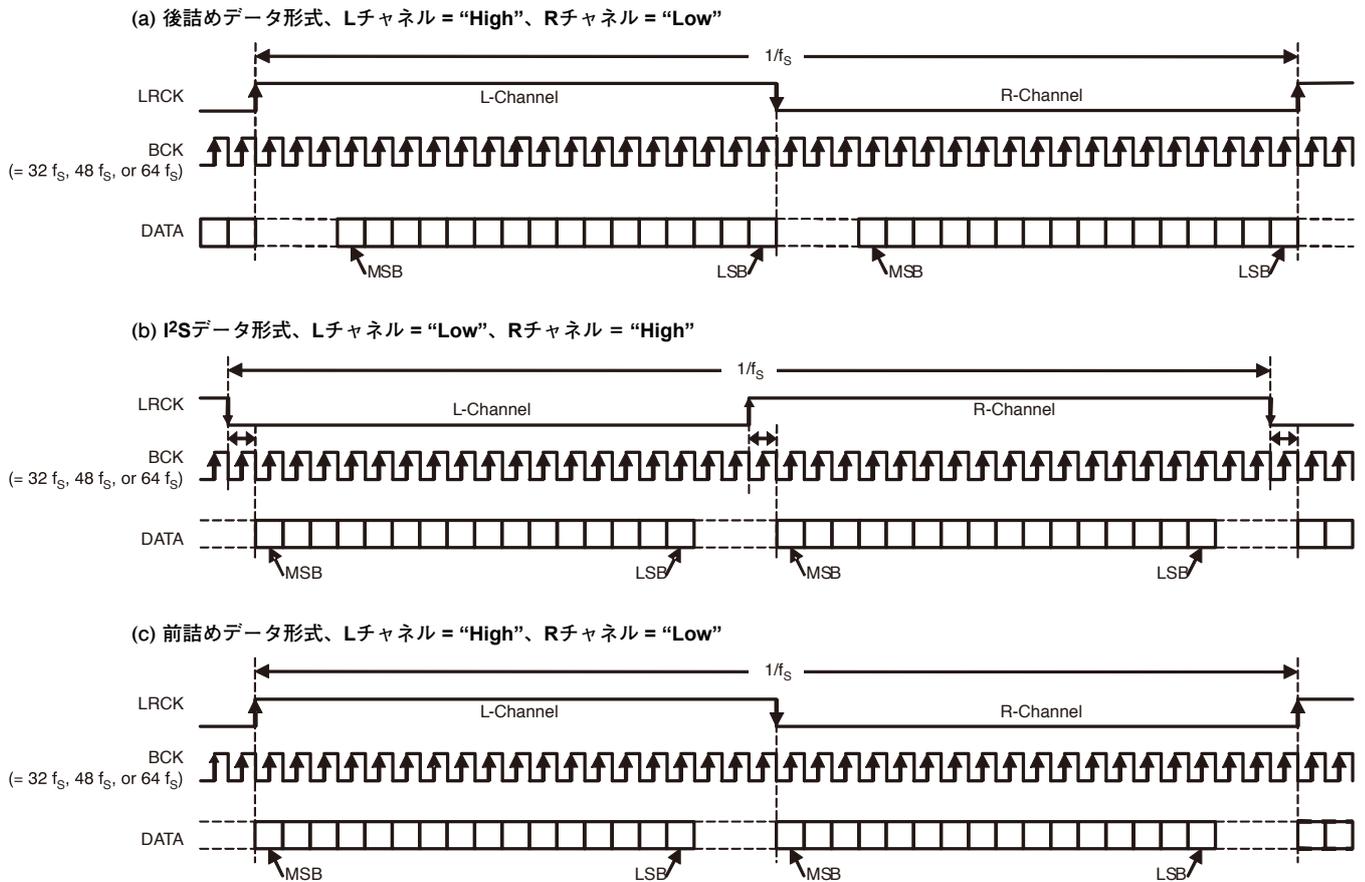
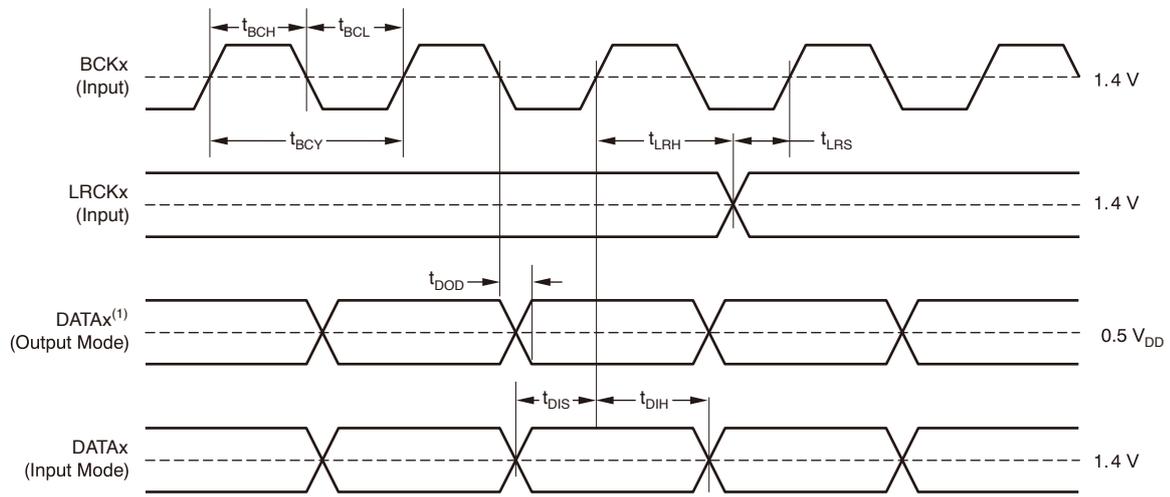


図34. オーディオ・データの入力および出力形式

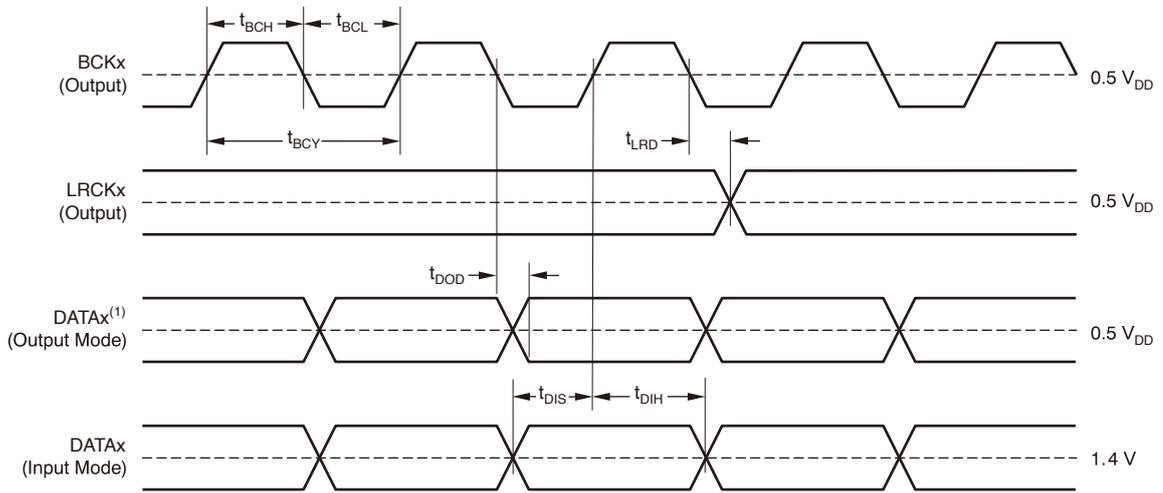


(1) 出力の負荷容量は20pFです。

図35. オーディオ・インターフェイス・タイミング (スレーブ・モード)

表12. 図35のタイミング要件

パラメータ		最小	最大	単位
$t_{BCY}$	BCKx周期	75		ns
$t_{BCH}$	BCKxパルス幅“High”	35		ns
$t_{BCL}$	BCKxパルス幅“Low”	35		ns
$t_{LRS}$	BCKx立ち上がりエッジまでのLRCKxセットアップ時間	15		ns
$t_{LRH}$	BCKx立ち上がりエッジまでのLRCKxホールド時間	10		ns
$t_{DIS}$	BCKx立ち上がりエッジまでのDATAxセットアップ時間	10		ns
$t_{DIH}$	BCKx立ち上がりエッジまでのDATAxホールド時間	10		ns
$t_{DOD}$	BCKx立ち下がりエッジからのDATAx遅延時間	0	30	ns



(1) 出力の負荷容量は20pFです。

図36. オーディオ・インターフェイス・タイミング (マスタ・モード)

表13. 図36のタイミング要件

パラメータ		最小	標準	最大	単位
$t_{BCY}$	BCKx周期		$1/(64 f_s)$		
$t_{BCH}$	BCKxパルス幅“High”	$0.4 t_{BCY}$	$0.5 t_{BCY}$	$0.6 t_{BCY}$	
$t_{BCL}$	BCKxパルス幅“Low”	$0.4 t_{BCY}$	$0.5 t_{BCY}$	$0.6 t_{BCY}$	
$t_{LRD}$	BCKx立ち下がりエッジからのLRCKx遅延時間	-15		20	ns
$t_{DIS}$	BCKx立ち上がりエッジまでのDATAxセットアップ時間	10			ns
$t_{DIH}$	BCKx立ち上がりエッジまでのDATAxホールド時間	10			ns
$t_{DOD}$	BCKx立ち下がりエッジからのDATAx遅延時間	-10		20	ns

## ADCおよびフィルタ

A/Dコンバータ（ADC）およびデジタル・フィルタには、図37に示すように、デルタ・シグマ変調回路、デシメーション・フィルタ、ハイパス・フィルタ（HPF）、デジタル・ゲイン制御、デジタル・アッテネーション制御、およびデジタル・ソフト・ミュートが含まれています。HPFは、ADCのアナログ部のDCオフセットを除去します。48kHzのサンプリング・レートでのカットオフ周波数は0.91Hzです。デジタル・ゲインまたはアッテネーション制御は、20dB ～ 100dBの範囲内で0.5dB単位で調整できます。ADCおよびフィルタ・レジスタの説明を表14に示します。

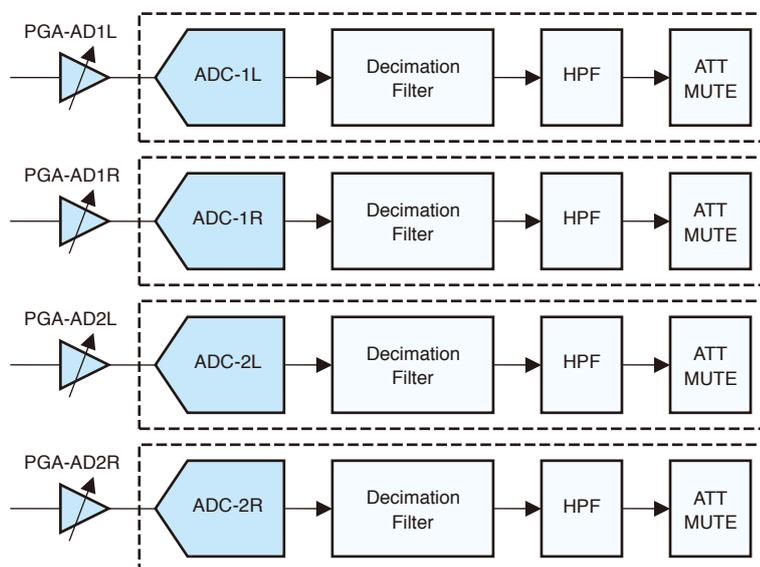


図37. ADCおよびフィルタ

表14. ADCおよびフィルタ・レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
ADC12のデジタル・アッテネーションおよびゲイン更新制御	80	A12E, AUC2, AUC1, AZ12
ADC12のデジタル・ソフト・ミュート設定	81	AMU2, AMU1
ADC12のデジタル・アッテネーションおよびゲイン・レベル設定	82, 83	AAT2[7:0], AAT1[7:0]
ADC12のハイパス・フィルタ・ディスエーブル	84	HF12
ADC34のデジタル・アッテネーションおよびゲイン更新制御	90	A34E, AUC4, AUC3, AZ34
ADC34のデジタル・ソフト・ミュート設定	91	AMU4, AMU3
ADC34のデジタル・アッテネーションおよびゲイン・レベル設定	92, 93	AAT4[7:0], AAT3[7:0]
ADC34のハイパス・フィルタ・ディスエーブル	94	HF34

## DACおよびフィルタ

D/Aコンバータ (DAC) およびデジタル・フィルタには、図38に示すように、デルタ・シグマ変調回路、補間フィルタ、ディエンファシス・フィルタ (DEM)、デジタル・ゲイン制御、デジタル・アッテネーション制御、デジタル・ソフト・ミュート、およびデジタル・ゲイン・ブーストが含まれています。デジタル・ゲインまたはアッテネーション制御は、20dB ~ -100dBの範囲内で0.5dB単位で調整できます。低音レベルの録音オーディオ・データを再生する場合には、6dB、12dB、または18dBのブーストをI<sup>2</sup>Cインターフェイスで選択してデジタル・ゲインを使用できます。DACおよびフィルタ・レジスタの説明を表14に示します。

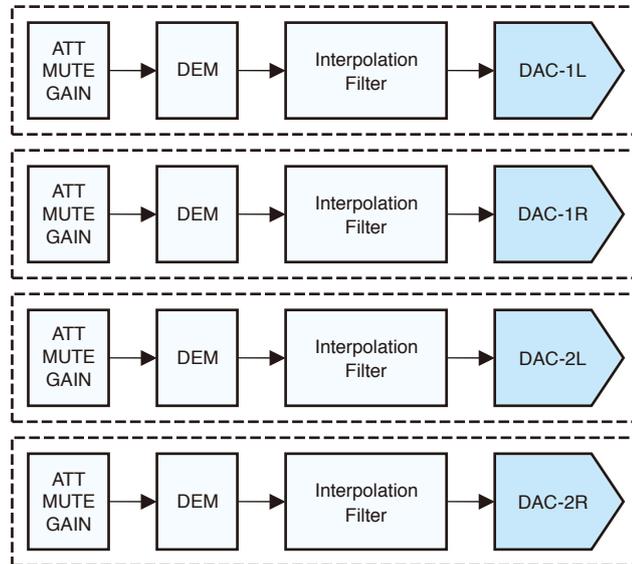


図38. DACおよびフィルタ

表15. DACおよびフィルタ・レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
DAC12のデジタル・アッテネーションおよびゲイン更新制御	40	D12E, DUC2, DUC1, DZ12
DAC12のデジタル・ソフト・ミュートおよびブースト設定	41	DMU2, DMU1, DB12[1:0]
DAC12のデジタル・アッテネーションおよびゲイン・レベル設定	42, 43	DAT2[7:0], DAT1[7:0]
DAC12のディエンファシス・フィルタ設定	45	DM12, DF12[1:0]
DAC34のデジタル・アッテネーションおよびゲイン更新制御	50	D34E, DUC4, DUC3, DZ34
DAC34のデジタル・ソフト・ミュート設定	51	DMU4, DMU3
DAC34のデジタル・アッテネーションおよびゲイン・レベル設定	52, 53	DAT4[7:0], DAT3[7:0]
DAC34のディエンファシス・フィルタ設定	55	DM34, DF34[1:0]

## GPIO制御

PCM5310には、3つの汎用入出力 (GPIO) ピン (ピン55、56、57) があり、表16、表17、表18、および図39に示すような各種の機能設定や内部動作状態の検出に割り当てることができます。

表16. GPIO制御レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
GPIO1選択、ポート4バイパス	09	GBP4, GSL1[4:0]
GPIO2選択、ポート5バイパス	10	GBP5, GSL2[4:0]
GPIO3選択	11	GSL3[4:0]

表17. GPIOピンを通して読み取られるレジスタ・データ

レジスタ説明	レジスタ番号	レジスタ・ビット
外部デバイス制御	08	GPO3, GPO2, GPO1
ヘッドホンの短絡保護状態	16	SSHR, SSSL
ヘッドホンの挿入検出状態	35	RHPI
ヘッドホンのミュート状態	35	RHMUR, RHMUL
DAC12、DAC34のシステム・クロック $f_s$ 検出	35, 36	RD12FS[2:0], RD34[2:0]
ADC12、ADC34のシステム・クロック $f_s$ 検出	37, 38	RA12FS[2:0], RA34[2:0]
DAC12およびDAC34のデジタル・ミュート状態	36	RDM4, RDM3, RDM2, RDM1
ADC12およびADC34のデジタル・ミュート状態	37	RAM4, RAM3, RAM2, RAM1
DAC12およびDAC34のゼロクロス・タイムアウト	38	RDZ4, RDZ3, RDZ2, RDZ1
ADC12およびADC34のゼロクロス・タイムアウト	39	RAZ4, RAZ3, RAZ2, RAZ1
ヘッドホンのゼロクロス・タイムアウト	39	RHZR, RHZL

表18. 他のGPIOピン機能

GPIOピン機能	説明
デジタル入力のゼロ・フラグ	各DACチャンネルまたはすべてのDACチャンネルの状態を読み取ります。
論理	OR、AND、NOR、NAND、バッファ、反転
オーディオ・データ	GPIOピンからポート4およびポート5にオーディオ・データをバイパスします。

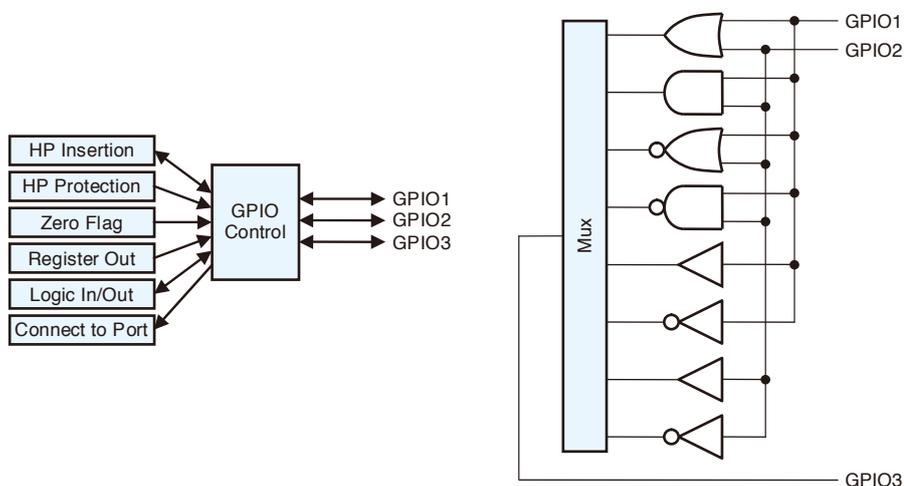


図39. GPIO制御

## ヘッドホンの短絡保護

PCM5310は、各ヘッドホン出力に短絡保護を備えています。短絡状態はGPIOピンから検出する

ことができ、I<sup>2</sup>Cインターフェイス経由でレジスタ・データを読み出すことができます。ヘッドホン・ジャックの挿入または取り外し時にヘッドホン・アンプがシャットダウンされるのを防ぐため、短絡の検出時間は内部で調整できます。ヘッドホンおよび短絡保護レジスタの説明を表19に示します。ヘッドホンの短絡保護シーケンスを図40に示します。

表19. ヘッドホン短絡保護レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
ヘッドホン短絡保護のイネーブル/ディスエーブル	13	SRCR, SHCR, SPDR, SRCL, SHCL, SPDL
ヘッドホン短絡保護の検出時間	14	SDTR[1:0], SDTL[1:0]
ヘッドホン短絡保護の解除時間	15	SRTR[1:0], SRLTL[1:0]
ヘッドホン短絡保護状態の検出	16	SSHR, SSSL

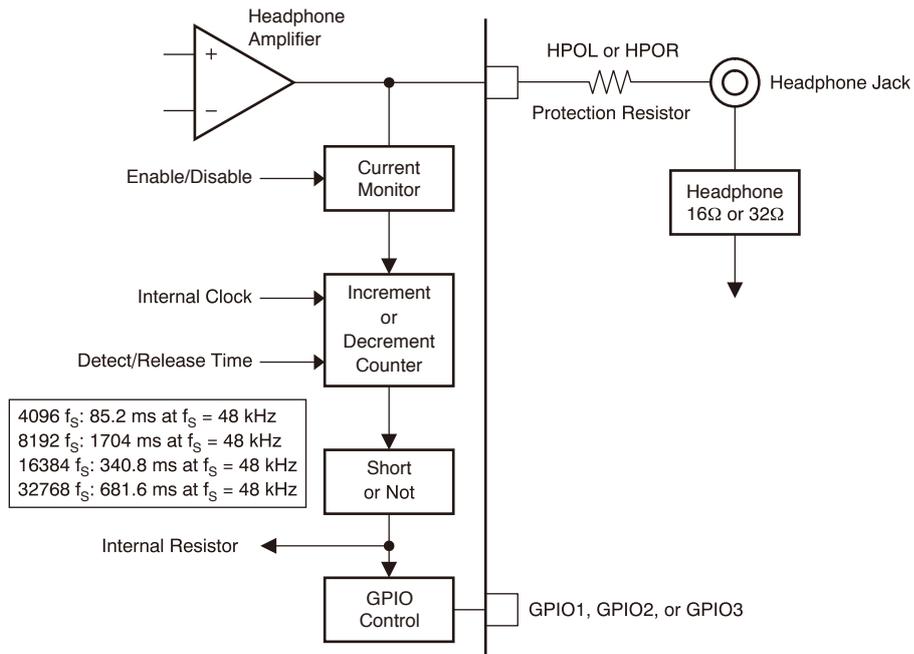


図40. ヘッドホン短絡保護シーケンス

短絡保護をイネーブルにする場合は、過電流が流れるのを制限するために小さな保護抵抗を挿入することを推奨します。表20に、小さな抵抗を使用した場合のヘッドホン出力電力を示します。

表20. ヘッドホン・アンプの出力電力負荷

RL = 32Ω + 保護抵抗	32 Ω + 4 Ω	32 Ω + 8 Ω	32 Ω + 16 Ω
0.1% THD	28 mW	22 mW	16 mW
10% THD	37 mW	31 mW	22 mW

## ヘッドホン挿入検出

ヘッドホン挿入検出レジスタの説明を表21に示します。PCM5310は、レジスタ設定によりGPIOピンを使用してヘッドホン・プラグの挿入状態を検出し、状態をレジスタに書き込みます。これはI<sup>2</sup>Cインターフェイス経由で読み取ることができます。図41に示すように、状態はGPIOピンにも出力できます。

表21. ヘッドホン挿入検出レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
GPIO1選択	09	GSL1[4:0]
GPIO2選択	10	GSL2[4:0]
GPIO3選択	11	GSL3[4:0]
ヘッドホン挿入の読み取り状態	35	RIP1

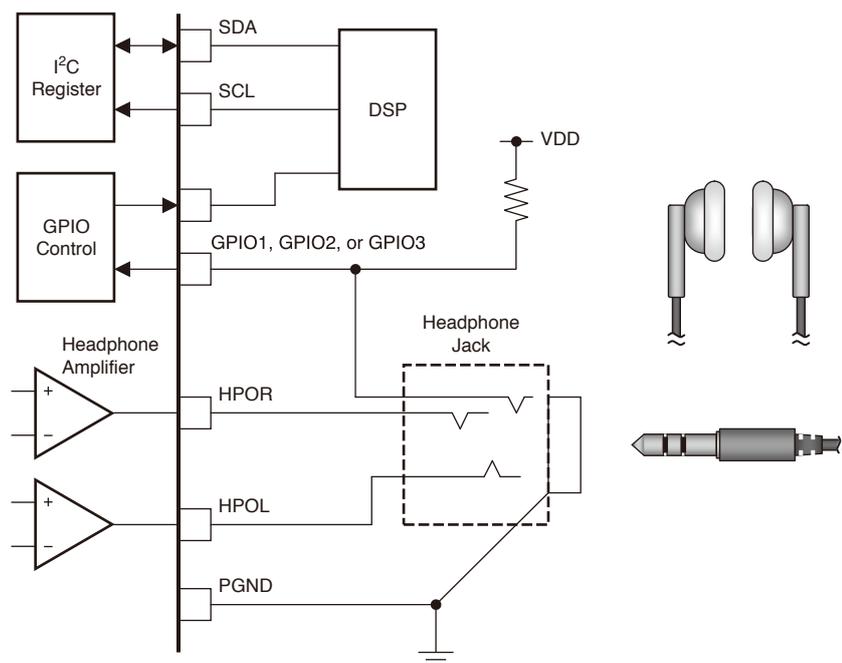


図41. ヘッドホン挿入検出

## ゼロ・フラグ検出

PCM5310は、DAC12またはDAC34のいずれか、あるいは両方への連続したゼロ・データの入力を検出します。レジスタ設定により、この状態をGPIOピンから外部デバイスに出力できます。LチャンネルおよびRチャンネル・データが連続して1024 $f_s$ ゼロである場合、フラグが“Low”から“High”に変化します。ゼロ・フラグ検出レジスタの説明を表22に示します。図42に、ゼロ・フラグ検出動作を示します。

表22. ゼロ・フラグ・レジスタ

レジスタ説明	レジスタ番号	レジスタ・ビット
GPIO1選択	09	GSL1[4:0]
GPIO2選択	10	GSL2[4:0]
GPIO3選択	11	GSL3[4:0]

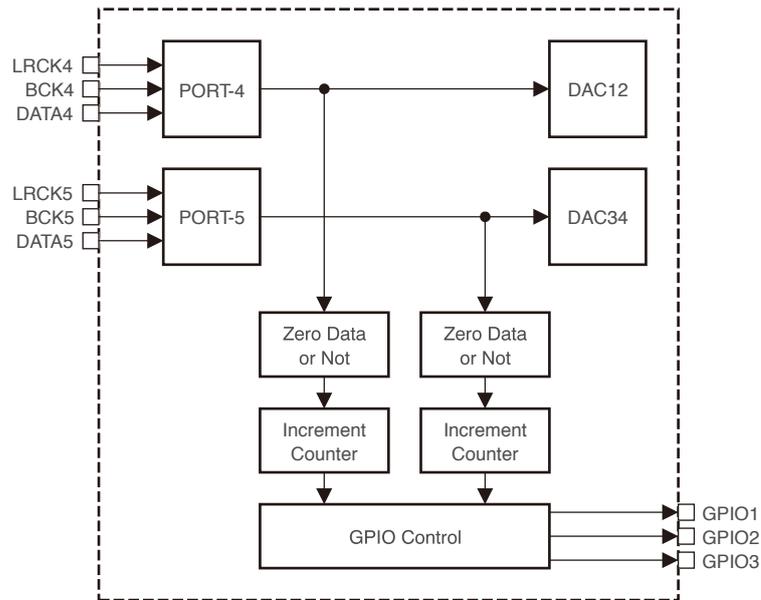


図42. ゼロ・フラグ検出

## AMUTE制御

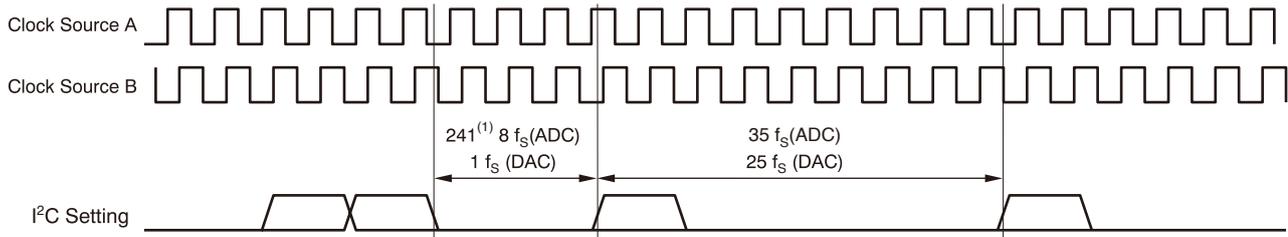
PCM5310には、レジスタ19 (13h) と関連付けられたデジタルおよびアナログ・ミュート機能を制御するAMUTEピン (ピン59) があります。これらの設定がディスエーブルのときに、AMUTEピンが“Low”から“High”に変化した場合は、PCM5310はデジタルおよびアナログ・ミュートをディスエーブルのまま保持します。これらの設定がイネーブルのときに、AMUTEピンが“Low”から“High”に変化した場合は、PCM5310はデジタルおよびアナログ・ミュートをイネーブルにします。AMUTEピンで設定されるミュート機能は、レジスタ19の設定に関係なく有効です。

## クロック変更時のミュート制御タイミング

PCM5310には6つのオーディオ・インターフェイス・ポートがあり、使用中（現行）のソースから別のソースに切り替えることができます。ただし、クロックを変更または停止するときに、アナログ出力またはデジタル出力に可聴ポップ・ノイズが発生する場合があります。ポップ・ノイズを防ぎ、I<sup>2</sup>Cを通して内部回路をクリーンアップするために、ゼロ・データ入力と待ち時間を使用したミュート制御を推奨します。図43に詳細を示します。

デジタル入力とアナログ入力は最初にゼロ・データとする必要があります。その後、以下の手順を実行します。

1. ゼロクロス検出をディスエーブルにします。
2. アナログまたはデジタルの出力ミュートをイネーブルにします。
3. クロック・ソースを変更します。
4. アナログまたはデジタル・ミュートをディスエーブルにします。



注：デジタル入力とアナログ入力は最初にゼロ・データとしてください。次に、以下の設定手順を実行します。

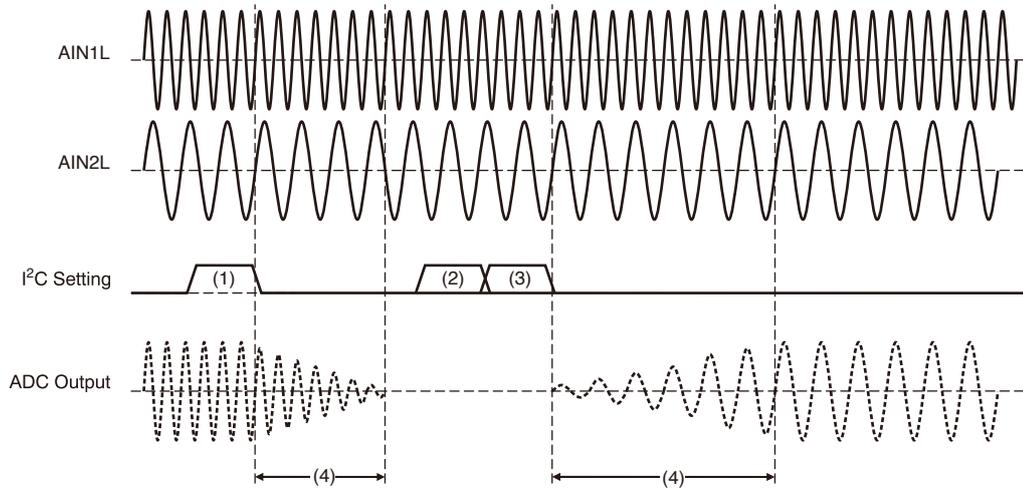
- a) ゼロクロス検出をディスエーブルにします。
- b) アナログまたはデジタルの出力ミュートをイネーブルにします。
- c) クロック・ソースを変更します。
- d) アナログまたはデジタル・ミュートをディスエーブルにします。

(1) 値は、レジスタ82、83、92、93の減衰レベル設定に依存します。

図43. クロック変更時のミュート制御タイミング

## アナログMUX切り替え時の可聴ノイズ低減

PCM5310には、6つのステレオ・アナログ入力を選択できるアナログ・マルチプレクサ (MUX) があります。I<sup>2</sup>C経由でミュート制御を行わずに入力を切り替えると、ADC出力に可聴ノイズが生じる場合があります。アナログ入力を切り替える前には、図44に示すように、デジタル・ソフト・ミュートを使用することを推奨します。



- (1) ADCのデジタル・ソフト・ミュートをイネーブルにします。
- (2) アナログ入力ソースを変更します。
- (3) ADCのデジタル・ソフト・ミュートをディスエーブルにします。
- (4) 最大ミュート時間は  $[241 \times 8f_s]$  秒です。ただし、ゼロクロスがイネーブルの場合、この時間は波形に依存します。I<sup>2</sup>C経由でレジスタ35~39からこのミュートの状態を読み取ることを推奨します。状態が“High”である場合は、ミュートをディスエーブルにします。

図44. アナログMUX切り替え時の可聴ノイズ低減

## 2線式インターフェイス (I<sup>2</sup>C)

PCM5310は、I<sup>2</sup>Cシリアル・バスをサポートし、スレーブ・デバイスとしてのI<sup>2</sup>C標準のデータ転送プロトコルをサポートしています。このプロトコルは、I<sup>2</sup>C、Specification 2.0で説明されています。

I<sup>2</sup>Cモードでは、制御ピンの機能が表23のように設定されます。

表23. 制御ピン

ピン名	入力/出力	説明
SDA	入力/出力	I <sup>2</sup> C データ
SCL	入力	I <sup>2</sup> C クロック

## スレーブ・アドレス

PCM5310は、表24に示すような固有の7ビット・スレーブ・アドレスを持っています。スレーブ・アドレスの上位6ビットは、出荷時に '1000110' に設定されています。アドレス・バイトの最下位ビットは、デバイス選択ビットであり、ADRピンを使用してユーザ定義できます。同時に最大2つまでのPCM5310を同じバスに接続できます。各PCM5310は、それぞれ固有のスレーブ・アドレスが受信されたときに応答を行います。

表24. スレーブ・アドレス

MSB							LSB
1	0	0	0	1	1	0	R/W

## パケット・プロトコル

マスタ・デバイスは、パケット・プロトコルを制御する必要があります。図45に示すように、パケット・プロトコルは、スタート条件、スレーブ・アドレスと読み取り/書き込み (R/W) ビット、データ (書き込みの場合) または確認応答 (読み取りの場合)、およびストップ条件から構成されます。PCM5310は、スレーブ受信およびスレーブ送信のみをサポートします。表25に、基本的なI<sup>2</sup>C書き込み動作を示します。表26に、基本的なI<sup>2</sup>C読み取り動作を示します。

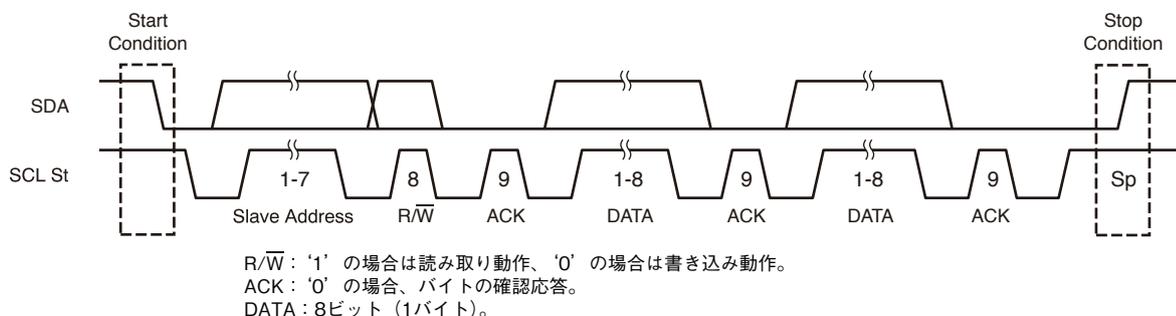


図45. 基本的なI<sup>2</sup>Cフレームワーク

表25. 基本的なI<sup>2</sup>C書き込み動作

送信側	M	M	M	S	M	S	M	S	M
データの種類	St	スレーブ・アドレス	R/W	ACK	DATA	ACK	DATA	ACK	Sp

凡例: M = マスタ・デバイス、S = スレーブ・デバイス、St = スタート条件、Sp = ストップ条件、R/W = 読み取り/書き込み、ACK = 応答確認

表26. 基本的なI<sup>2</sup>C読み取り動作

送信側	M	M	M	S	M	S	M	S	M
データの種類	St	スレーブ・アドレス	R/W	ACK	DATA	NACK	DATA	NACK	Sp

凡例: M = マスタ・デバイス、S = スレーブ・デバイス、St = スタート条件、Sp = ストップ条件、R/W = 読み取り/書き込み、ACK = 応答確認、NACK = 非応答

## 書き込み動作

マスタは、PCM5310のどのレジスタに対しても1回のアクセスで書き込むことができます。マスタは、PCM5310のスレーブ・アドレスを、書き込みビット、レジスタ・アドレス、およびデータとともに送信します。未定義のレジスタがアクセスされた場合、PCM5310は応答確認を送信しません。表27に、書き込み動作のフレームワークを示します。

表27. 書き込み動作のフレームワーク

送信側	M	M	M	S	M	S	M	S	M
データの種類	St	スレーブ・アドレス	$\bar{W}$	ACK	レジスタ・アドレス	AC	書き込みデータ	ACK	Sp

凡例：M = マスタ・デバイス、S = スレーブ・デバイス、St = スタート条件、Sp = ストップ条件、 $\bar{W}$  = 書き込み、ACK = 応答確認

## 読み取り動作

マスタは、PCM5310のレジスタを読み取ることができます。レジスタ・アドレスの値は、事前に間接インデックス・レジスタに格納されます。マスタは、レジスタ・アドレスの格納後、PCM5310のスレーブ・アドレスを読み取りビットとともに送信します。次に、PCM5310はインデックス・レジスタで指定されたアドレスにデータを転送します。表28に、読み取り動作のフレームワークを示します。

表28. 読み取り動作のフレームワーク

送信側	M	M	M	S	M	S	M	M	M	S	S	M	M
データの種類	St	スレーブ・アドレス	$\bar{W}$	ACK	レジスタ・アドレス	ACK	Sr	スレーブ・アドレス	R	ACK	読み取りデータ	NACK	Sp

凡例：M = マスタ・デバイス、S = スレーブ・デバイス、St = 繰り返しスタート条件、Sp = ストップ条件、 $\bar{W}$  = 書き込み、R = 読み取り、ACK = 応答確認、NACK = 非応答

## I<sup>2</sup>C タイミング図

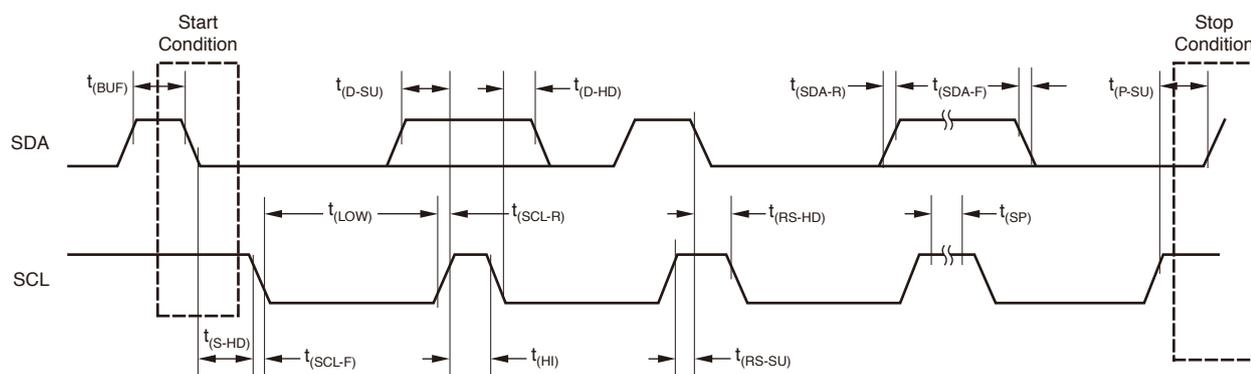


図46. I<sup>2</sup>C タイミング

表29. 図46のタイミング特性

パラメータ		I <sup>2</sup> C仕様	最小	最大	単位
$f_{SCL}$	SCLクロック周波数	標準		100	kHz
$t_{(BUF)}$	ストップ条件とスタート条件間のバス解放時間	標準	4.7		$\mu$ s
$t_{(LOW)}$	SCLクロックの“Low”期間	標準	4.7		$\mu$ s
$t_{(HI)}$	SCLクロックの“High”期間	標準	4		$\mu$ s
$t_{(RS-SU)}$	スタート条件セットアップ時間	標準	4.7		$\mu$ s
$t_{(S-HD)}$	スタート条件ホールド時間	標準	4		$\mu$ s
$t_{(D-SU)}$	データ・セットアップ時間	標準	250		ns
$t_{(D-HD)}$	データ・ホールド時間	標準	0	900	ns
$t_{(SCL-R)}$	SCL信号立ち上がり時間	標準	$20 + 0.1 C_B$	1000	ns
$t_{(SCL-R1)}$	繰り返しスタート条件後、応答確認ビット後のSCL信号の立ち上がり時間	標準	$20 + 0.1 C_B$	1000	ns
$t_{(SCL-F)}$	SCL信号立ち下がり時間	標準	$20 + 0.1 C_B$	1000	ns
$t_{(SDA-R)}$	SDA信号立ち上がり時間	標準	$20 + 0.1 C_B$	1000	ns
$t_{(SDA-F)}$	SDA信号立ち下がり時間	標準	$20 + 0.1 C_B$	1000	ns
$t_{(P-SU)}$	ストップ条件セットアップ時間	標準	4		$\mu$ s
$C_B$	SDAおよびSCLラインの容量性負荷			400	pF
$t_{(SP)}$	スパイク・パルス抑制期間			25	ns

## レジスタ・マップ

モード制御レジスタ・マップを表30に示します。各レジスタには、IDX[6:0]ビットで示されるインデックス（アドレス）が含まれています。

表30. モード制御レジスタ・マップ

レジスタ	16進	説明	B7	B6	B5	B4	B3	B2	B1	B0
01	01h	リセット機能	MRST	SRST	RSV <sup>(1)</sup>	RSV	RSV	RSV	RSV	RSV
08	08h	GPIOピン出力制御	RSV	RSV	RSV	RSV	RSV	GPO3	GPO2	GPO1
09	09h	GPIOポート1選択	RSV	RSV	RSV	GSL1[4:0]				
10	0Ah	GPIOポート2選択	RSV	RSV	RSV	GSL2[4:0]				
11	0Bh	GPIOポート3選択	RSV	RSV	RSV	GSL3[4:0]				
12	0Ch	未割り当て	RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
13	0Dh	ヘッドホン短絡保護のイネーブル/ディスエーブル	RSV	SRCR	SHCR	SPDR	RSV	SRCL	SHCL	SPDL
14	0Eh	ヘッドホン短絡保護の検出時間	RSV	RSV	SDTR[1:0]		RSV	RSV	SDTL[1:0]	
15	0Fh	ヘッドホン短絡保護の解除時間、自動制御	RSV	SADR	SRTR[1:0]		RSV	SADL	SRTL[1:0]	
16	10h	ヘッドホン短絡保護状態の読み取り	RSV	RSV	RSV	SSHR	RSV	RSV	RSV	SSHL
17	11h	パワーアップ/ダウン（バイアス）	PBIS	RSV	RSV	RSV	RSV	PDCF[1:0]		PDCS
18	12h	パワーアップ/ダウン（アナログ）、 パワーアップ/ダウン時間	RSV	PABE	PAFE	PCOM	RSV	PDTM[2:0]		
19	13h	AMUTEピンにリンクしたミュート制御	MD12	MD34	MHPR	MHPL	ML2R	ML2L	ML1R	ML1L
20	14h	ADC12のアナログ入力MUX選択	RSV	AX1R[2:0]			RSV	AX1L[2:0]		
21	15h	ADC34のアナログ入力MUX選択	RSV	AX2R[2:0]			RSV	AX2L[2:0]		
22	16h	ADC12のアナログ入力ゲイン制御	RSV	RSV	AG1R[1:0]		RSV	RSV	AG1L[1:0]	
23	17h	ADC12のアナログ入力ゲイン制御	RSV	RSV	AG2R[1:0]		RSV	RSV	AG2L[1:0]	
24	18h	出力1のアナログ出力MUX選択	AL1R[3:0]				AL1L[3:0]			
25	19h	出力2のアナログ出力MUX選択	AL2R[3:0]				AL2L[3:0]			
26	1Ah	ヘッドホン出力のアナログ出力MUX選択	AHPR[3:0]				AHPL[3:0]			
27	1Bh	ライン出力のゲイン制御	GL2R[1:0]		GL2L[1:0]		GL1R[1:0]		GL1L[1:0]	
28	1Ch	ライン出力の2.0V <sub>RMS</sub> または2.4V <sub>RMS</sub> の選択	RSV	RSV	RSV	G242	RSV	RSV	RSV	G241
29	1Dh	クロック停止検出制御	RSV	RSV	RSV	RSV	RSV	RSV	ACTH	CHDE
30	1Eh	ヘッドホン出力音量制御	HUPE	RSV	HSUR	HSUL	RSV	RSV	RSV	HZRS
31	1Fh	Rチャンネルのヘッドホン・ミュートおよび 音量レベル設定	HMUL	HVOL[6:0]						
32	20h	Lチャンネルのヘッドホン・ミュートおよび 音量レベル設定	HMUR	HVOR[6:0]						
33	21h	システム・クロック出力ディスエーブル	RSV	RSV	SC6D	SC5D	SC4D	RSV	SC2D	SC1D
34	22h	マスタ・モードでのLRCKおよびBCK出力ディスエーブル	RSV	RSV	LB6D	LB5D	LB4D	LB3D	LB2D	LB1D
35	23h	内部フラグ読み取り	RSV	RD12FS[2:0]			RHMR	RHML	RSV	RHPI
36	24h	内部フラグ読み取り	RSV	RD34FS[2:0]			RDM4	RDM3	RDM2	RDM1
37	25h	内部フラグ読み取り	RSV	RA12FS[2:0]			RAM4	RAM3	RAM2	RAM1
38	26h	内部フラグ読み取り	RSV	RA34FS[2:0]			RDZ4	RDZ3	RDZ2	RDZ1
39	27h	内部フラグ読み取り	CGLD	RSV	RHZR	RHZL	RAZ4	RAZ3	RAZ2	RAZ1
40	28h	DAC12のデジタル・アッテネーターおよびミュート制御	D12E	RSV	DUC2	DUC1	RSV	RSV	RSV	DZ12
41	29h	DAC12のデジタル・ゲイン・ブーストおよび デジタル・ソフト・ミュート	RSV	RSV	RSV	RSV	DB12[1:0]		DMU2	DMU1
42	2Ah	DAC12 Lチャンネルの デジタル・アッテネーションレベル設定	DAT1[7:0]							
43	2Bh	DAC12 Rチャンネルの デジタル・アッテネーションレベル設定	DAT2[7:0]							
44	2Ch	DAC12のマスタ/スレーブ・インターフェイス形式	DMS12[3:0]				RSV	RSV	DFM12[1:0]	
45	2Dh	DAC12のディエンファシス・フィルタ制御	RSV	RSV	RSV	RSV	DM12	RSV	DF12[1:0]	
46	2Eh	DAC12のパワーアップ/ダウン、 オーバーサンプリング・レート制御	PD12	RSV	OV12[1:0]		ZR12	RSV	RSV	RSV

(1) RSV = Reserved ('0' データを書き込んでください)。

表30. モード制御レジスタ・マップ (続き)

レジスタ	16進	説明	B7	B6	B5	B4	B3	B2	B1	B0
50	32h	DAC34のデジタル・アッテネーションおよびミュート制御	D34E	RSV	DUC4	DUC3	RSV	RSV	RSV	DZ34
51	33h	DAC34のデジタル・ゲイン・ブーストおよびデジタル・ソフト・ミュート	RSV	RSV	RSV	RSV	DB34[1:0]		DMU4	DMU3
52	34h	DAC34 Lチャンネルのデジタル・アッテネーターレベル設定	DAT3[7:0]							
53	35h	DAC34 Rチャンネルのデジタル・アッテネーターレベル設定	DAT4[7:0]							
54	36h	DAC34のマスタ/スレーブ・インターフェイス形式	DMS34[3:0]				RSV	RSV	DFM34[1:0]	
55	37h	DAC34のディエンファシス・フィルタ制御	RSV	RSV	RSV	RSV	DM34	RSV	DF34[1:0]	
56	38h	DAC34のパワーアップ/ダウン、オーバーサンプリング・レート制御	PD34	RSV	OV34[1:0]		ZR34	RSV	RSV	RSV
80	50h	ADC12のデジタル・アッテネーションおよびミュート制御	A12E	RSV	AUC2	AUC1	RSV	RSV	RSV	AZ12
81	51h	ADC12のデジタル・ソフト・ミュート	RSV	FS12	RSV	RSV	RSV	RSV	AMU2	AMU1
82	52h	ADC12 Lチャンネルのデジタル・アッテネーターレベル設定	AAT1[7:0]							
83	53h	ADC12 Rチャンネルのデジタル・アッテネーターレベル設定	AAT2[7:0]							
84	54h	ADC12のマスタ/スレーブ・インターフェイス形式	AMS12[3:0]				HF12	RSV	AFM12[1:0]	
85	55h	ADC12のパワーアップ/ダウン	PA12	RSV	RSV	RSV	RSV	RSV	RSV	RSV
90	5Ah	ADC34のデジタル・アッテネーションおよびミュート制御	A34E	RSV	AUC4	AUC3	RSV	RSV	RSV	AZ34
91	5Bh	ADC34のデジタル・ソフト・ミュート	RSV	FS34	RSV	RSV	RSV	RSV	AMU4	AMU3
92	5Ch	ADC34 Lチャンネルのデジタル・アッテネーターレベル設定	AAT3[7:0]							
93	5Dh	ADC34 Rチャンネルのデジタル・アッテネーターレベル設定	AAT4[7:0]							
94	5Eh	ADC34のマスタ/スレーブ・インターフェイス形式	AMS34[3:0]				HF34	RSV	AFM34[1:0]	
95	5Fh	ADC34のパワーアップ/ダウン	PA34	RSV	RSV	RSV	RSV	RSV	RSV	RSV
101	65h	ポート1およびポート2のLRCK/BCK選択	LBS2[3:0]				LBS1[3:0]			
102	66h	ポート1およびポート2のDATA選択	DTS2[3:0]				DTS1[3:0]			
103	67h	ポート1およびポート2のSCK選択	RSV	SCS2[2:0]			RSV	SCS1[2:0]		
104	68h	ポート3およびポート4のLRCK/BCK選択	LBS4[3:0]				LBS3[3:0]			
105	69h	ポート3およびポート4のDATA選択	DTS4[3:0]				DTS3[3:0]			
106	6Ah	ポート3およびポート4のSCK選択	RSV	SCS4[2:0]			RSV	SCS3[2:0]		
107	6Bh	ポート5およびポート6のLRCK/BCK選択	LBS6[3:0]				LBS5[3:0]			
108	6Ch	ポート5およびポート6のDATA選択	DTS6[3:0]				DTS5[3:0]			
109	6Dh	ポート5およびポート6のSCK選択	RSV	SCS6[2:0]			RSV	SCS5[2:0]		
110	6Eh	DAC12およびDAC34のLRCK/BCK選択	D34LB[3:0]				D12LB[3:0]			
111	6Fh	DAC12およびDAC34のDATA選択	D34DT[3:0]				D12DT[3:0]			
112	70h	DAC12およびDAC34のSCK選択	RSV	D34S[2:0]			RSV	D12S[2:0]		
113	71h	未割り当て	RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
114	72h	未割り当て	RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
115	73h	未割り当て	RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
116	74h	ADC12およびADC34のLRCK/BCK選択	A34LB[3:0]				A12LB[3:0]			
117	75h	ADC12およびADC34のSCK選択	RSV	A34SC[2:0]			RSV	A12SC[2:0]		
118	76h	GPIO1およびGPIO2オーディオ・データ選択	GP2S[3:0]				GP1S[3:0]			

## レジスタ概要

### レジスタ01 (01h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
01	01h	リセット機能	MRST	SRST	RSV	RSV	RSV	RSV	RSV	RSV

#### MRST：他の内部回路を除く全レジスタのリセット

このビットは、レジスタ・データに対してのみリセット信号をイネーブルにします。MRST = '0' に設定すると、すべてのレジスタがデフォルト値に初期化されます。リセット・シーケンスの完了後、MRSTは自動的に '1' に設定されます。

デフォルト値：1

0	リセット ('0'への設定後自動的に'1'に設定)
1	非リセット (デフォルト)

#### SRST：全レジスタを含めた全内部回路のリセット

このビットは、内部システム・リセットをイネーブルにします。SRST = '0' に設定すると、レジスタを含むすべての回路が初期化されます。リセット・シーケンスの完了後、SRSTは自動的に '1' に設定されます。

デフォルト値：1

0	リセット ('0'への設定後自動的に'1'に設定)
1	非リセット (デフォルト)

### レジスタ08 (08h)

レジスタ	HEX	説明	B7	B6	B5	B4	B3	B2	B1	B0
08	08h	GPIOピン出力制御	RSV	RSV	RSV	RSV	RSV	GPO3	GPO2	GPO1
42	2Ah	DAC12 Lチャンネルのデジタル・アッテネーションレベル設定	DAT1[7:0]							

#### GPO1：汎用出力（ピン55）

#### GPO2：汎用出力（ピン56）

#### GPO3：汎用出力（ピン57）

この3ビットは、外部デバイスを制御する3つのGPIOピンを制御します。これらのレジスタ・データは、レジスタ9～11のビットGSL1[4:0]、GSL2[4:0]、およびGSL3[4:0]に '01000'、'01001'、または '01010' を設定することで有効になります。

デフォルト値：0

0	"Low"レベル出力 (デフォルト)
1	"High"レベル出力

## レジスタ09-12 (09h-0Ch)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
09	09h	GPIOポート1選択	RSV	RSV	RSV	GSL1[4:0]				
10	0Ah	GPIOポート2選択	RSV	RSV	RSV	GSL2[4:0]				
11	0Bh	GPIOポート3選択	RSV	RSV	RSV	GSL3[4:0]				
12	0Ch	非割り当て	RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV

GSL1[4:0] : GPO1機能選択 (ピン55)

GSL2[4:0] : GPO2機能選択 (ピン56)

GSL3[4:0] : GPO3機能選択 (ピン57)

3つのGPIOピンは、表31に示すように、入力フラグ、出力フラグ、および論理機能として使用できます。

デフォルト値：00000

表31. GPIO機能

GSL1-3[4:0]	GSL1[4:0]/GPIO1	GSL2[4:0]/GPIO2	GSL3[4:0]/GPIO3
00000	非割り当ておよび入力モード (デフォルト)	非割り当ておよび入力モード (デフォルト)	非割り当ておよび入力モード (デフォルト)
00001	ヘッドホンの挿入検出力	ヘッドホンの挿入検出力	ヘッドホンの挿入検出力
00010	ヘッドホンの挿入検出力	ヘッドホンの挿入検出力	ヘッドホンの挿入検出力
00011	ヘッドホン短絡検出状態、Lチャンネル	ヘッドホン短絡検出状態、Lチャンネル	ヘッドホン短絡検出状態、Lチャンネル
00100	ヘッドホン短絡検出状態、Rチャンネル	ヘッドホン短絡検出状態、Rチャンネル	ヘッドホン短絡検出状態、Rチャンネル
00101	デジタル入力のゼロ・フラグ出力 (DAC12)	デジタル入力のゼロ・フラグ出力 (DAC12)	デジタル入力のゼロ・フラグ出力 (DAC12)
00110	デジタル入力のゼロ・フラグ出力 (DAC34)	デジタル入力のゼロ・フラグ出力 (DAC34)	デジタル入力のゼロ・フラグ出力 (DAC34)
00111	デジタル入力のゼロ・フラグ出力 (DAC12およびDAC34)	デジタル入力のゼロ・フラグ出力 (DAC12およびDAC34)	デジタル入力のゼロ・フラグ出力 (DAC12およびDAC34)
01000	GPIO1ピンへの出力レジスタ・データ	GPIO1ピンへの出力レジスタ・データ	GPIO1ピンへの出力レジスタ・データ
01001	GPIO2ピンへの出力レジスタ・データ	GPIO2ピンへの出力レジスタ・データ	GPIO2ピンへの出力レジスタ・データ
01010	GPIO3ピンへの出力レジスタ・データ	GPIO3ピンへの出力レジスタ・データ	GPIO3ピンへの出力レジスタ・データ
01011	AND論理 (GPIO1 = 出力、GPIO2, 3 = 入力)	AND論理 (GPIO2 = 出力、GPIO1, 3 = 入力)	AND論理 (GPIO2 = 出力、GPIO1, 3 = 入力)
01100	NAND論理 (GPIO1 = 出力、GPIO2, 3 = 入力)	NAND論理 (GPIO2 = 出力、GPIO1, 3 = 入力)	NAND論理 (GPIO2 = 出力、GPIO1, 3 = 入力)
01101	OR論理 (GPIO1 = 出力、GPIO2, 3 = 入力)	OR論理 (GPIO2 = 出力、GPIO1, 3 = 入力)	OR論理 (GPIO2 = 出力、GPIO1, 3 = 入力)
01110	NOR論理 (GPIO1 = 出力、GPIO2, 3 = 入力)	NOR論理 (GPIO2 = 出力、GPIO1, 3 = 入力)	NOR論理 (GPIO2 = 出力、GPIO1, 3 = 入力)
01111	バッファ論理 (GPIO1 = 出力、GPIO2 = 入力)	バッファ論理 (GPIO2 = 出力、GPIO1 = 入力)	バッファ論理 (GPIO2 = 出力、GPIO1 = 入力)
10000	バッファ論理 (GPIO1 = 出力、GPIO3 = 入力)	バッファ論理 (GPIO2 = 出力、GPIO3 = 入力)	バッファ論理 (GPIO2 = 出力、GPIO3 = 入力)
10001	反転論理 (GPIO1 = 出力、GPIO2 = 入力)	反転論理 (GPIO2 = 出力、GPIO1 = 入力)	反転論理 (GPIO2 = 出力、GPIO1 = 入力)
10010	反転論理 (GPIO1 = 出力、GPIO3 = 入力)	反転論理 (GPIO2 = 出力、GPIO3 = 入力)	反転論理 (GPIO2 = 出力、GPIO3 = 入力)
その他	Reserved	Reserved	Reserved

## レジスタ13-16 (0Dh-10h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
13	0Dh	ヘッドホン短絡保護のイネーブル/ディスエーブル	RSV	SRCR	SHCR	SPDR	RSV	SRCL	SHCL	SPDL
14	0Eh	ヘッドホン短絡保護の検出時間	RSV	RSV	SDTR[1:0]		RSV	RSV	SDTL[1:0]	
15	0Fh	ヘッドホン短絡保護の解除時間、自動制御	RSV	SADR	SRTR[1:0]		RSV	SADL	SRTL[1:0]	
16	10h	ヘッドホン短絡保護状態の読み取り	RSV	RSV	RSV	SSHR	RSV	RSV	RSV	SSHL

**SRCR** : ヘッドホン出力の短絡保護のリセット、Rチャンネル

**SRCL** : ヘッドホン出力の短絡保護のリセット、Lチャンネル

これらのビットは、SRCR = SRCL = '1' に設定することでヘッドホン出力の短絡保護を初期化します。初期化の完了後、両方のレジスタのデータが自動的に '1' に設定されます。

デフォルト値 : 1

0	リセット ('0'への設定後自動的に'1'に設定)
1	通常動作 (デフォルト)

**SPDR** : ヘッドホン出力の短絡保護のディスエーブル、Rチャンネル

**SPDL** : ヘッドホン出力の短絡保護のディスエーブル、Lチャンネル

これらのビットは、ヘッドホン出力の短絡保護をディスエーブルにします。

デフォルト値 : 0

0	イネーブル (デフォルト)
1	ディスエーブル

**SDTR[1:0]** : ヘッドホン出力の短絡保護の検出時間制御、Rチャンネル

**SDTL[1:0]** : ヘッドホン出力の短絡保護の検出時間制御、Lチャンネル

これらのビットは、ヘッドホン出力で短絡が検出されるまでの連続時間を定義します。短絡時間が定義された時間に達しない場合、PCM5310は短絡保護をイネーブルにしません。

デフォルト値 : 11

00	$4096/f_S$ 、 $f_S = 48\text{kHz}$ 時は85.2ms
01	$8192/f_S$ 、 $f_S = 48\text{kHz}$ 時は170.4ms
10	$16384/f_S$ 、 $f_S = 48\text{kHz}$ 時は340.8ms
11	$32768/f_S$ 、 $f_S = 48\text{kHz}$ 時は681.6ms (デフォルト)

**SRTR[1:0]** : ヘッドホン出力の短絡保護の解除時間制御、Rチャンネル

**SRTL[1:0]** : ヘッドホン出力の短絡保護の解除時間制御、Lチャンネル

これらのビットは、短絡検出後に短絡保護が解除されるまでの時間を定義します。

デフォルト値 : 11

00	$4096/f_S$ 、 $f_S = 48\text{kHz}$ 時は85.2ms
01	$8192/f_S$ 、 $f_S = 48\text{kHz}$ 時は170.4ms
10	$16384/f_S$ 、 $f_S = 48\text{kHz}$ 時は340.8ms
11	$32768/f_S$ 、 $f_S = 48\text{kHz}$ 時は681.6ms (デフォルト)

SADR：ヘッドホン出力短絡保護の自動解除ディスエーブル、Rチャンネル

SADL：ヘッドホン出力短絡保護の自動解除ディスエーブル、Lチャンネル

これらのビットは、短絡検出時の自動パワーダウンをディスエーブルにします。

デフォルト値：0

0	イネーブル (デフォルト)
1	ディスエーブル

SSHR：ヘッドホン出力の短絡状態の読み取り、Rチャンネル

SSHL：ヘッドホン出力の短絡状態の読み取り、Lチャンネル

これらのビットは、I<sup>2</sup>Cインターフェイスを通してヘッドホンの短絡状態を読み取るために使用されます。状態が '1' の場合、ヘッドホン出力は短絡されています。

デフォルト値：0

0	短絡なし (デフォルト)
1	短絡

レジスタ17および18 (11hおよび12h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
17	11h	パワーアップ/ダウン (バイアス)	PBIS	RSV	RSV	RSV	RSV	PDCF[1:0]		PDCS
18	12h	パワーアップ/ダウン (アナログ)、 パワーアップ/ダウン時間	RSV	PABE	PAFE	PCOM	RSV	PDTM[2:0]		

PBIS：アナログ・バイアス回路のパワーアップ/ダウン制御

このビットは、アナログ・バイアス回路のパワーアップ/ダウンに使用されます。

デフォルト値：1

0	パワーアップ
1	パワーダウン (デフォルト)

PDCF[1:0]：パワーアップ/ダウン時間制御

これらのビットは、各サンプリング・レートのパワーアップ/ダウン時間を設定します。パワーアップ/ダウン時にサンプリング・レートが48kHzより高い場合は、このレジスタを設定してください。

デフォルト値：00

00	x1 (デフォルト)
01	x1/2
10	x1/4
11	Reserved

PDCS：パワーアップ/ダウン・クロック選択

PCM5310には、4つのDACチャンネルと4つのADCチャンネルに対して6つのクロック入力があります。パワーオン/オフ・シーケンスは、DAC12クロックまたはDAC34クロックを使用して開始されます。パワーアップ/ダウン・シーケンスに対しては、適切なクロック・ソースを選択する必要があります。

デフォルト値：0

0	パワーアップ/ダウンにDAC12クロックを使用 (デフォルト)
1	パワーアップ/ダウンにDAC34クロックを使用

### PAFE：入力MUXおよびゲイン・アンプのパワーアップ/ダウン制御

このビットは、入力MUXおよびゲイン・アンプのパワーアップ/ダウンを行います。

デフォルト値：1

0	パワーアップ
1	パワーダウン (デフォルト)

### PABE：出力MUX、ライン・アンプ、およびヘッドホン・アンプのパワーアップ/ダウン制御

このビットは、出力MUX、ライン・アンプ、およびヘッドホン・アンプのパワーアップ/ダウンを行います。

デフォルト値：1

0	パワーアップ
1	パワーダウン (デフォルト)

### PCOM：コモン電圧回路のパワーアップ/ダウン制御

このビットは、ADCおよびDACチャンネルのコモン電圧回路をパワーアップ/ダウンします。

デフォルト値：1

0	パワーアップ
1	パワーダウン (デフォルト)

### PDTM[2:0]：パワーアップ/ダウン時間制御

PCM5310のパワーアップ時間選択は、アナログ出力に対してグラウンド・レベルからコモン電圧までの時間を選択できます。PCM5310のパワーダウン時間選択は、パワーオン/オフ・シーケンスでのアナログ出力に対してコモン電圧からグラウンド・レベルまでの時間を選択できます。図32に示される時間は、48kHzのサンプリング・レートに対して定義されています。パワーアップ/ダウン・シーケンスでサンプリング・レートが48kHzより高い場合は、レジスタ17のビットPDCF[1:0]を設定してください。

デフォルト値：001

PDTM[2:0]	パワーアップ時間	パワーダウン時間
000	37.5 ms	75 ms
001	75 ms (デフォルト)	150 ms
010	150 ms	300 ms
011	300 ms	600 ms
100	1000 ms	2000 ms
101	Reserved	Reserved
110	Reserved	Reserved
111	Reserved	Reserved

## レジスタ19 (13h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
19	13h	AMUTEピンにリンクしたミュート制御	MD12	MD34	MHPR	MHPL	ML2R	ML2L	ML1R	ML1L

**MD12 : AMUTEピンにリンクしたデジタル入力ミュートのイネーブル/ディスエーブル (DAC12)**

**MD34 : AMUTEピンにリンクしたデジタル入力ミュートのイネーブル/ディスエーブル (DAC34)**

PCM5310には、ミュート制御ピン (AMUTE、ピン59) があります。AMUTE = '1' で、MD12 = '1' またはMD34 = '1' の場合、デジタル入力データのデジタル・ソフト・ミュートがイネーブルになります。AMUTE = '0' の場合、ミュートはディスエーブルです。

デフォルト値 : 0

0	AMUTEピンが"High"レベルまたは"Low"レベルに関係なく、ミュートをディスエーブル (デフォルト)
1	AMUTEピンが"High"レベルの場合、ミュートをイネーブル

**MHPR : AMUTEピンにリンクしたヘッドホン出力ミュートのイネーブル/ディスエーブル、Rチャンネル**

**MHPL : AMUTEピンにリンクしたヘッドホン出力ミュートのイネーブル/ディスエーブル、Lチャンネル**

PCM5310には、ミュート制御ピン (AMUTE、ピン59) があります。AMUTE = '1' で、MHPR = '1' またはMHPL = '1' の場合、ヘッドホン出力HPOLおよびHPORのアナログ・ミュートがイネーブルになります。AMUTE = '0' の場合、ミュートはディスエーブルです。

デフォルト値 : 1

0	AMUTEピンが"High"レベルまたは"Low"レベルに関係なく、ミュートをディスエーブル
1	AMUTEピンが"High"レベルの場合、ミュートをイネーブル (デフォルト)

**ML1R : AMUTEピンにリンクしたライン出力1ミュートのイネーブル/ディスエーブル、Rチャンネル**

**ML1L : AMUTEピンにリンクしたライン出力1ミュートのイネーブル/ディスエーブル、Lチャンネル**

PCM5310には、ミュート制御ピン (AMUTE、ピン59) があります。AMUTE = '1' で、ML1R = '1' またはML1L = '1' の場合、ライン出力LO1LおよびLO1Rのアナログ・ミュートがイネーブルになります。AMUTE = '0' の場合、ミュートはディスエーブルです。

デフォルト値 : 1

0	AMUTEピンが"High"レベルまたは"Low"レベルに関係なく、ミュートをディスエーブル
1	AMUTEピンが"High"レベルの場合、ミュートをイネーブル (デフォルト)

**MML2R : AMUTEピンにリンクしたライン出力2ミュートのイネーブル/ディスエーブル、Rチャンネル**

**MML2L : AMUTEピンにリンクしたライン出力2ミュートのイネーブル/ディスエーブル、Lチャンネル**

PCM5310には、ミュート制御ピン (AMUTE、ピン59) があります。AMUTE = '1' で、ML2R = '1' またはML2L = '1' の場合、ライン出力LO2LおよびLO2Rのアナログ・ミュートがイネーブルになります。AMUTE = '0' の場合、ミュートはディスエーブルです。

デフォルト値 : 1

0	AMUTEピンが"High"レベルまたは"Low"レベルに関係なく、ミュートをディスエーブル
1	AMUTEピンが"High"レベルの場合、ミュートをイネーブル (デフォルト)

## レジスタ20および21 (14hおよび15h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
20	14h	ADC12のアナログ入力MUX選択	RSV		AX1R[2:0]		RSV		AX1L[2:0]	
21	15h	ADC34のアナログ入力MUX選択	RSV		AX2R[2:0]		RSV		AX2L[2:0]	

AX1R[2:0] : ADC12のアナログ入力MUX選択、Rチャンネル

AX1L[2:0] : ADC12のアナログ入力MUX選択、Lチャンネル

AX2R[2:0] : ADC34のアナログ入力MUX選択、Rチャンネル

AX2L[2:0] : ADC34のアナログ入力MUX選択、Lチャンネル

PCM5310には、6つのステレオ入力があり、各ADCに対して1つのステレオ入力を選択できます。アナログ入力を切り替える際には、可聴ノイズ低減のためにデジタル・ソフト・ミュートを使用することを推奨します。詳細については、図44を参照してください。

デフォルト値 : 000

000	接続なし (デフォルト)
001	AIN1LまたはAIN1R
010	AIN2LまたはAIN2R
011	AIN3LまたはAIN3R
100	AIN4LまたはAIN4R
101	AIN5LまたはAIN5R
110	AIN6LまたはAIN6R
その他	Reserved

## レジスタ22および23 (16hおよび17h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
22	16h	ADC12のアナログ入力ゲイン制御	RSV	RSV	AG1R[1:0]		RSV	RSV	AG1L[1:0]	
23	17h	ADC34のアナログ入力ゲイン制御	RSV	RSV	AG2R[1:0]		RSV	RSV	AG2L[1:0]	

AG1R[1:0] : ADC12のアナログ入力ゲイン制御、Rチャンネル

AG1L[1:0] : ADC12のアナログ入力ゲイン制御、Lチャンネル

AG2R[1:0] : ADC34のアナログ入力ゲイン制御、Rチャンネル

AG2L[1:0] : ADC34のアナログ入力ゲイン制御、Lチャンネル

PCM5310には、各ADC入力の前にアナログ・ゲイン・アンプがあり、0dB ~ +9dBの範囲内にて3dBステップのゲイン設定プログラミングができます。詳細については、図28を参照してください。

デフォルト値 : 00

00	0 dB (デフォルト)
01	3 dB
10	6 dB
11	9 dB

## レジスタ24-26 (18h-1Ah)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
24	18h	出力1のアナログ出力MUX選択	AL1R[3:0]			AL1L[3:0]				
25	19h	出力2のアナログ出力MUX選択	AL2R[3:0]			AL2L[3:0]				
26	1Ah	ヘッドホン出力のアナログ出力MUX選択	AHPR[3:0]			AHPL[3:0]				

AL1R[3:0]：ライン出力1のアナログ出力MUX選択、Rチャンネル

AL1L[3:0]：ライン出力1のアナログ出力MUX選択、Lチャンネル

AL2R[3:0]：ライン出力2のアナログ出力MUX選択、Rチャンネル

AL2L[3:0]：ライン出力2のアナログ出力MUX選択、Lチャンネル

AHPR[3:0]：ヘッドホン出力のアナログ出力MUX選択、Rチャンネル

AHPL[3:0]：ヘッドホン出力のアナログ出力MUX選択、Lチャンネル

アナログ出力LO1L/LO1R、LO2L/LO2R、およびHPOL/HPORには、すべてのアナログ入力およびDAC出力のうちいずれか1つを選択できます。詳細については、図29を参照してください。

デフォルト値：0000

0000	接続なし (デフォルト)
0001	AIN1LまたはAIN1R
0010	AIN2LまたはAIN2R
0011	AIN3LまたはAIN3R
0100	AIN4LまたはAIN4R
0101	AIN5LまたはAIN5R
0110	AIN6LまたはAIN6R
0111	DAC12-LチャンネルまたはDAC12-Rチャンネル
1000	DAC34-LチャンネルまたはDAC34-Rチャンネル
その他	Reserved

## レジスタ27 (1Bh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
27	1Bh	ライン出力のゲイン制御	GL2R[1:0]		GL2L[1:0]		GL1R[1:0]		GL1L[1:0]	

GL2R[1:0]：ライン出力2のゲイン制御、Rチャンネル

GL2L[1:0]：ライン出力2のゲイン制御、Lチャンネル

GL1R[1:0]：ライン出力1のゲイン制御、Rチャンネル

GL1L[1:0]：ライン出力1のゲイン制御、Lチャンネル

各ライン出力LO1L、LO1R、LO2L、LO2Rのゲイン・レベルをそれぞれ0dB、-0.5dB、または-1.0dBから選択できます。

デフォルト値：00

00	0 dB (デフォルト)
01	-0.5 dB
10	-1.0 dB
11	アナログ入力～ライン出力を選択した場合に0 dB

## レジスタ28 (1Ch)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
28	1Ch	ライン出力の2.0Vrmsまたは2.4Vrmsの選択	RSV	RSV	RSV	G242	RSV	RSV	RSV	G241

**G242** : ライン出力2の2V<sub>RMS</sub>または2.4V<sub>RMS</sub>出力モード選択

**G241** : ライン出力1の2V<sub>RMS</sub>または2.4V<sub>RMS</sub>出力モード選択

ライン出力は、10kΩ負荷で2V<sub>RMS</sub>または2.4V<sub>RMS</sub>出力を駆動できます。外部機器で2V<sub>RMS</sub>を超える出力が必要な場合は、2.4V<sub>RMS</sub>設定の使用を推奨します。

デフォルト値 : 0

0	2 V <sub>RMS</sub> (デフォルト)
1	2.4 V <sub>RMS</sub>

## レジスタ29 (1Dh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
29	1Dh	クロック停止検出制御	RSV	RSV	RSV	RSV	RSV	RSV	ACTH	CHDE

**ACTH** : クロック停止検出制御のアクティブ化

**CHDE** : クロック停止検出のイネーブル

ACTHはクロック停止検出のパワーアップ/ダウン制御に使用され、CHDEはそのイネーブルに使用されます。ACTH = CHDE = '1'に設定すると、クロック停止検出がアクティブになり、イネーブルになります。

クロック停止検出を行うと、可聴ノイズを低減できます。DAC12およびDAC34へのクロック入力我突然停止した場合、アナログ出力はミュートされます。

デフォルト値 : 0

ACTH = 0	クロック停止検出が非アクティブ (デフォルト)
ACTH = 1	クロック停止検出がアクティブ

CHDE = 0	クロック停止検出がディスエーブル (デフォルト)
CHDE = 1	クロック停止検出がイネーブル

## レジスタ30 (1Eh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
30	1Eh	ヘッドホン出力音量制御	HUPE	RSV	HSUR	HSUL	RSV	RSV	RSV	HZRS

**HUPE** : ヘッドホン音量更新制御イネーブル

**HSUR** : ヘッドホン出力のヘッドホン音量設定更新、Rチャンネル

**HSUL** : ヘッドホン出力のヘッドホン音量設定更新、Lチャンネル

**HZRS** : ヘッドホン音量ゼロクロス・イネーブル

HUPE = '0' のとき、ヘッドホン出力の音量レベルは、HMUL/HMURおよびHVOL[6:0]/HVOR[6:0]を設定することで、それぞれ独立して任意のレベルに変更できます。HUPE = '1' のとき、音量レベルはHSUR = '1' またはHSUL = '1' の設定と同時に、任意のレベルに変更されます。どちらのビットも、'1' への設定後は自動的に '0' に設定されます。HUPE = '1' の間、HSURおよびHSULは音量レベル設定のたびに '1' に設定する必要があります。

HUPEおよびHZRSのデフォルト値：1。HSURおよびHSULのデフォルト値：0。

HUPE = 0	ヘッドホン音量更新制御がディスエーブル
HUPE = 1	ヘッドホン音量更新制御がイネーブル (デフォルト)

HSUR, HSUL = 0	音量設定データを更新しない (デフォルト)
HSUR, HSUL = 1	音量設定データを更新 ('1'への設定後自動的に'0'に設定)

HZRS = 0	ヘッドホン音量のゼロクロスがディスエーブル
HZRS = 1	ヘッドホン音量のゼロクロスがイネーブル (デフォルト)

## レジスタ31および32 (1Fhおよび20h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
31	1Fh	Rチャンネルのヘッドホン・ミュートおよび音量レベル設定	HMUL	HVOL[6:0]						
32	20h	Lチャンネルのヘッドホン・ミュートおよび音量レベル設定	HMUR	HVOR[6:0]						

**HMUL** : Lチャンネルのヘッドホン音量ミュート制御

**HMUR** : Rチャンネルのヘッドホン音量ミュート制御

ヘッドホン出力は、HMULおよびHMUR = '1' のときに、それぞれ独立してゼロ・レベルにミュートできます。これらの設定は、HVOLおよびHVORによる音量レベル設定よりも優先されます。レベルを変える際には、ヘッドホン出力に可聴ジッパー・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ30、HZRS) を選択することによって低減できます。

デフォルト値：0

0	ミュートはディスエーブル (デフォルト)
1	ミュートはイネーブル

**HVOL[6:0]** : Lチャンネルのヘッドホン音量レベル制御

**HVOR[6:0]** : Rチャンネルのヘッドホン音量レベル制御

ヘッドホン出力は、12dB ~ 70dBの範囲内にて1dBステップで独立してプログラミングできます。レベルを変える際には、ヘッドホン出力に可聴ジッパー・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ30、HZRS) を選択することによって低減できます。

デフォルト値：010 1101

表32. ヘッドホンの音量レベル制御

HVOL[6:0] HVOR[6:0]		ヘッドホン音量 レベル制御	HVOL[6:0] HVOR[6:0]		ヘッドホン音量 レベル制御	HVOL[6:0] HVOR[6:0]		ヘッドホン音量 レベル制御
111 1111	7F	12 dB	110 0010	62	-17 dB	100 0101	45	-46 dB
111 1110	7E	11 dB	110 0001	61	-18 dB	100 0100	44	-47 dB
111 1101	7D	10 dB	110 0000	60	-19 dB	100 0011	43	-48 dB
111 1100	7C	9 dB	101 1111	5F	-20 dB	100 0010	42	-49 dB
111 1011	7B	8 dB	101 1110	5E	-21 dB	100 0001	41	-50 dB
111 1010	7A	7 dB	101 1101	5D	-22 dB	100 0000	40	-51 dB
111 1001	79	6 dB	101 1100	5C	-23 dB	011 1111	3F	-52 dB
111 1000	78	5 dB	101 1011	5B	-24 dB	011 1110	3E	-53 dB
111 0111	77	4 dB	101 1010	5A	-25 dB	011 1101	3D	-54 dB
111 0110	76	3 dB	101 1001	59	-26 dB	011 1100	3C	-55 dB
111 0101	75	2 dB	101 1000	58	-27 dB	011 1011	3B	-56 dB
111 0100	74	1 dB	101 0111	57	-28 dB	011 1010	3A	-57 dB
111 0011	73	0 dB	101 0110	56	-29 dB	011 1001	39	-58 dB
1110010	72	-1 dB	101 0101	55	-30 dB	011 1000	38	-59 dB
111 0001	71	-2 dB	101 0100	54	-31 dB	011 0111	37	-60 dB
111 0000	70	-3 dB	101 0011	53	-32 dB	011 0110	36	-61 dB
110 1111	6F	-4 dB	101 0010	52	-33 dB	011 0101	35	-62 dB
110 1110	6E	-5 dB	101 0001	51	-34 dB	011 0100	34	-63 dB
110 1101	6D	-6 dB	101 0000	50	-35 dB	011 0011	33	-64 dB
110 1100	6C	-7 dB	100 1111	4F	-36 dB	011 0010	32	-65 dB
110 1011	6B	-8 dB	100 1110	4E	-37 dB	011 0001	31	-66 dB
110 1010	6A	-9 dB	100 1101	4D	-38 dB	011 0000	30	-67 dB
110 1001	69	-10 dB	100 1100	4C	-39 dB	010 1111	2F	-68 dB
110 1000	68	-11 dB	100 1011	4B	-40 dB	010 1110	2E	-69 dB
110 0111	67	-12 dB	100 1010	4A	-41 dB	010 1101	2D	-70 dB (デフォルト)
110 0110	66	-13 dB	100 1001	49	-42 dB	010 1100 ⋮ 000 0000	2C ⋮ 00	ミュート
110 0101	65	-14 dB	100 1000	48	-43 dB			
110 0100	64	-15 dB	100 0111	47	-44 dB			
110 0011	63	-16 dB	100 0110	46	-45 dB			

## レジスタ33 (21h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
33	21h	システム・クロック出力ディスエーブル	RSV	RSV	SC6D	SC5D	SC4D	SC3D	SC2D	SC1D

SC6D : SCK6出力ディスエーブル

SC5D : SCK5出力ディスエーブル

SC4D : SCK4出力ディスエーブル

SC3D : SCK3出力ディスエーブル

SC2D : SCK2出力ディスエーブル

SC1D : SCK1出力ディスエーブル

これらのビットは、出力モードでクロック・ポート (SCK1、SCK2、SCK3、SCK4、SCK5、SCK6) をディスエーブル (“Low” レベル出力) にするために使用されます。これらのビットは、レジスタ103 (SCS2[2:0]、SCS1[2:0])、レジスタ106 (SCS4[2:0]、SCS3[2:0])、およびレジスタ109 (SCS6[2:0]、SCS5[2:0]) とともに使用する必要があります。各クロック・ポートは、デフォルトで入力モードに設定されます。

デフォルト値 : 1

0	通常出力
1	ディスエーブル、“Low”レベル出力 (デフォルト)

## レジスタ34 (22h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
34	22h	マスタ・モードでのLRCKおよびBCK出力ディスエーブル	RSV	RSV	LB6D	LB5D	LB4D	LB3D	LB2D	LB1D

LB6D : LRCK6およびBCK6出力ディスエーブル

LB5D : LRCK5およびBCK5出力ディスエーブル

LB4D : LRCK4およびBCK4出力ディスエーブル

LB3D : LRCK3およびBCK3出力ディスエーブル

LB2D : LRCK2およびBCK2出力ディスエーブル

LB1D : LRCK1およびBCK1出力ディスエーブル

これらのビットは、出力モードでLRCK/BCKポート (LRCK1/BCK1、LRCK2/BCK2、LRCK3/BCK3、LRCK4/BCK4、LRCK5/BCK5、LRCK6/BCK6) をディスエーブル (“Low” レベル出力) にするために使用されます。これらのビットは、レジスタ101 (LBS2[3:0]、LBS1[3:0])、レジスタ104 (LBS4[3:0]、LBS3[3:0])、およびレジスタ107 (LBS6[3:0]、LBS5[3:0]) とともに使用する必要があります。各LRCK/BCKポートは、デフォルトで入力モードに設定されます。

デフォルト値 : 1

0	通常出力
1	ディスエーブル、“Low”レベル出力 (デフォルト)

## レジスタ35-39 (23h-27h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
35	23h	内部フラグ読み取り	RSV	RD12FS[2:0]			RHMR	RHML	RSV	RHPI
36	24h	内部フラグ読み取り	RSV	RD34FS[2:0]			RDM4	RDM3	RDM2	RDM1
37	25h	内部フラグ読み取り	RSV	RA12FS[2:0]			RAM4	RAM3	RAM2	RAM1
38	26h	内部フラグ読み取り	RSV	RA34FS[2:0]			RDZ4	RDZ3	RDZ2	RDZ1
39	27h	内部フラグ読み取り	CGLD	RSV	RHZR	RHZL	RAZ4	RAZ3	RAZ2	RAZ1

RD12FS[2:0] : DAC12のシステム・クロック $f_S$ レート検出状態の読み取り

RD34FS[2:0] : DAC34のシステム・クロック $f_S$ レート検出状態の読み取り

RA12FS[2:0] : ADC12のシステム・クロック $f_S$ レート検出状態の読み取り

RA34FS[2:0] : ADC34のシステム・クロック $f_S$ レート検出状態の読み取り

PCM5310には自動クロック・レート検出機能が内蔵され、それによりADCおよびDACチャンネルに分周クロックを供給できます。検出されたクロック・レートの結果は、I<sup>2</sup>Cポートを通して読み取ることができます。

デフォルト値 : 111

000	Reserved
001	128 $f_S$ (デフォルト)
010	192 $f_S$
011	256 $f_S$
100	384 $f_S$
101	512 $f_S$
110	768 $f_S$
111	Reserved (デフォルト)

RHMR : ヘッドホン出力のミュート状態の読み取り、Rチャンネル

RHML : ヘッドホン出力のミュート状態の読み取り、Lチャンネル

これらのビットは、ヘッドホン出力のミュート状態を読み取るために使用されます。結果はI<sup>2</sup>Cポートを通して読み取ることができます。

デフォルト値 : 0

0	ミュートはディスエーブル (デフォルト)
1	ミュートはイネーブル

RHPI : ヘッドホン出力のヘッドホン挿入検出状態の読み取り

このビットは、I<sup>2</sup>Cポートを通してヘッドホン出力の挿入検出状態を読み取るために使用されます。ヘッドホンの挿入は、GPIOポートおよびレジスタ09 ~ 11 (GSL1[4:0]、GSL2[4:0]、GSL3[4:0]) によって設定されます。

デフォルト値 : 0

0	ヘッドホン未挿入 (デフォルト)
1	ヘッドホン挿入

RDM4 : DAC34のデジタル・ミュート状態の読み取り、Rチャンネル

RDM3 : DAC34のデジタル・ミュート状態の読み取り、Lチャンネル

RDM2 : DAC12のデジタル・ミュート状態の読み取り、Rチャンネル

RDM1 : DAC12のデジタル・ミュート状態の読み取り、Lチャンネル

これらのビットは、I<sup>2</sup>Cポートを通して各DACチャンネルのデジタル・ソフト・ミュート状態を読み取るために使用されます。

デフォルト値 : 1

0	ミュートはディスエーブル
1	ミュートはイネーブル (デフォルト)

RAM4 : ADC34のデジタル・ミュート状態の読み取り、Rチャンネル

RAM3 : ADC34のデジタル・ミュート状態の読み取り、Lチャンネル

RAM2 : ADC12のデジタル・ミュート状態の読み取り、Rチャンネル

RAM1 : ADC12のデジタル・ミュート状態の読み取り、Lチャンネル

これらのビットは、I<sup>2</sup>Cポートを通して各ADCチャンネルのデジタル・ソフト・ミュート状態を読み取るために使用されます。

デフォルト値 : 1

0	ミュートはディスエーブル
1	ミュートはイネーブル (デフォルト)

RRHZR : ヘッドホンの音量ゼロクロス・タイムアウト状態の読み取り、Rチャンネル

RHZL : ヘッドホンの音量ゼロクロス・タイムアウト状態の読み取り、Lチャンネル

RDZ4 : DAC34のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Rチャンネル

RDZ3 : DAC34のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Lチャンネル

RDZ2 : DAC12のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Rチャンネル

RDZ1 : DAC12のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Lチャンネル

RAZ4 : ADC34のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Rチャンネル

RAZ3 : ADC34のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Lチャンネル

RAZ2 : ADC12のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Rチャンネル

RAZ1 : ADC12のデジタル・アッテネーター/ミュート・ゼロクロス・タイムアウト状態の読み取り、Lチャンネル

これらのビットは、I<sup>2</sup>Cポートを通して、各ADCおよびDACチャンネルおよびヘッドホン出力について、デジタル・ソフト・ミュートおよびデジタル・アッテネーターのゼロクロス・タイムアウト状態を読み取るために使用されます。

デフォルト値 : 0

0	未タイムアウト (デフォルト)
1	タイムアウト

CGLD : クロック・ソース変更時のグリッチ低減のディスエーブル

このビットは、クロック入力をSCK<sub>x</sub>からSCK<sub>x</sub>に変更したときの可聴ポップ・ノイズを低減するグリッチ低減回路を、ディスエーブルにします。

デフォルト値 : 0

0	イネーブル (デフォルト)
1	ディスエーブル

## レジスタ40および41 (28hおよび29h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
40	28h	DAC12のデジタル・アッテネーターおよびミュート制御	D12E	RSV	DUC2	DUC1	RSV	RSV	RSV	DZ12
41	29h	DAC12のデジタル・ゲイン・ブーストおよびデジタル・ソフト・ミュート	RSV	RSV	RSV	RSV	DB12[1:0]	DMU2	DMU1	

**D12E** : DAC12のデジタル・アッテネーターおよびミュート更新制御イネーブル

**DUC2** : DAC12のデジタル・アッテネーターおよびミュート設定更新、Rチャンネル

**DUC1** : DAC12のデジタル・アッテネーターおよびミュート設定更新、Lチャンネル

D12E = '0' のとき、DAC12のデジタル・アッテネーターレベルおよびミュート・レベルは、レジスタ41のビットDMU2およびDMU1、レジスタ42のビットDAT1[7:0]、およびレジスタ43のビットDAT2[7:0]を設定することで、それぞれ独立して任意のレベルに変更できます。D12E = '1' のとき、レベルはDUC2 = '1' またはDUC1 = '1' の設定と同時に任意のレベルに変更されます。どちらのビットも、'1' への設定後は自動的に '0' に設定されます。HUPE = '1' の間、DUC2およびDUC1は音量レベル設定のために '1' に設定する必要があります。

D12Eのデフォルト値：1。DUC2およびDUC1のデフォルト値：0。

D12E = 0	デジタル・アッテネーターおよびミュート更新制御がディスエーブル
D12E = 1	デジタル・アッテネーターおよびミュート更新制御がイネーブル (デフォルト)

DUC2, DUC1 = 0	レベルを更新しない (デフォルト)
DUC2, DUC1 = 1	レベルを更新 ('1'への設定後自動的に'0'に設定)

**DZ12** : DAC12のデジタル・アッテネーターおよびミュート・ゼロクロス・イネーブル

このビットは、ゼロクロス検出をイネーブルにします。ゼロクロス検出は、DACのデジタル・アッテネーターおよびミュート設定を変更する際のジッパー・ノイズを低減します。512/f<sub>S</sub>の期間 (サンプリング・レート48kHzの場合は10.6ms) にわたってゼロクロス・データが入力されなかった場合、タイムアウトが発生し、PCM5310の音量レベルが変化します。ゼロクロス検出は、連続ゼロ・データやDCデータに対しては使用できません。

デフォルト値：1

0	ディスエーブル
1	イネーブル (デフォルト)

**DB12[1:0]** : DAC12のデジタル・ゲイン・ブースト

これらのビットは、DAC12チャンネルへのデジタル・データ入力のゲインをデジタル・アッテネーションの前に増加させます。

デフォルト値：00

00	0dB (デフォルト)
01	6 dB
10	12 dB
11	18 dB

**DMU2** : DAC12のデジタル・ミュート制御、Rチャンネル

**DMU1** : DAC12のデジタル・ミュート制御、Lチャンネル

DMU2およびDMU1 = '1' のとき、PCM5310はDACのデジタル入力データを独立してゼロ・レベルにミュートできます。これらの設定は、レジスタ42のビットDAT1[7:0]およびDAT2[7:0]で設定されるアッテネーションレベル設定よりも優先されます。レベルを変える際には、アナログ出力に可聴ジッパー・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ40、DZ12) を選択することによって低減できます。

デフォルト値：0

0	ミュートはディスエーブル (デフォルト)
1	ミュートはイネーブル

## レジスタ42および43 (2Ahおよび2Bh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
42	2Ah	DAC12 Lチャンネルのデジタル・アッテネーターレベル設定	DAT1[7:0]							
43	2Bh	DAC12 Rチャンネルのデジタル・アッテネーターレベル設定	DAT2[7:0]							

DAT1[7:0] : DAC12のデジタル・アッテネーション設定、Lチャンネル

DAT2[7:0] : DAC12のデジタル・アッテネーション設定、Rチャンネル

DAC12のデジタル・アッテネーターは、0dB ~ -100dBの範囲内で0.5dBステップで独立して設定できます。レベルを変える際には、DAC12出力に可聴ジッター・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ40、DZ12) を選択することによって低減できます。

デフォルト値 : 1111 1111

表33. DAC12のデジタル・アッテネーションレベル設定

DAT1[7:0] DAT2[7:0]		デジタル・アッテネーション レベル設定									
1111 1111	FF	0 dB (デフォルト)	1100 1100	CC	-25.5 dB	1001 1001	99	-51 dB	0110 0110	66	-76.5 dB
1111 1110	FE	-0.5 dB	1100 1011	CB	-26 dB	1001 1000	98	-51.5 dB	0110 0101	65	-77 dB
1111 1101	FD	-1 dB	1100 1010	CA	-26.5 dB	1001 0111	97	-52 dB	0110 0100	64	-77.5 dB
1111 1100	FC	-1.5 dB	1100 1001	C9	-27 dB	1001 0110	96	-52.5 dB	0110 0011	63	-78 dB
1111 1011	FB	-2 dB	1100 1000	C8	-27.5 dB	1001 0101	95	-53 dB	0110 0010	62	-78.8 dB
1111 1010	FA	-2.5 dB	1100 0111	C7	-28 dB	1001 0100	94	-53.5 dB	0110 0001	61	-79 dB
1111 1001	F9	-3 dB	1100 0110	C6	-28.5 dB	1001 0011	93	-54 dB	0110 0000	60	-79.5 dB
1111 1000	F8	-3.5 dB	1100 0101	C5	-29 dB	1001 0010	92	-54.5 dB	0101 1111	5F	-80 dB
1111 0111	F7	-4 dB	1100 0100	C4	-29.5 dB	1001 0001	91	-55 dB	0101 1110	5E	-80.5 dB
1111 0110	F6	-4.5 dB	1100 0011	C3	-30 dB	1001 0000	90	-55.5 dB	0101 1101	5D	-81 dB
1111 0101	F5	-5 dB	1100 0010	C2	-30.5 dB	1000 1111	8F	-56 dB	0101 1100	5C	-81.5 dB
1111 0100	F4	-5.5 dB	1100 0001	C1	-31 dB	1000 1110	8E	-56.5 dB	0101 1011	5B	-82 dB
1111 0011	F3	-6 dB	1100 0000	C0	-31.5 dB	1000 1101	8D	-57 dB	0101 1010	5A	-82.5 dB
1111 0010	F2	-6.5 dB	1011 1111	BF	-32 dB	1000 1100	8C	-57.5 dB	0101 1001	59	-83 dB
1111 0001	F1	-7 dB	1011 1110	BE	-32.5 dB	1000 1011	8B	-58 dB	0101 1000	58	-83.5 dB
1111 0000	F0	-7.5 dB	1011 1101	BD	-33 dB	1000 1010	8A	-58.5 dB	0101 0111	57	-84 dB
1110 1111	EF	-8 dB	1011 1100	BC	-33.5 dB	1000 1001	89	-59 dB	0101 0110	56	-84.5 dB
1110 1110	EE	-8.5 dB	1011 1011	BB	-34 dB	1000 1000	88	-59.5 dB	0101 0101	55	-85 dB
1110 1101	ED	-9 dB	1011 1010	BA	-34.5 dB	1000 0111	87	-60 dB	0101 0100	54	-85.5 dB
1110 1100	EC	-9.5 dB	1011 1001	B9	-35 dB	1000 0110	86	-60.5 dB	0101 0011	53	-86 dB
1110 1011	EB	-10 dB	1011 1000	B8	-35.5 dB	1000 0101	85	-61 dB	0101 0010	52	-86.5 dB
1110 1010	EA	-10.5 dB	1011 0111	B7	-36 dB	1000 0100	84	-61.5 dB	0101 0001	51	-87 dB
1110 1001	E9	-11 dB	1011 0110	B6	-36.5 dB	1000 0011	83	-62 dB	0101 0000	50	-87.5 dB
1110 1000	E8	-11.5 dB	1011 0101	B5	-37 dB	1000 0010	82	-62.5 dB	0100 1111	4F	-88 dB
1110 0111	E7	-12 dB	1011 0100	B4	-37.5 dB	1000 0001	81	-63 dB	0100 1110	4E	-88.5 dB
1110 0110	E6	-12.5 dB	1011 0011	B3	-38 dB	1000 0000	80	-63.5 dB	0100 1101	4D	-89 dB
1110 0101	E5	-13 dB	1011 0010	B2	-38.5 dB	0111 1111	7F	-64 dB	0100 1100	4C	-89.5 dB
1110 0100	E4	-13.5 dB	1011 0001	B1	-39 dB	0111 1110	7E	-64.5 dB	0100 1011	4B	-90 dB
1110 0011	E3	-14 dB	1011 0000	B0	-39.5 dB	0111 1101	7D	-65 dB	0100 1010	4A	-90.5 dB
1110 0010	E2	-14.5 dB	1010 1111	AF	-40 dB	0111 1100	7C	-65.5 dB	0100 1001	49	-91 dB
1110 0001	E1	-15 dB	1010 1110	AE	-40.5 dB	0111 1011	7B	-66 dB	0100 1000	48	-91.5 dB
1110 0000	E0	-15.5 dB	1010 1101	AD	-41 dB	0111 1010	7A	-66.5 dB	0100 0111	47	-92 dB
1101 1111	DF	-16 dB	1010 1100	AC	-41.5 dB	0111 1001	79	-67 dB	0100 0110	46	-92.5 dB

表33. DAC12のデジタル・アッテネーションレベル設定 (続き)

DAT1[7:0] DAT2[7:0]		デジタル・アッテネーションレベル設定													
1101 1110	DE	-16.5 dB		1010 1011	AB	-42 dB		0111 1000	78	-67.5 dB		0100 0101	45	-93 dB	
1101 1101	DD	-17 dB		1010 1010	AA	-42.5 dB		0111 0111	77	-68 dB		0100 0100	44	-93.5 dB	
1101 1100	DC	-17.5 dB		1010 1001	A9	-43 dB		0111 0110	76	-68.5 dB		0100 0011	43	-94 dB	
1101 1011	DB	-18 dB		1010 1000	A8	-43.5 dB		0111 0101	75	-69 dB		0100 0010	42	-94.5 dB	
1101 1010	DA	-18.5 dB		1010 0111	A7	-44 dB		0111 0100	74	-69.5 dB		0100 0001	41	-95 dB	
1101 1001	D9	-19 dB		1010 0110	A6	-44.5 dB		0111 0011	73	-70 dB		0100 0000	40	-95.5 dB	
1101 1000	D8	-19.5 dB		1010 0101	A5	-45 dB		0111 0010	72	-70.5 dB		0011 1111	3F	-96 dB	
1101 0111	D7	-20 dB		1010 0100	A4	-45.5 dB		0111 0001	71	-71 dB		0011 1110	3E	-96.5 dB	
1101 0110	D6	-20.5 dB		1010 0011	A3	-46 dB		0111 0000	70	-71.5 dB		0011 1101	3D	-97 dB	
1101 0101	D5	-21 dB		1010 0010	A2	-46.5 dB		0110 1111	6F	-72 dB		0011 1100	3C	-97.5 dB	
1101 0100	D4	-21.5 dB		1010 0001	A1	-47 dB		0110 1110	6E	-72.5 dB		0011 1011	3B	-98 dB	
1101 0011	D3	-22 dB		1010 0000	A0	-47.5 dB		0110 1101	6D	-73 dB		0011 1010	3A	-98.5 dB	
1101 0010	D2	-22.5 dB		1001 1111	9F	-48 dB		0110 1100	6C	-73.5 dB		0011 1001	39	-99 dB	
1101 0001	D1	-23 dB		1001 1110	9E	-48.5 dB		0110 1011	6B	-74 dB		0011 1000	38	-99.5 dB	
1101 0000	D0	-23.5 dB		1001 1101	9D	-49 dB		0110 1010	6A	-74.5 dB		0011 0111	37	-100 dB	
1100 1111	CF	-24 dB		1001 1100	9C	-49.5 dB		0110 1001	69	-75 dB		0011 0110	36	ミュート	
1100 1110	CE	-24.5 dB		1001 1011	9B	-50 dB		0110 1000	68	-75.5 dB		0000 0000	00		
1100 1101	CD	-25 dB		1001 1010	9A	-50.5 dB		0110 0111	67	-76 dB					

レジスタ44および45 (2Chおよび2Dh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
44	2Ch	DAC12のマスタ/スレーブ・インターフェイス形式	DMS12[3:0]				RSV	RSV	DFM12[1:0]	
45	2Dh	DAC12のディエンファシス・フィルタ制御	RSV	RSV	RSV	RSV	DM12	RSV	DF12[1:0]	

DMS12[3:0] : DAC12のマスタ/スレーブ・オーディオ・インターフェイス設定

これらのビットは、マスタまたはスレーブ・モードを設定します。DAC12は、スレーブ・モードではポート1、ポート2、ポート3、ポート4、ポート5、またはポート6からLRCKおよびBCKを受信し、マスタ・モードではSCKからLRCKおよびBCKを生成します。

デフォルト値：1000

DMS12[3:0]	DAC12のマスタ/スレーブ・オーディオ・インターフェイス設定	DMS12[3:0]	DAC12のマスタ/スレーブ・オーディオ・インターフェイス設定
0000	Reserved	0000	スレーブ、システム・クロック $f_S$ 自動検出モード (デフォルト)
0001	マスタ、システム・クロック $768f_S$	1001	スレーブ、システム・クロック $768f_S$
0010	マスタ、システム・クロック $512f_S$	1010	スレーブ、システム・クロック $512f_S$
0011	マスタ、システム・クロック $384f_S$	1011	スレーブ、システム・クロック $384f_S$
0100	マスタ、システム・クロック $256f_S$	1100	スレーブ、システム・クロック $256f_S$
0101	マスタ、システム・クロック $192f_S$	1101	スレーブ、システム・クロック $192f_S$
0110	マスタ、システム・クロック $128f_S$	1110	スレーブ、システム・クロック $128f_S$
0111	Reserved	1111	Reserved

## DFM12[1:0] : DAC12のオーディオ・インターフェイス形式

これらのビットは、DAC12のオーディオ・データ形式をI<sup>2</sup>S、後詰め、前詰めから選択します。

デフォルト値 : 00

00	16~24ビット、I <sup>2</sup> S (デフォルト)
01	16~24ビット、前詰め
10	24ビット、後詰め
11	16ビット、後詰め

## DM12 : DAC12のディエンファシス・フィルタ・イネーブル

このビットは、DAC12のディエンファシス・フィルタをイネーブルにします。レジスタ45のビットDF12[1:0]を設定することでサンプリング・レートを選択できます。

デフォルト値 : 0

0	ディセーブル (デフォルト)
1	イネーブル

## DF12[1:0] : DAC12のディエンファシス・フィルタのサンプリング・レート選択

デジタル・ディエンファシス・フィルタは、補間フィルタの前に配置されています。32kHz、44.1kHz、または48kHzのサンプリング・レートに対応して、3つのうちいずれかのディエンファシス・フィルタを選択できます。

デフォルト値 : 00

00	44.1 kHz (デフォルト)
01	48 kHz
10	32 kHz
11	Reserved

## レジスタ46 (2Eh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
46	2Eh	DAC12のパワーアップ/ダウン、 オーバーサンプリング・レート制御	PD12	RSV	OV12[1:0]	ZR12	RSV	RSV	RSV	RSV

## PD12 : DAC12のパワーアップ/ダウン制御

このビットは、補間フィルタを含めたDAC12のパワーアップ/ダウンを制御します。

デフォルト値 : 1

0	パワーアップ
1	パワーダウン (デフォルト)

## OV12[1:0] : DAC12のオーバーサンプリング・レート制御

これらのビットは、DAC12デルタ・シグマ変調回路のオーバーサンプリング・レートの制御に使用されます。

デフォルト値 : 01

OV12	システム・クロック・レート		
	128 f <sub>S</sub> , 192 f <sub>S</sub>	256 f <sub>S</sub> , 384 f <sub>S</sub>	128 f <sub>S</sub> , 192 f <sub>S</sub>
00	16 f <sub>S</sub>	32 f <sub>S</sub>	64 f <sub>S</sub>
01 (デフォルト)	32 f <sub>S</sub>	64 f <sub>S</sub>	128 f <sub>S</sub>
10	—	—	—
11	32 f <sub>S</sub>	128 f <sub>S</sub> <sup>(1)</sup>	128 f <sub>S</sub> <sup>(1)</sup>

(1) f<sub>S</sub> = 48kHz未満

## ZR12：ゼロ・フラグ反転

このビットは、ゼロ・フラグ出力の極性を反転します。ZR12 = ‘0’ の場合、デジタル入力データが $1024/f_s$ にわたって連続してゼロであると、ゼロ・フラグが“Low”から“High”に変化します。レジスタ09～11 (GSL1[4:0]、GSL2[4:0]、GSL3[4:0]) を設定することで、ゼロ・フラグをGPIOピンから出力できます。

デフォルト値：0

0	バッファ出力 (デフォルト)
1	反転出力

## レジスタ50および51 (32hおよび33h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
50	32h	DAC34のデジタル・アッテネーターおよびミュート制御	D34E	RSV	DUC4	DUC3	RSV	RSV	RSV	DZ34
51	33h	DAC34のデジタル・ゲイン・ブーストおよびデジタル・ソフト・ミュート	RSV	RSV	RSV	RSV	DB34[1:0]	DMU4	DMU3	

**D34E：DAC34のデジタル・アッテネーターおよびミュート更新制御イネーブル**

**DUC4：DAC34のデジタル・アッテネーターおよびミュート設定更新、Rチャンネル**

**DUC3：DAC34のデジタル・アッテネーターおよびミュート設定更新、Lチャンネル**

D34E = ‘0’ のとき、DAC34のデジタル・アッテネーターレベルおよびミュート・レベルは、レジスタ51のビットDMU4およびDMU3、レジスタ52のビットDAT3[7:0]、およびレジスタ53のビットDAT4[7:0]を設定することで、それぞれ独立して任意のレベルに変更できます。D34E = ‘1’ のとき、レベルはDUC4 = ‘1’ またはDUC3 = ‘1’ の設定と同時に任意のレベルに変更されます。どちらのビットも、‘1’ への設定後は自動的に‘0’に設定されます。D34E = ‘1’ の間、DUC4およびDUC3は音量レベル設定のために‘1’に設定する必要があります。

D34Eのデフォルト値：1。DUC4およびDUC3のデフォルト値：0。

D34E = 0	デジタル・アッテネーションおよびミュート更新制御がディスエーブル
D34E = 1	デジタル・アッテネーションおよびミュート更新制御がイネーブル (デフォルト)

DUC4, DUC3 = 0	レベルを更新しない (デフォルト)
DUC4, DUC3 = 1	レベルを更新 (‘1’への設定後自動的に‘0’に設定)

**DZ34：DAC34のデジタル・アッテネーターおよびミュート・ゼロクロス・イネーブル**

このビットは、ゼロクロス検出をイネーブルにします。ゼロクロス検出は、DACのデジタル・アッテネーターおよびミュート設定を変更する際のジッパー・ノイズを低減します。512/ $f_s$ の期間 (サンプリング・レート48kHzの場合は10.6ms) にわたってゼロクロス・データが入力されなかった場合、タイムアウトが発生し、PCM5310の音量レベルが変化します。ゼロクロス検出は、連続ゼロ・データやDCデータに対しては使用できません。

デフォルト値：1

0	ディスエーブル
1	イネーブル (デフォルト)

**DB34[1:0]：DAC34のデジタル・ゲイン・ブースト**

これらのビットは、デジタルアッテネーションの前にDACへのデジタル・データ入力のゲインを増加させるために使用されます。

デフォルト値：00

00	0 dB (デフォルト)
01	6 dB
10	12 dB
11	18 dB

## DMU4 : DAC34のデジタル・ミュート制御、Rチャンネル

## DMU3 : DAC34のデジタル・ミュート制御、Lチャンネル

DMU4およびDMU3 = '1' のとき、PCM5310はDACのデジタル入力データを独立してゼロ・レベルにミュートできます。これらの設定は、レジスタ52および53のビットDAT3[7:0]およびDAT4[7:0]のアッテネーションレベル設定よりも優先されます。レベルを変える際には、アナログ出力に可聴ジッター・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ50、DZ34) を選択することによって低減できます。

デフォルト値 : 0

0	ミュートはディスエーブル (デフォルト)
1	ミュートはイネーブル

## レジスタ52および53 (34hおよび35h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
52	34h	DAC34 Lチャンネルのデジタル減衰レベル設定	DAT3[7:0]							
53	35h	DAC34 Rチャンネルのデジタル・アッテネーションレベル設定	DAT4[7:0]							

## DAT3[7:0] : DAC34のデジタル・アッテネーション設定、Lチャンネル

## DAT4[7:0] : DAC34のデジタル・アッテネーション設定、Rチャンネル

DAC34のデジタル・アッテネーターは、0dB ~ -100dBの範囲内で0.5dBステップで独立して設定できます。レベルを変える際には、DAC34出力に可聴ジッター・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ50、DZ34) を選択することによって低減できます。

デフォルト値 : 1111 1111

表34. DAC34のデジタル・アッテネーションレベル設定

DAT3[7:0] DAT4[7:0]	デジタル・アッテネーション レベル設定	DAT3[7:0] DAT4[7:0]	デジタル・アッテネーション レベル設定	DAT3[7:0] DAT4[7:0]	デジタル・アッテネーション レベル設定	DAT3[7:0] DAT4[7:0]	デジタル・アッテネーション レベル設定
1111 1111	FF	1100 1100	CC	1001 1001	99	0110 0110	66
1111 1110	FE	1100 1011	CB	1001 1000	98	0110 0101	65
1111 1101	FD	1100 1010	CA	1001 0111	97	0110 0100	64
1111 1100	FC	1100 1001	C9	1001 0110	96	0110 0011	63
1111 1011	FB	1100 1000	C8	1001 0101	95	0110 0010	62
1111 1010	FA	1100 0111	C7	1001 0100	94	0110 0001	61
1111 1001	F9	1100 0110	C6	1001 0011	93	0110 0000	60
1111 1000	F8	1100 0101	C5	1001 0010	92	0101 1111	5F
1111 0111	F7	1100 0100	C4	1001 0001	91	0101 1110	5E
1111 0110	F6	1100 0011	C3	1001 0000	90	0101 1101	5D
1111 0101	F5	1100 0010	C2	1000 1111	8F	0101 1100	5C
1111 0100	F4	1100 0001	C1	1000 1110	8E	0101 1011	5B
1111 0011	F3	1100 0000	C0	1000 1101	8D	0101 1010	5A
1111 0010	F2	1011 1111	BF	1000 1100	8C	0101 1001	59
1111 0001	F1	1011 1110	BE	1000 1011	8B	0101 1000	58
1111 0000	F0	1011 1101	BD	1000 1010	8A	0101 0111	57
1110 1111	EF	1011 1100	BC	1000 1001	89	0101 0110	56
1110 1110	EE	1011 1011	BB	1000 1000	88	0101 0101	55
1110 1101	ED	1011 1010	BA	1000 0111	87	0101 0100	54
1110 1100	EC	1011 1001	B9	1000 0110	86	0101 0011	53
1110 1011	EB	1011 1000	B8	1000 0101	85	0101 0010	52
1110 1010	EA	1011 0111	B7	1000 0100	84	0101 0001	51

表34. DAC34のデジタル・アッテネーションレベル設定 (続き)

DAT3[7:0] DAT4[7:0]		デジタル・ アッテネーション レベル設定									
1110 1001	E9	-11 dB	1011 0110	B6	-36.5 dB	1000 0011	83	-62 dB	0101 0000	50	-87.5 dB
1110 1000	E8	-11.5 dB	1011 0101	B5	-37 dB	1000 0010	82	-62.5 dB	0100 1111	4F	-88 dB
1110 0111	E7	-12 dB	1011 0100	B4	-37.5 dB	1000 0001	81	-63 dB	0100 1110	4E	-88.5 dB
1110 0110	E6	-12.5 dB	1011 0011	B3	-38 dB	1000 0000	80	-63.5 dB	0100 1101	4D	-89 dB
1110 0101	E5	-13 dB	1011 0010	B2	-38.5 dB	0111 1111	7F	-64 dB	0100 1100	4C	-89.5 dB
1110 0100	E4	-13.5 dB	1011 0001	B1	-39 dB	0111 1110	7E	-64.5 dB	0100 1011	4B	-90 dB
1110 0011	E3	-14 dB	1011 0000	B0	-39.5 dB	0111 1101	7D	-65 dB	0100 1010	4A	-90.5 dB
1110 0010	E2	-14.5 dB	1010 1111	AF	-40 dB	0111 1100	7C	-65.5 dB	0100 1001	49	-91 dB
1110 0001	E1	-15 dB	1010 1110	AE	-40.5 dB	0111 1011	7B	-66 dB	0100 1000	48	-91.5 dB
1110 0000	E0	-15.5 dB	1010 1101	AD	-41 dB	0111 1010	7A	-66.5 dB	0100 0111	47	-92 dB
1101 1111	DF	-16 dB	1010 1100	AC	-41.5 dB	0111 1001	79	-67 dB	0100 0110	46	-92.5 dB
1101 1110	DE	-16.5 dB	1010 1011	AB	-42 dB	0111 1000	78	-67.5 dB	0100 0101	45	-93 dB
1101 1101	DD	-17 dB	1010 1010	AA	-42.5 dB	0111 0111	77	-68 dB	0100 0100	44	-93.5 dB
1101 1100	DC	-17.5 dB	1010 1001	A9	-43 dB	0111 0110	76	-68.5 dB	0100 0011	43	-94 dB
1101 1011	DB	-18 dB	1010 1000	A8	-43.5 dB	0111 0101	75	-69 dB	0100 0010	42	-94.5 dB
1101 1010	DA	-18.5 dB	1010 0111	A7	-44 dB	0111 0100	74	-69.5 dB	0100 0001	41	-95 dB
1101 1001	D9	-19 dB	1010 0110	A6	-44.5 dB	0111 0011	73	-70 dB	0100 0000	40	-95.5 dB
1101 1000	D8	-19.5 dB	1010 0101	A5	-45 dB	0111 0010	72	-70.5 dB	0011 1111	3F	-96 dB
1101 0111	D7	-20 dB	1010 0100	A4	-45.5 dB	0111 0001	71	-71 dB	0011 1110	3E	-96.5 dB
1101 0110	D6	-20.5 dB	1010 0011	A3	-46 dB	0111 0000	70	-71.5 dB	0011 1101	3D	-97 dB
1101 0101	D5	-21 dB	1010 0010	A2	-46.5 dB	0110 1111	6F	-72 dB	0011 1100	3C	-97.5 dB
1101 0100	D4	-21.5 dB	1010 0001	A1	-47 dB	0110 1110	6E	-72.5 dB	0011 1011	3B	-98 dB
1101 0011	D3	-22 dB	1010 0000	A0	-47.5 dB	0110 1101	6D	-73 dB	0011 1010	3A	-98.5 dB
1101 0010	D2	-22.5 dB	1001 1111	9F	-48 dB	0110 1100	6C	-73.5 dB	0011 1001	39	-99 dB
1101 0001	D1	-23 dB	1001 1110	9E	-48.5 dB	0110 1011	6B	-74 dB	0011 1000	38	-99.5 dB
1101 0000	D0	-23.5 dB	1001 1101	9D	-49 dB	0110 1010	6A	-74.5 dB	0011 0111	37	-100 dB
1100 1111	CF	-24 dB	1001 1100	9C	-49.5 dB	0110 1001	69	-75 dB	0011 0110	36	ミュート
1100 1110	CE	-24.5 dB	1001 1011	9B	-50 dB	0110 1000	68	-75.5 dB	∴	∴	
1100 1101	CD	-25 dB	1001 1010	9A	-50.5 dB	0110 0111	67	-76 dB	0000 0000	00	

## レジスタ54および55（36hおよび37h）

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
54	36h	DAC34のマスタ/スレーブ・インターフェイス形式	DMS34[3:0]				RSV	RSV	DFM34[1:0]	
55	37h	DAC34のディエンファシス・フィルタ制御	RSV	RSV	RSV	RSV	DM34	RSV	DF34[1:0]	

### DMS34[3:0] : DAC34のマスタ/スレーブ・オーディオ・インターフェイス設定

これらのビットは、マスタまたはスレーブ・モードを設定します。DAC34は、スレーブ・モードではポート1、ポート2、ポート3、ポート4、ポート5、またはポート6からLRCKおよびBCKを受信し、マスタ・モードではSCKからLRCKおよびBCKを生成します。

デフォルト値：1000

DMS34[3:0]	DAC34のマスタ/スレーブ・オーディオ・インターフェイス設定	DMS34[3:0]	DAC34のマスタ/スレーブ・オーディオ・インターフェイス設定
0000	Reserved	1000	スレーブ、システム・クロック $f_S$ 自動検出モード（デフォルト）
0001	マスタ、システム・クロック $768f_S$	1001	スレーブ、システム・クロック $768f_S$
0010	マスタ、システム・クロック $512f_S$	1010	スレーブ、システム・クロック $512f_S$
0011	マスタ、システム・クロック $384f_S$	1011	スレーブ、システム・クロック $384f_S$
0100	マスタ、システム・クロック $256f_S$	1100	スレーブ、システム・クロック $256f_S$
0101	マスタ、システム・クロック $192f_S$	1101	スレーブ、システム・クロック $192f_S$
0110	マスタ、システム・クロック $128f_S$	1110	スレーブ、システム・クロック $128f_S$
0111	Reserved	1111	Reserved

### DFM34[1:0] : DAC34のオーディオ・インターフェイス形式

これらのビットは、DAC34のオーディオ・データ形式をI2S、後詰め、前詰めから選択します。

デフォルト値：00

00	16~24ビット、I <sup>2</sup> S（デフォルト）
01	16~24ビット、前詰め
10	24ビット、後詰め
11	16ビット、後詰め

### DM34 : DAC34のディエンファシス・フィルタ・イネーブル

このビットは、DAC34のディエンファシス・フィルタをイネーブルにします。レジスタ55のビットDF34[1:0]を設定することで周波数を選択できます。

デフォルト値：0

0	ディスエーブル（デフォルト）
1	イネーブル

### DF34[1:0] : DAC34のディエンファシス・フィルタのサンプリング・レート選択

デジタル・ディエンファシス・フィルタは、補間フィルタの前に配置されています。32kHz、44.1kHz、または48kHzのサンプリング・レートに対応して、3つのうちのいずれかのディエンファシス・フィルタを選択できます。

デフォルト値：00

00	44.1 kHz（デフォルト）
01	48 kHz
10	32 kHz
11	Reserved

## レジスタ56 (38h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
56	38h	DAC34のパワーアップ/ダウン、 オーバーサンプリング・レート制御	PD34	RSV	OV34[1:0]		ZR34	RSV	RSV	RSV

### PD34 : DAC34のパワーアップ/ダウン制御

このビットは、補間フィルタを含めたDAC34のパワーアップ/ダウンを制御します。

デフォルト値 : 1

0	パワーアップ
1	パワーダウン (デフォルト)

### OV34[1:0] : DAC34のオーバーサンプリング・レート制御

これらのビットは、DAC34デルタ・シグマ変調回路のオーバーサンプリング・レートを制御します。

デフォルト値 : 01

OV34	システム・クロック・レート		
	128 f <sub>S</sub> , 192 f <sub>S</sub>	256 f <sub>S</sub> , 384 f <sub>S</sub>	128 f <sub>S</sub> , 192 f <sub>S</sub>
00	16 f <sub>S</sub>	32 f <sub>S</sub>	64 f <sub>S</sub>
01 (デフォルト)	32 f <sub>S</sub>	64 f <sub>S</sub>	128 f <sub>S</sub>
10		—	—
11	32 f <sub>S</sub>	128 f <sub>S</sub> <sup>(1)</sup>	128 f <sub>S</sub> <sup>(1)</sup>

(1) f<sub>S</sub>=48kHz未満

### ZR34 : ゼロ・フラグ反転

このビットは、ゼロ・フラグ出力の極性を反転します。ZR34 = '0' の場合、入力データが1024/f<sub>S</sub>にわたってゼロであると、ゼロ・フラグが“High”になります。これは、GPIOポートおよびレジスタ09～11のビットGSL1[4:0]、GSL2[4:0]、GSL3[4:0]によって設定されます。

デフォルト値 : 0

0	バッファ出力 (デフォルト)
1	反転出力

## レジスタ80および81 (50hおよび51h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
80	50h	ADC12のデジタル減衰およびミュート制御	A12E	RSV	AUC2	AUC1	RSV	RSV	RSV	AZ12
81	51h	ADC12のデジタル・ソフト・ミュート	RSV	FS12	RSV	RSV	RSV	RSV	AMU2	AMU1

**A12E** : ADC12のデジタル・アッテネーターおよびミュート更新制御イネーブル

**AUC2** : ADC12のデジタル・アッテネーターおよびミュート設定更新、Rチャンネル

**AUC1** : ADC12のデジタル・アッテネーターおよびミュート設定更新、Lチャンネル

A12E = '0' のとき、ADC12のデジタル・アッテネーションレベルおよびミュート・レベルは、レジスタ81のビットAMU2およびAMU1、レジスタ82のビットAAT1[7:0]、およびレジスタ83のビットAAT2[7:0]を設定することで、それぞれ独立して任意のレベルに変更できます。A12E = '1' のとき、レベルはAUC2 = '1' またはAUC1 = '1' の設定と同時に任意のレベルに変更されます。どちらのビットも、'1' への設定後は自動的に '0' に設定されます。A12E = '1' の間、AUC2およびAUC1は音量レベル設定のたびに '1' に設定する必要があります。

A12Eのデフォルト値 : 1。AUC2およびAUC1のデフォルト値 : 0。

A12E = 0	デジタル・アッテネーターおよびミュート更新制御がディスエーブル
A12E = 1	デジタル・アッテネーターおよびミュート更新制御がイネーブル (デフォルト)

AUC2, AUC1 = 0	レベルを更新しない (デフォルト)
AUC2, AUC1 = 1	レベルを更新 ('1'への設定後自動的に'0'に設定)

**AZ12** : ADC12のデジタル・アッテネーターおよびミュート・ゼロクロス・イネーブル

このビットは、ゼロクロス検出をイネーブルにします。ゼロクロス検出は、ADCのデジタル・アッテネーターおよびミュート設定を変更する際のジッパー・ノイズを低減します。512/ $f_s$ の期間 (サンプリング・レート48kHzの場合は10.6ms) にわたってゼロクロス・データが入力されなかった場合、タイムアウトが発生し、PCM5310の音量レベルが変化します。ゼロクロス検出は、連続ゼロ・データやDCデータに対しては使用できません。

デフォルト値 : 1

0	ディスエーブル
1	イネーブル (デフォルト)

**FS12** : ADC12のサンプリング・レート選択

このビットは、ADS12のサンプリング・レートの選択に使用されます。サンプリング・レートが48kHzより高い場合は、FS12を '1' に設定する必要があります。

デフォルト値 : 0

0	$f_s \leq 48 \text{ kHz}$ (デフォルト)
1	$f_s > 48 \text{ kHz}$

**AMU2** : ADC12のデジタル・ミュート制御、Rチャンネル

**AMU1** : ADC12のデジタル・ミュート制御、Lチャンネル

AMU2およびAMU1 = '1' のとき、PCM5310はDACのデジタル入力データを独立してゼロ・レベルにミュートできます。これらの設定は、レジスタ82および83のビットAAT1[7:0]およびAAT2[7:0]の減衰レベル設定よりも優先されます。レベルを変える際には、アナログ出力に可聴ジッパー・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ80、AZ12) を選択することによって低減できます。

デフォルト値 : 0

0	ミュートはディスエーブル (デフォルト)
1	ミュートはイネーブル

レジスタ82および83 (52hおよび53h)

レジスタ	16進	説明	B7	B6	B5	B4	B3	B2	B1	B0
82	52h	ADC12 Lチャンネルのデジタル・アッテネーターレベル設定	AAT1[7:0]							
83	53h	ADC12 Rチャンネルのデジタル・アッテネーターレベル設定	AAT2[7:0]							

AAT1[7:0] : ADC12のデジタル・アッテネーター設定、Lチャンネル

AAT2[7:0] : ADC12のデジタル・アッテネーター設定、Rチャンネル

ADC12のデジタル・アッテネーターは、20dB～-100dBの範囲内で0.5dBステップで独立して設定できます。レベルを変える際には、ADC12出力に可聴ジッター・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ80、AZ12) を選択することによって低減できます。

デフォルト値 : 1101 0111

表35. ADC12のデジタル・アッテネーションレベル設定

AAT1[7:0] AAT2[7:0]		デジタル・アッテネーションレベル設定									
1111 1111	FF	20 dB	1100 0010	C2	-10.5 dB	1000 0101	85	-41 dB	0100 1000	48	-71.5 dB
1111 1110	FE	19.5 dB	1100 0001	C1	-11 dB	1000 0100	84	-41.5 dB	0100 0111	47	-72 dB
1111 1101	FD	19 dB	1100 0000	C0	-11.5 dB	1000 0011	83	-42 dB	0100 0110	46	-72.5 dB
1111 1100	FC	18.5 dB	1011 1111	BF	-12 dB	1000 0010	82	-42.5 dB	0100 0101	45	-73 dB
1111 1011	FB	18 dB	1011 1110	BE	-12.5 dB	1000 0001	81	-43 dB	0100 0100	44	-73.5 dB
1111 1010	FA	17.5 dB	1011 1101	BD	-13 dB	1000 0000	80	-43.5 dB	0100 0011	43	-74 dB
1111 1001	F9	17 dB	1011 1100	BC	-13.5 dB	0111 1111	7F	-44 dB	0100 0010	42	-74.5 dB
1111 1000	F8	16.5 dB	1011 1011	BB	-14 dB	0111 1110	7E	-44.5 dB	0100 0001	41	-75 dB
1111 0111	F7	16 dB	1011 1010	BA	-14.5 dB	0111 1101	7D	-45 dB	0100 0000	40	-75.5 dB
1111 0110	F6	15.5 dB	1011 1001	B9	-15 dB	0111 1100	7C	-45.5 dB	0011 1111	3F	-76 dB
1111 0101	F5	15 dB	1011 1000	B8	-15.5 dB	0111 1011	7B	-46 dB	0011 1110	3E	-76.5 dB
1111 0100	F4	14.5 dB	1011 0111	B7	-16 dB	0111 1010	7A	-46.5 dB	0011 1101	3D	-77 dB
1111 0011	F3	14 dB	1011 0110	B6	-16.5 dB	0111 1001	79	-47 dB	0011 1100	3C	-77.5 dB
1111 0010	F2	13.5 dB	1011 0101	B5	-17 dB	0111 1000	78	-47.5 dB	0011 1011	3B	-78 dB
1111 0001	F1	13 dB	1011 0100	B4	-17.5 dB	0111 0111	77	-48 dB	0011 1010	3A	-78.8 dB
1111 0000	F0	12.5 dB	1011 0011	B3	-18 dB	0111 0110	76	-48.5 dB	0011 1001	39	-79 dB
1110 1111	EF	12 dB	1011 0010	B2	-18.5 dB	0111 0101	75	-49 dB	0011 1000	38	-79.5 dB
1110 1110	EE	11.5 dB	1011 0001	B1	-19 dB	0111 0100	74	-49.5 dB	0011 0111	37	-80 dB
1110 1101	ED	11 dB	1011 0000	B0	-19.5 dB	0111 0011	73	-50 dB	0011 0110	36	-80.5 dB
1110 1100	EC	10.5 dB	1010 1111	AF	-20 dB	0111 0010	72	-50.5 dB	0011 0101	35	-81 dB
1110 1011	EB	10 dB	1010 1110	AE	-20.5 dB	0111 0001	71	-51 dB	0011 0100	34	-81.5 dB
1110 1010	EA	9.5 dB	1010 1101	AD	-21 dB	0111 0000	70	-51.5 dB	0011 0011	33	-82 dB
1110 1001	E9	9 dB	1010 1100	AC	-21.5 dB	0110 1111	6F	-52 dB	0011 0010	32	-82.5 dB
1110 1000	E8	8.5 dB	1010 1011	AB	-22 dB	0110 1110	6E	-52.5 dB	0011 0001	31	-83 dB
1110 0111	E7	8 dB	1010 1010	AA	-22.5 dB	0110 1101	6D	-53 dB	0011 0000	30	-83.5 dB
1110 0110	E6	7.5 dB	1010 1001	A9	-23 dB	0110 1100	6C	-53.5 dB	0010 1111	2F	-84 dB
1110 0101	E5	7 dB	1010 1000	A8	-23.5 dB	0110 1011	6B	-54 dB	0010 1110	2E	-84.5 dB
1110 0100	E4	6.5 dB	1010 0111	A7	-24 dB	0110 1010	6A	-54.5 dB	0010 1101	2D	-85 dB
1110 0011	E3	6 dB	1010 0110	A6	-24.5 dB	0110 1001	69	-55 dB	0010 1100	2C	-85.5 dB
1110 0010	E2	5.5 dB	1010 0101	A5	-25 dB	0110 1000	68	-55.5 dB	0010 1011	2B	-86 dB
1110 0001	E1	5 dB	1010 0100	A4	-25.5 dB	0110 0111	67	-56 dB	0010 1010	2A	-86.5 dB
1110 0000	E0	4.5 dB	1010 0011	A3	-26 dB	0110 0110	66	-56.5 dB	0010 1001	29	-87 dB
1101 1111	DF	4 dB	1010 0010	A2	-26.5 dB	0110 0101	65	-57 dB	0010 1000	28	-87.5 dB

表35. ADC12のデジタル・アッテネーションレベル設定 (続き)

AAT1[7:0] AAT2[7:0]		デジタル・ アッテネーション レベル設定									
1101 1110	DE	3.5 dB	1010 0001	A1	-27 dB	0110 0100	64	-57.5 dB	0010 0111	27	-88 dB
1101 1101	DD	3 dB	1010 0000	A0	-27.5 dB	0110 0011	63	-58 dB	0010 0110	26	-88.5 dB
1101 1100	DC	2.5 dB	1001 1111	9F	-28 dB	0110 0010	62	-58.5 dB	0010 0101	25	-89 dB
1101 1011	DB	2 dB	1001 1110	9E	-28.5 dB	0110 0001	61	-59 dB	0010 0100	24	-89.5 dB
1101 1010	DA	1.5 dB	1001 1101	9D	-29 dB	0110 0000	60	-59.5 dB	0010 0011	23	-90 dB
1101 1001	D9	1 dB	1001 1100	9C	-29.5 dB	0101 1111	5F	-60 dB	0010 0010	22	-90.5 dB
1101 1000	D8	0.5 dB	1001 1011	9B	-30 dB	0101 1110	5E	-60.5 dB	0010 0001	21	-91 dB
1101 0111	D7	0 dB (デフォルト)	1001 1010	9A	-30.5 dB	0101 1101	5D	-61 dB	0010 0000	20	-91.5 dB
1101 0110	D6	-0.5 dB	1001 1001	99	-31 dB	0101 1100	5C	-61.5 dB	0001 1111	1F	-92 dB
1101 0101	D5	-1 dB	1001 1000	98	-31.5 dB	0101 1011	5B	-62 dB	0001 1110	1E	-92.5 dB
1101 0100	D4	-1.5 dB	1001 0111	97	-32 dB	0101 1010	5A	-62.5 dB	0001 1101	1D	-93 dB
1101 0011	D3	-2 dB	1001 0110	96	-32.5 dB	0101 1001	59	-63 dB	0001 1100	1C	-93.5 dB
1101 0010	D2	-2.5 dB	1001 0101	95	-33 dB	0101 1000	58	-63.5 dB	0001 1011	1B	-94 dB
1101 0001	D1	-3 dB	1001 0100	94	-33.5 dB	0101 0111	57	-64 dB	0001 1010	1A	-94.5 dB
1101 0000	D0	-3.5 dB	1001 0011	93	-34 dB	0101 0110	56	-64.5 dB	0001 1001	19	-95 dB
1100 1111	CF	-4 dB	1001 0010	92	-34.5 dB	0101 0101	55	-65 dB	0001 1000	18	-95.5 dB
1100 1110	CE	-4.5 dB	1001 0001	91	-35 dB	0101 0100	54	-65.5 dB	0001 0111	17	-96 dB
1100 1101	CD	-5 dB	1001 0000	90	-35.5 dB	0101 0011	53	-66 dB	0001 0110	16	-96.5 dB
1100 1100	CC	-5.5 dB	1000 1111	8F	-36 dB	0101 0010	52	-66.5 dB	0001 0101	15	-97 dB
1100 1011	CB	-6 dB	1000 1110	8E	-36.5 dB	0101 0001	51	-67 dB	0001 0100	14	-97.5 dB
1100 1010	CA	-6.5 dB	1000 1101	8D	-37 dB	0101 0000	50	-67.5 dB	0001 0011	13	-98 dB
1100 1001	C9	-7 dB	1000 1100	8C	-37.5 dB	0100 1111	4F	-68 dB	0001 0010	12	-98.5 dB
1100 1000	C8	-7.5 dB	1000 1011	8B	-38 dB	0100 1110	4E	-68.5 dB	0001 0001	11	-99 dB
1100 0111	C7	-8 dB	1000 1010	8A	-38.5 dB	0100 1101	4D	-69 dB	0001 0000	10	-99.5 dB
1100 0110	C6	-8.5 dB	1000 1001	89	-39 dB	0100 1100	4C	-69.5 dB	0000 1111	0F	-100 dB
1100 0101	C5	-9 dB	1000 1000	88	-39.5 dB	0100 1011	4B	-70 dB	0000 1110	0E	ミュート
1100 0100	C4	-9.5 dB	1000 0111	87	-40 dB	0100 1010	4A	-70.5 dB	0000 1101	0D	
1100 0011	C3	-10 dB	1000 0110	86	-40.5 dB	0100 1001	49	-71 dB	0000 0000	00	

## レジスタ84 (54h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
84	54h	ADC12のマスタ/スレーブ・インターフェイス形式	AMS12[3:0]				HF12	RSV	AFM12[1:0]	

### AMS12[3:0] : ADC12のマスタ/スレーブ・オーディオ・インターフェイス設定

これらのビットは、マスタまたはスレーブ・モードを設定します。ADC12は、スレーブ・モードではポート1、ポート2、ポート3、ポート4、ポート5、またはポート6からLRCKおよびBCKを受信し、マスタ・モードではSCKからLRCKおよびBCKを生成します。

デフォルト値：1000

AMS12[3:0]	ADC12のマスタ/スレーブ・オーディオ・インターフェイス設定	AMS12[3:0]	ADC12のマスタ/スレーブ・オーディオ・インターフェイス設定
0000	Reserved	1000	スレーブ、システム・クロック $f_S$ 自動検出モード (デフォルト)
0001	マスタ、システム・クロック $768f_S$	1001	スレーブ、システム・クロック $768f_S$
0010	マスタ、システム・クロック $512f_S$	1010	スレーブ、システム・クロック $512f_S$
0011	マスタ、システム・クロック $384f_S$	1011	スレーブ、システム・クロック $384f_S$
0100	マスタ、システム・クロック $256f_S$	1100	スレーブ、システム・クロック $256f_S$
0101	Reserved	1101	Reserved
0110	Reserved	1110	Reserved
0111	Reserved	1111	Reserved

### HF12 : ADC12のハイパス・フィルタ・ディスエーブル

このビットは、ADC12のデジタル・ハイパス・フィルタをディスエーブルにします。

デフォルト値：0

0	( $0.019f_S/1000$ ) Hz (デフォルト)
1	オフ

### AFM12[1:0] : ADC12のオーディオ・インターフェイス形式

これらのビットは、ADC12のオーディオ・データ形式をI<sup>2</sup>S、後詰め、前詰めから選択します。

デフォルト値：00

00	16~24ビット、I <sup>2</sup> S (デフォルト)
01	16~24ビット、前詰め
10	24ビット、後詰め
11	16ビット、後詰め

## レジスタ85 (55h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
85	55h	ADC12のパワーアップ/ダウン	PA12	RSV						

### PA12：ADC12のパワーアップ/ダウン制御

このビットは、デシメーション・フィルタを含めたADC12のパワーアップ/ダウンを制御します。

デフォルト値：1

0	パワーアップ
1	パワーダウン (デフォルト)

## レジスタ90 (5Ah)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
90	5Ah	ADC34のデジタル・アッテネーター およびミュート制御	A34E	RSV	AUC4	AUC3	RSV	RSV	RSV	AZ34

### A34E：ADC34のデジタル・アッテネーターおよびミュート更新制御イネーブル

### AUC4：ADC34のデジタル・アッテネーターおよびミュート設定更新、Rチャンネル

### AUC3：ADC34のデジタル・アッテネーションおよびミュート設定更新、Lチャンネル

A34E = '0' のとき、ADC12のデジタル・アッテネーターレベルおよびミュート・レベルは、レジスタ91のビットAMU4およびAMU3、レジスタ92のビットAAT3[7:0]、およびレジスタ93のビットAAT4[7:0]を設定することで、それぞれ独立して任意のレベルに変更できます。A34E = '1' のとき、レベルはAUC4 = '1' またはAUC3 = '1' の設定と同時に任意のレベルに変更されます。どちらのビットも、'1' への設定後は自動的に '0' に設定されます。A34E = '1' の間、AUC4およびAUC3は音量レベル設定のたびに '1' に設定する必要があります。

A34Eのデフォルト値：1。AUC4およびAUC3のデフォルト値：0。

A34E = 0	デジタル・アッテネーションおよびミュート更新制御がディスエーブル
A34E = 1	デジタル・アッテネーションおよびミュート更新制御がイネーブル (デフォルト)

AUC4, AUC3 = 0	レベルを更新しない (デフォルト)
AUC4, AUC3 = 1	レベルを更新 ('1'への設定後自動的に'0'に設定)

### AZ34：ADC34のデジタル減衰およびミュート・ゼロクロス・イネーブル

このビットは、ゼロクロス検出をイネーブルにします。ゼロクロス検出は、ADCのデジタル・アッテネーターおよびミュート設定を変更する際のジッター・ノイズを低減します。512/f<sub>S</sub>の期間 (サンプリング・レート48kHzの場合は10.6ms) にわたってゼロクロス・データが入力されなかった場合、タイムアウトが発生し、PCM5310の音量レベルが変化します。ゼロクロス検出は、連続ゼロ・データやDCデータに対しては使用できません。

デフォルト値：1

0	ディスエーブル
1	イネーブル (デフォルト)

## レジスタ91 (5Bh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
91	5Bh	ADC34のデジタル・ソフト・ミュート	RSV	FS34	RSV	RSV	RSV	RSV	AMU4	AMU3

FS34：ADC34のサンプリング・レート選択

このビットは、ADC34のサンプリング・レートを設定します。サンプリング・レートが48kHzより高い場合は、FS34を‘1’に設定する必要があります。

デフォルト値：0

0	$f_s \leq 48 \text{ kHz}$ (デフォルト)
1	$f_s > 48 \text{ kHz}$

## AMU4：ADC34のデジタル・ミュート制御、Rチャンネル

## AMU3：ADC34のデジタル・ミュート制御、Lチャンネル

AMU4およびAMU3 = ‘1’ のとき、PCM5310はDACのデジタル入力データを独立してゼロ・レベルにミュートできます。これらの設定は、レジスタ92および93のビットAAT3[7:0]およびAAT4[7:0]の減衰レベル設定よりも優先されます。レベルを変える際には、アナログ出力に可聴ジッター・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ90、AZ34) を選択することによって低減できます。

デフォルト値：0

0	ミュートはディスエーブル (デフォルト)
1	ミュートはイネーブル

## レジスタ92および93 (5Chおよび5Dh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
92	5Ch	ADC34 Lチャンネルのデジタル・アッテネーションレベル設定	AAT3[7:0]							
93	5Dh	ADC34 Rチャンネルのデジタル・アッテネーションレベル設定	AAT4[7:0]							

## AAT3[7:0]：ADC34のデジタル・アッテネーター設定、Lチャンネル

## AAT4[7:0]：ADC34のデジタル・アッテネーター設定、Rチャンネル

ADC34のデジタル・アッテネーターは、20dB～-100dBの範囲内で0.5dBステップで独立して設定できます。レベルを変える際には、ADC34出力に可聴ジッター・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ90、AZ34) を選択することによって低減できます。

デフォルト値：1101 0111

表36. ADC34のデジタル・アッテネーションレベル設定

AAT1[7:0] AAT2[7:0]		デジタル・アッテネーションレベル設定									
1111 1111	FF	20 dB	1100 0010	C2	-10.5 dB	1000 0101	85	-41 dB	0100 1000	48	-71.5 dB
1111 1110	FE	19.5 dB	1100 0001	C1	-11 dB	1000 0100	84	-41.5 dB	0100 0111	47	-72 dB
1111 1101	FD	19 dB	1100 0000	C0	-11.5 dB	1000 0011	83	-42 dB	0100 0110	46	-72.5 dB
1111 1100	FC	18.5 dB	1011 1111	BF	-12 dB	1000 0010	82	-42.5 dB	0100 0101	45	-73 dB
1111 1011	FB	18 dB	1011 1110	BE	-12.5 dB	1000 0001	81	-43 dB	0100 0100	44	-73.5 dB
1111 1010	FA	17.5 dB	1011 1101	BD	-13 dB	1000 0000	80	-43.5 dB	0100 0011	43	-74 dB
1111 1001	F9	17 dB	1011 1100	BC	-13.5 dB	0111 1111	7F	-44 dB	0100 0010	42	-74.5 dB
1111 1000	F8	16.5 dB	1011 1011	BB	-14 dB	0111 1110	7E	-44.5 dB	0100 0001	41	-75 dB
1111 0111	F7	16 dB	1011 1010	BA	-14.5 dB	0111 1101	7D	-45 dB	0100 0000	40	-75.5 dB
1111 0110	F6	15.5 dB	1011 1001	B9	-15 dB	0111 1100	7C	-45.5 dB	0011 1111	3F	-76 dB
1111 0101	F5	15 dB	1011 1000	B8	-15.5 dB	0111 1011	7B	-46 dB	0011 1110	3E	-76.5 dB
1111 0100	F4	14.5 dB	1011 0111	B7	-16 dB	0111 1010	7A	-46.5 dB	0011 1101	3D	-77 dB
1111 0011	F3	14 dB	1011 0110	B6	-16.5 dB	0111 1001	79	-47 dB	0011 1100	3C	-77.5 dB

表36. ADC34のデジタル・アッテネーションレベル設定 (続き)

AAT1[7:0] AAT2[7:0]		デジタル・アッテネーションレベル設定									
1111 0010	F2	13.5 dB	1011 0101	B5	-17 dB	0111 1000	78	-47.5 dB	0011 1011	3B	-78 dB
1111 0001	F1	13 dB	1011 0100	B4	-17.5 dB	0111 0111	77	-48 dB	0011 1010	3A	-78.8 dB
1111 0000	F0	12.5 dB	1011 0011	B3	-18 dB	0111 0110	76	-48.5 dB	0011 1001	39	-79 dB
1110 1111	EF	12 dB	1011 0010	B2	-18.5 dB	0111 0101	75	-49 dB	0011 1000	38	-79.5 dB
1110 1110	EE	11.5 dB	1011 0001	B1	-19 dB	0111 0100	74	-49.5 dB	0011 0111	37	-80 dB
1110 1101	ED	11 dB	1011 0000	B0	-19.5 dB	0111 0011	73	-50 dB	0011 0110	36	-80.5 dB
1110 1100	EC	10.5 dB	1010 1111	AF	-20 dB	0111 0010	72	-50.5 dB	0011 0101	35	-81 dB
1110 1011	EB	10 dB	1010 1110	AE	-20.5 dB	0111 0001	71	-51 dB	0011 0100	34	-81.5 dB
1110 1010	EA	9.5 dB	1010 1101	AD	-21 dB	0111 0000	70	-51.5 dB	0011 0011	33	-82 dB
1110 1001	E9	9 dB	1010 1100	AC	-21.5 dB	0110 1111	6F	-52 dB	0011 0010	32	-82.5 dB
1110 1000	E8	8.5 dB	1010 1011	AB	-22 dB	0110 1110	6E	-52.5 dB	0011 0001	31	-83 dB
1110 0111	E7	8 dB	1010 1010	AA	-22.5 dB	0110 1101	6D	-53 dB	0011 0000	30	-83.5 dB
1110 0110	E6	7.5 dB	1010 1001	A9	-23 dB	0110 1100	6C	-53.5 dB	0010 1111	2F	-84 dB
1110 0101	E5	7 dB	1010 1000	A8	-23.5 dB	0110 1011	6B	-54 dB	0010 1110	2E	-84.5 dB
1110 0100	E4	6.5 dB	1010 0111	A7	-24 dB	0110 1010	6A	-54.5 dB	0010 1101	2D	-85 dB
1110 0011	E3	6 dB	1010 0110	A6	-24.5 dB	0110 1001	69	-55 dB	0010 1100	2C	-85.5 dB
1110 0010	E2	5.5 dB	1010 0101	A5	-25 dB	0110 1000	68	-55.5 dB	0010 1011	2B	-86 dB
1110 0001	E1	5 dB	1010 0100	A4	-25.5 dB	0110 0111	67	-56 dB	0010 1010	2A	-86.5 dB
1110 0000	E0	4.5 dB	1010 0011	A3	-26 dB	0110 0110	66	-56.5 dB	0010 1001	29	-87 dB
1101 1111	DF	4 dB	1010 0010	A2	-26.5 dB	0110 0101	65	-57 dB	0010 1000	28	-87.5 dB
1101 1110	DE	3.5 dB	1010 0001	A1	-27 dB	0110 0100	64	-57.5 dB	0010 0111	27	-88 dB
1101 1101	DD	3 dB	1010 0000	A0	-27.5 dB	0110 0011	63	-58 dB	0010 0110	26	-88.5 dB
1101 1100	DC	2.5 dB	1001 1111	9F	-28 dB	0110 0010	62	-58.5 dB	0010 0101	25	-89 dB
1101 1011	DB	2 dB	1001 1110	9E	-28.5 dB	0110 0001	61	-59 dB	0010 0100	24	-89.5 dB
1101 1010	DA	1.5 dB	1001 1101	9D	-29 dB	0110 0000	60	-59.5 dB	0010 0011	23	-90 dB
1101 1001	D9	1 dB	1001 1100	9C	-29.5 dB	0101 1111	5F	-60 dB	0010 0010	22	-90.5 dB
1101 1000	D8	0.5 dB	1001 1011	9B	-30 dB	0101 1110	5E	-60.5 dB	0010 0001	21	-91 dB
1101 0111	D7	0 dB (デフォルト)	1001 1010	9A	-30.5 dB	0101 1101	5D	-61 dB	0010 0000	20	-91.5 dB
1101 0110	D6	-0.5 dB	1001 1001	99	-31 dB	0101 1100	5C	-61.5 dB	0001 1111	1F	-92 dB
1101 0101	D5	-1 dB	1001 1000	98	-31.5 dB	0101 1011	5B	-62 dB	0001 1110	1E	-92.5 dB
1101 0100	D4	-1.5 dB	1001 0111	97	-32 dB	0101 1010	5A	-62.5 dB	0001 1101	1D	-93 dB
1101 0011	D3	-2 dB	1001 0110	96	-32.5 dB	0101 1001	59	-63 dB	0001 1100	1C	-93.5 dB
1101 0010	D2	-2.5 dB	1001 0101	95	-33 dB	0101 1000	58	-63.5 dB	0001 1011	1B	-94 dB
1101 0001	D1	-3 dB	1001 0100	94	-33.5 dB	0101 0111	57	-64 dB	0001 1010	1A	-94.5 dB
1101 0000	D0	-3.5 dB	1001 0011	93	-34 dB	0101 0110	56	-64.5 dB	0001 1001	19	-95 dB
1100 1111	CF	-4 dB	1001 0010	92	-34.5 dB	0101 0101	55	-65 dB	0001 1000	18	-95.5 dB
1100 1110	CE	-4.5 dB	1001 0001	91	-35 dB	0101 0100	54	-65.5 dB	0001 0111	17	-96 dB
1100 1101	CD	-5 dB	1001 0000	90	-35.5 dB	0101 0011	53	-66 dB	0001 0110	16	-96.5 dB
1100 1100	CC	-5.5 dB	1000 1111	8F	-36 dB	0101 0010	52	-66.5 dB	0001 0101	15	-97 dB
1100 1011	CB	-6 dB	1000 1110	8E	-36.5 dB	0101 0001	51	-67 dB	0001 0100	14	-97.5 dB
1100 1010	CA	-6.5 dB	1000 1101	8D	-37 dB	0101 0000	50	-67.5 dB	0001 0011	13	-98 dB
1100 1001	C9	-7 dB	1000 1100	8C	-37.5 dB	0100 1111	4F	-68 dB	0001 0010	12	-98.5 dB
1100 1000	C8	-7.5 dB	1000 1011	8B	-38 dB	0100 1110	4E	-68.5 dB	0001 0001	11	-99 dB
1100 0111	C7	-8 dB	1000 1010	8A	-38.5 dB	0100 1101	4D	-69 dB	0001 0000	10	-99.5 dB
1100 0110	C6	-8.5 dB	1000 1001	89	-39 dB	0100 1100	4C	-69.5 dB	0000 1111	0F	-100 dB
1100 0101	C5	-9 dB	1000 1000	88	-39.5 dB	0100 1011	4B	-70 dB	0000 1110	0E	ミュー ト
1100 0100	C4	-9.5 dB	1000 0111	87	-40 dB	0100 1010	4A	-70.5 dB	⋮	⋮	
1100 0011	C3	-10 dB	1000 0110	86	-40.5 dB	0100 1001	49	-71 dB	0000 0000	00	

## レジスタ94 (5Eh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
94	5Eh	ADC34のマスタ/スレーブ・インターフェイス形式	AMS34[3:0]				HF34	RSV	AFM34[1:0]	

### AMS34[3:0] : ADC34のマスタ/スレーブ・オーディオ・インターフェイス設定

これらのビットは、マスタまたはスレーブ・モードを設定します。ADC34は、スレーブ・モードではポート1、ポート2、ポート3、ポート4、ポート5、またはポート6からLRCKおよびBCKを受信し、マスタ・モードではSCKからLRCKおよびBCKを生成します。

デフォルト値：1000

AMS34[3:0]	ADC34のマスタ/スレーブ・オーディオ・インターフェイス設定	AMS34[3:0]	ADC34のマスタ/スレーブ・オーディオ・インターフェイス設定
0000	Reserved	1000	スレーブ、システム・クロック $f_S$ 自動検出モード (デフォルト)
0001	マスタ、システム・クロック $768f_S$	1001	スレーブ、システム・クロック $768f_S$
0010	マスタ、システム・クロック $512f_S$	1010	スレーブ、システム・クロック $512f_S$
0011	マスタ、システム・クロック $384f_S$	1011	スレーブ、システム・クロック $384f_S$
0100	マスタ、システム・クロック $256f_S$	1100	スレーブ、システム・クロック $256f_S$
0101	Reserved	1101	Reserved
0110	Reserved	1110	Reserved
0111	Reserved	1111	Reserved

### HF34 : ADC34のハイパス・フィルタ・ディスエーブル

このビットは、ADC34のデジタル・ハイパス・フィルタをディスエーブルにします。

デフォルト値：0

0	( $0.019f_S/1000$ ) Hz (デフォルト)
1	オフ

### AFM34[1:0] : ADC34のオーディオ・インターフェイス形式

これらのビットは、ADC34のオーディオ・データ形式をI<sup>2</sup>S、後詰め、前詰めから選択します。

デフォルト値：00

00	16~24ビット、I <sup>2</sup> S (デフォルト)
01	16~24ビット、前詰め
10	24ビット、後詰め
11	16ビット、後詰め

## レジスタ95 (5Fh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
95	5Fh	ADC34のパワーアップ/ダウン	PA34	RSV						

### PA34 : ADC34のパワーアップ/ダウン制御

このビットは、デシメーション・フィルタを含めたADC34のパワーアップ/ダウンを制御します。

デフォルト値：1

0	パワーアップ
1	パワーダウン (デフォルト)

## レジスタ101 (65h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
101	65h	ポート1およびポート2のLRCK/BCK選択	LBS2[3:0]				LBS1[3:0]			

### LBS2[3:0]：ポート2のLRCK/BCK選択 (MUX\_P2BL)

これらのビットは、ポート2のLRCKおよびBCKの接続に使用されます。LRCK1/BCK1～LRCK6/BCK6およびマスタ・モード時のADC/DACのLRCK/BCKのうち、任意の組み合わせをポート2に接続できます。図47に、ポート2の詳細図を示します。

デフォルト値：0001

0000	LRCK1およびBCK1の出力
0001	LRCK2およびBCK2の出力 (デフォルト)
0010	LRCK3およびBCK3の出力
0011	LRCK4およびBCK4の出力
0100	LRCK5およびBCK5の出力
0101	LRCK6およびBCK6の出力
0110	マスタ・モードのDAC12からのLRCKおよびBCKの出力
0111	マスタ・モードのDAC34からのLRCKおよびBCKの出力
1000	マスタ・モードのADC12からのLRCKおよびBCKの出力
1001	マスタ・モードのADC34からのLRCKおよびBCKの出力
その他	Reserved

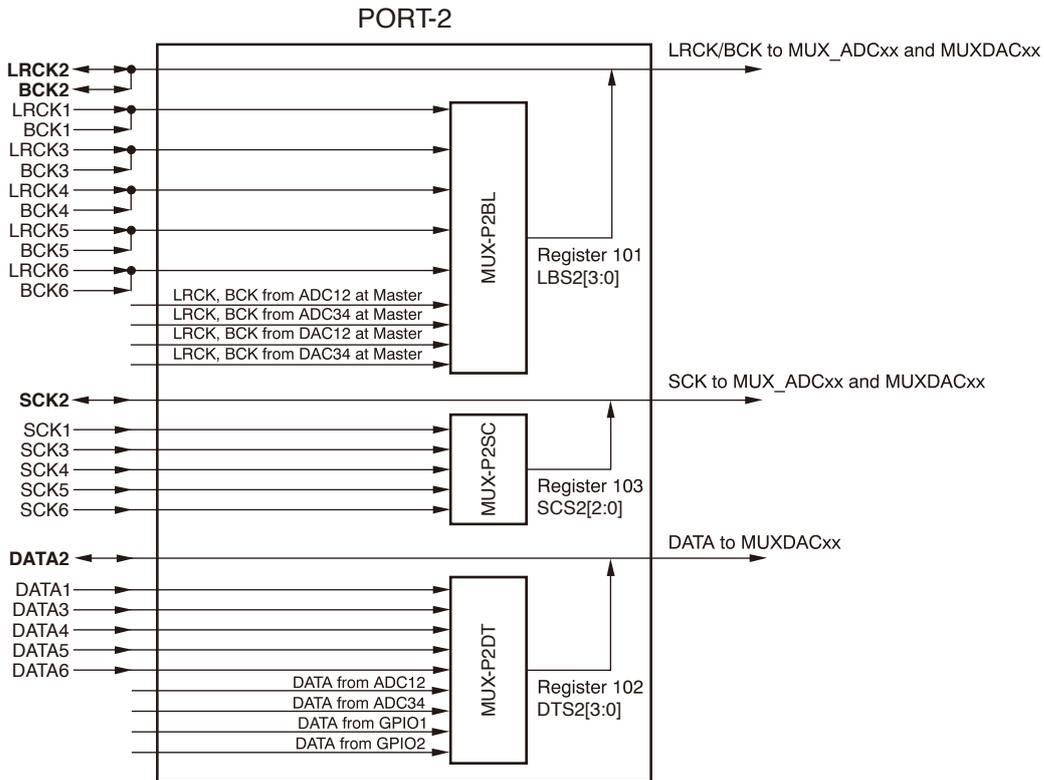


図47. ポート2の詳細図

## LBS1[3:0] : ポート1のLRCK/BCK選択 (MUX\_P2BL)

これらのビットは、ポート1のLRCKおよびBCKの接続に使用されます。LRCK1/BCK1 ~ LRCK6/BCK6およびマスタ・モード時のADC/DACのLRCK/BCKのうち、任意の組み合わせをポート1に接続できます。図48に、ポート1の詳細図を示します。

デフォルト値 : 0000

0000	LRCK1およびBCK1の入力 (デフォルト)
0001	LRCK2およびBCK2の出力
0010	LRCK3およびBCK3の出力
0011	LRCK4およびBCK4の出力
0100	LRCK5およびBCK5の出力
0101	LRCK6およびBCK6の出力
0110	マスタ・モードのDAC12からのLRCKおよびBCKの出力
0111	マスタ・モードのDAC34からのLRCKおよびBCKの出力
1000	マスタ・モードのADC12からのLRCKおよびBCKの出力
1001	マスタ・モードのADC34からのLRCKおよびBCKの出力
その他	Reserved

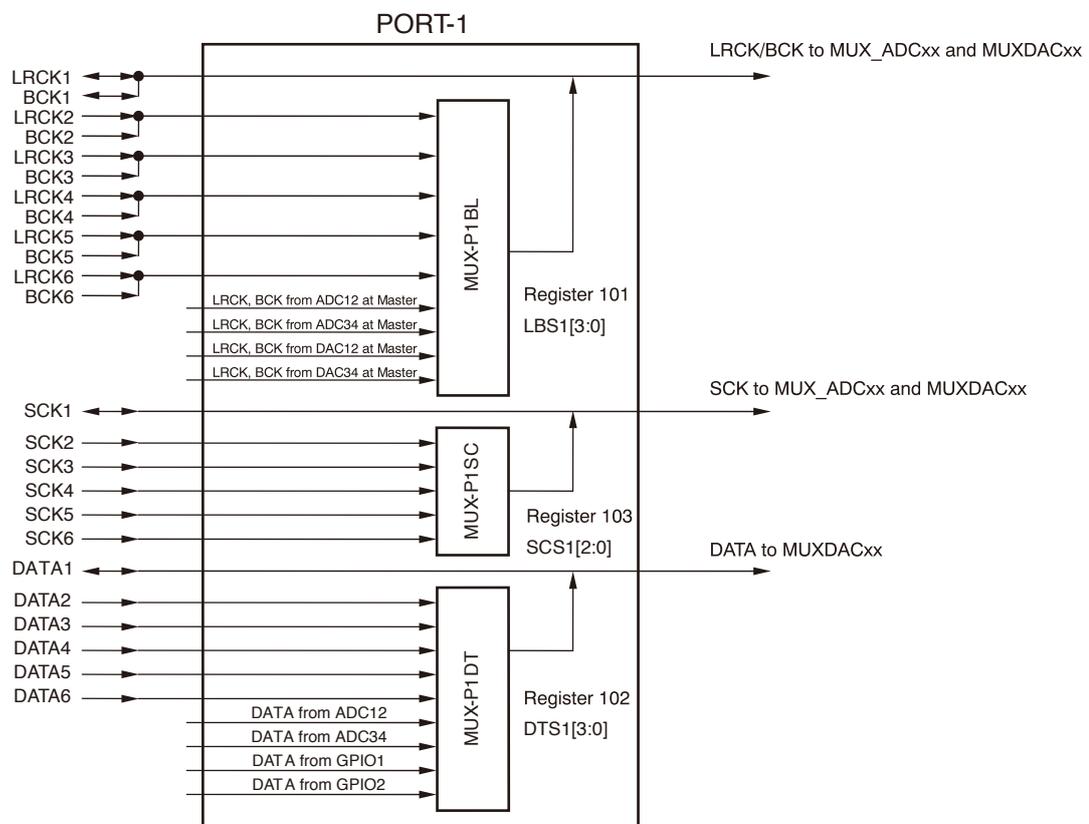


図48. ポート1の詳細図

## レジスタ102 (66h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
102	66h	ポート1およびポート2のDATA選択	DTS2[3:0]				DTS1[3:0]			

### DTS2[3:0] : ポート2のDATA選択 (MUX\_P2DT)

これらのビットは、ポート2のDATAの接続に使用されます。DATA1～DATA6およびマスタ・モード時のADCのDATAのうち、任意の組み合わせをポート2に接続できます。詳細については、図47を参照してください。

デフォルト値：0001

0000	DATA1の出力
0001	DATA2の出力 (デフォルト)
0010	DATA3の出力
0011	DATA4の出力
0100	DATA5の出力
0101	DATA6の出力
0110	GPIO1の出力
0111	GPIO2の出力
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
その他	Reserved

### DTS1[3:0] : ポート1のDATA選択 (MUX\_P1DT)

これらのビットは、ポート1のDATAの接続に使用されます。DATA1～DATA6およびマスタ・モード時のADCのDATAのうち、任意の組み合わせをポート1に接続できます。詳細については、図48を参照してください。

デフォルト値：0000

0000	DATA1の出力 (デフォルト)
0001	DATA2の出力
0010	DATA3の出力
0011	DATA4の出力
0100	DATA5の出力
0101	DATA6の出力
0110	GPIO1の出力
0111	GPIO2の出力
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
その他	Reserved

## レジスタ103 (67h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
103	67h	ポート1およびポート2のSCK選択	RSV	SCS2[3:0]			RSV	SCS1[3:0]		

### SCS2[3:0]：ポート2のSCK選択 (MUX\_P2SC)

これらのビットは、ポート2のSCKの接続に使用されます。SCK1～SCK6およびSCKのうち、任意の組み合わせをポート2に接続できます。詳細については、図47を参照してください。

デフォルト値：001

000	SCK1の出力
001	SCK2の入力 (デフォルト)
010	SCK3の出力
011	SCK4の出力
100	SCK5の出力
101	SCK6の出力
その他	Reserved

### SCS1[3:0]：ポート1のSCK選択 (MUX\_P1SC)

これらのビットは、ポート1のSCKの接続に使用されます。SCK1～SCK6およびSCKのうち、任意の組み合わせをポート1に接続できます。詳細については、図48を参照してください。

デフォルト値：000

000	SCK1の入力 (デフォルト)
001	SCK2の出力
010	SCK3の出力
011	SCK4の出力
100	SCK5の出力
101	SCK6の出力
その他	Reserved

## レジスタ104 (68h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
104	68h	ポート3およびポート4のLRCK/BCK選択	LBS4[3:0]				LBS3[3:0]			

### LBS4[3:0]：ポート4のLRCK/BCK選択 (MUX\_P4BL)

これらのビットは、ポート4のLRCKおよびBCKの接続に使用されます。LRCK1/BCK1～LRCK6/BCK6およびマスタ・モード時のADC/DACのLRCK/BCKのうち、任意の組み合わせをポート4に接続できます。図49に、ポート4の詳細図を示します。

デフォルト値：0011

0000	LRCK1およびBCK1の出力
0001	LRCK2およびBCK2の出力
0010	LRCK3およびBCK3の出力
0011	LRCK4およびBCK4の入力 (デフォルト)
0100	LRCK5およびBCK5の出力
0101	LRCK6およびBCK6の出力
0110	マスタ・モードのDAC12からのLRCKおよびBCKの出力
0111	マスタ・モードのDAC34からのLRCKおよびBCKの出力
1000	マスタ・モードのADC12からのLRCKおよびBCKの出力
1001	マスタ・モードのADC34からのLRCKおよびBCKの出力
その他	Reserved

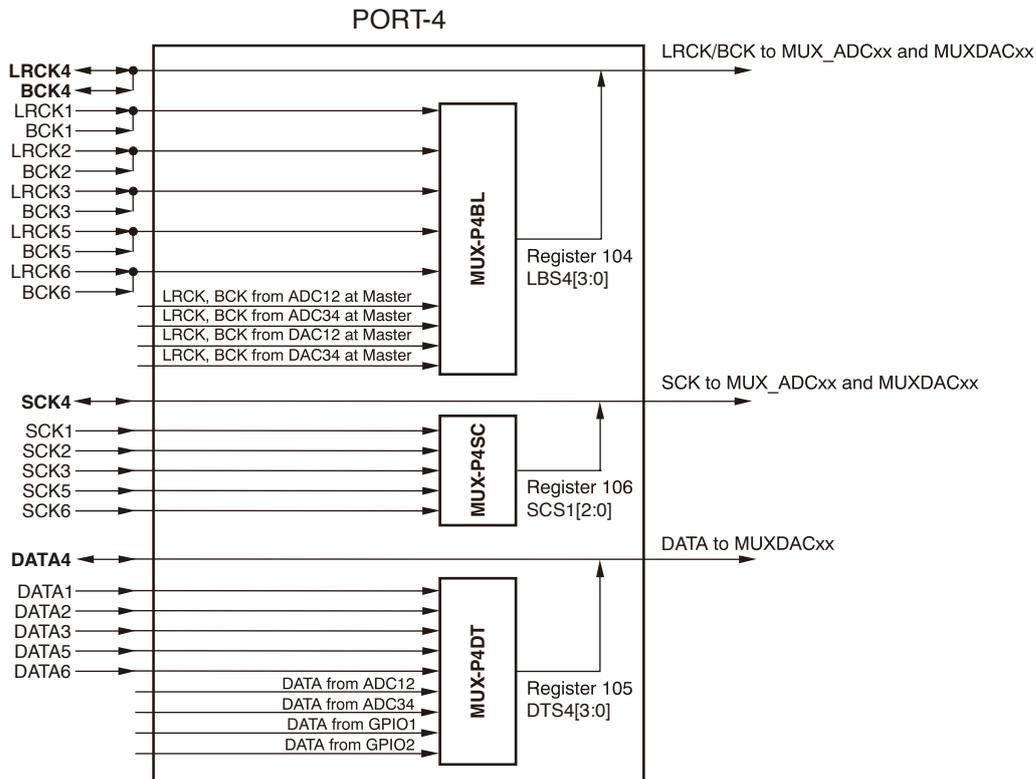


図49. ポート4の詳細図

### LBS3[3:0] : ポート3のLRCK/BCK選択 (MUX\_P3BL)

これらのビットは、ポート3のLRCKおよびBCKの接続に使用されます。LRCK1/BCK1 ~ LRCK6/BCK6およびマスタ・モード時のADC/DACのLRCK/BCKのうち、任意の組み合わせをポート3に接続できます。図50に、ポート3の詳細図を示します。

デフォルト値 : 0010

0000	LRCK1およびBCK1の出力
0001	LRCK2およびBCK2の出力
0010	LRCK3およびBCK3の入力 (デフォルト)
0011	LRCK4およびBCK4の出力
0100	LRCK5およびBCK5の出力
0101	LRCK6およびBCK6の出力
0110	マスタ・モードのDAC12からのLRCKおよびBCKの出力
0111	マスタ・モードのDAC34からのLRCKおよびBCKの出力
1000	マスタ・モードのADC12からのLRCKおよびBCKの出力
1001	マスタ・モードのADC34からのLRCKおよびBCKの出力
その他	Reserved

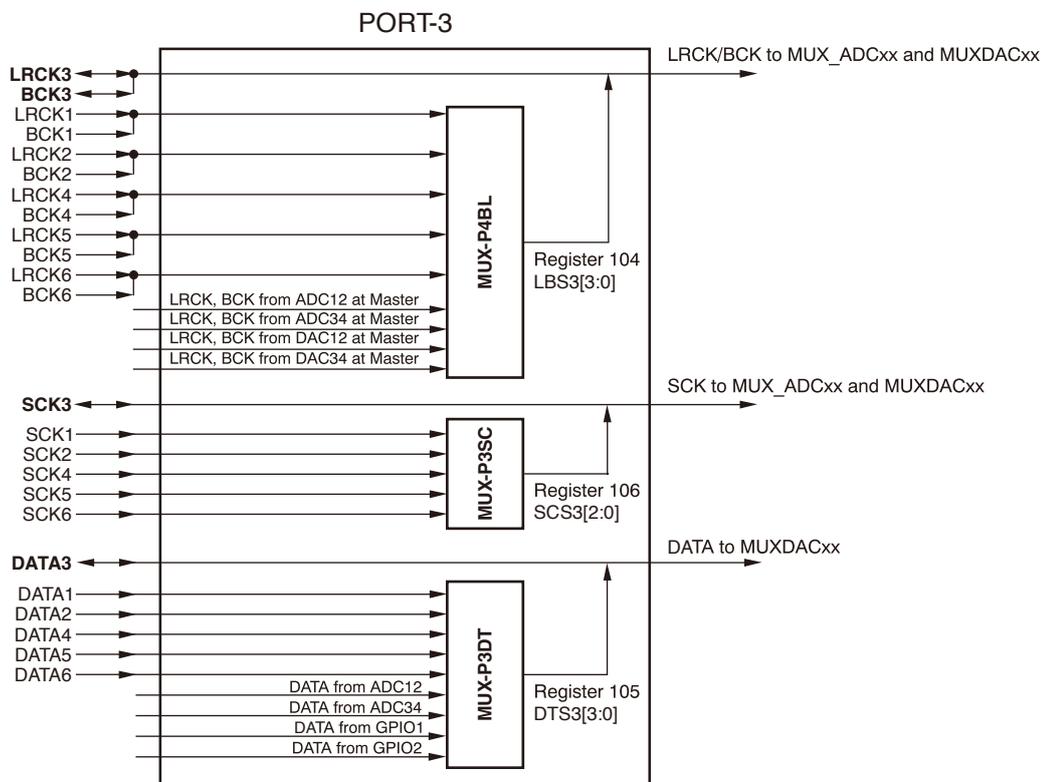


図50. ポート3の詳細図

## レジスタ105 (69h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
105	69h	ポート3およびポート4のDATA選択	DTS4[3:0]			DTS3[3:0]				

### DTS4[3:0] : ポート4のDATA選択 (MUX\_P4DT)

これらのビットは、ポート4のDATAの接続に使用されます。DATA1～DATA6およびマスタ・モード時のADCのDATAのうち、任意の組み合わせをポート4に接続できます。詳細については、図49を参照してください。

デフォルト値：0011

0000	DATA1の出力
0001	DATA2の出力
0010	DATA3の出力
0011	DATA4の入力 (デフォルト)
0100	DATA5の出力
0101	DATA6の出力
0110	GPIO1の出力
0111	GPIO2の出力
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
その他	Reserved

### DTS3[3:0] : ポート3のDATA選択 (MUX\_P3DT)

これらのビットは、ポート3のDATAの接続に使用されます。DATA1～DATA6およびマスタ・モード時のADCのDATAのうち、任意の組み合わせをポート3に接続できます。詳細については、図50を参照してください。

デフォルト値：0010

0000	DATA1の出力
0001	DATA2の出力
0010	DATA3の入力 (デフォルト)
0011	DATA4の出力
0100	DATA5の出力
0101	DATA6の出力
0110	GPIO1の出力
0111	GPIO2の出力
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
その他	Reserved

## レジスタ106 (6Ah)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
106	6Ah	ポート3およびポート4のSCK選択	RSV	SCS4[3:0]			RSV	SCS3[3:0]		

### SCS4[3:0]：ポート4のSCK選択 (MUX\_P4SC)

これらのビットは、ポート4のSCKの接続に使用されます。SCK1～SCK6およびSCKのうち、任意の組み合わせをポート4に接続できます。詳細については、図49を参照してください。

デフォルト値：011

000	SCK1の出力
001	SCK2の出力
010	SCK3の出力
011	SCK4の入力 (デフォルト)
100	SCK5の出力
101	SCK6の出力
その他	Reserved

### SCS3[3:0]：ポート3のSCK選択 (MUX\_P3SC)

これらのビットは、ポート3のSCKの接続に使用されます。SCK1～SCK6およびSCKのうち、任意の組み合わせをポート3に接続できます。詳細については、図50を参照してください。

デフォルト値：010

000	SCK1の出力
001	SCK2の出力
010	SCK3の入力 (デフォルト)
011	SCK4の出力
100	SCK5の出力
101	SCK6の出力
その他	Reserved

## レジスタ107 (6Bh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
107	6Bh	ポート5およびポート6のLRCK/BCK選択	LBS6[3:0]				LBS5[3:0]			

### LBS6[3:0]：ポート6のLRCK/BCK選択 (MUX\_P6BL)

これらのビットは、ポート6のLRCKおよびBCKの接続に使用されます。LRCK1/BCK1～LRCK6/BCK6およびマスタ・モード時のADC/DACのLRCK/BCKのうち、任意の組み合わせをポート6に接続できます。図51に、ポート6の詳細図を示します。

デフォルト値：0101

0000	LRCK1およびBCK1の出力
0001	LRCK2およびBCK2の出力
0010	LRCK3およびBCK3の出力
0011	LRCK4およびBCK4の出力
0100	LRCK5およびBCK5の出力
0101	LRCK6およびBCK6の出力 (デフォルト)
0110	マスタ・モードのDAC12からのLRCKおよびBCKの出力
0111	マスタ・モードのDAC34からのLRCKおよびBCKの出力
1000	マスタ・モードのADC12からのLRCKおよびBCKの出力
1001	マスタ・モードのADC34からのLRCKおよびBCKの出力
その他	Reserved

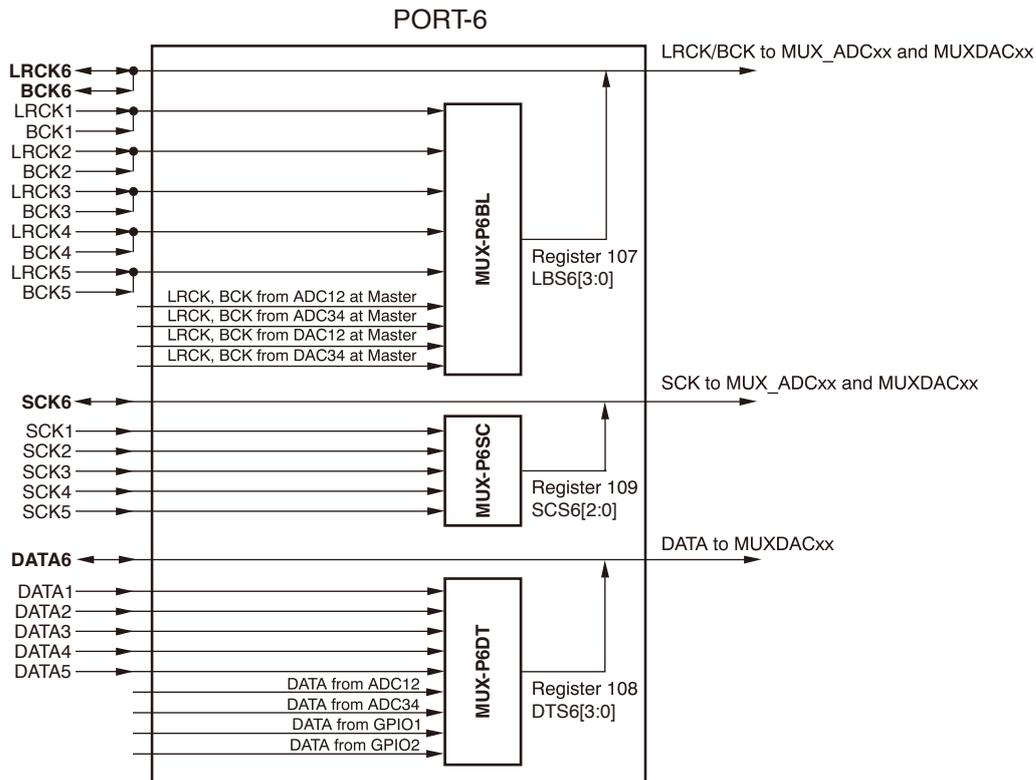


図51. ポート6の詳細図

## LBS5[3:0] : ポート5のLRCK/BCK選択 (MUX\_P5BL)

これらのビットは、ポート5のLRCKおよびBCKの接続に使用されます。LRCK1/BCK1 ~ LRCK6/BCK6およびマスタ・モード時のADC/DACのLRCK/BCKのうち、任意の組み合わせをポート5に接続できます。図52に、ポート5の詳細図を示します。

デフォルト値 : 0100

0000	LRCK1およびBCK1の出力
0001	LRCK2およびBCK2の出力
0010	LRCK3およびBCK3の出力
0011	LRCK4およびBCK4の出力
0100	LRCK5およびBCK5の入力 (デフォルト)
0101	LRCK6およびBCK6の出力
0110	マスタ・モードのDAC12からのLRCKおよびBCKの出力
0111	マスタ・モードのDAC34からのLRCKおよびBCKの出力
1000	マスタ・モードのADC12からのLRCKおよびBCKの出力
1001	マスタ・モードのADC34からのLRCKおよびBCKの出力
その他	Reserved

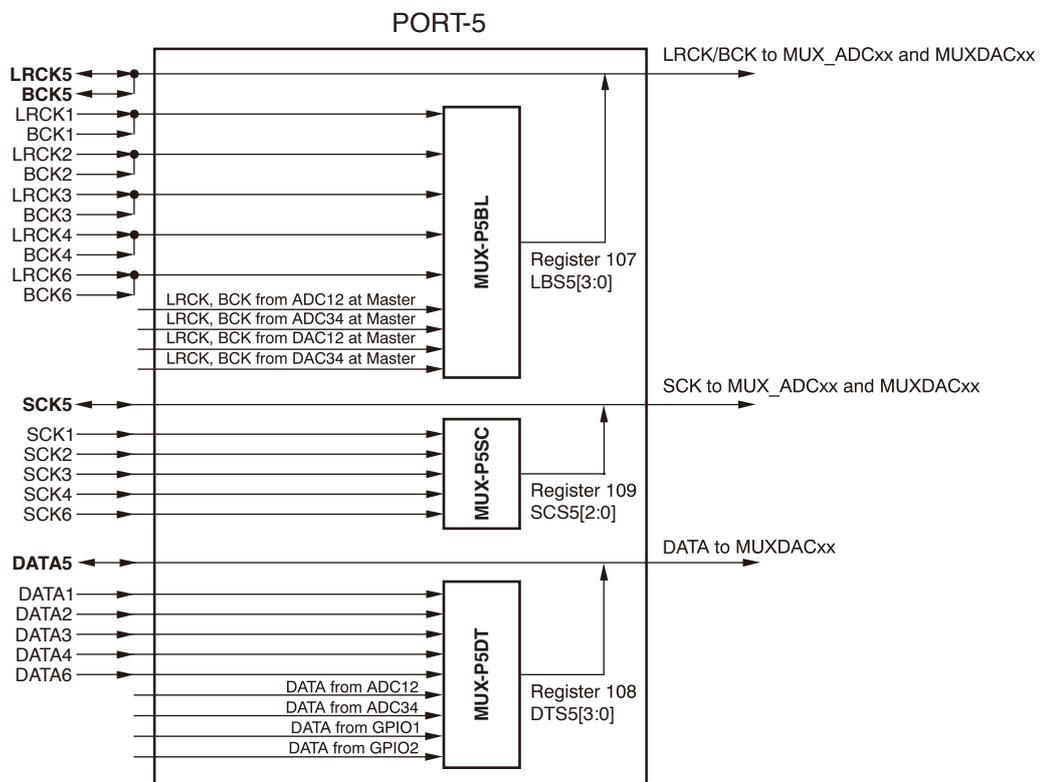


図52. ポート5の詳細図

## レジスタ108 (6Ch)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
108	6Ch	ポート5およびポート6のDATA選択	DTS6[3:0]			DTS5[3:0]				

### DTS6[3:0] : ポート6のDATA選択 (MUX\_P6DT)

これらのビットは、ポート6のDATAの接続に使用されます。DATA1～DATA6およびマスタ・モード時のADCのDATAのうち、任意の組み合わせをポート6に接続できます。詳細については、図51を参照してください。

デフォルト値：0101

0000	DATA1の出力
0001	DATA2の出力
0010	DATA3の出力
0011	DATA4の出力
0100	DATA5の出力
0101	DATA6の入力 (デフォルト)
0110	GPIO1の出力
0111	GPIO2の出力
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
その他	Reserved

### DTS5[3:0] : ポート5のDATA選択 (MUX\_P5DT)

これらのビットは、ポート5のDATAの接続に使用されます。DATA1～DATA6およびマスタ・モード時のADCのDATAのうち、任意の組み合わせをポート5に接続できます。詳細については、図52を参照してください。

デフォルト値：0100

0000	DATA1の出力
0001	DATA2の出力
0010	DATA3の出力
0011	DATA4の出力
0100	DATA5の入力 (デフォルト)
0101	DATA6の出力
0110	GPIO1の出力
0111	GPIO2の出力
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
その他	Reserved

## レジスタ109 (6Dh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
109	6Dh	ポート5およびポート6のSCK選択	RSV	SCS6[3:0]			RSV	SCS5[3:0]		

### SCS6[3:0] : ポート6のSCK選択 (MUX\_P6SC)

これらのビットは、ポート6のSCKの接続に使用されます。SCK1 ~ SCK6およびSCKのうち、任意の組み合わせをポート6に接続できます。詳細については、図51を参照してください。

デフォルト値 : 101

000	SCK1の出力
001	SCK2の出力
010	SCK3の出力
011	SCK4の出力
100	SCK5の出力
101	SCK6の入力 (デフォルト)
その他	Reserved

### SCS5[3:0] : ポート5のSCK選択 (MUX\_P5SC)

これらのビットは、ポート5のSCKの接続に使用されます。SCK1 ~ SCK6およびSCKのうち、任意の組み合わせをポート5に接続できます。詳細については、図52を参照してください。

デフォルト値 : 100

000	SCK1の出力
001	SCK2の出力
010	SCK3の出力
011	SCK4の出力
100	SCK5の入力 (デフォルト)
101	SCK6の出力
その他	Reserved

## レジスタ110 (6Eh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
110	6Eh	DAC12およびDAC34のLRCK/BCK選択	D34LB[3:0]			D12LB[3:0]				

### D34LB[3:0] : DAC34のLRCK/BCK選択 (MUX\_DA34)

これらのビットは、各オーディオ・インターフェイス・ポートからDAC34へのLRCKおよびBCKの配線、またはマスタ・モードでのDAC/ADCから各オーディオ・インターフェイス・ポートへのLRCKおよびBCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値：0100

0000	ポート1からのLRCKおよびBCKを選択
0001	ポート2からのLRCKおよびBCKを選択
0010	ポート3からのLRCKおよびBCKを選択
0011	ポート4からのLRCKおよびBCKを選択
0100	ポート5からのLRCKおよびBCKを選択 (デフォルト)
0101	ポート6からのLRCKおよびBCKを選択
0110	マスタ・モードのDAC12からのLRCKおよびBCKを選択
0111	マスタ・モードのDAC34からのLRCKおよびBCKを選択
1000	マスタ・モードのADC12からのLRCKおよびBCKを選択
1001	マスタ・モードのADC34からのLRCKおよびBCKを選択
その他	Reserved

### D12LB[3:0] : DAC12のLRCK/BCK選択 (MUX\_DA12)

これらのビットは、各オーディオ・インターフェイス・ポートからDAC12へのLRCKおよびBCKの配線、またはマスタ・モードでのDAC/ADCから各オーディオ・インターフェイス・ポートへのLRCKおよびBCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値：0011

0000	ポート1からのLRCKおよびBCKを選択
0001	ポート2からのLRCKおよびBCKを選択
0010	ポート3からのLRCKおよびBCKを選択
0011	ポート4からのLRCKおよびBCKを選択 (デフォルト)
0100	ポート5からのLRCKおよびBCKを選択
0101	ポート6からのLRCKおよびBCKを選択
0110	マスタ・モードのDAC12からのLRCKおよびBCKを選択
0111	マスタ・モードのDAC34からのLRCKおよびBCKを選択
1000	マスタ・モードのADC12からのLRCKおよびBCKを選択
1001	マスタ・モードのADC34からのLRCKおよびBCKを選択
その他	Reserved

## レジスタ111 (6Fh)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
111	6Fh	DAC12およびDAC34のDATA選択	D34DT[3:0]			D12DT[3:0]				

### D34DT[3:0] : DAC34のDATA選択 (MUX\_DA34)

これらのビットは、各オーディオ・インターフェイス・ポートからDAC34へのDATAの接続、またはマスタ・モードでのADCから各オーディオ・インターフェイス・ポートへのDATAの接続に使用されます。詳細については、図33を参照してください。

デフォルト値 : 0100

0000	ポート1からのDATAを選択
0001	ポート2からのDATAを選択
0010	ポート3からのDATAを選択
0011	ポート4からのDATAを選択
0100	ポート5からのDATAを選択 (デフォルト)
0101	ポート6からのDATAを選択
0110	GPIO1からのDATAを選択
0111	GPIO2からのDATAを選択
1000	ADC12からのDATAを選択
1001	ADC34からのDATAを選択
その他	Reserved

### D12DT[3:0] : DAC12のDATA選択 (MUX\_DA12)

これらのビットは、各オーディオ・インターフェイス・ポートからDAC12へのDATAの接続、またはマスタ・モードでのADCから各オーディオ・インターフェイス・ポートへのDATAの接続に使用されます。詳細については、図33を参照してください。

デフォルト値 : 0011

0000	ポート1からのDATAを選択
0001	ポート2からのDATAを選択
0010	ポート3からのDATAを選択
0011	ポート4からのDATAを選択 (デフォルト)
0100	ポート5からのDATAを選択
0101	ポート6からのDATAを選択
0110	GPIO1からのDATAを選択
0111	GPIO2からのDATAを選択
1000	ADC12からのDATAを選択
1001	ADC34からのDATAを選択
その他	Reserved

## レジスタ112 (70h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
112	70h	DAC12およびDAC34のSCK選択	RSV	D34SC[3:0]			RSV	D12SC[3:0]		

### D34SC[2:0] : DAC34のSCK選択 (MUX\_DA34)

これらのビットは、各オーディオ・インターフェイス・ポートからDAC34へのSCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値：100

000	ポート1からのSCKを選択
001	ポート2からのSCKを選択
010	ポート3からのSCKを選択
011	ポート4からのSCKを選択
100	ポート5からのSCKを選択 (デフォルト)
101	ポート6からのSCKを選択
その他	Reserved

### D12SC[2:0] : DAC12のSCK選択 (MUX\_DA12)

これらのビットは、各オーディオ・インターフェイス・ポートからDAC12へのSCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値：011

000	ポート1からのSCKを選択
001	ポート2からのSCKを選択
010	ポート3からのSCKを選択
011	ポート4からのSCKを選択 (デフォルト)
100	ポート5からのSCKを選択
101	ポート6からのSCKを選択
その他	Reserved

## レジスタ116 (74h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
116	74h	ADC12およびADC34のLRCK/BCK選択	A34LB[3:0]				A12LB[3:0]			

### A34LB[3:0] : ADC34のLRCK/BCK選択 (MUX\_AD34)

これらのビットは、各オーディオ・インターフェイス・ポートからADC34へのLRCKおよびBCKの接続、またはマスタ・モードでのDAC/ADCから各オーディオ・インターフェイス・ポートへのLRCKおよびBCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値：0001

0000	ポート1からのLRCKおよびBCKを選択
0001	ポート2からのLRCKおよびBCKを選択 (デフォルト)
0010	ポート3からのLRCKおよびBCKを選択
0011	ポート4からのLRCKおよびBCKを選択
0100	ポート5からのLRCKおよびBCKを選択
0101	ポート6からのLRCKおよびBCKを選択
0110	マスタ・モードのDAC12からのLRCKおよびBCKを選択
0111	マスタ・モードのDAC34からのLRCKおよびBCKを選択
1000	マスタ・モードのADC12からのLRCKおよびBCKを選択
1001	マスタ・モードのADC34からのLRCKおよびBCKを選択
その他	Reserved

### AL2LB[3:0] : ADC12のLRCK/BCK選択 (MUX\_AD12)

これらのビットは、各オーディオ・インターフェイス・ポートからADC12へのLRCKおよびBCKの接続、またはマスタ・モードでのDAC/ADCから各オーディオ・インターフェイス・ポートへのLRCKおよびBCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値：0000

0000	ポート1からのLRCKおよびBCKを選択 (デフォルト)
0001	ポート2からのLRCKおよびBCKを選択
0010	ポート3からのLRCKおよびBCKを選択
0011	ポート4からのLRCKおよびBCKを選択
0100	ポート5からのLRCKおよびBCKを選択
0101	ポート6からのLRCKおよびBCKを選択
0110	マスタ・モードのDAC12からのLRCKおよびBCKを選択
0111	マスタ・モードのDAC34からのLRCKおよびBCKを選択
1000	マスタ・モードのADC12からのLRCKおよびBCKを選択
1001	マスタ・モードのADC34からのLRCKおよびBCKを選択
その他	Reserved

## レジスタ117 (75h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
117	75h	ADC12およびADC34のSCK選択	RSV	A34SC[3:0]			RSV	A12SC[3:0]		

### A34SC[2:0] : ADC34のSCK選択 (MUX\_AD34)

これらのビットは、各オーディオ・インターフェイス・ポートからADC34へのSCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値 : 001

000	ポート1からのSCKを選択
001	ポート2からのSCKを選択 (デフォルト)
010	ポート3からのSCKを選択
011	ポート4からのSCKを選択
100	ポート5からのSCKを選択
101	ポート6からのSCKを選択
その他	Reserved

### A12SC[2:0] : ADC12のSCK選択 (MUX\_AD12)

これらのビットは、各オーディオ・インターフェイス・ポートからADC12へのSCKの接続に使用されます。詳細については、図33を参照してください。

デフォルト値 : 000

000	ポート1からのSCKを選択 (デフォルト)
001	ポート2からのSCKを選択
010	ポート3からのSCKを選択
011	ポート4からのSCKを選択
100	ポート5からのSCKを選択
101	ポート6からのSCKを選択
その他	Reserved

## レジスタ118 (76h)

レジスタ	HEX	概要	B7	B6	B5	B4	B3	B2	B1	B0
118	76h	GPIO1およびGPIO2オーディオ・データ選択	GP2S[3:0]			GP1S[3:0]				

### GP2S[3:0] : GPIO2オーディオ・データ選択

デフォルト値 : 0111

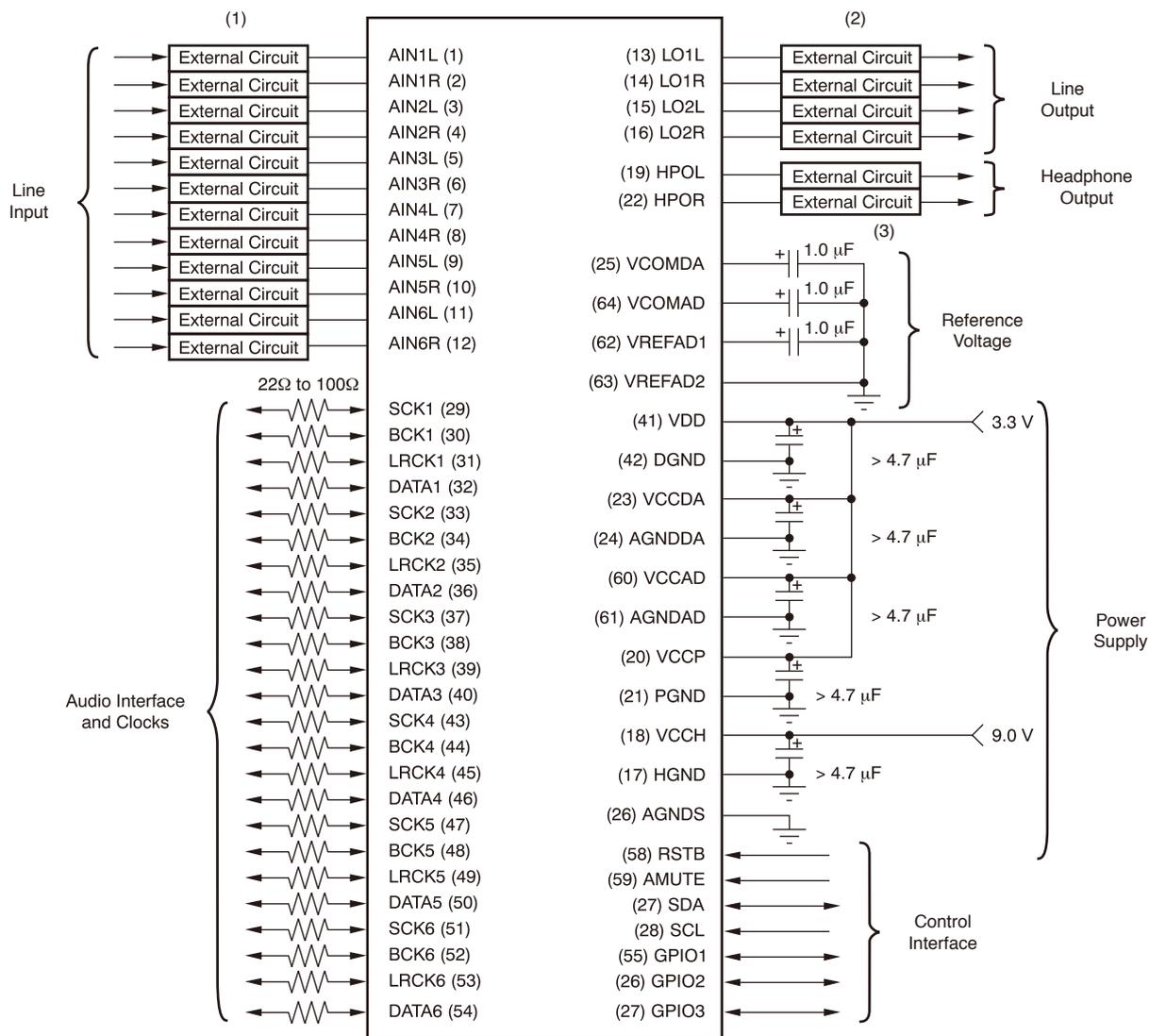
0000	DATA1の出力
0001	DATA2の出力
0010	DATA3の出力
0011	DATA4の出力
0100	DATA5の出力
0101	DATA6の出力
0110	GPIO1の出力
0111	GPIO2の入力 (デフォルト)
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
1010	GPIO機能を使用
その他	Reserved

### GP1S[3:0] : GPIO1オーディオ・データ選択

デフォルト値 : 0110

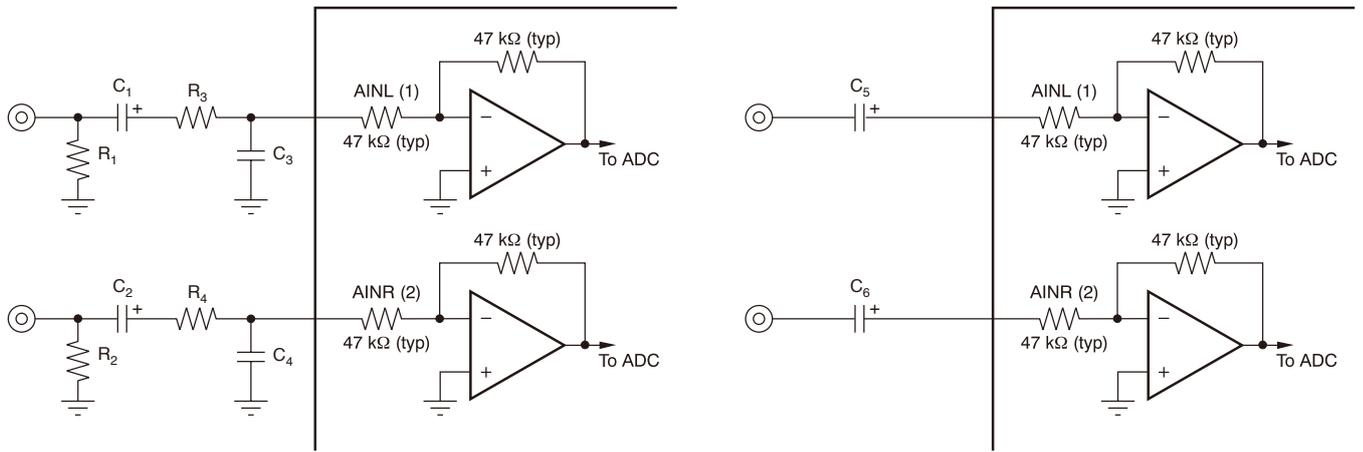
0000	DATA1の出力
0001	DATA2の出力
0010	DATA3の出力
0011	DATA4の出力
0100	DATA5の出力
0101	DATA6の出力
0110	GPIO1の入力 (デフォルト)
0111	GPIO2の出力
1000	ADC12からのDATAの出力
1001	ADC34からのDATAの出力
1010	GPIO機能を使用
その他	Reserved

# 基本接続図



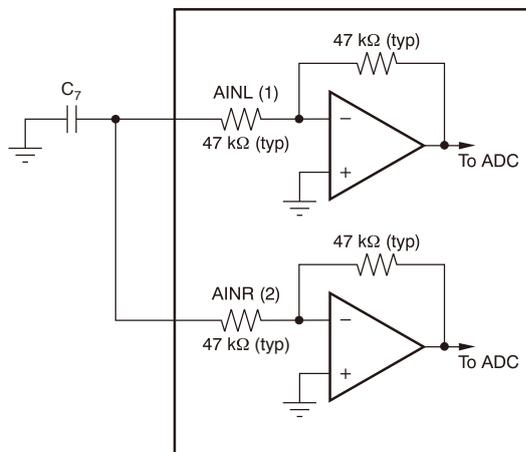
- (1) ライン入力については、図54を参照してください。
- (2) ライン出力については、図55を参照してください。
- (3) ヘッドホン出力については、図56を参照してください。

図53. 基本的接続



(a) ライン入力の外部回路（ローパス・フィルタあり）

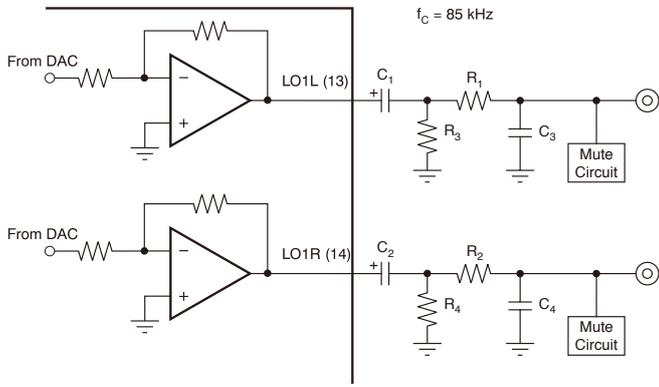
(b) ライン入力の外部回路（ローパス・フィルタなし）



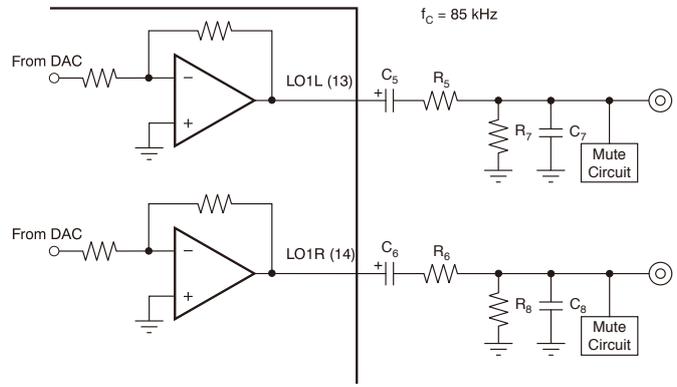
(c) アナログ入力を使用しない場合の外部回路

$R_1, R_2$ : 100k $\Omega$ 以上  
 $R_3, R_4$ : 100 $\Omega$ ~1k $\Omega$   
 $C_1, C_2, C_5, C_6$ : 1 $\mu$ F~47 $\mu$ F  
 $C_3, C_4$ : 0.01 $\mu$ F~0.001 $\mu$ F  
 $C_7$ : 0.1 $\mu$ F未満

図54. ライン入力の外部回路



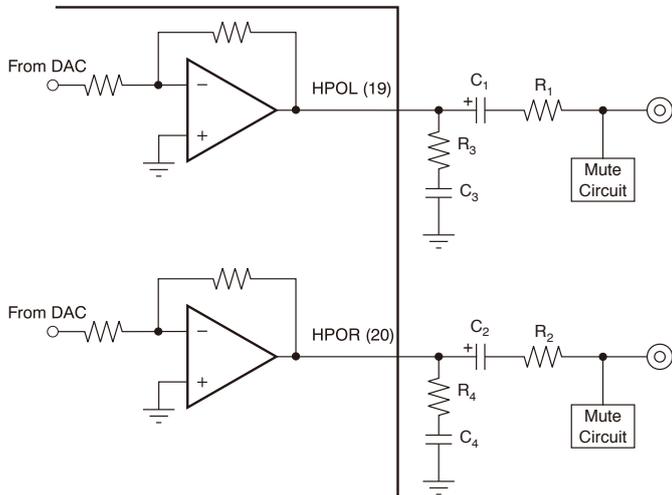
(a) ライン出力の外部回路（ローパス・フィルタあり）



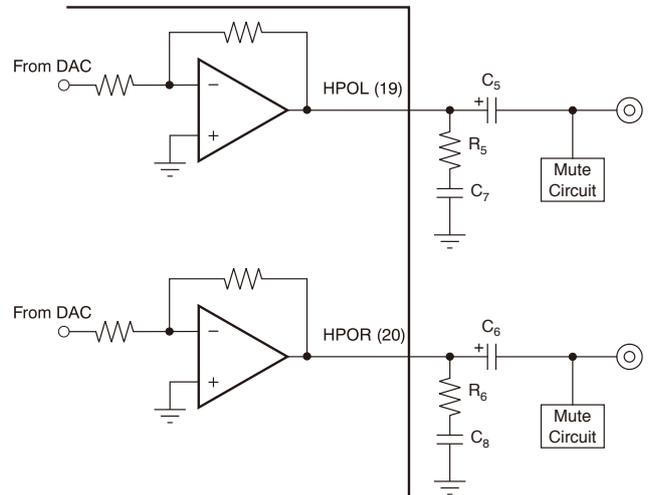
(b) ライン出力の外部回路（ローパス・フィルタあり）

$R_1, R_2, R_5, R_6$ : 270 $\Omega$   
 $R_3, R_4, R_7$ : 100k $\Omega$ 以上  
 $C_1, C_2, C_5, C_6$ : 1 $\mu$ F~47 $\mu$ F  
 $C_3, C_4, C_7, C_8$ : 6800pF

図55. ライン出力の外部回路



(a) 短絡保護抵抗を使用した外部回路



(b) 短絡保護抵抗を使用しない外部回路

$R_1, R_2$ : 4 $\Omega$ ~16 $\Omega$   
 $R_3, R_4, R_5, R_6$ : 22 $\Omega$   
 $C_1, C_2, C_5, C_6$ : 47 $\mu$ F~220 $\mu$ F  
 $C_3, C_4, C_7, C_8$ : 0.022 $\mu$ F

図56. ヘッドホン出力の外部回路

## 基板設計とレイアウトに関する考慮事項

### 電源ピン

PCM5310のデジタルおよびアナログ電源（VCC、VCCDA、VCCAD、VCCP、VCCH）は、 $1\mu\text{F}$ ～ $4.7\mu\text{F}$ の電解またはセラミック・コンデンサを使用して、対応するグラウンド・ピンにバイパスする必要があります。ADC、DAC、および他のアナログ回路の動的性能を最大限に高めるため、これらのコンデンサは可能な限りピンに近づけて配置してください。電源に高周波ノイズが含まれる場合は、動的性能を向上させるため、 $0.1\mu\text{F}$ のセラミック・コンデンサを電源ラインに可能な限り近づけて追加することを推奨します。

ADC、DAC、および他のアナログ回路の動的性能を最大限に高めるため、アナログおよびグラウンド・ピン（DGND、AGND、AGNDAD、PGND、HGND、AGNDS）は内部で接続されていません。アナログ・グラウンドへのデジタル・ノイズの侵入を避けるため、これらのグラウンドは低インピーダンスとする必要があります。したがって、ノイズ問題が生じる可能性を低くするために、これらのグラウンドはデバイスの直下で相互に直接接続してください。

### アナログ入力ピン

すべてのアナログ入力ピン（AIN1L/AIN1R～AIN6L/AIN6R）は、アナログ・マルチプレクサを備えたシングルエンド入力です。これらの入力には、オーディオから帯域外ノイズを除去するためのローパス・フィルタが備えられています。アプリケーションに対してフィルタの性能が十分でない場合には、外部に適切なアンチエイリアシング・フィルタが必要です。通常は、パッシブRCフィルタ（図54を参照）が使用されます。アプリケーションで使用しないピンは、オープンにするか、または $0.1\mu\text{F}$ の小さなセラミック・コンデンサを使用してグラウンドに接続する必要があります。

### ライン出力ピン

すべてのライン出力ピン（LO1L、LO1R、LO2L、LO2R）は、 $2V_{\text{RMS}}$ ドライバを備えたシングルエンド出力です。従来のDACのようにローパス・フィルタを備えたアンプは必要としませんが、デルタ・シグマ変調回路では帯域外ノイズが発生します。通常は、パッシブRCフィルタ（図55を参照）を使用してこのノイズを除去します。アプリケーションで使用しないライン出力ピンは、オープンにする必要があります。

### ヘッドホン出力ピン

ヘッドホン出力ピン（HPOLおよびHPOR）は、 $16\Omega$ または $32\Omega$ 負荷に $30\text{mW}$ 以上の出力電力を供給できるシングルエンド出力です。ヘッドホン出力ピンをアプリケーションで使用しない場合は、オープンにする必要があります。アプリケーションやデバイスを短絡から保護するために、これらの出力には小さな抵抗を追加することを推奨します（図56を参照）。

### コモン電圧ピン

ADCおよびDACのコモン電圧のソース・インピーダンスを低く保つために、アナログ回路のコモン電圧ピン（VCOMADおよびVCOMDA）とグラウンドの間には、 $1\mu\text{F}$ のセラミック・コンデンサを接続する必要があります。コンデンサは、できる限りピンに近づけて配置してください。

### リファレンス電圧ピン

ADCリファレンス電圧のソース・インピーダンスを低く保つために、VREFAD1ピンとグラウンドの間には、 $1\mu\text{F}$ のセラミック・コンデンサを接続する必要があります。コンデンサは、できる限りピンに近づけて配置してください。VREFAD2ピンは、直接グラウンドに接続する必要があります。

### デジタル出力ピン

オーディオ・インターフェイス・ピン（LRCKx、BCKx、SCKx）、クロック・ピン（SCKx）、および汎用入出力（GPIOx）ピンは、抵抗設定によって入力モードから出力モードに切り替えられます。出力モードでは、これらのピンは十分な負荷駆動能力を持っています（電気的特性を参照）。ただし、信号ラインが長い場合には、PCM5310の近くにバッファを配置し、負荷容量を最小にすることを推奨します。それにより、デジタル/アナログ回路間のクロストークを最適化し、ADCおよびDACの動的性能を最大限に高め、全体の消費電力を低減することができます。デジタル出力ピンをアプリケーションで使用しない場合は、オープンにする必要があります。

## デジタル入力ピン

SCK<sub>x</sub>、LRCK<sub>x</sub>、BCK<sub>x</sub>、およびDATA<sub>x</sub>ピンに対しては、22Ω ~ 100Ωの直列抵抗を推奨します。これらの直列抵抗とプリント基板（PCB）の浮遊容量およびデバイス入力容量で形成されるローパス・フィルタにより、デジタル信号から高周波ノイズが除去され、高周波輻射が低減されます。デジタル入力ピンをアプリケーションで使用しない場合は、グランドに接続する必要があります。

## PowerPAD（サーマル・パッド）

PCM5310は、HTQFP-64 PowerPADパッケージで供給されます。PowerPADは、パッケージの底面に露出した金属のヒートシンクです。PowerPADの下に配置されたサーマル・ビアを通して、シリコンからの放熱を向上させる機能があります。

PCBの露出した金属領域へのPowerPADの半田付けは必須ではありません。デバイスは、PowerPADを半田付けしない場合でも絶対最大定格（接合部温度=+ 150°C）以内で動作します。

デバイスからの放熱をさらに向上させるためにPowerPADの半田付けを検討する場合には、アプリケーション・ノートSLMA002『PowerPAD Thermally Enhanced Package』を参照してください。

## パッケージ情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
PCM5310PAP	ACTIVE	HTQFP	PAP	64	160	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
PCM5310PAPR	ACTIVE	HTQFP	PAP	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green 変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

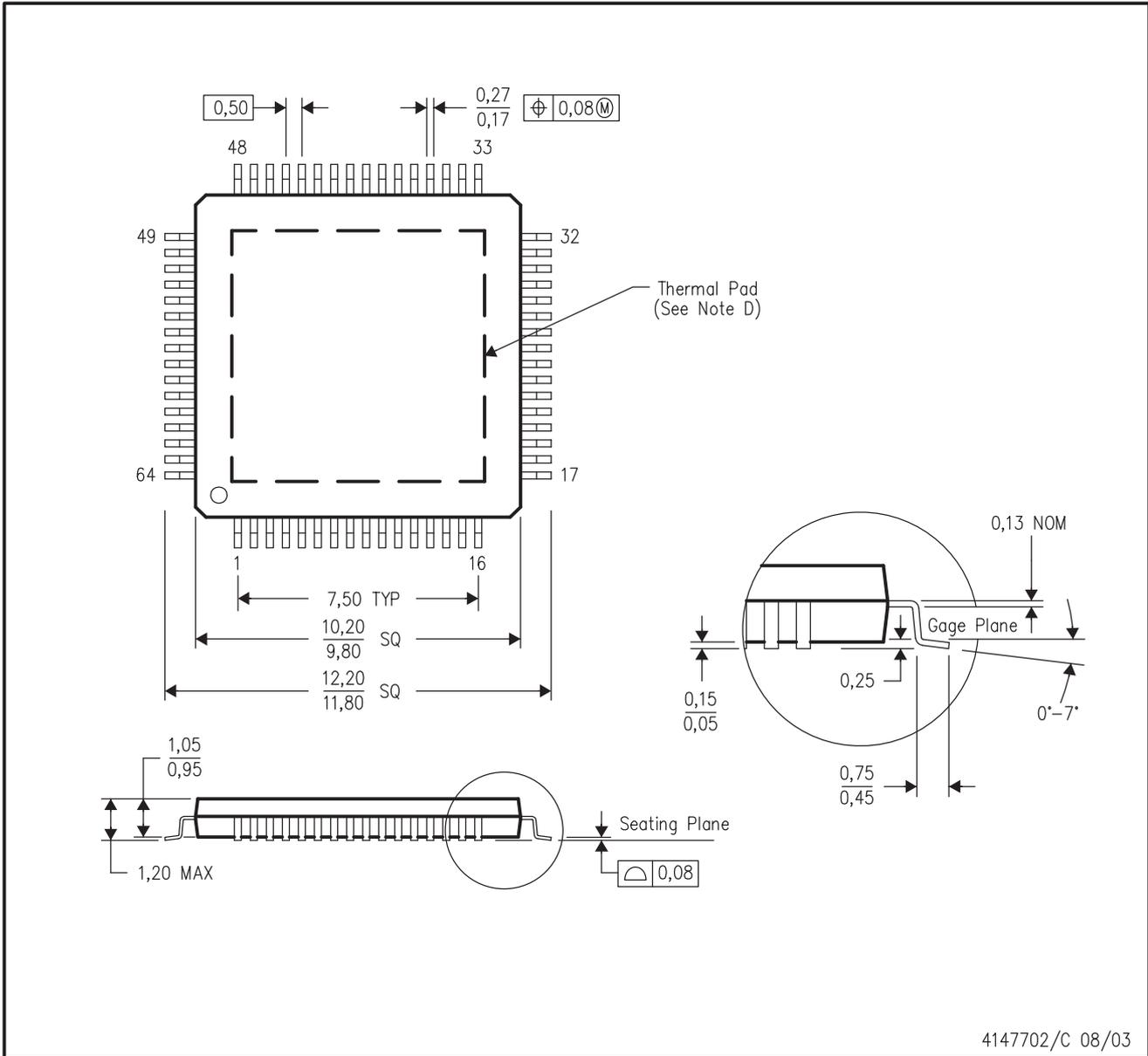
**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく適切な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたTIの責任は、このドキュメント発行時点でのTI製品の価格に基づくTIから顧客への合計購入価格（年次ベース）を超えることはありません。



4147702/C 08/03

注記:

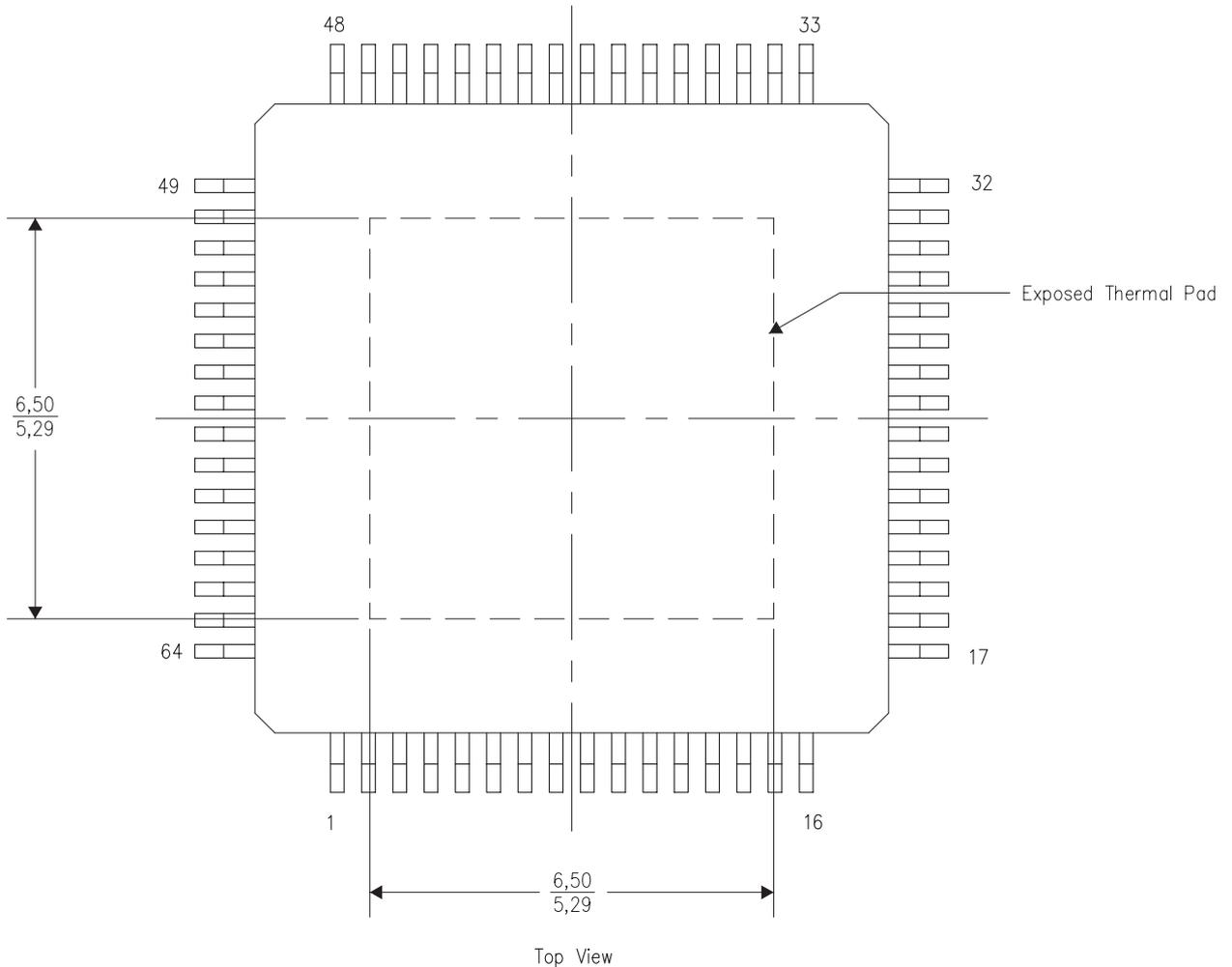
- A. 長さ寸法の単位すべてはミリメートルです。
- B. 図は予告なく変更されることがあります。
- C. 本体寸法には成型のバリや突起は含まれません。
- D. 本パッケージは、基板の放熱パッドに半田付けするように設計されています。推奨基板レイアウトに関する情報については、技術要約、TI 文献番号 SLMA002、PowerPAD Thermally Enhanced Package をご覧ください。本文献は、[www.ti.com](http://www.ti.com) <<http://www.ti.com>> にて入手可能です。
- E. JEDEC MO-153 に適合します。

## サーマル・インフォメーション

このPowerPAD™パッケージには、外付けヒートシンクに直に取り付けるように設計された露出放熱パッドを備えています。放熱パッドは、プリント基板（PCB）に直接半田付けしなくてはなりません。半田付け終了後、PCBはヒートシンクとして使用可能です。さらに、サーマル・ビアを使用することで、放熱パッドは、デバイス用の電気回路図に示すように適正な銅プレーンに直に取り付けることができ、あるいは、PCB内に組み込むような特殊ヒートシンク構造に取り付けることができます。この設計により、集積回路（IC）からの熱移動を最適化します。

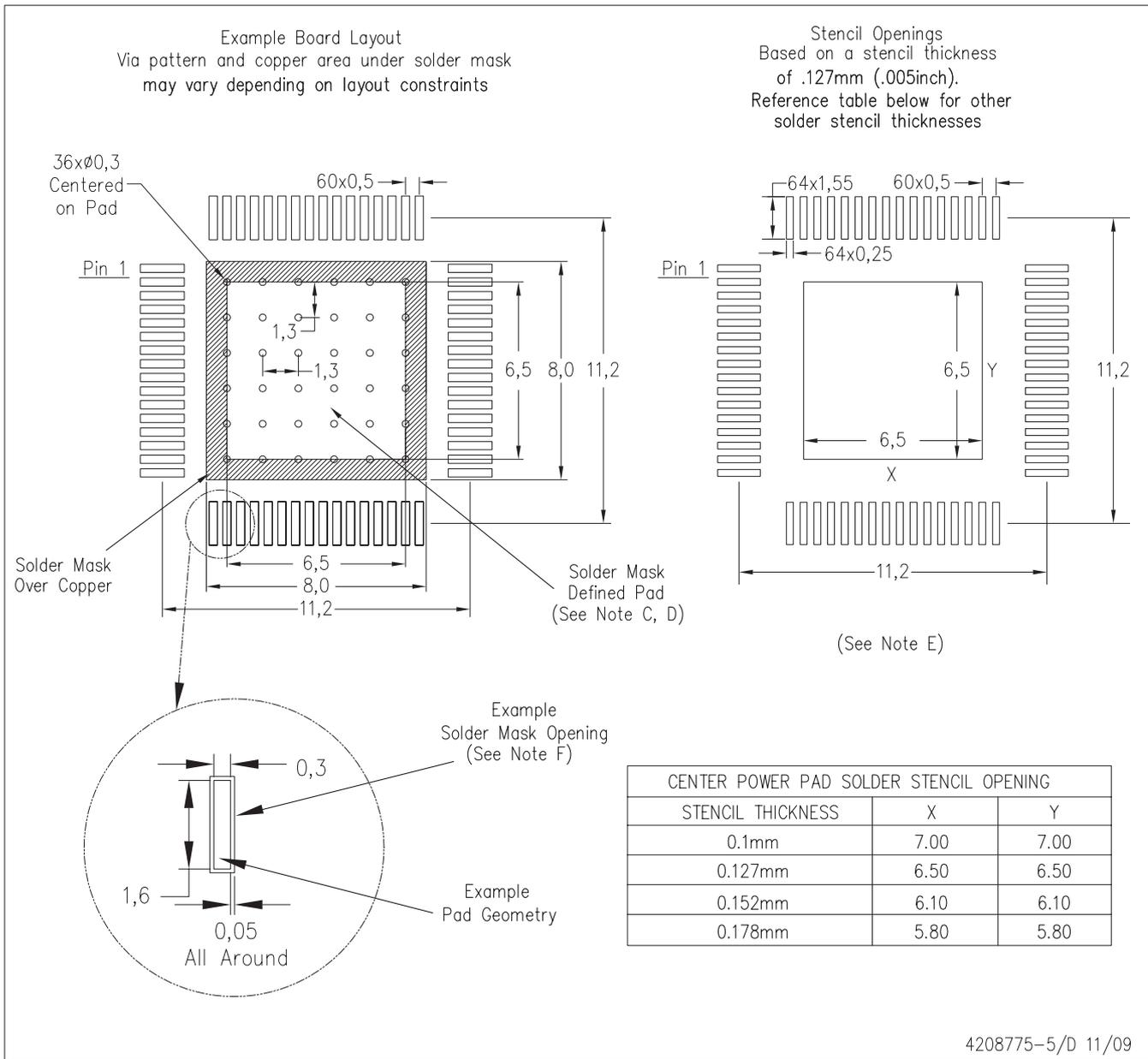
PowerPADパッケージおよびその放熱機能の利用方法に関する追加情報については、技術資料、TI文献番号SLMA002、PowerPAD Thermally Enhanced Packageおよびアプリケーション資料、TI文献番号SLMA004、PowerPAD Made Easyをご覧ください。両文献は、[www.ti.com](http://www.ti.com)にて入手可能です。

本パッケージ用の露出放熱パッドの寸法は、以下のイラストに記しています。



注記：  
長さ寸法の単位すべてはミリメートルです。

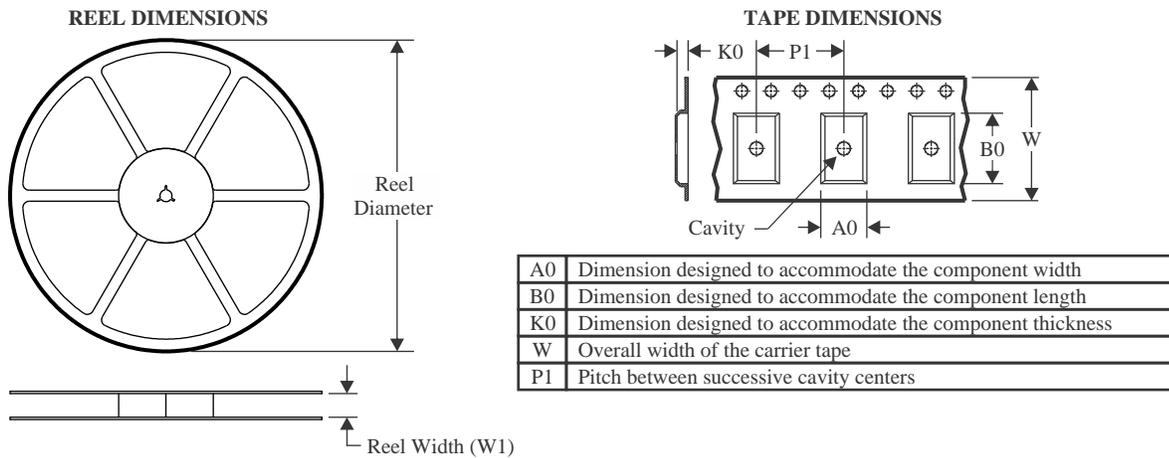
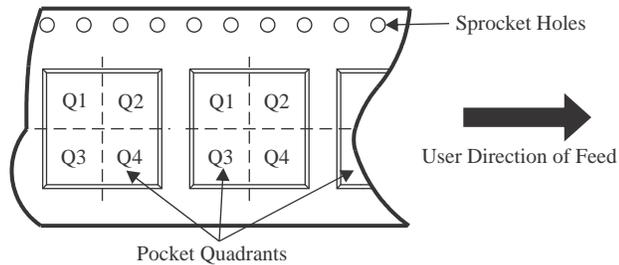
### 露出放熱パッド寸法



4208775-5/D 11/09

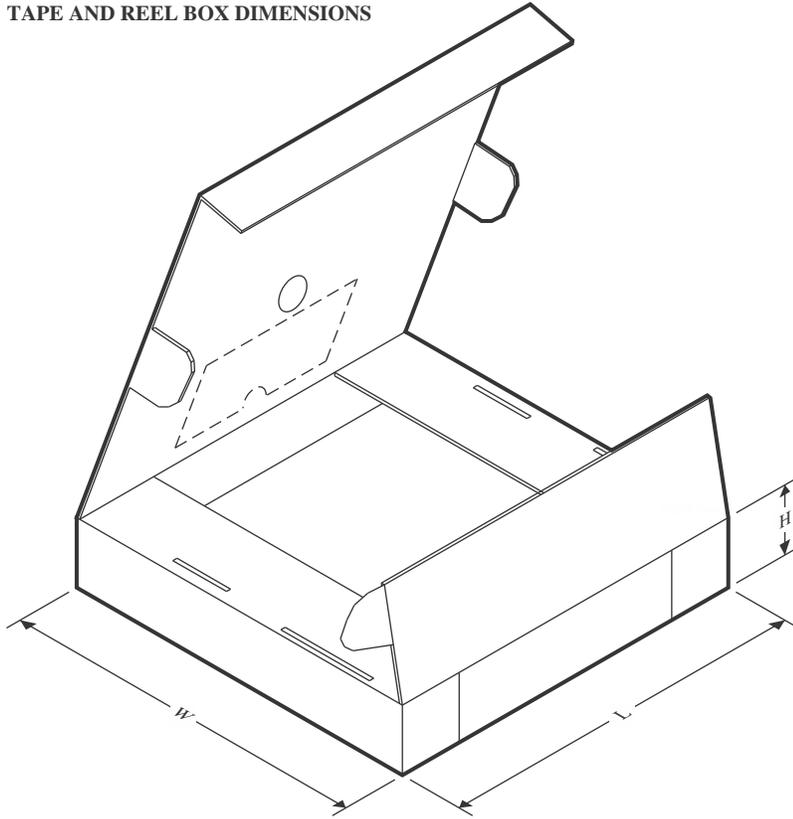
注記:

- A. 長さ寸法の単位すべてはミリメートルです。
- B. 本図は予告なく変更されることがあります。
- C. センター・ソルダー・レジスト限定パッドが変質しないように、お客様は回路基板製作図に関するメモを貼っておいてください。
- D. 本パッケージは、基板の放熱パッドに半田付けするように設計されています。特定の放熱特性、ビアの規格、および推奨基板レイアウトに関する情報については、技術要約、TI 文献番号 SLMA002 および SLMA004、PowerPAD Thermally Enhanced Package およびプロダクト・データ・シートをご覧ください。それらの文献は、www.ti.com <http://www.ti.com> にて入手可能です。出版物 IPC-7351 を代替デザインに推奨します。
- E. 台形型壁付きで角を丸めたレーザー・カッティング・アパーチャにより、ペースト除去に優れています。ステンシル・デザインの推奨に関しては、基板組立現場にお問い合わせください。50%容積測定金属負荷半田ペーストに基づいたステンシル・デザイン例 その他の推奨ステンシルに関しては、IPC-7525 をご覧ください。
- F. シグナル・パッド間およびその周辺のソルダー・レジスト公差に関しては、基板製作現場にお問い合わせください。

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

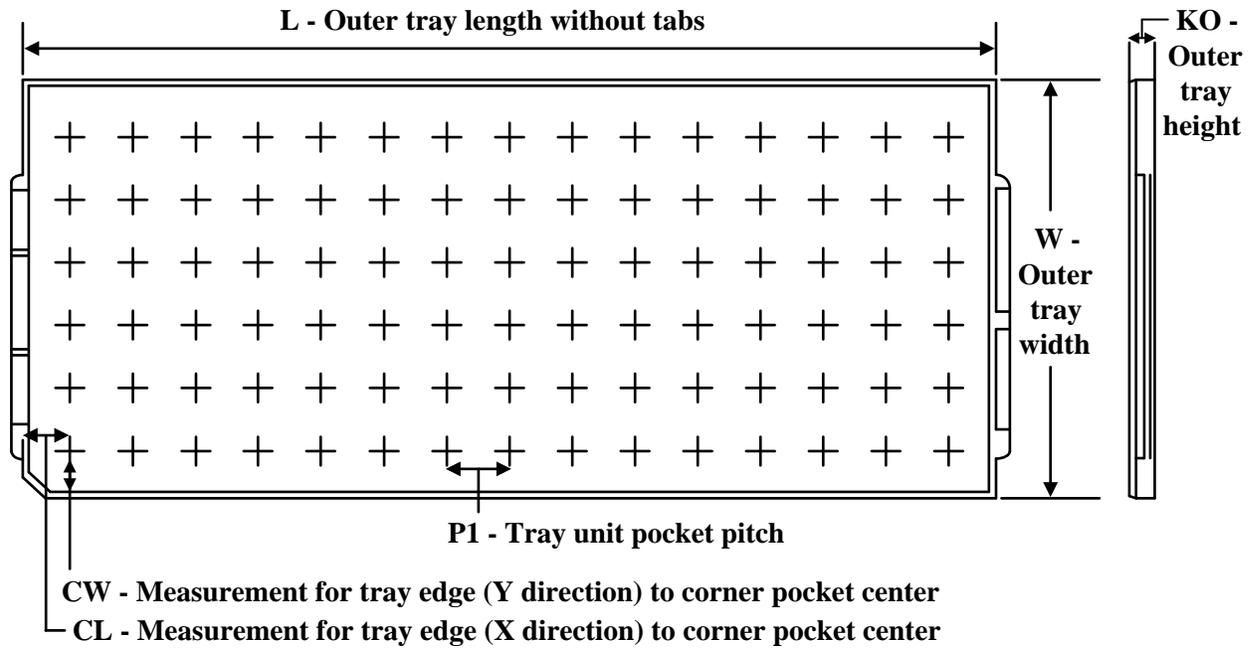
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PCM5310PAPR	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PCM5310PAPR	HTQFP	PAP	64	1000	350.0	350.0	43.0

**TRAY**



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
PCM5310PAP	PAP	HTQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
PCM5310PAP.B	PAP	HTQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月