

PCMD3180 8 チャネル、PDM 入力から TDM または I²S 出力コンバータ

1 特長

- 8 チャネル PDM マイクロフォン同時変換
- PDM 入力から TDM または I²S 出力へのコンバータ性能:
 - 127dB ダイナミックレンジ (DR)、高性能、5 次 PDM 入力
 - 117dB ダイナミックレンジ (DR)、高性能、4 次 PDM 入力
- チャネル加算モード、高性能、4 次 PDM 入力による DR 性能:
 - 120dB (2 チャネル加算)
 - 123dB (4 チャネル加算)
- PDM クロック出力をプログラム可能:
 - 768kHz ~ 6.144MHz
- プログラム可能な出力サンプルレート (f_s):
 - 8kHz ~ 768kHz
- プログラム可能なチャネル設定:
 - デジタル ボリューム制御: -100dB ~ 27dB
 - 0.1dB 分解能のゲイン較正
 - 163ns 分解能の位相較正
- マイクロフォンのバイアスまたは電源電圧の生成
- 低遅延信号処理フィルタの選択
- HPF およびバイカッド デジタル フィルタをプログラム可能
- I²C または SPI 制御
- 高性能オーディオ PLL を内蔵
- クロック分周器の設定を自動的に構成
- オーディオ シリアル データ インターフェイス
 - フォーマット: TDM、I²S、左揃え (LJ)
 - ワード長: 16 ビット、20 ビット、24 ビット、32 ビット
 - マスタまたはスレーブ インターフェイス
- 単一電源動作: 3.3V または 1.8V
- I/O 電源動作: 3.3V または 1.8V
- 1.8V 電源での消費電力:
 - 2.9mW/チャネル (サンプル レート: 16kHz)
 - 2.5mW/チャネル (サンプル レート: 48kHz)

2 アプリケーション

- ビデオドアベル
- スマート スピーカ
- ビルのセキュリティ ゲートウェイ
- IP ネットワーク カメラ
- GPS パーソナル ナビゲーション デバイス
- テレビ会議システム

3 説明

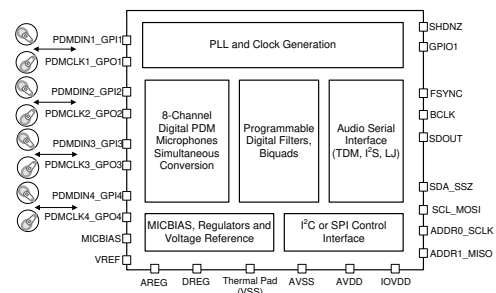
PCMD3180 は、パルス密度変調 (PDM) 入力を時分割多重 (TDM) 出力または I²S 出力に変換する高性能コンバータであり、PDM マイク入力から取得した最大 8 つのデジタル チャネルの同時サンプリングをサポートしています。このデバイスには、プログラム可能なデジタル ボリューム制御、マイクロフォン バイアス電圧、フェーズ ロック ループ (PLL)、プログラム可能なハイパス フィルタ (HPF)、バイカッド フィルタ、低遅延フィルタ モードが搭載されており、最高 768kHz の出力サンプル レートに対応できます。このデバイスは時分割多重化 (TDM)、I²S または、左揃え (LJ) オーディオ・フォーマットに対応し、I²C または SPI で制御可能です。また PCMD3180 は、オーディオバス インターフェイス動作をマスタ モードまたはスレーブ モードに選択できます。これらの高性能機能を搭載しており、3.3V または 1.8V の単一電源で動作できることから、遠距離マイクroフォン録音アプリケーションの、スペースの制約が厳しいオーディオ・システムに最適です。

PCMD3180 は -40°C ~ +125°C で動作が規定されており、24 ピンの WQFN パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
PCMD3180	RTW (WQFN, 24)	4.00mm × 4.00mm、 0.5mm ピッチ

- 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略ブロック図



目次

1 特長	1	6.1 概要.....	17
2 アプリケーション	1	6.2 機能ブロック図.....	18
3 説明	1	6.3 機能説明.....	18
4 ピン構成および機能	3	6.4 デバイスの機能モード.....	55
5 仕様	5	6.5 プログラミング.....	56
5.1 絶対最大定格.....	5	7 レジスタ マップ	60
5.2 ESD 定格.....	5	7.1 デバイス構成レジスタ.....	60
5.3 推奨動作条件.....	5	7.2 プログラム可能な係数レジスタ.....	101
5.4 熱に関する情報.....	6	8 アプリケーションと実装	109
5.5 電気的特性.....	6	8.1 使用上の注意.....	109
5.6 タイミング要件: I ² C インターフェイス.....	9	8.2 代表的なアプリケーション.....	109
5.7 タイミング要件: SPI.....	10	8.3 推奨事項および禁止事項.....	114
5.8 タイミング要件: TDM、I ² S または LJ インターフェイス...	10	8.4 電源に関する推奨事項.....	114
5.9 タイミング要件: PDM デジタル マイクロフォン インタ ーフェイス.....	10	8.5 レイアウト.....	114
5.10 スイッチング特性: I ² C インターフェイス.....	10	9 デバイスおよびドキュメントのサポート	116
5.11 スイッチング特性: SPI.....	11	9.1 ドキュメントのサポート.....	116
5.12 スイッチング特性: TDM、I ² S または LJ インターフ ェイス.....	11	9.2 ドキュメントの更新通知を受け取る方法.....	116
5.13 スイッチング特性: PDM デジタル マイクロフォン イン ターフェイス.....	11	9.3 サポート・リソース.....	116
5.14 代表的特性.....	14	9.4 商標.....	116
6 詳細説明	17	9.5 静電気放電に関する注意事項.....	116
		9.6 用語集.....	116
		10 改訂履歴	116
		11 メカニカル、パッケージ、および注文情報	117

4 ピン構成および機能

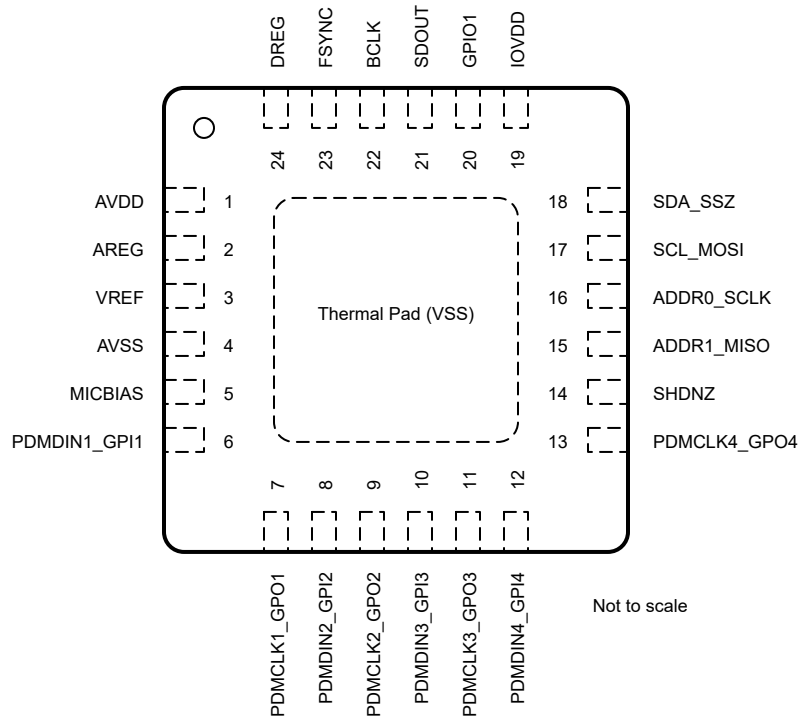


図 4-1. RTW パッケージ 24 ピン WQFN、露出サーマルパッド付き (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	AVDD	アナログ電源	アナログ電源 (1.8V または 3.3V、公称値)
2	AREG	アナログ電源	アナログ電源 (1.8V、公称値) または外部アナログ電源 (1.8V、公称値) 用のアナログ オンチップレギュレータ出力電圧。10 μ F および 0.1 μ F の低 ESR コンデンサをアナログ グランド (AVSS) と並列に接続します
3	VREF	アナログ	アナログリファレンス電圧フィルタ出力。1 μ F をアナログ グランド (AVSS) に接続します
4	AVSS	アナログ電源	アナログ グランド。このピンを直接基板のグラウンドプレーンに短絡。
5	MICBIAS	アナログ	MICBIAS 出力。1 μ F をアナログ グランド (AVSS) に接続します
6	PDM DIN1_GPI1	デジタル入力	PDM マイク データ入力 1 または汎用デジタル入力 1 (デジタル マイク データ、PLL 入力クロックソースなどの多目的機能)
7	PDM CLK1_GPO1	デジタル出力	PDM マイク クロック出力 1 または汎用デジタル出力 1 (デジタル マイク クロック、割り込みなどの多目的機能)
8	PDM DIN2_GPI2	デジタル入力	PDM マイク データ入力 2 または汎用デジタル入力 2 (デジタル マイク データ、PLL 入力クロックソースなどの多目的機能)
9	PDM CLK2_GPO2	デジタル出力	PDM マイク クロック出力 2 または汎用デジタル出力 2 (デジタル マイク クロック、割り込みなどの多目的機能)
10	PDM DIN3_GPI3	デジタル入力	PDM マイク データ入力 3 または汎用デジタル入力 3 (デジタル マイク データ、PLL 入力クロックソースなどの多目的機能)
11	PDM CLK3_GPO3	デジタル出力	PDM マイク クロック出力 3 または汎用デジタル出力 3 (デジタル マイク クロック、割り込みなどの多目的機能)
12	PDM DIN4_GPI4	デジタル入力	PDM マイク データ入力 4 または汎用デジタル入力 4 (デジタル マイク データ、PLL 入力クロックソースなどの多目的機能)

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
13	PDMCLK4_GPO4	デジタル出力	PDM マイク クロック出力 4 または汎用デジタル出力 4 (デジタル マイク クロック、割り込みなどの多目的機能)
14	SHDNZ	デジタル入力	デバイス ハードウェア シャットダウンおよびリセット (アクティブ Low)
15	ADDR1_MISO	デジタル I/O	I ² C 動作の場合: I ² C スレープ アドレス A1 ピン SPI 動作の場合: SPI スレープ出力ピン
16	ADDR0_SCLK	デジタル入力	I ² C 動作の場合: I ² C スレープ アドレス A0 ピン SPI 動作の場合: SPI シリアル ビット クロック
17	SCL_MOSI	デジタル入力	I ² C 動作の場合: I ² C 制御バスのクロック ピン SPI 動作の場合: SPI スレープ入力ピン
18	SDA_SSZ	デジタル I/O	I ² C 動作の場合: I ² C 制御バスのデータ ピン SPI 動作の場合: SPI スレープ セレクトピン
19	IOVDD	デジタル電源	デジタル I/O 電源 (1.8V または 3.3V、公称値)
20	GPIO1	デジタル I/O	汎用デジタル入出力 1 (デジタル マイク クロックまたはデータ、PLL 入力クロック ソース、割り込みなどの多目的機能)
21	SDOUT	デジタル出力	オーディオ シリアル データ インターフェイス バス出力
22	BCLK	デジタル I/O	オーディオ シリアル データインターフェイスのバス ビット クロック
23	FSYNC	デジタル I/O	オーディオ シリアル データ インターフェイス バス フレームの同期信号
24	DREG	デジタル電源	デジタル コア電源用デジタルレギュレータ出力電圧 (1.5V、公称値)。10 μ F および 0.1 μ F の低 ESR コンデンサをデバイス グランド (VSS) と並列に接続します
サーマル パッド	サーマル パッド (VSS)	グラウンド電源	サーマル パッドを内部デバイスのグラウンドに短絡します。サーマル パッドを直接基板のグラウンドプレーンに短絡。

5 仕様

5.1 絶対最大定格

動作環境温度範囲内(特に記載がない限り) (1)

		最小値	最大値	単位
電源電圧	AVDD から AVSS へ	-0.3	3.9	V
	AREG から AVSS へ	-0.3	2.0	
	IOVDD から VSS (サーマルパッド)	-0.3	3.9	
グラウンドとの電位差	VSS から VSS (サーマルパッド) へ	-0.3	0.3	V
デジタル入力電圧	デジタル入力ピン (PDMDINx_GPIx ピンを除く) 電圧から VSS (サーマルパッド)	-0.3	IOVDD + 0.3	V
	デジタル入力 PDMDINx_GPIx ピン電圧から VSS (サーマルパッド)	-0.3	AVDD + 0.3	
温度	動作時周囲温度、T _A	-40	125	°C
	接合部、T _J	-40	150	
	保存、T _{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠(2)	±500

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

		最小値	公称値	最大値	単位
電源					
AVDD、AREG(1)	アナログ電源電圧 AVDD から AVSS へ (AREG はオンチップレギュレータを使用して生成) - AVDD 3.3V 動作	3.0	3.3	3.6	V
	アナログ電源電圧 AVDD と AREG から AVSS へ (AREG 内部レギュレータはシャットダウン中) - AVDD 1.8V 動作	1.7	1.8	1.9	
IOVDD	IO 供給電圧から VSS (サーマルパッド) - IOVDD 3.3V 動作	3.0	3.3	3.6	V
	IO 供給電圧から VSS (サーマルパッド) - IOVDD 1.8V 動作	1.65	1.8	1.95	
入力					
	デジタル入力ピン (PDMDINx_GPIx ピンを除く) 電圧から VSS (サーマルパッド)	0		IOVDD	V
	デジタル入力 PDMDINx_GPIx ピン電圧から VSS (サーマルパッド)	0		AVDD	V
温度					
T _A	動作時周囲温度	-40		125	°C
その他					
	GPIOx または GPIx (MCLK 入力として使用) のクロック周波数			36.864	MHz
C _b	I ² C インターフェイスの SCL および SDA バス容量は、スタンダードモードおよびファーストモードをサポートしています			400	pF
	I ² C インターフェイスの SCL および SDA バス容量は、ファーストモード プラスをサポートしています			550	
C _L	デジタル出力負荷容量		20	50	pF

(1) AVSS および VSS (サーマルパッド)。すべてのグラウンドピンは一緒に接続する必要があり、電圧の差は 0.2V を超えてはなりません。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		PCMD3180	単位
		RTW (WQFN)	
		24 ピン	
R _{θJA}	接合部から周囲への熱抵抗	32.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	25.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	11.9	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	11.9	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

T_A = 25°C の場合、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz の正弦波信号、f_S = 48kHz、PDMCLKx = 64 × f_S、32 ビットのオーディオ データ、BCLK = 256 × f_S、TDM スレーブ モード、PLL オン (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PDM 入力変換の性能						
SNR	信号対雑音比、A 特性補正 (1) (2) (3)	信号なし、入力は 5 次 PDM 変調器を使用して生成		128		dB
		信号なし、入力は 4 次 PDM 変調器を使用して生成		118		
DR	ダイナミックレンジ、A 特性補正 (2) (3)	-60dB フルスケール信号入力。入力は 5 次 PDM 変調器を使用して生成		127		dB
		-60dB フルスケール信号入力。入力は 4 次 PDM 変調器を使用して生成		117		
その他のパラメータ						
	デジタル ボリューム制御範囲	0.5dB ステップでプログラム可能	-100		27	dB
	PDMCLKx 出力レート	プログラム可能	0.7056		6.144	MHz
	出力データのサンプルレート	プログラム可能	7.35		768	kHz
	出力データ サンプルのワード長	プログラム可能	16		32	ビット
	デジタル ハイパスフィルタのカットオフ周波数	プログラム可能な係数を持つ 1 次 IIR フィルタ、-3dB ポイント (デフォルト設定)		12		Hz
	MICBIAS 電圧	MICBIAS を VREF および VREF にプログラムして、2.75V、2.5V、1.375V のいずれかにプログラム		VREF		V
		20mA 負荷で AVDD にバイパス		AVDD - 0.2		
デジタル I/O						
V _{IL(SHDNZ)}	Low レベル デジタル入力ロジック電圧スレッショルド	SHDNZ ピン	-0.3		0.25 × IOVDD	V
V _{IH(SHDNZ)}	High レベル デジタル入力ロジック電圧スレッショルド	SHDNZ ピン	0.75 × IOVDD		IOVDD + 0.3	V
V _{IL}	Low レベル デジタル入力ロジック電圧スレッショルド	PDMCLKx_GPIx、SDA および SCL を除くすべてのデジタルピンは、IOVDD 1.8V で動作	-0.3		0.35 × IOVDD	V
		PDMCLKx_GPIx、SDA および SCL を除くすべてのデジタルピンは、IOVDD 3.3V で動作	-0.3		0.8	
V _{IH}	High レベル デジタル入力ロジック電圧スレッショルド	PDMCLKx_GPIx、SDA および SCL を除くすべてのデジタルピンは、IOVDD 1.8V で動作	0.65 × IOVDD		IOVDD + 0.3	V
		PDMCLKx_GPIx、SDA および SCL を除くすべてのデジタルピンは、IOVDD 3.3V で動作	2		IOVDD + 0.3	
V _{OL}	Low レベル デジタル出力電圧	PDMCLKx_GPOx、SDA および SCL を除くすべてのデジタルピンにおいて、I _{OL} = -2mA、IOVDD は 1.8V で動作			0.45	V
		PDMCLKx_GPOx、SDA および SCL を除くすべてのデジタルピンにおいて、I _{OL} = -2mA、IOVDD は 3.3V で動作			0.4	

5.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ の正弦波信号、 $f_S = 48\text{kHz}$ 、 $PDMCLKx = 64 \times f_S$ 、32 ビットのオーディオ データ、 $BCLK = 256 \times f_S$ 、TDM スレーブ モード、PLL オン (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル デジタル出力電圧	PDMCLKx_GPOx、SDA および SCL を除くすべてのデジタルピンにおいて、 $I_{OH} = 2\text{mA}$ 、 $IOVDD$ は 1.8V で動作	$IOVDD - 0.45$			V
		PDMCLKx_GPOx、SDA および SCL を除くすべてのデジタルピンにおいて、 $I_{OH} = 2\text{mA}$ 、 $IOVDD$ は 3.3V で動作	2.4			
$V_{IL(I2C)}$	Low レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL	-0.5		$0.3x IOVDD$	V
$V_{IH(I2C)}$	High レベル デジタル入力ロジック電圧スレッショルド	SDA および SCL	$0.7x IOVDD$		$IOVDD + 0.5$	V
$V_{OL1(I2C)}$	Low レベル デジタル出力電圧	SDA、 $I_{OL(I2C)} = -3\text{mA}$ 、 $IOVDD > 2\text{V}$			0.4	V
$V_{OL2(I2C)}$	Low レベル デジタル出力電圧	SDA、 $I_{OL(I2C)} = -2\text{mA}$ 、 $IOVDD \leq 2\text{V}$			$0.2x IOVDD$	V
$I_{OL(I2C)}$	Low レベル デジタル出力電流	SDA、 $V_{OL(I2C)} = 0.4\text{V}$ 、スタンダード モードまたはファストモード	3			mA
		SDA、 $V_{OL(I2C)} = 0.4\text{V}$ 、ファーストモード プラス	20			
I_{IL}	デジタル入力への入力ロジック Low リークエージ	PDMDINx_GPIx ピンを除くすべてのデジタルピン、入力 = 0V	-5	0.1	5	μA
I_{IH}	デジタル入力への入力ロジック High リークエージ	PDMDINx_GPIx ピンを除くすべてのデジタルピン、入力 = $IOVDD$	-5	0.1	5	μA
$V_{IL(GPIx)}$	Low レベル デジタル入力ロジック電圧スレッショルド	すべての PDMDINx_GPIx デジタルピン、 $AVDD 1.8\text{V}$ 動作	-0.3		$0.35 \times AVDD$	V
		すべての PDMDINx_GPIx デジタルピン、 $AVDD 3.3\text{V}$ 動作	-0.3		0.8	
$V_{IH(GPIx)}$	High レベル デジタル入力ロジック電圧スレッショルド	すべての PDMDINx_GPIx デジタルピン、 $AVDD 1.8\text{V}$ 動作	$0.65 \times AVDD$		$AVDD + 0.3$	V
		すべての PDMDINx_GPIx デジタルピン、 $AVDD 3.3\text{V}$ 動作	2		$AVDD + 0.3$	
$V_{OL(GPOx)}$	Low レベル デジタル出力電圧	すべての PDMCLKx_GPOx デジタルピン、 $I_{OL} = -2\text{mA}$ 、 $AVDD 1.8\text{V}$ 動作			0.45	V
		すべての PDMCLKx_GPOx デジタルピン、 $I_{OL} = -2\text{mA}$ 、 $AVDD 3.3\text{V}$ 動作			0.4	
$V_{OH(GPOx)}$	High レベル デジタル出力電圧	すべての PDMCLKx_GPOx デジタルピン、 $I_{OH} = 2\text{mA}$ 、 $AVDD 1.8\text{V}$ 動作	$AVDD - 0.45$			V
		すべての PDMCLKx_GPOx デジタルピン、 $I_{OH} = 2\text{mA}$ 、 $AVDD 3.3\text{V}$ 動作	2.4			
$I_{IL(GPIx)}$	デジタル入力への入力ロジック High リークエージ	すべての PDMDINx_GPIx デジタルピン、入力 = 0V	-5	0.1	5	μA
$I_{IH(GPIx)}$	デジタル入力への入力ロジック High リークエージ	すべての PDMDINx_GPIx デジタルピン、入力 = $AVDD$	-5	0.1	5	μA
C_{IN}	デジタル入力の入力容量	すべてのデジタルピン		5		pF
R_{PD}	デジタル I/O ピンがアサートされている場合のプルダウン抵抗			20		k Ω
標準電源電流消費						
I_{AVDD}	ハードウェア シャットダウンモードでの消費電流	SHDNZ = 0、 $AVDD = 3.3\text{V}$		1		μA
I_{AVDD}		SHDNZ = 0、 $AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を $AVDD$ に短絡)		1		
I_{IOVDD}		SHDNZ = 0、すべての外部クロックが停止、 $IOVDD = 3.3\text{V}$		0.1		
I_{IOVDD}		SHDNZ = 0、すべての外部クロックが停止、 $IOVDD = 1.8\text{V}$		0.1		
I_{AVDD}	スリープモードでの消費電流 (ソフトウェア シャットダウンモード)	すべての外部クロックが停止、 $AVDD = 3.3\text{V}$		5		μA
I_{AVDD}		すべての外部クロックが停止、 $AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を $AVDD$ に短絡)		5		
I_{IOVDD}		すべての外部クロックが停止、 $IOVDD = 3.3\text{V}$		0.1		
I_{IOVDD}		すべての外部クロックが停止、 $IOVDD = 1.8\text{V}$		0.1		

5.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ の正弦波信号、 $f_S = 48\text{kHz}$ 、 $PDMCLKx = 64 \times f_S$ 、32 ビットのオーディオ データ、 $BCLK = 256 \times f_S$ 、TDM スレーブ モード、PLL オン (特に記載がない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
I_{AVDD}	AVDD = 3.3V		11.9		mA
I_{AVDD}	8 チャネル PDM 入力記録時の消費電流、 $f_S = 48\text{kHz}$ 、 $AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を AVDD に短絡)		11.3		
I_{IOVDD}	PDMCLKx = $64 \times f_S$ 、PLL オン、 $BCLK = 256 \times f_S$ IOVDD = 3.3V		0.7		
I_{IOVDD}	IOVDD = 1.8V		0.4		
I_{AVDD}	AVDD = 3.3V		7.2		mA
I_{AVDD}	4 チャネル PDM 入力記録時の消費電流、 $f_S = 16\text{kHz}$ 、 $AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を AVDD に短絡)		6.5		
I_{IOVDD}	PDMCLKx = $96 \times f_S$ 、PLL オン、 $BCLK = 256 \times f_S$ IOVDD = 3.3V		0.2		
I_{IOVDD}	IOVDD = 1.8V		0.1		

- 1kHz のフルスケール正弦波入力時の出力レベルと、信号のない出力レベルの比率、オーディオ アナライザを使用し、20Hz から 20kHz の帯域幅で A 特性補正を測定しました。
- すべての性能測定は、20kHz のローパス フィルタを使用して行い、必要に応じて A 特性補正も使用しています。このようなフィルタを使用しない場合、電気的特性に示されている値よりも THD が高く、SNR およびダイナミックレンジの読み値が低くなる可能性があります。ローパスフィルタは帯域外のノイズを除去します。これらのノイズは聴覚には影響しませんが、ダイナミック仕様値に影響を与える可能性があります。
- デバイスの性能パラメータ SNR、DR、および THD+N は、主にシングルビット PDM 変調器で生成されるデータ出力によって制限されます。シングルビット PDM 変調器出力の THD+N 性能は、一般に、-10dB のフルスケールを超える信号ではあまり良くありません。データシートの測定値は、高性能 PDM 変調器出力ジェネレータで構成されたオーディオ機器を使用して測定されたものです。

5.6 タイミング要件 : I²C インターフェイス

T_A = 25°C の場合、IOVDD は 3.3V または 1.8V (特に記載がない限り)、タイミング図については、[図 1](#) を参照してください

		最小値	公称値	最大値	単位
スタンダード モード					
f _{SCL}	SCL クロック周波数	0		100	kHz
t _{HD,STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	4			μs
t _{LOW}	SCL クロックの Low 期間	4.7			μs
t _{HIGH}	SCL クロックの High 期間	4			μs
t _{SU,STA}	反復開始条件のセットアップ時間	4.7			μs
t _{HD,DAT}	データ ホールド時間	0		3.45	μs
t _{SU,DAT}	データ セットアップ時間	250			ns
t _r	SDA と SCL の立ち上がり時間			1000	ns
t _f	SDA と SCL の立ち下がり時間			300	ns
t _{SU,STO}	停止条件のセットアップ時間	4			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			μs
ファスト モード					
f _{SCL}	SCL クロック周波数	0		400	kHz
t _{HD,STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.6			μs
t _{LOW}	SCL クロックの Low 期間	1.3			μs
t _{HIGH}	SCL クロックの High 期間	0.6			μs
t _{SU,STA}	反復開始条件のセットアップ時間	0.6			μs
t _{HD,DAT}	データ ホールド時間	0		0.9	μs
t _{SU,DAT}	データ セットアップ時間	100			ns
t _r	SDA と SCL の立ち上がり時間	20		300	ns
t _f	SDA と SCL の立ち下がり時間		20 × (IOVDD / 5.5V)	300	ns
t _{SU,STO}	停止条件のセットアップ時間	0.6			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			μs
ファスト モード プラス					
f _{SCL}	SCL クロック周波数	0		1000	kHz
t _{HD,STA}	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.26			μs
t _{LOW}	SCL クロックの Low 期間	0.5			μs
t _{HIGH}	SCL クロックの High 期間	0.26			μs
t _{SU,STA}	反復開始条件のセットアップ時間	0.26			μs
t _{HD,DAT}	データ ホールド時間	0			μs
t _{SU,DAT}	データ セットアップ時間	50			ns
t _r	SDA と SCL の立ち上がり時間			120	ns
t _f	SDA と SCL の立ち下がり時間		20 × (IOVDD / 5.5V)	120	ns
t _{SU,STO}	停止条件のセットアップ時間	0.26			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	0.5			μs

5.7 タイミング要件 : SPI

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については、[図 2](#) を参照

		最小値	公称値	最大値	単位
t_{SCLK}	SCLK 周期	40			ns
$t_{\text{H(SCLK)}}$	SCLK High パルスの期間	18			ns
$t_{\text{L(SCLK)}}$	SCLK Low パルス持続時間	18			ns
t_{LEAD}	リードタイムをイネーブルします	16			ns
t_{TRAIL}	トレール時間をイネーブルにします	16			ns
t_{DSEQ}	シーケンシャル転送遅延	20			ns
$t_{\text{SU(MOSI)}}$	MOSI のデータ セットアップ時間	8			ns
$t_{\text{HLD(MOSI)}}$	MOSI のデータ ホールド時間	8			ns
$t_{\text{r(SCLK)}}$	SCLK の立ち上がり時間	10%~90% の立ち上がり時間		6	ns
$t_{\text{f(SCLK)}}$	SCLK の立ち下がり時間	90%~10% の立ち下がり時間		6	ns

5.8 タイミング要件 : TDM、I²S または LJ インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については、[図 3](#) を参照

		最小値	公称値	最大値	単位
t_{BCLK}	BCLK 周期	40			ns
$t_{\text{H(BCLK)}}$	BCLK high パルス持続時間 ⁽¹⁾	18			ns
$t_{\text{L(BCLK)}}$	BCLK low パルス持続時間 ⁽¹⁾	18			ns
$t_{\text{SU(FSYNC)}}$	FSYNC のセットアップ時間	8			ns
$t_{\text{HLD(FSYNC)}}$	FSYNC のホールド時間	8			ns
$t_{\text{r(BCLK)}}$	BCLK の立ち上がり時間	10%~90% の立ち上がり時間		10	ns
$t_{\text{f(BCLK)}}$	BCLK の立ち下がり時間	90%~10% の立ち下がり時間		10	ns

(1) SDOOUT データラインが、デバイスが SDOOUT データを送信するために使用するエッジとは逆の BCLK エッジ極性でラッチされる場合、BCLK の最小 High/Low パルス幅は 25ns 以上 (タイミング仕様を満たすため) である必要があります。

5.9 タイミング要件 : PDM デジタル マイクロフォン インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については、[図 4](#) を参照

		最小値	公称値	最大値	単位
$t_{\text{SU(PDMDINx)}}$	PDMDINx のセットアップ時間	30			ns
$t_{\text{HLD(PDMDINx)}}$	PDMDINx ホールド時間	0			ns

5.10 スイッチング特性 : I²C インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD は 3.3V または 1.8V (特に記載がない限り)、タイミング図については、[図 1](#) を参照してください

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{\text{d(SDA)}}$	SCL から SDA への遅延	スタンダード モード		1250	ns
		ファースト モード	250	850	
		ファースト モード プラス		400	

5.11 スイッチング特性 : SPI

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については、[図 2](#) を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_a(\text{MISO})$	MISO アクセス時間				16	ns
$t_d(\text{MISO})$	SCLK から MISO への遅延	SCLK の 50% から MISO の 50% まで			16	ns
$t_{\text{dis}}(\text{MISO})$	MISO のディセーブル時間				20	ns

5.12 スイッチング特性 : TDM、I²S または LJ インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については、[図 3](#) を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_d(\text{SDOUT-BCLK})$	BCLK から SDOUT への遅延	BCLK の 50% から SDOUT の 50%			18	ns
$t_d(\text{SDOUT-FSYNC})$	TDM または LJ モードにおける FSYNC から SDOUT までの遅延 (TX_OFFSET = 0 の場合、MSB データ用)	FSYNC の 50% から SDOUT の 50%			18	ns
$f_{(\text{BCLK})}$	BCLK 出力クロック周波数、マスターモード (1)				24.576	MHz
$t_H(\text{BCLK})$	BCLK のハイパルスの持続時間、マスターモード		14			ns
$t_L(\text{BCLK})$	BCLK Low パルス幅、マスターモード		14			ns
$t_d(\text{FSYNC})$	BCLK から FSYNC までの遅延、マスターモード	BCLK の 50% から FSYNC の 50%			18	ns
$t_r(\text{BCLK})$	BCLK 立ち上がり時間、マスターモード	10%~90% の立ち上がり時間			8	ns
$t_f(\text{BCLK})$	BCLK 立ち下がり時間、マスターモード	90%~10% の立ち下がり時間			8	ns

(1) SDOUT データラインが、デバイスが SDOUT データを送信するために使用するエッジとは反対の BCLK エッジ極性でラッチされる場合、BCLK 出力クロック周波数は 18.5MHz 未満である必要があります。

5.13 スイッチング特性 : PDM デジタル マイクロフォン インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については、[図 4](#) を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{(\text{PDMCLK})}$	PDMCLK クロック周波数		0.768		6.144	MHz
$t_H(\text{PDMCLK})$	PDMCLK High パルスの期間		72			ns
$t_L(\text{PDMCLK})$	PDMCLK Low パルス持続時間		72			ns
$t_r(\text{PDMCLK})$	PDMCLK の立ち上がり時間	10%~90% の立ち上がり時間			18	ns
$t_f(\text{PDMCLK})$	PDMCLK の立ち下がり時間	90%~10% の立ち下がり時間			18	ns

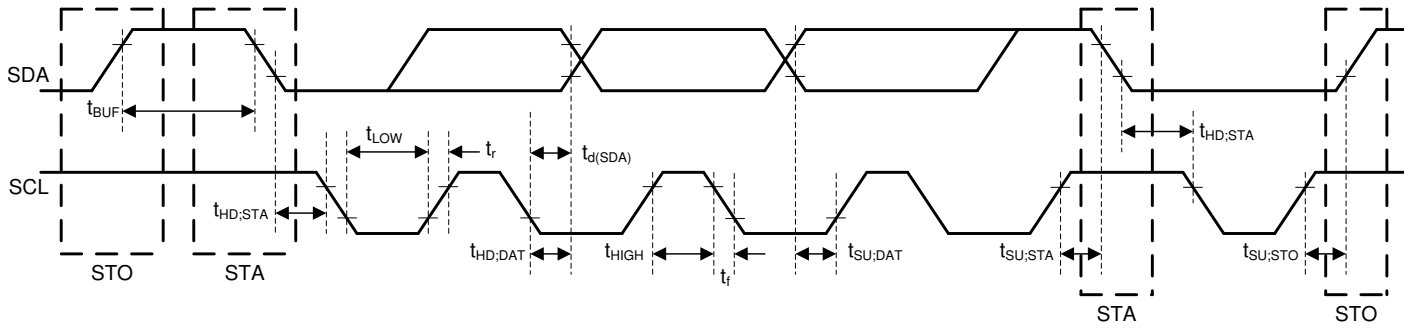


図 5-1. I²C インターフェイス プロトコル図

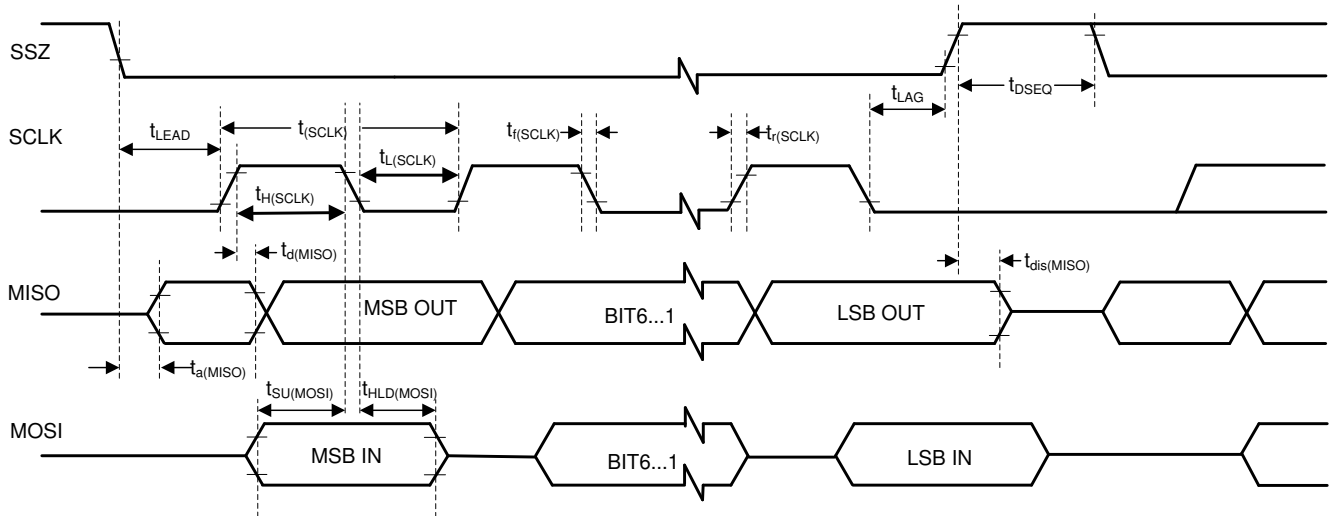


図 5-2. SPI タイミング図

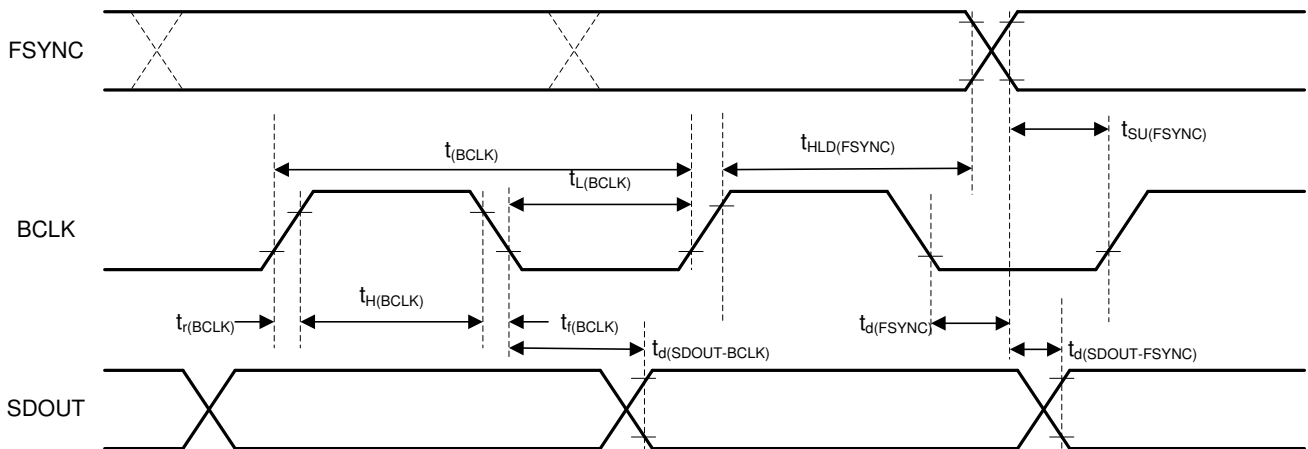


図 5-3. TDM (BCLK_POL = 1)、I²S、LJ インターフェイスのタイミング図

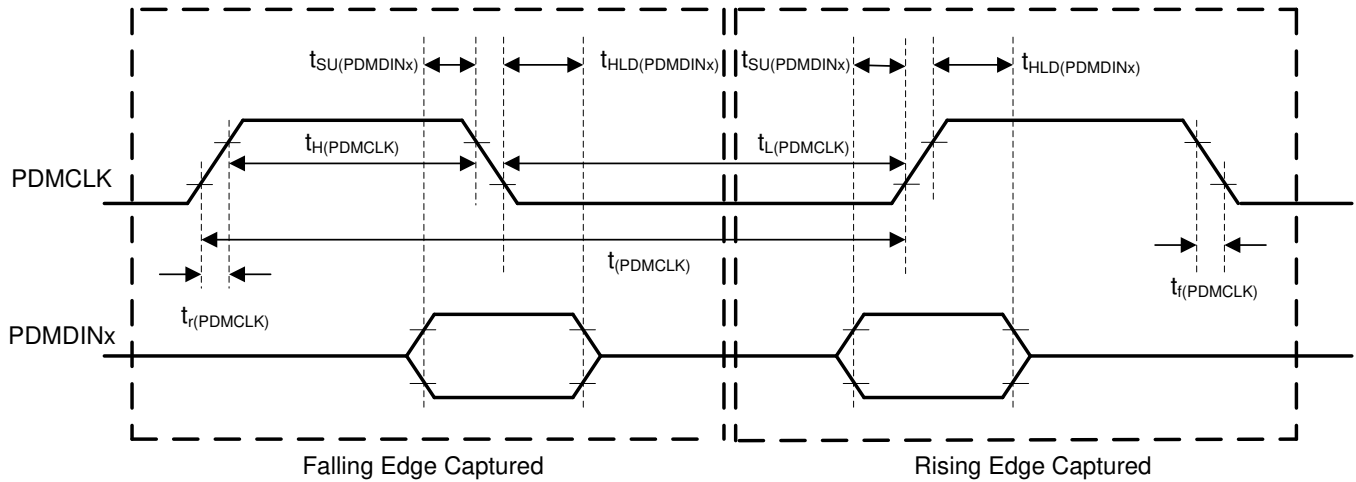
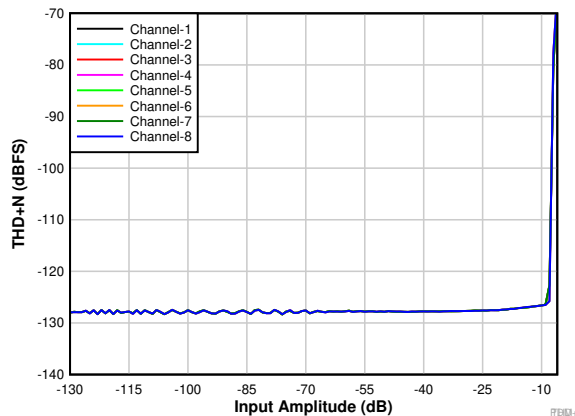


図 5-4. PDM デジタル マイクロフォン インターフェイスのタイミング図

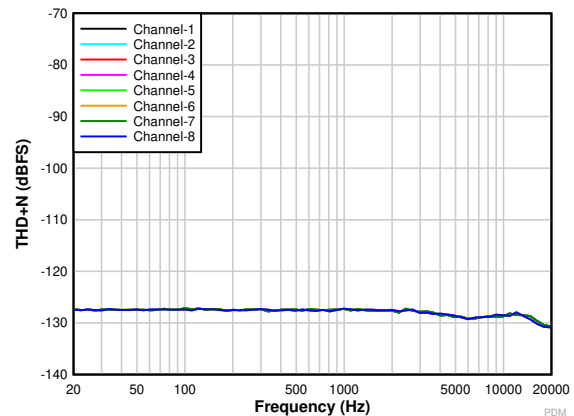
5.14 代表的特性

$T_A = 25^\circ\text{C}$ の場合、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、 $PDMCLKx = 64 \times f_S$ 、32 ビットのオーディオデータ、 $BCLK = 256 \times f_S$ 、TDM スレーブ モード、PLL オン、線形位相デシメーションフィルタ (特に記述のない限り)。すべての性能測定は、 20kHz のローパスフィルタと A 特性補正フィルタを使用して実行 (特に記述のない限り)。すべての測定は、オーディオ精度を使用してデバイスの PDM デジタル入力信号を供給する方法で実施します



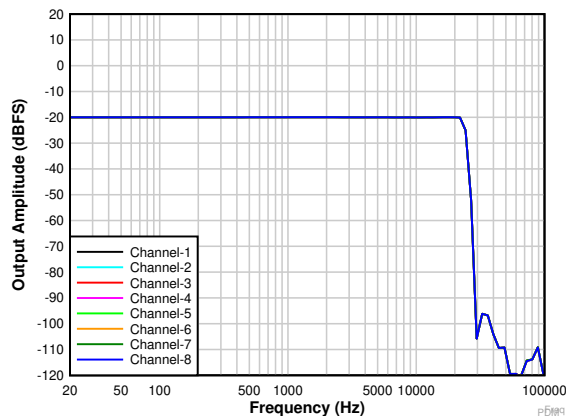
PDMCLKx = 3.072MHz の 5 次 PDM 変調器

図 5-5. THD+N と入力振幅との関係



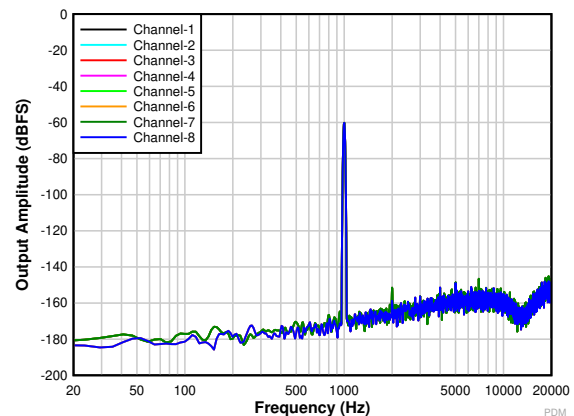
PDMCLKx = 3.072MHz の 5 次 PDM 変調器

図 5-6. THD+N と入力周波数との関係、-20dB 入力



PDMCLKx = 3.072MHz の 5 次 PDM 変調器

図 5-7. 周波数応答、-20dB 入力

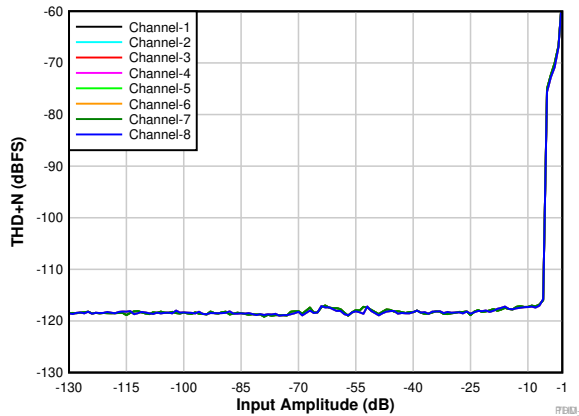


PDMCLKx = 3.072MHz の 5 次 PDM 変調器

図 5-8. FFT、-60dB 入力

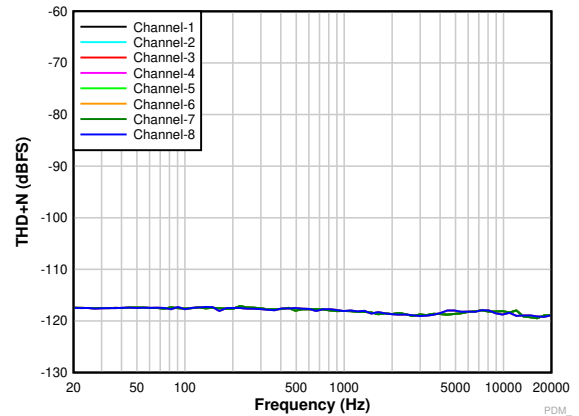
5.14 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、 $\text{PDMCLKx} = 64 \times f_S$ 、32 ビットのオーディオデータ、 $\text{BCLK} = 256 \times f_S$ 、TDM スレーブ モード、PLL オン、線形位相デシメーションフィルタ (特に記述のない限り)。すべての性能測定は、 20kHz のローパスフィルタと A 特性補正フィルタを使用して実行 (特に記述のない限り)。すべての測定は、オーディオ精度を使用してデバイスの PDM デジタル入力信号を供給する方法で実施します



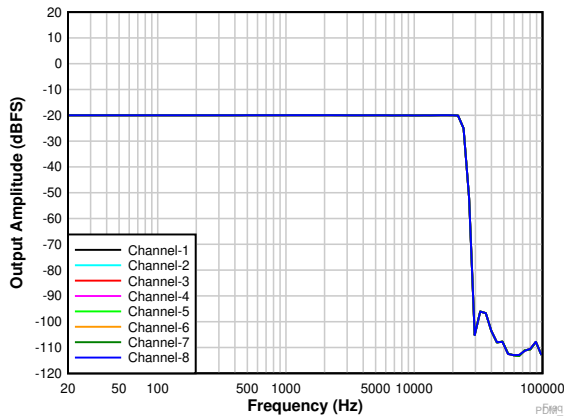
PDMCLKx = 3.072MHz の 4 次 PDM 変調器

図 5-9. THD+N と入力振幅との関係



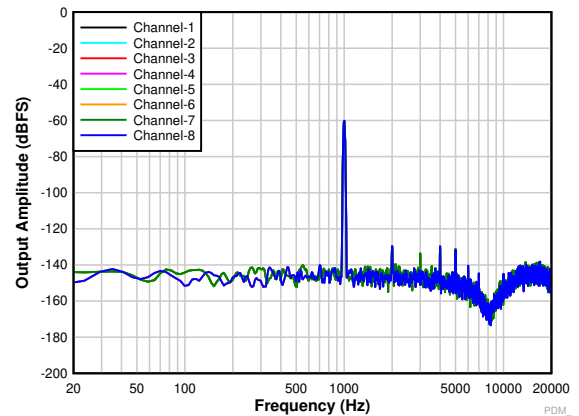
PDMCLKx = 3.072MHz の 4 次 PDM 変調器

図 5-10. THD+N と入力周波数との関係、-20dB 入力



PDMCLKx = 3.072MHz の 4 次 PDM 変調器

図 5-11. 周波数応答、-20dB 入力

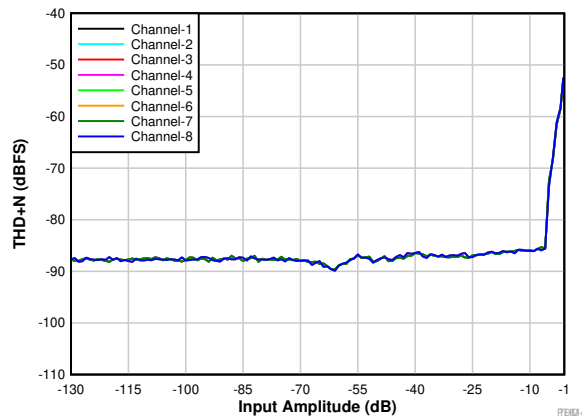


PDMCLKx = 3.072MHz の 4 次 PDM 変調器

図 5-12. FFT、-60dB 入力

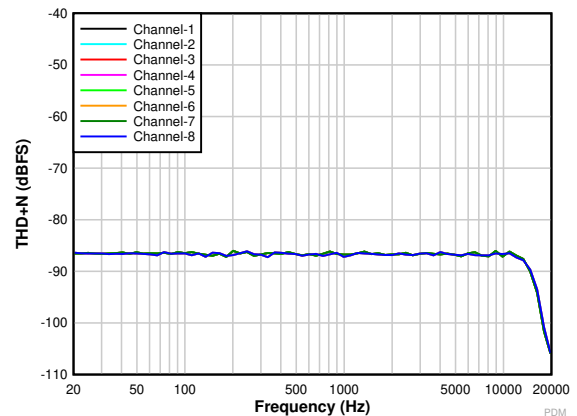
5.14 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ の場合、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦波信号、 $f_S = 48\text{kHz}$ 、 $\text{PDMCLKx} = 64 \times f_S$ 、32 ビットのオーディオデータ、 $\text{BCLK} = 256 \times f_S$ 、TDM スレーブ モード、PLL オン、線形位相デシメーションフィルタ (特に記述のない限り)。すべての性能測定は、 20kHz のローパスフィルタと A 特性補正フィルタを使用して実行 (特に記述のない限り)。すべての測定は、オーディオ精度を使用してデバイスの PDM デジタル入力信号を供給する方法で実施します



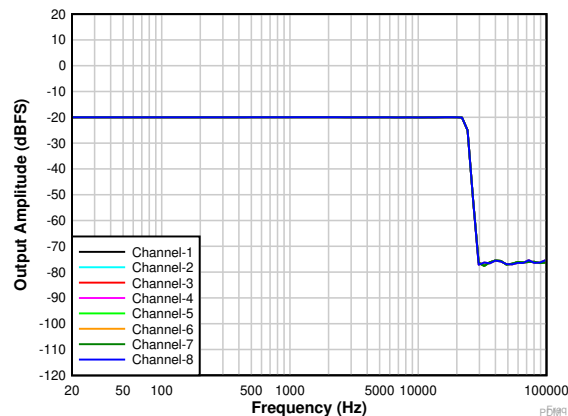
PDMCLKx = 1.536MHz の 4 次 PDM 変調器

図 5-13. THD+N と入力振幅との関係



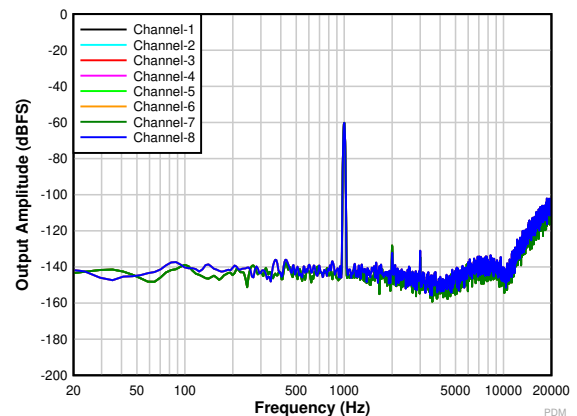
PDMCLKx = 1.536MHz の 4 次 PDM 変調器

図 5-14. THD+N と入力周波数との関係、-20dB_r 入力



PDMCLKx = 1.536MHz の 4 次 PDM 変調器

図 5-15. 周波数応答、-20dB_r 入力



PDMCLKx = 1.536MHz の 4 次 PDM 変調器

図 5-16. FFT、-60dB_r 入力

6 詳細説明

6.1 概要

PCMD3180 は、高性能、低消費電力、柔軟性の高い 8 チャンネルのパルス密度変調 (PDM) 入力から時分割多重 (TDM) または I²S オーディオ出力へのコンバータであり、広範な機能を統合しています。このデバイスは、音声操作システム、ポータブル コンピューティング、通信、エンターテインメントの各アプリケーションを意図しています。このデバイスは消費電力が低いいため、バッテリー駆動の携帯オーディオ システム用に設計されています。このデバイスには、スペースが制限されたバッテリー駆動の民生用、家庭用、産業用アプリケーションにおけるコスト、基板スペース、電力消費を削減する多数の機能が統合されています。

PCMD3180 は以下に示すブロックで構成されています。

- 8 チャンネルのパルス密度変調 (PDM) デジタル マイク インターフェイスと高性能デシメーション フィルタ
- デジタル マイクに電力を供給するための低ノイズのマイク バイアス出力
- 線形位相または低レイテンシ フィルタを備えたプログラマブル デシメーション フィルタ
- 各チャンネル用のプログラム可能なデジタル ボリューム制御、バイクワッド フィルタ
- 各チャンネルごとに、高分解能で位相とゲインの較正をプログラム可能
- プログラマブル ハイパス フィルタ (HPF) およびデジタル チャンネル ミキサ
- 多様なシステム クロックをサポートする低ジッタのフェーズ ロック ループ (PLL) を内蔵
- 単一電源動作をサポートするデジタルおよびアナログ電圧レギュレータを内蔵

制御レジスタを構成するための PCMD3180 との通信は、I²C または SPI を使用してサポートされています。このデバイスは、柔軟性の高いオーディオ・シリアル・インターフェイス[時分割多重化 (TDM)、I²S、左揃え (LJ)]をサポートしており、システムでデバイス間でオーディオ データをシームレスに送信できます。

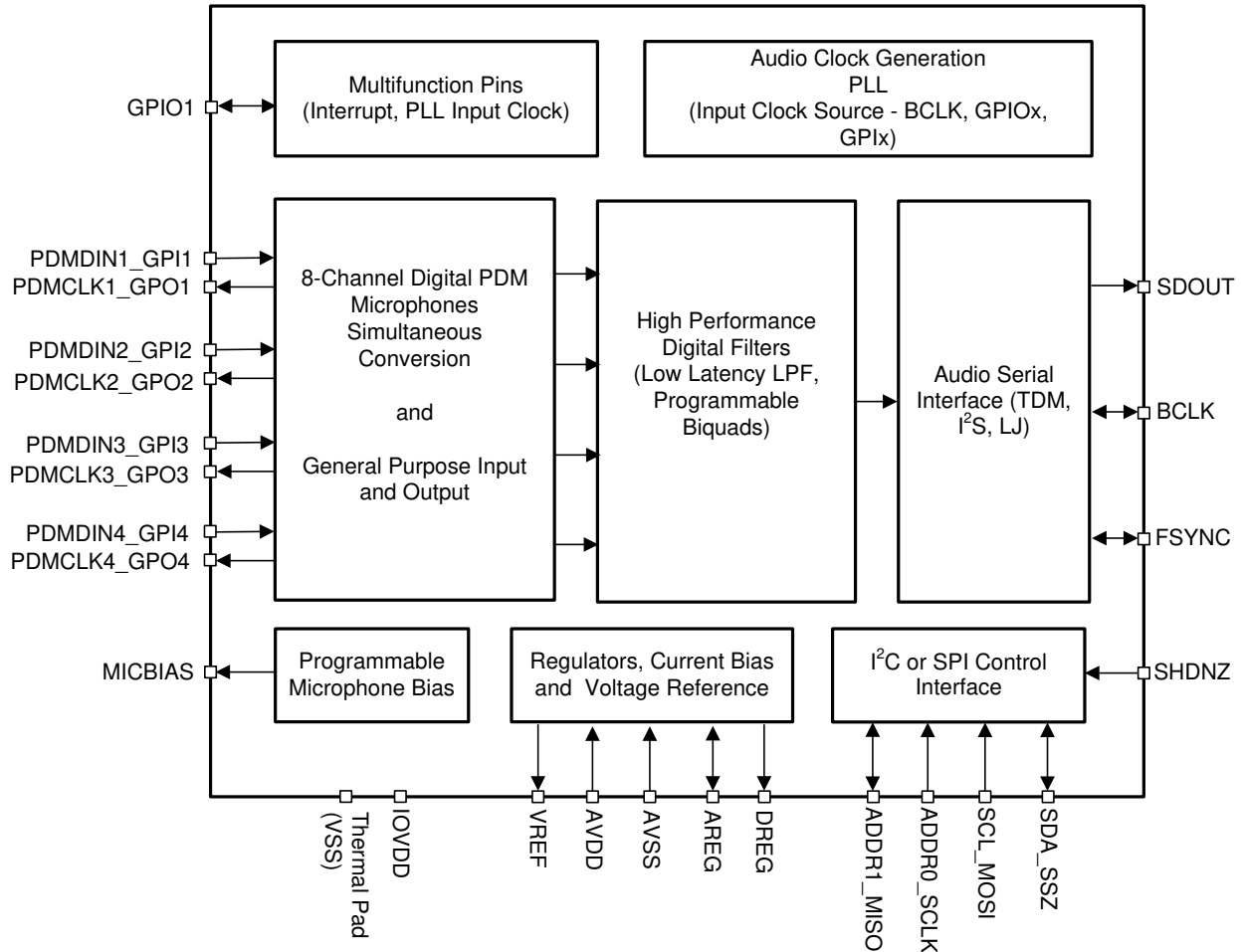
デバイスは、複数のデバイス間で共通の I²C と TDM バスを共有することで、複数のデバイスをサポートできます。さらに、このデバイスはデイズチェーン機能と、セカンダリ オーディオ シリアル出力データ ピンを備えています。これらの機能により、高いオーディオ データ帯域幅を必要とするアプリケーションで複数のデバイスを動作させる場合、共有 TDM バスのタイミング要件と基板設計の複雑さが緩和されます。

表 6-1 に、このドキュメント全体を通して、デバイスを制御するレジスタに使用される参照用略語を示します。

表 6-1. レジスタ参照の略語

リファレンス	略語	説明	例
ページ y、登録 z、ビット k	Py_Rz_Dk	シングル データ ビット。レジスタの 1 ビットの値。	ページ 4、レジスタ 36、ビット 0 = P4_R36_D0
ページ y、レジスタ z、ビット k-m	Py_Rz_D[k:m]	データ ビットの範囲。データ ビットの範囲 (含む)。	ページ 4、レジスタ 36、ビット 3-0 = P4_R36_D[3:0]
ページ y、登録 z	Py_Rz	レジスタ全体に 1 つ。レジスタ内の 8 ビットすべてをユニットとして使用	ページ 4、レジスタ 36 = P4_R36
ページ y、レジスタ z-n	Py_Rz-Rn	レジスタの範囲。同じページ内のレジスタの範囲。	ページ 4、レジスタ 36、37、38 = P4_R36R38

6.2 機能ブロック図



6.3 機能説明

6.3.1 シリアルインターフェイス

このデバイスには、制御とオーディオデータの2つのシリアルインターフェイスがあります。制御シリアルインターフェイスは、デバイスの構成に使用されます。オーディオデータシリアルインターフェイスは、オーディオデータをホストデバイスに送信するために使用されます。

6.3.1.1 制御シリアルインターフェイス

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタには、デバイスへのI²CまたはSPI通信を使用してすべてアクセスできます。詳細については、「[プログラミング](#)」セクションを参照してください。

6.3.1.2 オーディオシリアルインターフェイス

デジタルオーディオデータは、ホストプロセッサとPCMD3180の間でデジタルオーディオシリアルインターフェイス(ASI)またはオーディオバスを通じて流れます。この非常に柔軟なASIバスには、マルチチャンネル動作のTDMモード、I²Sまたは左揃えプロトコルフォーマットのサポート、プログラマブルデータ長オプション、バスクロックラインのための非常に柔軟なマスターとスレーブの設定、システム内の複数のデバイスと直接通信する能力が含まれています。

バス プロトコル TDM、I²S、左揃え (LJ) 形式は、ASI_FORMAT[1:0]、P0_R7_D[7:6] レジスタ ビットを使用して選択できます。表 6-2 と表 6-3 に示すように、これらのモードはすべて最上位ビット (MSB) ファーストのパルス符号変調 (PCM) データフォーマットで、出力チャンネルのデータワード長は、ASI_WLEN[1:0]、P0_R7_D[5:4] レジスタ ビットを構成することで 16、20、24、または 32 ビットに設定可能です。

表 6-2. オーディオ シリアル インターフェイスのフォーマット

P0_R7_D[7:6]:ASI_FORMAT[1:0]	オーディオ シリアル インターフェイスのフォーマット
00 (デフォルト)	時分割多重化 (TDM) モード
01	インタ IC サウンド (I ² S) モード
10	左揃え (LJ) モード
11	予約済み (この設定は使用しないでください)

表 6-3. オーディオ出力チャンネル データ ワード長

P0_R7_D[5:4]:ASI_WLEN[1:0]	オーディオ出力チャンネル データ ワード長
00	出力チャンネル データワード長 は 16 ビットに設定
01	出力チャンネル データワード長 は 20 ビットに設定
10	出力チャンネル データワード長 は 24 ビットに設定
11 (デフォルト)	出力チャンネル データワード長 は 32 ビットに設定

フレーム同期ピン (FSYNC) は、このオーディオ バス プロトコルでフレームの開始を定義するために使用され、出力データ サンプル レートと同じ周波数を持っています。ビット クロック ピン (BCLK) は、デジタル オーディオ データをシリアル バス 経由で クロック アウトするために使用されます。フレーム内のビット クロック サイクル数は、プログラムされたデータワード長を持つ複数の デバイス アクティブ出力チャンネルに対応する必要があります。

フレームは、複数の時分割チャンネル スロット (最大 64 個) で構成され、同じオーディオ バスを共有するデバイスまたは 複数の PCMD3180 デバイスによって、すべての出力チャンネルのオーディオ データ転送がオーディオ バス上で完了するようになっています。このデバイスは、最大 8 つの出力チャンネルをサポートしており、オーディオ データをスロット 0 からスロット 63 まで配置するように設定できます。表 6-4 に、出力チャンネル スロットの設定値を示します。I²S および LJ モードでは、Inter-IC Sound (I²S) インターフェイスおよび左揃え (LJ) インターフェイス セクションに記載されているように、スロットは左チャンネル スロットと右チャンネル スロットの 2 つのセットに分割されます。

表 6-4. 出力チャンネル スロット割り当て設定

P0_R11_D[5:0]:CH1_SLOT[5:0]	出力チャンネル 1 のスロット割り当て
00 0000 = 0d (デフォルト)	スロット 0 は TDM 用、または I ² S、LJ 用の左 チャンネル スロット 0。
00 0001 = 1d	スロット 1 は TDM 用、または I ² S、LJ 用の左 チャンネル スロット 1。
...	...
01 1111 = 31d	スロット 31 は TDM 用、または I ² S、LJ 用の左 チャンネル スロット 31。
10 0000 = 32d	TDM の場合はスロット 32、I ² S、LJ の場合は右スロット 0。
...	...
11 1110 = 62d	TDM の場合はスロット 62、I ² S、LJ の場合は右スロット 30。
11 1111 = 63d	TDM の場合はスロット 63、I ² S、LJ の場合は右スロット 31。

同様に、出力チャンネル 2 からチャンネル 8 のスロット割り当て設定は、CH2_SLOT (P0_R12) から CH8_SLOT (P0_R18) のレジスタを使用して、それぞれ構成することができます。

スロット ワード長は、デバイスに設定された出力チャンネル データワード長と同じです。出力チャンネル データワード長は、システム内ですべてのデバイスが同じ ASI バスを共有する場合、すべての PCMD3180 デバイスで同じ値に設定する必要があります。システム内の ASI バスで使用可能な最大スロット数は、利用可能なバス帯域幅によって制限されます。この帯域幅は、BCLK 周波数、使用される出力データ サンプル レート、および設定されたチャンネル データワード長に依存します。

このデバイスには、スロット データ転送の開始位置をフレーム同期に対して最大 31 サイクル分、ビット クロックでオフセットする機能も含まれています。表 6-5 に、プログラマブル オフセット構成の設定を示します。

表 6-5. ASI スロット開始のプログラマブル オフセット設定

P0_R8_D[4:0]:TX_OFFSET[4:0]	スロット データ送信開始のプログラム可能なオフセット設定
0 0000 = 0d (デフォルト)	このデバイスは、オフセットなしで標準プロトコルのタイミングに従います。
0 0001 = 1d	スロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。 I ² S または LJ の場合、左チャンネルと右チャンネルのスロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。
.....
1 1110 = 30d	スロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。 I ² S または LJ の場合、左チャンネルと右チャンネルのスロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。
1 1111 = 31d	スロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。 I ² S または LJ の場合、左チャンネルと右チャンネルのスロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。

このデバイスには、オーディオ データを転送するために使用されるフレーム同期ピン (FSYNC) の極性を反転させる機能もあり、これは標準プロトコルのタイミングで使用されるデフォルトの FSYNC 極性と比較されます。この機能は、FSYNC_POL、P0_R7_D3 レジスタビットを使用して設定できます。同様に、このデバイスはビット クロック ピン (BCLK) の極性を反転させることができ、これは BCLK_POL、P0_R7_D2 レジスタビットを使用して設定できます。

6.3.1.2.1 時分割多重オーディオ (TDM) インターフェイス

DSP モードとも呼ばれる TDM モードでは、FSYNC の立ち上がりエッジで、スロット 0 のデータから最初にデータ転送が開始されます。スロット 0 データの転送直後に、残りのスロット データは順番に送信されます。FSYNC と各データ ビット (TX_OFFSET が 0 のときのスロット 0 の MSB を除く) は、BCLK の立ち上がりエッジで送信されます。図 6-1 ~ 図 6-4 に、TDM 動作のプロトコル タイミングとさまざまな構成を示します。

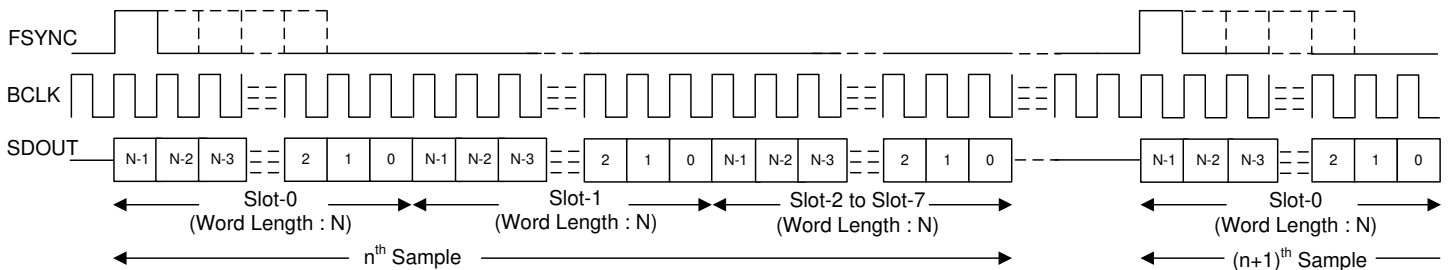


図 6-1. TDM モード標準プロトコル タイミング (TX_OFFSET = 0)

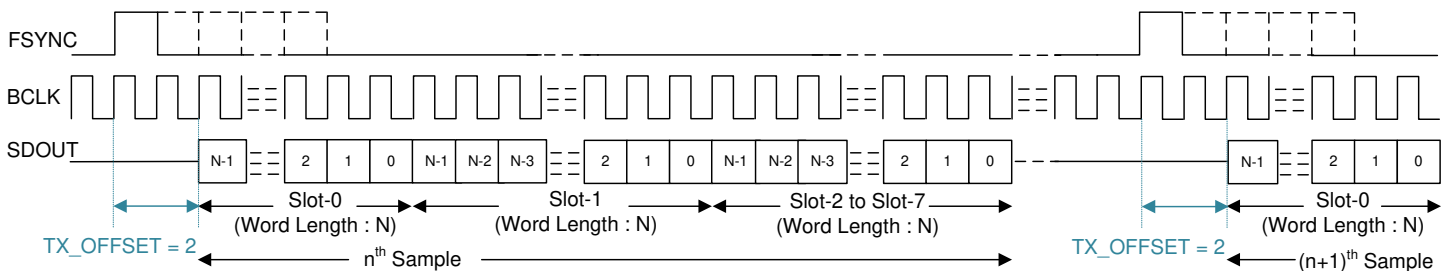


図 6-2. TDM モードのプロトコル タイミング (TX_OFFSET = 2)

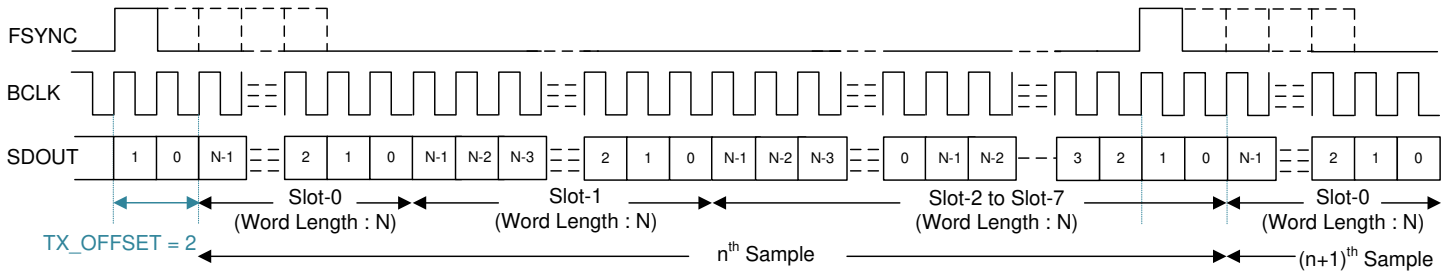


図 6-3. TDM モードのプロトコル タイミング (アイドル BCLK サイクルなし、TX_OFFSET = 2)

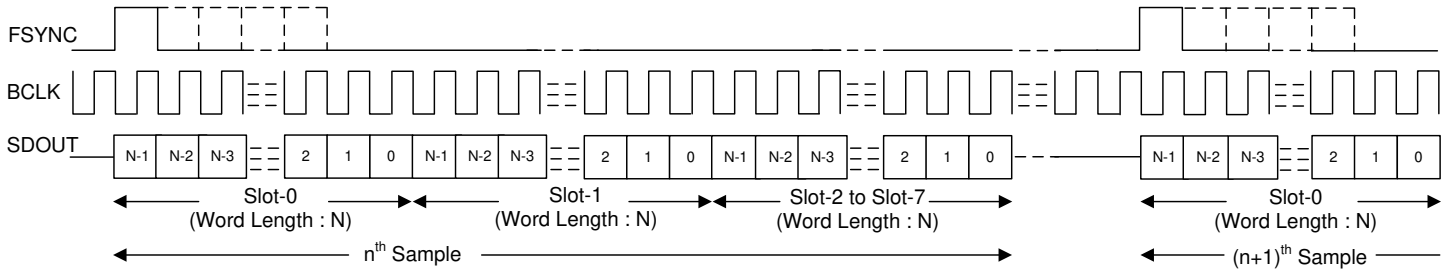


図 6-4. TDM プロトコルのタイミング (TX_OFFSET = 0 および BCLK_POL = 1)

TDM モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャンネル数と出力チャンネルデータのプログラムされたワード長との積以上の値である必要があります。このデバイスは、1 サイクル幅のビット クロックを使用するパルスとして FSYNC をサポートしますが、同様に複数の倍数にも対応しています。BCLK 周波数を高くして動作させるには、TX_OFFSET 値を 0 より高く設定した TDM モードを使用することを推奨します。

6.3.1.2.2 I²S (Inter IC Sound) インターフェイス

標準の I²S プロトコルは、左と右の 2 つのチャンネルのみに対して定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャンネル動作に拡張しています。I²S モードでは、FSYNC の立ち下がりエッジの後の 2 番目のサイクルで、左スロット 0 の MSB が BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち上がりエッジの後の 2 番目のサイクルで、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC と各データ ビットは、BCLK の立ち下がりエッジで送信されます。図 6-5 ~ 図 6-8 に、I²S 動作のプロトコル タイミングとさまざまな構成を示します。

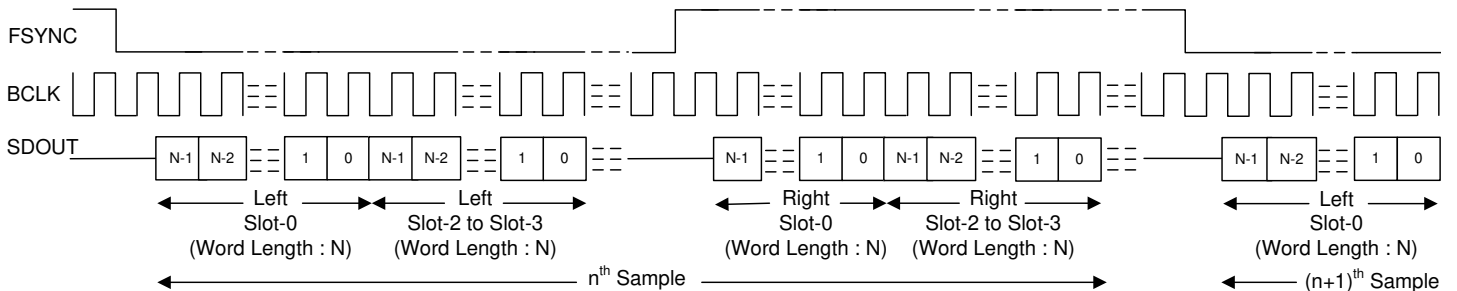
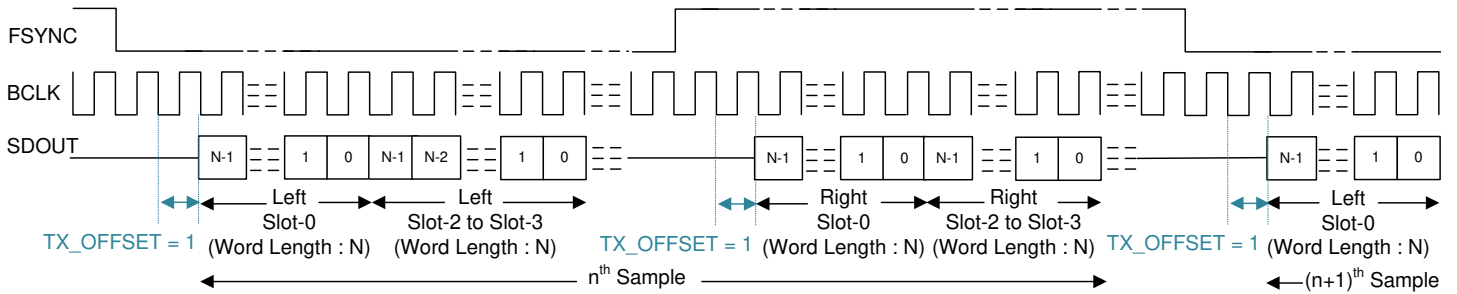
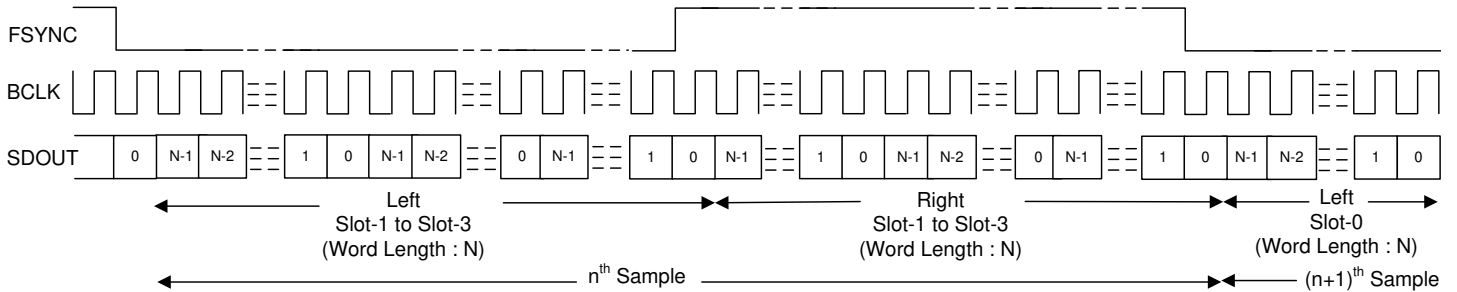
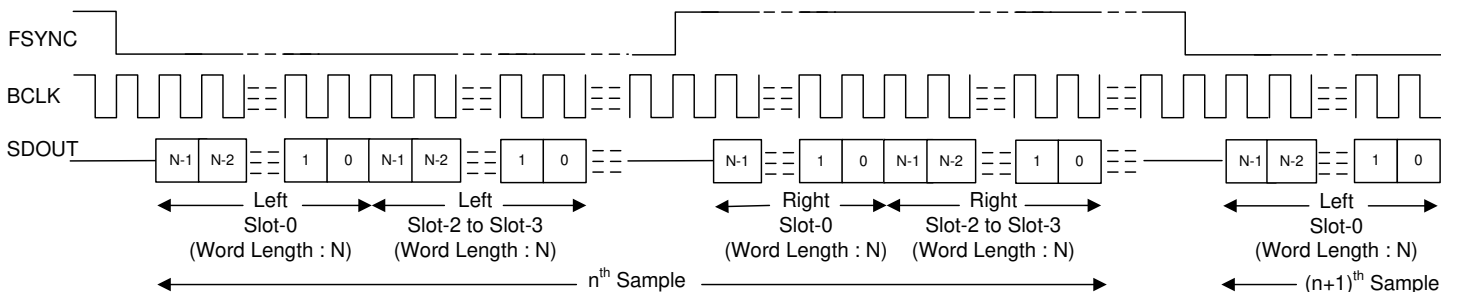


図 6-5. I²S モードの標準プロトコルのタイミング (TX_OFFSET = 0)

図 6-6. I²S プロトコルのタイミング (TX_OFFSET = 1)図 6-7. I²S プロトコルのタイミング (アイドル BCLK サイクルなし、TX_OFFSET = 0)図 6-8. I²S プロトコルのタイミング (TX_OFFSET = 0 および BCLK_POL = 1)

I²S モードでオーディオ バスを正常に動作させるためには、フレームあたりのビット クロック数が、アクティブな出力チャンネル数(左および右スロットを含む)に、出力チャンネル データの設定されたワード長を掛けた値以上でなければなりません。本デバイスの FSYNC の Low パルスは、アクティブな左スロット数に設定されたデータ ワード長を掛けた値以上の BCLK サイクル幅でなければなりません。同様に、FSYNC の High パルスは、アクティブな右スロット数に設定されたデータワード長を掛けた値以上の BCLK サイクル幅でなければなりません。

6.3.1.2.3 左揃え (LJ) インターフェイス

標準的な LJ プロトコルは、左と右の 2 チャンネルのみに定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャンネル動作に拡張しています。LJ モードでは、FSYNC の立ち上がりエッジの後、左スロット 0 の MSB が同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち下がりエッジの後、同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC は、BCLK の立ち下がりエッジで送信されます。図 6-9 ~ 図 6-12 に、LJ 動作のプロトコル タイミングとさまざまな構成を示します。

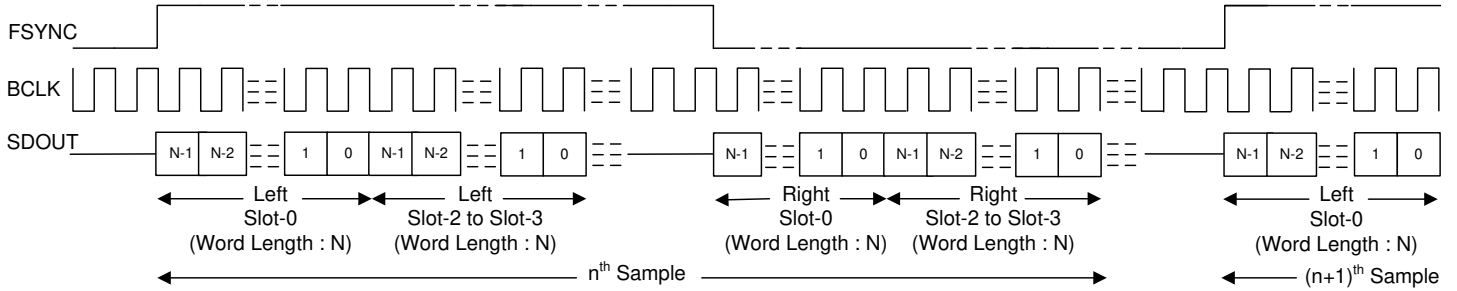


図 6-9. LJ モード標準プロトコル タイミング (TX_OFFSET = 0)

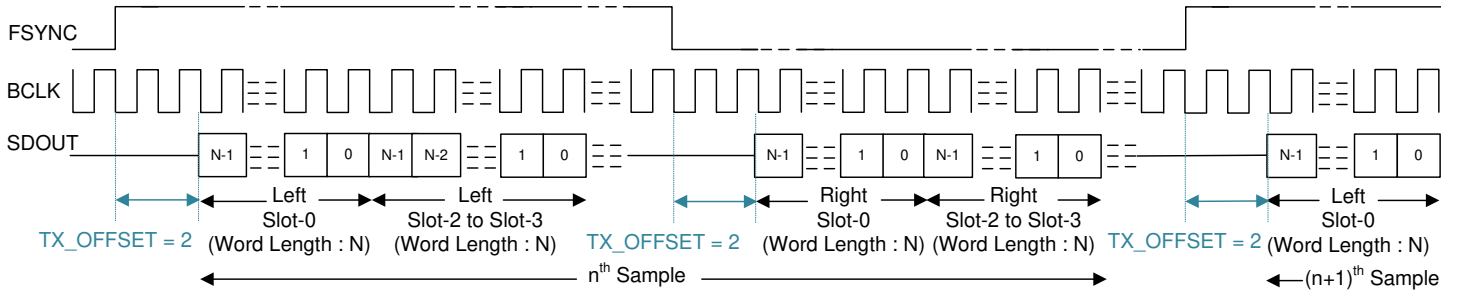


図 6-10. LJ プロトコルのタイミング (TX_OFFSET = 2)

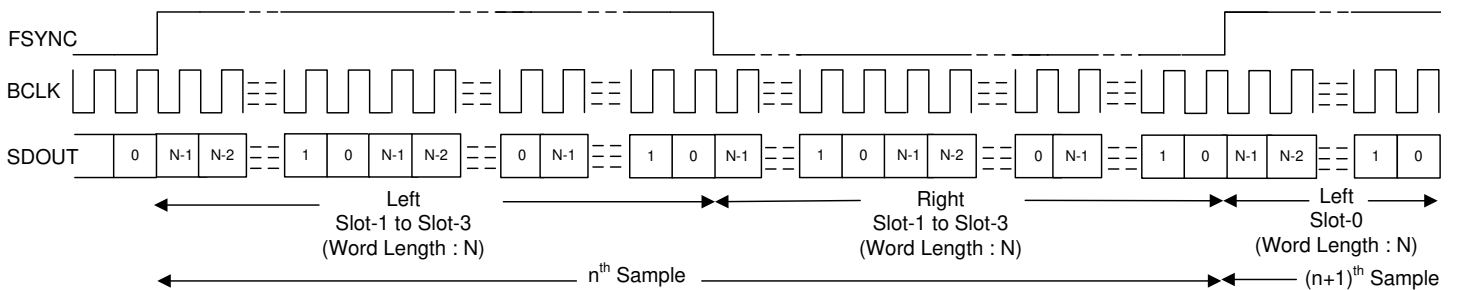


図 6-11. LJ プロトコルのタイミング (アイドル BCLK サイクルなし、TX_OFFSET = 0)

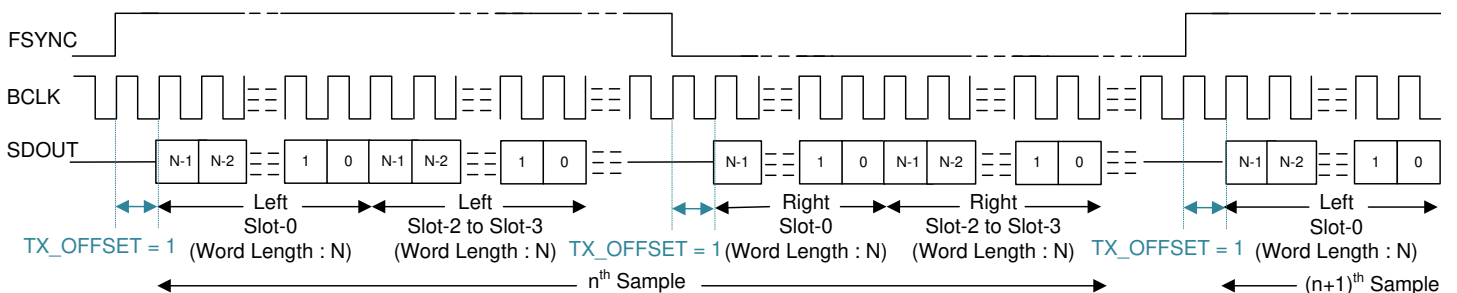


図 6-12. LJ プロトコルのタイミング (TX_OFFSET = 1 および BCLK_POL = 1)

LJ モードでオーディオバスを適切に動作させるには、1 フレームあたりのビットクロック数が、アクティブな出力チャンネル数(左および右のスロットを含む)に、出力チャンネルデータのプログラムされたワード長を掛けた数以上である必要があります。デバイス FSYNC の High パルスは、アクティブな左スロット数に設定されたデータワード長を掛けた数以上の BCLK サイクル幅である必要があります。同様に、FSYNC の Low パルスは、アクティブな右スロット数に設定されたデータワード長を掛けた数以上の BCLK サイクル幅である必要があります。BCLK 周波数を高くして動作させるには、TX_OFFSET 値を 0 より高く設定した LJ モードを使用することを推奨します。

6.3.1.3 共有バスで複数のデバイスを使用

このデバイスは、複数の機能と柔軟なオプションを備え、単一の共通の I²C 制御バスとオーディオ シリアル インターフェイス バスを共有することで、複数の PCMD3180 デバイスをシステムでシームレスに接続するために使用できます。このアーキテクチャにより、ビームフォーミング動作、電話会議、ノイズ キャンセルなどにマイク アレイを必要とするシステムに、複数のアプリケーションを適用できます。図 6-13 に、制御データバスとオーディオ データバスが共有されている構成における複数の PCMD3180 デバイスの図を示します。

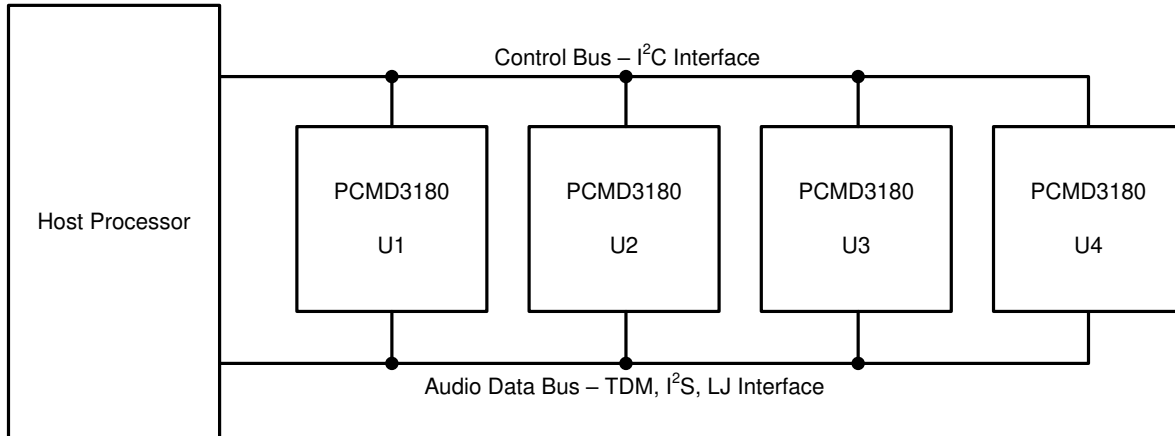


図 6-13. 制御データバスとオーディオデータバスを共有する複数の PCMD3180 デバイス

PCMD3180 は、共有バスを使用して複数のデバイスとのシームレスな接続と相互作用を可能にする以下の機能を備えています。

- ピンによりプログラム可能な 4 つまでの I²C スレーブ アドレスをサポート
- I²C ブロードキャストにより、すべての PCMD3180 デバイスに対して同時に書き込み (またはトリガ)
- オーディオ シリアル インターフェイス用の最大 64 構成の出力チャンネル スロットをサポート
- デバイスの未使用のオーディオ データ スロット用のトライステート機能 (有効化と無効化が可能)
- オーディオ バス上の最後の駆動値を保持するためのバス ホルダ機能 (有効化および無効化可能) をサポート
- GPIO1 または GPOx ピンは、オーディオ シリアル インターフェイスのセカンダリ出力データレーンとして構成できます
- GPIO1 または GPIx ピンは、複数の PCMD3180 デバイスのデジチェーン構成で使用できます
- 高速インターフェイスのタイミング要件を緩和するために、BCLK サイクル 1 回のデータ ラッチング タイミングをサポート
- オーディオ シリアル インターフェイス用のプログラマブルなマスターとスレーブのオプション
- 複数のデバイスを同期し、複数のデバイス間での同時サンプリング要件に対応できる機能

このシステムでは、単一の共通 I²C 制御バスおよびオーディオ シリアル インターフェイス バスを共有することで、複数の PCMD3180 デバイスを TLV320ADCx140 デバイスと組み合わせて接続することもできます。詳細については、『[複数の TLV320ADCx140 デバイスで TDM および I²C バスを共有する](#)』アプリケーション ノートを参照してください。

6.3.2 フェーズロックループ(PLL) とクロック生成

このデバイスには、PDM クロック生成および信号処理に使用されるデジタル フィルタ エンジンに必要なすべての内部クロックを生成するスマート自動構成ブロックがあります。この構成は、オーディオ バス上の FSYNC および BCLK 信号の周波数を監視することによって行われます。

デバイスは、さまざまな出力データ サンプル レート (FSYNC 信号周波数) および BCLK と FSYNC の比率をサポートし、ホストプログラミングなしで PLL 構成を含むすべてのクロック ディバイダを内部で構成します。表 6-6 および表 6-7 に、サポートされている FSYNC および BCLK 周波数を示します。

表 6-6. サポートされる FSYNC (48kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK (MHz)								
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)	FSYNC (384kHz)	FSYNC (768kHz)
16	予約済み	0.256	0.384	0.512	0.768	1.536	3.072	6.144	12.288
24	予約済み	0.384	0.576	0.768	1.152	2.304	4.608	9.216	18.432
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144	12.288	24.576
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216	18.432	予約済み
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288	24.576	予約済み
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432	予約済み	予約済み
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576	予約済み	予約済み
192	1.536	3.072	4.608	6.144	9.216	18.432	予約済み	予約済み	予約済み
256	2.048	4.096	6.144	8.192	12.288	24.576	予約済み	予約済み	予約済み
384	3.072	6.144	9.216	12.288	18.432	予約済み	予約済み	予約済み	予約済み
512	4.096	8.192	12.288	16.384	24.576	予約済み	予約済み	予約済み	予約済み
1024	8.192	16.384	24.576	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	16.384	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

表 6-7. サポートされる FSYNC (44.1kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
16	予約済み	予約済み	0.3528	0.4704	0.7056	1.4112	2.8224	5.6448	11.2896
24	予約済み	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336	8.4672	16.9344
32	予約済み	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448	11.2896	22.5792
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672	16.9344	予約済み
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896	22.5792	予約済み
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344	予約済み	予約済み
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792	予約済み	予約済み
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	予約済み	予約済み	予約済み
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	予約済み	予約済み	予約済み
384	2.8224	5.6448	8.4672	11.2896	16.9344	予約済み	予約済み	予約済み	予約済み
512	3.7632	7.5264	11.2896	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み
1024	7.5264	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	15.0528	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

ステータスレジスタ ASI_STS、P0_R21 は、デバイスの自動検出結果 (FSYNC 周波数と BCLK と FSYNC の比率) をキャプチャします。デバイスがサポートされていない FSYNC 周波数と BCLK と FSYNC の比率の組み合わせを検出した場合、デバイスは ASI クロック エラー割り込みを生成し、それに応じて録音チャンネルをミュートします。

デバイスは、PDM クロック生成やデジタルフィルタ エンジン、その他の制御ブロックに必要な内部クロックを生成するために、統合された低ジッタの位相同期ループ (PLL) を使用しています。このデバイスは、PLL を使用せずに BCLK、GPIO1、または GPIx ピン (MCLK として) をオーディオ クロック ソースとして使用するオプションもサポートしており、これにより消費電力を削減できます。ただし、外部クロック ソースからのジッタにより PDM マイクの性能が低下する可能性があり、外部オーディオ クロック ソースの周波数が十分に高くない場合、一部の処理機能がサポートされない可能性があります。したがって、TI は高性能アプリケーションには PLL の使用を推奨しています。PLL を使用せずに低電力モードでデバイスを構成して使用方法に関する詳細および情報については、『さまざまな使用シナリオにおける TLV320ADCx140 の消費電力マトリックス』アプリケーション ノートを参照してください。

デバイスは、GPIO1 または GPIx ピン (MCLK として) をリファレンス入力クロック ソースとして使用するオーディオ バス マスター モード動作もサポートしており、さまざまな柔軟なオプションと広範囲なシステム クロックをサポートしています。マスター モードの構成と動作に関する詳細については、『オーディオ バス マスターとしての TLV320ADCx140 の構成と動作』アプリケーション ノートを参照してください。

オーディオ バス クロック エラー検出および自動検出機能は、すべての内部クロックを自動的に生成しますが、ASI_ERR、P0_R9_D5、および AUTO_CLK_CFG、P0_R19_D6 レジスタ ビットを使用してそれぞれ無効にすることができます。システムでは、この無効化機能を使用して、オート検出方式ではカバーされていないカスタムクロック周波数をサポートすることができます。このようなアプリケーションの使用事例では、複数のクロック分周器がすべて適切に構成されるように注意する必要があります。そのため、TI は、デバイス設定の構成には PPC3 GUI の使用を推奨しています。詳細については、『ADCx140EVM-PDK ユーザー ガイド』および『オーディオ システム設計 / 開発向け PurePath™ Console グラフィカル開発スイート』を参照してください。

6.3.3 基準電圧

PCMD3180 は、内部で低ノイズの基準電圧を生成することによって、低ノイズ性能を実現します。この基準電圧は、高性能 PSRR のバンドギャップ回路を使用して生成されるもので、VREF ピンからアナログ グランド (AVSS) に接続された 1 μ F コンデンサを使用して外部でフィルタ処理する必要があります。

この基準電圧の値は、P0_R59_D[1:0] レジスタ ビットを使用して設定でき、システムで利用可能な AVDD 電源電圧に基づいて適切な値に設定する必要があります。デフォルトの VREF 値は 2.75V に設定されており、このモードに必要な最小 AVDD 電圧は 3V です。表 6-8 は、サポートされるさまざまな VREF 設定と、その構成に必要な AVDD 範囲を示しています。

表 6-8. VREF プログラム可能設定

P0_R59_D[1:0]: VREF_SEL[1:0]	VREF 出力電圧	AVDD 範囲の要件
00 (デフォルト)	2.75V	3V ~ 3.6V
01	2.5V	2.8V ~ 3.6V
10	1.375V	1.7V ~ 1.9V
11	予約済み	予約済み

『スリープ モードまたはソフトウェア シャットダウン』セクションに示されているように、低消費電力を実現するため、このオーディオ リファレンス 参照ブロックは電源が切られます。スリープ モードから復帰する際、オーディオ リファレンス 参照ブロックは内部の高速充電方式を使用して電源が供給され、VREF ピンは安定化時間後に定常状態の電圧に安定します (この時間は VREF ピンのデカップリング コンデンサに依存します)。1 μ F デカップリング コンデンサを使用する場合、この時間は約 3.5ms に等しくなります。VREF ピンに値の大きいデカップリング コンデンサが使用されている場合、VREF_QCHG、P0_R2_D[4:3] レジスタ ビットを使用して、ファスト チャージ設定を再構成する必要があります。このレジスタは、3.5ms (デフォルト)、10ms、50ms、または 100ms のオプションをサポートしています。

6.3.4 マイク バイアス

このデバイスは、システム内で MEMS デジタル マイクへの電源供給に使用できる、内蔵の低ノイズ プログラマブル マイク バイアス ピンポートを統合しています。MICBIAS ピンは、外部 1 μ F に接続して、アナログ グランド (AVSS) に接続する必要があります。MICBIAS ピンは、複数のマイクに使用できる最大 20mA の負荷電流をサポートしています。この MICBIAS ピンをバイアスや複数のマイクロフォンへの供給に使用する場合、マイクロフォン間のカップリングを最小限に抑えるために、MICBIAS 接続のための基板レイアウトで同相インピーダンスを避けます。システムで MICBIAS ピンをデジタル マイクの電源として使用する場合、TI は、MICBIAS 構成を AVDD として使用することを推奨します。これにより、デジタル マイクの PDMCLKx および PDMDINx 信号を外部レベル シフタなしで PCMD3180 に直接接続できます。表 6-9 に、マイクロフォン バイアスのプログラム可能なオプションを示します。

表 6-9. MICBIAS プログラム可能設定

P0_R59_D[6:4]:MBIAS_VAL[2:0]	P0_R59_D[1:0]:VREF_SEL[1:0]	MICBIAS 出力電圧
000 (デフォルト)	00 (デフォルト)	2.75V (VREF 出力と同じ)
	01	2.5V (VREF 出力と同じ)
	10	1.375V (VREF 出力と同じ)
001~101	XX	予約済み (これらの設定は使用しないでください)
110	XX	AVDD と同じ
111	XX	予約済み (この設定は使用しないでください)

マイクロフォン バイアス出力は、MICBIAS_PDZ および P0_R117_D7 レジスタ ビットを設定することで、オンまたはオフ (デフォルト) にすることができます。さらに、デバイスは、GPIO1 または GPIx ピンを構成して、マイクロフォン バイアス出力のオンとオフを直接制御するオプションを提供します。この機能は、I²C または SPI 通信を行う場合に、ホストを接続せずに、マイクを直接制御するのに役立ちます。GPIO1 または GPIx ピンがマイク バイアスのオン/オフを設定するように構成されている場合、MICBIAS_PDZ、P0_R117_D7 レジスタ ビットの値は無視されます。

6.3.5 デジタル PDM マイクロフォン録音チャンネル

このデバイスは、同時変換のために最大 8 つのデジタル PDM (パルス密度変調) マイクと接続し、高次および高性能のデシメーション フィルタを使用してパルス符号変調 (PCM) 出力データを生成し、TDM (時分割多重)、I²S、LJ (左揃え) オーディオ フォーマットのいずれかを使用してオーディオ シリアル インターフェイス経由でホストへ送信できます。

このデバイスは、内部で PCMCLK を生成します。周波数は、6.144MHz、3.072MHz、1.536MHz、または 768kHz (出力データ サンプル レートが 48kHz の倍数または約数の場合) または 5.6448MHz、2.8224MHz、1.4112MHz、または 705.6kHz (出力データのサンプル レートが 44.1kHz の倍数またはその倍数でない場合) を使用するには、PDMCLK_DIV[1:0]、P0_R31_D[1:0] レジスタ ビットを使用します。PDMCLK は PDMCLKx_GPOx ピンで配線できます。このクロックは、外部デジタル マイクロフォン デバイスに接続できます。また、このデバイスは制御レジスタもサポートしており、立ち上がりエッジまたは立ち下がりエッジのいずれかを使用して、各チャンネルの PDMCLKx データをラッチするよう独立して構成できます。図 6-14 は、デジタル PDM マイクの接続図を示します。

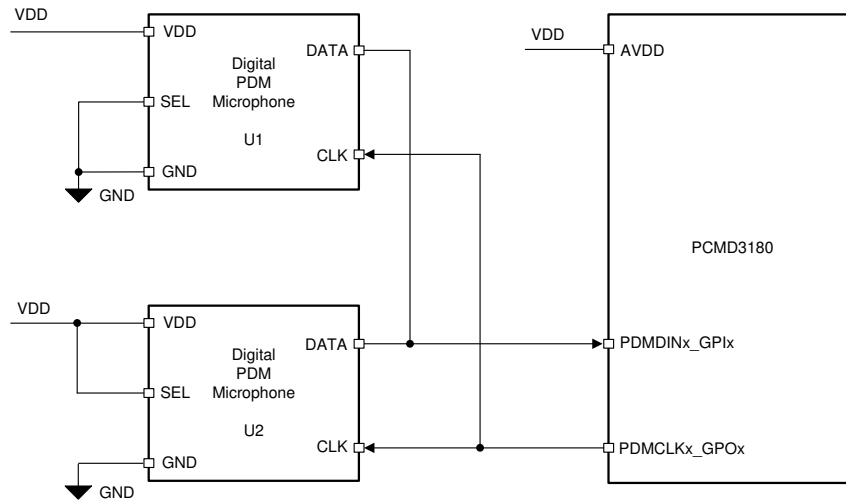


図 6-14. PCMD3180 へのデジタル PDM マイクの接続図

外部デジタル マイク機器のシングル ビット出力を GPIx ピンに接続できます。この単一のデータ ラインは、2 つのデジタル マイクで共有することができ、PDMCLK の反対側のエッジにデータを配置します。内部的には、デバイスは P0_R32_D[7:4] に設定された構成レジスタ ビットに基づいて、PDMCLK の立ち上がりエッジまたは PDMCLK の立ち下がりエッジで、データの安定した値がラッチされます。図 6-15 に、デジタル PDM マイクロフォン インターフェイスのタイミング図を示します。

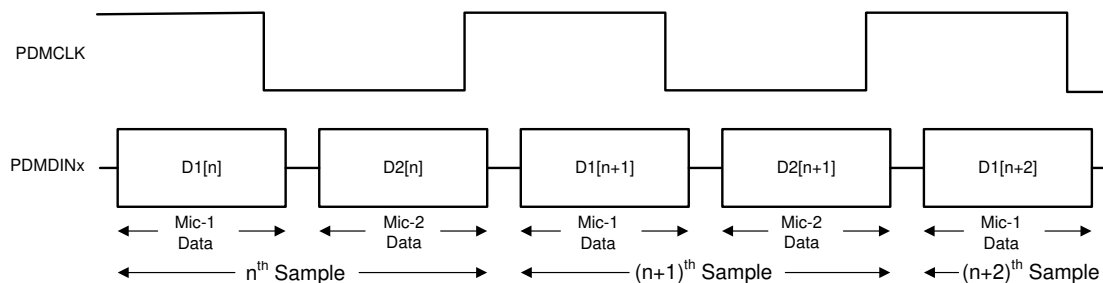


図 6-15. デジタル PDM マイクロフォン プロトコルのタイミング図

6.3.6 シグナル チェーン処理

PCMD3180 シングル チェーンは、高性能、低消費電力、高度に柔軟でプログラム可能なデジタル処理ブロックで構成されています。高性能で柔軟性が高く、コンパクトなパッケージにより、PCMD3180 はマルチチャンネル オーディオ キャプチャを必要とするさまざまな最終製品機器およびアプリケーション向けに最適化されています。図 6-16 に、信号チェーンで使用される各種ビルディング ブロックと信号チェーン内でブロックがどのように相互作用するかを示す概念ブロック図を示します。

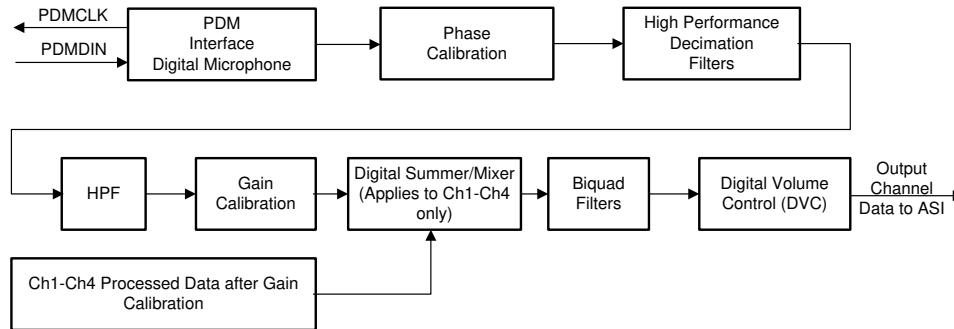


図 6-16. 信号チェーン処理フローチャート

本デバイスは、最大 8 つのデジタル PDM マイク録音チャンネルの同時操作をサポートしています。信号チェーンは、位相キャリブレーション、ゲイン キャリブレーション、ハイパス フィルタ、デジタル サマーまたはミキサ、バイクワッド フィルタ、ボリューム コントロールなどの多様で非常にプログラマブルなデジタル処理ブロックで構成されています。これらの処理ブロックの詳細については、このセクションで詳しく説明します。図 6-16 の信号チェーン ブロック図のチャンネル 1 ~ 4 はこのセクションで説明されているとおりですが、チャンネル 5 ~ 8 はデジタル サマーおよびミキサ オプションをサポートしていません。

記録用の入力チャンネルは、IN_CH_EN (P0_R115) レジスタを使用して有効化または無効にすることができ、オーディオ シリアル インターフェースの出力チャンネルは、ASI_OUT_EN (P0_R116) レジスタを使用して有効化または無効にすることができます。一般的に、このデバイスはすべてのアクティブ チャンネルの同時パワーアップおよびパワーダウンをサポートし、同時録音を実現します。しかし、アプリケーションのニーズに基づいて、他のチャンネルの録音中に一部のチャンネルを動的に電源オンまたはオフにする必要がある場合、その使用例は DYN_CH_PUPD_EN、P0_R117_D4 レジスタ ビットを 1'b1 に設定することでサポートされますが、この動作モードではチャンネル 1 をパワーダウンしないでください。

このデバイスは、最大 80kHz の入力信号帯域幅をサポートしており、176.4kHz (またはそれ以上) のサンプル レートを使用することで、高周波数の非音声信号を記録再生できます。

出力サンプル レートが 48kHz 以下の場合、デバイスは 8 チャンネル録音のすべての機能とさまざまなプログラム可能な処理ブロックをサポートします。しかし、出力サンプル レートが 48kHz より高い場合、同時に録音できるチャンネル数や、使用できるバイクワッド フィルタの数などに制限があります。詳細については、『TLV320ADCx140 サンプルング レートおよびサポートされているプログラム可能な処理ブロック』アプリケーション ノートを参照してください。

6.3.6.1 プログラマブル デジタル ボリューム制御

このデバイスにはプログラム可能なデジタル ボリューム制御機能があり、-100dB ~ 27dB で 0.5dB 刻みの範囲で、チャンネルの録音をミュートすることもできます。チャンネルが起動し、録音されている間は、デジタル ボリューム コントロール値を動的に変更することができます。ボリューム コントロールの変更中は、ソフトランアップまたはソフトランダウン機能が内部的に使用され、可聴アーティファクトを回避します。ソフトステップは、DISABLE_SOFT_STEP (P0_R108_D4) レジスタ ビットを使用して完全に無効にすることができます。

デジタル ボリューム コントロール設定は、デジタル マイクロフォン レコード チャンネルを含む各出力チャンネルに対して個別に使用できます。ただし、チャンネル 1 の電源オン時と電源オフ時のどちらであっても、チャンネル 1 デジタル ボリューム コントロール設定を使用して、すべてのチャンネルのボリューム コントロール設定を一括でアップするオプションもサポートしています。このギャングアップは、DVOL_GANG (P0_R108_D7) レジスタ ビットを使用して有効化できます。

表 6-10 はデジタル ボリューム コントロール用に利用可能なプログラマブル オプションを示します。

表 6-10. デジタル ボリューム コントロール (DVC) のプログラマブル設定

P0_R62_D[7:0]:CH1_DVOL[7:0]	出力チャンネル 1 の DVC 設定
0000 0000 = 0d	出力チャンネル 1 DVC はミュートに設定されます
0000 0001 = 1d	出力チャンネル 1 の DVC は -100dB に設定されます
0000 0010 = 2d	出力チャンネル 1 の DVC は -99.5dB に設定されます
0000 0011 = 3d	出力チャンネル 1 の DVC は -99dB に設定されます
...	...
1100 1000 = 200d	出力チャンネル 1 の DVC は -0.5dB に設定されます
1100 1001 = 201d (デフォルト)	出力チャンネル 1 の DVC は 0dB に設定されます
1100 1010 = 202d	出力チャンネル 1 の DVC は 0.5dB に設定されます
...	...
1111 1101 = 253d	出力チャンネル 1 の DVC は 26dB に設定されます
1111 1110 = 254d	出力チャンネル 1 の DVC は 26.5dB に設定されます
1111 1111 = 255d	出力チャンネル 1 の DVC は 27dB に設定されます

同様に、出力チャンネル 2 からチャンネル 8 のデジタル ボリューム コントロール設定は、それぞれ CH2_DVOL (P0_R67) から CH8_DVOL (P0_R97) のレジスタビットを使用して設定できます。

チャンネルが電源投入されると、内部デジタル処理エンジンがミュートレベルからプログラムされた音量レベルまで音量を徐々に上げます。また、チャンネルが電源オフになると、内部デジタル処理エンジンがプログラムされた音量からミュートまで音量を徐々に下げます。この音量のソフト ステッピングは、レコード チャンネルの急激な電源投入や電源切断を防ぐために行われます。この機能は、DISABLE_SOFT_STEP (P0_R108_D4) レジスタ ビットを使用して完全に無効化することもできます。

6.3.6.2 プログラム可能なチャンネル ゲイン校正

プログラム可能なチャンネル ゲインとデジタル ボリューム機能に加えて、このデバイスはプログラム可能なチャンネル ゲイン校正も提供します。各チャンネルのゲインは、-0.8dB から 0.7dB のゲイン誤差範囲で、0.1dB ごとに微調整または調整することができます。この調整は、外部部品とマイク感度に起因するチャンネル間のゲインを一致させようとする際に役立ちます。この機能は、通常のデジタル ボリューム コントロールと組み合わせることで、0.1dB の解像度で広いゲイン誤差範囲にわたってすべてのチャンネルのゲインを一致させることができます。チャンネル ゲイン校正に利用可能なプログラム可能なオプションを表 6-11 に示します。

表 6-11. チャンネル ゲイン校正のプログラム可能設定

P0_R63_D[7:4]:CH1_GCAL[3:0]	入力チャンネル 1 のチャンネル ゲイン校正設定
0000 = 0d	入力チャンネル 1 のゲイン校正を -0.8dB に設定します
0001 = 1d	入力チャンネル 1 のゲイン校正を -0.7dB に設定します
...	...
1000 = 8d (デフォルト)	入力チャンネル 1 のゲイン校正を 0dB に設定します
...	...
1110 = 14d	入力チャンネル 1 のゲイン校正を 0.6dB に設定します
1111 = 15d	入力チャンネル 1 のゲイン校正を 0.7dB に設定します

同様に、入力チャンネル 2~8 のチャンネル ゲイン校正設定は、それぞれ CH2_GCAL (P0_R68) ~ CH8_GCAL (P0_R98) レジスタビットを使用して構成できます。

6.3.6.3 プログラム可能なチャンネル位相校正

ゲイン校正に加えて、各チャンネルの位相遅延は、位相誤差に対して 0 ~ 255 のサイクル範囲に対して、1 変調器クロック サイクル ステップで微調整または調整できます。変調器クロックは、デジタル マイクに使用される PDMCLK 周波数に関

係なく、6.144MHz (出力データのサンプル レートは 48kHz の倍数または約数) または 5.6448MHz (出力データのサンプル レートは 44.1kHz の倍数または約数) になります。この機能は、外部部品やマイクに起因するチャンネル間の位相の不一致など、各チャンネル間の位相を細かく一致させる必要がある多くの用途に非常に役立ちます。表 6-12 に、チャンネル位相較正で使用可能なプログラム可能なオプションを示します。

表 6-12. チャンネル位相較正のプログラム可能設定

P0_R64_D[7:0]:CH1_PCAL[7:0]	入力チャンネル 1 のチャンネル位相較正設定
0000 0000 = 0d (デフォルト)	遅延なしの入力チャンネル 1 位相較正
0000 0001 = 1d	入力チャンネル 1 位相較正遅延は、変調器クロックの 1 サイクルに設定されます
0000 0010 = 2d	入力チャンネル 1 位相較正遅延は、変調器クロックの 2 サイクルに設定されます
...	...
1111 1110 = 254d	入力チャンネル 1 位相較正遅延は、変調器クロックの 254 サイクルに設定されます
1111 1111 = 255d	入力チャンネル 1 位相較正遅延は、変調器クロックの 255 サイクルに設定されます

同様に、入力チャンネル 2 ~ 8 のチャンネル位相較正設定は、それぞれ CH2_PCAL (P0_R69) ~ CH8_PCAL (P0_R99) レジスタビットを使用して構成できます。

6.3.6.4 プログラム可能なデジタル ハイパス フィルタ

記録データの直流オフセット成分を除去し、不要な低周波ノイズを減衰させるために、本デバイスはプログラム可能なハイパス フィルタ (HPF) をサポートしています。HPF はチャンネル独立のフィルタ設定ではなく、すべてのチャンネルにグローバルに適用されます。この HPF は一次のインフィニット インパルス レスポンス (IIR) フィルタを使用して構成されており、信号中の DC 成分を効果的に除去するのに十分な性能を備えています。表 6-13 は、P0_R107 の HPF_SEL[1:0] レジスタ ビットを使用して設定できる、あらかじめ定義された -3dB カットオフ周波数を示しています。さらに、特定の用途に合わせて -3dB のカットオフ周波数をカスタマイズするには、HPF_SEL[1:0] レジスタ ビットを 2'b00 に設定すると、1 次 IIR フィルタ係数をプログラムすることもできます。HPF フィルタの周波数応答プロットを、図 6-17 に示します。

表 6-13. HPF プログラム可能設定

P0_R107_D[1:0]: HPF_SEL[1:0]	-3dB カットオフ周波数設定	16kHz サンプルレートで -3dB カット オフ周波数	48kHz サンプルレートにおける -3dB カットオフ周波数
00	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ
01 (デフォルト)	$0.00025 \times f_s$	4Hz	12Hz
10	$0.002 \times f_s$	32Hz	96Hz
11	$0.008 \times f_s$	128Hz	384Hz

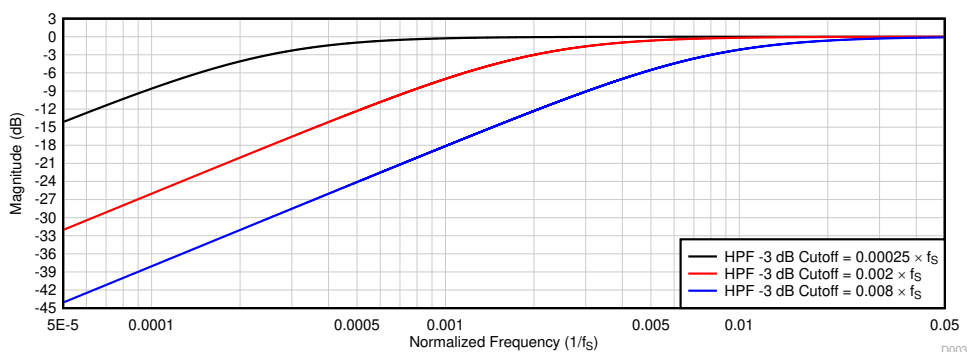


図 6-17. HPF フィルタの周波数応答プロット

式 1 は、1 次プログラマブル IIR フィルタの伝達関数を示しています。

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \quad (1)$$

この一次プログラム可能な IIR フィルタは、デフォルト係数の場合、周波数応答が 0dB のフラットなゲインとなり、オールパス フィルタとして動作します。ホスト デバイスは、表 6-14 にある IIR 係数をプログラムすることで、ハイパス フィルタリングやその他の必要なフィルタリングに合わせた目的の周波数応答に上書きすることができます。HPF_SEL[1:0] が 2'b00 に設定されている場合、ホスト デバイスは、いずれかの PDM チャンネルを録音用に起動する前に、目的の周波数応答に対応するこれらの係数値を書き込む必要があります。これらのプログラム可能な係数は 32 ビットの 2 の補数です。1 次 IIR フィルタのフィルタ係数を、表 6-14 に示します。

表 6-14. 1 次 IIR フィルタの係数

フィルタ	フィルタの係数	デフォルトの係数値	係数レジスタのマッピング
プログラム可能な 1 次 IIR フィルタ (HPF または他の目的のフィルタに割り当て可能)	N_0	0x7FFFFFFF	P4_R72R75
	N_1	0x00000000	P4_R76R79
	D_1	0x00000000	P4_R80R83

6.3.6.5 プログラム可能なデジタル バイクワッド フィルタ

このデバイスは最大 12 個のプログラム可能なデジタル バイクワッド フィルタをサポートしています。これらの高効率フィルタにより、目的の周波数応答を実現できます。デジタル信号処理において、デジタル バイキュー フィルタは、2 つの極と 2 つのゼロを持つ二次の再帰的線形フィルタです。式 2 は、各バイキュー フィルタの伝達関数を示します。

$$H(z) = \frac{N_0 + 2N_1z^{-1} + N_2z^{-2}}{2^{31} - 2D_1z^{-1} - D_2z^{-2}} \quad (2)$$

デフォルトの係数を使用したバイキュー フィルタ セクションの周波数応答は、0dB のゲインでフラット(全通フィルタ)です。ホスト デバイスは、バイキュー 係数をプログラムすることで周波数応答を上書きし、低域通過、高域通過、またはその他の希望する周波数シェーピングを達成できます。ミキサ動作のプログラマブル係数は、『プログラマブル係数レジスタ: ページ = 0x02』および『プログラマブル係数レジスタ: ページ = 0x03』セクションにあります。バイキュー フィルタリングが必要な場合、ホスト デバイスは録音用のいかなる PDM チャネルをパワーアップする前に、これらの係数値を書き込む必要があります。これらのプログラム可能な係数は 32 ビットの 2 の補数です。表 6-15 に示されているように、これらのバイクワッドフィルタは、P0_R108 の BIQUAD_CFG[1:0] レジスタ設定に基づいて、各出力チャンネルに割り当てることができます。BIQUAD_CFG[1:0] を 2'b00 に設定することで、すべてのレコード チャネルのバイクワッド フィルタリングが無効になり、システム アプリケーションで追加のフィルタリングが必要ない場合、ホスト デバイスはこの設定を選択できます。詳細については、『TLV320ADCx140 プログラマブル バイクワッド フィルタの構成およびアプリケーション』アプリケーション ノートを参照してください。

表 6-15. バイキュー フィルタの録音出力チャンネルへの割り当て

プログラム可能バイキュー フィルタ	P0_R108_D[6:5] レジスタ設定を使用した録音出力チャンネルの割り当て		
	BIQUAD_CFG[1:0] = 2'b01 (チャンネルごとに 1 バイキュー) すべての 8 チャンネルをサポート	BIQUAD_CFG[1:0] = 2'b10 (デフォルト) (チャンネルごとに 2 つのバイキュー) 最大 6 チャンネルをサポート	BIQUAD_CFG[1:0] = 2'b11 (チャンネルごとに 3 つのバイキュー) 最大 4 チャンネルをサポート
バイキュー フィルタ 1	出力チャンネル 1 に割り当て	出力チャンネル 1 に割り当て	出力チャンネル 1 に割り当て
バイキュー フィルタ 2	出力チャンネル 2 に割り当て	出力チャンネル 2 に割り当て	出力チャンネル 2 に割り当て
バイキュー フィルタ 3	出力チャンネル 3 に割り当て	出力チャンネル 3 に割り当て	出力チャンネル 3 に割り当て
バイキュー フィルタ 4	出力チャンネル 4 に割り当て	出力チャンネル 4 に割り当て	出力チャンネル 4 に割り当て
バイキュー フィルタ 5	未使用	出力チャンネル 1 に割り当て	出力チャンネル 1 に割り当て
バイキュー フィルタ 6	未使用	出力チャンネル 2 に割り当て	出力チャンネル 2 に割り当て
バイキュー フィルタ 7	未使用	出力チャンネル 3 に割り当て	出力チャンネル 3 に割り当て
バイキュー フィルタ 8	未使用	出力チャンネル 4 に割り当て	出力チャンネル 4 に割り当て
バイキュー フィルタ 9	出力チャンネル 5 に割り当て	出力チャンネル 5 に割り当て	出力チャンネル 1 に割り当て
バイキュー フィルタ 10	出力チャンネル 6 に割り当て	出力チャンネル 6 に割り当て	出力チャンネル 2 に割り当て
バイキュー フィルタ 11	出力チャンネル 7 に割り当て	出力チャンネル 5 に割り当て	出力チャンネル 3 に割り当て
バイキュー フィルタ 12	出力チャンネル 8 に割り当て	出力チャンネル 6 に割り当て	出力チャンネル 4 に割り当て

表 6-16 に、レジスタ空間へのバイキュー フィルタ係数のマッピングを示します。

表 6-16. バイキュー フィルタ係数のレジスタのマッピング

プログラム可能バイキュー フィル タ	バイキュー フィルタ係数のレジスタのマ ッピング	プログラム可能バイキュー フィル タ	バイキュー フィルタ係数のレジスタのマ ッピング
バイキュー フィルタ 1	P2_R8R27	バイキュー フィルタ 7	P3_R8R27
バイキュー フィルタ 2	P2_R28R47	バイキュー フィルタ 8	P3_R28R47
バイキュー フィルタ 3	P2_R48R67	バイキュー フィルタ 9	P3_R48R67
バイキュー フィルタ 4	P2_R68R87	バイキュー フィルタ 10	P3_R68R87

表 6-16. バイキュア フィルタ係数のレジスタのマッピング (続き)

プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング	プログラム可能バイキュア フィルタ	バイキュア フィルタ係数のレジスタのマッピング
バイキュア フィルタ 5	P2_R88R107	バイキュア フィルタ 11	P3_R88R107
バイキュア フィルタ 6	P2_R108R127	バイキュア フィルタ 12	P3_R108R127

6.3.6.6 プログラム可能なチャンネル サマーおよびデジタル ミキサ

各チャンネルでサポートされている SNR よりもさらに高い SNR を必要とするアプリケーションでは、デバイスのデジタル加算モードを使用できます。このモードでは、デジタル レコードデータが同じ重み係数でチャンネル全体に合計され、有効レコード ノイズの低減に役立ちます。表 6-17 に、チャンネル合計モードで使用可能な構成設定を示します。

表 6-17. チャンネル合計モードのプログラマブル設定

P0_R107_D[3:2]:CH_SUM[2:0]	入力チャンネルのチャンネル合計モード	信号対雑音比およびダイナミックレンジブースト
00 (デフォルト)	チャンネル合計モードは無効	該当なし
01	出力チャンネル 1 = (入力チャンネル 1 + 入力チャンネル 2) / 2	信号対雑音比とダイナミックレンジで 3dB のブースト
	出力チャンネル 2 = (入力チャンネル 1 + 入力チャンネル 2) / 2	
	出力チャンネル 3 = (入力チャンネル 3 + 入力チャンネル 4) / 2	信号対雑音比とダイナミックレンジで 3dB のブースト
	出力チャンネル 4 = (入力チャンネル 3 + 入力チャンネル 4) / 2	
10	出力チャンネル 1 = (入力チャンネル 1 + 入力チャンネル 2 + 入力チャンネル 3 + 入力チャンネル 4) / 4	信号対雑音比とダイナミックレンジで 6dB のブースト
	出力チャンネル 2 = (入力チャンネル 1 + 入力チャンネル 2 + 入力チャンネル 3 + 入力チャンネル 4) / 4	
	出力チャンネル 3 = (入力チャンネル 1 + 入力チャンネル 2 + 入力チャンネル 3 + 入力チャンネル 4) / 4	
	出力チャンネル 4 = (入力チャンネル 1 + 入力チャンネル 2 + 入力チャンネル 3 + 入力チャンネル 4) / 4	
11	予約済み(この設定は使用しないでください)	該当なし

デバイスはまた、さまざまな入力チャンネルをカスタム プログラム可能なスケールファクタでミキシングして最終的な出力チャンネルを生成できる完全なプログラマブル ミキサ機能をサポートしています。プログラマブル ミキサ機能は、CH_SUM[2:0] が 2'b00 に設定されている場合にのみ使用できます。ミキサ機能は、入力チャンネル 1 ~ チャンネル 4 のみでサポートされています。出力チャンネル 1 を生成するためのミキサ 1 の動作を説明するブロック図を、図 6-18 に示します。ミキサ動作のプログラマブル係数は、『プログラマブル係数レジスタ: ページ=0x04』セクションに記載されています。すべてのミキサ係数は 32 ビットで、1.31 の数値形式を使用した 2 の補数です。0x7FFFFFFF の値は +1 (0dB ゲイン) に相当し、0x00000000 の値はミュート (ゼロ データ) に相当します。その間のすべての値には、式 3 を使用して計算したミキサ減衰を設定します。MSB を「1」に設定すると、減衰は同じままですが、信号位相は反転します。

$$\text{hex2dec (value)} / 2^{31} \quad (3)$$

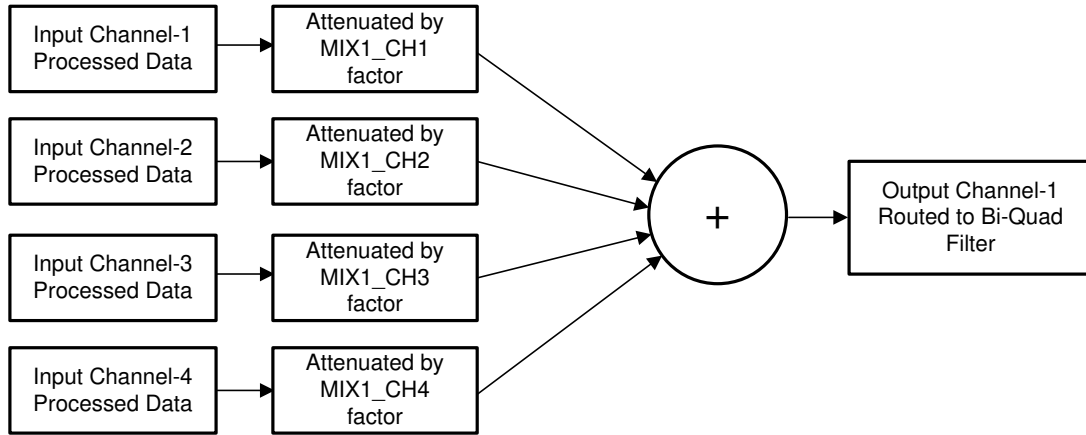


図 6-18. プログラマブル デジタル ミキサのブロック図

ミキサー 2、ミキサー 3、ミキサー 4 で同様のミキサー動作が行われ、それぞれ出力チャンネル 2、チャンネル 3、チャンネル 4 が生成されます。

6.3.6.7 構成可能なデジタル デシメーション フィルタ

デバイスのレコード チャネルには、広いダイナミック レンジと、デルタ マイクからのオーバーサンプリング PDM データを処理するための内蔵デジタル デシメーション フィルタが含まれており、FSYNC レートと同じナイキスト サンプリング レートでデジタル データを生成できます。デシメーション フィルタは、対象アプリケーションに必要な周波数応答、群遅延、位相直線性に応じて、3 つの異なるタイプから選択できます。デシメーション フィルタ オプションの選択は、DECI_FILT、PO_R107_D[5:4] レジスタ ビットの設定によって行うことができます。記録チャネルのデシメーション フィルタ モード選択の構成レジスタ設定を、表 6-18 に示します。

表 6-18. レコード チャネルのデシメーション フィルタ モードの選択

PO_R107_D[5:4]:DECI_FILT[1:0]	デシメーション フィルタ モードの選択
00 (デフォルト)	デシメーションには線形位相フィルタが使用されます
01	デシメーションに低レイテンシ フィルタを使用します
10	超低レイテンシのフィルタを使用して、デシメーションを実施します
11	予約済み(この設定は使用しないでください)

6.3.6.7.1 線形位相フィルタ

線形位相のデシメーション フィルタは、デバイスで設定されるデフォルトのフィルタであり、フィルタの通過帯域仕様内でゼロ位相偏差を持つ完全な線形位相が必要なすべてのアプリケーションに使用できます。このセクションでは、サポートされているすべての出力サンプリング レートにおけるフィルタの性能仕様と各種プロットを記載しています。

6.3.6.7.1.1 サンプリング レート : 8 kHz または 7.35 kHz

図 6-19 および 図 6-20 に、このデシメーション フィルタのサンプリング レートが 8kHz または 7.35kHz での振幅応答と通過帯域リップルを示します。表 6-19 に、サンプリング レートが 8kHz または 7.35kHz のデシメーション フィルタの仕様を示します。

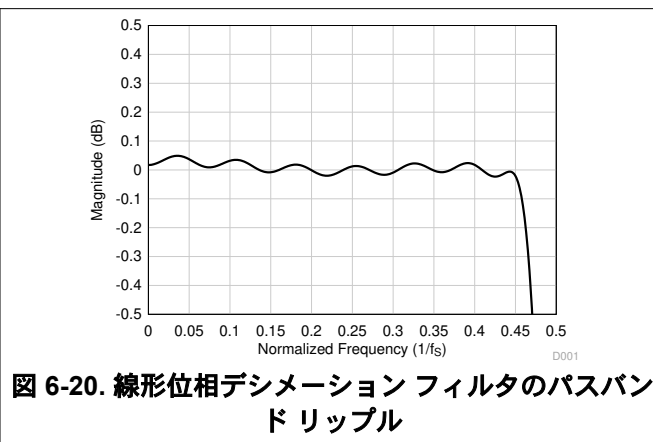
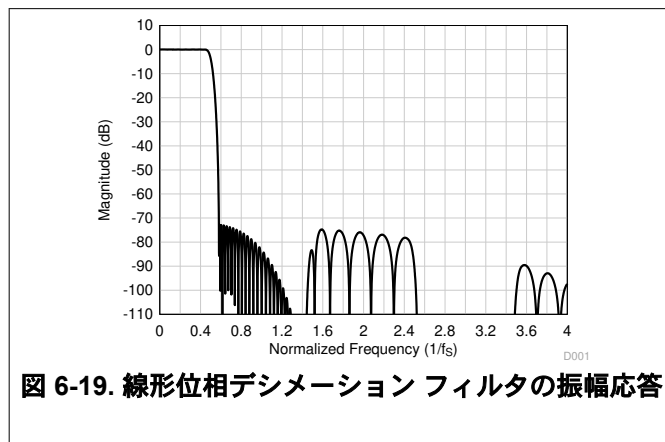


表 6-19. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	72.7			dB
	周波数範囲は $4 \times f_s$ 以降です	81.2			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		17.1		$1/f_s$

6.3.6.7.1.2 サンプリングレート : 16 kHz または 14.7 kHz

図 6-21 および 図 6-22 に、このデシメーションフィルタのサンプリングレートが 16kHz または 14.7kHz での振幅応答と通過帯域リップルを示します。表 6-20 に、サンプリングレートが 16kHz または 14.7kHz のデシメーションフィルタの仕様を示します。

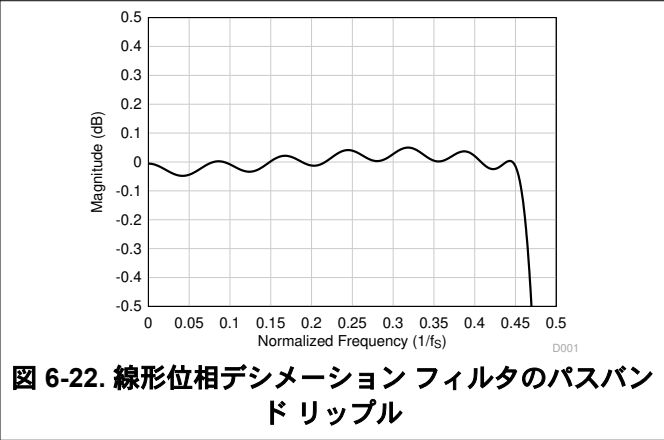
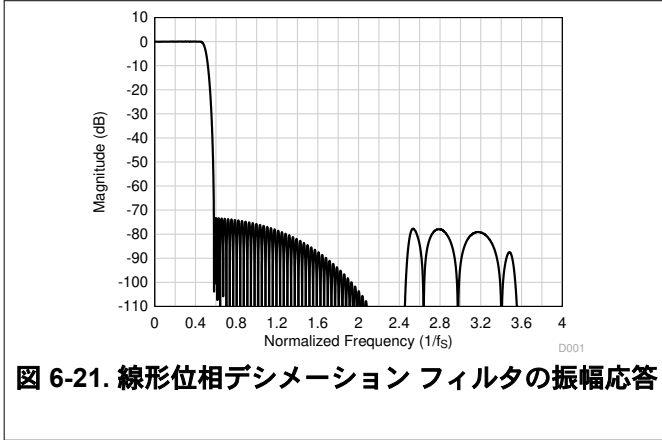


表 6-20. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です 周波数範囲は $4 \times f_s$ 以降です	73.3 95.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		15.7		$1/f_s$

6.3.6.7.1.3 サンプリングレート : 24 kHz または 22.05 kHz

図 6-23 および 図 6-24 に、このデシメーションフィルタのサンプリングレートが 24kHz または 22.05kHz での振幅応答と通過帯域リップルを示します。表 6-21 に、サンプリングレートが 24kHz または 22.05kHz のデシメーションフィルタの仕様を示します。

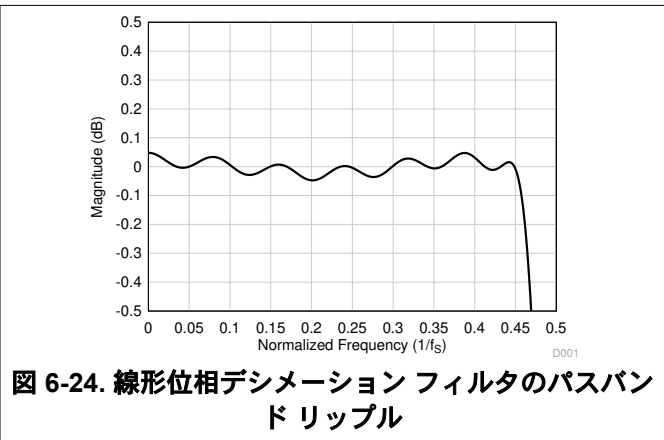
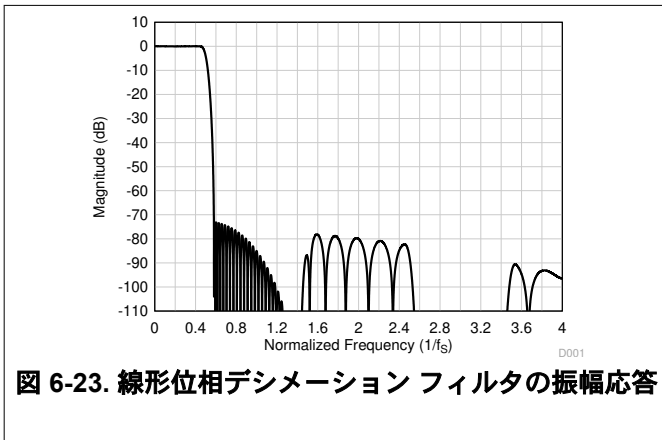


表 6-21. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です 周波数範囲は $4 \times f_s$ 以降です	73.0 96.4			

表 6-21. 線形位相デシメーションフィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_S$		16.6		$1/f_S$

6.3.6.7.1.4 サンプルングレート : 32 kHz または 29.4 kHz

図 6-25 および 図 6-26 に、このデシメーションフィルタのサンプルングレートが 32kHz または 29.4kHz での振幅応答と通過帯域リップルを示します。表 6-22 に、サンプルングレートが 32kHz または 29.4kHz のデシメーションフィルタの仕様を示します。

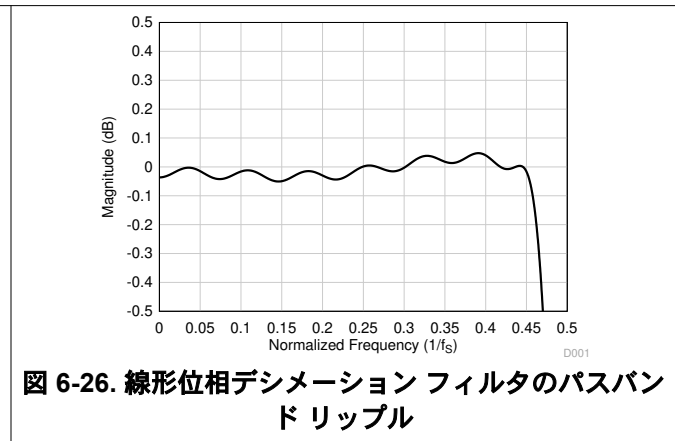
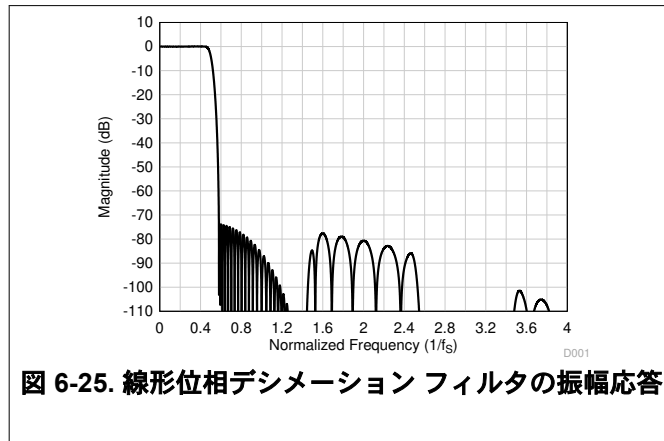


表 6-22. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	73.7			dB
	周波数範囲は $4 \times f_S$ 以降です	107.2			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_S$		16.9		$1/f_S$

6.3.6.7.1.5 サンプルングレート : 48 kHz または 44.1 kHz

図 6-27 および 図 6-28 に、このデシメーションフィルタのサンプルングレートが 48kHz または 44.1kHz での振幅応答と通過帯域リップルを示します。表 6-23 に、サンプルングレートが 48kHz または 44.1kHz のデシメーションフィルタの仕様を示します。

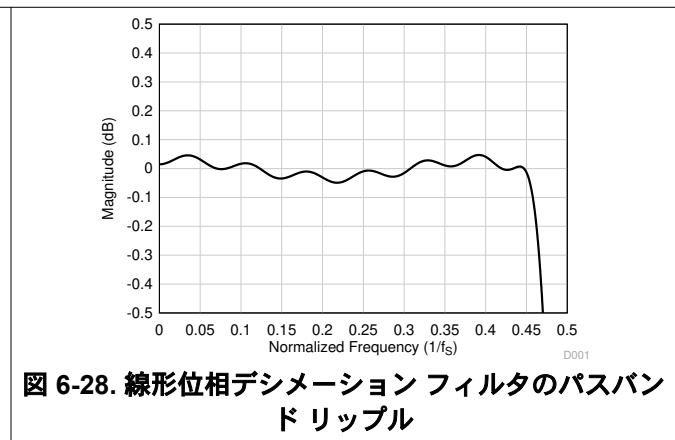
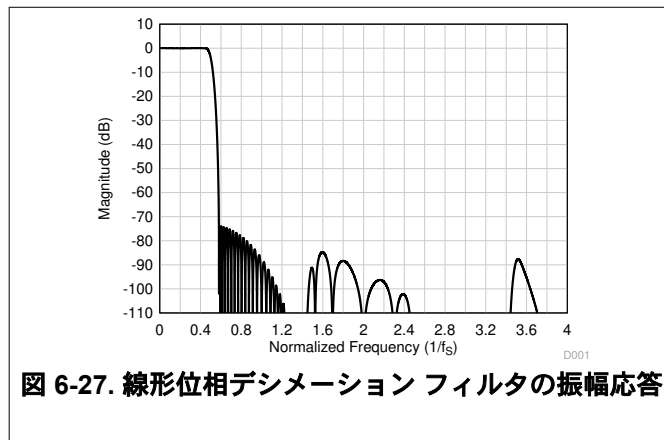


表 6-23. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	73.8			dB
	周波数範囲は $4 \times f_S$ 以降です	98.1			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_S$		17.1		$1/f_S$

6.3.6.7.1.6 サンプリングレート : 96 kHz または 88.2 kHz

図 6-29 および 図 6-30 に、このデシメーションフィルタのサンプリングレートが 96kHz または 88.2kHz での振幅応答と通過帯域リップルを示します。表 6-24 に、サンプリングレートが 96kHz または 88.2kHz のデシメーションフィルタの仕様を示します。

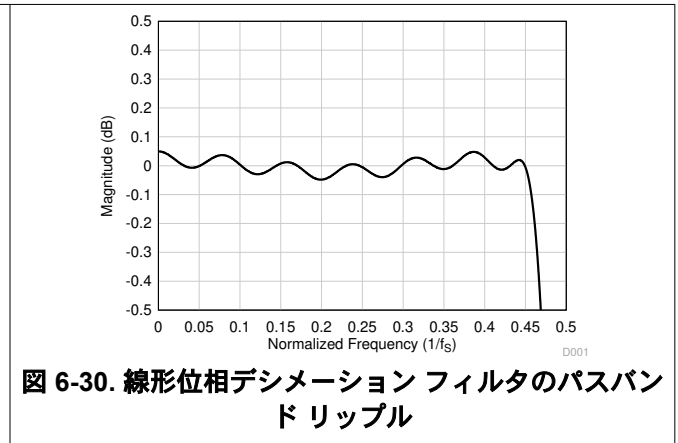
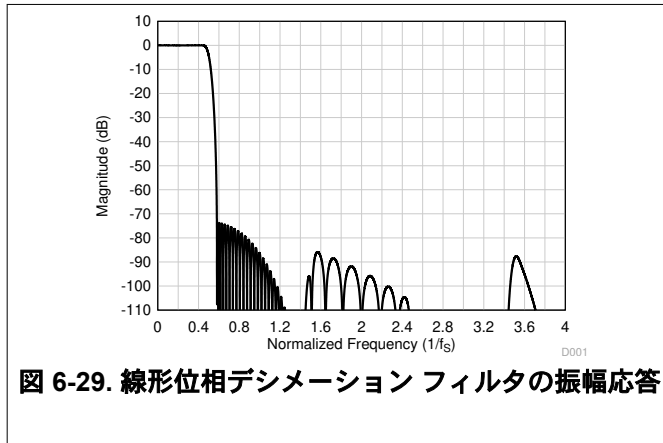


表 6-24. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_S$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_S \sim 4 \times f_S$ です	73.6			dB
	周波数範囲は $4 \times f_S$ 以降です	97.9			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_S$		17.1		$1/f_S$

6.3.6.7.1.7 サンプリングレート : 192 kHz または 176.4 kHz

図 6-31 および 図 6-32 に、このデシメーションフィルタのサンプリングレートが 192kHz または 176.4kHz での振幅応答と通過帯域リップルを示します。表 6-25 に、サンプリングレートが 192kHz または 176.4kHz のデシメーションフィルタの仕様を示します。

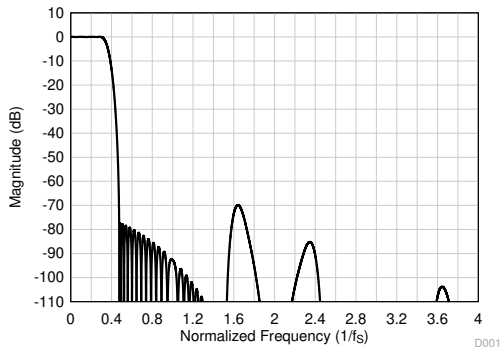


図 6-31. 線形位相デシメーションフィルタの振幅応答

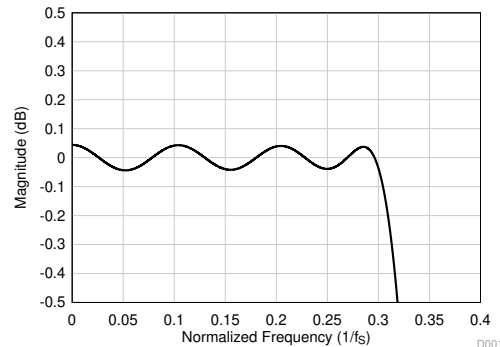


図 6-32. 線形位相デシメーションフィルタのパスバンドリップル

表 6-25. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.3 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.473 \times f_s \sim 4 \times f_s$ です	70.0			dB
	周波数範囲は $4 \times f_s$ 以降です	111.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.3 \times f_s$		11.9		$1/f_s$

6.3.6.7.1.8 サンプリングレート : 384 kHz または 352.8 kHz

図 6-33 および 図 6-34 に、このデシメーションフィルタのサンプリングレートが 384kHz または 352.8kHz での振幅応答と通過帯域リップルを示します。表 6-26 に、サンプリングレートが 384kHz または 352.8kHz のデシメーションフィルタの仕様を示します。

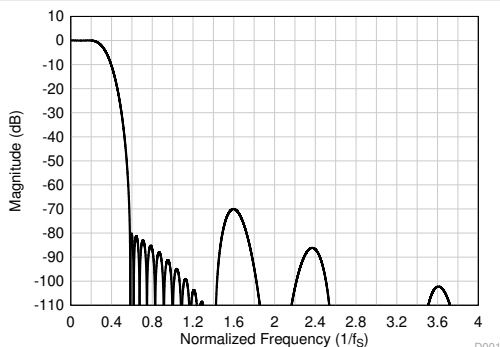


図 6-33. 線形位相デシメーションフィルタの振幅応答

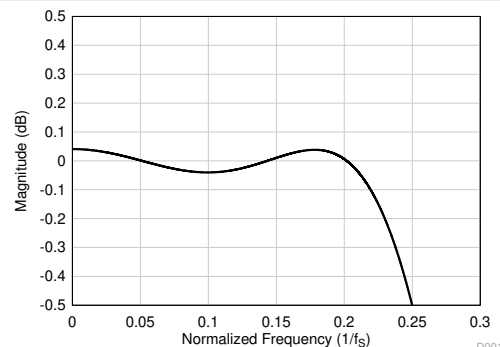


図 6-34. 線形位相デシメーションフィルタのパスバンドリップル

表 6-26. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.212 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	70.0			dB
	周波数範囲は $4 \times f_s$ 以降です	108.8			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.212 \times f_s$		7.2		$1/f_s$

6.3.6.7.1.9 サンプリングレート : 768kHz または 705.6kHz

図 6-35 および 図 6-36 に、このデシメーションフィルタのサンプリングレートが 768kHz または 705.6kHz での振幅応答と通過帯域リップルを示します。表 6-27 に、サンプリングレートが 768kHz または 705.6kHz のデシメーションフィルタの仕様を示します。

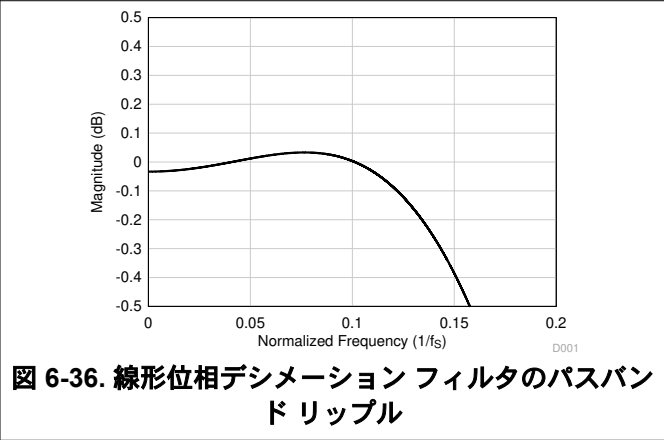
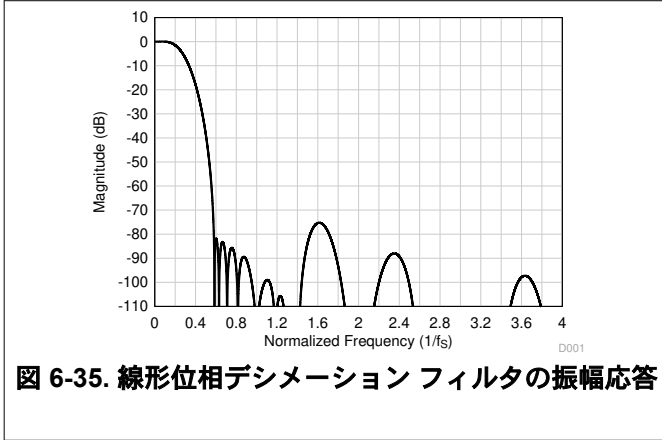


表 6-27. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.113 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 2 \times f_s$ です 周波数範囲は $2 \times f_s$ 以降です	75.0 88.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.113 \times f_s$		5.9		$1/f_s$

6.3.6.7.2 低レイテンシ フィルタ

オーディオ帯域内で最小限の位相偏差と低レイテンシが重要なアプリケーションには、PCMD3180 の低レイテンシ デシメーション フィルタを使用できます。このデバイスは、 $0.365 \times f_S$ の周波数帯域内でほぼ線形な位相応答を持つ、約 7 個のサンプルのグループ遅延のフィルタをサポートしています。このセクションでは、低レイテンシ フィルタに対応するすべての出力サンプリング レートに関するフィルタ性能仕様および各種プロットを提供します。

6.3.6.7.2.1 サンプリング レート : 16 kHz または 14.7 kHz

図 6-37 に、振幅応答を示します。図 6-38 に、サンプリング レートが 16kHz または 14.7kHz でのデシメーション フィルタのパスバンドリップルと位相偏差を示します。表 6-28 に、16kHz または 14.7kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

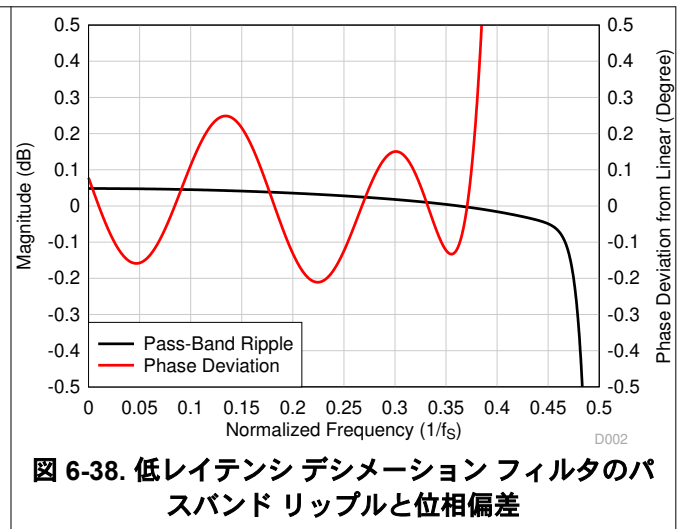
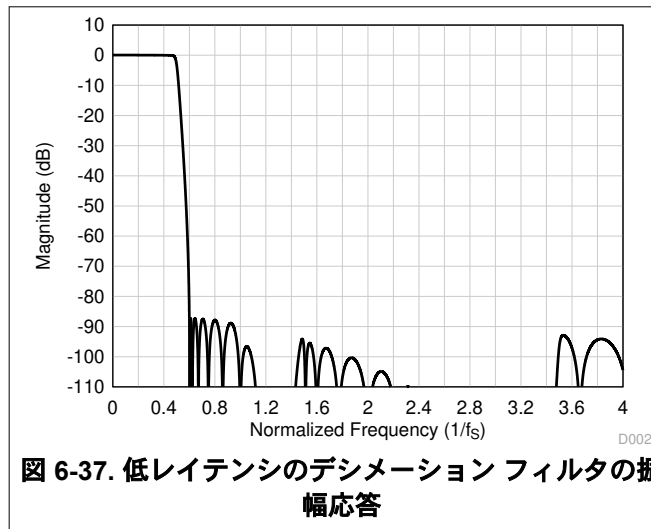


表 6-28. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.451 \times f_S$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.61 \times f_S$ 以降です	87.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.363 \times f_S$		7.6		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.363 \times f_S$	-0.022		0.022	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.363 \times f_S$	-0.21		0.25	度

6.3.6.7.2.2 サンプリングレート : 24 kHz または 22.05 kHz

図 6-39 に、振幅応答を示します。図 6-40 に、サンプリング レートが 24kHz または 22.05kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 6-29 に、24kHz または 22.05kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

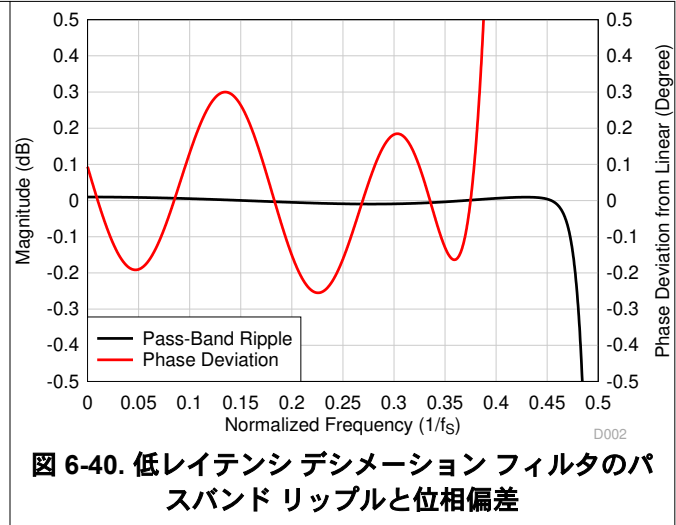
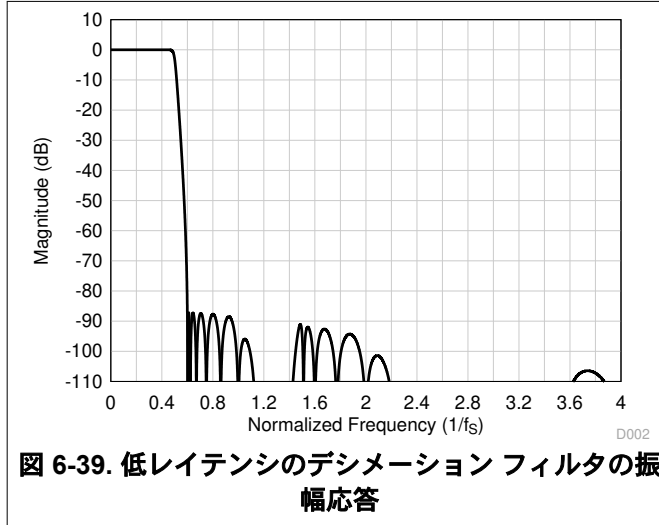


表 6-29. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.459 \times f_s$	-0.01		0.01	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	87.2			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_s$		7.5		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.026		0.026	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.26		0.30	度

6.3.6.7.2.3 サンプリングレート : 32 kHz または 29.4 kHz

図 6-41 に、振幅応答を示します。図 6-42 に、サンプリング レートが 32kHz または 29.4kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 6-30 に、32kHz または 29.4kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

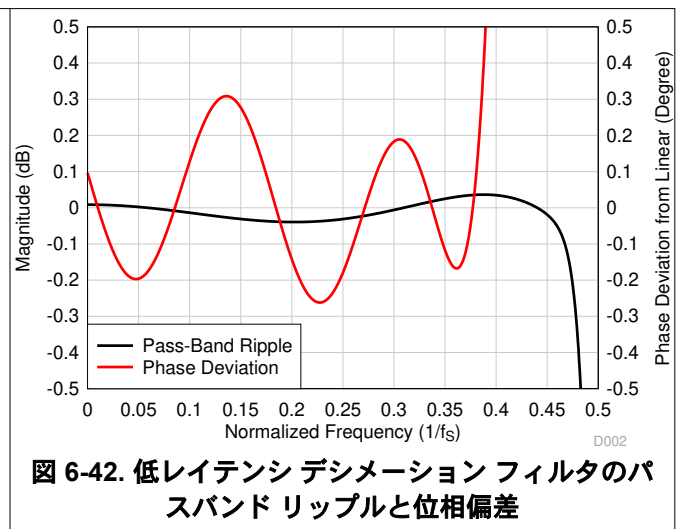
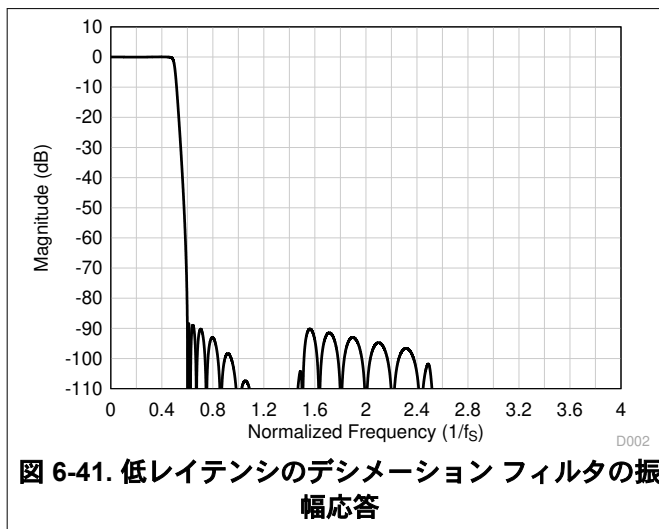


表 6-30. 低レイテンシのデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.457 \times f_S$	-0.04		0.04	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	88.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.368 \times f_S$		8.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.368 \times f_S$	-0.026		0.026	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.368 \times f_S$	-0.26		0.31	度

6.3.6.7.2.4 サンプリングレート : 48 kHz または 44.1 kHz

図 6-43 に、振幅応答を示します。図 6-44 に、サンプリングレートが 48kHz または 44.1kHz でのデシメーションフィルタのパスバンドリップルと位相偏差を示します。表 6-31 に、48kHz または 44.1kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

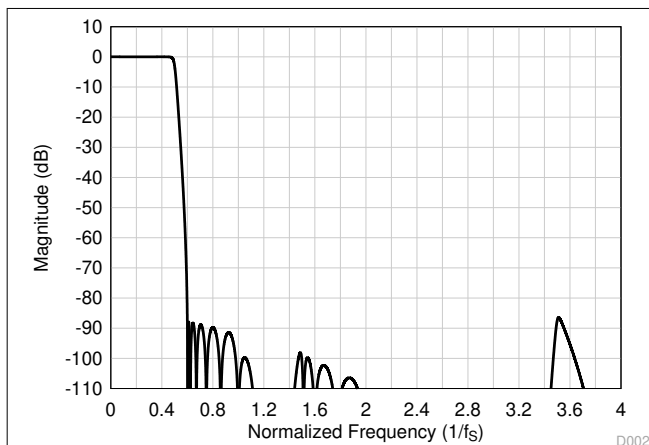


図 6-43. 低レイテンシのデシメーションフィルタの振幅応答

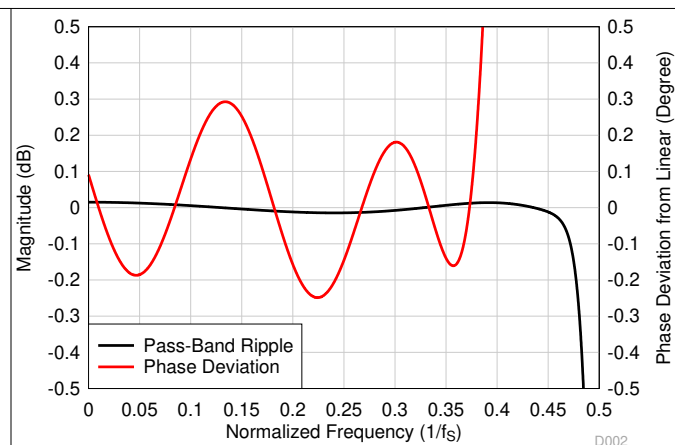


図 6-44. 低レイテンシ デシメーションフィルタのパスバンドリップルと位相偏差

表 6-31. 低レイテンシのデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.452 \times f_S$	-0.015		0.015	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	86.4			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_S$		7.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.027		0.027	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.25		0.30	度

6.3.6.7.2.5 サンプリングレート : 96 kHz または 88.2 kHz

図 6-45 に、振幅応答を示します。図 6-46 に、サンプリング レートが 96kHz または 88.2kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 6-32 に、96kHz または 88.2kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

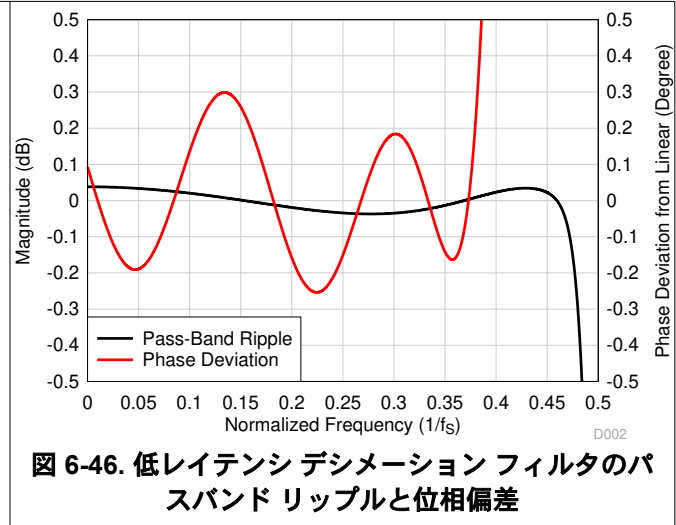
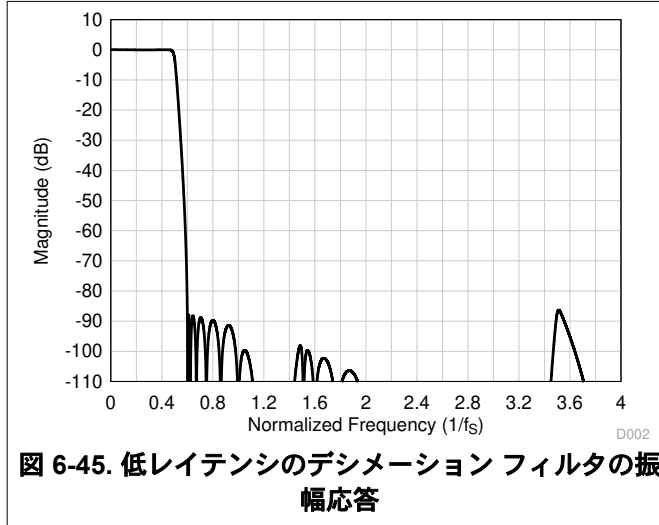


表 6-32. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.466 \times f_s$	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	86.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_s$		7.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.027		0.027	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.26		0.30	度

6.3.6.7.2.6 サンプリングレート : 192kHz または 176.4kHz

図 6-47 に、振幅応答を示します。図 6-48 に、サンプリング レートが 192kHz または 176.4kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 6-33 に、192kHz または 176.4kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

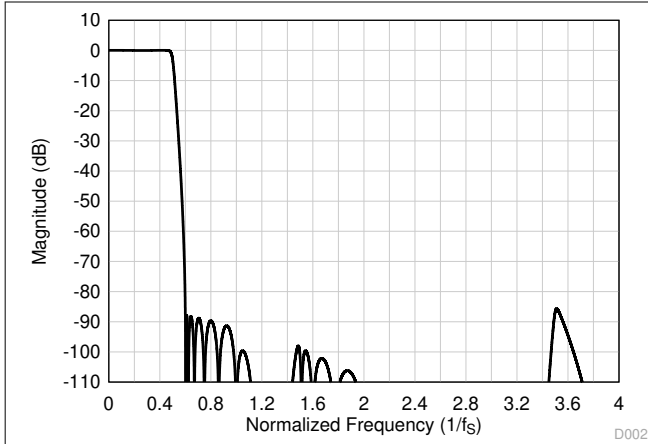


図 6-47. 低レイテンシのデシメーションフィルタの振幅応答

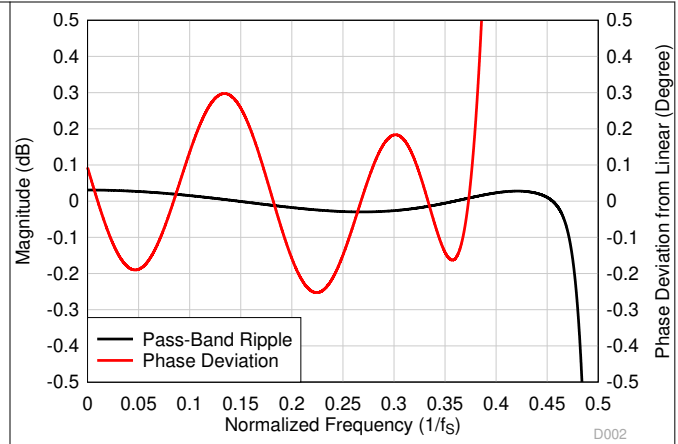


図 6-48. 低レイテンシ デシメーションフィルタのパスバンドリップルと位相偏差

表 6-33. 低レイテンシのデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 463 \times f_s$	-0.03		0.03	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	85.6			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_s$		7.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.027		0.027	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.26		0.30	度

6.3.6.7.3 超低レイテンシフィルタ

超低レイテンシ (オーディオ帯域内) が重要なアプリケーションでは、PCMD3180 の超低レイテンシ デシメーションフィルタを使用できます。このデバイスは、 $0.325 \times f_s$ の周波数帯域内でほぼ直線的な位相応答を持つ、約 4 サンプルの群遅延でこれらのフィルタをサポートしています。このセクションでは、超低レイテンシフィルタのサポートされているすべての出力サンプリングレートにおけるフィルタ性能仕様と各種プロットを提供します。

6.3.6.7.3.1 サンプリングレート : 16 kHz または 14.7 kHz

図 6-49 に、振幅応答を示します。図 6-50 に、サンプリングレートが 16kHz または 14.7kHz でのデシメーションフィルタのパスバンドリップルと位相偏差を示します。表 6-34 に、16kHz または 14.7kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

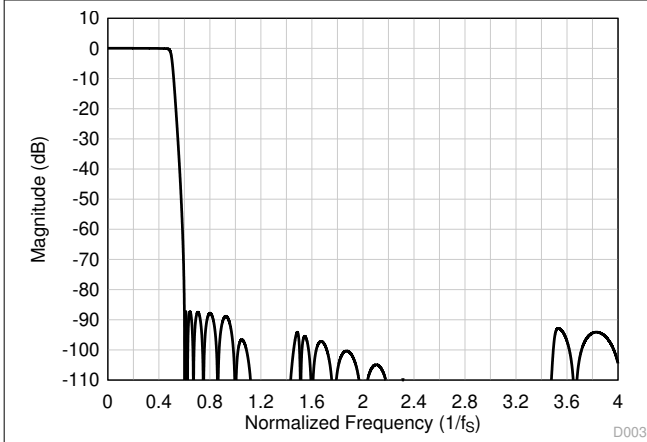


図 6-49. 超低レイテンシのデシメーションフィルタの振幅応答

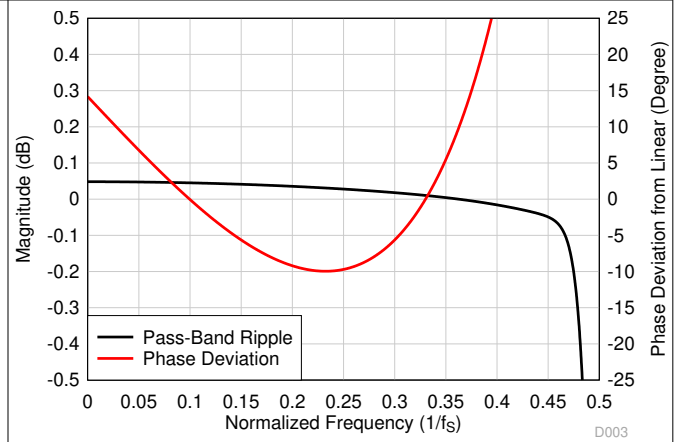


図 6-50. 超低レイテンシ デシメーションフィルタのパスバンドリップルと位相偏差

表 6-34. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.45 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	87.2			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_s$		4.3		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-0.512		0.512	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-10.0		14.2	度

6.3.6.7.3.2 サンプリングレート : 24 kHz または 22.05 kHz

図 6-51 に、振幅応答を示します。図 6-52 に、サンプリング レートが 24kHz または 22.05kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 6-35 に、24kHz または 22.05kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

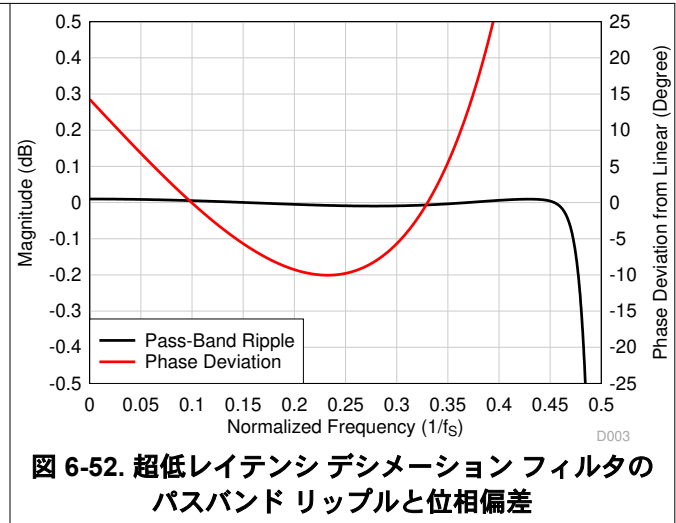
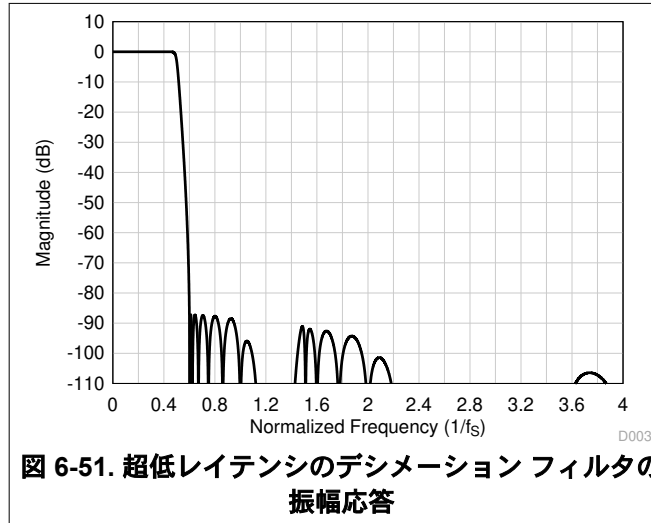


表 6-35. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.46 \times f_s$	-0.01		0.01	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	87.1			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_s$		4.1		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-0.514		0.514	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-10.0		14.3	度

6.3.6.7.3.3 サンプリングレート : 32 kHz または 29.4 kHz

図 6-53 に、振幅応答を示します。図 6-54 に、サンプリング レートが 32kHz または 29.4kHz でのデシメーション フィルタのパスバンドリップルと位相偏差を示します。表 6-36 に、サンプリング レートが 32kHz または 29.4kHz のデシメーションフィルタの仕様を示します。

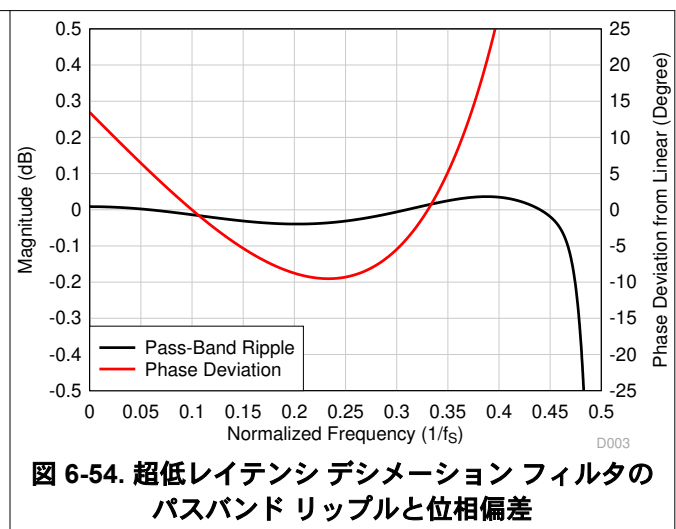
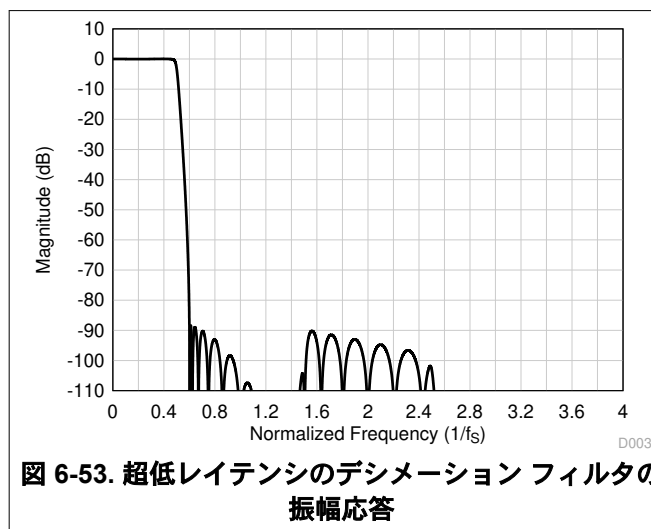


表 6-36. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.457 \times f_S$	-0.04		0.04	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	88.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		5.2		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.492		0.492	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-9.5		13.5	度

6.3.6.7.3.4 サンプリングレート : 48 kHz または 44.1 kHz

図 6-55 に、振幅応答を示します。図 6-56 に、サンプリングレートが 48kHz または 44.1kHz でのデシメーションフィルタのパスバンドリップルと位相偏差を示します。表 6-37 に、48kHz または 44.1kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

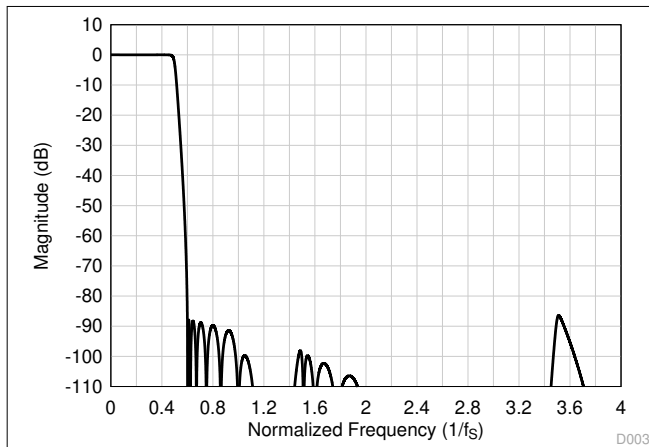


図 6-55. 超低レイテンシのデシメーションフィルタの振幅応答

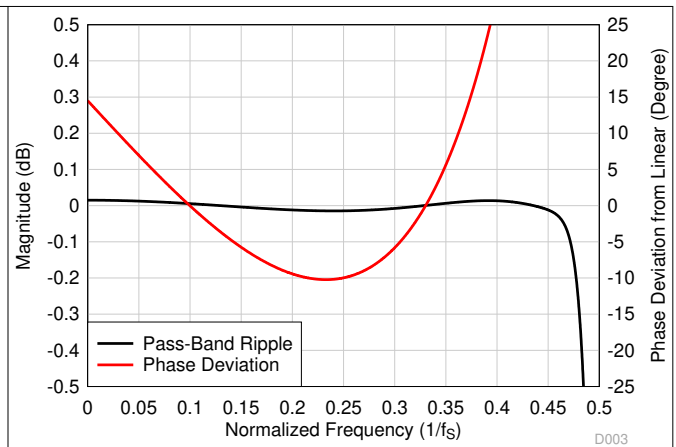


図 6-56. 超低レイテンシ デシメーションフィルタのパスバンドリップルと位相偏差

表 6-37. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.452 \times f_S$	-0.015		0.015	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	86.4			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		4.1		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.525		0.525	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-10.3		14.5	度

6.3.6.7.3.5 サンプリングレート : 96 kHz または 88.2 kHz

図 6-57 に、振幅応答を示します。図 6-58 に、サンプリング レートが 96kHz または 88.2kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 6-38 に、96kHz または 88.2kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

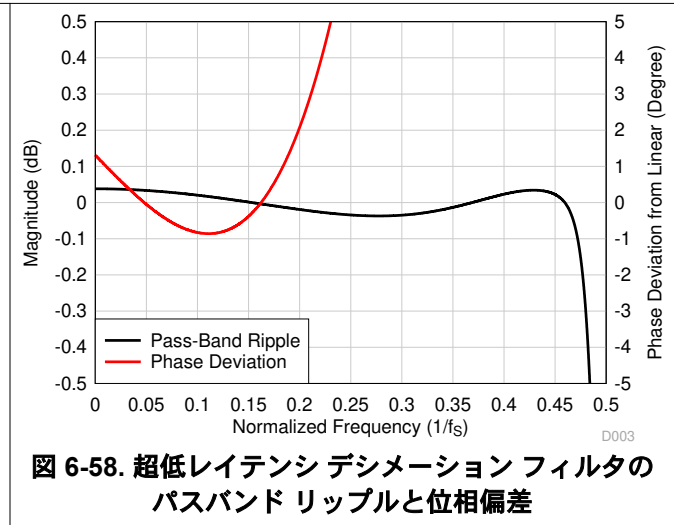
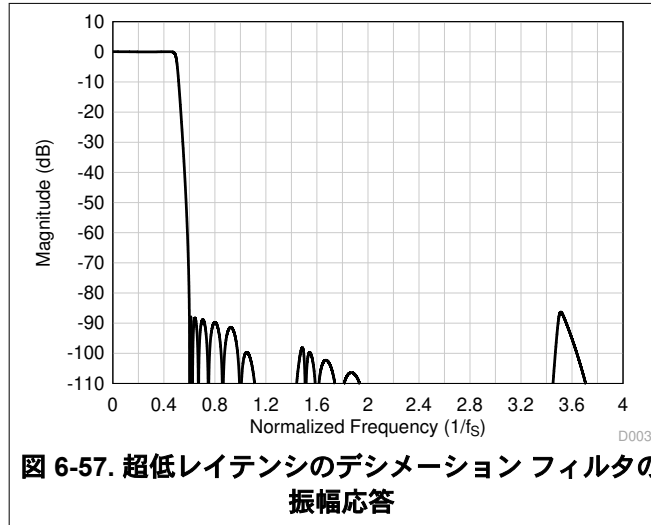


表 6-38. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.466 \times f_s$	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	86.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.1625 \times f_s$		3.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.1625 \times f_s$	-0.091		0.091	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.1625 \times f_s$	-0.86		1.30	度

6.3.6.7.3.6 サンプリングレート : 192kHz または 176.4kHz

図 6-59 に、振幅応答を示します。図 6-60 に、サンプリング レートが 192kHz または 176.4kHz でのデシメーション フィルタのパスバンド リップルと位相偏差を示します。表 6-39 に、192kHz または 176.4kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

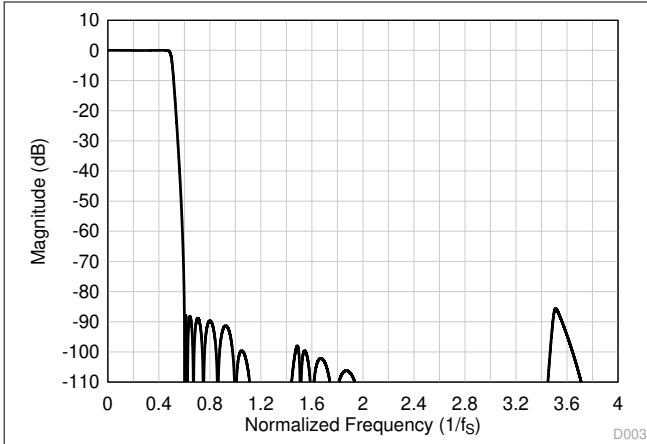


図 6-59. 超低レイテンシのデシメーションフィルタの振幅応答

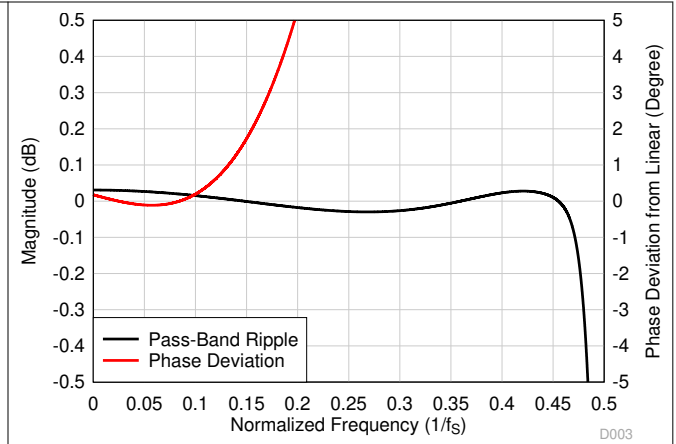


図 6-60. 超低レイテンシ デシメーションフィルタのパスバンドリップルと位相偏差

表 6-39. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.463 \times f_s$	-0.03		0.03	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	85.6			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.085 \times f_s$		3.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.085 \times f_s$	-0.024		0.024	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.085 \times f_s$	-0.12		0.18	度

6.3.6.7.3.7 サンプリングレート : 384kHz または 352.8kHz

図 6-61 に、振幅応答を示します。図 6-62 に、サンプリングレートが 384kHz または 352.8kHz でのデシメーションフィルタのパスバンドリップルと位相偏差を示します。表 6-40 に、384kHz または 352.8kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

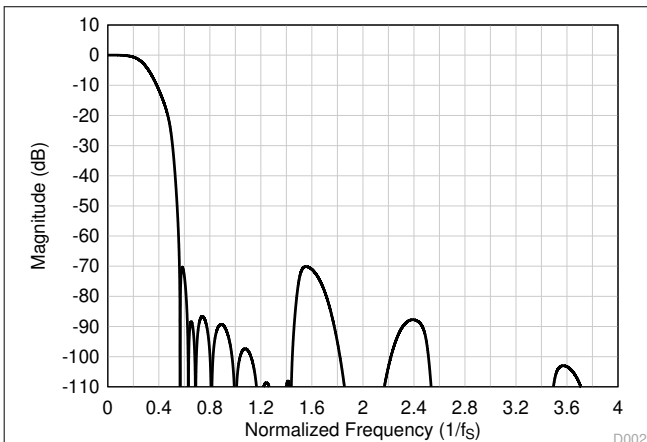


図 6-61. 超低レイテンシのデシメーションフィルタの振幅応答

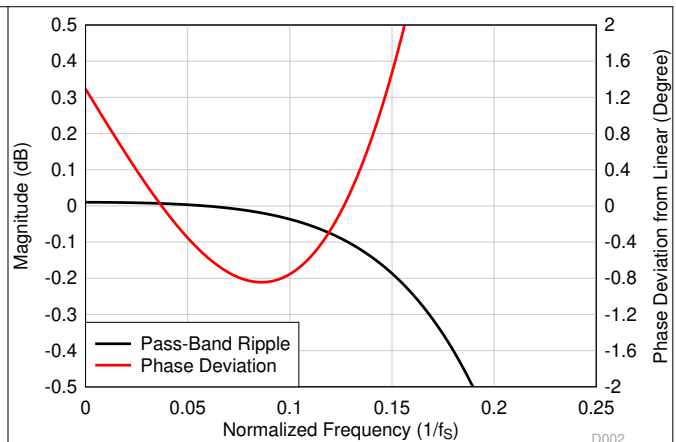


図 6-62. 超低レイテンシ デシメーションフィルタのパスバンドリップルと位相偏差

表 6-40. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.1 \times f_s$	-0.04		0.01	dB

表 6-40. 超低レイテンシ デシメーション フィルタの仕様 (続き)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ストップ バンド減衰	周波数範囲は $0.56 \times f_S$ 以降です	70.1			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.157 \times f_S$		4.1		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.157 \times f_S$	-0.18		0.18	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.157 \times f_S$	-0.85		2.07	度

6.3.7 割り込み、ステータス、およびデジタル I/O ピンの多重化

デバイス内の特定のイベントはホスト プロセッサの介入を必要とし、ホスト プロセッサへの割り込みをトリガーするために使用できます。そのようなイベントの 1 つに、オーディオ シリアル インターフェース (ASI) バス エラーがあります。ASI バス エラー クロックに何らかのエラーが検出された場合、デバイスは記録チャンネルをパワーオフにします。

- 無効な FSYNC 周波数
- 無効な SBCLK 対 FSYNC 比
- SBCLK または FSYNC クロックの長い一時停止

ASI バス クロック エラーが検出されると、デバイスは録画チャンネルをできるだけ早くシャットダウンします。ASI バス クロック エラーがすべて解決されると、デバイスの音量が元の状態に戻り、録画チャンネルが回復します。ASI バス クロック エラーが発生している間、クロック エラー割り込みマスク レジスタ ビット INT_MASK0[7]、P0_R51_D7 が Low に設定されている場合、内部割り込み要求 (IRQ) 割り込み信号は Low をアサートします。クロック エラーは、ラッチされたフォルト ステータス レジスタ ビット INT_LTCH0、P0_R54 でも読み出しが可能です。これは読み出し専用のレジスタです。ラッチされたフォルト ステータス レジスタ INT_LTCH0 を読み出すと、ラッチされたフォルト ステータスがすべてクリアされます。このデバイスは、内部 IRQ 割り込み信号を GPIO1 または GPOx ピンにルーティングするように追加設定できます。また、これらのピンを他のデバイスのオープン ドレイン割り込み出力に配線を削減できるように、オープン ドレイン出力として設定することもできます。

IRQ 割り込み信号は、INT_POL、P0_R50_D7 レジスタ ビットを設定することで、アクティブ Low またはアクティブ High のどちらかに構成できます。この信号は、INT_EVENT[1:0]、P0_R50_D[6:5] レジスタ ビットをプログラムすることで、単一パルスまたは一連のパルスとして設定することもできます。割り込みがパルスの一連のシーケンスとして構成されている場合、イベントがパルスの開始をトリガーし、ラッチされたフォルト ステータス レジスタが読み取られて割り込みの原因が特定されるとパルスが停止します。

また、このデバイスは、チャンネルがパワーアップまたはパワーダウンの状態であるか、デバイスがスリープ モードであるか否かを判断するための読み取り専用のライブ ステータス レジスタもサポートしています。これらのステータス レジスタは、P0_R118、DEV_STS0、P0_R119、DEV_STS1 にあります。

このデバイスには多機能の GPIO1 ピンがあり、目的の特定の機能に合わせて構成できます。また、システム アプリケーションでの必要性に合わせて、PDMINx_GPIx および PDMCLKx_GPOx は、それぞれ多機能ピン GPIx および GPOx として転用できます。デバイスでサポートされる GPO ピンの最大数は 4 つで、GPI ピンの最大数は 4 つです。表 6-41 に、これらのマルチファンクション ピンのさまざまな機能に対するすべての可能なアロケーションを示します。

表 6-41. マルチファンクション ピン構成

行	ピン機能 ⁽⁴⁾	GPIO1	GPO1	GPO2	GPO3	GPO4	GPI1	GPI2	GPI3	GPI4
—	—	GPIO1_CFG	GPO1_CFG	GPO2_CFG	GPO3_CFG	GPO4_CFG	GPI1_CFG	GPI2_CFG	GPI3_CFG	GPI4_CFG
—	—	P0_R33[7:4]	P0_R34[7:4]	P0_R35[7:4]	P0_R36[7:4]	P0_R37[7:4]	P0_R43[6:4]	P0_R43[2:0]	P0_R44[6:4]	P0_R44[2:0]
A	ピンがディセーブル時	S ⁽¹⁾	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)	S(デフォルト)
B	汎用出力 (GPO)	S	S	S	S	S	NS ⁽²⁾	NS	NS	NS
C	割り込み出力 (IRQ)	S(デフォルト)	S	S	S	S	NS	NS	NS	NS
D	セカンダリ ASI 出力 (SDOUT2) ⁽³⁾	S	S	S	S	S	NS	NS	NS	NS
E	PDM クロック出力 (PDMCLK)	S	S	S	S	S	NS	NS	NS	NS
F	MICBIAS オン / オフ入力 (BIASEN)	S	NS	NS	NS	NS	NS	NS	NS	NS
G	汎用入力 (GPI)	S	NS	NS	NS	NS	S	S	S	S
H	マスター クロック (MCLK)	S	NS	NS	NS	NS	S	S	S	S
I	ASI デイジーチェーン入力 (SDIN)	S	NS	NS	NS	NS	S	S	S	S
J	PDM データ入力 1 (PDMIN1)	S	NS	NS	NS	NS	S	S	S	S
K	PDM データ入力 2 (PDMIN2)	S	NS	NS	NS	NS	S	S	S	S
L	PDM データ入力 3 (PDMIN3)	S	NS	NS	NS	NS	S	S	S	S

表 6-41. マルチファンクション ピン構成 (続き)

行	ピン機能 ⁽⁴⁾	GPIO1	GPO1	GPO2	GPO3	GPO4	GPI1	GPI2	GPI3	GPI4
M	PDM データ入力 4 (PDMDIN4)	S	NS	NS	NS	NS	S	S	S	S

- (1) S は、この列に記載されている GPIO1、GPOx、または GPIx ピンで、この行に記載されている機能がサポートされていることを意味します。
- (2) NS は、この列に記載されている GPIOx、GPO1、または GPI1 ピンで、この行に記載されている機能がサポートされていないことを意味します。
- (3) 高速 ASI 出力では、セカンダリ ASI 出力用 GPOx の代わりに GPIO1 を使用する必要があります。GPOx は、バス速度の要件が 6.144MHz よりも小さい場合にのみ使用できます。
- (4) GPIO1 ピンのみが IOVDD 電源を基準としています。他の GPOx および GPIx ピンは AVDD 電源を基準としており、その主なピン機能は PDMCLK または PDMDIN 機能用です。

GPOx または GPIOx ピンは、GPOx_DRV[3:0] または GPIO1_DRV[3:0] レジスタ ビットを使用して、それぞれ独立して希望するドライブ構成設定に設定することができます。表 6-42 に、ドライブ構成の設定を示します。

表 6-42. GPIO または GPOx ピンドライブ構成の設定

P0_R33_D[3:0]:GPIO1_DRV[3:0]	GPIO1 の GPIO 出力ドライブ構成設定
000	GPIO1 ピンが高インピーダンス(フローティング)に設定
001	GPIO1 ピンは、アクティブ Low またはアクティブ High で駆動
010 (デフォルト)	GPIO1 ピンはアクティブ Low または弱 High (オンチップ プルアップ) で駆動
011	GPIO1 ピンはアクティブ Low またはハイ インピーダンスで駆動(フローティング)。
100	GPIO1 ピンは、弱 Low (オンチップ プルダウン) またはアクティブ High で駆動
101	GPIO1 ピンは、ハイ インピーダンス(フローティング) またはアクティブ High で駆動
110 および 111	予約済み(これらの設定は使用しないでください)

同様に、GPO1 ~ GPO4 ピンは、それぞれ GPO1_DRV(P0_R34) から GPO4_DRV(P0_R37) のレジスタ ビットを使用して構成できます。

汎用出力 (GPO) として構成されている場合、GPIO_VAL または GPOx_VAL、P0_R41 レジスタに書き込むことによって、GPIO1 または GPOx ピンの値を駆動できます。GPIO_MON、P0_R42 レジスタは、汎用入力 (GPI) として構成されている場合、GPIO1 ピンのステータスを読み出すために使用できます。同様に、GPI_MON、P0_R47 レジスタは、汎用入力 (GPI) として構成されている場合に GPIx ピンのステータスを読み戻すために使用できます。

6.4 デバイスの機能モード

6.4.1 ハードウェア シャットダウン

SHDNZ ピンが Low にアサートされるか、または AVDD 電源電圧がデバイスに印加されないと、デバイスはハードウェア シャットダウン モードに移行します。ハードウェア シャットダウン モードでは、デバイスは AVDD 電源からの最小静止時電流を消費します。このモードでは、すべての構成レジスタとプログラム可能な係数の値が失われるため、デバイスへの I²C または SPI 通信がサポートされていません。

デバイスがアクティブ モードのときに SHDNZ ピンが Low にアサートされると、デバイスは録音データのボリュームを下げて、アナログおよびデジタル ブロックの電源をオフにして、25 ミリ秒 (標準値) 以内にデバイスがハードウェア シャットダウン モードに移行します。また、SHDNZ_CFG[1:0]、P0_R5_D[3:2] レジスタ ビットが 2'b00 に設定されている場合、デバイスはアクティブ モードから直ちにハードウェア シャットダウン モードに移行することもできます。SHDNZ ピンが Low にアサートされた後で、デバイスがハードウェア シャットダウン モードに移行した後、SHDNZ ピンを 1 ミリ秒以上 Low に維持してから、デバイスをさらに動作させるために SHDNZ を解放します。

IOVDD 電源が安定した電圧レベルに安定したときのみ、SHDNZ ピンを High にアサートします。SHDNZ ピンが High になると、デバイスはすべての構成レジスタとプログラム可能な係数をデフォルト値に設定してから、スリープ モードに移行します。

6.4.2 スリープモードまたはソフトウェア シャットダウン

スリープモードまたはソフトウェア シャットダウン モードでは、デバイスは AVDD 電源から非常に低い静止電流を消費し、同時に I²C または SPI 通信によりデバイスをアクティブ動作に起動することができます。

また、ホスト デバイスが SLEEP_ENZ、P0_R2_D0 ビットを 1'b0 に設定すると、デバイスはスリープモードに入ります。デバイスがアクティブモードのときに SLEEP_ENZ ビットが Low にアサートされると、デバイスは録音データのボリュームを下げて、アナログおよびデジタル ブロックの電源をオフにして、スリープモードに移行します。しかし、デバイスは依然として、デバイス構成レジスタとプログラマブル係数の最後のプログラムされた値を保持し続けています。

スリープモードでは、スリープモードを終了してアクティブモードに移行することを除き、I²C または SPI トランザクションを実行しません。スリープモードに移行した後、I²C または SPI トランザクションを開始する前に、スリープモードを終了します。

スリープモードから復帰するときは、ホスト デバイスは、外部 1.8V AREG 電源 (デフォルト設定) とオンチップレギュレータで生成される AREG 電源のどちらかを使用するように PCMD3180 を構成する必要があります。AREG 電源を構成するには、同じ P0_R2 レジスタの AREG_SELECT、ビット D7 に書き込みます。

6.4.3 アクティブモード

ホスト デバイスが SLEEP_ENZ ビットを 1'b1 に設定してスリープモードを終了すると、デバイスはアクティブモードに入ります。アクティブモードでは、I²C または SPI トランザクションを実行して、デバイスを構成し、アクティブ動作に電源オンできます。アクティブモードに移行した後、デバイスが内部ウェイクアップシーケンスを完了できるように、I²C または SPI トランザクションを開始する前に少なくとも 1 ミリ秒待つ必要があります。

ターゲットアプリケーションとシステム設定の他すべてのレジスタを構成した後、入力チャネルイネーブルレジスタ P0_R115 (IN_CH_EN) と出力チャネルイネーブルレジスタ P0_R116 (ASI_OUT_CH_EN) をそれぞれ構成します。最後に、デバイスのパワーアップレジスタ P0_R117 (PWR_CFG) を構成します。各チャネルに電源を投入する前に、プログラム可能な係数の値をすべて書き込む必要があります。

アクティブモードでは、P0_R117 (DEV_STS0) および P0_R118 (DEV_STS1) レジスタに位置する読み取り専用デバイスステータスビットを読み取ることで、さまざまなブロックの電源投入および電源切断の状態が監視されます。

6.4.4 ソフトウェアリセット

ソフトウェアリセットは、SW_RESET ビット、P0_R1_D0 をアサートすることでいつでも実行でき、これは自己クリアビットです。このソフトウェアリセットは、デバイスを即座にシャットダウンし、すべてのデバイス構成レジスタとプログラマブル係数をデフォルト値に戻します。

6.5 プログラミング

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタは デバイス制御レジスタと呼ばれ、ページ方式でマップされて幅が 8 ビットです。

各ページには 128 の構成レジスタがあります。すべてのデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時およびソフトウェアリセット後のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ 2、ページ 3、ページ 4 にあります。デバイスの現在のページは、各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用して、新しい希望のページに切り替えることができます。

6.5.1 制御シリアル インターフェイス

デバイス制御レジスタには、デバイスへの I²C または SPI 通信を使用してアクセスできます。

I²C または SPI のマルチプレクサピンである SDA_SSZ、SCL_MOSI、ADDR0_SCLK、および ADDR1_MISO デバイスピンを監視することで、デバイスはホスト デバイスが I²C または SPI 通信を使用しているかどうかを自動的に検出し、デバイスを構成します。特定のエンド アプリケーションでは、デバイスを構成するために、ホスト デバイスは常に I²C と SPI のどちらかを使用する必要がありますが、両方を使用することはできません。

6.5.1.1 I²C 制御インターフェイス

このデバイスは、スレーブ デバイスとして I²C 制御プロトコルをサポートし、標準モード、高速モード、高速モード プラスで動作可能です。I²C 制御プロトコルには、7 ビットのスレーブ アドレスが必要です。スレーブ アドレスの最上位 5 ビット (MSB) は 10011 に固定されており、変更できません。最下位 2 ビット (LSB) はプログラム可能で、ADDR0_SCLK と ADDR1_MISO ピンにより制御されます。これら 2 つのピンは、常に VSS または IOVDD にプルする必要があります。I2C_BRDCAST_EN (P0_R2_D2) ビットが 1'b1 に設定されている場合、システム内のすべての PCMD3180 デバイスへの同時 I²C ブロードキャスト通信を可能にするために、I²C スレーブ アドレスは 1001100 に固定されます。表 6-43 に、この構成によって発生する可能性がある 4 つのデバイス アドレスを示します。

表 6-43. I²C スレーブ アドレスの設定

ADDR1_MISO	ADDR0_SCLK	I2C_BRDCAST_EN (P0_R2_D2)	I ² C スレーブ アドレス
0	0	0 (デフォルト)	1001 100
0	1	0 (デフォルト)	1001 101
1	0	0 (デフォルト)	1001 110
1	1	0 (デフォルト)	1001 111
X	X	1	1001 100

6.5.1.1.1 一般的な I²C の動作

I²C バスは、SDA (データ) と SCL (クロック) の 2 つの信号を使用して、シリアル データ伝送によってシステム内の集積回路間で通信を行います。アドレスおよびデータの 8 ビット バイトは、MSB (最上位ビット) から先に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクロリッジ ビットで確認されます。各転送操作は、マスター デバイスがバス上にスタートコンディションを発生させることで開始し、ストップコンディションを発生させることで終了します。バスは、クロックがロジックハイの状態データピン (SDA) の遷移を使用して、スタートの条件およびストップの条件を示します。SDA ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。

マスター デバイスは、スタートコンディションを発行した後、7 ビットのスレーブ アドレスとリード / ライト (R/W) ビットを送信して他のデバイスとの通信を開始し、次にアクロリッジ (ACK) コンディションを待機します。スレーブ デバイスは、アクロリッジクロック期間中に SDA を低レベルに保持することで、アクロリッジを示します。これにより、マスター デバイスは順に次のバイトを送信します。各スレーブ デバイスは、一意の 7 ビットのスレーブ アドレスに R/W ビットを加えた (1 バイトの) アドレスによって指定されます。すべての互換デバイスは、ワイヤード-AND 接続を使用した双方向バスを介して、同じ信号を共有します。

スタートコンディションとストップコンディションの間で送信されるバイト数に制限はありません。最後のデータワードが転送されると、マスター デバイスはバスを解放するためにストップコンディションを生成します。一般的なデータ転送シーケンスを、図 6-63 に示します。

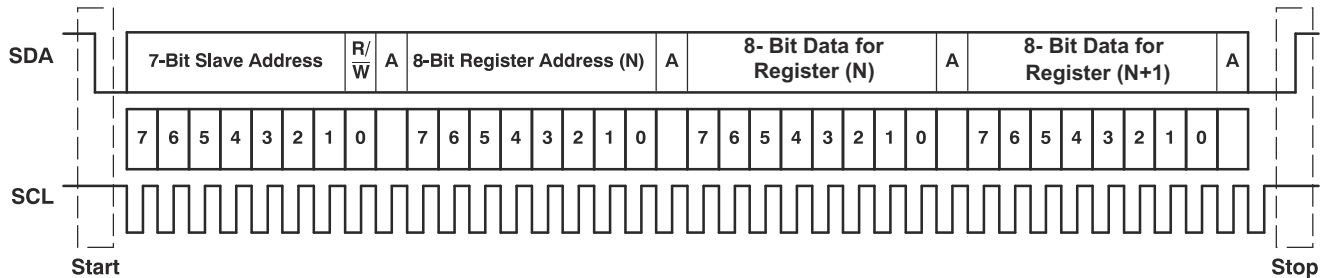


図 6-63. 代表的な I²C シーケンス

システム内では、SDA および SCL 信号に外部プルアップ抵抗を使用して、バスの論理 High レベルを設定します。SDA および SCL の電圧は、デバイスの電源電圧である IOVDD を超えてはなりません。

6.5.1.1.2 I²C のシングルバイトおよびマルチバイト転送

デバイスの I²C インターフェイスは、すべてのレジスタに対して、シングル バイトおよびマルチバイトの読み取り / 書き込み操作をサポートしています。マルチ バイトの読み取り動作中は、マスター デバイスがアクノリッジで応答を継続している限り、アサインされたレジスタから始まるデータを 1 バイトずつ返します。

デバイスは、シーケンシャルな I²C アドレッシングに対応しています。書き込みトランザクションの場合、レジスタが発行されて、次にそのレジスタのデータと残りのすべてのレジスタのデータが続いて送信される場合、I²C の書き込みトランザクションはシーケンシャルに実行されます。I²C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その次に停止または開始が送信される前に、データの量が送信され、いくつかのレジスタを書き込むかが決定されます。

6.5.1.1.2.1 I²C のシングルバイト書き込み

図 6-64 に示すように、シングルバイトのデータ書き込み転送では、マスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと R/W ビットを送信することにより開始されます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I²C のスレーブ アドレスと読み取り / 書き込みビットを受信すると、アクノリッジ ビット (ACK) を返信します。次に、マスタ デバイスは、アクセスされているデバイス内部レジスタ アドレスに対応するレジスタ バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクノリッジ ビット (ACK) を返信します。その後、マスターは指定されたレジスタに書き込むデータのバイトを送信します。完了すると、スレーブ デバイスはアクノリッジ ビット (ACK) で応答します。最後に、マスター デバイスが停止条件を送信すると、シングルバイト データの書き込み転送が完了します。

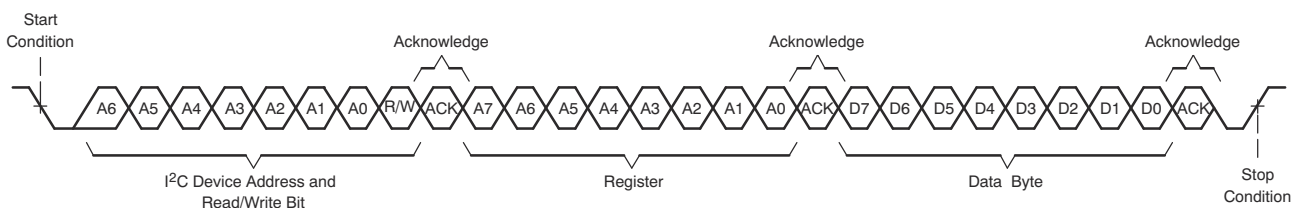


図 6-64. I²C のシングルバイト書き込み転送

6.5.1.1.2.2 I²C のマルチ バイト書き込み

図 6-65 に示されているように、複数バイトのデータ書き込み転送は、マスター デバイスからスレーブ デバイスに複数のデータバイトが送信されることを除いて、シングル バイトのデータ書き込み転送と同一です。各データ バイトを受信すると、デバイスはアックリッジビット (ACK) で応答します。最後に、マスター デバイスは最後のデータ バイトの書き込み転送後にストップ条件を送信します。

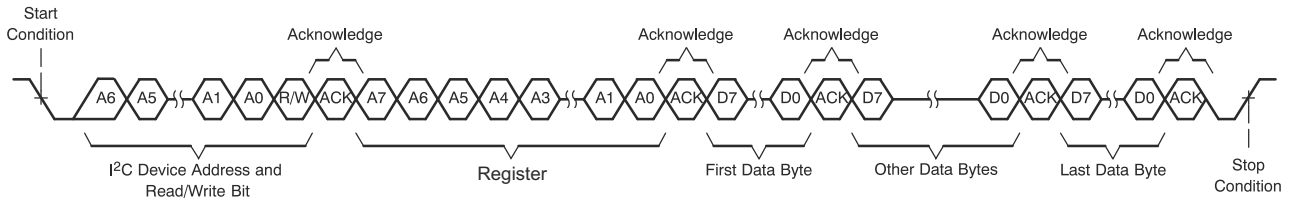


図 6-65. I²C のマルチ バイト書き込み転送

6.5.1.1.2.3 I²C のシングル バイト読み出し

図 6-66 に示すように、シングル バイトのデータ読み取り転送では、マスター デバイスが開始条件を送信し、次に I²C スレーブ アドレスと R/W ビットを送信することにより開始されます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部レジスタ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

スレーブ アドレスと読み書きビットを受信すると、デバイスはアックリッジビット (ACK) で応答します。その後、マスター デバイスは内部レジスタ アドレス バイトを送信し、その後、デバイスがアックリッジビット (ACK) を発行します。マスター デバイスは別の開始条件を送信してから、スレーブ アドレス、R/W ビットを再度順に送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されることを示します。次に、デバイスは読み取っているレジスタ アドレスからデータ バイトを送信します。データ バイトを受信後、マスター デバイスは、非応答 (NACK) に続いて、シングルバイトのデータ読み取り転送を完了するためにストップ条件を送信します。

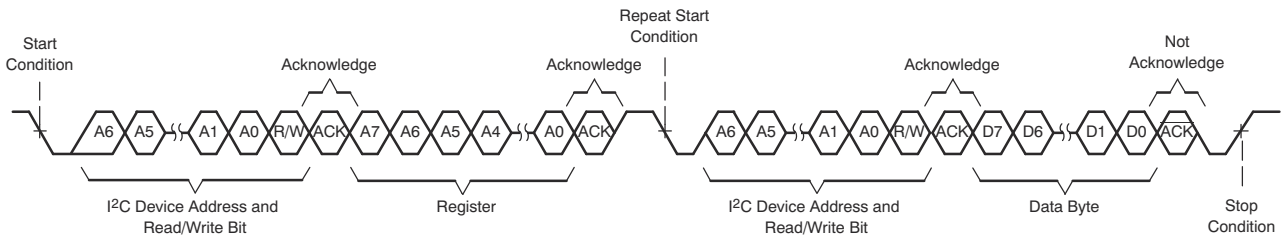


図 6-66. I²C のシングル バイト読み出し転送

6.5.1.1.2.4 I²C のマルチ バイト読み出し

図 6-67 に示されているように、複数バイトのデータ読み取り転送は、シングルバイトのデータ読み取り転送と同様ですが、複数のデータ バイトがデバイスからマスター デバイスに送信されます。マスター デバイスは、データ バイトを受信するごとにアックリッジ ビットを返信します。ただし、最後のデータ バイトについては返信しません。最後のデータ バイトを受信した後、マスター デバイスは非応答 (NACK) を送信し、その後ストップ条件を送信してデータ読み取り転送を完了します。

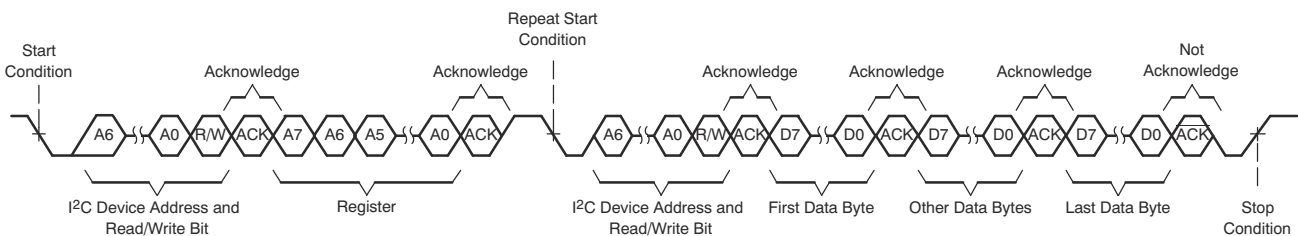


図 6-67. I²C のマルチ バイト読み出し転送

6.5.1.2 SPI 制御インターフェイス

一般的な SPI プロトコルでは、ホスト プロセッサ (マスター) と周辺機器 (スレーブ) の間で全二重同期シリアル通信が可能です。SPI マスター (この場合、ホスト プロセッサ) は、同期クロック (SCLK に駆動) を生成し、スレーブ セレクト ピン SSZ を High から Low にすることで送信を開始します。SPI スレーブ デバイス (PCMD3180 など) は、送信を開始および同期するマスターによって異なります。SPI マスターにより開始されると、送信が開始されます。SPI マスターからのバイトは、マスターのシリアル クロック (SCLK に駆動) の制御下で、スレーブ MOSI ピンにシフトインを開始します。そのバイトが MOSI ピンでシフトインすると、1 バイトが MISO ピンでマスター シフトレジスタにシフトアウトされます。

PCMD3180 は、クロック極性設定が 0 (標準的なマイクロ プロセッサ SPI 制御ビット CPOL=0) およびクロック位相設定が 1 (標準的なマイクロ プロセッサ SPI 制御ビット CPHA=1) の標準 SPI 制御プロトコルをサポートしています。SSZ ピンは送信と受信の間に Low レベルを維持できますが、デバイスは SSZ の立ち下がりがエッジ後に送信された最初の 8 ビットのみをコマンド バイトとして解釈し、次の 8 ビットをレジスタへの書き込みの場合のみデータ バイトとして解釈します。本デバイスはすべてレジスタによって制御されます。これらのレジスタの読み書きは、そのレジスタのデータに先行して MOSI ピンに送信される 8 ビット コマンドによって実行されます。表 6-44 は EEPROM の構造を示します。最初の 7 ビットは、0 から 127 (10 進数) までの書き込みまたは読み取り中のレジスタのアドレスを指定します。コマンドワードは R/W ビットで終了し、シリアルバス上のデータフローの方向を指定します。

レジスタ書き込みの場合は、R/W ビットを 0 に設定します。データの 2 番目のバイトが MOSI ピンに送信され、レジスタに書き込むデータが含まれます。レジスタの読み取りも、同様の方法で実行されます。8 ビットの コマンドワードは、7 ビットのレジスタ アドレスを送信し、それに続いてレジスタ読み取りを示す 1 に等しい R/W ビットが続きます。8 ビットのレジスタデータは、フレーム内の 2 番目の 8SCLK クロックの間に、MISO ピンからデバイスからクロックアウトされます。SSZ ピンが高レベルにプルアップされるまで、このデバイスは複数バイトのデータ書き込み/読み出し転送のためのシーケンシャル SPI アドレス指定をサポートします。複数バイトのデータ書き込みまたは読み取り転送は、すべてのデータ バイト転送が完了するまでは、それぞれ単一バイトのデータ書き込みまたは読み取り転送と同一です。ホスト デバイスは、すべてのデータ バイト転送中に SSZ ピンを Low に保つ必要があります。図 6-68 にシングルバイトの書き込み転送を示し、図 6-69 にシングルバイトの読み取り転送を示します。

表 6-44. SPI コマンドワード

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
ADDR(6)	ADDR(5)	ADDR(4)	ADDR(3)	ADDR(2)	ADDR(1)	ADDR(0)	R/WZ

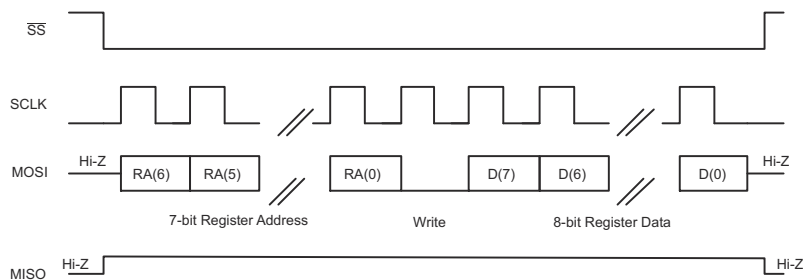


図 6-68. SPI シングルバイトの書き込み転送

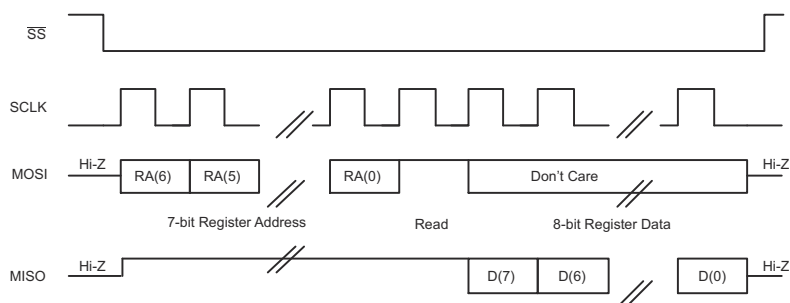


図 6-69. SPI シングルバイトの読み取り転送

7 レジスタ マップ

このセクションでは、デバイスの制御レジスタについて詳細に説明します。これらのレジスタはすべて 8 ビット幅で、デバイス構成およびプログラム可能な係数設定に割り当てられます。これらのレジスタは、デバイスへの I²C または SPI 通信を使用して制御可能なページ方式を使用して内部的にマップされます。各ページには 128 バイトのレジスタが含まれます。すべてのデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時 (およびソフトウェアリセット後) のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ 2、ページ 3、ページ 4 にあります。各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用することで、デバイスの現在のページを新しい希望のページに切り替えることができます。

予約済みページや予約済みレジスタとの読み書きを行わないでください。有効なレジスタの予約済みビットのデフォルト値のみを書き込みます。

複数のページにわたるレジスタ アクセスの手順は次のとおりです。

- ページ N を選択します (現在のページ番号に関係なくデータ N をレジスタ 0 に書き込みます)
- ページ N の有効なレジスタとの間でデータを読み書きします
- 新しいページ M を選択します (現在のページ番号に関係なくデータ M をレジスタ 0 に書き込みます)
- ページ M の有効なレジスタとの間でデータの読み書きができます
- 必要に応じて繰り返します

7.1 デバイス構成レジスタ

このセクションでは、ページ 0 のデバイス構成レジスタについて説明します。

7.1.1 レジスタ サマリ表 ページ=0x00

アドレス	レジスタ	説明	セクション
0x00	PAGE_CFG	デバイス ページレジスタ	PAGE_CFG レジスタ (P0_R0)
0x01	SW_RESET	ソフトウェアリセットレジスタ	SW_RESET レジスタ (P0_R1)
0x02	SLEEP_CFG	スリープモードレジスタ	SLEEP_CFG レジスタ (P0_R2)
0x05	SHDN_CFG	シャットダウン構成レジスタ	SHDN_CFG レジスタ (P0_R5)
0x07	ASI_CFG0	ASI 構成レジスタ 0	ASI_CFG0 レジスタ (P0_R7)
0x08	ASI_CFG1	ASI 構成レジスタ 1	ASI_CFG1 レジスタ (P0_R8)
0x09	ASI_CFG2	ASI 構成レジスタ 2	ASI_CFG2 レジスタ (P0_R9)
0x0B	ASI_CH1	チャンネル 1 ASI スロット構成レジスタ	ASI_CH1 レジスタ (P0_R11)
0x0C	ASI_CH2	チャンネル 2 ASI スロット構成レジスタ	ASI_CH2 レジスタ (P0_R12)
0x0D	ASI_CH3	チャンネル 3 ASI スロット構成レジスタ	ASI_CH3 レジスタ (P0_R13)
0x0E	ASI_CH4	チャンネル 4 ASI スロット構成レジスタ	ASI_CH4 レジスタ (P0_R14)
0x0F	ASI_CH5	チャンネル 5 ASI スロット構成レジスタ	ASI_CH5 レジスタ (P0_R15)
0x10	ASI_CH6	チャンネル 6 ASI スロット構成レジスタ	ASI_CH6 レジスタ (P0_R16)
0x11	ASI_CH7	チャンネル 7 ASI スロット構成レジスタ	ASI_CH7 レジスタ (P0_R17)
0x12	ASI_CH8	チャンネル 8 ASI スロット構成レジスタ	ASI_CH8 レジスタ (P0_R18)
0x13	MST_CFG0	ASI マスタモード構成レジスタ 0	MST_CFG0 レジスタ (P0_R19)
0x14	MST_CFG1	ASI マスタモード構成レジスタ 1	MST_CFG1 レジスタ (P0_R20)
0x15	ASI_STS	ASI バスクロック モニタステータスレジスタ	ASI_STS レジスタ (P0_R21)
0x16	CLK_SRC	クロック ソース構成レジスタ 0	CLK_SRC レジスタ (P0_R22)
0x1F	PDMCLK_CFG	PDM クロック生成構成レジスタ	PDMCLK_CFG レジスタ (P0_R31)
0x20	PDMIN_CFG	PDM DINx サンプリング エッジレジスタ	PDMIN_CFG レジスタ (P0_R32)
0x21	GPIO_CFG0	GPIO 構成レジスタ 0	GPIO_CFG0 レジスタ (P0_R33)
0x22	GPO_CFG0	GPO 構成レジスタ 0	GPO_CFG0 レジスタ (P0_R34)
0x23	GPO_CFG1	GPO 構成レジスタ 1	GPO_CFG1 レジスタ (P0_R35)
0x24	GPO_CFG2	GPO 構成レジスタ 2	GPO_CFG2 レジスタ (P0_R36)

0x25	GPO_CFG3	GPO 構成レジスタ 3	GPO_CFG3 レジスタ (P0_R37)
0x29	GPO_VAL	GPIO、GPO 出力値レジスタ	GPO_VAL レジスタ (P0_R41)
0x2A	GPIO_MON	GPIO モニタ値レジスタ	GPIO_MON レジスタ (P0_R42)
0x2B	GPI_CFG0	GPI 構成レジスタ 0	GPI_CFG0 レジスタ (P0_R43)
0x2C	GPI_CFG1	GPI 構成レジスタ 1	GPI_CFG1 レジスタ (P0_R44)
0x2F	GPI_MON	GPI モニタ値レジスタ	GPI_MON レジスタ (P0_R47)
0x32	INT_CFG	割り込み構成レジスタ	INT_CFG レジスタ (P0_R50)
0x33	INT_MASK0	割り込みマスク レジスタ 0	INT_MASK0 レジスタ (P0_R51)
0x36	INT_LTCH0	ラッチ割り込み読み戻しレジスタ 0	INT_LTCH0 レジスタ (P0_R54)
0x3B	BIAS_CFG	MICBIAS および VREF 構成レジスタ	BIAS_CFG レジスタ (P0_R59)
0x3C	CH1_CFG0	チャンネル 1 構成レジスタ 0	CH1_CFG0 レジスタ (P0_R60)
0x3E	CH1_CFG2	チャンネル 1 構成レジスタ 2	CH1_CFG2 レジスタ (P0_R62)
0x3F	CH1_CFG3	チャンネル 1 構成レジスタ 3	CH1_CFG3 レジスタ (P0_R63)
0x40	CH1_CFG4	チャンネル 1 構成レジスタ 4	CH1_CFG4 レジスタ (P0_R64)
0x41	CH2_CFG0	チャンネル 2 構成レジスタ 0	CH2_CFG0 レジスタ (P0_R65)
0x43	CH2_CFG2	チャンネル 2 構成レジスタ 2	CH2_CFG2 レジスタ (P0_R67)
0x44	CH2_CFG3	チャンネル 2 構成レジスタ 3	CH2_CFG3 レジスタ (P0_R68)
0x45	CH2_CFG4	チャンネル 2 構成レジスタ 4	CH2_CFG4 レジスタ (P0_R69)
0x46	CH3_CFG0	チャンネル 3 構成レジスタ 0	CH3_CFG0 レジスタ (P0_R70)
0x48	CH3_CFG2	チャンネル 3 構成レジスタ 2	CH3_CFG2 レジスタ (P0_R72)
0x49	CH3_CFG3	チャンネル 3 構成レジスタ 3	CH3_CFG3 レジスタ (P0_R73)
0x4A	CH3_CFG4	チャンネル 3 構成レジスタ 4	CH3_CFG4 レジスタ (P0_R74)
0x4B	CH4_CFG0	チャンネル 4 構成レジスタ 0	CH4_CFG0 レジスタ (P0_R75)
0x4D	CH4_CFG2	チャンネル 4 構成レジスタ 2	CH4_CFG2 レジスタ (P0_R77)
0x4E	CH4_CFG3	チャンネル 4 構成レジスタ 3	CH4_CFG3 レジスタ (P0_R78)
0x4F	CH4_CFG4	チャンネル 4 構成レジスタ 4	CH4_CFG4 レジスタ (P0_R79)
0x50	CH5_CFG0	チャンネル 5 構成レジスタ 0	CH5_CFG0 レジスタ (P0_R80)
0x52	CH5_CFG2	チャンネル 5 構成レジスタ 2	CH5_CFG2 レジスタ (P0_R82)
0x53	CH5_CFG3	チャンネル 5 構成レジスタ 3	CH5_CFG3 レジスタ (P0_R83)
0x54	CH5_CFG4	チャンネル 5 構成レジスタ 4	CH5_CFG4 レジスタ (P0_R84)
0x55	CH6_CFG0	チャンネル 6 構成レジスタ 0	CH6_CFG0 レジスタ (P0_R85)
0x57	CH6_CFG2	チャンネル 6 構成レジスタ 2	CH6_CFG2 レジスタ (P0_R87)
0x58	CH6_CFG3	チャンネル 6 構成レジスタ 3	CH6_CFG3 レジスタ (P0_R88)
0x59	CH6_CFG4	チャンネル 6 構成レジスタ 4	CH6_CFG4 レジスタ (P0_R89)
0x5A	CH7_CFG0	チャンネル 7 構成レジスタ 0	CH7_CFG0 レジスタ (P0_R90)
0x5C	CH7_CFG2	チャンネル 7 構成レジスタ 2	CH7_CFG2 レジスタ (P0_R92)
0x5D	CH7_CFG3	チャンネル 7 構成レジスタ 3	CH7_CFG3 レジスタ (P0_R93)
0x5E	CH7_CFG4	チャンネル 7 構成レジスタ 4	CH7_CFG4 レジスタ (P0_R94)
0x5F	CH8_CFG0	チャンネル 8 構成レジスタ 0	CH8_CFG0 レジスタ (P0_R95)
0x61	CH8_CFG2	チャンネル 8 構成レジスタ 2	CH8_CFG2 レジスタ (P0_R97)
0x62	CH8_CFG3	チャンネル 8 構成レジスタ 3	CH8_CFG3 レジスタ (P0_R98)
0x63	CH8_CFG4	チャンネル 8 構成レジスタ 4	CH8_CFG4 レジスタ (P0_R99)
0x6B	DSP_CFG0	DSP 構成レジスタ 0	DSP_CFG0 レジスタ (P0_R107)
0x6C	DSP_CFG1	DSP 構成レジスタ 1	DSP_CFG1 レジスタ (P0_R108)
0x73	IN_CH_EN	入力チャンネル有効構成レジスタ	IN_CH_EN レジスタ (P0_R115)
0x74	ASI_OUT_CH_EN	ASI 出力チャンネル有効構成レジスタ	ASI_OUT_CH_EN レジスタ (P0_R116)
0x75	PWR_CFG	パワーアップ構成レジスタ	PWR_CFG レジスタ (P0_R117)
0x76	DEV_STS0	デバイス ステータス レジスタ 0	DEV_STS0 レジスタ (P0_R118)

PCMD3180

JAJSJ21A – MAY 2020 – REVISED JANUARY 2026

0x77	DEV_STS1	デバイス ステータス レジスタ 1	DEV_STS1 レジスタ (P0_R119)
0x7E	I2C_CKSUM	I2C チェックサム レジスタ	I2C_CKSUM レジスタ (P0_R126)

表 45 に、PCMD3180 レジスタに使用されるアクセス コードを示します。

表 7-1. PCMD3180 のアクセス タイプ コード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R/W	R/W	読み出しまたは書き込み
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.2 レジスタの説明

7.1.2.1 PAGE_CFG レジスタ (ページ=0x00、アドレス=0x00) [リセット=0h]

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

図 7-1. PAGE_CFG レジスタ

7	6	5	4	3	2	1	0
PAGE[7:0]							
R/W-0h							

表 7-2. PAGE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	0h	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 ... 255d = ページ 255

7.1.2.2 SW_RESET レジスタ (ページ=0x00、アドレス=0x01) [リセット=0h]

このレジスタはソフトウェアリセットレジスタです。ソフトウェアリセットをアサートすると、すべてのレジスタ値はデフォルトのパワーオンリセット (POR) 状態になります。

図 7-2. SW_RESET レジスタ

7	6	5	4	3	2	1	0
予約済み							SW_RESET
R-0h							R/W-0h

表 7-3. SW_RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	SW_RESET	R/W	0h	ソフトウェアリセット。このビットは自動クリアです。 0d = リセットしない 1d = リセットする

7.1.2.3 SLEEP_CFG レジスタ (ページ=0x00、アドレス=0x02) [リセット=0h]

このレジスタは、レギュレータ、VREF クイック充電、I²C ブロードキャストおよびスリープモードを構成します。

図 7-3. SLEEP_CFG レジスタ

7	6	5	4	3	2	1	0
AREG_SELEC T	予約済み		VREF_QCHG[1:0]		I2C_BRDCAST _EN	予約済み	SLEEP_ENZ

図 7-3. SLEEP_CFG レジスタ (続き)

R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h	R/W-0h
--------	--------	--------	--------	------	--------

表 7-4. SLEEP_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	AREG_SELECT	R/W	0h	内部レギュレータ電源または外部 AREG 電源のいずれかから選択できるアナログ電源。 0d = 外部 1.8V AREG 電源 (AVDD が 1.8V で、AVDD に短絡接続した AREG の場合はこの設定を使用) 1d = オンチップレギュレータを使用して内部で生成された 1.8V AREG 電源 (AVDD が 3.3V の場合はこの設定を使用)
6-5	予約済み	R/W	0h	予約済み
4-3	VREF_QCHG[1:0]	R/W	0h	VREF 外部コンデンサの急速充電の時間は、200Ω の内部直列インピーダンスを使用して設定されます。 0d = VREF 急速充電時間 3.5ms (標準値) 1d = VREF 急速充電時間 10ms (標準値) 2d = VREF 急速充電時間 50ms (標準値) 3d = VREF 急速充電時間 100ms (標準値)
2	I2C_BRDCAST_EN	R/W	0h	I ² C ブロードキャスト アドレス設定。 0D = I ² C ブロードキャスト モード ディスエーブル、I ² C スレーブ アドレスは ADDR ピンに基づいて決定 1d = I ² C ブロードキャスト モード イネーブル、I ² C スレーブ アドレスは 1001 100 に固定
1	予約済み	R	0h	予約済み
0	SLEEP_ENZ	R/W	0h	スリープ モード設定。 0D = デバイスはスリープ モード 1d = デバイスはスリープ モードではない

7.1.2.4 SHDN_CFG レジスタ (ページ=0x00、アドレス=0x05) [リセット=5h]

このレジスタはデバイスのシャットダウンを構成します。

図 7-4. SHDN_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み		予約済み		SHDNZ_CFG[1:0]		DREG_KA_TIME[1:0]	
R-0h		R/W-0h		R/W-1h		R/W-1h	

表 7-5. SHDN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	予約済み	R/W	0h	予約済み
3-2	SHDNZ_CFG[1:0]	R/W	1h	シャットダウン構成。 0d = SHDNZ がアサートされた直後に DREG を電源オフ 1d = DREG はアクティブに維持され、タイムアウトに達するまで、クリーンなシャットダウンを有効にし、タイムアウト期間の後に DREG は強制的に電源オフ 2d = デバイスがクリーンにシャットダウンされるまで DREG はアクティブに維持 3d = 予約済み
1-0	DREG_KA_TIME[1:0]	R/W	1h	これらのビットは、SHDNZ がアサートされた後に DREG がアクティブに維持される時間を設定します。 0d = DREG を 30ms (標準値) の間アクティブに維持 1d = DREG を 25ms (標準値) の間アクティブに維持 2d = DREG を 10ms (標準値) の間アクティブに維持 3d = DREG を 5ms (標準値) の間アクティブに維持

7.1.2.5 ASI_CFG0 レジスタ (ページ=0x00、アドレス=0x07) [リセット=30h]

このレジスタは ASI 構成レジスタ 0 です。

図 7-5. ASI_CFG0 レジスタ

7	6	5	4	3	2	1	0
ASI_FORMAT[1:0]		ASI_WLEN[1:0]		FSYNC_POL	BCLK_POL	TX_EDGE	TX_FILL
R/W-0h		R/W-3h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-6. ASI_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ASI_FORMAT[1:0]	R/W	0h	ASI プロトコル フォーマット。 0d = TDM モード 1d = I ² S モード 2d = LJ (左揃え) モード 3d = 予約済み
5-4	ASI_WLEN[1:0]	R/W	3h	ASI ワードまたはスロットの長さ。 0d = 16 ビット 1d = 20 ビット 2d = 24 ビット 3d = 32 ビット
3	FSYNC_POL	R/W	0h	ASI FSYNC の極性。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
2	BCLK_POL	R/W	0h	ASI BCLK の極性。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
1	TX_EDGE	R/W	0h	ASI データ出力 (プライマリおよびセカンダリ データピン上) の送信エッジ。 0d = ビット 2 (BCLK_POL) のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ (半周期遅延) を反転
0	TX_FILL	R/W	0h	未使用のサイクルの ASI データ出力 (プライマリおよびセカンダリ データピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイインピーダンスを使用

7.1.2.6 ASI_CFG1 レジスタ (ページ=0x00、アドレス=0x08) [リセット=0h]

このレジスタは ASI 構成レジスタ 1 です。

図 7-6. ASI_CFG1 レジスタ

7	6	5	4	3	2	1	0
TX_LSB	TX_KEEPER[1:0]		TX_OFFSET[4:0]				
R/W-0h	R/W-0h		R/W-0h				

表 7-7. ASI_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TX_LSB	R/W	0h	LSB 送信用の ASI データ出力 (プライマリおよびセカンダリ データピン上)。 0d = フル サイクルの間 LSB を送信 1d = 前半サイクルの間 LSB を、後半サイクルの間、ハイインピーダンスを送信
6-5	TX_KEEPER[1:0]	R/W	0h	ASI データ出力 (プライマリおよびセカンダリ データピン) バス キーパー。 0d = バス キーパーは常にディスエーブル 1d = バス キーパーは常にイネーブル 2d = LSB 送信中に 1 サイクルのみバス キーパーがイネーブル 3d = LSB 送信中にのみバス キーパーは、1 サイクルおよび半サイクルでのみイネーブル

表 7-7. ASI_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	TX_OFFSET[4:0]	R/W	0h	ASI データの MSB スロット 0 のオフセット (プライマリおよびセカンダリ データピン)。 0d = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置 (TDM モードはスロット 0 または I ² S、LJ モードは左および右スロット 0) 標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置 (TDM モードはスロット 0 または I ² S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0) オフセット 3d ~ 30d = ASI データ MSB の位置 (TDM モードはスロット 0 または I ² S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置 (TDM モードがスロット 0 または I ² S、LJ モードは、標準プロトコルに対する左右のスロット 0) の 31 BCLK サイクルのオフセット

7.1.2.7 ASI_CFG2 レジスタ (ページ=0x00、アドレス=0x09) [リセット=0h]

このレジスタは ASI 構成レジスタ 2 です。

図 7-7. ASI_CFG2 レジスタ

7	6	5	4	3	2	1	0
ASI_DAISSY	予約済み	ASI_ERR	ASI_ERR_RCOV	予約済み			
R/W-0h	R-0h	R/W-0h	R/W-0h	R-0h			

表 7-8. ASI_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ASI_DAISSY	R/W	0h	ASI デイジー チェーン接続。 0d = すべてのデバイスが共通 ASI バスに接続されている 1d = すべてのデバイスが ASI バス用にデイジーチェーン接続されている
6	予約済み	R	0h	予約済み
5	ASI_ERR	R/W	0h	ASI バス エラー検出。 0d = バス エラー検出を有効にする 1d = バス エラー検出を無効にする
4	ASI_ERR_RCOV	R/W	0h	ASI バス エラー自動再開。 0d = バス エラー回復後の自動再開を有効にする 1d = バス エラー回復後の自動再開を無効にし、ホストがデバイスを構成するまでの間、電源オフのまま
3-0	予約済み	R	0h	予約済み

7.1.2.8 ASI_CH1 レジスタ (ページ=0x00、アドレス=0x0B) [リセット=0h]

このレジスタは ASI スロット構成レジスタ チャンネル 1 です。

図 7-8. ASI_CH1 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH1_OUTPUT	CH1_SLOT[5:0]					
R-0h	R/W-0h	R/W-0h					

表 7-9. ASI_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH1_OUTPUT	R/W	0h	チャンネル 1 の出力ライン。 0d = チャンネル 1 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 1 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある

表 7-9. ASI_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	CH1_SLOT[5:0]	R/W	0h	チャンネル 1 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.9 ASI_CH2 レジスタ (ページ=0x00、アドレス=0x0C) [リセット=1h]

このレジスタは ASI スロット構成レジスタ チャンネル 2 です。

図 7-9. ASI_CH2 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH2_OUTPUT	CH2_SLOT[5:0]					
R-0h	R/W-0h	R/W-1h					

表 7-10. ASI_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH2_OUTPUT	R/W	0h	チャンネル 2 の出力ライン。 0D = チャンネル 2 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 2 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH2_SLOT[5:0]	R/W	1h	チャンネル 2 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.10 ASI_CH3 レジスタ (ページ=0x00、アドレス=0x0D) [リセット=2h]

このレジスタは ASI スロット構成レジスタ チャンネル 3 です。

図 7-10. ASI_CH3 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH3_OUTPUT	CH3_SLOT[5:0]					
R-0h	R/W-0h	R/W-2h					

表 7-11. ASI_CH3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH3_OUTPUT	R/W	0h	チャンネル 3 の出力ライン。 0D = チャンネル 3 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 3 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある

表 7-11. ASI_CH3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	CH3_SLOT[5:0]	R/W	2h	チャンネル 3 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.11 ASI_CH4 レジスタ (ページ=0x00、アドレス=0x0E) [リセット=3h]

このレジスタは ASI スロット構成レジスタ チャンネル 4 です。

図 7-11. ASI_CH4 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH4_OUTPUT	CH4_SLOT[5:0]					
R-0h	R/W-0h	R/W-3h					

表 7-12. ASI_CH4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH4_OUTPUT	R/W	0h	チャンネル 4 の出力ライン。 0D = チャンネル 4 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 4 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH4_SLOT[5:0]	R/W	3h	チャンネル 4 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.12 ASI_CH5 レジスタ (ページ=0x00、アドレス=0x0F) [リセット=4h]

このレジスタは ASI スロット構成レジスタ チャンネル 5 です。

図 7-12. ASI_CH5 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH5_OUTPUT	CH5_SLOT[5:0]					
R-0h	R/W-0h	R/W-4h					

表 7-13. ASI_CH5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH5_OUTPUT	R/W	0h	チャンネル 5 の出力ライン。 0D = チャンネル 5 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 5 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある

表 7-13. ASI_CH5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	CH5_SLOT[5:0]	R/W	4h	チャンネル 5 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.13 ASI_CH6 レジスタ (ページ=0x00、アドレス=0x10) [リセット=5h]

このレジスタは ASI スロット構成レジスタ チャンネル 6 です。

図 7-13. ASI_CH6 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH6_OUTPUT	CH6_SLOT[5:0]					
R-0h	R/W-0h	R/W-5h					

表 7-14. ASI_CH6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH6_OUTPUT	R/W	0h	チャンネル 6 の出力ライン。 0D = チャンネル 6 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 6 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH6_SLOT[5:0]	R/W	5h	チャンネル 6 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.14 ASI_CH7 レジスタ (ページ=0x00、アドレス=0x11) [リセット=6h]

このレジスタは ASI スロット構成レジスタ チャンネル 7 です。

図 7-14. ASI_CH7 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH7_OUTPUT	CH7_SLOT[5:0]					
R-0h	R/W-0h	R/W-6h					

表 7-15. ASI_CH7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH7_OUTPUT	R/W	0h	チャンネル 7 の出力ライン。 0D = チャンネル 7 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 7 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある

表 7-15. ASI_CH7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	CH7_SLOT[5:0]	R/W	6h	チャンネル 7 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.15 ASI_CH8 レジスタ (ページ=0x00、アドレス=0x12) [リセット=7h]

このレジスタは ASI スロット構成レジスタ チャンネル 8 です。

図 7-15. ASI_CH8 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH8_OUTPUT	CH8_SLOT[5:0]					
R-0h	R/W-0h	R/W-7h					

表 7-16. ASI_CH8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CH8_OUTPUT	R/W	0h	チャンネル 8 の出力ライン。 0D = チャンネル 8 の出力は ASI プライマリ出力ピン (SDOUT) にある 1d = チャンネル 8 の出力は ASI セカンダリ出力ピン (GPIO1 または GPOx) にある
5-0	CH8_SLOT[5:0]	R/W	7h	チャンネル 8 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は左スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM はスロット 63 または I ² S、LJ は右スロット 31

7.1.2.16 MST_CFG0 レジスタ (ページ=0x00、アドレス=0x13) [リセット=2h]

このレジスタは ASI マスタ モード構成レジスタ 0 です。

図 7-16. MST_CFG0 レジスタ

7	6	5	4	3	2	1	0
MST_SLV_CFG	AUTO_CLK_CFG	AUTO_MODE_PLL_DIS	BCLK_FSYNC_GATE	FS_MODE	MCLK_FREQ_SEL[2:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-2h		

表 7-17. MST_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MST_SLV_CFG	R/W	0h	ASI マスタまたはスレーブの構成レジスタの設定。 0d = デバイスはスレーブ モード (BCLK と FSYNC の両方がデバイスに入力) 1d = デバイスはマスタ モード (BCLK と FSYNC の両方がデバイスから生成)
6	AUTO_CLK_CFG	R/W	0h	自動クロック構成設定。 0d = 自動クロック構成が有効 (すべての内部クロック分周器および PLL 構成が自動派生) 1d = 自動クロック構成が無効 (デバイス構成設定にカスタム モードおよびデバイス GUI を使用する必要あり)

表 7-17. MST_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	AUTO_MODE_PLL_DIS	R/W	0h	自動モード PLL 設定。 0d = 自動クロック構成で PLL が有効 1d = 自動クロック構成では PLL が無効
4	BCLK_FSYNC_GATE	R/W	0h	BCLK および FSYNC クロック ゲート (デバイスがマスタ モードのとき有効)。 0d = BCLK と FSYNC をゲートしない 1d = マスタ モードのデバイスから送信されるときに、BCLK と FSYNC を強制的にゲートする
3	FS_MODE	R/W	0h	サンプル レート設定 (デバイスがマスタ モードのときに有効)。 0d = fS は 48kHz の倍数 (または約数) 1d = fS は 44.1kHz の倍数 (または約数)
2-0	MCLK_FREQ_SEL[2:0]	R/W	2h	これらのビットは、PLL ソースクロック入力の MCLK (GPIO または GPIx) 周波数を選択します (デバイスがマスタモードで MCLK_FREQ_SEL_MODE = 0 のときに有効)。 0d = 12MHz 1d = 12.288MHz 2d = 13MHz 3d = 16MHz 4d = 19.2MHz 5d = 19.68MHz 6d = 24MHz 7d = 24.576MHz

7.1.2.17 MST_CFG1 レジスタ (ページ=0x00、アドレス=0x14) [リセット=48h]

このレジスタは ASI マスタ モード構成レジスタ 1 です。

図 7-17. MST_CFG1 レジスタ

7	6	5	4	3	2	1	0
FS_RATE[3:0]				FS_BCLK_RATIO[3:0]			
R/W-4h				R/W-8h			

表 7-18. MST_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FS_RATE[3:0]	R/W	4h	ASI バスのプログラムされたサンプルレート (デバイスがスレーブモード自動クロック構成で構成されている場合は使用されません)。 0d = 7.35kHz または 8kHz 1d = 14.7kHz または 16kHz 2d = 22.05kHz または 24kHz 3d = 29.4kHz または 32kHz 4d = 44.1kHz または 48kHz 5d = 88.2kHz または 96kHz 6d = 176.4kHz または 192kHz 7d = 352.8kHz または 384kHz 8d = 705.6kHz または 768kHz 9d ~ 15d = 予約済み
3-0	FS_BCLK_RATIO[3:0]	R/W	8h	ASI バスのプログラムされた BCLK/FSYNC 周波数比率 (デバイスがスレーブモード自動クロック構成で構成されている場合は使用されません) 0d = 比率 16 1d = 比率 24 2d = 比率 32 3d = 比率 48 4d = 比率 64 5d = 比率 96 6d = 比率 128 7d = 比率 192 8d = 比率 256 9d = 比率 384 10d = 比率 512 11d = 比率 1024 12d = 比率 2048 13d ~ 15d = 予約済み

7.1.2.18 ASI_STS レジスタ (ページ=0x00、アドレス=0x15) [リセット=FFh]

このレジスタは、ASI バスクロックモニタステータスレジスタです

図 7-18. ASI_STS レジスタ

7	6	5	4	3	2	1	0
FS_RATE_STS[3:0]				FS_RATIO_STS[3:0]			
R-Fh				R-Fh			

表 7-19. ASI_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FS_RATE_STS[3:0]	R	Fh	ASI バスのサンプル レートが検出されました。 0d = 7.35kHz または 8kHz 1d = 14.7 kHz または 16 kHz 2d = 22.05kHz または 24kHz 3d = 29.4kHz または 32kHz 4d = 44.1kHz または 48kHz 5d = 88.2kHz または 96kHz 6d = 176.4kHz または 192kHz 7d = 352.8kHz または 384kHz 8d = 705.6kHz または 768kHz 9d ~ 14d = 予約済み 15d = 無効なサンプル レート
3-0	FS_RATIO_STS[3:0]	R	Fh	ASI バスの BCLK/FSYNC 周波数比率を検出しました。 0d = 比率 16 1d = 比率 24 2d = 比率 32 3d = 比率 48 4d = 比率 64 5d = 比率 96 6d = 比率 128 7d = 比率 192 8d = 比率 256 9d = 比率 384 10d = 比率 512 11d = 比率 1024 12d = 比率 2048 13d ~ 14d = 予約済み 15d = 無効な比率

7.1.2.19 CLK_SRC レジスタ (ページ=0x00、アドレス=0x16) [リセット=10h]

このレジスタはクロック ソース構成レジスタです。

図 7-19. CLK_SRC レジスタ

7	6	5	4	3	2	1	0
DIS_PLL_SLV_CLK_SRC	MCLK_FREQ_SEL_MODE	MCLK_RATIO_SEL[2:0]			予約済み		
R/W-0h	R/W-0h	R/W-2h			R-0h		

表 7-20. CLK_SRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIS_PLL_SLV_CLK_SRC	R/W	0h	スレープ モードの自動クロック構成で PLL が無効に設定されているデバイス (AUTO_MODE_PLL_DIS = 1) のオーディオ ルートクロック ソース設定。 0d = BCLK はオーディオ ルートクロック ソースとして使用されます 1d = MCLK (GPIO または GPIx) がオーディオ ルートクロック ソースとして使用されます (MCLK/FSYNC 比率は MCLK_RATIO_SEL 設定に従います)
6	MCLK_FREQ_SEL_MODE	R/W	0h	マスタ モード MCLK (GPIO または GPIx) 周波数選択モード (デバイスが自動クロック構成の場合に有効)。 0d = MCLK 周波数は MCLK_FREQ_SEL (P0_R19) 構成に基づきます 1d = MCLK 周波数は MCLK_RATIO_SEL (P0_R22) 構成で FSYNC の倍数として指定されます

表 7-20. CLK_SRC レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-3	MCLK_RATIO_SEL[2:0]	R/W	2h	これらのビットは、マスタ モードの場合、または MCLK がスレーブモードのオーディオルートクロックソースとして使用されている場合、MCLK (GPIO または GPiX) / FSYNC 比率を選択します。 0d = 比率 64 1d = 比率 256 2d = 比率 384 3d = 比率 512 4d = 比率 768 5d = 比率 1024 6d = 比率 1536 7d = 比率 2304
2-0	予約済み	R	0h	予約済み

7.1.2.20 PDMCLK_CFG レジスタ (ページ=0x00、アドレス=0x1F) [リセット=40h]

このレジスタは PDM クロック生成構成レジスタです。

図 7-20. PDMCLK_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み					PDMCLK_DIV[1:0]	
R/W-0h	R/W-10h					R/W-0h	

表 7-21. PDMCLK_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-2	予約済み	R/W	10h	予約済み
1-0	PDMCLK_DIV[1:0]	R/W	0h	PDMCLK デバイダの値。 0d = PDMCLK は 2.8224MHz または 3.072MHz 1d = PDMCLK は 1.4112MHz または 1.536MHz 2d = PDMCLK は 705.6kHz または 768kHz 3d = PDMCLK は 5.6448MHz または 6.144MHz

7.1.2.21 PDMIN_CFG レジスタ (ページ=0x00、アドレス=0x20) [リセット=0h]

このレジスタは PDM DINx サンプリング エッジ構成レジスタです。

図 7-21. PDMIN_CFG レジスタ

7	6	5	4	3	2	1	0
PDMDIN1_EDGE	PDMDIN2_EDGE	PDMDIN3_EDGE	PDMDIN4_EDGE	予約済み			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h			

表 7-22. PDMIN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PDMDIN1_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャンネル 1 とチャンネル 2 のデータに使用されます。 0D = チャンネル 1 のデータは負のエッジでラッチ、チャンネル 2 のデータは立ち上がりエッジでラッチされる 1d = チャンネル 1 のデータは立ち上がりエッジでラッチ、チャンネル 2 のデータは負のエッジでラッチされる
6	PDMDIN2_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャンネル 3 とチャンネル 4 のデータに使用されます。 0D = チャンネル 3 のデータは負のエッジでラッチ、チャンネル 4 のデータは立ち上がりエッジでラッチされる 1d = チャンネル 3 のデータは立ち上がりエッジでラッチ、チャンネル 4 のデータは負のエッジでラッチされる

表 7-22. PDMIN_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	PDMIN3_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャンネル 5 とチャンネル 6 のデータに使用されます。 0D = チャンネル 5 のデータは負のエッジでラッチ、チャンネル 6 のデータは立ち上がりエッジでラッチされる 1d = チャンネル 5 のデータは立ち上がりエッジでラッチ、チャンネル 6 のデータは負のエッジでラッチされる
4	PDMIN4_EDGE	R/W	0h	PDMCLK のラッチ エッジは、チャンネル 7 とチャンネル 8 のデータに使用されます。 0D = チャンネル 7 のデータは負のエッジでラッチ、チャンネル 8 のデータは立ち上がりエッジでラッチされる 1d = チャンネル 7 のデータは立ち上がりエッジでラッチ、チャンネル 8 のデータは負のエッジでラッチされる
3-0	予約済み	R	0h	予約済み

7.1.2.22 GPIO_CFG0 レジスタ (ページ=0x00、アドレス=0x21) [リセット=22h]

このレジスタは GPIO 構成レジスタ 0 です。

図 7-22. GPIO_CFG0 レジスタ

7	6	5	4	3	2	1	0
GPIO1_CFG[3:0]				予約済み	GPIO1_DRV[2:0]		
R/W-2h				R-0h	R/W-2h		

表 7-23. GPIO_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPIO1_CFG[3:0]	R/W	2h	GPIO1 構成。 0d = GPIO1 ディスエーブル 1d = GPIO1 は汎用出力として構成 (GPO) 2d = GPIO1 はデバイス割り込み出力として構成 (IRQ) 3d = GPIO1 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPIO1 は PDM クロック出力として構成 (PDMCLK) 5d ~ 7d = 予約済み 8d = GPIO1 は MICBIAS のオン/オフを制御する入力として構成 (MICBIAS_EN) 9d = GPIO1 は汎用入力として構成 (GPI) 10d = GPIO1 はマスター クロック入力として構成 (MCLK) 11d = GPIO1 はデジタイザ用の ASI 入力として構成 (SDIN) 12d = GPIO1 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成 (PDMIN1) 13d = GPIO1 はチャンネル 3 とチャンネル 4 の PDM データ入力として構成 (PDMIN2) 14d = GPIO1 はチャンネル 5 とチャンネル 6 の PDM データ入力として構成 (PDMIN3) 15d = GPIO1 はチャンネル 7 とチャンネル 8 の PDM データ入力として構成 (PDMIN4)
3	予約済み	R	0h	予約済み
2-0	GPIO1_DRV[2:0]	R/W	2h	GPIO1 出力ドライブ構成 (GPIO1 が SDOUT2 として構成されている場合は使用されません)。 0D = ハイ インピーダンス出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low、ハイ インピーダンス 4D = 弱い Low、アクティブ High を駆動 5d = ハイ インピーダンスとアクティブ High を駆動 6d ~ 7d = 予約済み

7.1.2.23 GPO_CFG0 レジスタ (ページ=0x00、アドレス=0x22) [リセット=0h]

このレジスタは GPO 構成レジスタ 0 です。

図 7-23. GPO_CFG0 レジスタ

7	6	5	4	3	2	1	0
GPO1_CFG[3:0]				予約済み			
R/W-0h				R-0h			

表 7-24. GPO_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO1_CFG[3:0]	R/W	0h	PDMCLK1_GPO1 (GPO1) 構成。 0d = GPO1 ディスエーブル 1d = GPO1 は汎用出力として構成 (GPO) 2d = GPO1 はデバイス割り込み出力として構成 (IRQ) 3d = GPO1 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO1 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3-1	予約済み	R	0h	予約済み
0	GPO1_DRV	R/W	0h	0d = GPO1 はハイインピーダンス状態 1d = GPO1 をアクティブ High/アクティブ Low として駆動

7.1.2.24 GPO_CFG1 レジスタ (ページ=0x00、アドレス=0x23) [リセット=0h]

このレジスタは GPO 構成レジスタ 1 です。

図 7-24. GPO_CFG1 レジスタ

7	6	5	4	3	2	1	0
GPO2_CFG[3:0]				予約済み			
R/W-0h				R-0h			

表 7-25. GPO_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO2_CFG[3:0]	R/W	0h	PDMCLK2_GPO2 (GPO2) 構成。 0d = GPO2 ディスエーブル 1d = GPO2 は汎用出力として構成 (GPO) 2d = GPO2 はデバイス割り込み出力として構成 (IRQ) 3d = GPO2 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO2 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3-1	予約済み	R	0h	予約済み
0	GPO2_DRV	R/W	0h	0d = GPO2 はハイインピーダンス状態 1d = GPO2 をアクティブ High/アクティブ Low として駆動

7.1.2.25 GPO_CFG2 レジスタ (ページ=0x00、アドレス=0x24) [リセット=0h]

このレジスタは GPO 構成レジスタ 2 です。

図 7-25. GPO_CFG2 レジスタ

7	6	5	4	3	2	1	0
GPO3_CFG[3:0]				予約済み			
R/W-0h				R-0h			

表 7-26. GPO_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO3_CFG[3:0]	R/W	0h	PDMCLK3_GPO3 (GPO3) 構成。 0d = GPO3 ディスエーブル 1d = GPO3 は汎用出力として構成 (GPO) 2d = GPO3 はデバイス割り込み出力として構成 (IRQ) 3d = GPO3 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO3 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3-1	予約済み	R	0h	予約済み
0	GPO3_DRV	R/W	0h	0d = GPO3 はハイインピーダンス状態 1d = GPO3 をアクティブ High/アクティブ Low として駆動

7.1.2.26 GPO_CFG3 レジスタ (ページ=0x00、アドレス=0x25) [リセット=0h]

このレジスタは GPO 構成レジスタ 3 です。

図 7-26. GPO_CFG3 レジスタ

7	6	5	4	3	2	1	0
GPO4_CFG[3:0]				予約済み			
R/W-0h				R-0h			

表 7-27. GPO_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO4_CFG[3:0]	R/W	0h	PDMCLK4_GPO4 (GPO4) 構成。 0d = GPO4 ディスエーブル 1d = GPO4 は汎用出力として構成 (GPO) 2d = GPO4 はデバイス割り込み出力として構成 (IRQ) 3d = GPO4 はセカンダリ ASI 出力として構成 (SDOUT2) 4d = GPO4 は PDM クロック出力として構成 (PDMCLK) 5d ~ 15d = 予約済み
3-1	予約済み	R	0h	予約済み
0	GPO4_DRV	R/W	0h	0d = GPO4 はハイインピーダンス状態 1d = GPO4 をアクティブ High/アクティブ Low として駆動

7.1.2.27 GPO_VAL レジスタ (ページ=0x00、アドレス=0x29) [リセット=0h]

このレジスタは、GPIO および GPO 出力値レジスタです。

図 7-27. GPO_VAL レジスタ

7	6	5	4	3	2	1	0
GPIO1_VAL	GPO1_VAL	GPO2_VAL	GPO3_VAL	GPO4_VAL	予約済み		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		

表 7-28. GPO_VAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_VAL	R/W	0h	GPO として構成されているときの GPIO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
6	GPO1_VAL	R/W	0h	GPO として構成されているときの GPO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
5	GPO2_VAL	R/W	0h	GPO として構成されているときの GPO2 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
4	GPO3_VAL	R/W	0h	GPO として構成されているときの GPO3 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
3	GPO4_VAL	R/W	0h	GPO として構成されているときの GPO4 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
2-0	予約済み	R	0h	予約済み

7.1.2.28 GPIO_MON レジスタ (ページ=0x00、アドレス=0x2A) [リセット=0h]

このレジスタは GPIO モニタ値レジスタです。

図 7-28. GPIO_MON レジスタ

7	6	5	4	3	2	1	0
GPIO1_MON	予約済み						
R-0h	R-0h						

表 7-29. GPIO_MON レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_MON	R	0h	GPI として構成されている場合は GPIO1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
6-0	予約済み	R	0h	予約済み

7.1.2.29 GPI_CFG0 レジスタ (ページ=0x00、アドレス=0x2B) [リセット=0h]

このレジスタは GPI 構成レジスタ 0 です。

図 7-29. GPI_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	GPI1_CFG[2:0]			予約済み	GPI2_CFG[2:0]		
R-0h	R/W-0h			R-0h	R/W-0h		

表 7-30. GPI_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	GPI1_CFG[2:0]	R/W	0h	PDMDIN1_GPI1 (GPI1) 構成。 0d = GPI1 ディスエーブル 1d = GPI1 は汎用入力 (GPI) として構成 2d = GPI1 はマスター クロック入力として構成 (MCLK) 3d = GPI1 はデジタイゼーション用の ASI 入力として構成 (SDIN) 4d = GPI1 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI1 はチャンネル 3 とチャンネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI1 はチャンネル 5 とチャンネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI1 はチャンネル 7 とチャンネル 8 の PDM データ入力として構成 (PDMDIN4)
3	予約済み	R	0h	予約済み
2-0	GPI2_CFG[2:0]	R/W	0h	PDMDIN2_GPI2 (GPI2) 構成。 0d = GPI2 ディスエーブル 1d = GPI2 は汎用入力 (GPI) として構成 2d = GPI2 はマスター クロック入力として構成 (MCLK) 3d = GPI2 はデジタイゼーション用の ASI 入力として構成 (SDIN) 4d = GPI2 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI2 はチャンネル 3 とチャンネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI2 はチャンネル 5 とチャンネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI2 はチャンネル 7 とチャンネル 8 の PDM データ入力として構成 (PDMDIN4)

7.1.2.30 GPI_CFG1 レジスタ (ページ=0x00、アドレス=0x2C) [リセット=0h]

このレジスタは GPI 構成レジスタ 1 です。

図 7-30. GPI_CFG1 レジスタ

7	6	5	4	3	2	1	0
予約済み	GPI3_CFG[2:0]			予約済み	GPI4_CFG[2:0]		
R-0h	R/W-0h			R-0h	R/W-0h		

表 7-31. GPI_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	GPI3_CFG[2:0]	R/W	0h	PDMDIN3_GPI3 (GPI3) 構成。 0d = GPI3 ディスエーブル 1d = GPI3 は汎用入力 (GPI) として構成 2d = GPI3 はマスター クロック入力として構成 (MCLK) 3d = GPI3 はデジタイゼーション用の ASI 入力として構成 (SDIN) 4d = GPI3 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI3 はチャンネル 3 とチャンネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI3 はチャンネル 5 とチャンネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI3 はチャンネル 7 とチャンネル 8 の PDM データ入力として構成 (PDMDIN4)
3	予約済み	R	0h	予約済み

表 7-31. GPI_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	GPI4_CFG[2:0]	R/W	0h	PDMDIN4_GPI4 (GPI4) 構成。 0d = GPI4 デイスエーブル 1d = GPI4 は汎用入力 (GPI) として構成 2d = GPI4 はマスター クロック入力として構成 (MCLK) 3d = GPI4 はデジタイゼーション用の ASI 入力として構成 (SDIN) 4d = GPI4 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成 (PDMDIN1) 5d = GPI4 はチャンネル 3 とチャンネル 4 の PDM データ入力として構成 (PDMDIN2) 6d = GPI4 はチャンネル 5 とチャンネル 6 の PDM データ入力として構成 (PDMDIN3) 7d = GPI4 はチャンネル 7 とチャンネル 8 の PDM データ入力として構成 (PDMDIN4)

7.1.2.31 GPI_MON レジスタ (ページ=0x00、アドレス=0x2F) [リセット=0h]

このレジスタは GPI モニタ値レジスタです。

図 7-31. GPI_MON レジスタ

7	6	5	4	3	2	1	0
GPI1_MON	GPI2_MON	GPI3_MON	GPI4_MON	予約済み			
R-0h	R-0h	R-0h	R-0h	R-0h			

表 7-32. GPI_MON レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPI1_MON	R	0h	GPI として構成されている場合は GPI1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
6	GPI2_MON	R	0h	GPI として構成されている場合は GPI2 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
5	GPI3_MON	R	0h	GPI として構成されている場合は GPI3 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
4	GPI4_MON	R	0h	GPI として構成されている場合は GPI4 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
3-0	予約済み	R	0h	予約済み

7.1.2.32 INT_CFG レジスタ (ページ=0x00、アドレス=0x32) [リセット=0h]

このレジスタは割り込み構成レジスタです。

図 7-32. INT_CFG レジスタ

7	6	5	4	3	2	1	0
INT_POL	INT_EVENT[1:0]		予約済み		LTCH_READ_CFG	予約済み	
R/W-0h	R/W-0h		R-0h		R/W-0h	R-0h	

表 7-33. INT_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_POL	R/W	0h	割り込み極性。 0d = アクティブ Low (IRQZ) 1d = アクティブ High (IRQ)

表 7-33. INT_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-5	INT_EVENT[1:0]	R/W	0h	割り込みイベントの設定。 0d = INT は、マスクされていないラッチ割り込みイベントが発生するとアサート 1d = 予約済み 2d = INT は、マスクされていないラッチ割り込みイベントが発生するごとに、4 ミリ秒 (標準値) ごとに 2 ミリ秒 (標準値) 間アサート 3d = INT は、マスクされていない割り込みイベントが発生するたびに、各パルスで 2 ミリ秒 (標準) 間、1 回アサート
4-3	予約済み	R	0h	予約済み
2	LTCH_READ_CFG	R/W	0h	ラッチ レジスタの読み出し構成を中断。 0d = すべての割り込みを LTCH レジスタから読み出すことができる 1d = マスクされていない割り込みのみ LTCH レジスタで読み出すことができる
1-0	予約済み	R	0h	予約済み

7.1.2.33 INT_MASK0 レジスタ (ページ=0x00、アドレス=0x33) [リセット=FFh]

このレジスタは割り込みマスクレジスタ 0 です。

図 7-33. INT_MASK0 レジスタ

7	6	5	4	3	2	1	0
INT_MASK0[7]	INT_MASK0[6]	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-34. INT_MASK0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK0[7]	R/W	1h	ASI クロック エラー マスク。 0d = マスク禁止 1d = マスク
6	INT_MASK0[6]	R/W	1h	PLL ロック割り込みマスク。 0d = マスク禁止 1d = マスク
5-0	予約済み	R/W	3Fh	予約済み

7.1.2.34 INT_LTCH0 レジスタ (ページ=0x00、アドレス=0x36) [リセット=0h]

このレジスタはラッチされた割り込み読み戻しレジスタ 0 です。

図 7-34. INT_LTCH0 レジスタ

7	6	5	4	3	2	1	0
INT_LTCH0[7]	INT_LTCH0[6]	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-35. INT_LTCH0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH0[7]	R	0h	ASI バス クロック エラー (セルフクリア ビット) によって発生する割り込み。 0d = 割り込みなし 1d = 割り込みあり
6	INT_LTCH0[6]	R	0h	PLL LOCK (セルフクリア ビット) によって発生する割り込み。 0d = 割り込みなし 1d = 割り込みあり
5-0	予約済み	R	0h	予約済み

7.1.2.35 BIAS_CFG レジスタ (ページ=0x00、アドレス=0x3B) [リセット=0h]

このレジスタは MICBIAS および VREF 構成レジスタです

図 7-35. BIAS_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み	MBIAS_VAL[2:0]			予約済み		VREF_SEL[1:0]	
R-0h	R/W-0h			R-0h		R/W-0h	

表 7-36. BIAS_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	MBIAS_VAL[2:0]	R/W	0h	MICBIAS 値。 0d = マイクのバイアスを VREF に設定 (2.750V、2.500V、または 1.375V) 1d ~ 5d = 予約済み 2d = 予約済み 6d = マイクのバイアスを AVDD に設定 7d = 予約済み
3-2	予約済み	R	0h	予約済み
1-0	VREF_SEL[1:0]	R/W	0h	VREF の電圧設定 (この設定は、使用される AVDD 電源の最小電圧に基づいて構成します)。 0d = VREF を 2.75V に設定 1d = VREF を 2.5V に設定 2d = VREF を 1.375V に設定 (このオプションは 1.8V AVDD で使用する必要があります) 3d = 予約済み

7.1.2.36 CH1_CFG0 レジスタ (ページ=0x00、アドレス=0x3C) [リセット=0h]

このレジスタは、チャンネル 1 の構成レジスタ 0 です。

図 7-36. CH1_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH1_INSRC[1:0]		予約済み	予約済み		予約済み	予約済み
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

表 7-37. CH1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-5	CH1_INSRC[1:0]	R/W	0h	チャンネル 1 入力構成。 0d = 入力ソースがイネーブルされていない 1d = 予約済み 2d = デジタル マイクの PDM 入力 (PDMDIN1 と PDMCLK に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R/W	0h	予約済み

7.1.2.37 CH1_CFG2 レジスタ (ページ=0x00、アドレス=0x3E) [リセット=C9h]

このレジスタは、チャンネル 1 の構成レジスタ 2 です。

図 7-37. CH1_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH1_DVOL[7:0]							
R/W-C9h							

表 7-38. CH1_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH1_DVOL[7:0]	R/W	C9h	チャンネル 1 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.1.2.38 CH1_CFG3 レジスタ (ページ=0x00、アドレス=0x3F) [リセット=80h]

このレジスタは、チャンネル 1 の構成レジスタ 3 です。

図 7-38. CH1_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH1_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-39. CH1_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH1_GCAL[3:0]	R/W	8h	チャンネル 1 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.39 CH1_CFG4 レジスタ (ページ=0x00、アドレス=0x40) [リセット=0h]

このレジスタは、チャンネル 1 の構成レジスタ 4 です。

図 7-39. CH1_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH1_PCAL[7:0]							
R/W-0h							

表 7-40. CH1_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH1_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 1 の位相較正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.40 CH2_CFG0 レジスタ (ページ=0x00、アドレス=0x41) [リセット=0h]

このレジスタは、チャンネル 2 の構成レジスタ 0 です。

図 7-40. CH2_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH2_INSRC[1:0]		予約済み	予約済み		予約済み	予約済み
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

表 7-41. CH2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-5	CH2_INSRC[1:0]	R/W	0h	チャンネル 2 入力構成。 0d = 入力ソースがイネーブルされていない 1d = 予約済み 2d = デジタル マイクの PDM 入力 (PDM DIN1 と PDM CLK に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R/W	0h	予約済み

7.1.2.41 CH2_CFG2 レジスタ (ページ=0x00、アドレス=0x43) [リセット=C9h]

このレジスタは、チャンネル 2 の構成レジスタ 2 です。

図 7-41. CH2_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH2_DVOL[7:0]							
R/W-C9h							

表 7-42. CH2_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH2_DVOL[7:0]	R/W	C9h	チャンネル 2 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.1.2.42 CH2_CFG3 レジスタ (ページ=0x00、アドレス=0x44) [リセット=80h]

このレジスタは、チャンネル 2 の構成レジスタ 3 です。

図 7-42. CH2_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH2_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-43. CH2_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH2_GCAL[3:0]	R/W	8h	チャンネル 2 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.43 CH2_CFG4 レジスタ (ページ=0x00、アドレス=0x45) [リセット=0h]

このレジスタは、チャンネル 2 の構成レジスタ 4 です。

図 7-43. CH2_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH2_PCAL[7:0]							
R/W-0h							

表 7-44. CH2_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH2_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 2 の位相較正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.44 CH3_CFG0 レジスタ (ページ=0x00、アドレス=0x46) [リセット=0h]

このレジスタは、チャンネル 3 の構成レジスタ 0 です。

図 7-44. CH3_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH3_INSRC[1:0]		予約済み	予約済み		予約済み	予約済み
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

表 7-45. CH3_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-5	CH3_INSRC[1:0]	R/W	0h	チャンネル 3 入力構成。 0d = 入力ソースがイネーブルされていない 1d = 予約済み 2d = デジタル マイクの PDM 入力 (PDMCLK と PDMDIN2 に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R/W	0h	予約済み

7.1.2.45 CH3_CFG2 レジスタ (ページ=0x00、アドレス=0x48) [リセット=C9h]

このレジスタは、チャンネル 3 の構成レジスタ 2 です。

図 7-45. CH3_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH3_DVOL[7:0]							
R/W-C9h							

表 7-46. CH3_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH3_DVOL[7:0]	R/W	C9h	チャンネル 3 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.1.2.46 CH3_CFG3 レジスタ (ページ=0x00、アドレス=0x49) [リセット=80h]

このレジスタは、チャンネル 3 の構成レジスタ 3 です。

図 7-46. CH3_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH3_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-47. CH3_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH3_GCAL[3:0]	R/W	8h	チャンネル 3 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.47 CH3_CFG4 レジスタ (ページ=0x00、アドレス=0x4A) [リセット=0h]

このレジスタは、チャンネル 3 の構成レジスタ 4 です。

図 7-47. CH3_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH3_PCAL[7:0]							
R/W-0h							

表 7-48. CH3_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH3_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 3 の位相較正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.48 CH4_CFG0 レジスタ (ページ=0x00、アドレス=0x4B) [リセット=0h]

このレジスタは、チャンネル 4 の構成レジスタ 0 です。

図 7-48. CH4_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH4_INSRC[1:0]		予約済み	予約済み		予約済み	予約済み
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R-0h	R/W-0h

表 7-49. CH4_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-5	CH4_INSRC[1:0]	R/W	0h	チャンネル 4 入力構成。 0d = 入力ソースがイネーブルされていない 1d = 予約済み 2d = デジタル マイクの PDM 入力 (PDM DIN2 と PDM CLK に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R/W	0h	予約済み

7.1.2.49 CH4_CFG2 レジスタ (ページ=0x00、アドレス=0x4D) [リセット=C9h]

このレジスタは、チャンネル 4 の構成レジスタ 2 です。

図 7-49. CH4_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH4_DVOL[7:0]							
R/W-C9h							

表 7-50. CH4_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH4_DVOL[7:0]	R/W	C9h	チャンネル 4 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.1.2.50 CH4_CFG3 レジスタ (ページ=0x00、アドレス=0x4E) [リセット=80h]

このレジスタは、チャンネル 4 の構成レジスタ 3 です。

図 7-50. CH4_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH4_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-51. CH4_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH4_GCAL[3:0]	R/W	8h	チャンネル 4 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.51 CH4_CFG4 レジスタ (ページ=0x00、アドレス=0x4F) [リセット=0h]

このレジスタは、チャンネル 4 の構成レジスタ 4 です。

図 7-51. CH4_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH4_PCAL[7:0]							
R/W-0h							

表 7-52. CH4_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH4_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 4 の位相較正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.52 CH5_CFG0 レジスタ (ページ=0x00、アドレス=0x50) [リセット=0h]

このレジスタは、チャンネル 5 の構成レジスタ 0 です。

図 7-52. CH5_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH5_INSRC[1:0]			予約済み			
R-0h	R/W-0h			R-0h			

表 7-53. CH5_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-5	CH5_INSRC[1:0]	R/W	0h	チャンネル 5 入力構成 0d = デジタル マイク PDM 入力 (PDMDIN3 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 1d = デジタル マイク PDM 入力 (PDMDIN3 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 2d = デジタル マイク PDM 入力 (PDMDIN3 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R	0h	予約済み

7.1.2.53 CH5_CFG2 レジスタ (ページ=0x00、アドレス=0x52) [リセット=C9h]

このレジスタは、チャンネル 5 の構成レジスタ 2 です。

図 7-53. CH5_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH5_DVOL[7:0]							
R/W-C9h							

表 7-54. CH5_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH5_DVOL[7:0]	R/W	C9h	チャンネル 5 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.1.2.54 CH5_CFG3 レジスタ (ページ=0x00、アドレス=0x53) [リセット=80h]

このレジスタは、チャンネル 5 の構成レジスタ 3 です。

図 7-54. CH5_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH5_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-55. CH5_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH5_GCAL[3:0]	R/W	8h	チャンネル 5 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.55 CH5_CFG4 レジスタ (ページ=0x00、アドレス=0x54) [リセット=0h]

このレジスタは、チャンネル 5 の構成レジスタ 4 です。

図 7-55. CH5_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH5_PCAL[7:0]							
R/W-0h							

表 7-56. CH5_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH5_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 5 の位相較正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.56 CH6_CFG0 レジスタ (ページ=0x00、アドレス=0x55) [リセット=0h]

このレジスタは、チャンネル 6 の構成レジスタ 0 です。

図 7-56. CH6_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み		CH6_INSRC[1:0]		予約済み			
R-0h		R/W-0h		R-0h			

表 7-57. CH6_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-5	CH6_INSRC[1:0]	R/W	0h	チャンネル 6 入力構成 0d = デジタル マイク PDM 入力 (PDMDIN3 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 1d = デジタル マイク PDM 入力 (PDMDIN3 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 2d = デジタル マイク PDM 入力 (PDMDIN3 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R	0h	予約済み

7.1.2.57 CH6_CFG2 レジスタ (ページ=0x00、アドレス=0x57) [リセット=C9h]

このレジスタは、チャンネル 6 の構成レジスタ 2 です。

図 7-57. CH6_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH6_DVOL[7:0]							
R/W-C9h							

表 7-58. CH6_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH6_DVOL[7:0]	R/W	C9h	チャンネル 6 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.1.2.58 CH6_CFG3 レジスタ (ページ=0x00、アドレス=0x58) [リセット=80h]

このレジスタは、チャンネル 6 の構成レジスタ 3 です。

図 7-58. CH6_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH6_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-59. CH6_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH6_GCAL[3:0]	R/W	8h	チャンネル 6 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.59 CH6_CFG4 レジスタ (ページ=0x00、アドレス=0x59) [リセット=0h]

このレジスタは、チャンネル 6 の構成レジスタ 4 です。

図 7-59. CH6_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH6_PCAL[7:0]							
R/W-0h							

表 7-60. CH6_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH6_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 6 の位相較正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.60 CH7_CFG0 レジスタ (ページ=0x00、アドレス=0x5A) [リセット=0h]

このレジスタは、チャンネル 7 の構成レジスタ 0 です。

図 7-60. CH7_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH7_INSRC[1:0]		予約済み				
R-0h	R/W-0h		R-0h				

表 7-61. CH7_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-5	CH7_INSRC[1:0]	R/W	0h	チャンネル 7 入力構成 0d = デジタル マイク PDM 入力 (PDMDIN4 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 1d = デジタル マイク PDM 入力 (PDMDIN4 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 2d = デジタル マイク PDM 入力 (PDMDIN4 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R	0h	予約済み

7.1.2.61 CH7_CFG2 レジスタ (ページ=0x00、アドレス=0x5C) [リセット=C9h]

このレジスタは、チャンネル 7 の構成レジスタ 2 です。

図 7-61. CH7_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH7_DVOL[7:0]							
R/W-C9h							

表 7-62. CH7_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH7_DVOL[7:0]	R/W	C9h	チャンネル 7 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.1.2.62 CH7_CFG3 レジスタ (ページ=0x00、アドレス=0x5D) [リセット=80h]

このレジスタは、チャンネル 7 の構成レジスタ 3 です。

図 7-62. CH7_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH7_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-63. CH7_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH7_GCAL[3:0]	R/W	8h	チャンネル 7 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.63 CH7_CFG4 レジスタ (ページ=0x00、アドレス=0x5E) [リセット=0h]

このレジスタは、チャンネル 7 の構成レジスタ 4 です。

図 7-63. CH7_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH7_PCAL[7:0]							
R/W-0h							

表 7-64. CH7_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH7_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 7 の位相校正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.64 CH8_CFG0 レジスタ (ページ=0x00、アドレス=0x5F) [リセット=0h]

このレジスタは、チャンネル 8 の構成レジスタ 0 です。

図 7-64. CH8_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH8_INSRC[1:0]			予約済み			
R-0h	R/W-0h			R-0h			

表 7-65. CH8_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-5	CH8_INSRC[1:0]	R/W	0h	チャンネル 8 入力構成 0d = デジタル マイク PDM 入力 (PDMDIN4 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 1d = デジタル マイク PDM 入力 (PDMDIN4 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 2d = デジタル マイク PDM 入力 (PDMDIN4 および PDMCLK に応じて GPO ピンと GPI ピンを構成) 3d = 予約済み
4-0	予約済み	R	0h	予約済み

7.1.2.65 CH8_CFG2 レジスタ (ページ=0x00、アドレス=0x61) [リセット=C9h]

このレジスタは、チャンネル 8 の構成レジスタ 2 です。

図 7-65. CH8_CFG2 レジスタ

7	6	5	4	3	2	1	0
CH8_DVOL[7:0]							
R/W-C9h							

表 7-66. CH8_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH8_DVOL[7:0]	R/W	C9h	チャンネル 8 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリュームコントロールは -100dB に設定 2d = デジタル ボリュームコントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリュームコントロールは設定に従って設定 201d = デジタル ボリュームコントロールを 0dB に設定 202d = デジタル ボリュームコントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリュームコントロールは設定に従って設定 254d = デジタル ボリュームコントロールは 26.5dB に設定 255d = デジタル ボリュームコントロールを 27dB に設定

7.1.2.66 CH8_CFG3 レジスタ (ページ=0x00、アドレス=0x62) [リセット=80h]

このレジスタは、チャンネル 8 の構成レジスタ 3 です。

図 7-66. CH8_CFG3 レジスタ

7	6	5	4	3	2	1	0
CH8_GCAL[3:0]				予約済み			
R/W-8h				R-0h			

表 7-67. CH8_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH8_GCAL[3:0]	R/W	8h	チャンネル 8 ゲイン校正。 0d = ゲイン校正を -0.8dB に設定 1d = ゲイン校正を -0.7dB に設定 2d = ゲイン校正を -0.6dB に設定 3d ~ 7d = ゲイン校正を構成どおりに設定 8d = ゲイン校正を 0dB に設定 9d = ゲイン校正を 0.1dB に設定 10d ~ 13d = ゲイン校正を設定どおりに設定 14d = ゲイン校正を 0.6dB に設定 15d = ゲイン校正を 0.7dB に設定
3-0	予約済み	R	0h	予約済み

7.1.2.67 CH8_CFG4 レジスタ (ページ=0x00、アドレス=0x63) [リセット=0h]

このレジスタは、チャンネル 8 の構成レジスタ 4 です。

図 7-67. CH8_CFG4 レジスタ

7	6	5	4	3	2	1	0
CH8_PCAL[7:0]							
R/W-0h							

表 7-68. CH8_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH8_PCAL[7:0]	R/W	0h	変調器クロック分解能による、チャンネル 8 の位相校正。 0d = 位相キャリブレーションなし 1d = 位相キャリブレーション遅延は変調器クロックの 1 サイクルに設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.1.2.68 DSP_CFG0 レジスタ (ページ=0x00、アドレス=0x6B) [リセット=1h]

このレジスタはデジタル信号プロセッサ (DSP) 構成レジスタ 0 です。

図 7-68. DSP_CFG0 レジスタ

7	6	5	4	3	2	1	0
予約済み		DECI_FILT[1:0]		CH_SUM[1:0]		HPF_SEL[1:0]	
R-0h		R/W-0h		R/W-0h		R/W-1h	

表 7-69. DSP_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	DECI_FILT[1:0]	R/W	0h	デシメーション フィルタ応答。 0d = 線形位相 1d = 低レイテンシ 2d = 超低レイテンシ 3d = 予約済み

表 7-69. DSP_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	CH_SUM[1:0]	R/W	0h	より高い信号対雑音比のチャンネル合計モード 0d = チャンネル合計モードが無効 1d = 2 チャンネル合計モードが有効で (CH1 + CH2)/2 および (CH3 + CH4)/2 出力を生成 2d = 4 チャンネル合計モードが有効で (CH1 + CH2 + CH3 + CH4)/4 出力を生成 3d = 予約済み
1-0	HPF_SEL[1:0]	R/W	1h	ハイパスフィルタ (HPF) 選択。 0d = P4_R72 ~ P4_R83 のデフォルト係数値がオールパスフィルタとして設定された、カスタム HPF 用のプログラマブルな一次 IIR フィルタ 1d = HPF はカットオフ周波数 $0.00025 \times f_s$ (12Hz (fs が 48kHz の場合)) を選択 2d = HPF は、カットオフ周波数 $0.002 \times f_s$ (96Hz (fs が 48kHz の場合)) を選択 3d = HPF はカットオフ周波数 $0.008 \times f_s$ (384Hz (fs が 48kHz の場合)) を選択

7.1.2.69 DSP_CFG1 レジスタ (ページ=0x00、アドレス=0x6C) [リセット=40h]

このレジスタはデジタル信号プロセッサ (DSP) 構成レジスタ 1 です。

図 7-69. DSP_CFG1 レジスタ

7	6	5	4	3	2	1	0
DVOL_GANG	BIQUAD_CFG[1:0]		DISABLE_SOFT_STEP	予約済み	予約済み	予約済み	
R/W-0h	R/W-2h		R/W-0h	R/W-0h	R/W-0h	R-0h	

表 7-70. DSP_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DVOL_GANG	R/W	0h	チャンネル全体で一括した DVOL 制御。 0d = 各チャンネルには、CHx_DVOL ビットでプログラムされた専用固有の DVOL CTRL 設定が存在 1d = すべてのアクティブなチャンネルは、チャンネル 1 がオンになっているか否かに関わらず、チャンネル 1 の DVOL 設定 (CH1_DVOL) を使用する必要があります
6-5	BIQUAD_CFG[1:0]	R/W	2h	チャンネル構成あたりのバイクワッドの数。 0d = チャンネルごとにバイクワッドなし、バイクワッドはすべてディスエーブル 1d = チャンネルごとに 1 バイクワッド 2d = チャンネルごとに 2 バイクワッド 3d = チャンネルごとに 3 バイクワッド
4	DISABLE_SOFT_STEP	R/W	0h	ソフトステッピング無効化 (DVOL 変更、ミュート、およびミュート解除時)。 0d = ソフト ステッピング イネーブル 1d = ソフト ステッピング ディスエーブル
3-0	予約済み	R/W	0h	予約済み

7.1.2.70 IN_CH_EN レジスタ (ページ=0x00、アドレス=0x73) [リセット=F0h]

このレジスタは入力チャンネル有効構成レジスタです。

図 7-70. IN_CH_EN レジスタ

7	6	5	4	3	2	1	0
IN_CH1_EN	IN_CH2_EN	IN_CH3_EN	IN_CH4_EN	IN_CH5_EN	IN_CH6_EN	IN_CH7_EN	IN_CH8_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-71. IN_CH_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IN_CH1_EN	R/W	1h	入力チャンネル 1 のイネーブル設定。 0d = チャンネル 1 ディスエーブル 1d = チャンネル 1 イネーブル

表 7-71. IN_CH_EN レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	IN_CH2_EN	R/W	1h	入力チャンネル 2 のイネーブル設定。 0d = チャンネル 2 ディスエーブル 1d = チャンネル 2 イネーブル
5	IN_CH3_EN	R/W	1h	入力チャンネル 3 のイネーブル設定。 0d = チャンネル 3 ディスエーブル 1d = チャンネル 3 イネーブル
4	IN_CH4_EN	R/W	1h	入力チャンネル 4 のイネーブル設定。 0d = チャンネル 4 ディスエーブル 1d = チャンネル 4 イネーブル
3	IN_CH5_EN	R/W	0h	入力チャンネル 5 のイネーブル設定。 0d = チャンネル 5 ディスエーブル 1d = チャンネル 5 イネーブル
2	IN_CH6_EN	R/W	0h	入力チャンネル 6 のイネーブル設定。 0d = チャンネル 6 ディスエーブル 1d = チャンネル 6 イネーブル
1	IN_CH7_EN	R/W	0h	入力チャンネル 7 のイネーブル設定。 0d = チャンネル 7 ディスエーブル 1d = チャンネル 7 イネーブル
0	IN_CH8_EN	R/W	0h	入力チャンネル 8 のイネーブル設定。 0d = チャンネル 8 ディスエーブル 1d = チャンネル 8 イネーブル

7.1.2.71 ASI_OUT_CH_EN レジスタ (ページ=0x00、アドレス=0x74) [リセット=0h]

このレジスタは ASI 出力チャンネル有効構成レジスタです。

図 7-71. ASI_OUT_CH_EN レジスタ

7	6	5	4	3	2	1	0
ASI_OUT_CH1_EN	ASI_OUT_CH2_EN	ASI_OUT_CH3_EN	ASI_OUT_CH4_EN	ASI_OUT_CH5_EN	ASI_OUT_CH6_EN	ASI_OUT_CH7_EN	ASI_OUT_CH8_EN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-72. ASI_OUT_CH_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ASI_OUT_CH1_EN	R/W	0h	ASI 出力チャンネル 1 の有効設定。 0d = チャンネル 1 出力スロットはトライステート状態 1d = チャンネル 1 出力スロット有効
6	ASI_OUT_CH2_EN	R/W	0h	ASI 出力チャンネル 2 の有効設定。 0d = チャンネル 2 出力スロットはトライステート状態 1d = チャンネル 2 出力スロット有効
5	ASI_OUT_CH3_EN	R/W	0h	ASI 出力チャンネル 3 の有効設定。 0d = チャンネル 3 出力スロットはトライステート状態 1d = チャンネル 3 出力スロット有効
4	ASI_OUT_CH4_EN	R/W	0h	ASI 出力チャンネル 4 の有効設定。 0d = チャンネル 4 出力スロットはトライステート状態 1d = チャンネル 4 出力スロット有効
3	ASI_OUT_CH5_EN	R/W	0h	ASI 出力チャンネル 5 の有効設定。 0d = チャンネル 5 出力スロットはトライステート状態 1d = チャンネル 5 出力スロット有効
2	ASI_OUT_CH6_EN	R/W	0h	ASI 出力チャンネル 6 の有効設定。 0d = チャンネル 6 出力スロットはトライステート状態 1d = チャンネル 6 出力スロット有効

表 7-72. ASI_OUT_CH_EN レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	ASI_OUT_CH7_EN	R/W	0h	ASI 出力チャンネル 7 の有効設定。 0d = チャンネル 7 出力スロットはトライステート状態 1d = チャンネル 7 出力スロット有効
0	ASI_OUT_CH8_EN	R/W	0h	ASI 出力チャンネル 8 の有効設定。 0d = チャンネル 8 出力スロットはトライステート状態 1d = チャンネル 8 出力スロット有効

7.1.2.72 PWR_CFG レジスタ (ページ=0x00、アドレス=0x75) [リセット=0h]

このレジスタは起動構成レジスタです。

図 7-72. PWR_CFG レジスタ

7	6	5	4	3	2	1	0
MICBIAS_PDZ	PDM_PDZ	PLL_PDZ	DYN_CH_PUPD_EN	DYN_MAXCH_SEL[1:0]		予約済み	予約済み
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h	R-0h

表 7-73. PWR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MICBIAS_PDZ	R/W	0h	MICBIAS 向け電源制御。 0d = MICBIAS のパワーダウン 1d = MICBIAS のパワーアップ
6	PDM_PDZ	R/W	0h	PDM チャンネルの電源制御。 0d = すべての PDM チャンネルをパワーダウン 1d = イネーブルされているすべての PDM チャンネルをパワーアップ
5	PLL_PDZ	R/W	0h	PLL の電源制御。 0d = PLL パワーダウン 1d = PLL パワーアップ
4	DYN_CH_PUPD_EN	R/W	0h	動的なチャンネル パワーアップ / パワーダウン有効 0d = チャンネルの電源オン、電源オフは、いずれかのチャンネルで録画が実行中の場合はサポートされていません 1d = チャンネル録画がオンの場合でも、チャンネルは個別にパワーアップまたはパワーダウンできます
3-2	DYN_MAXCH_SEL[1:0]	R/W	0h	ダイナミック モードの最大チャンネル選択構成。 0d = チャンネル 1 とチャンネル 2 は、動的なチャンネル パワーアップ、パワーダウン機能が有効になっている状態で使用 1d = チャンネル 1 ~ チャンネル 4 は、動的なチャンネル パワーアップ、パワーダウン機能が有効になっている状態で使用 2d = チャンネル 1 ~ チャンネル 6 は、動的なチャンネル パワーアップ、パワーダウン機能が有効になっている状態で使用 3d = チャンネル 1 ~ チャンネル 8 は、動的なチャンネル パワーアップ、パワーダウン機能が有効になっている状態で使用
1	予約済み	R/W	0h	予約済み
0	予約済み	R	0h	予約済み

7.1.2.73 DEV_STS0 レジスタ (ページ=0x00、アドレス=0x76) [リセット=0h]

このレジスタはデバイス ステータス値レジスタ 0 です。

図 7-73. DEV_STS0 レジスタ

7	6	5	4	3	2	1	0
CH1_STATUS	CH2_STATUS	CH3_STATUS	CH4_STATUS	CH5_STATUS	CH6_STATUS	CH7_STATUS	CH8_STATUS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-74. DEV_STS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CH1_STATUS	R	0h	PDM チャンネル 1 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ
6	CH2_STATUS	R	0h	PDM チャンネル 2 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ
5	CH3_STATUS	R	0h	PDM チャンネル 3 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ

表 7-74. DEV_STS0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	CH4_STATUS	R	0h	PDM チャンネル 4 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ
3	CH5_STATUS	R	0h	PDM チャンネル 5 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ
2	CH6_STATUS	R	0h	PDM チャンネル 6 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ
1	CH7_STATUS	R	0h	PDM チャンネル 7 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ
0	CH8_STATUS	R	0h	PDM チャンネル 8 の電源ステータス。 0d = PDM チャンネルがパワーダウン 1d = PDM チャンネルがパワーアップ

7.1.2.74 DEV_STS1 レジスタ (ページ=0x00、アドレス=0x77) [リセット=80h]

このレジスタはデバイス ステータス値レジスタ 1 です。

図 7-74. DEV_STS1 レジスタ

7	6	5	4	3	2	1	0
MODE_STS[2:0]			予約済み				
R-4h			R-0h				

表 7-75. DEV_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	MODE_STS[2:0]	R	4h	デバイスのモード ステータス。 4d = デバイスはスリープ モードまたはソフトウェア シャットダウン モード 6d = デバイスは、すべての PDM チャンネルをオフにしたアクティブ モード 7d = デバイスは、少なくとも 1 つの PDM チャンネルがオンになっているアクティブ モード
4-0	予約済み	R	0h	予約済み

7.1.2.75 I2C_CKSUM レジスタ (ページ=0x00、アドレス=0x7E) [リセット=0h]

このレジスタは、I²C トランザクションのチェックサム値を返します。

図 7-75. I2C_CKSUM レジスタ

7	6	5	4	3	2	1	0
I2C_CKSUM[7:0]							
R/W-0h							

表 7-76. I2C_CKSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	R/W	0h	これらのビットは、I ² C トランザクションのチェックサム値を返します。このレジスタに書き込むと、チェックサムが書き込んだ値にリセットされます。このレジスタは、すべてのページの他のレジスタへの書き込み時に更新されます。

7.2 プログラム可能な係数レジスタ

7.2.1 プログラム可能な係数レジスタ : ページ=0x02

表 7-77 に示すこのレジスタ ページは、バイクワッド 1 ~ バイクワッド 6 フィルタのプログラマブル係数で構成されています。ページ 2、ページ 3、ページ 4 の係数レジスタのトランザクション時間を最適化するために、デバイスは I²C および SPI バースト書き込みおよび読み取り用の自動インクリメント ページも (デフォルトで) サポートしています。レジスタ アドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。これらのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホスト デバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト (BYT1) から始まる 4 バイトすべてを書き込み、読み取る必要があります。係数レジスタ読み取りトランザクションに SPI を使用する場合、デバイスは最初のバイトをダミー読み取りバイトとして発行します。そのため、ホストはダミー読み取りバイトとしての最初のバイトと、最上位バイト (BYT1) から始まる係数レジスタ値に対応する最後の 4 バイトを含む 5 バイトを読み取る必要があります。

表 7-77. ページ 0x02 のプログラム可能な係数レジスタ

アドレス	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページ レジスタ
0x08	BQ1_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 1、N0 係数バイト [31:24]
0x09	BQ1_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 1、N0 係数バイト [23:16]
0x0A	BQ1_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 1、N0 係数バイト [15:8]
0x0B	BQ1_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 1、N0 係数バイト [7:0]
0x0C	BQ1_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [31:24]
0x0D	BQ1_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [23:16]
0x0E	BQ1_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [15:8]
0x0F	BQ1_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、N1 係数バイト [7:0]
0x10	BQ1_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [31:24]
0x11	BQ1_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [23:16]
0x12	BQ1_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [15:8]
0x13	BQ1_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、N2 係数バイト [7:0]
0x14	BQ1_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [31:24]
0x15	BQ1_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [23:16]
0x16	BQ1_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [15:8]
0x17	BQ1_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、D1 係数バイト [7:0]
0x18	BQ1_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [31:24]
0x19	BQ1_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [23:16]
0x1A	BQ1_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [15:8]
0x1B	BQ1_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 1、D2 係数バイト [7:0]
0x1C	BQ2_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 2、N0 係数バイト [31:24]
0x1D	BQ2_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 2、N0 係数バイト [23:16]
0x1E	BQ2_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 2、N0 係数バイト [15:8]
0x1F	BQ2_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 2、N0 係数バイト [7:0]
0x20	BQ2_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [31:24]
0x21	BQ2_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [23:16]
0x22	BQ2_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [15:8]
0x23	BQ2_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、N1 係数バイト [7:0]
0x24	BQ2_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [31:24]
0x25	BQ2_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [23:16]
0x26	BQ2_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [15:8]
0x27	BQ2_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、N2 係数バイト [7:0]
0x28	BQ2_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [31:24]

表 7-77. ページ 0x02 のプログラム可能な係数レジスタ (続き)

0x29	BQ2_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [23:16]
0x2A	BQ2_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [15:8]
0x2B	BQ2_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、D1 係数バイト [7:0]
0x2C	BQ2_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [31:24]
0x2D	BQ2_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [23:16]
0x2E	BQ2_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [15:8]
0x2F	BQ2_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 2、D2 係数バイト [7:0]
0x30	BQ3_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 3、N0 係数バイト [31:24]
0x31	BQ3_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 3、N0 係数バイト [23:16]
0x32	BQ3_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 3、N0 係数バイト [15:8]
0x33	BQ3_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 3、N0 係数バイト [7:0]
0x34	BQ3_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [31:24]
0x35	BQ3_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [23:16]
0x36	BQ3_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [15:8]
0x37	BQ3_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、N1 係数バイト [7:0]
0x38	BQ3_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [31:24]
0x39	BQ3_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [23:16]
0x3A	BQ3_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [15:8]
0x3B	BQ3_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、N2 係数バイト [7:0]
0x3C	BQ3_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [31:24]
0x3D	BQ3_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [23:16]
0x3E	BQ3_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [15:8]
0x3F	BQ3_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、D1 係数バイト [7:0]
0x40	BQ3_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [31:24]
0x41	BQ3_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [23:16]
0x42	BQ3_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [15:8]
0x43	BQ3_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 3、D2 係数バイト [7:0]
0x44	BQ4_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 4、N0 係数バイト [31:24]
0x45	BQ4_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 4、N0 係数バイト [23:16]
0x46	BQ4_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 4、N0 係数バイト [15:8]
0x47	BQ4_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 4、N0 係数バイト [7:0]
0x48	BQ4_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [31:24]
0x49	BQ4_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [23:16]
0x4A	BQ4_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [15:8]
0x4B	BQ4_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、N1 係数バイト [7:0]
0x4C	BQ4_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [31:24]
0x4D	BQ4_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [23:16]
0x4E	BQ4_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [15:8]
0x4F	BQ4_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、N2 係数バイト [7:0]
0x50	BQ4_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [31:24]
0x51	BQ4_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [23:16]
0x52	BQ4_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [15:8]
0x53	BQ4_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、D1 係数バイト [7:0]
0x54	BQ4_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [31:24]
0x55	BQ4_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [23:16]
0x56	BQ4_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [15:8]
0x57	BQ4_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 4、D2 係数バイト [7:0]

表 7-77. ページ 0x02 のプログラム可能な係数レジスタ (続き)

0x58	BQ5_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 5、N0 係数バイト [31:24]
0x59	BQ5_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 5、N0 係数バイト [23:16]
0x5A	BQ5_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 5、N0 係数バイト [15:8]
0x5B	BQ5_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 5、N0 係数バイト [7:0]
0x5C	BQ5_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [31:24]
0x5D	BQ5_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [23:16]
0x5E	BQ5_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [15:8]
0x5F	BQ5_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、N1 係数バイト [7:0]
0x60	BQ5_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [31:24]
0x61	BQ5_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [23:16]
0x62	BQ5_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [15:8]
0x63	BQ5_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、N2 係数バイト [7:0]
0x64	BQ5_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [31:24]
0x65	BQ5_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [23:16]
0x66	BQ5_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [15:8]
0x67	BQ5_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、D1 係数バイト [7:0]
0x68	BQ5_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [31:24]
0x69	BQ5_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [23:16]
0x6A	BQ5_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [15:8]
0x6B	BQ5_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 5、D2 係数バイト [7:0]
0x6C	BQ6_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 6、N0 係数バイト [31:24]
0x6D	BQ6_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 6、N0 係数バイト [23:16]
0x6E	BQ6_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 6、N0 係数バイト [15:8]
0x6F	BQ6_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 6、N0 係数バイト [7:0]
0x70	BQ6_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [31:24]
0x71	BQ6_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [23:16]
0x72	BQ6_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [15:8]
0x73	BQ6_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、N1 係数バイト [7:0]
0x74	BQ6_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [31:24]
0x75	BQ6_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [23:16]
0x76	BQ6_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [15:8]
0x77	BQ6_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、N2 係数バイト [7:0]
0x78	BQ6_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [31:24]
0x79	BQ6_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [23:16]
0x7A	BQ6_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [15:8]
0x7B	BQ6_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、D1 係数バイト [7:0]
0x7C	BQ6_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [31:24]
0x7D	BQ6_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [23:16]
0x7E	BQ6_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [15:8]
0x7F	BQ6_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 6、D2 係数バイト [7:0]

7.2.2 プログラム可能な係数レジスタ : ページ=0x03

表 7-78 に示すこのレジスタ ページは、バイトワード 7 ~ バイトワード 12 フィルタのプログラマブル係数で構成されています。ページ 2、ページ 3、ページ 4 の係数レジスタのトランザクション時間を最適化するために、デバイスは I²C および SPI バースト書き込みおよび読み取り用の自動インクリメント ページも (デフォルトで) サポートしています。レジスタ アドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。これらのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホスト デバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト (BYT1) から始まる 4 バイトすべてを書き込み、読み取る必要があります。係数レジスタ読み取りトランザクションに SPI を使用する場合、デバイスは最初のバイトをダミー読み取りバイトとして発行します。そのため、ホストはダミー読み取りバイトとしての最初のバイトと、最上位バイト (BYT1) から始まる係数レジスタ値に対応する最後の 4 バイトを含む 5 バイトを読み取る必要があります。

表 7-78. ページ 0x03 のプログラム可能な係数レジスタ

ADDR	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページレジスタ
0x08	BQ7_N0_BYT1[7:0]	0x7F	プログラム可能なバイトワード 7、N0 係数バイト [31:24]
0x09	BQ7_N0_BYT2[7:0]	0xFF	プログラム可能なバイトワード 7、N0 係数バイト [23:16]
0x0A	BQ7_N0_BYT3[7:0]	0xFF	プログラム可能なバイトワード 7、N0 係数バイト [15:8]
0x0B	BQ7_N0_BYT4[7:0]	0xFF	プログラム可能なバイトワード 7、N0 係数バイト [7:0]
0x0C	BQ7_N1_BYT1[7:0]	0x00	プログラム可能なバイトワード 7、N1 係数バイト [31:24]
0x0D	BQ7_N1_BYT2[7:0]	0x00	プログラム可能なバイトワード 7、N1 係数バイト [23:16]
0x0E	BQ7_N1_BYT3[7:0]	0x00	プログラム可能なバイトワード 7、N1 係数バイト [15:8]
0x0F	BQ7_N1_BYT4[7:0]	0x00	プログラム可能なバイトワード 7、N1 係数バイト [7:0]
0x10	BQ7_N2_BYT1[7:0]	0x00	プログラム可能なバイトワード 7、N2 係数バイト [31:24]
0x11	BQ7_N2_BYT2[7:0]	0x00	プログラム可能なバイトワード 7、N2 係数バイト [23:16]
0x12	BQ7_N2_BYT3[7:0]	0x00	プログラム可能なバイトワード 7、N2 係数バイト [15:8]
0x13	BQ7_N2_BYT4[7:0]	0x00	プログラム可能なバイトワード 7、N2 係数バイト [7:0]
0x14	BQ7_D1_BYT1[7:0]	0x00	プログラム可能なバイトワード 7、D1 係数バイト [31:24]
0x15	BQ7_D1_BYT2[7:0]	0x00	プログラム可能なバイトワード 7、D1 係数バイト [23:16]
0x16	BQ7_D1_BYT3[7:0]	0x00	プログラム可能なバイトワード 7、D1 係数バイト [15:8]
0x17	BQ7_D1_BYT4[7:0]	0x00	プログラム可能なバイトワード 7、D1 係数バイト [7:0]
0x18	BQ7_D2_BYT1[7:0]	0x00	プログラム可能なバイトワード 7、D2 係数バイト [31:24]
0x19	BQ7_D2_BYT2[7:0]	0x00	プログラム可能なバイトワード 7、D2 係数バイト [23:16]
0x1A	BQ7_D2_BYT3[7:0]	0x00	プログラム可能なバイトワード 7、D2 係数バイト [15:8]
0x1B	BQ7_D2_BYT4[7:0]	0x00	プログラム可能なバイトワード 7、D2 係数バイト [7:0]
0x1C	BQ8_N0_BYT1[7:0]	0x7F	プログラム可能なバイトワード 8、N0 係数バイト [31:24]
0x1D	BQ8_N0_BYT2[7:0]	0xFF	プログラム可能なバイトワード 8、N0 係数バイト [23:16]
0x1E	BQ8_N0_BYT3[7:0]	0xFF	プログラム可能なバイトワード 8、N0 係数バイト [15:8]
0x1F	BQ8_N0_BYT4[7:0]	0xFF	プログラム可能なバイトワード 8、N0 係数バイト [7:0]
0x20	BQ8_N1_BYT1[7:0]	0x00	プログラム可能なバイトワード 8、N1 係数バイト [31:24]
0x21	BQ8_N1_BYT2[7:0]	0x00	プログラム可能なバイトワード 8、N1 係数バイト [23:16]
0x22	BQ8_N1_BYT3[7:0]	0x00	プログラム可能なバイトワード 8、N1 係数バイト [15:8]
0x23	BQ8_N1_BYT4[7:0]	0x00	プログラム可能なバイトワード 8、N1 係数バイト [7:0]
0x24	BQ8_N2_BYT1[7:0]	0x00	プログラム可能なバイトワード 8、N2 係数バイト [31:24]
0x25	BQ8_N2_BYT2[7:0]	0x00	プログラム可能なバイトワード 8、N2 係数バイト [23:16]
0x26	BQ8_N2_BYT3[7:0]	0x00	プログラム可能なバイトワード 8、N2 係数バイト [15:8]
0x27	BQ8_N2_BYT4[7:0]	0x00	プログラム可能なバイトワード 8、N2 係数バイト [7:0]
0x28	BQ8_D1_BYT1[7:0]	0x00	プログラム可能なバイトワード 8、D1 係数バイト [31:24]
0x29	BQ8_D1_BYT2[7:0]	0x00	プログラム可能なバイトワード 8、D1 係数バイト [23:16]
0x2A	BQ8_D1_BYT3[7:0]	0x00	プログラム可能なバイトワード 8、D1 係数バイト [15:8]

表 7-78. ページ 0x03 のプログラム可能な係数レジスタ (続き)

0x2B	BQ8_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 8、D1 係数バイト [7:0]
0x2C	BQ8_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [31:24]
0x2D	BQ8_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [23:16]
0x2E	BQ8_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [15:8]
0x2F	BQ8_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 8、D2 係数バイト [7:0]
0x30	BQ9_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 9、N0 係数バイト [31:24]
0x31	BQ9_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 9、N0 係数バイト [23:16]
0x32	BQ9_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 9、N0 係数バイト [15:8]
0x33	BQ9_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 9、N0 係数バイト [7:0]
0x34	BQ9_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [31:24]
0x35	BQ9_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [23:16]
0x36	BQ9_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [15:8]
0x37	BQ9_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、N1 係数バイト [7:0]
0x38	BQ9_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [31:24]
0x39	BQ9_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [23:16]
0x3A	BQ9_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [15:8]
0x3B	BQ9_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、N2 係数バイト [7:0]
0x3C	BQ9_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [31:24]
0x3D	BQ9_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [23:16]
0x3E	BQ9_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [15:8]
0x3F	BQ9_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、D1 係数バイト [7:0]
0x40	BQ9_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [31:24]
0x41	BQ9_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [23:16]
0x42	BQ9_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [15:8]
0x43	BQ9_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 9、D2 係数バイト [7:0]
0x44	BQ10_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 10、N0 係数バイト [31:24]
0x45	BQ10_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 10、N0 係数バイト [23:16]
0x46	BQ10_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 10、N0 係数バイト [15:8]
0x47	BQ10_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 10、N0 係数バイト [7:0]
0x48	BQ10_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [31:24]
0x49	BQ10_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [23:16]
0x4A	BQ10_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [15:8]
0x4B	BQ10_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、N1 係数バイト [7:0]
0x4C	BQ10_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [31:24]
0x4D	BQ10_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [23:16]
0x4E	BQ10_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [15:8]
0x4F	BQ10_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、N2 係数バイト [7:0]
0x50	BQ10_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [31:24]
0x51	BQ10_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [23:16]
0x52	BQ10_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [15:8]
0x53	BQ10_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、D1 係数バイト [7:0]
0x54	BQ10_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [31:24]
0x55	BQ10_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [23:16]
0x56	BQ10_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [15:8]
0x57	BQ10_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 10、D2 係数バイト [7:0]
0x58	BQ11_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 11、N0 係数バイト [31:24]
0x59	BQ11_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 11、N0 係数バイト [23:16]

表 7-78. ページ 0x03 のプログラム可能な係数レジスタ (続き)

0x5A	BQ11_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 11、N0 係数バイト [15:8]
0x5B	BQ11_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 11、N0 係数バイト [7:0]
0x5C	BQ11_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [31:24]
0x5D	BQ11_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [23:16]
0x5E	BQ11_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [15:8]
0x5F	BQ11_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、N1 係数バイト [7:0]
0x60	BQ11_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [31:24]
0x61	BQ11_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [23:16]
0x62	BQ11_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [15:8]
0x63	BQ11_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、N2 係数バイト [7:0]
0x64	BQ11_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [31:24]
0x65	BQ11_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [23:16]
0x66	BQ11_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [15:8]
0x67	BQ11_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、D1 係数バイト [7:0]
0x68	BQ11_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [31:24]
0x69	BQ11_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [23:16]
0x6A	BQ11_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [15:8]
0x6B	BQ11_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 11、D2 係数バイト [7:0]
0x6C	BQ12_N0_BYT1[7:0]	0x7F	プログラム可能なバイクワッド 12、N0 係数バイト [31:24]
0x6D	BQ12_N0_BYT2[7:0]	0xFF	プログラム可能なバイクワッド 12、N0 係数バイト [23:16]
0x6E	BQ12_N0_BYT3[7:0]	0xFF	プログラム可能なバイクワッド 12、N0 係数バイト [15:8]
0x6F	BQ12_N0_BYT4[7:0]	0xFF	プログラム可能なバイクワッド 12、N0 係数バイト [7:0]
0x70	BQ12_N1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [31:24]
0x71	BQ12_N1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [23:16]
0x72	BQ12_N1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [15:8]
0x73	BQ12_N1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、N1 係数バイト [7:0]
0x74	BQ12_N2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [31:24]
0x75	BQ12_N2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [23:16]
0x76	BQ12_N2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [15:8]
0x77	BQ12_N2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、N2 係数バイト [7:0]
0x78	BQ12_D1_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [31:24]
0x79	BQ12_D1_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [23:16]
0x7A	BQ12_D1_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [15:8]
0x7B	BQ12_D1_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、D1 係数バイト [7:0]
0x7C	BQ12_D2_BYT1[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [31:24]
0x7D	BQ12_D2_BYT2[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [23:16]
0x7E	BQ12_D2_BYT3[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [15:8]
0x7F	BQ12_D2_BYT4[7:0]	0x00	プログラム可能なバイクワッド 12、D2 係数バイト [7:0]

7.2.3 プログラム可能な係数レジスタ : ページ=0x04

このレジスタ ページ (表 7-79 を参照) は、ミキサ 1 からミキサ 4 までのプログラム可能な係数と、1 次 IIR フィルタで構成されています。すべてのミキサ係数は、1.31 の数値形式を使用した 32 ビットの 2 の補数です。0x7FFFFFFF の値は +1 (0dB ゲイン) に相当し、0x00000000 の値はミュート (ゼロ データ) に相当します。その間のすべての値には、式 4 を使用して計算したミキサ減衰を設定します。MSB を「1」に設定すると、減衰は同じままですが、信号位相は反転します。すべての IIR フィルタのプログラム可能な係数は 32 ビットの 2 の補数です。係数レジスタのトランザクションを成功させるには、ホスト デバイスはターゲット係数レジスタのトランザクションに対して、最上位バイト (BYT1) から始まる 4 バイトすべてを書き込み、読み取る必要があります。係数レジスタ読み取りトランザクションに SPI を使用する場合、デバイスは最初のバイトをダミー読み取りバイトとして発行します。そのため、ホストはダミー読み取りバイトとしての最初のバイトと、最上位バイト (BYT1) から始まる係数レジスタ値に対応する最後の 4 バイトを含む 5 バイトを読み取る必要があります。

$$\text{hex2dec (value) / } 2^{31} \tag{4}$$

表 7-79. ページ 0x04 のプログラム可能な係数レジスタ

ADDR	レジスタ	リセット	説明
0x00	PAGE[7:0]	0x00	デバイス ページレジスタ
0x08	MIX1_CH1_BYT1[7:0]	0x7F	デジタル ミキサ 1、チャンネル 1 係数バイト [31:24]
0x09	MIX1_CH1_BYT2[7:0]	0xFF	デジタル ミキサ 1、チャンネル 1 係数バイト [23:16]
0x0A	MIX1_CH1_BYT3[7:0]	0xFF	デジタル ミキサ 1、チャンネル 1 係数バイト [15:8]
0x0B	MIX1_CH1_BYT4[7:0]	0xFF	デジタル ミキサ 1、チャンネル 1 係数バイト [7:0]
0x0C	MIX1_CH2_BYT1[7:0]	0x00	デジタル ミキサ 1、チャンネル 2 係数バイト [31:24]
0x0D	MIX1_CH2_BYT2[7:0]	0x00	デジタル ミキサ 1、チャンネル 2 係数バイト [23:16]
0x0E	MIX1_CH2_BYT3[7:0]	0x00	デジタル ミキサ 1、チャンネル 2 係数バイト [15:8]
0x0F	MIX1_CH2_BYT4[7:0]	0x00	デジタル ミキサ 1、チャンネル 2 係数バイト [7:0]
0x10	MIX1_CH3_BYT1[7:0]	0x00	デジタル ミキサ 1、チャンネル 3 係数バイト [31:24]
0x11	MIX1_CH3_BYT2[7:0]	0x00	デジタル ミキサ 1、チャンネル 3 係数バイト [23:16]
0x12	MIX1_CH3_BYT3[7:0]	0x00	デジタル ミキサ 1、チャンネル 3 係数バイト [15:8]
0x13	MIX1_CH3_BYT4[7:0]	0x00	デジタル ミキサ 1、チャンネル 3 係数バイト [7:0]
0x14	MIX1_CH4_BYT1[7:0]	0x00	デジタル ミキサ 1、チャンネル 4 係数バイト [31:24]
0x15	MIX1_CH4_BYT2[7:0]	0x00	デジタル ミキサ 1、チャンネル 4 係数バイト [23:16]
0x16	MIX1_CH4_BYT3[7:0]	0x00	デジタル ミキサ 1、チャンネル 4 係数バイト [15:8]
0x17	MIX1_CH4_BYT4[7:0]	0x00	デジタル ミキサ 1、チャンネル 4 係数バイト [7:0]
0x18	MIX2_CH1_BYT1[7:0]	0x00	デジタル ミキサ 2、チャンネル 1 係数バイト [31:24]
0x19	MIX2_CH1_BYT2[7:0]	0x00	デジタル ミキサ 2、チャンネル 1 係数バイト [23:16]
0x1A	MIX2_CH1_BYT3[7:0]	0x00	デジタル ミキサ 2、チャンネル 1 係数バイト [15:8]
0x1B	MIX2_CH1_BYT4[7:0]	0x00	デジタル ミキサ 2、チャンネル 1 係数バイト [7:0]
0x1C	MIX2_CH2_BYT1[7:0]	0x7F	デジタル ミキサ 2、チャンネル 2 係数バイト [31:24]
0x1D	MIX2_CH2_BYT2[7:0]	0xFF	デジタル ミキサ 2、チャンネル 2 係数バイト [23:16]
0x1E	MIX2_CH2_BYT3[7:0]	0xFF	デジタル ミキサ 2、チャンネル 2 係数バイト [15:8]
0x1F	MIX2_CH2_BYT4[7:0]	0xFF	デジタル ミキサ 2、チャンネル 2 係数バイト [7:0]
0x20	MIX2_CH3_BYT1[7:0]	0x00	デジタル ミキサ 2、チャンネル 3 係数バイト [31:24]
0x21	MIX2_CH3_BYT2[7:0]	0x00	デジタル ミキサ 2、チャンネル 3 係数バイト [23:16]
0x22	MIX2_CH3_BYT3[7:0]	0x00	デジタル ミキサ 2、チャンネル 3 係数バイト [15:8]
0x23	MIX2_CH3_BYT4[7:0]	0x00	デジタル ミキサ 2、チャンネル 3 係数バイト [7:0]
0x24	MIX2_CH4_BYT1[7:0]	0x00	デジタル ミキサ 2、チャンネル 4 係数バイト [31:24]
0x25	MIX2_CH4_BYT2[7:0]	0x00	デジタル ミキサ 2、チャンネル 4 係数バイト [23:16]
0x26	MIX2_CH4_BYT3[7:0]	0x00	デジタル ミキサ 2、チャンネル 4 係数バイト [15:8]
0x27	MIX2_CH4_BYT4[7:0]	0x00	デジタル ミキサ 2、チャンネル 4 係数バイト [7:0]
0x28	MIX3_CH1_BYT1[7:0]	0x00	デジタル ミキサ 3、チャンネル 1 係数バイト [31:24]

表 7-79. ページ 0x04 のプログラム可能な係数レジスタ (続き)

0x29	MIX3_CH1_BYT2[7:0]	0x00	デジタル ミキサ 3、チャンネル 1 係数バイト [23:16]
0x2A	MIX3_CH1_BYT3[7:0]	0x00	デジタル ミキサ 3、チャンネル 1 係数バイト [15:8]
0x2B	MIX3_CH1_BYT4[7:0]	0x00	デジタル ミキサ 3、チャンネル 1 係数バイト [7:0]
0x2C	MIX3_CH2_BYT1[7:0]	0x00	デジタル ミキサ 3、チャンネル 2 係数バイト [31:24]
0x2D	MIX3_CH2_BYT2[7:0]	0x00	デジタル ミキサ 3、チャンネル 2 係数バイト [23:16]
0x2E	MIX3_CH2_BYT3[7:0]	0x00	デジタル ミキサ 3、チャンネル 2 係数バイト [15:8]
0x2F	MIX3_CH2_BYT4[7:0]	0x00	デジタル ミキサ 3、チャンネル 2 係数バイト [7:0]
0x30	MIX3_CH3_BYT1[7:0]	0x7F	デジタル ミキサ 3、チャンネル 3 係数バイト [31:24]
0x31	MIX3_CH3_BYT2[7:0]	0xFF	デジタル ミキサ 3、チャンネル 3 係数バイト [23:16]
0x32	MIX3_CH3_BYT3[7:0]	0xFF	デジタル ミキサ 3、チャンネル 3 係数バイト [15:8]
0x33	MIX3_CH3_BYT4[7:0]	0xFF	デジタル ミキサ 3、チャンネル 3 係数バイト [7:0]
0x34	MIX3_CH4_BYT1[7:0]	0x00	デジタル ミキサ 3、チャンネル 4 係数バイト [31:24]
0x35	MIX3_CH4_BYT2[7:0]	0x00	デジタル ミキサ 3、チャンネル 4 係数バイト [23:16]
0x36	MIX3_CH4_BYT3[7:0]	0x00	デジタル ミキサ 3、チャンネル 4 係数バイト [15:8]
0x37	MIX3_CH4_BYT4[7:0]	0x00	デジタル ミキサ 3、チャンネル 4 係数バイト [7:0]
0x38	MIX4_CH1_BYT1[7:0]	0x00	デジタル ミキサ 4、チャンネル 1 係数バイト [31:24]
0x39	MIX4_CH1_BYT2[7:0]	0x00	デジタル ミキサ 4、チャンネル 1 係数バイト [23:16]
0x3A	MIX4_CH1_BYT3[7:0]	0x00	デジタル ミキサ 4、チャンネル 1 係数バイト [15:8]
0x3B	MIX4_CH1_BYT4[7:0]	0x00	デジタル ミキサ 4、チャンネル 1 係数バイト [7:0]
0x3C	MIX4_CH2_BYT1[7:0]	0x00	デジタル ミキサ 4、チャンネル 2 係数バイト [31:24]
0x3D	MIX4_CH2_BYT2[7:0]	0x00	デジタル ミキサ 4、チャンネル 2 係数バイト [23:16]
0x3E	MIX4_CH2_BYT3[7:0]	0x00	デジタル ミキサ 4、チャンネル 2 係数バイト [15:8]
0x3F	MIX4_CH2_BYT4[7:0]	0x00	デジタル ミキサ 4、チャンネル 2 係数バイト [7:0]
0x40	MIX4_CH3_BYT1[7:0]	0x00	デジタル ミキサ 4、チャンネル 3 係数バイト [31:24]
0x41	MIX4_CH3_BYT2[7:0]	0x00	デジタル ミキサ 4、チャンネル 3 係数バイト [23:16]
0x42	MIX4_CH3_BYT3[7:0]	0x00	デジタル ミキサ 4、チャンネル 3 係数バイト [15:8]
0x43	MIX4_CH3_BYT4[7:0]	0x00	デジタル ミキサ 4、チャンネル 3 係数バイト [7:0]
0x44	MIX4_CH4_BYT1[7:0]	0x7F	デジタル ミキサ 4、チャンネル 4 係数バイト [31:24]
0x45	MIX4_CH4_BYT2[7:0]	0xFF	デジタル ミキサ 4、チャンネル 4 係数バイト [23:16]
0x46	MIX4_CH4_BYT3[7:0]	0xFF	デジタル ミキサ 4、チャンネル 4 係数バイト [15:8]
0x47	MIX4_CH4_BYT4[7:0]	0xFF	デジタル ミキサ 4、チャンネル 4 係数バイト [7:0]
0x48	IIR_NO_BYT1[7:0]	0x7F	プログラム可能な 1 次 IIR、NO 係数バイト [31:24]
0x49	IIR_NO_BYT2[7:0]	0xFF	プログラム可能な 1 次 IIR、NO 係数バイト [23:16]
0x4A	IIR_NO_BYT3[7:0]	0xFF	プログラム可能な 1 次 IIR、NO 係数バイト [15:8]
0x4B	IIR_NO_BYT4[7:0]	0xFF	プログラム可能な 1 次 IIR、NO 係数バイト [7:0]
0x4C	IIR_N1_BYT1[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [31:24]
0x4D	IIR_N1_BYT2[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [23:16]
0x4E	IIR_N1_BYT3[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [15:8]
0x4F	IIR_N1_BYT4[7:0]	0x00	プログラム可能な 1 次 IIR、N1 係数バイト [7:0]
0x50	IIR_D1_BYT1[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [31:24]
0x51	IIR_D1_BYT2[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [23:16]
0x52	IIR_D1_BYT3[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [15:8]
0x53	IIR_D1_BYT4[7:0]	0x00	プログラム可能な 1 次 IIR、D1 係数バイト [7:0]

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

PCMD3180 は、パルス密度変調 (PDM) 入力を時分割多重 (TDM) 出力または I²S オーディオ出力に変換する マルチチャンネル コンバータであり、最大 768kHz の出力サンプル レートをサポートしています。このデバイスは、同時録音アプリケーション用に最大 8 つのデジタル パルス密度変調 (PDM) マイクをサポートしています。

制御レジスタを構成するための PCMD3180 との通信は、I²C または SPI を使用してサポートされています。このデバイスは、柔軟性の高いオーディオ シリアル インターフェイス (TDM、I²S、LJ) をサポートしており、システム内でデバイス間でオーディオ データをシームレスに送信できます。

8.2 代表的なアプリケーション

8.2.1 8 チャンネルのデジタル PDM マイクロフォン録音

図 8-1 に、I²C 制御インターフェイスと TDM オーディオ データ スレーブ インターフェイスを使用して同時録音操作を実行する 8 つのデジタル PDM MEMS マイクを使用するアプリケーションにおける PCMD3180 の一般的な構成を示します。システムで MICBIAS 出力を使用しない場合、MICBIAS ピンの 1μF コンデンサは必須ではありません。

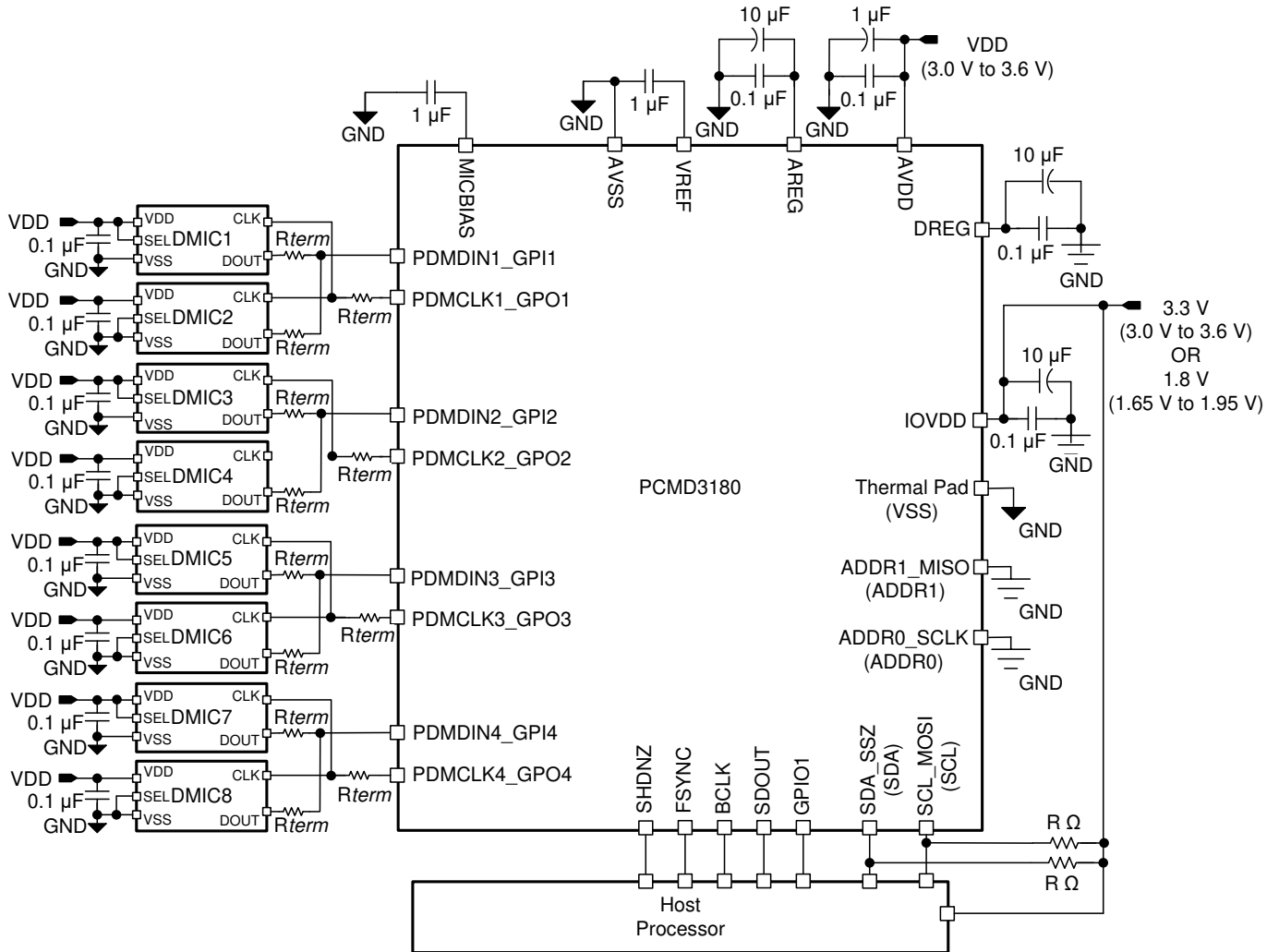


図 8-1. 8 チャンルのデジタル PDM マイク録音図

8.2.1.1 設計要件

電源デカップリング コンデンサには、低 ESR のセラミック タイプを使用する必要があります。このアプリケーションの設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

主要なパラメータ	仕様
AVDD	3.3V
AVDD 供給電流消費	11.7mA (PLL オン、8 チャンネル録音、 $f_S = 48\text{kHz}$ 、 $\text{PDMCLKx} = 64 \times f_S$)
IOVDD	1.8V または 3.3V

8.2.1.2 詳細な設計手順

このセクションでは、この特定のアプリケーション用に PCMD3180 を設定するために必要な手順について説明します。以下の手順では、デバイスに電源を投入してから、デバイスからデータを読み取るか、または 1 つのモードから別の動作モードに移行するまでの間に実行する必要がある一連の項目を示します。

1. ボードに電源を供給します。
 - a. IOVDD と AVDD 電源をオンにし、SHDNZ ピンの電圧を Low に維持します
 - b. この時点で、デバイスがハードウェア シャットダウン モード (超ローパワー モード <math>< 1\mu\text{A}</math>) に移行します
2. ハードウェア シャットダウン モードからスリープ モード (またはソフトウェア シャットダウン モード) に遷移します。
 - a. IOVDD と AVDD 電源が定常状態の動作電圧に安定している場合のみ、SHDNZ を解放します
 - b. デバイスが内部レジスタを初期化できるよう、少なくとも 1 ミリ秒待ちます
 - c. デバイスがスリープ モードに移行します (低消費電力モード <math>< 10\mu\text{A}</math>)
3. 録音動作に必要な場合に次のようにスリープ モードからアクティブ モードに遷移します。
 - a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
 - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
 - c. 必要に応じて、デフォルトの構成レジスタまたはプログラム可能な係数値を上書きします (このステップはオプションです)
 - d. デジタル マイク用のチャンネル 1 からチャンネル 4 (CHx_INSRC) を録音の入力ソースとして構成します
 - e. GPO1 ~ GPO4 (GPOx_CFG) を PDMCLK 出力として構成します
 - f. GPI1 から GPI4 (GPI1x_CFG) をそれぞれ PDMDIN1 から PDMDIN4 に構成します
 - g. P0_R115 に書き込んで、必要なすべての入力チャンネルを有効にします
 - h. P0_R116 に書き込むことで、必要なオーディオ シリアル インターフェースの出力チャンネルをすべて有効にします
 - i. P0_R117 に書き込んで PDM コンバータと PLL を起動します
 - j. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。
この特定のステップは、ステップ a 以降のシーケンスの任意の時点で実行できます。
サポートされるサンプルレートと BCLK と FSYNC の比率については、『フェーズ ロック ループ (PLL) とクロック 生成』セクションを参照してください。
 - k. デバイスの記録データは、TDM オーディオ シリアル データ バスを使用してホスト プロセッサに送信されます
4. 低消費電力動作のためにシステムの必要に応じて、アクティブ モードからスリープ モードに (再度) 遷移します。
 - a. P0_R2 に書き込んでスリープ モードに移行し、スリープ モードをイネーブルにします
 - b. ボリュームが下降し、すべてのブロックがパワーダウンするまで、少なくとも 6ms (FSYNC = 48kHz のとき) 待ちます
 - c. P0_R119 を読み出して、デバイスのシャットダウンおよびスリープ モードのステータスを確認します
 - d. デバイス P0_R119_D7 のステータスビットが 1'b1 の場合、システム内の FSYNC と BCLK を停止します
 - e. この時点で、デバイスはスリープ モード (低消費電力モード <math>< 10\mu\text{A}</math>) に移行し、すべてのレジスタ値が保持されます
5. 記録動作に必要な場合に、スリープ モードからアクティブ モードに (再度) 遷移します。
 - a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
 - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
 - c. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。
 - d. デバイスの記録データは、TDM オーディオ シリアル データ バスを使用してホスト プロセッサに送信されます
6. モードを遷移する必要がある場合は、手順 4 ~ 5 を繰り返します
7. SHDNZ ピンを Low にアサートして、ハードウェア シャットダウン モードに移行します (再度)
8. ハードウェア シャットダウン モードを終了するには、手順 2 以降に従います (再度)

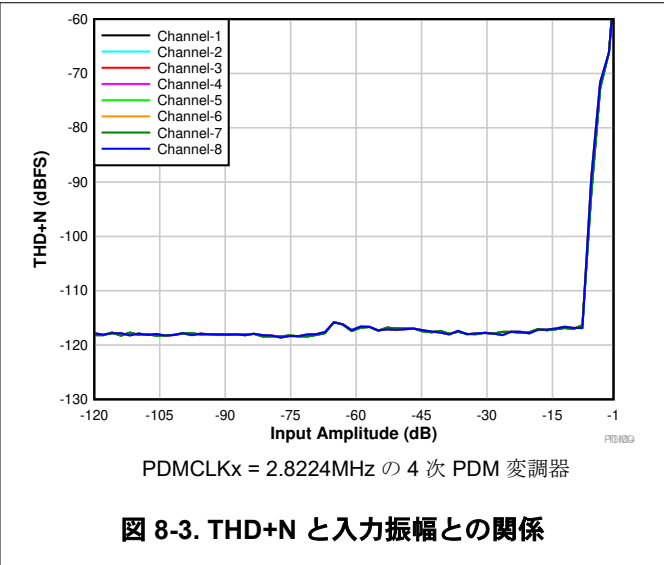
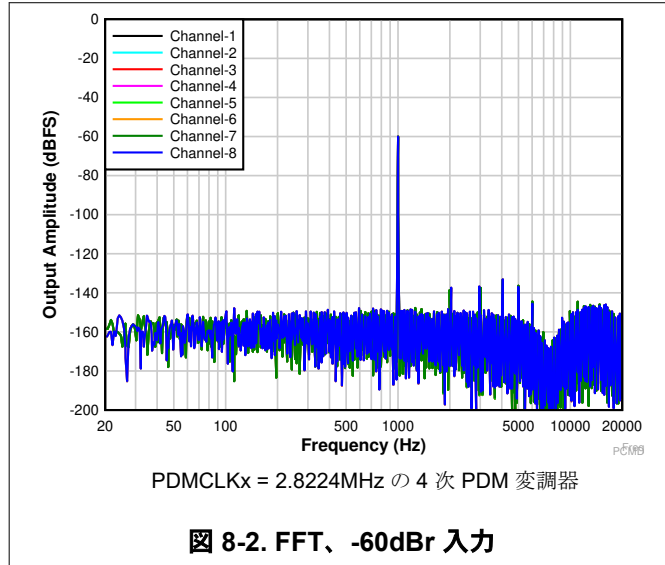
8.2.1.2.1 EVM セットアップ用のデバイス レジスタ構成スクリプトの例

このセクションでは、8 チャンネル デジタル PDM マイク録音モードで PCMD3180 を設定する方法を示す標準的な評価基板 I²C レジスタ制御スクリプトを紹介します。

```
# Key: w 98 XX YY ==> write to I2C address 0x98, to register 0xxx, data 0xyy
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the PCMD3180EVM user guide for jumper settings and audio connections.
#
# PDM 8-channel : PDMDIN1 - Ch1 and Ch2, PDMDIN2 - Ch3 and Ch4,
#                 PDMDIN3 - Ch5 and Ch6, PDMDIN4 - Ch7 and Ch8
# PDMCLKx = 2.8224MHz (PDMCLKx/FSYNC = 64)
# FSYNC = 44.1kHz (Output Data Sample Rate), BCLK = 11.2896MHz (BCLK/FSYNC = 256)
#####
#
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# wait for 1ms.
#
# Wake-up device by I2C write into P0_R2 using internal AREG
w 98 02 81
#
# Configure CH1_INSRC as Digital PDM Input by I2C write into P0_R60
w 98 3C 40
#
# Configure CH2_INSRC as Digital PDM Input by I2C write into P0_R65
w 98 41 40
#
# Configure CH3_INSRC as Digital PDM Input by I2C write into P0_R70
w 98 46 40
#
# Configure CH4_INSRC as Digital PDM Input by I2C write into P0_R75
w 98 4B 40
#
# Configure PDMCLK1_GPO1 as PDMCLK by I2C write into P0_R34
w 98 22 41
#
# Configure PDMCLK1_GPO2 as PDMCLK by I2C write into P0_R35
w 98 23 41
#
# Configure PDMCLK1_GPO3 as PDMCLK by I2C write into P0_R36
w 98 24 41
#
# Configure PDMCLK1_GPO4 as PDMCLK by I2C write into P0_R37
w 98 25 41
#
# Configure PDMDIN1_GPI1 and PDMDIN2_GPI2 as PDMDIN1 and PDMDIN2 by I2C write into P0_R43
w 98 2B 45
#
# Configure PDMDIN3_GPI3 and PDMDIN4_GPI4 as PDMDIN3 and PDMDIN4 by I2C write into P0_R44
w 98 2C 67
#
# Enable Input Ch-1 to Ch-8 by I2C write into P0_R115
w 98 73 FF
#
# Enable ASI Output Ch-1 to Ch-8 slots by I2C write into P0_R116
w 98 74 FF
#
# Power-up PDM converter and PLL by I2C write into P0_R117
w 98 75 60
#
# Apply FSYNC = 44.1kHz and BCLK = 11.2896MHz and
# Start recording data by host on ASI bus with TDM protocol 32-bits channel wordlength
```

8.2.1.3 アプリケーション曲線

測定は、オーディオ精度を使用してデバイスの PDM デジタル入力信号を供給する方法で、この評価基板を使用して実行します。システム アプリケーションでは、デバイスの性能は、シングルビット PDM 変調器のデジタル マイク出力性能によって制限されることが予想されます。



8.3 推奨事項および禁止事項

I²S または LJ 形式のマスター モード動作では、デバイスは通常のプロトコル タイミング動作よりも半サイクル早く FSYNC を生成します。このタイミング動作はほとんどのシステムで引き続き機能しますが、詳細およびこの弱点に関する推奨される回避方法については、『オーディオ バス マスターとしての TLV320ADCx140 の構成と動作』アプリケーション ノートを参照してください。

8.4 電源に関する推奨事項

IOVDD と AVDD レール間の電源供給シーケンスは、任意の順序で適用できます。しかし、IOVDD 電源電圧がサポートされている動作電圧範囲に安定するまで、SHDNZ ピンは Low に維持します。すべての電源が安定した後、SHDNZ ピンを High に設定してデバイスを初期化します。

電源のパワーアップ要件では、 t_1 および t_2 が 100 μ s 以上必要です。電源のパワーダウン要件では、 t_3 および t_4 が 10ms 以上必要です。このタイミング (図 8-4 を参照) により、デバイスは記録再生データのボリュームを下げて、アナログ ブロックとデジタル ブロックをパワーダウンして、デバイスをシャットダウン モードに移行できます。また、P0_R5_D[3:2] ビットを使用して SHDNZ_CFG[1:0] を 2'b00 に設定すると、デバイスをアクティブ モードから直ちにハードウェア シャットダウン モードに移行させることもできます。この場合、 t_3 および t_4 が 100 μ s 以上必要です。

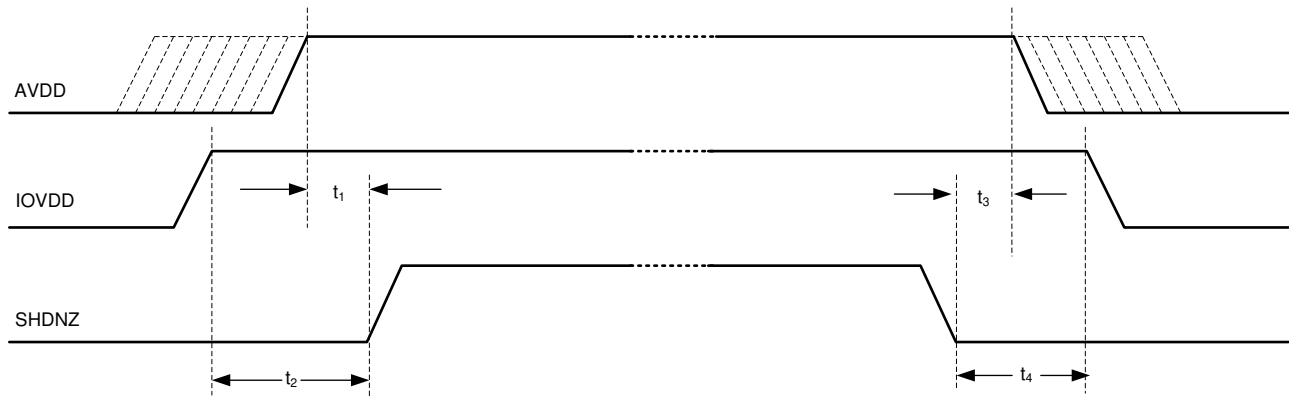


図 8-4. 電源シーケンス要件のタイミング図

電源ランプ レートが 1V/ μ s より遅いこと、およびパワーダウンとパワーアップ イベント間の待機時間が少なくとも 100ms であることを確認してください。供給ランプ レートが 0.1V/ms より遅い場合、ホスト デバイスは、デバイス構成を行う前に、最初のトランザクションとしてソフトウェア リセットを適用する必要があります。

SHDNZ を解放した後、またはソフトウェア リセット後に、デバイスが内部レジスタを初期化できるように、デバイスへの追加 I²C または SPI トランザクションを 2ms 以上遅延させます。デバイスの電源が推奨動作電圧レベルに安定した後で、各種モードでデバイスが動作する方法の詳細については、『デバイスの機能モード』セクションを参照してください。

PCMD3180 は、オンチップのデジタル レギュレータ DREG とアナログ レギュレータ AREG を統合することで、単一の AVDD 電源供給動作をサポートします。しかし、システムで AVDD 電圧が 1.98V 未満の場合、AREG ピンと AVDD ピンをオンボードで短絡し、AREG_SELECT ビットを P0_R2 の 1b'0 (デフォルト値) に維持して内部 AREG を有効にしません。システムで使用される AVDD 電源が 2.7V よりも高い場合、ホスト デバイスはスリープ モードを終了しながら AREG_SELECT を 1b'1 に設定して、デバイスの内部レギュレータが AREG 電源を生成できるようにします。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

それぞれのシステム設計とプリント回路基板 (PCB) レイアウトは独自です。レイアウトは、特定の PCB 設計のコンテキストで慎重に確認する必要があります。ただし、デバイスの性能を最適化するには、以下のガイドラインを使用します。

- サーマル パッドをグラウンドに接続します。デバイスの真下にあるデバイスの熱パッドをグラウンド プレーンに接続するために、ビア パターンを使用します。この接続は、デバイスからの熱を放散するのに役立ちます。

- 電源用のデカップリング コンデンサは、デバイスのピンに近づけて配置する必要があります。
- 電源デカップリング コンデンサには、低 ESR のセラミック タイプを使用する必要があります。
- ノイズ耐性を向上させるため、アナログ差動オーディオ信号は PCB 上で差動形式で配線します。望ましくないクロストークを防止するため、デジタル信号とアナログ信号の交差は避けてください。
- デバイスの内部電圧リファレンスは、外付けのコンデンサを使用してフィルタ処理する必要があります。最高の性能を得るため、フィルタ コンデンサは VREF ピンの近くに配置します。
- 複数のマイクのバイアス線や供給線を配線する際に、マイク間でのカップリングを避けるために、MICBIAS ピンに直接接続して共通インピーダンスを避けます。
- VREF および MICBIAS の外部コンデンサのグランド端子を AVSS ピンに直接短絡します。この接続トレースにはビアを使用しないでください。
- MICBIAS コンデンサ (低い等価直列抵抗を持つもの) を、デバイスにできるだけ近く、トレース インピーダンスが最小となるように配置します。
- デバイスとデカップリング キャパシタの間で電力および信号電流の最小インピーダンスを提供するために、グランドプレーンを使用します。デバイスの真下の領域を、デバイスのための中央グラウンド エリアとして扱い、すべてのデバイスのグラウンドをそのエリアに直接接続します。

8.5.2 レイアウト例

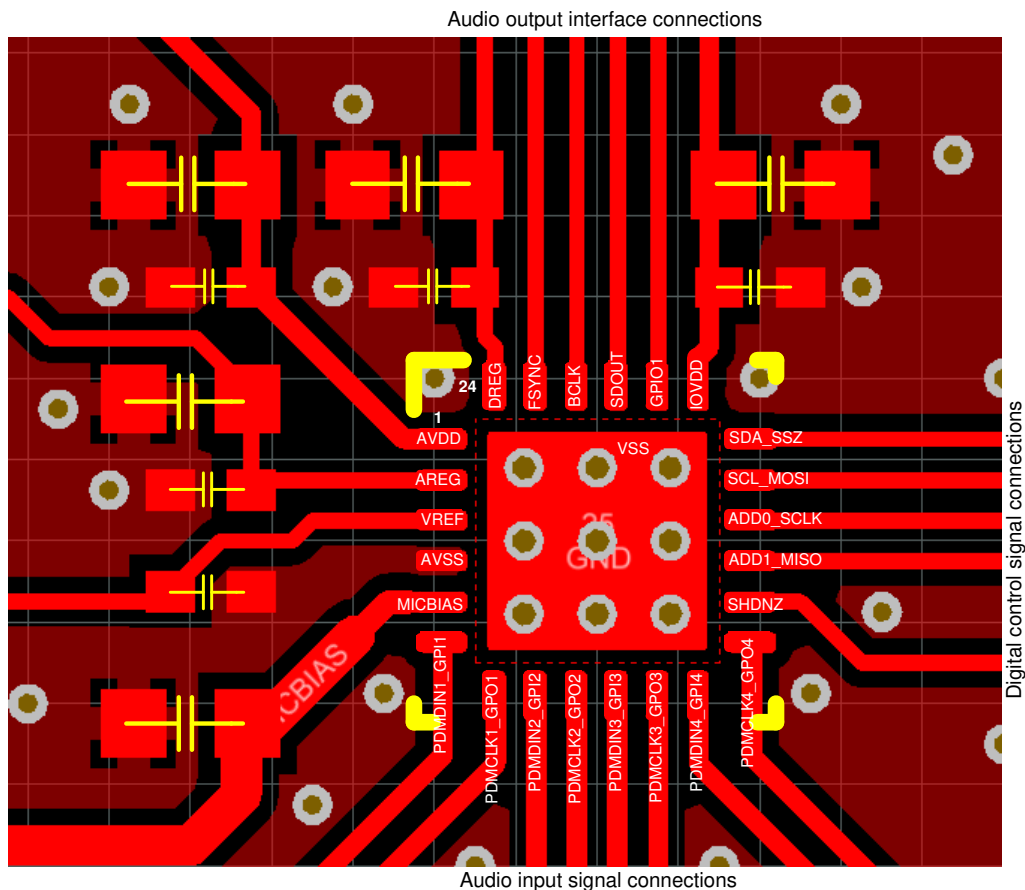


図 8-5. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『複数の TLV320ADCx140 デバイスでの TDM と I²C バスの共有』アプリケーション ノート
- テキサス インスツルメンツ、『オーディオ バス マスターとしての TLV320ADCx140 の構成と動作』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx140 サンプリング レートとサポートされるプログラマブル処理ブロック』アプリケーション ノート
- テキサス・インスツルメンツ、『TLV320ADCx140 のプログラマブル バイクワッド フィルタの構成およびアプリケーション』アプリケーション ノート
- テキサス・インスツルメンツ、『遠距離アプリケーションでのアナログ マイクと ADC システム』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx140 さまざまな使用シナリオにおける消費電力マトリックス』アプリケーション ノート
- テキサス・インスツルメンツ、『ADCx140EVM-PDK ユーザー ガイド』
- テキサス インスツルメンツ、『オーディオ システム設計/開発向け PurePath™ Console グラフィカル開発スイート』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

PurePath™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2020) to Revision A (January 2026)

Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... **1**
-

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PCMD3180IRTWR	Active	Production	WQFN (RTW) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PDM3180
PCMD3180IRTWR.A	Active	Production	WQFN (RTW) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PDM3180
PCMD3180IRTWT	Active	Production	WQFN (RTW) 24	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PDM3180
PCMD3180IRTWT.A	Active	Production	WQFN (RTW) 24	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PDM3180

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF PCMD3180 :

- Automotive : [PCMD3180-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

GENERIC PACKAGE VIEW

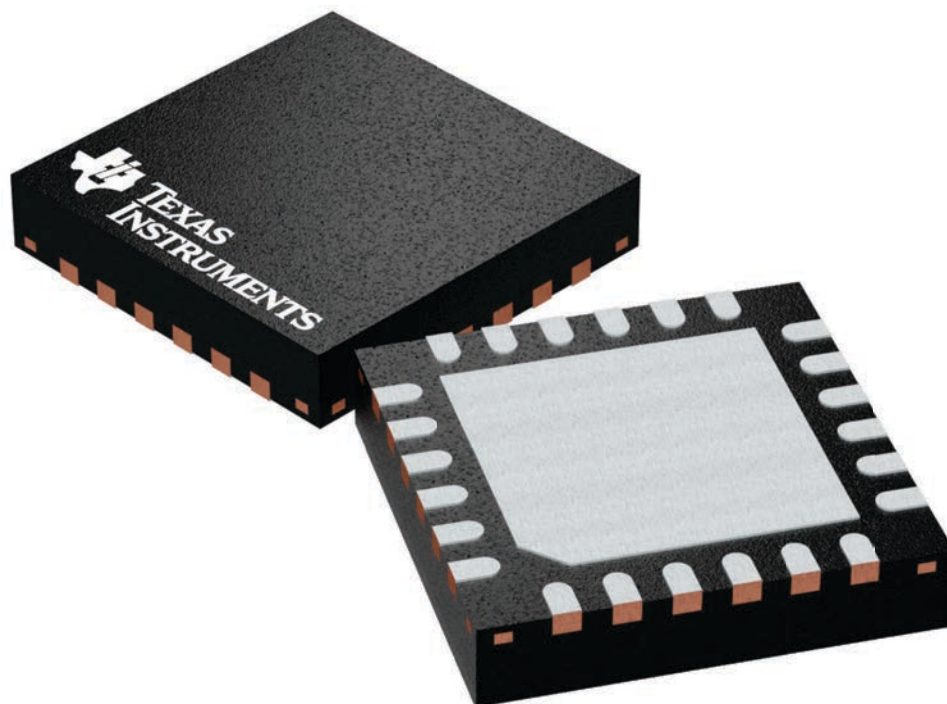
RTW 24

WQFN - 0.8 mm max height

4 x 4, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

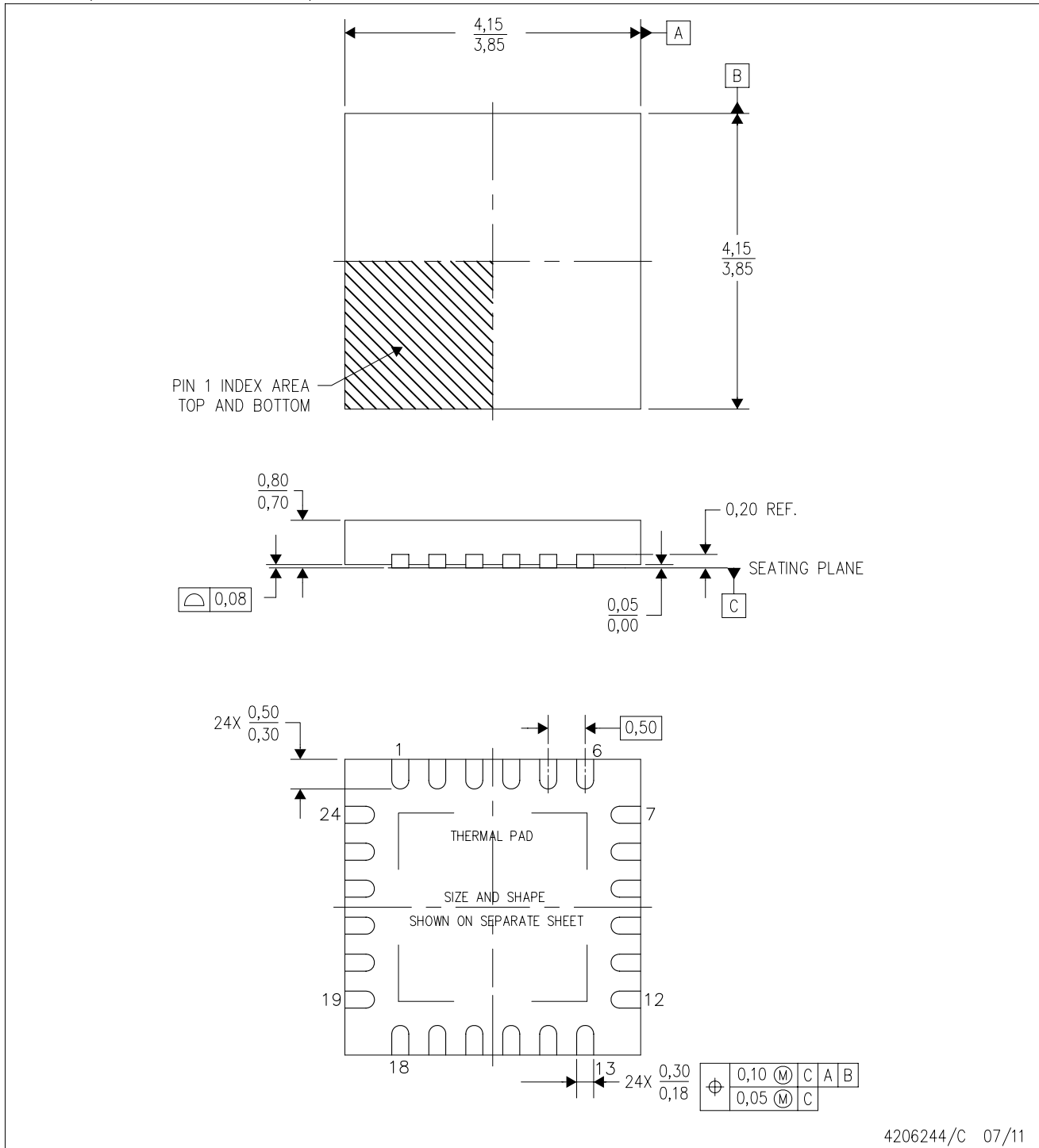
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224801/A

RTW (S-PWQFN-N24)

PLASTIC QUAD FLATPACK NO-LEAD



4206244/C 07/11

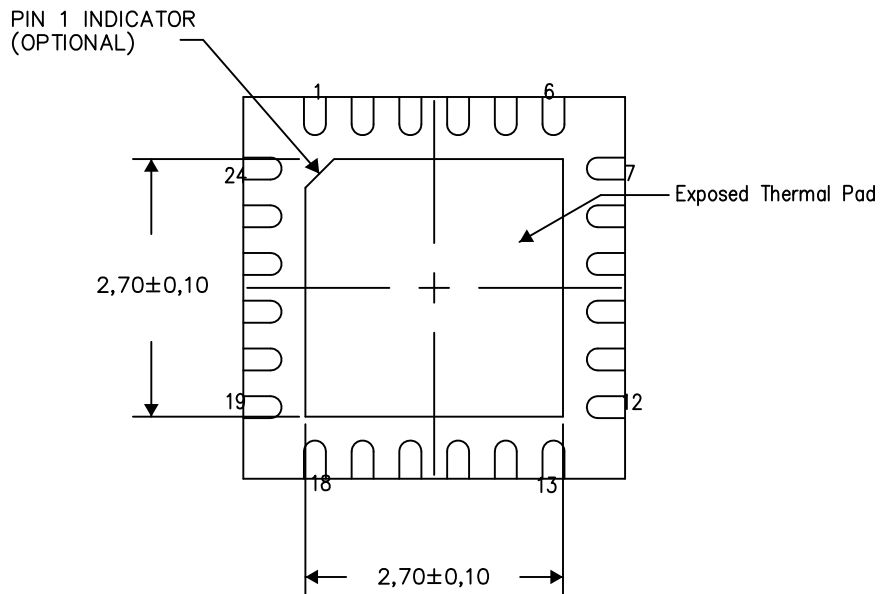
- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Quad Flatpack, No-Leads (QFN) package configuration.
 - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - F. Falls within JEDEC MO-220.

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

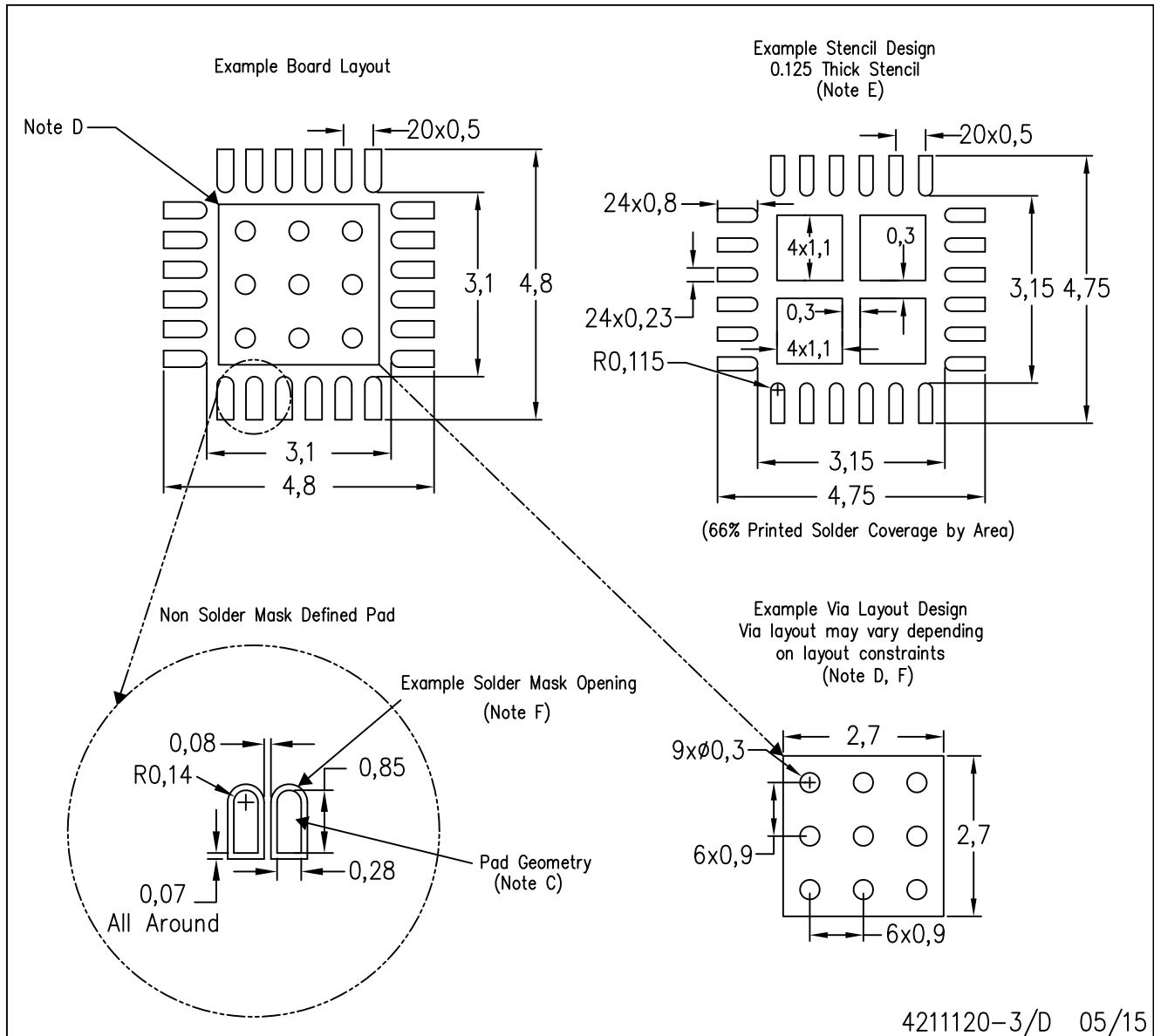
Exposed Thermal Pad Dimensions

4206249-5/P 05/15

NOTES: A. All linear dimensions are in millimeters

RTW (S-PWQFN-N24)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月