

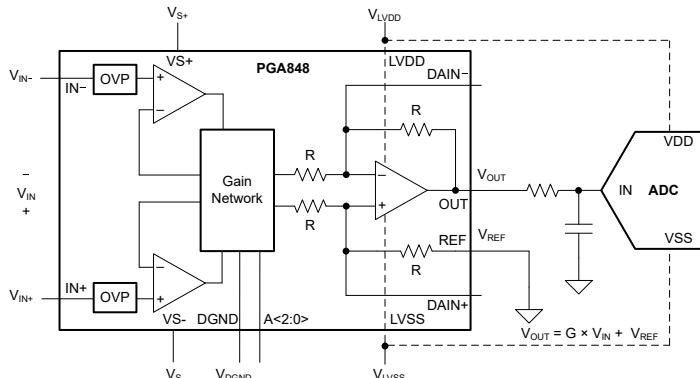
# PGA848 低ノイズ、広帯域、スコープゲイン、シングルエンド出力、プログラマ可能ゲイン計装アンプ

## 1 特長

- 差動→シングルエンド変換
- 8つのピン プログラム可能ディケイド(スコープ)ゲイン
  - $G(V/V) = \frac{1}{2}, 1, 2, 5, 10, 20, 50$ , および  $100$
- Low ゲイン誤差ドリフト: $\pm 2\text{ppm}/^\circ\text{C}$  (最大値)
- 高速信号処理:
  - 広い帯域幅:  $6.2\text{MHz}$  ( $G < 10$ )、 $2.4\text{MHz}$  ( $G = 50, 100$ )
  - 高スルーレート:すべてのゲインで  $43\text{V}/\mu\text{s}$
  - セトリングタイム:  $0.01\%$  まで  $710\text{ns}$  ( $G < 20$ )
  - 入力段ノイズ:  $G > 10\text{V/V}$  で  $8.5\text{nV}/\sqrt{\text{Hz}}$
  - SNR を向上させるフィルタオプション
- 高低の電源電圧に対して  $\pm 40\text{V}$  までの入力過電圧保護機能
- 入力段電源電圧範囲:
  - シングル電源:  $9\text{V} \sim 36\text{V}$
  - デュアル電源:  $\pm 4.5\text{V} \sim \pm 18\text{V}$
- 独立した出力電源ピン
- 出力段電源電圧範囲:
  - シングル電源:  $4.5\text{V} \sim 36\text{V}$
  - デュアル電源:  $\pm 2.25\text{V} \sim \pm 18\text{V}$
- 仕様温度範囲:  $-40^\circ\text{C} \sim +125^\circ\text{C}$
- 小型パッケージ:  $3\text{mm} \times 3\text{mm}$  VQFN

## 2 アプリケーション

- ファクトリオートメーション/制御
- アナログ入力モジュール
- データアクイジション(DAQ)
- 試験および測定機器
- パラメトリック測定ユニット(PMU)



PGA848 のアプリケーション概略図

## 3 説明

PGA848 は、差動からシングルエンドへの変換を行う、広帯域幅で低ノイズのプログラマブル ゲイン計測アンプです。PGA848 には、減衰ゲイン  $0.5\text{V/V}$  から最大  $100\text{V/V}$  までの 8 つのディケイド(スコープ)ゲイン設定が備わっています。ゲインは、3 本のデジタルゲイン選択ピンを使用して設定します。

PGA848 アーキテクチャは、追加の ADC ドライバがなくとも、最大  $1\text{MSPS}$  のサンプリング レートで高分解能、高精度の A/D コンバータ(ADC)の入力を駆動するように最適化されています。出力段の電源は入力段から分離され、ADC または下流側のデバイスをオーバードライブの損傷から保護します。

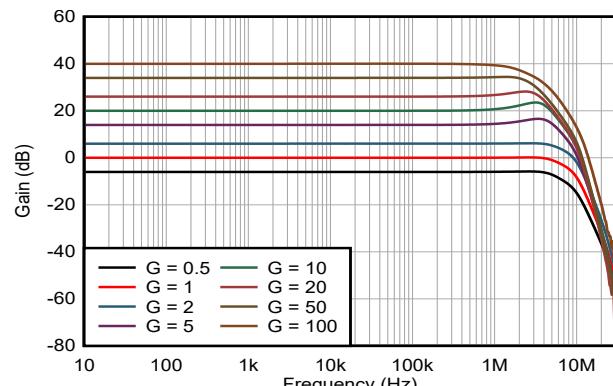
スーパーベータ入力トランジスタを使用しているため、入力バイアス電流が非常に小さく、その結果として入力電流ノイズ密度が  $0.3\text{pA}/\sqrt{\text{Hz}}$  と非常に小さくなっています。この特性により、PGA848 は汎用性が高い選択肢として、事実上あらゆる種類のセンサに使用できます。低ノイズの電流フィードバック フロントエンド アーキテクチャにより、高周波数でも優れたゲイン平坦性を実現しているため、PGA848 は、優れた高インピーダンスのセンサ読み出しデバイスとなります。入力ピンに保護回路が内蔵されており、電源電圧を最大  $\pm 40\text{V}$  上回る過電圧に対処できます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
PGA848	RGT (VQFN, 16)	$3\text{mm} \times 3\text{mm}$

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。



ゲインと周波数との関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SBOSAN4

## 目次

1 特長.....	1	7.4 デバイスの機能モード.....	26
2 アプリケーション.....	1	8 アプリケーションと実装.....	27
3 説明.....	1	8.1 アプリケーション情報.....	27
4 デバイス比較表.....	3	8.2 代表的なアプリケーション.....	29
5 ピン構成および機能.....	4	8.3 電源に関する推奨事項.....	31
6 仕様.....	5	8.4 レイアウト.....	32
6.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート.....	34
6.2 ESD 定格.....	5	9.1 デバイス サポート.....	34
6.3 推奨動作条件.....	5	9.2 ドキュメントのサポート.....	34
6.4 熱に関する情報.....	6	9.3 ドキュメントの更新通知を受け取る方法.....	34
6.5 電気的特性.....	6	9.4 サポート・リソース.....	34
6.6 代表的特性.....	9	9.5 商標.....	35
7 詳細説明.....	23	9.6 静電気放電に関する注意事項.....	35
7.1 概要.....	23	9.7 用語集.....	35
7.2 機能ブロック図.....	23	10 改訂履歴.....	35
7.3 機能説明.....	24	11 メカニカル、パッケージ、および注文情報.....	36

## 4 デバイス比較表

デバイス	出力タイプ	ゲイン (V/V)	帯域幅 (MHz)	スルーレート (V/μs)	ノイズ (nV/√Hz)
PGA849	シングル エンド	1/8、1/4、1/2、1、2、4、8、16	10	35	8.6
INA849	シングル エンド	$G = 1 + 6k\Omega/R_G$	28	35	1
PGA848	シングル エンド	1/2、1、2、5、10、20、50、100	6.2	43	8.5
PGA854	差動	1/2、1、2、5、10、20、50、100	6.2	45	8.8
PGA855	差動	1/8、1/4、1/2、1、2、4、8、16	10	35	7.8
INA851	差動	$G = 1 + 6k\Omega/R_G$	22	37	3.2
INA821	シングル エンド	$G = 1 + 49.4k\Omega/R_G$	4.7	2	7
INA819	シングル エンド	$G = 1 + 50k\Omega/R_G$	2	0.9	8

## 5 ピン構成および機能

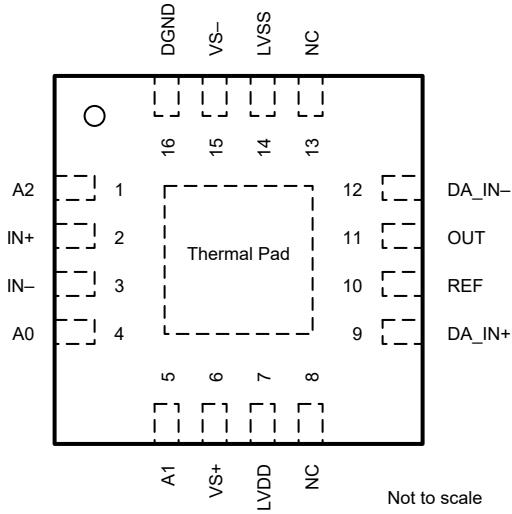


図 5-1. RGT パッケージ、16 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
A0	4	入力	ゲイン設定ピン 0
A1	5	入力	ゲイン設定ピン 1
A2	1	入力	ゲイン設定ピン 2
DA_IN+	9	入力	出力差動アンプの加算ノードへの接続
DA_IN-	12	入力	出力差動アンプの加算ノードへの接続
DGND	16	電源	デジタルロジックおよびゲイン設定ピンのグランドリファレンス
IN-	3	入力	負(反転)入力
IN+	2	入力	正(非反転)入力
LVDD	7	電源	出力ドライバの正電源
LVSS	14	電源	出力ドライバの負電源
NC	8, 13	—	接続しない
OUT	11	出力	出力
REF	10	入力	リファレンス入力。このピンを低インピーダンスソースで駆動する
VS-	15	電源	入力段の負電源
VS+	6	電源	入力段の正電源
サーマル パッド	サーマル パッド	—	サーマルパッドをプリント回路基板 (PCB) に半田付けします。サーマルパッドを、フロートしているか VS- に電気的に接続されているプレーンまたは大きな銅箔に接続します。低消費電力のアプリケーションでもこの接続を確立します。

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
$V_S$	$V_{S+}$ , $V_{S-}$ ピンの電源電圧、 $V_S = (V_{S+}) - (V_{S-})$	0	40	V
$V_{SOUT}$	$LVDD$ , $LVSS$ ピンの電源電圧、 $V_{SOUT} = V_{LVDD} - V_{LVSS}$	0	40	V
	電源ピン $LVDD$ , $LVSS$ の電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
	信号入力ピン $IN+$ , $IN-$ の電圧	$(V_{S-}) - 40$	$(V_{S+}) + 40$	V
	$DGND$ , $DA\_IN+$ , $DA\_IN-$ ピンの電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
	ゲイン選択ピン $A2$ , $A1$ , $A0$ の電圧	$V_{DGND} - 0.5$	$(V_{S+}) + 0.5$	V
$V_{OUT}$	出力ピン $OUT$ の電圧	$V_{LVSS} - 0.5$	$V_{LVDD} + 0.5$	V
$V_{REF}$	$REF$ ピンのリファレンス入力電圧	$V_{LVSS} - 0.5$	$V_{LVDD} + 0.5$	V
$I_O$	出力ピン $OUT$ 電流	-100	100	mA
$I_{SC}$	出力短絡検出電流 <sup>(2)</sup>	連続		
$T_A$	動作温度	-50	150	°C
$T_J$	接合部温度		175	°C
$T_{stg}$	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2)  $V_{SOUT}/2$  への短絡

### 6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	$\pm 2000$	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	$\pm 1000$	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
$V_S$	入力段電源電圧	単一電源	9	36	V
		デュアル電源	$\pm 4.5$	$\pm 18$	
$V_{SOUT}$	出力段電源電圧	単一電源	4.5	36	V
		デュアル電源	$\pm 2.25$	$\pm 18$	
$T_A$	規定温度		-40	125	°C

## 6.4 热に関する情報

热評価基準 <sup>(1)</sup>		PGA848	単位
		RGT (VQFN)	
		16 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	47.3	°C/W
R <sub>θJC(top)</sub>	接合部からケース(上面)への熱抵抗	53.6	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	22.0	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	1.4	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	22.0	°C/W
R <sub>θJC(bot)</sub>	接合部からケース(底面)への熱抵抗	7.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 6.5 電気的特性

T<sub>A</sub> = 25°C、V<sub>S</sub> = V<sub>SOUT</sub> = ±15V、V<sub>ICM</sub> = 0V、V<sub>REF</sub> = 0V、R<sub>L</sub> = 10kΩ グランドに設置、および G = 1V/V (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>入力</b>							
V <sub>os</sub>	オフセット電圧 (RTI)	G = 5 ~ 100		±50	±300	μV	
		G = 0.5, 1, 2		±100/G	±700/G		
	オフセット電圧ドリフト (RTI)	T <sub>A</sub> = -40°C ~ +125°C	G > 1	±0.1	±1.0	μV/°C	
			G = 0.5, 1	±0.2	±2.0		
PSRR	電源除去比	±4.5V ≤ V <sub>S</sub> ≤ ±18V、RTI	G = 0.5	108	124	dB	
			G = 1	114	128		
			G = 2	118	130		
			G ≥ 5	120	134		
Z <sub>id</sub>	差動入力インピーダンス			100    1	100    4.4	GΩ    pF	
		T <sub>A</sub> = -40°C ~ +125°C		10    1			
Z <sub>ic</sub>	コモンモード入力インピーダンス			100    4.4			
V <sub>ICM</sub>	同相入力電圧	V <sub>S</sub> = ±4.5V ~ ±18V、T <sub>A</sub> = -40°C ~ +125°C		(V <sub>S-</sub> ) + 3	(V <sub>S+</sub> ) - 3	V	
V <sub>IN</sub>	差動入力電圧 <sup>(1)</sup>			-16	+16	V	
CMRR	同相除去比	DC ~ 60Hz、 V <sub>ICM</sub> = ±10V、 T <sub>A</sub> = -40°C ~ +125°C、 RTI	G = 0.5	69	82	dB	
			G = 1	75	88		
			G = 2	80	94		
			G = 5	88	100		
			G = 10	95	106		
			G = 20	100	112		
			G = 50	108	116		
			G = 100	116	124		
<b>バイアス電流</b>							
I <sub>B</sub>	入力バイアス電流			±0.5	±2	nA	
		T <sub>A</sub> = -40°C ~ +125°C		±1	±3.6		
I <sub>os</sub>	入力バイアス電流ドリフト	T <sub>A</sub> = -40°C ~ +125°C		±5		pA/°C	
	入力オフセット電流	T <sub>A</sub> = -40°C ~ +125°C		±0.5	±1	nA	
	入力オフセット電流ドリフト	T <sub>A</sub> = -40°C ~ +125°C		±1	±2		
			±5		pA/°C		

## 6.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{SOUT} = \pm 15\text{V}$ 、 $V_{ICM} = 0\text{V}$ 、 $V_{REF} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>ノイズ電圧</b>							
$e_{NI}$	電圧ノイズ密度 (RTI)	$f = 1\text{kHz}$	$G = 100$	8.5			$\text{nV}/\sqrt{\text{Hz}}$
			$G = 50$	8.5			
			$G = 20$	8.5			
			$G = 10$	8.5			
			$G = 5$	10.5			
			$G = 2$	19.5			
			$G = 1$	39.5			
			$G = 0.5$	78.5			
$E_{NI}$	電圧ノイズ (RTI)	$f_B = 0.1\text{Hz} \sim 10\text{Hz}$	$G = 100$	0.29			$\mu\text{V}_{PP}$
			$G = 50$	0.29			
			$G = 20$	0.29			
			$G = 10$	0.29			
			$G = 5$	0.29			
			$G = 2$	0.47			
			$G = 1$	0.78			
			$G = 0.5$	1.55			
$i_N$	入力電流ノイズ密度	$f = 1\text{kHz}$		0.19			$\text{pA}/\sqrt{\text{Hz}}$
$I_N$	入力電流ノイズ	$f_B = 0.1\text{Hz} \sim 10\text{Hz}$		7.5			$\text{pA}_{PP}$
<b>ゲイン</b>							
	ゲイン			0.5	100		$\text{V}/\text{V}$
GE	ゲイン誤差	$G = 0.5, 1, 2$		$\pm 0.005$	$\pm 0.035$		$\%$
		$G = 5, 10, 20, 50$		$\pm 0.015$	$\pm 0.045$		
		$G = 100$		$\pm 0.025$	$\pm 0.055$		
	ゲインドリフト	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$G = 2$	$\pm 0.05$	$\pm 1$		$\text{ppm}/^\circ\text{C}$
			$G \neq 2$	$\pm 0.2$	$\pm 2$		
	ゲインの非直線性	$G = 0.5, V_{OUT} = 8\text{V}$				$\pm 2$	$\pm 6$
		$G = 1 \sim 20, V_{OUT} = 10\text{V}$				$\pm 15$	$\pm 35$
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}, G = 0.5, V_{OUT} = 8\text{V}$	$G \le 20$			$\pm 3$	$\pm 6$
			$G = 50, 100$			$\pm 15$	$\pm 35$
<b>出力</b>							
$V_{OUT}$	出力電圧 <sup>(2)</sup>	負荷なし、 $V_{SOUT} = \pm 2.25\text{V}$		$V_{LVSS} + 0.1$	$V_{LVDD} - 0.1$		$\text{V}$
		$R_L = 10\text{k}\Omega$	$V_{SOUT} = \pm 2.25\text{V}$	$V_{LVSS} + 0.2$	$V_{LVDD} - 0.2$		
			$V_{SOUT} = \pm 18\text{V}$	$V_{LVSS} + 0.4$	$V_{LVDD} - 0.4$		
$C_L$	負荷容量	容量性負荷で安定した動作		100			$\text{pF}$
$I_{sc}$	短絡電流	$V_{SOUT} / 2$ まで連続	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		$\pm 45$		$\text{mA}$
				$\pm 20$	$\pm 60$		

## 6.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = 0\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>周波数応答</b>							
BW	帯域幅、-3dB	G < 10		6.5			MHz
		G = 10, 20		5.0			
		G = 50, 100		2.5			
SR	スルーレート	G = 0.5, $V_{\text{OUT}} = 8\text{V}$ G = 1 ~ 20, $V_{\text{OUT}} = 10\text{V}$		43			$\text{V}/\mu\text{s}$
$t_s$	セトリング タイム	G = 0.5, $V_{\text{IN}} = 10\text{V}$ 刻み、または G = 1 ~ 20, $V_{\text{OUT}} = 10\text{V}$ 刻み	0.01% まで 0.0015% まで	0.71 0.88			$\mu\text{s}$
		G = 50 $V_{\text{OUT}} = 10\text{V}$ 刻み	0.01% まで 0.0015% まで	1.21 1.40			$\mu\text{s}$
		G = 100 $V_{\text{OUT}} = 10\text{V}$ 刻み	0.01% まで 0.0015% まで	2.01 2.20			$\mu\text{s}$
		ゲインスイッチング時間		1.5			$\mu\text{s}$
		THD+N 全高調波歪およびノイズ	差動入力、 $f = 10\text{kHz}$ , $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$ シングルエンド入力、 $f = 10\text{kHz}$ , $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$	-97 -99			dB
		HD2 2 次高調波歪	差動入力、 $f = 10\text{kHz}$ , $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$ シングルエンド入力、 $f = 10\text{kHz}$ , $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$	-132 -112			
		HD3 3 次高調波歪	差動入力、 $f = 10\text{kHz}$ , $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$ シングルエンド入力、 $f = 10\text{kHz}$ , $V_{\text{OUT}} = 10\text{V}_{\text{PP}}$	-106 -106			
<b>基準電圧入力</b>							
	基準入力電圧			$V_{\text{LVSS}}$	$V_{\text{LVDD}}$	V	
	リファレンス入力インピーダンス			10		$\text{k}\Omega$	
	基準入力電流	$V_{\text{IN}} = 0\text{V}$		140		$\mu\text{A}$	
	基準ゲインから出力			1		$\text{V}/\text{V}$	
	基準ゲイン誤差	$V_{\text{OUT}} = \pm 10\text{V}$ 、リニア動作範囲内		0.01	0.05	%	
<b>入力段電源</b>							
$I_{Q\_input}$	入力段の静止電流 $VS+$ , $VS-$	$V_{\text{IN}} = 0\text{V}$ , $V_{\text{ICM}} = 0\text{V}$		3.2	3.9	mA	
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		4.9		
<b>出力段電源</b>							
$I_{Q\_output}$	出力段静止電流 $LVDD$ , $LVSS$	$V_{\text{IN}} = 0\text{V}$ , $V_{\text{REF}} = 0\text{V}$		1.3	1.8	mA	
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		2.2		
<b>デジタル ロジック</b>							
$V_{IL}$	デジタル入力ロジック Low	A0, A1, A2 ピン、DGND 基準		$V_{\text{DGND}}$	$V_{\text{DGND}} + 0.8$	V	
$V_{IH}$	デジタル入力ロジック High	A0, A1, A2 ピン、DGND 基準		$V_{\text{DGND}} + 1.8$	$V_{S+}$	V	
	デジタル入力ピン電流	A0, A1, A2 ピン		1.5	3	$\mu\text{A}$	
$V_{DGND}$	DGND 電圧			$V_{S-}$	$(V_{S+}) - 4$	V	
	DGND リファレンス電流			4	10	$\mu\text{A}$	

- (1) PGA848 アンプの 差動入力電圧 ( $V_{\text{IN}} = V_{\text{IN+}} - V_{\text{IN-}}$ )。有効な入力範囲は、入力同相圧  $V_{\text{ICM}}$ 、ゲイン G、およびリファレンス電圧  $V_{\text{REF}}$  によって異なります。[セクション 8.1.1](#) を参照してください
- (2)  $V_{\text{IN}}$ 、 $V_{\text{ICM}}$ 、および  $V_{\text{REF}}$  が有効なリニア動作範囲内にある場合、出力電圧  $V_{\text{OUT}} = G \times V_{\text{IN}} + V_{\text{REF}}$ 。[セクション 8.1.1](#) を参照してください

## 6.6 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

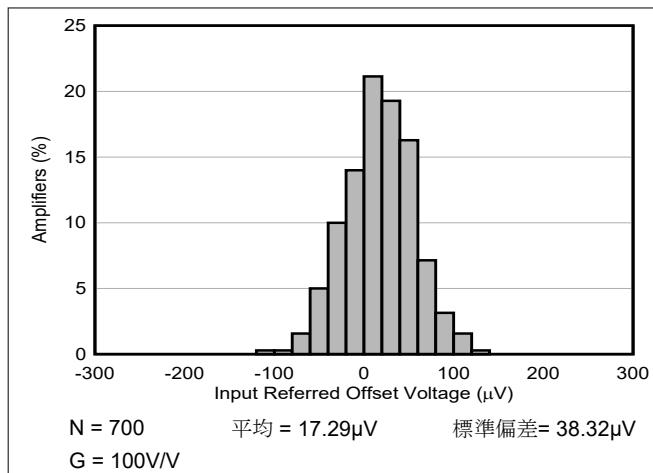


図 6-1. オフセット電圧の分布 (RTI)

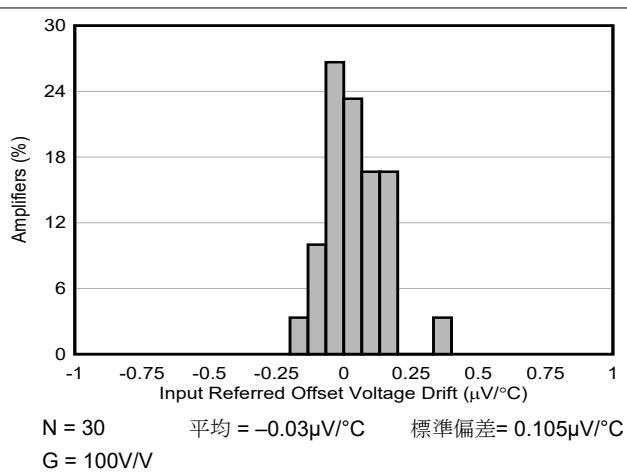


図 6-2. オフセット電圧ドリフトの分布 (RTI)

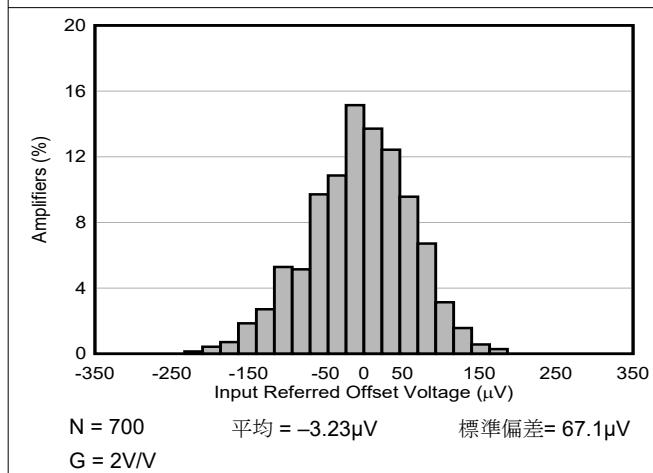


図 6-3. オフセット電圧の分布 (RTI)

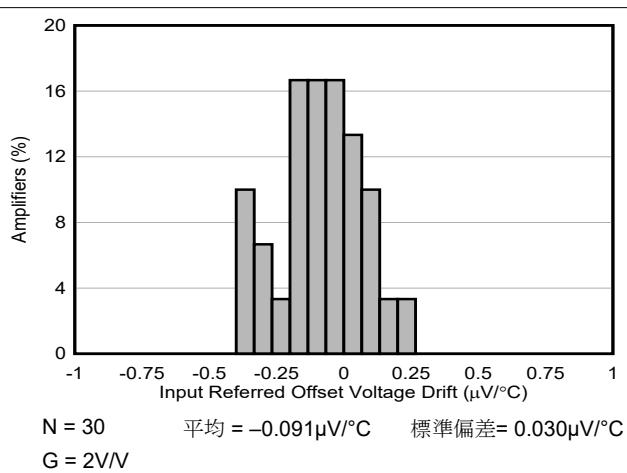


図 6-4. オフセット電圧ドリフトの分布 (RTI)

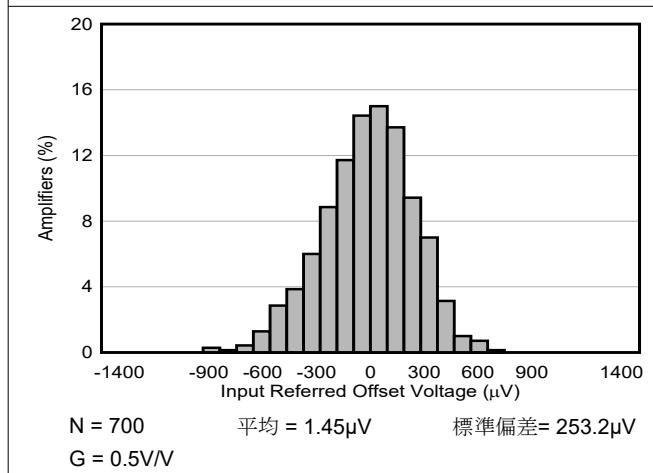


図 6-5. オフセット電圧の分布 (RTI)

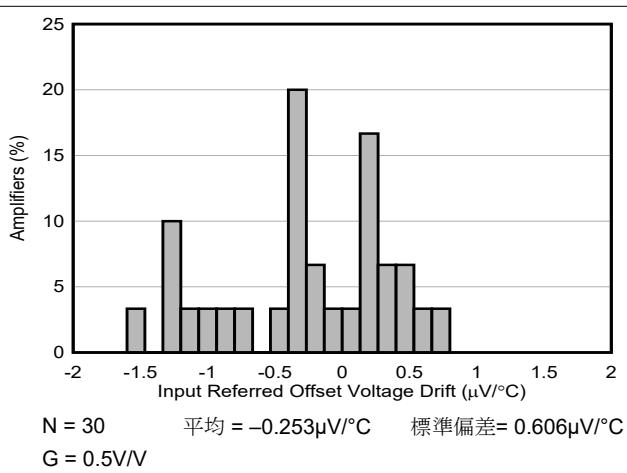
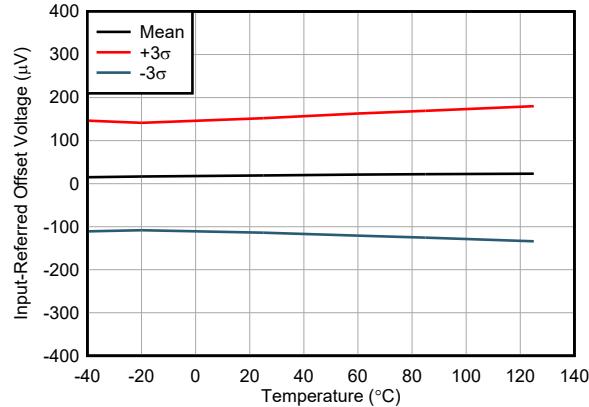


図 6-6. オフセット電圧ドリフトの分布 (RTI)

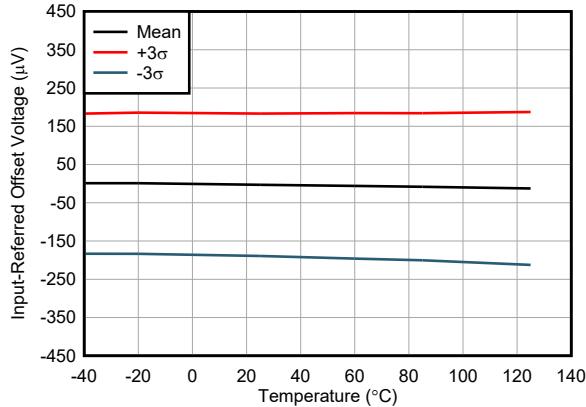
## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)



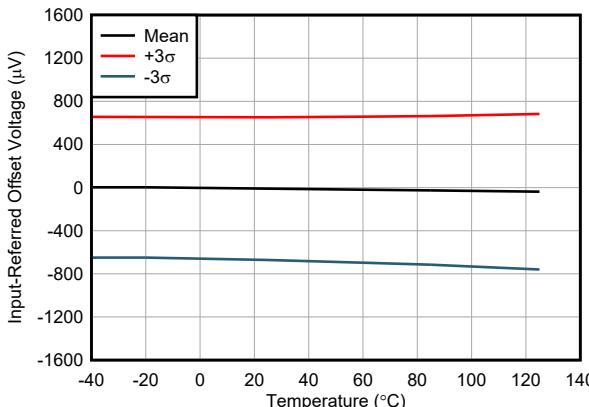
$N = 36$   
 $G = 100\text{V/V}$

図 6-7. オフセット電圧 (RTI) と温度との関係



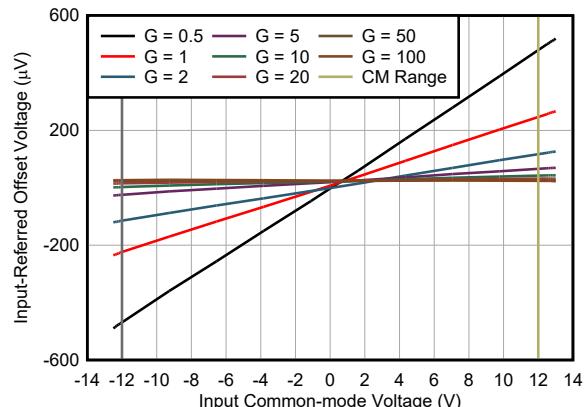
$N = 36$   
 $G = 2\text{V/V}$

図 6-8. オフセット電圧 (RTI) と温度との関係



$N = 36$   
 $G = 0.5\text{V/V}$

図 6-9. オフセット電圧 (RTI) と温度との関係



代表的なユニット

。

図 6-10. 出力電圧 (RTI) と  $V_{\text{ICM}}$  との関係

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

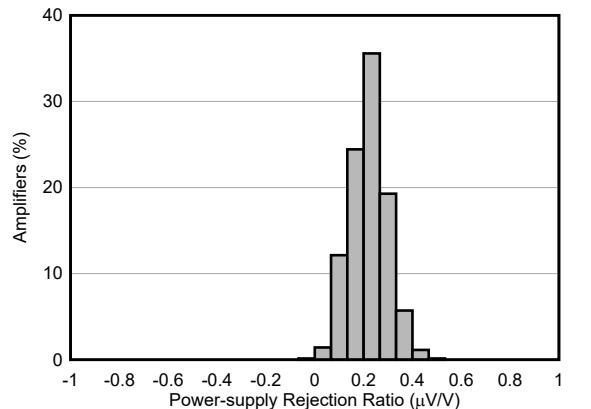


図 6-11. PSRR の分布

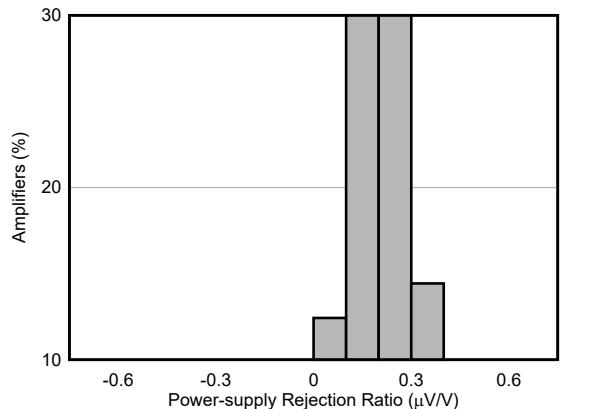


図 6-12. PSRR の分布

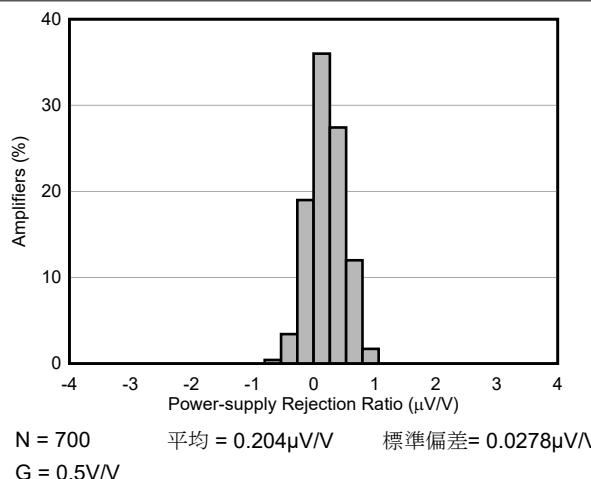


図 6-13. PSRR の分布

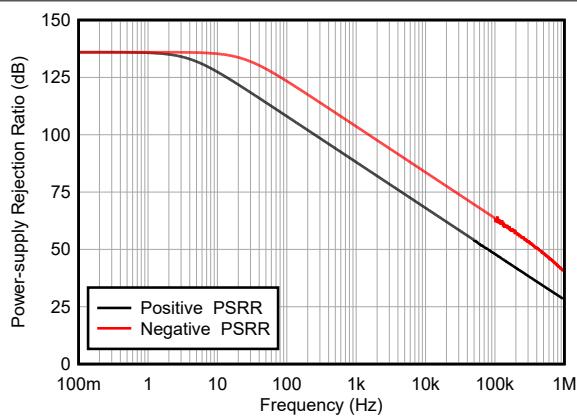


図 6-14. 正および負の PSRR と周波数との関係

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

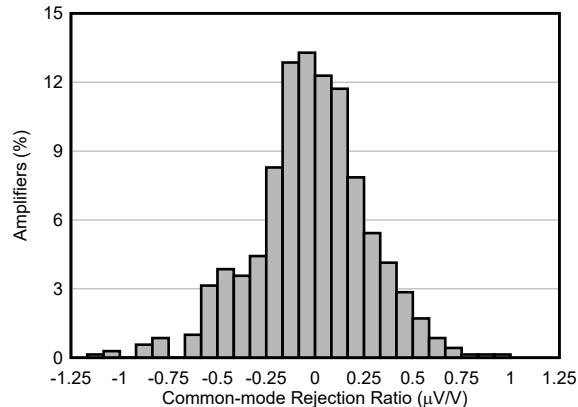


図 6-15. CMRR の分布

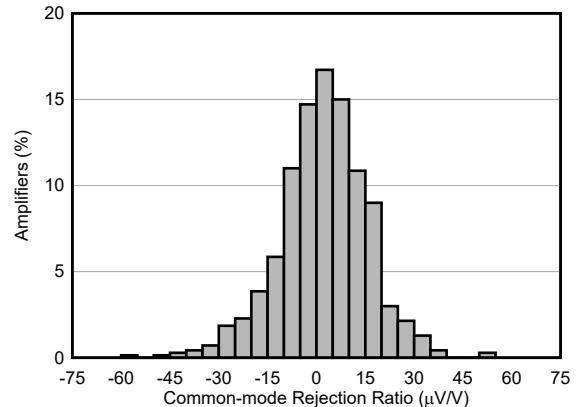


図 6-16. CMRR の分布

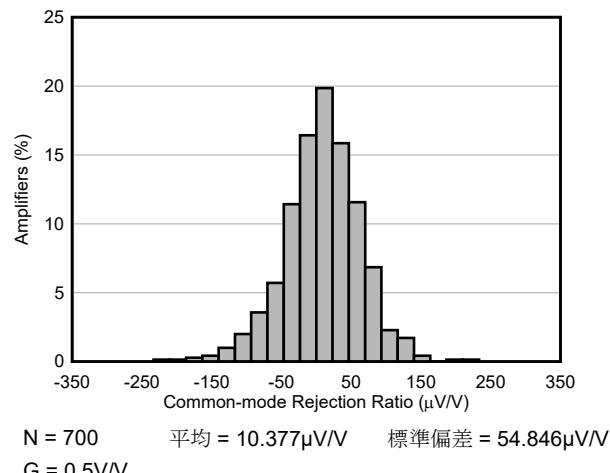


図 6-17. CMRR の分布

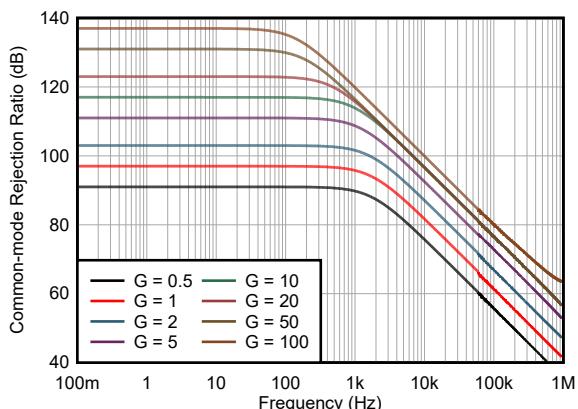
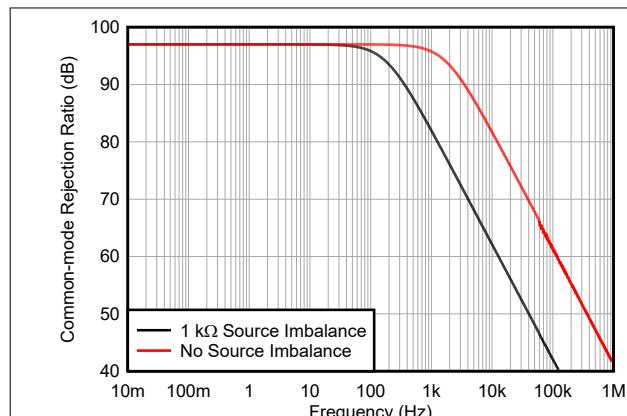


図 6-18. CMRR と周波数との関係 (RTI)

## 6.6 代表的特性 (続き)

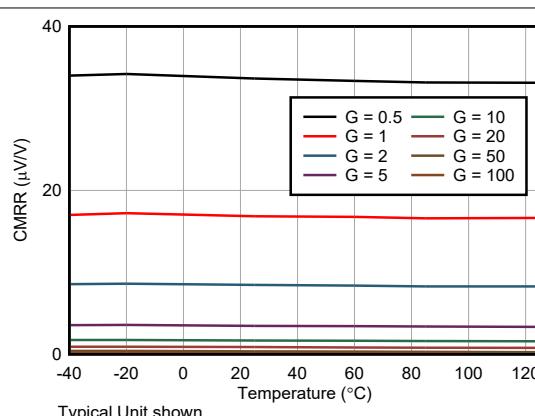
$T_A = 25^\circ\text{C}$ ,  $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ ,  $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ ,  $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)



代表的なユニット

$G = 1\text{V/V}$

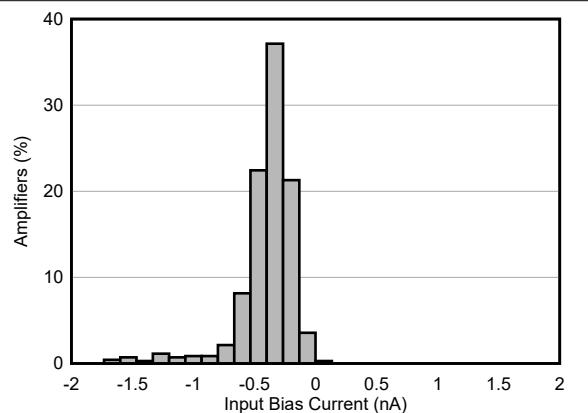
図 6-19. CMRR と周波数との関係 (不平衡)



代表的なユニット

。

図 6-20. CMRR と温度との関係



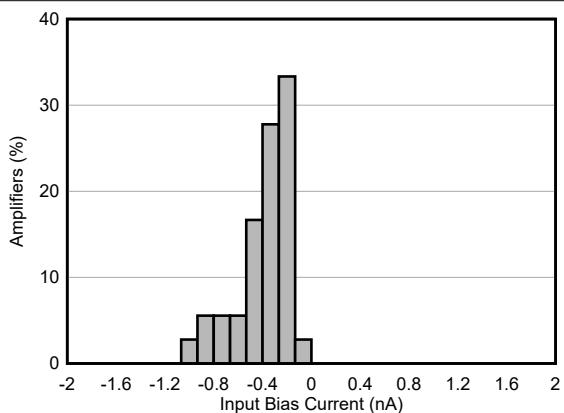
$N = 700$

平均 =  $-0.353\text{nA}$

標準偏差 =  $0.238\text{nA}$

$G = 1\text{V/V}$

図 6-21. 入力バイアス電流の分布



$N = 36$

平均 =  $-0.325\text{nA}$

標準偏差 =  $0.225\text{nA}$

$T_A = 85^\circ\text{C}$

図 6-22. 入力バイアス電流の分布

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

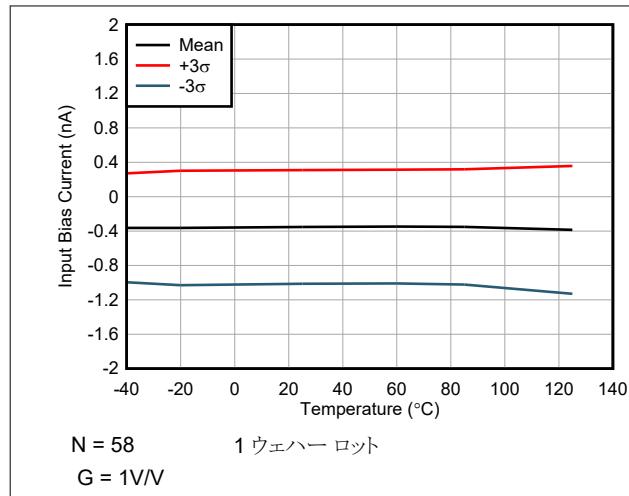


図 6-23. 入力バイアス電流と温度との関係

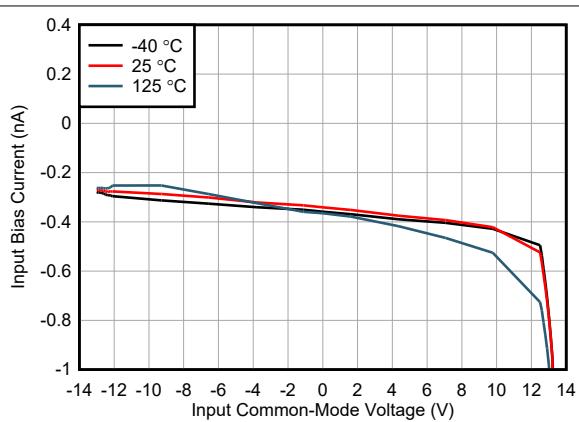


図 6-24. 入力バイアス電流と  $V_{\text{ICM}}$  との関係

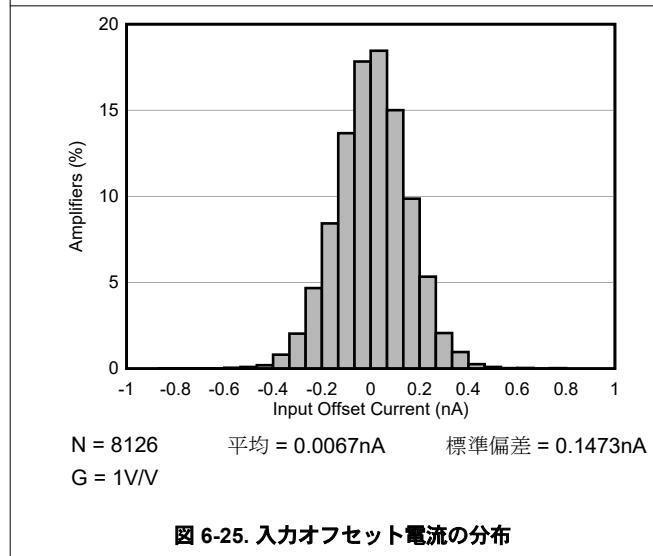


図 6-25. 入力オフセット電流の分布

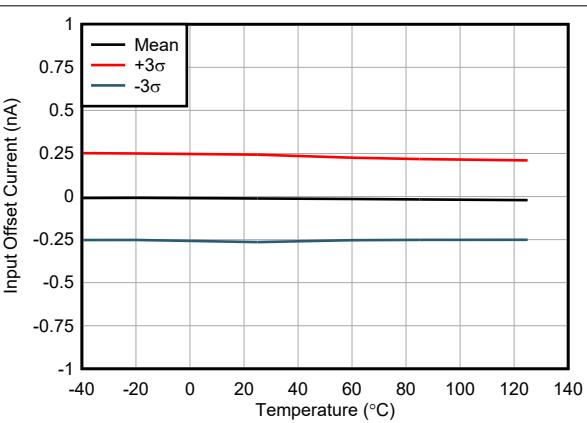
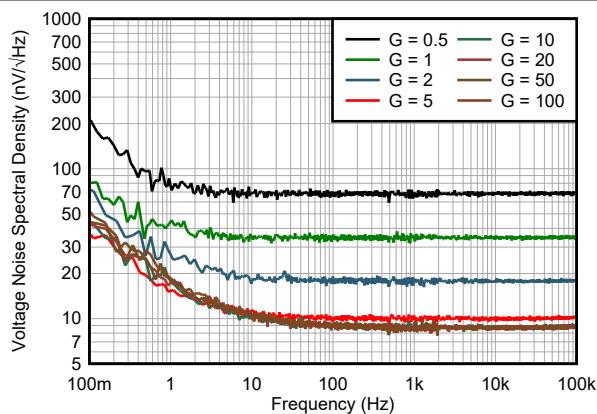


図 6-26. 入力オフセット電流と温度との関係

## 6.6 代表的特性 (続き)

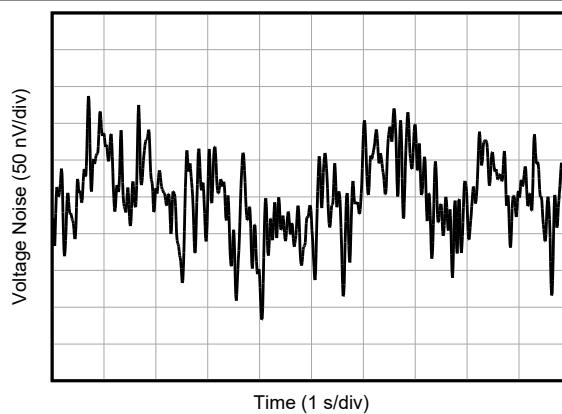
$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)



代表的なユニット

。

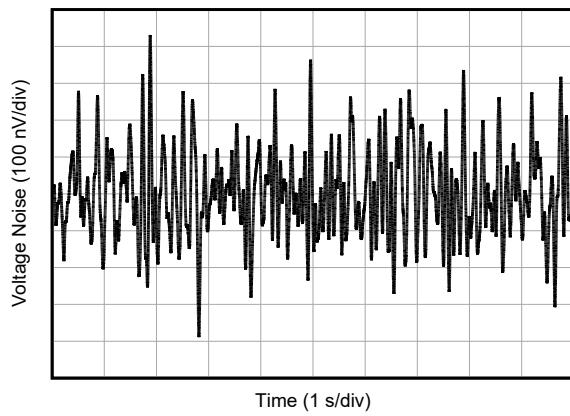
図 6-27. 電圧ノイズスペクトル密度 (RTI) と周波数との関係



代表的なユニット

$G = 100\text{V/V}$

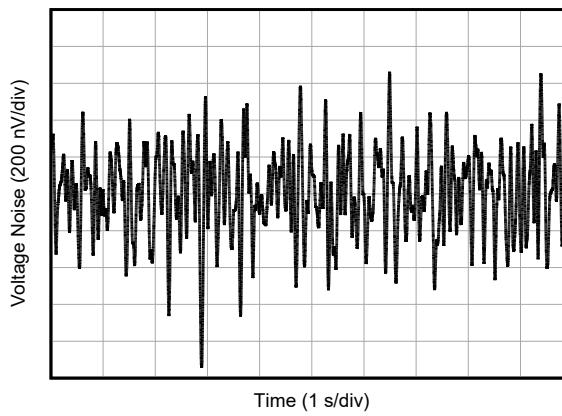
図 6-28. 0.1Hz ~ 10Hz の電圧ノイズ (RTI)



代表的なユニット

$G = 1\text{V/V}$

図 6-29. 0.1Hz ~ 10Hz の電圧ノイズ (RTI)



代表的なユニット

$G = 0.5\text{V/V}$

図 6-30. 0.1Hz ~ 10Hz の電圧ノイズ (RTI)

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

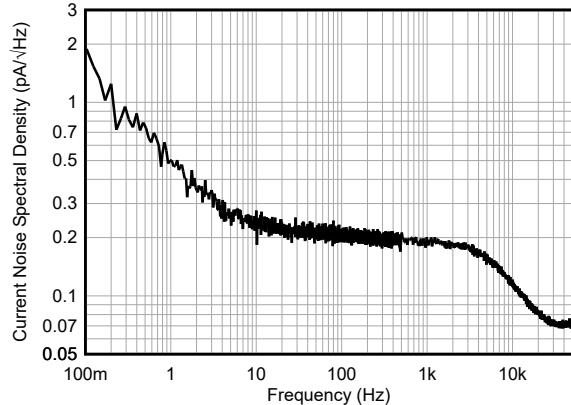


図 6-31. 電流ノイズ スペクトル密度と周波数との関係

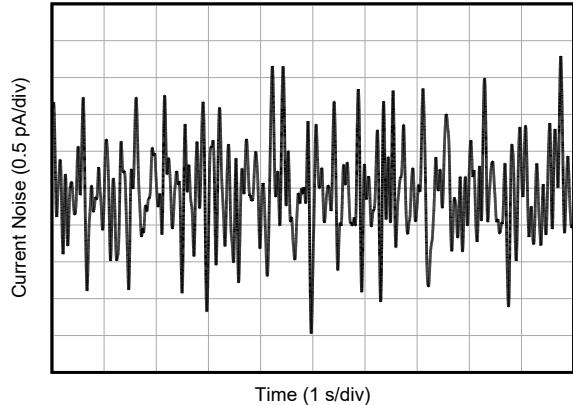


図 6-32.  $0.1\text{Hz} \sim 10\text{Hz}$  電流ノイズ

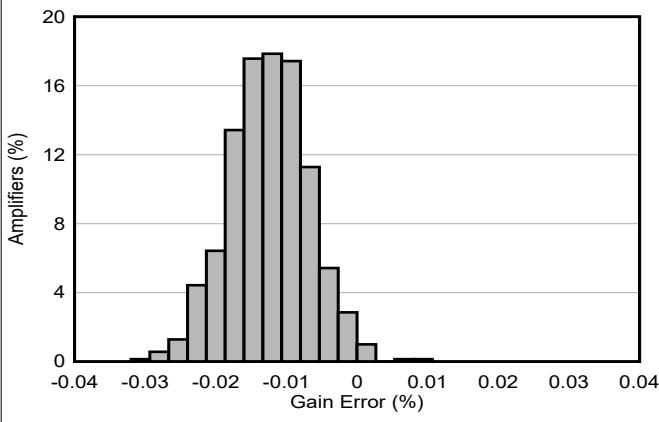


図 6-33. ゲイン誤差の分布

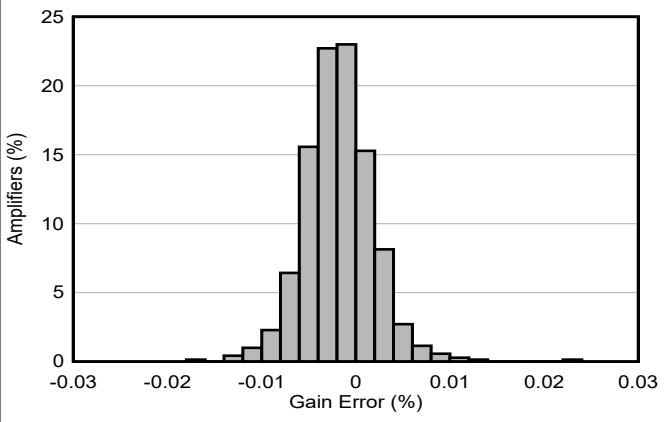


図 6-34. ゲイン誤差の分布

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

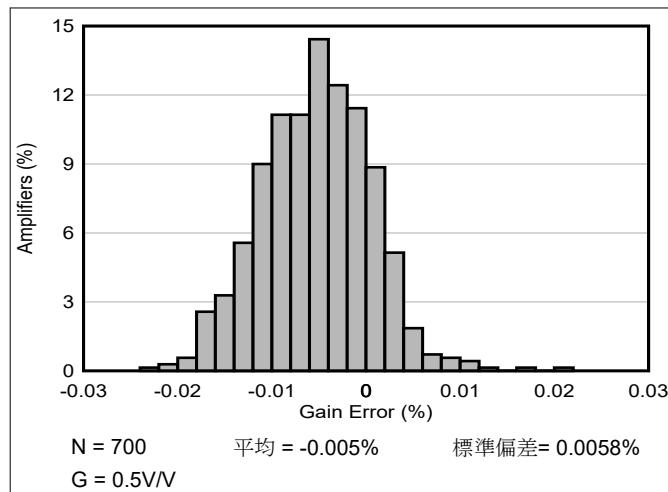


図 6-35. ゲイン誤差の分布

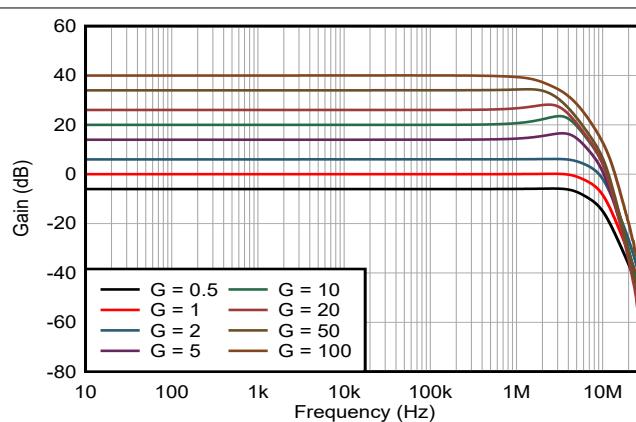
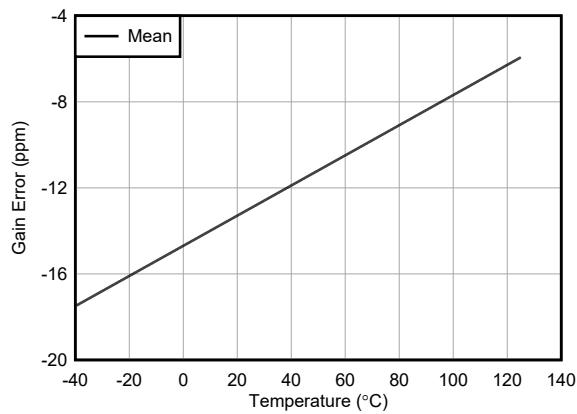


図 6-36. ゲインと周波数との関係



代表的なユニット  
G = 2V/V

図 6-37. ゲイン誤差と温度との関係

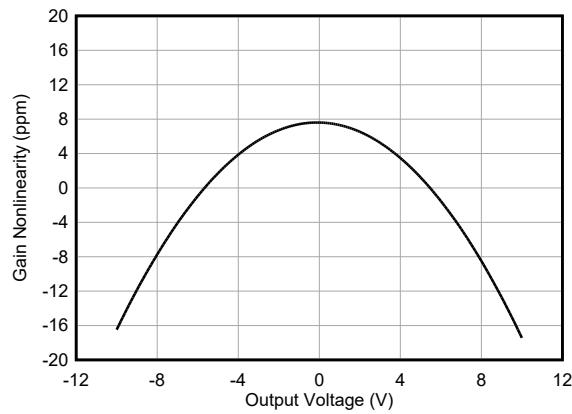


図 6-38. ゲインの非直線性

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

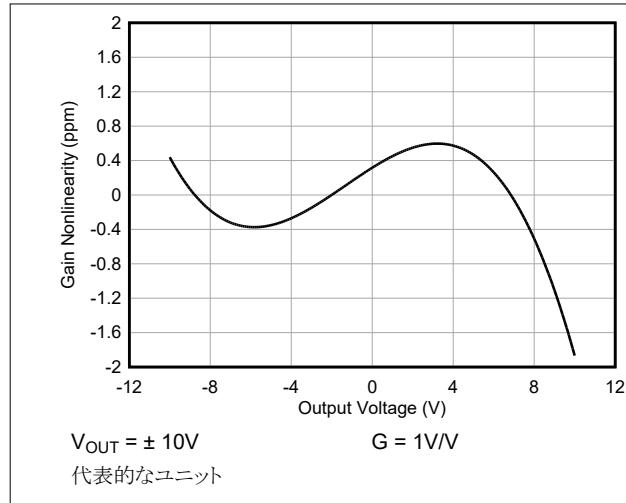


図 6-39. ゲインの非直線性

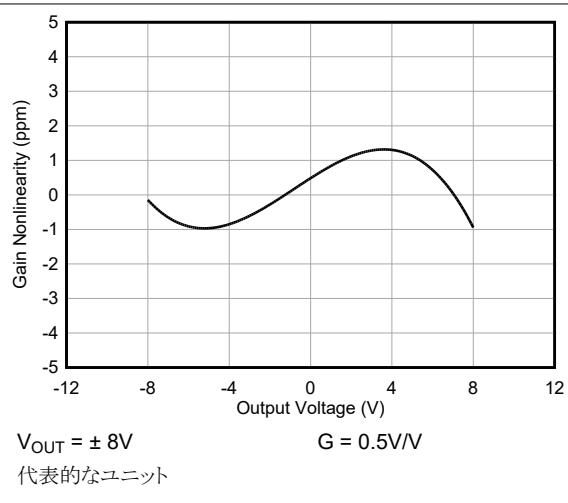


図 6-40. ゲインの非直線性

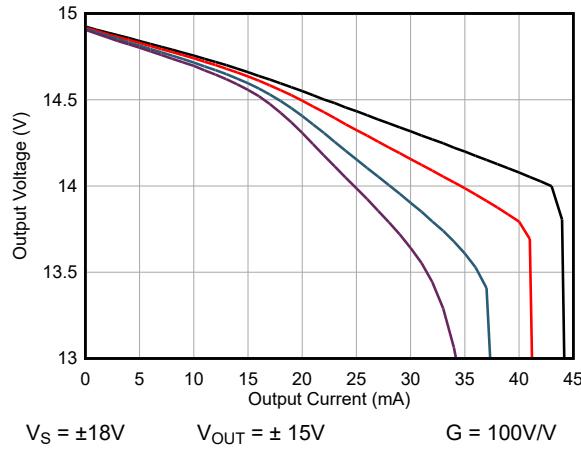


図 6-41. 正の出力電圧と出力電流との関係

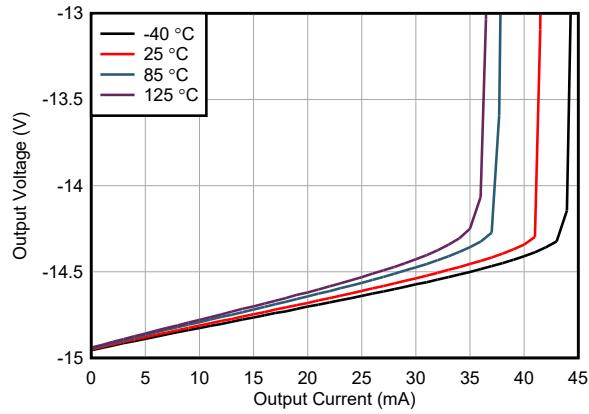
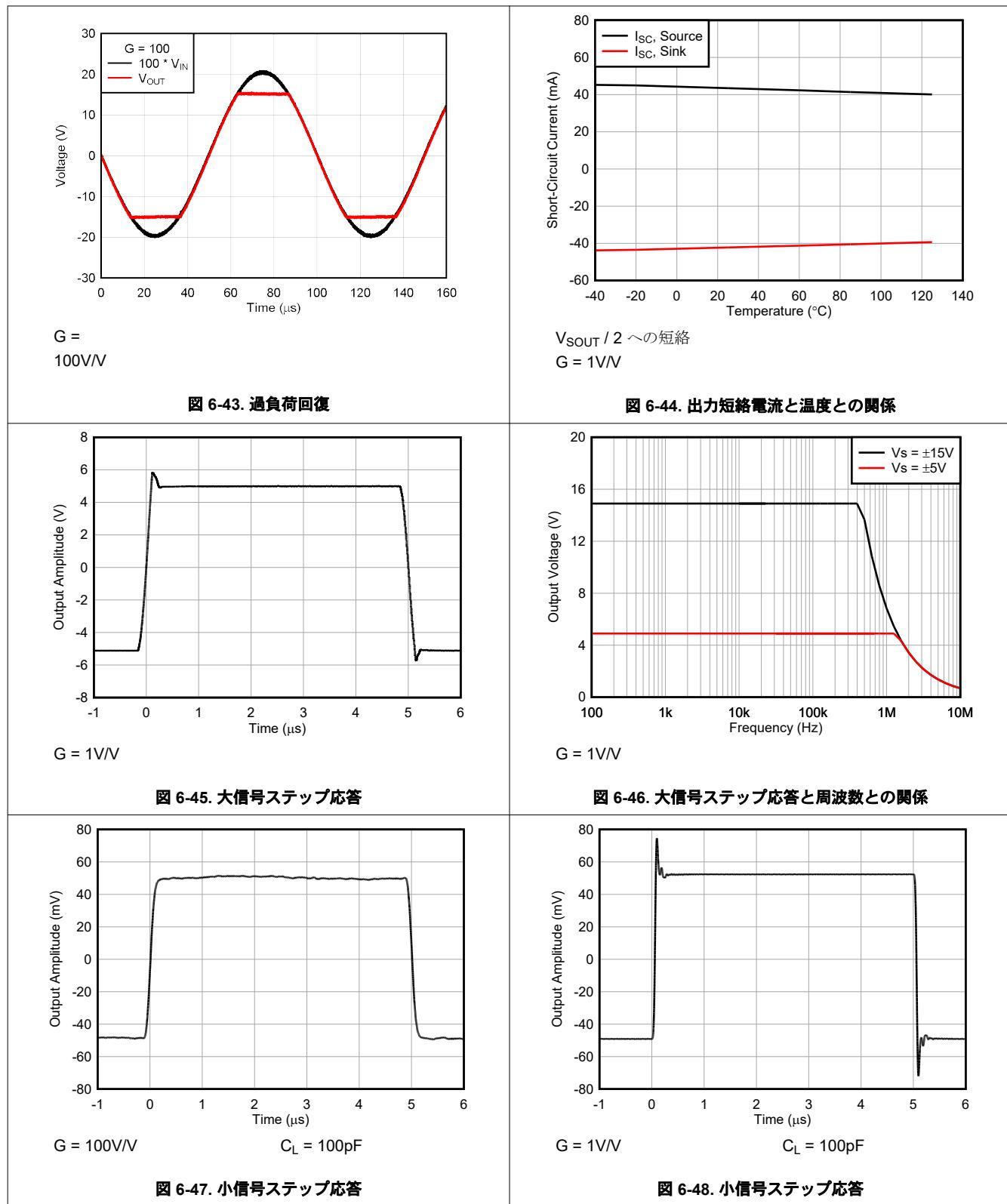


図 6-42. 負の出力電圧と出力電流との関係

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)



## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)

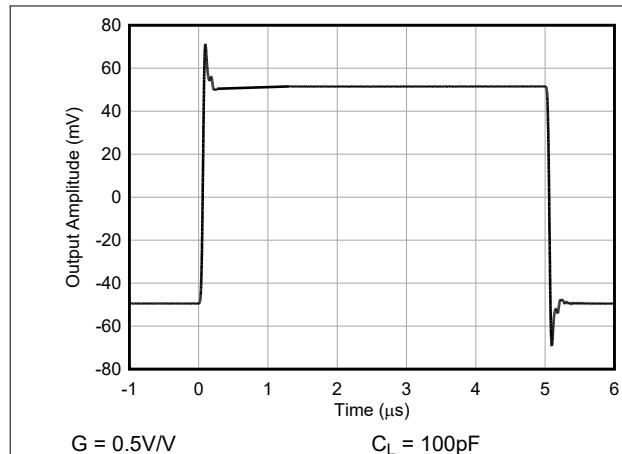


図 6-49. 小信号ステップ応答

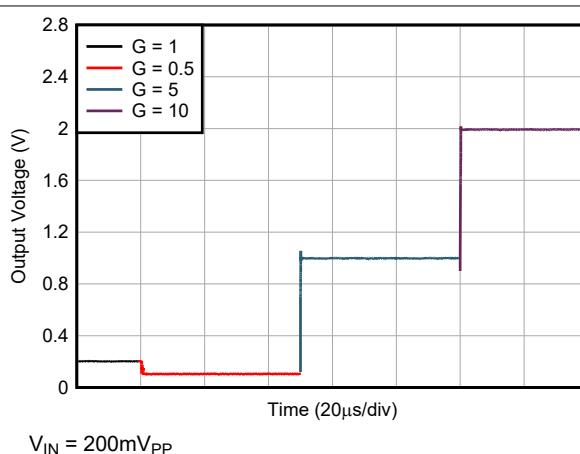


図 6-50. ゲインスイッチング過渡応答

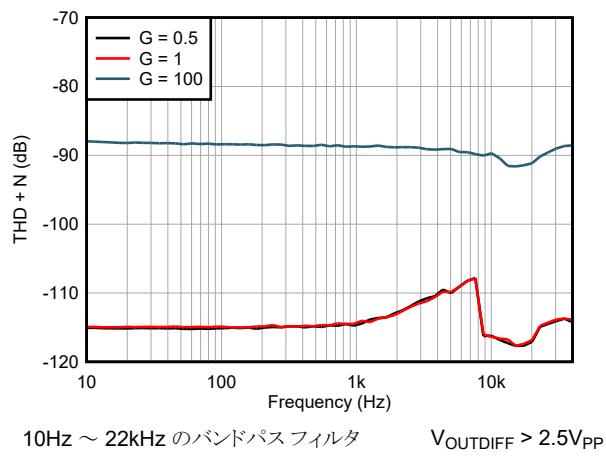


図 6-51. 全高調波歪 + ノイズと周波数との関係

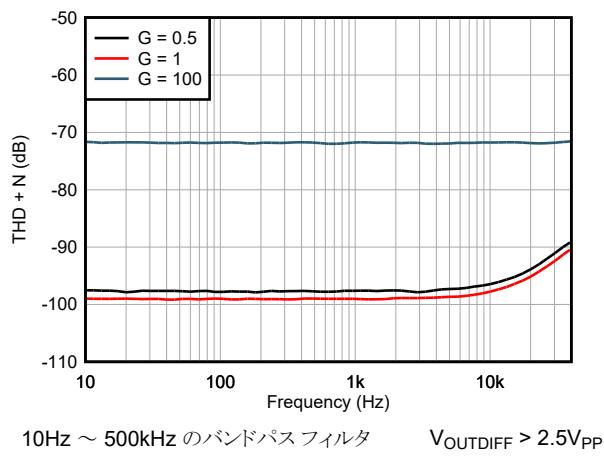


図 6-52. 全高調波歪 + ノイズと周波数との関係

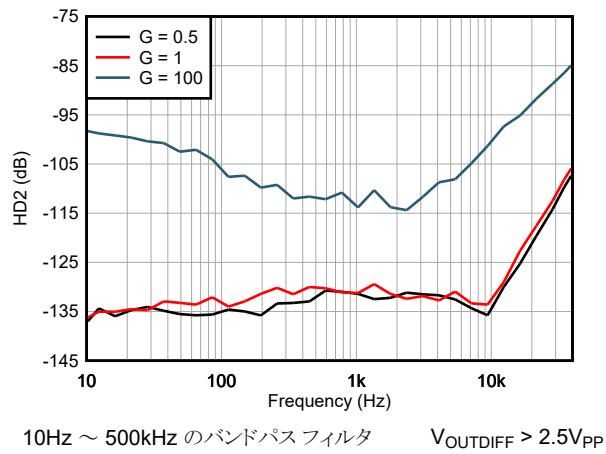


図 6-53. 2次高調波歪と周波数との関係

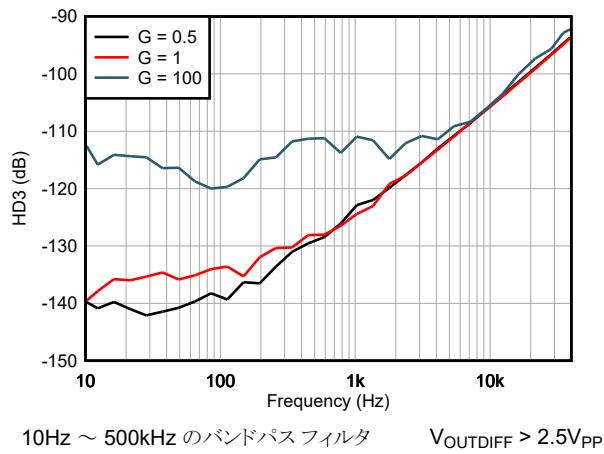
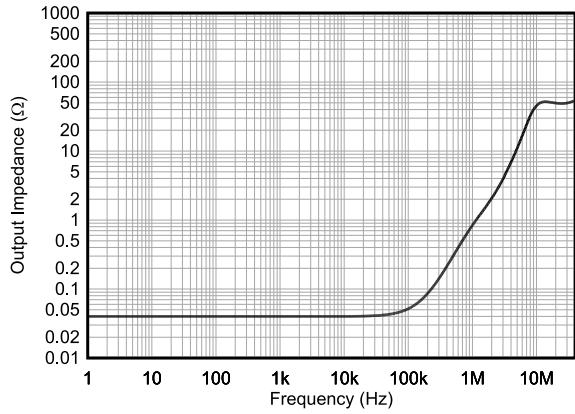


図 6-54. 3次高調波歪と周波数との関係

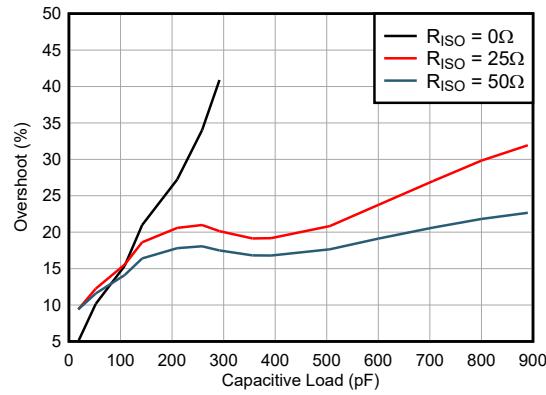
## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)



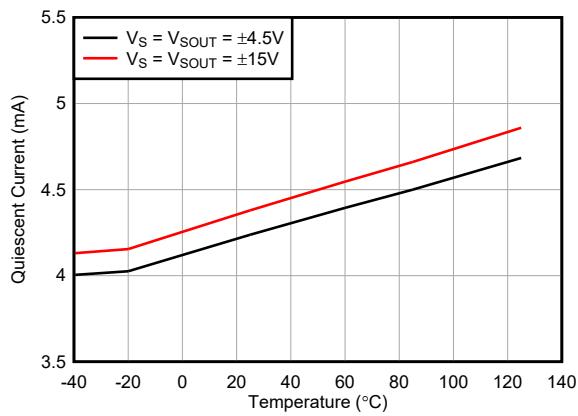
$G = 1\text{V/V}$

図 6-55. 閉ループ出力インピーダンスと周波数との関係



$G = 1\text{V/V}$        $V_{\text{OUTDIFF}} = 100\text{mV}_{\text{PP}}$

図 6-56. オーバーシュートと容量性負荷との関係



入力段  
 $G = 0.5\text{V/V}$

図 6-57. 静止電流と温度との関係

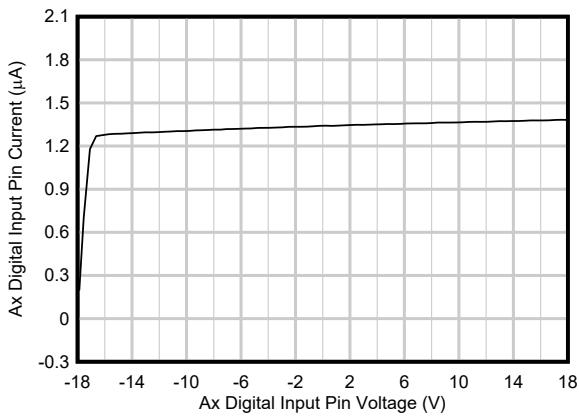
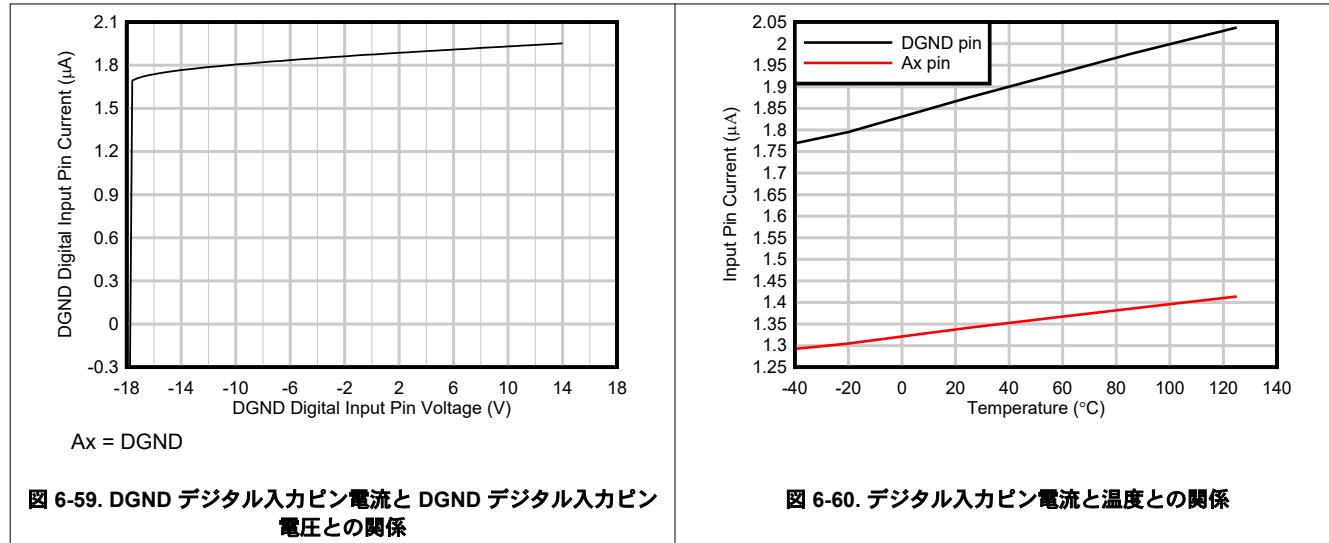


図 6-58. Ax デジタル入力ピン電流と Ax デジタル入力ピン電圧との関係

## 6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = V_{\text{SOUT}} = \pm 15\text{V}$ 、 $V_{\text{ICM}} = V_{\text{REF}} = 0\text{V}$ 、 $R_L = 10\text{k}\Omega$  グランドに設置、および  $G = 1\text{V/V}$  (特に記述のない限り)



## 7 詳細説明

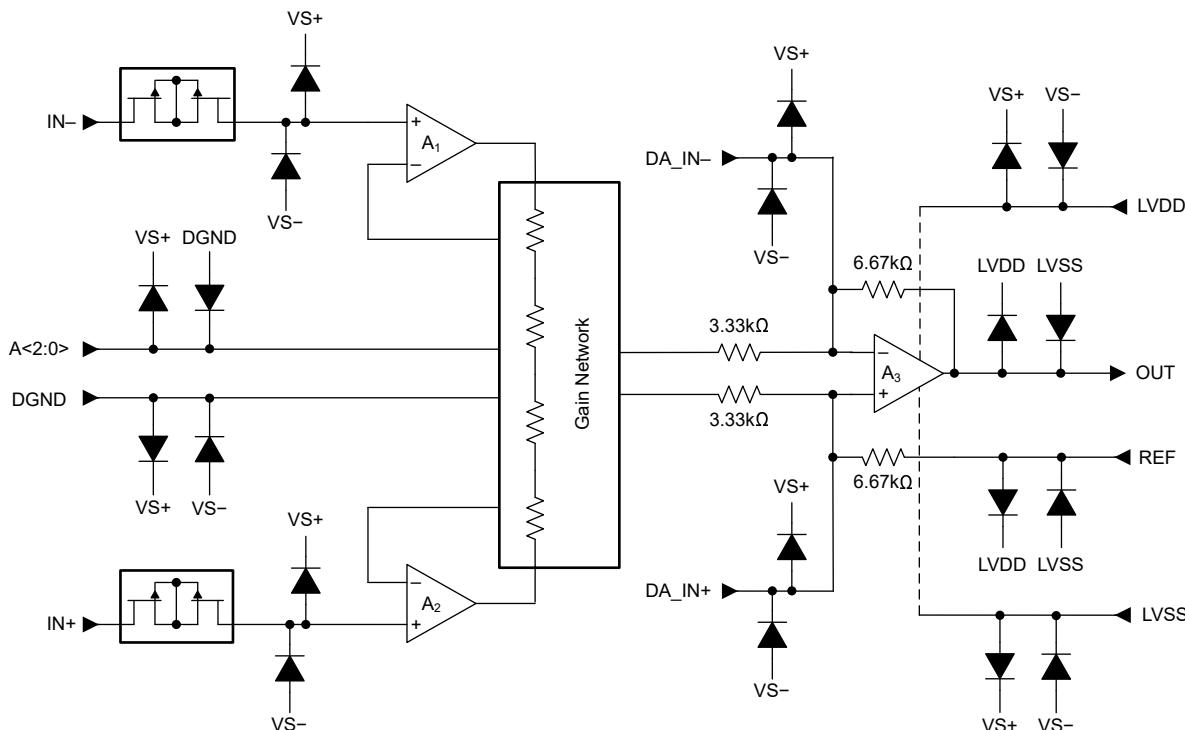
### 7.1 概要

PGA848 は、モノリシック、高電圧、高精度のプログラム可能ゲイン計測アンプです。PGA848 は、高速の電流帰還入力段と、内部的にマッチングされたゲイン抵抗ネットワークを組み合わせ、それに続く 4 つの抵抗を持つ差動アンプ出力段を組み合わせたものです。ゲイン選択ピン A0、A1、A2 を使って、8 つの事前プログラマされた 10 進数ゲインを選択できます。0.5V/V ~ 100V/V のゲイン範囲（詳細は [セクション 7.3.1](#) で説明されています）。

PGA848 の機能ブロック図を次のセクションに示します。差動入力電圧は、マッチングされた高インピーダンス入力の電流帰還型アンプ一対に供給されます。内蔵の高精度マッチングゲイン抵抗ネットワークは、差動入力電圧を増幅します。出力差動アンプ A<sub>3</sub> は、入力同相モードコンポーネントを除去し、出力信号を REF ピンで設定された電圧レベルに渡します。

PGA848 の出力アンプの帯域幅は、追加の ADC ドライバなしに、最大 1MSPS のサンプリング レートで高性能 A/D コンバータ (ADC) を駆動するように最適化されています。出力アンプは、入力段電源とは独立した別の電源を使用します。ADC を駆動する場合は、LVDD と LVSS から ADC 電源への低インピーダンス接続を使用します。この構成により、過電圧状態による損傷から ADC 入力が保護されます。

### 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 ゲイン制御

PGA848 は、3 本のピンを使用してアンプのゲインを設定します。これらのゲイン選択ピンは、DGND を基準にして設定されています。この構成により、SPI または他のデジタル インターフェイス オプションでゲインを変更する必要があるプログラム可能ゲイン アンプと比較して、設計が簡素化されます。図 7-1 はゲイン設定ブロック図を示しています。表 7-1 はゲイン オプションのリストです。外部ソースによって駆動されないゲイン選択ピンは、内部プルダウン オプションを使用して自動的に DGND にバイアスされます。

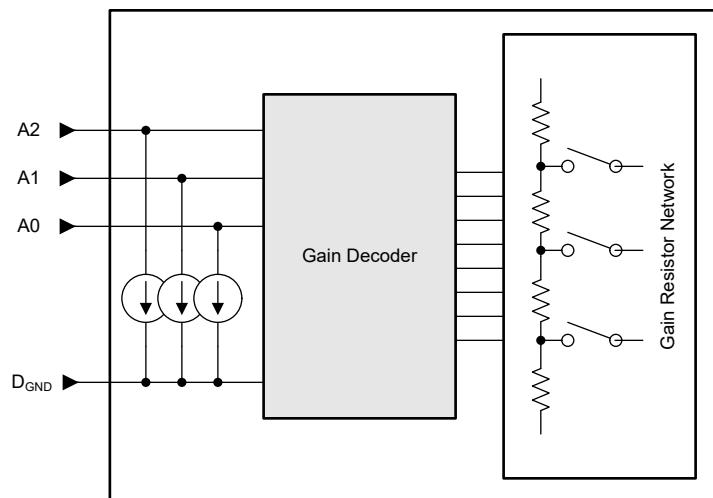


図 7-1. PGA848 ゲイン設定ブロック図

表 7-1. ゲイン オプション

A2:A0	ゲイン
000	0.5
001	1
010	2
011	5
100	10
101	20
110	50
111	100

### 7.3.2 入力保護

PGA848 の入力は、高低の電源電圧に対して  $\pm 40V$  まで個別に保護されています。たとえば、 $-55V \sim +55V$  の範囲の入力同相電圧は、 $\pm 15V$  電源から電力を供給しても損傷を引き起しません。各入力の内部回路により、通常の信号条件では低い直列インピーダンスが得られるため、通常の動作条件で高い性能が維持されます。入力が過負荷になった場合、保護回路は入力電流を約  $4.8mA$  に制限します。図 7-2 に、IN+ または IN- 入力の過電圧状態時の入力保護機能を示します。

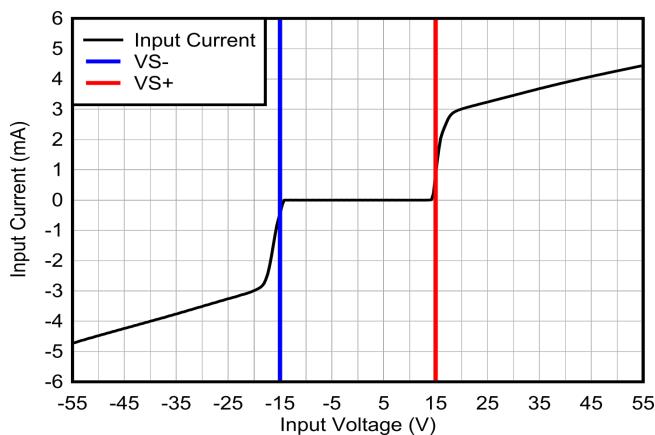


図 7-2. 入力電流と入力過電圧との関係

図 7-3 は、入力過電圧状態時に、電流が入力保護ダイオードを通って電源に流れることを示しています。電源が電流をシンクできないアプリケーションでは、電源に Zener ダイオード クランプ (ZD1 および ZD2) を配置します。Zener ダイオードは、グランドへの電流経路となります。

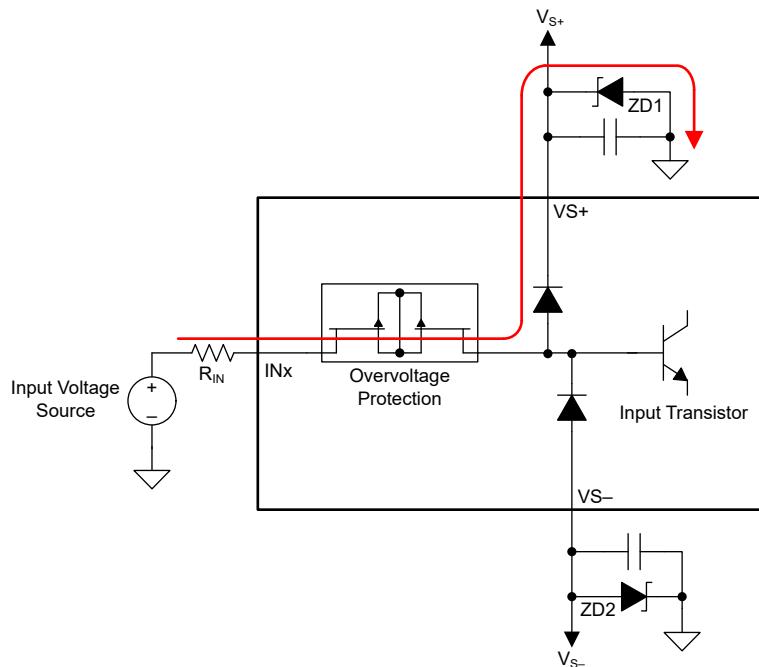


図 7-3. 過電圧状態での入力電流パス

### 7.3.3 出力差動アンプを使用したノイズの形成

セクション 7.2 の機能ブロック図は、PGA848 出力段差動アンプが、出力と反転入力の間に  $6.67\text{k}\Omega$  帰還抵抗を使用することを示しています。差動アンプの反転入力と非反転入力に外部からの直接アクセスは、それぞれ DA\_IN- ピンと DA\_IN+ ピンを介して提供されます。このオプションを使うと、回路設計者は内部抵抗と並列に外付けコンデンサを追加し、ノイズ フィルタリングやノイズ シェーピング手法を実装できます。これらのピンは、出力段用にカスタマイズした減衰ゲインを実装するためにも使用されます。内部抵抗で並列回路を設計する際は、以下の重要な要素を考慮してください。

- 内部抵抗ネットワークの精度は 0.01% 以下です。この精度により、同相信号除去比 (CMRR) は 80dB 以上になります。これらのピンのリーケ電流がミスマッチの場合、CMRR が低下する可能性があります。
- 内部抵抗の絶対抵抗の変動は  $\pm 15\%$  です。カスタムの減衰ゲインまたはノイズフィルタを実装するときは、この変動を考慮してください。

#### 注意

これらのピンを出力として扱いたり、電流をソースまたはシンクするためにピンを使用したりしないでください。帰還抵抗を流れる過剰な電流が原因で、内部回路に永続的な損傷が発生する可能性があります。

## 7.4 デバイスの機能モード

PGA848 は 1 つの機能モードを持っています。デバイスは、入力段電源が  $\pm 4.5\text{V}$  (9V) を超え、出力段電源が  $\pm 2.25\text{V}$  (4.5V) を上回っているときに動作します。さらに、セクション 6.3 を参照してください。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

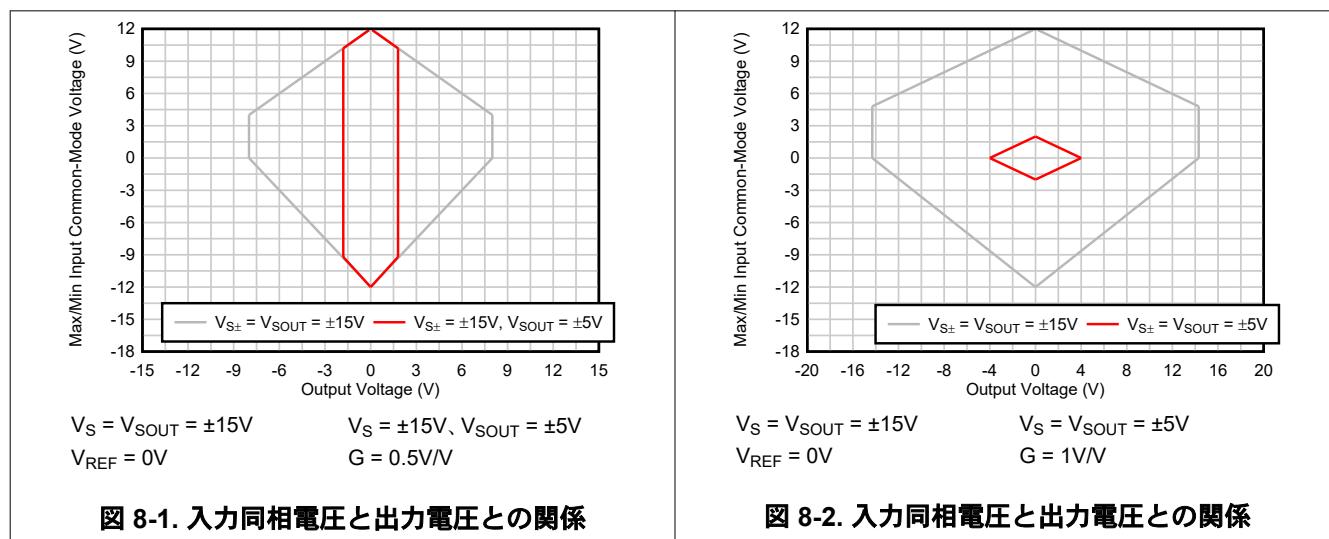
PGA848 は、シングルエンド出力を備えたモノリシック、高電圧、高帯域幅、高精度プログラム可能ゲイン計測アンプです。PGA848 は、高速の電流帰還入力段と、内部的にマッチングされたゲイン抵抗ネットワークを組み合わせ、それに続く 4 つの抵抗を持つ差動アンプ出力段を組み合わせたものです。PGA848 には、3 つのデジタル ゲイン選択ピンを使用して、 $0.5V/V$  から  $100V/V$  までの 8 つのバイナリ ゲイン設定が備わっています。A0, A1 および A2。

PGA848 は、工場自動化および制御、アナログ入力モジュール、データ収集、テストおよび測定、半導体テストなどのアプリケーション向けに設計されています。

#### 8.1.1 リニア動作入力範囲

PGA848 入力回路のリニア動作入力電圧範囲は、どちらの電源でも  $3V$  (最大) 以内に拡張されます。このデバイスは、すべての温度で、この範囲全体にわたって優れた同相除去を維持します。リニア動作入力同相範囲は、入力同相電圧、入力差動電圧、ゲイン、リファレンス電圧の関数です。

無負荷状態で有効な出力電圧を有効にするための有効な同相範囲を、図 8-4 ~ 図 8-3 に示します。



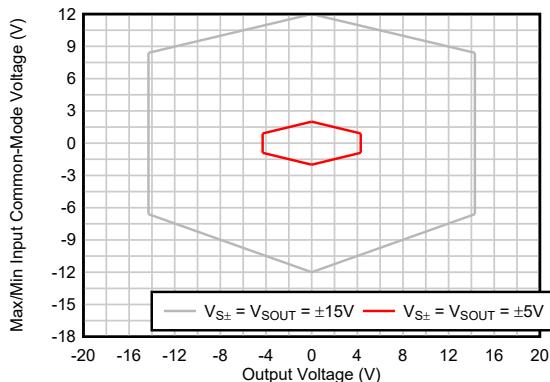


図 8-3. 入力同相電圧と出力電圧との関係

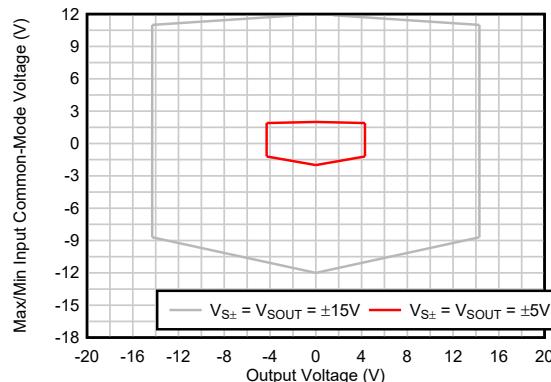


図 8-4. 入力同相電圧と出力電圧との関係

### 8.1.2 差動入力の消費電流

PGA848 などのプログラム可能ゲイン アンプは、内部抵抗を使用してゲインを設定します。その結果、これらの抵抗を流れる電流によって消費電流が増加します。大きな振幅の差動信号を印加したとき、消費電流の最大値は  $G = 2V/V$  のときに生じます。

「仕様」セクションの  $I_Q$  値は、 $V_{IN} = 0V$  の条件であることに注意してください。差動入力レベルが高い場合は、より高い電源電流が予想されます。ゼロ差動入力で規定されるバイアス電流  $I_B$  でも同様です。差動入力が増加してリニア入力範囲の制限まで、入力バイアス電流はわずかに増加します(詳細はセクション 8.1.1 を参照)。入力がリニア入力範囲の制限を超えると(入力がオーバードライブされる)、入力バイアス電流が大幅に増加します。

図 8-5 から図 8-8 は、入力段電源の入力差動電圧に対する標準的な消費電流と、デバイスがオーバードライブされたときに PGA848 入力によって引き込まれた電流を示しています。破線の垂直基準線は、特定のゲイン ( $V_{IN}$ ) におけるデバイスのリニア動作領域の概要を示します。この領域外では、デバイスの入力がオーバードライブされます。

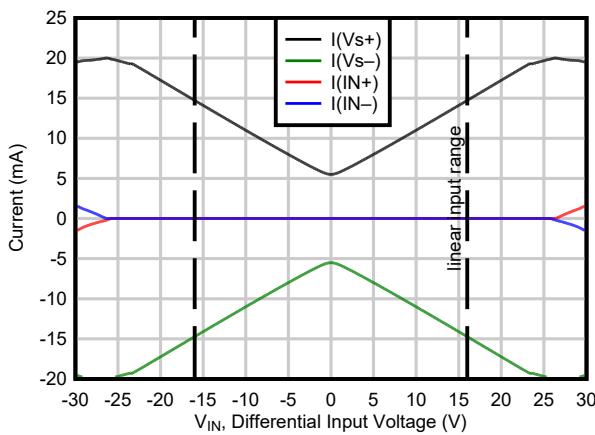


図 8-5. 電流消費と差動入力電圧との対比

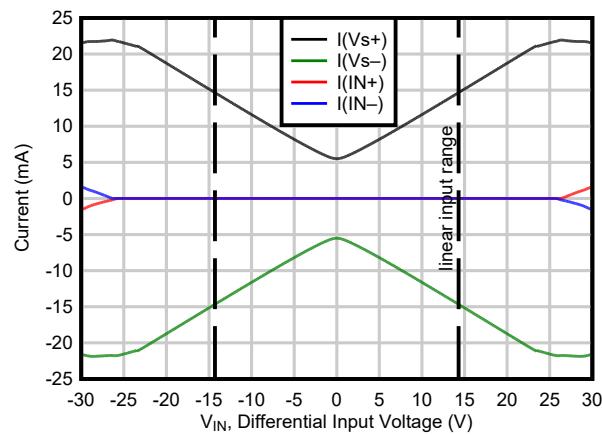
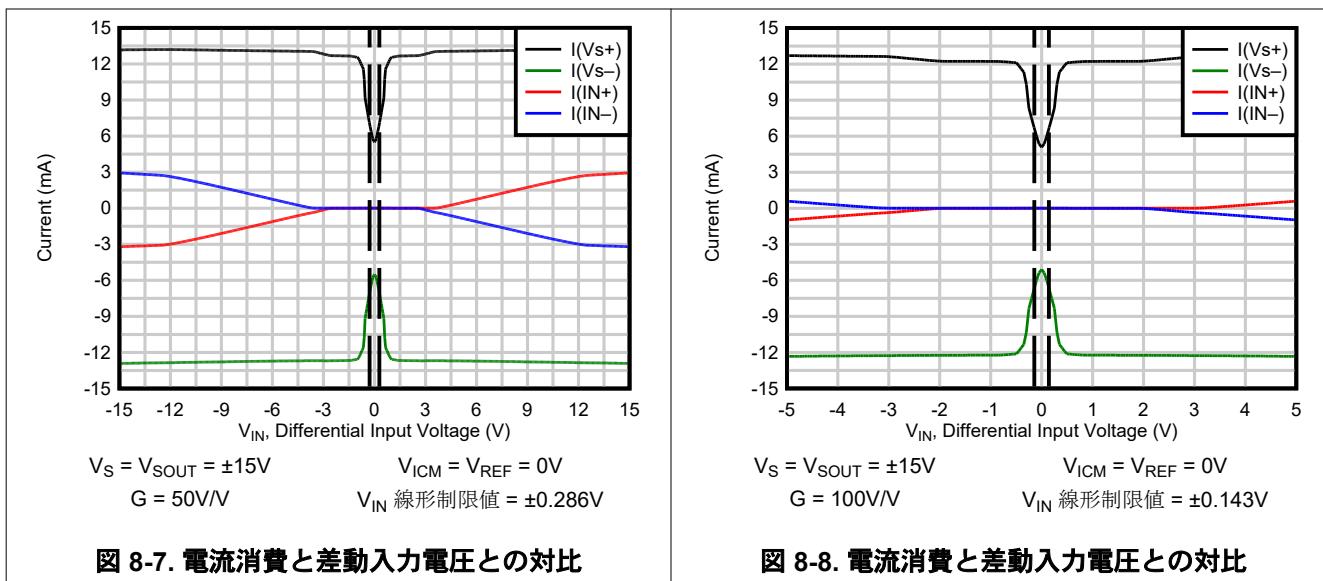


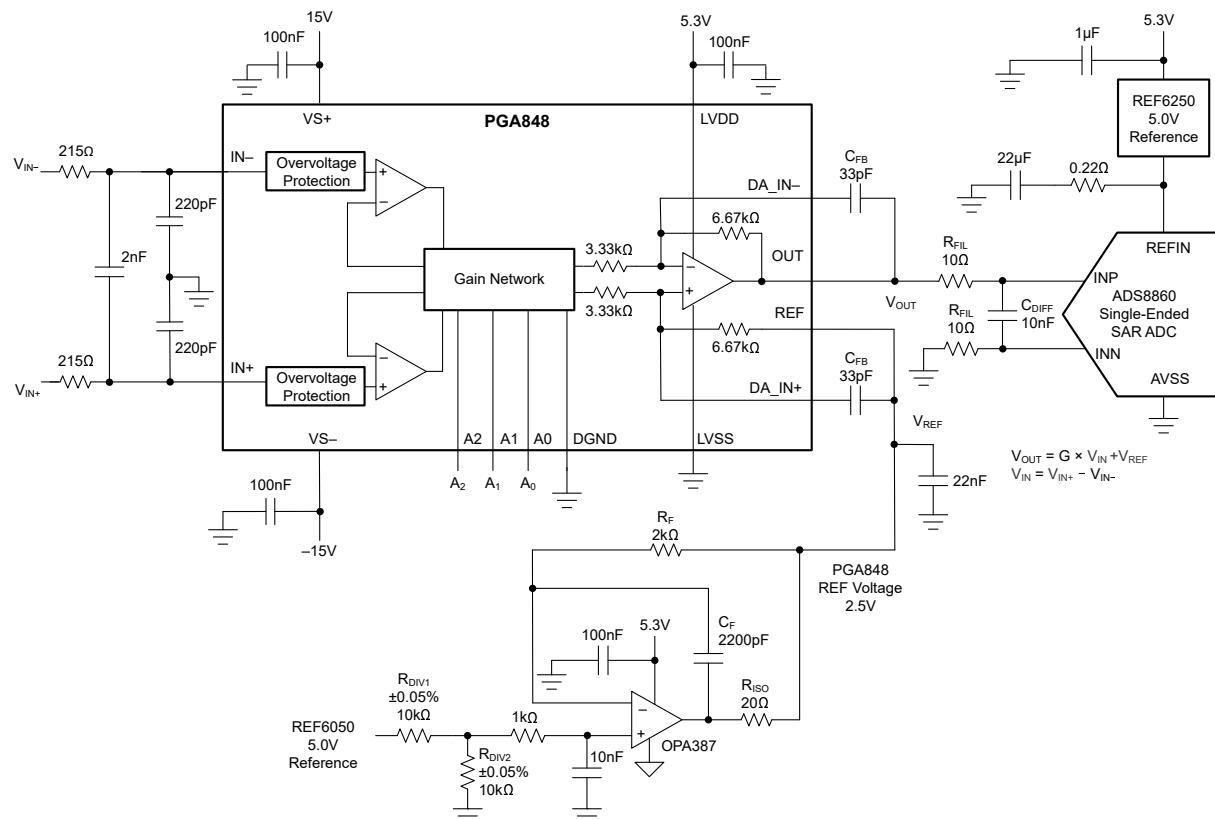
図 8-6. 電流消費と差動入力電圧との対比



## 8.2 代表的なアプリケーション

### 8.2.1 シングルエンド入力 SAR ADC の駆動

図 8-9 に、16 ビット、高精度、1MSPS の逐次比較型 (SAR) A/D コンバータ (ADC) の回路図を示します。この回路は、ADS8860 シングルエンド入力 ADC を使用した PGA848 の駆動性能を示します。



**図 8-9. ADS8860 SAR ADC の駆動**

この回路は、シングルエンド信号または差動入力信号を受信します。PGA848 は、別々の入力電源と出力電源で動作します。この例では、入力段に  $\pm 15V$  電源が供給され、ユニポーラ 5.3V 電源が出力段に電力を供給します。PGA848 出力段電源は、同じ 5.3V ADC 電源から電力を供給されます。5.3V 出力供給動作により、PGA オーバードライブ状態での ADC 入力の過負荷が防止されます。REF6250 は、ADC 電圧リファレンスとして選択されます。REF6250 は低ノイズ、低ドリフト、高精度の 5V リファレンス電圧で、ADS8860 リファレンス入力 ADC の REFIN ピンに接続されています。

PGA848 の出力電圧は、REF ピンを基準にして開発されています。REF ピンは、REF6250 ADC リファレンス電圧を高精度の抵抗分圧器で分圧することで、SAR ADC のミッドスケール電圧に設定されます。OPA387 バッファは、PGA848 の REF ピンを駆動します。OPA387 は低オフセット、低ドリフト、5.7MHz ゲイン帯域幅積を実現する高精度アンプです。

### 8.2.1.1 設計要件

表 8-1 は、ADS8860 ADC を駆動するアプリケーションの設計要件を示しています。

**表 8-1. 設計パラメータ**

パラメータ	値
電源電圧	$V_{S\pm} = \pm 15V$ , $V_{LVDD} = 5.3V$ , $V_{LVSS} = GND$ , ADC REFIN = 5V
PGA848 リファレンス ピン	$V_{REF} = 2.5V$
ADC のフルスケール レンジ	FSR = 5V
ADC のサンプリング レート	$f_{SAMPLE} = 1MSPS$
信号周波数	1kHz
RC キックバック フィルタ	$R_{FIL} = 10\Omega$ , $C_{DIFF} = 10nF$

### 8.2.1.2 詳細な設計手順

PGA の入力にある最初のフィルタ (図 8-9 を参照) は、電磁干渉 (EMI) および無線周波数干渉 (RFI)、高周波の外部ノイズの低減に役立ちます。アプリケーションの帯域幅とアンチエイリアスの要件に応じて、このフィルタをカスタマイズします。

2 番目のフィルタは PGA の  $6.67k\Omega$  帰還抵抗と、並列の  $C_{FB}$  によって構成されます。PGA 抵抗は絶対公差  $\pm 15\%$  なので、この公差がフィルタのカットオフ周波数に及ぼす影響を考慮してください。 $C_{FB} = 33pF$  から、フィルタのカットオフ周波数は 723kHz です。抵抗公差の上限側では、フィルタ周波数が 629kHz に変化します。このデバイスを使用すると、 $C_{FB}$  コンデンサの値を変更して帯域幅を調整する柔軟性を持たせることができますが、回路の広帯域ノイズはトレードオフとなります。

ADS8860 入力に配置された 3 番目のフィルタは、SAR ADC を駆動するための電荷蓄積フィルタとして機能します。チャージキックバックフィルタは、アンプの瞬間的なチャージ需要を削減し、ADC のサンプル アンド ホールドのセトリングが不完全なために劣化する可能性のある歪みを低く維持します。RC フィルタの組み合わせ ( $R_{FIL}$ ,  $C_{DIFF}$ ) は、PGA の安定性を維持しながら、ADC のサンプル アンド ホールド セトリングと全高調波歪み (THD) パフォーマンスに合わせて調整されます。低歪み特性を実現するために、信号パスのあらゆる場所に高品質の C0G コンデンサが使用されています。

3 つのフィルタすべてを備えた PGA848 フロントエンドは、公称  $f_{-3dB}$  帯域幅 160kHz を提供します。内部の  $6.67k\Omega$  フィードバック抵抗許容範囲の上限側では、PGA848 の  $f_{-3dB}$  帯域幅は 157kHz に変わります。ただし、この回路は (カスクードフィルタ段のシミュレーションから得られた) 25kHz まで  $-0.1dB$  の平坦性を維持します。

ADS8860 では、0V ~ 5V の ADC リファレンス電圧範囲のフルスケール入力が必要です。PGA848 の REF ピンは公称電圧 2.5V に設定され、信号が ADC ミッドスケール電圧へシフトします。

REF6250 5V リファレンスに、 $\pm 0.05\%$  許容誤差、低ドリフト  $\pm 5ppm/{^\circ}C$  抵抗器が実装された  $10k\Omega$  対  $10k\Omega$  高精度分圧器を介して供給することにより、PGA848 REF 電圧を生成します。PGA848 REF ピンを低インピーダンスソースで駆動します。OPA387 などのオペアンプをバッファとして使用して、REF ピンを駆動します。

OPA387 バッファは、REF ピンと  $22nF$  のバイパスコンデンサを駆動しながら安定性を実現するためにデュアルフィードバック構成されています。 $R_{ISO}$  は  $20\Omega$  の絶縁抵抗で、2 つのフィードバックパスを分離して安定性を最適化します。REF ピンに直接接続された帰還抵抗  $R_F = 2k\Omega$  を通過する最初の帰還パス。2 番目の帰還パスは、オペアンプの出力に接続

された帰還コンデンサ  $C_F = 2200\text{pF}$  を経由します。この回路により、 $86^\circ$  のループゲイン位相マージンが得られます。OPA387 バッファの非反転入力には、抵抗分圧器の熱ノイズを低減するため、 $R = 1\text{k}\Omega$ 、 $C = 10\text{nF}$  のローパスフィルタがあります。その他の負荷容量を使用する場合は、安定性コンポーネントの再計算が必要です。 $R_F$ 、 $C_F$ 、および  $R_{ISO}$ 。REF バイパスコンデンサを変更する場合は、OPA387 TINA-TI モデル（または PSpice®-for-TI モデル）を使用したシミュレーションで回路が安定していることを確認します。回路の位相マージンが  $60^\circ$  以上であることを確認します。

結果を表 8-2 に示します。ここには、標準的な信号対雑音比 (SNR) と全高調波歪み (THD) の測定値が含まれています。1kHz の差動信号が印加され、信号振幅が調整されて、ADC の  $-0.5\text{dBFS}$  で PGA848 出力が生成されます。

**表 8-2. PGA848 および ADS8860 FFT データの概要、 $f_{SAMPLE} = 1\text{MSPS}$ 、 $f_{IN} = 1\text{kHz}$ 、 $BW = 160\text{kHz}$**

PGA のゲイン (V/V)	入力振幅 (V <sub>PP</sub> )	SNR (dB)	THD (dB)	ENOB (ビット)
0.5	9.79	91.84	-95.34	14.70
1	4.886	91.72	-95.45	14.69
2	2.443	91.35	-95.33	14.64
5	977.5m	88.57	-95.32	14.28
10	488.5m	84.00	-95.18	13.61
20	244.1m	78.98	-95.10	12.81
50	97.8m	72.36	-94.75	11.72
100	48.85m	67.16	-92.75	10.86

性能と SNR は、システムの帯域幅に依存します。システム帯域幅をアプリケーション要件に合わせて設定すると、より高いパフォーマンスが得られます。前の例では、 $C_{FB} = 1\text{nF}$  に設定して PGA の帯域幅を 23kHz に下げる、表 8-3 に示すように、高ゲインでの SNR が約 12dB 改善されます。

**表 8-3. PGA848 および ADS8860 FFT データの概要、 $f_{SAMPLE} = 1\text{MSPS}$ 、 $f_{IN} = 1\text{kHz}$ 、 $BW = 23\text{kHz}$**

PGA のゲイン (V/V)	入力振幅 (V <sub>PP</sub> )	SNR (dB)	THD (dB)	ENOB (ビット)
0.5	9.79	92.69	-93.90	14.69
1	4.886	92.70	-93.64	14.68
2	2.443	92.59	-93.28	14.64
5	977.5m	92.36	-93.25	14.62
10	488.5m	91.66	-93.17	14.55
20	244.1m	89.75	-93.27	14.35
50	97.8m	84.16	-93.15	13.60
100	48.85m	78.80	-92.64	12.77

### 8.3 電源に関する推奨事項

PGA848 の公称性能は、入力段電源および出力段電源電圧で  $\pm 15\text{V}$ 、電源電圧で  $V_{ICM}$  および  $V_{REF}$  で規定されています。規定された制限範囲内では、性能を犠牲にせずにカスタムの入力同相電圧と出力同相電圧を使用できます。セクション 6.3 も参照してください。内部回路の損傷を防止するため、出力段の電源はクランプされて入力段の電源電圧レベル内に維持されます。セクション 7.2 も参照してください。

#### 注意

40V ( $\pm 20\text{V}$ ) を超える供給電圧はデバイスに永久的な損傷を与えます。供給電圧または温度によって変化するパラメータは、このドキュメントの標準特性セクションに示されています。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に关心を持つことをお勧めします。デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- 同相モード信号が差動信号と熱起電力 (EMF) に変換されないようにするために、両方の入力バスが対称であり、ソースインピーダンスと容量に対して適切にマッチングされていることを確認してください。
- ノイズは、デバイスの電源ピンや回路全体を通じてアナログ回路に伝播する可能性があります。バイパスコンデンサは、アナログ回路に対して局所的に Low インピーダンスの電源を供給することにより、結合ノイズを低減します。
  - 各電源ピンとグランドの間に Low ESR  $0.1\mu\text{F}$  のセラミック バイパスコンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパスコンデンサを接続します。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離した状態にすることができない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに効果的です。
- DA\_IN+ ピンと DA\_IN- ピンのリーク電流は、出力電圧に DC オフセット誤差を引き起こす可能性があります。また、これらのピンに過剰な寄生容量が加わると、位相マージンが減少し、出力段の安定性に影響を及ぼす可能性があります。これらのピンを使用して意図的な容量性帰還を実装しない場合リーケージと寄生容量を最小限に抑えるためのベストプラクティスに従ってください。
- リーケージと寄生容量を最小限に抑えるためのベストプラクティスに従ってください。これには、入力ピンのすぐ下にあるすべてのグランドプレーンにキープアウト領域を実装することが含まれます。
- 熱接続部の数を最小限に抑えます。可能なら、ビアなしで单一の層を使用して信号バスを配線します。
- 主要な熱エネルギー ソースからは十分に距離を離します (消費電力が大きい回路)。それが不可能な場合は、差動信号バスの両側の熱エネルギー源の影響が均等になるようにデバイスを配置します。
- 配線はできる限り短くします。

#### 8.4.2 レイアウト例

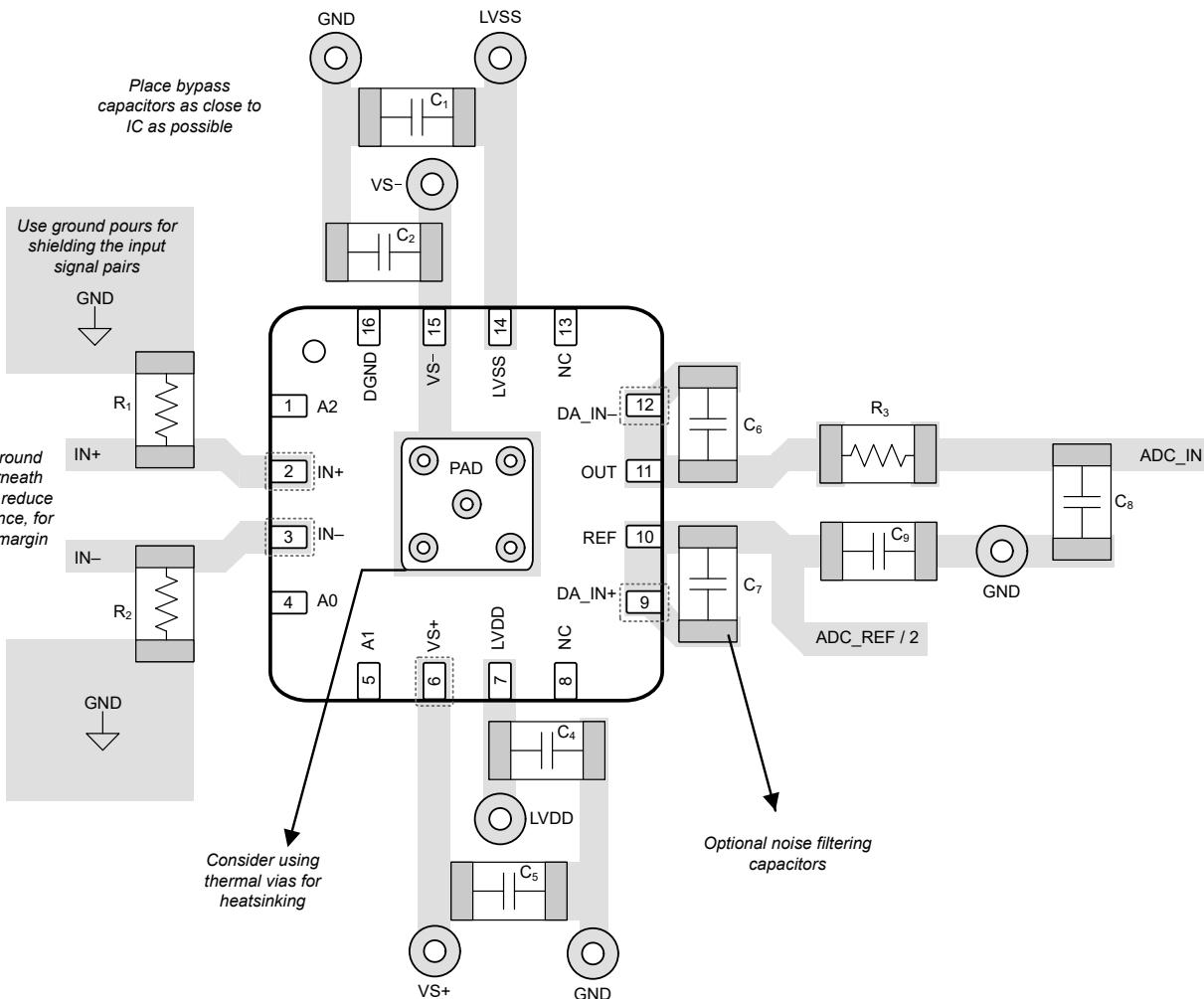
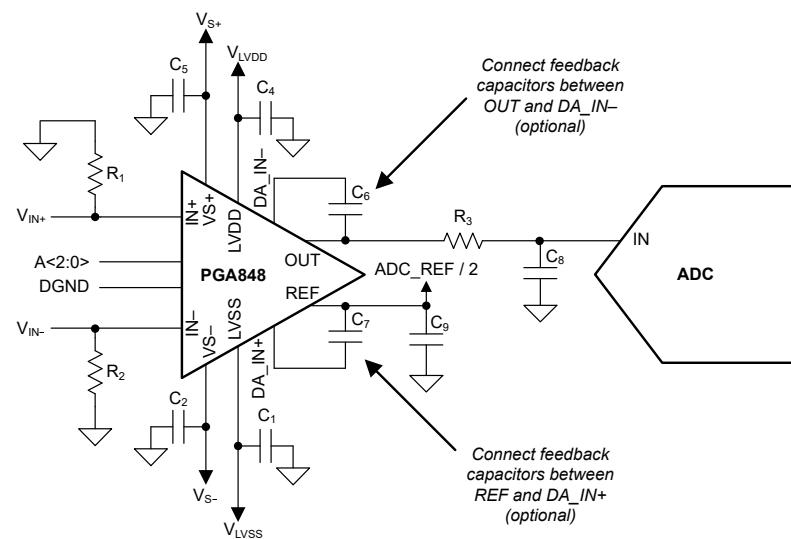


図 8-10. 回路図と関連する PCB レイアウトの例

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイス サポート

#### 9.1.1 開発サポート

##### 9.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造を行う前にサブシステムとプロトタイプの設計を作成し、開発コストと市場投入までの時間を削減します。

##### 9.1.1.2 TINA-TI™ シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーションプログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルを含め、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

設計およびシミュレーション ツール web ページから無料でダウンロードできる TINA-TI シミュレーション ソフトウェアは、さまざまな後処理機能を備えています。この機能があれば、ユーザーはさまざまな方法で結果をフォーマットできます。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

#### 注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

### 9.2 ドキュメントのサポート

#### 9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『計測アンプの総合計算誤差』アプリケーション ノート
- テキサス・インスツルメンツ、計測アンプ アプリケーションにおける入力バイアス電流帰還バスの重要性 アプリケーション ノート
- テキサス・インスツルメンツ、ADS8860 16 ビット、1MSPS、シリアル インターフェイス、MicroPower、小型、シングルエンジン入力、SAR アナログ デジタルコンバータデータシート
- テキサス インスツルメンツ、REF62xx 高精度電圧リファレンス、内蔵 ADC ドライブ バッファ付 データシート
- テキサス インスツルメンツ、「OPAx387 高精度、ゼロドリフト、低入力バイアス電流オペアンプデータシート」

### 9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 9.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

## 9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.7 用語集

### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision \* (August 2025) to Revision A (December 2025)

### Page

• データシートのステータスを「事前情報」から「量産データ」に更新.....	1
• 同相モード入力インピーダンスを 7pF から 4.4pF に変更.....	6
• 差動入力電圧の制限値を ±20V から ±16V に変更.....	6
• G = 2, 10, 20 の CMRR をそれぞれ 81dB, 96dB, 102dB から 80dB, 95dB, 100dB に変更.....	6
• 「電圧ノイズ」セクションを追加.....	6
• G = 0.5 の非直線性テスト条件を VOUT = 10V から 8V に変更.....	6
• 微分ゲイン非直線性パラメータの値を追加.....	6
• G = 10, 20 の BW パラメータの値を 4.2MHz から 5MHz に変更.....	6
• G = 0.5 のスルーレートテスト条件を VOUT = 10V から 8V に変更.....	6
• スルーレート、ゲインスイッチング時間のパラメータの値、およびセッティング時間パラメータを追加.....	6
• THD および HD2, HD3 パラメータを追加.....	6
• IQ_input パラメータの標準値を 3mA から 3.2mA に、最大値を 3.7mA から 3.9mA に変更.....	6
• 全温度範囲にわたる IQ_input パラメータの最大値を 4.5mA から 4.9mA に変更.....	6
• 以前のバージョンで存在していたゲイン誤差、オフセットとオフセットドリフトの分布、およびゲインと周波数との関係以外のすべての「代表的特性」の図を追加.....	9
• ゲイン設定のブロック図を、抵抗ではなく入力に電流源を配置するよう変更.....	24
• G = 0.5, G = 1, G = 2 の「入力同相と出力差動電圧の関係」の曲線を更新.....	27
• 「差動入力での消費電流」セクションを追加.....	28
• SAR ADC 回路で使用されるオペアンプを OPA192 から OPA387 に変更、アプリケーション回路の図にも反映。.....	29
• SAR ADC 回路の入力フィルタとキックバックフィルタを変更し、アプリケーション回路の図に反映しています。.....	30
• SAR ADC アプリケーション回路の結果表を追加。.....	30
• 「代表的特性」セクションを参照するように注意の記述を更新.....	31

日付	改訂	注
August 2025	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PGA848RGTR	Active	Production	VQFN (RGT)   16	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGA848

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

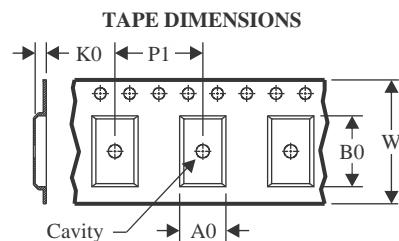
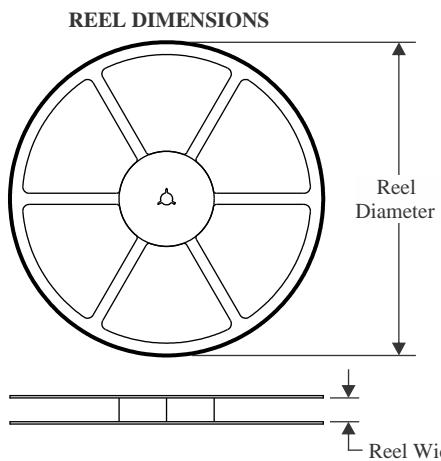
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

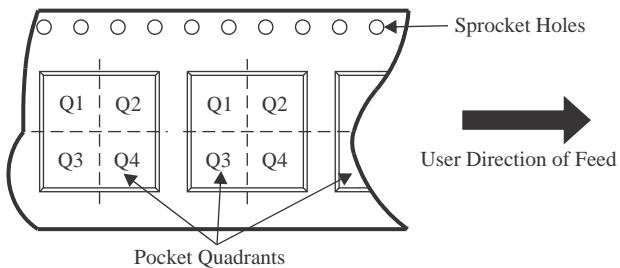
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



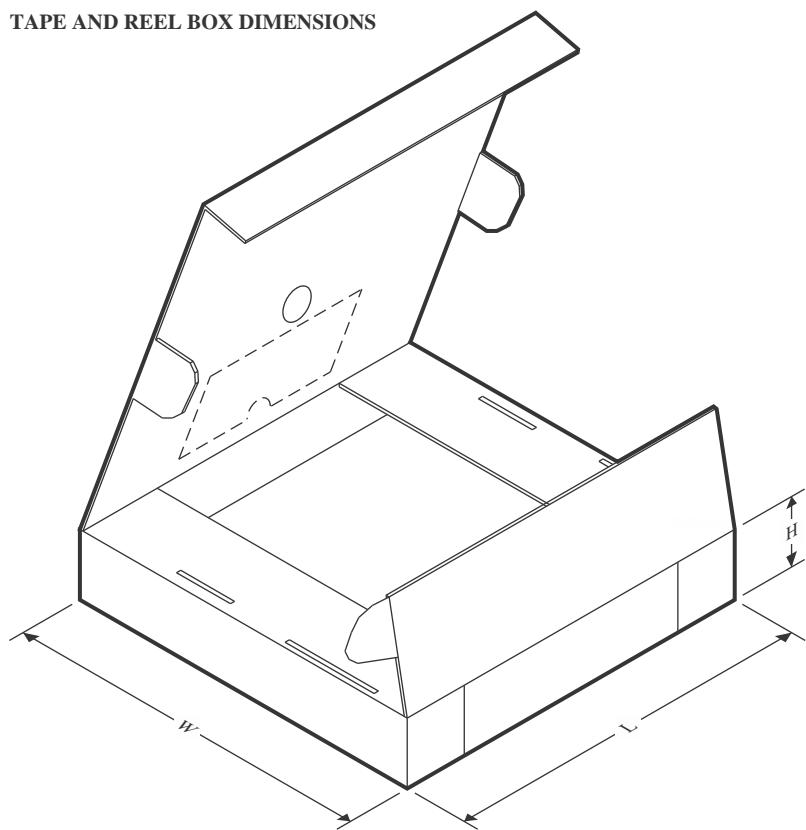
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PGA848RGTR	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

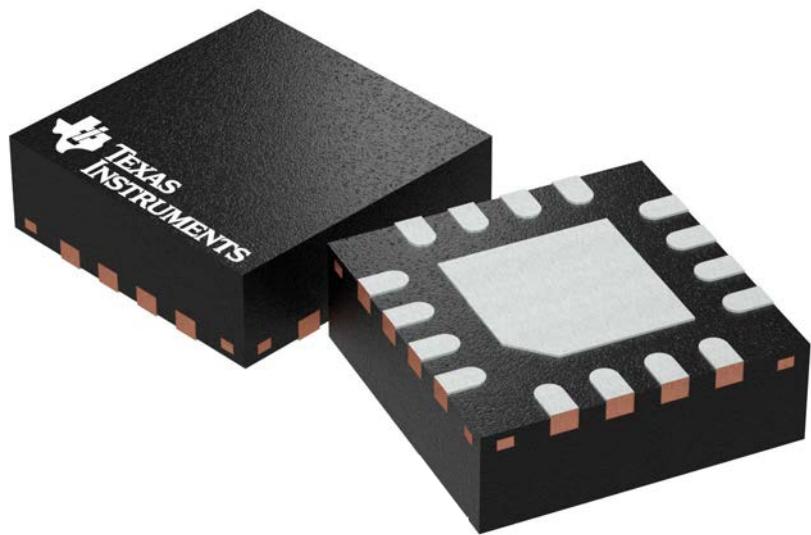
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PGA848RGTR	VQFN	RGT	16	5000	360.0	360.0	36.0

## GENERIC PACKAGE VIEW

RGT 16

VQFN - 1 mm max height

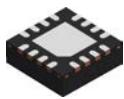
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4203495/I

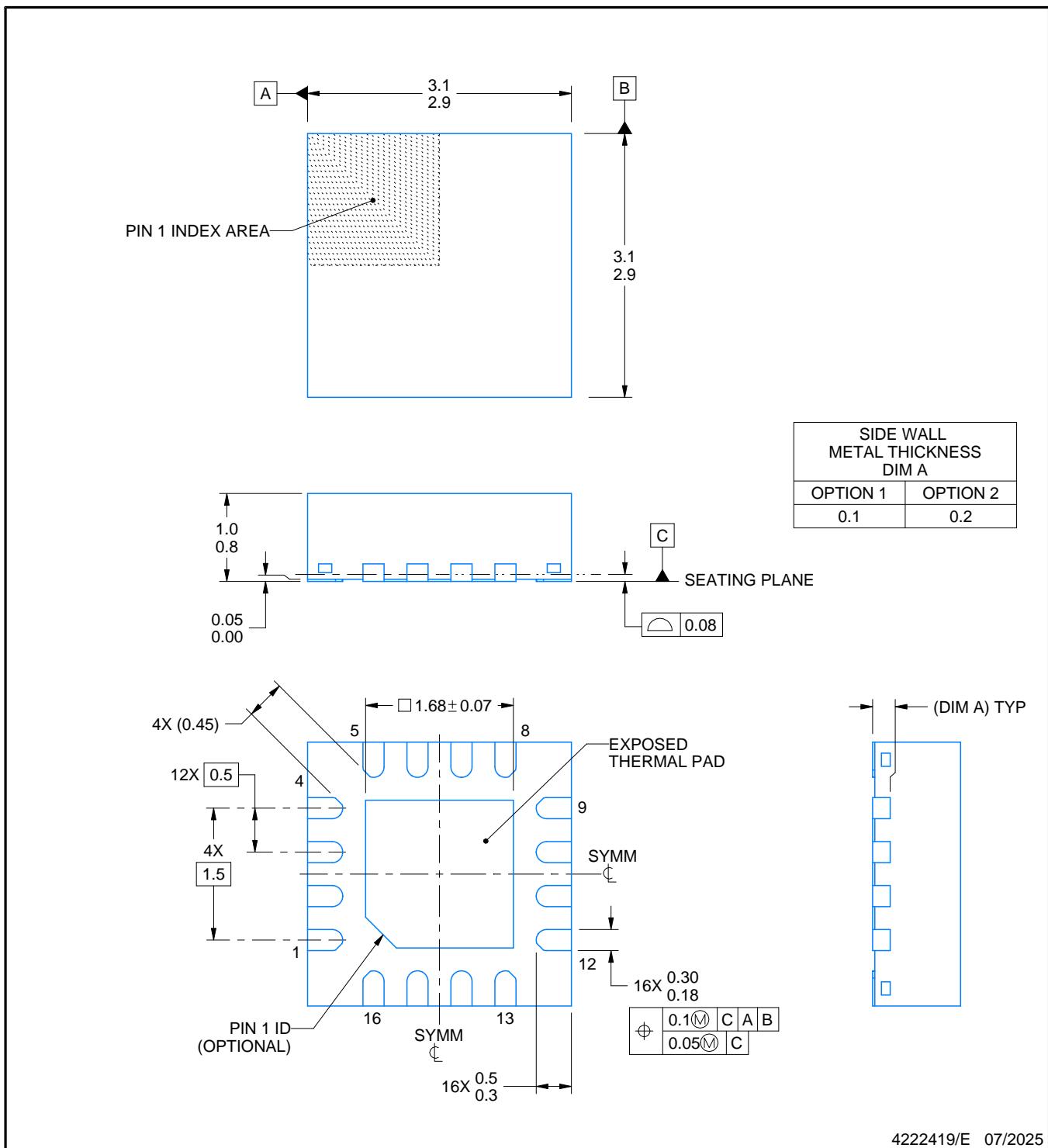
RGT0016C



# PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



## NOTES:

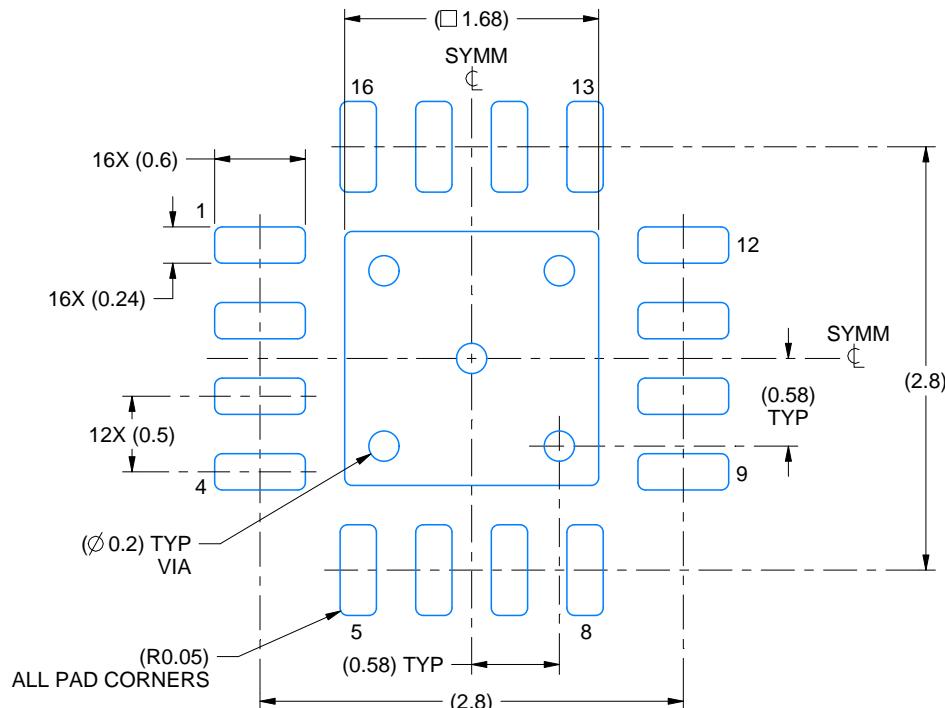
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

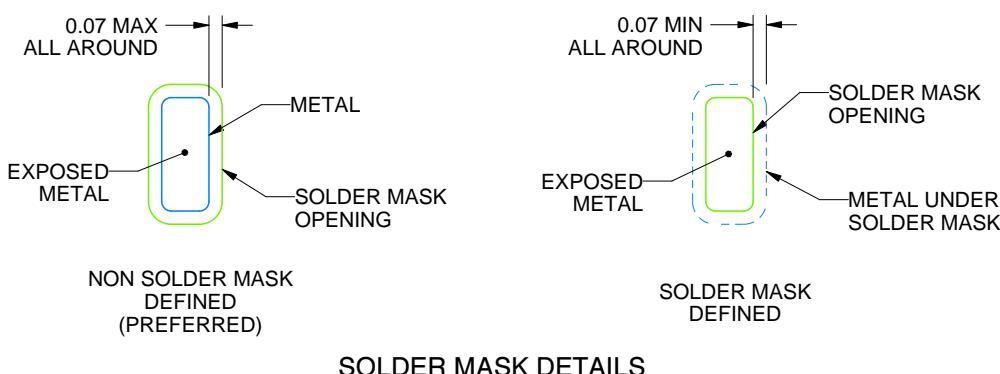
RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

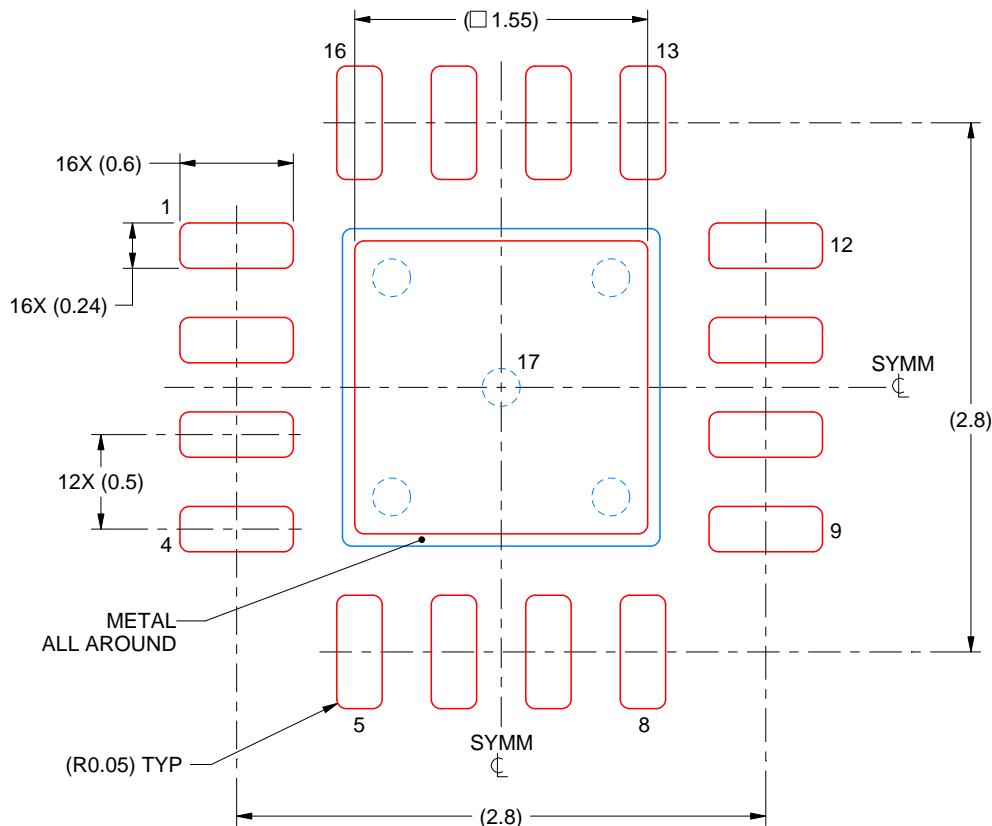
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:  
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月