

## RM48L952 16/32 ビット RISC フラッシュ・マイコン

### 1. RM48L952 16/32 ビット RISC フラッシュ・マイコン

#### 1.1 機能

- セーフティクリティカル・アプリケーションに適した高性能マイコン
  - － ロックステップで動作するデュアル CPU
  - － フラッシュおよび RAM インターフェイスの ECC
  - － CPU/オンチップ RAM 用ビルトイン・セルフテスト
  - － エラー・ピンを搭載したエラー・シグナリング・モジュール
  - － 電圧およびクロック・モニタリング
- ARM® Cortex™ - R4F 32 ビット RISC CPU
  - － 8 ステージ・パイプラインによる効率的な 1.66 DMIPS/MHz
  - － 単精度/倍精度の FPU
  - － 12 リージョンのメモリ・プロテクション・ユニット
  - － サード・パーティ・サポートのオープン・アーキテクチャ
- 動作条件
  - － 最大 220 MHz のシステム・クロック
  - － コア電源電圧 (VCC): 公称 1.2 V
  - － 入出力電源電圧 (VCCIO): 公称 3.3 V
- 内蔵メモリ
  - － ECC 付きの 3 MB プログラム・フラッシュ
  - － ECC 付きの 256 KB RAM
  - － EEPROM エミュレーション用 64 KB フラッシュ
- 16 ビット外部メモリ・インターフェイス
- 共通プラットフォーム・アーキテクチャ
  - － ファミリー間で一貫したメモリ・マップ
  - － リアルタイム割り込みタイマ (RTI) OS タイマ
  - － 96 チャンネル・ベクタ割り込みモジュール (VIM)
  - － 2 チャンネル巡回冗長検査 (CRC)
- ダイレクト・メモリ・アクセス (DMA) コントローラ
  - － 16 チャンネルおよび 32 コントロール・パケット
  - － コントロール・パケット RAM のパリティ保護
  - － 専用 MPU によって保護される DMA アクセス
- スリップ検出機能を内蔵した周波数変調フェーズ・ロック・ループ回路 (FMPPLL)
- 独立した非変調 PLL
- IEEE 1149.1 JTAG、バウンダリ・スキャンおよび ARM CoreSight コンポーネント
- JTAG セキュリティ・モジュール
- トレースおよびキャリブレーション機能
  - － 組み込みトレース・マクロセル (ETM-R4)
  - － Data Modification Module (DMM)
  - － RAM トレース・ポート (RTP)
  - － パラメータ・オーバーレイ・モジュール (POM)
- 複数の通信インターフェイス
  - － 10/100 Mbps イーサネット MAC (EMAC)
    - IEEE 802.3 準拠 (3.3 V 入出力のみ)
    - MII および MDIO のサポート
  - － USB
    - 2 ポート USB 仕様、リビジョン 2.0 準拠のホスト・コントローラ、USB リリース 1.0 の OHCI 仕様準拠
    - USB 仕様リビジョン 2.0 および 1.1 準拠の、フルスピード USB デバイス × 1
  - － CAN コントローラ (DCAN) × 3
    - パリティ保護付きのメールボックス × 64
    - CAN プロトコル、バージョン 2.0B への準拠
  - － I2C (Inter-Integrated Circuit)
  - － マルチバッファ・シリアル・ペリフェラル・インターフェイス (MibSPI) × 3
    - 128 ワード、それぞれにパリティ保護付き
  - － 標準シリアル・ペリフェラル・インターフェイス (SPI) × 2
  - － ローカル相互接続ネットワーク・インターフェイス (LIN) コントローラ
    - LIN プロトコル・バージョン 2.1 に準拠
  - － 標準シリアル通信インターフェイス (SCI)
- ハイエンド・タイマ・モジュール (N2HET) × 2
  - － N2HET1: 32 のプログラマブルなチャンネル
  - － N2HET2: 20 のプログラマブルなチャンネル
  - － パリティ保護付きの 160 ワードの命令 RAM
  - － それぞれにハードウェア・アングル・ジェネレータが付属
  - － N2HET (HTU) ごとに専用の転送ユニット
- 10/12 ビット・マルチバッファ ADC モジュール × 2
  - － ADC1: 24 チャンネル
  - － ADC2: 16 チャンネル
  - － 共有チャンネル × 16
  - － パリティ保護付きのリザルト・バッファ × 64
- パッケージ
  - － 144 ピン・クワッド・フラットバック (PGE) [緑]
  - － 337 ボール・グリッド・アレイ (ZWT) [緑]



テキサス・インスツルメンツ半導体製品の入手の可否、標準的な保証、およびクリティカルなアプリケーションでの使い方とその免責事項に関する重要な通知は本データシートの最後に記載しております。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。  
資料によっては正規英語版資料の更新に対応していないものがあります。  
日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご利用下さい。  
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。  
TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

SPNS177A 翻訳版  
最新の英語版資料  
<http://www.ti.com/lit/gpn/rm48l952>

## 1.2 アプリケーション

- 産業用セーフティ・アプリケーション
  - 産業オートメーション
  - セーフティ PLC (プログラマブル・ロジック・コントローラ)
  - 発電および配電
  - タービンおよび風車
  - エレベーターおよびエスカレーター
- 医療分野
  - 換気装置
  - 除細動器
  - 輸液ポンプおよびインスリン・ポンプ
  - 放射線治療
  - ロボット外科手術

## 1.3 説明

RM48L952 は、セーフティ・システム向けの高性能マイコン・ファミリです。このセーフティ・アーキテクチャには、ロックステップで動作するデュアル CPU、CPU およびメモリ用ビルトイン・セルフテスト (BIST) ロジック、フラッシュとデータ SRAM の両方に搭載された ECC、ペリフェラル・メモリのパリティ、ペリフェラル IO のループ・バック機能などの特徴があります。

RM48L952 は、ARM® Cortex™-R4F 浮動小数点 CPU を内蔵しています。これは、最大 220 MHz、最大 365 DMIPS で動作可能な構成を持ち、高効率の 1.66 DMIPS/MHz を実現します。このデバイスはリトルエンディアン[LE32]形式をサポートしています。

RM48L952 は、1 ビットの誤り訂正と 2 ビットの誤り検出機能を持つ、3 MB のフラッシュ・メモリおよび 256 KB のデータ RAM を内蔵しています。このデバイスのフラッシュ・メモリは、64 ビット幅のデータ・バス・インターフェイスを持ち電氣的に消去、プログラム可能な不揮発性のメモリが実装されています。このフラッシュは、すべての読み取り、プログラム、消去などの操作を 3.3 V 電源入力 (入出力電源と同じレベル) で実行します。パイプライン・モードでは、フラッシュは、最大 220 MHz のシステム・クロック周波数で動作します。この SRAM は、バイト単位、ハーフワード単位、ワード・モードでの単一サイクル読み取り/書き込みアクセスをサポートしています。

RM48L952 デバイスは、リアルタイム制御アプリケーションのためのペリフェラルを搭載しています。これには、最大 44 個の IO 端子を持つ 2 個の Next Generation High End Timer (N2HET) タイミング・コプロセッサ、最大 24 の入力をサポートする 12 ビット・アナログ/デジタル・コンバータも含まれます。

N2HET は、リアルタイム・アプリケーションに対応する洗練されたタイミング機能を搭載した先進のインテリジェント・タイマです。このタイマは、専用のタイマ・マイクロマシンや付属の入出力ポートを持ち、縮小した命令セットで、ソフトウェア制御されるようになっています。N2HET は、パルス幅変調された出力、キャプチャ/コンペア入力、汎用入出力で使うことができます。複数のセンサ情報や、複雑で正確な時間パルスを持つドライブ・アクチュエータが必要なアプリケーションに最適です。ハイエンド・タイマ転送ユニット (HET-TU) では、DMA タイプのトランザクションを実行して、N2HET データをメイン・メモリとの間で転送することができます。HET-TU には、メモリ・プロテクション・ユニット (MPU) が組み込まれています。

このデバイスは、2 個の 12 ビット分解能 MibADC を搭載しており、全部で 24 チャンネル、それぞれにパリティ保護された 64 ワードのバッファ RAM を備えています。MibADC の各チャンネルは、個別に変換できる他、ソフトウェアにより連続変換シーケンスごとにグループ化することもできます。16 のチャンネルは、2 個の MibADC で共有されます。3 つの独立したグループ分けがあります。それぞれのシーケンスは、トリガによる単一変換あるいは連続変換することができます。

このデバイスは、3 つの MibSPI、最大 2 つの SPI、1 つの LIN、1 つの SCI、3 つの DCAN、1 つの I<sup>2</sup>C、1 つのイーサネット、1 つの USB モジュールのように、複数の通信インターフェイスを搭載しています。SPI は、シフトレジスタ・タイプのデバイスとの高速な通信のための簡便なシリアル通信を提供します。LIN では、Local Interconnect Standard 2.0 をサポートし、標準の Non-Return-to-Zero (NRZ) 形式を使用した全二重の UART として使うことができます。DCAN では、CAN 2.0B プロトコル規格をサポートし、最大 1 メガビット/秒 (Mbps) の堅牢な通信速度で分散リアルタイム制御を効率的にサポートするシリアル・マルチマスタ通信プロトコルを使用します。DCAN は、信頼性の高いシリアル通信や多重配線が必要な、ノイズの多い厳しい環境 (たとえば自動車や工業分野など) で動作するアプリケーションに適しています。イーサネット・モジュールでは、MII および MDIO インターフェイスをサポートしています。USB モジュールは、2 ポート USB ホスト・コントローラと USB デバイス・コントローラを搭載しています。

I2C モジュールは、I2C シリアル・バスによる、マイコンと I2C 互換デバイス間のインターフェイスを搭載したマルチマスタ通信モジュールです。I2C では、100 Kbps と 400 Kbps の両方の速度をサポートしています。

周波数変調フェーズ・ロック・ループ(FMPLL)・クロック・モジュールは、内部利用目的で使用され、外部周波数基準を高い周波数に逡倍します。FMPLL では、7つのクロック・ソース入力の1つをグローバル・クロック・モジュール(GCM)に供給します。GCM モジュールでは、使用可能なクロック・ソースとデバイス・クロック・ドメイン間のマッピングを管理します。

このデバイスは、外部クロック・プリスケラ(ECP)モジュールも搭載しており、これをイネーブルにすると、連続外部クロック出力をECLKピン/ボールに出力します。ECLK 周波数は、ペリフェラル・インターフェイス・クロック(VCLK)をプログラムされた比率で分周されたものです。この低周波数出力は、デバイスの動作周波数のインジケータとして外部でモニタすることができます。

ダイレクト・メモリ・アクセス・コントローラ(DMA)は 16 のチャンネル、32 のコントロール・パケットを搭載しており、メモリはパリティ保護されています。DMA にはメモリ・プロテクション・ユニット(MPU)が組み込まれており、誤った転送からメモリを保護します。

エラー・シグナリング・モジュール(ESM)は、すべてのデバイス・エラーをモニタし、障害が検出されたときに割り込みまたは外部エラー・ピン/ボールのトリガを行うかどうか決定します。nERROR は、マイコンの障害条件のインジケータとして外部でモニタすることができます。

外部メモリ・インターフェイス(EMIF)では、非同期および同期メモリまたは他のスレーブ・デバイスにメモリ拡張を行います。

アプリケーション・コードのデバッグ機能を強化するために、いくつかのインターフェイスが実装されています。ビルトインの ARM Cortex-R4F CoreSight デバッグ機能に加え、外部トレース・マクロセル(ETM)でも、プログラム実行の命令トレースやデータ・トレースを行うことができます。計測の目的で、CPU または他のマスタによる RAM およびペリフェラルへのアクセスを高速トレースできるようにするため、RAMトレース・ポート・モジュール(RTP)が実装されています。Data Modification Module(DMM)には、外部データをデバイス・メモリに書き込む機能があります。RTP も DMM も、アプリケーション・コードのプログラム実行時間への影響は皆無か、たとえあっても最小レベルです。パラメータ・オーバーレイ・モジュール(POM)は、フラッシュ・アクセスを内部メモリや EMIF に経路変更できるため、フラッシュでのパラメータ更新の際に必要な再プログラム手順を回避することができます。

RM48L952 は、セーフティ機能や広範囲の通信および制御ペリフェラルを内蔵しているため、セーフティクリティカルの必要性がある高性能リアルタイム制御アプリケーションにとって理想的なソリューションを提供します。

## 1.4 機能ブロック図

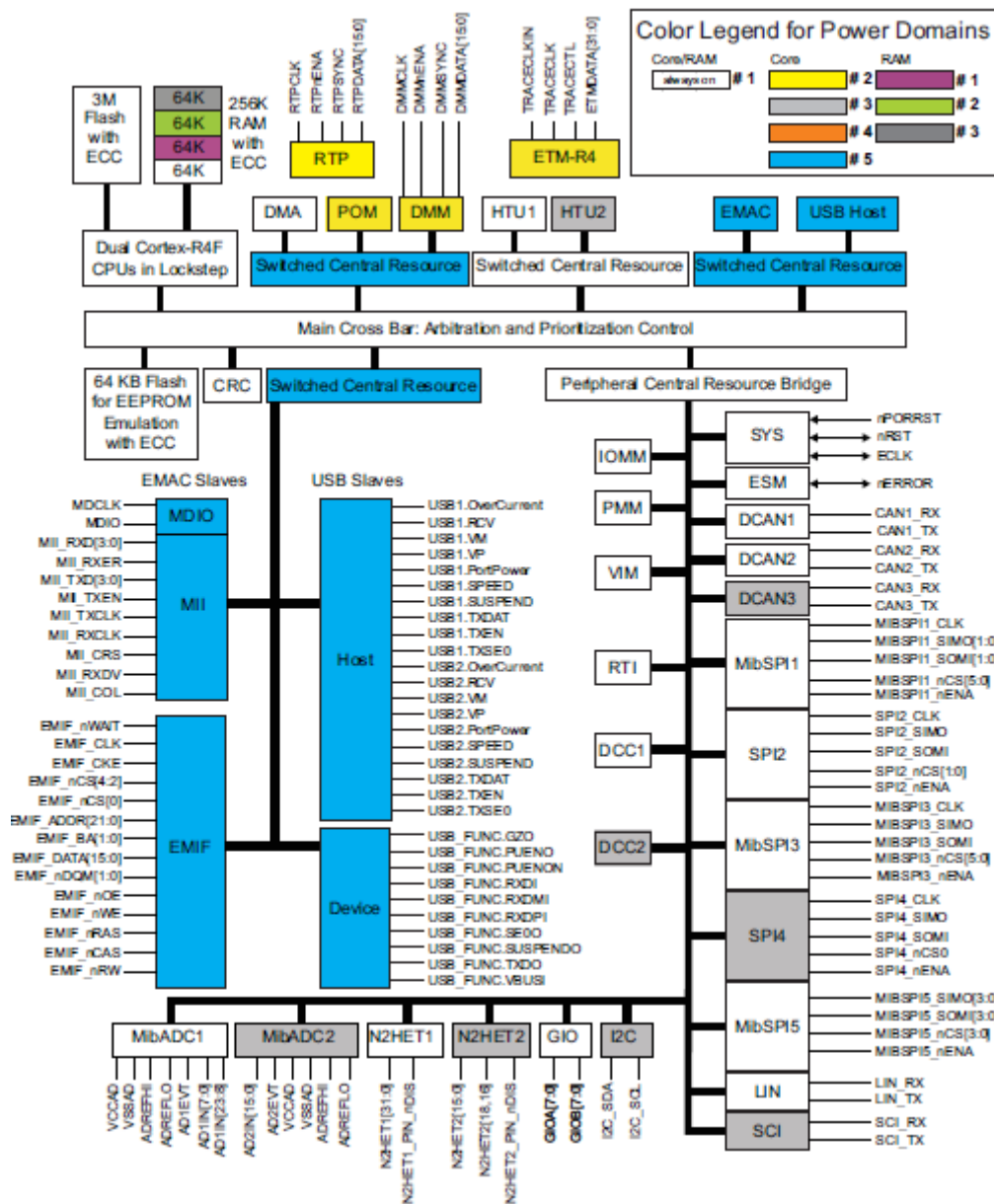


図 1-1 機能ブロック図

|                                                   |           |                                          |            |
|---------------------------------------------------|-----------|------------------------------------------|------------|
| <b>1. RM48L952 16/32 ビット RISC フラッシュ・マイコン.....</b> | <b>1</b>  | <b>5. ペリフェラルの情報および電気的特性 .....</b>        | <b>114</b> |
| 1.1 機能 .....                                      | 1         | 5.1 ペリフェラルの凡例.....                       | 114        |
| 1.2 アプリケーション .....                                | 2         | 5.2 マルチバッファ・12 ビット A/D コンバータ.....        | 115        |
| 1.3 説明 .....                                      | 3         | 5.3 汎用入出力.....                           | 123        |
| 1.4 機能ブロック図 .....                                 | 5         | 5.4 エンハンスド・ハイエンド・タイマ (N2HET) .....       | 124        |
| <b>2. デバイス・パッケージおよび端子機能 .....</b>                 | <b>7</b>  | 5.5 コントローラ・エリア・ネットワーク (DCAN) .....       | 129        |
| 2.1 PGE QFP パッケージ・ピンアウト (144 ピン) .....            | 7         | 5.6 ローカル相互接続ネットワーク・インターフェイス (LIN) .....  | 130        |
| 2.2 ZWT BGA パッケージ・ボールマップ (337 ボール・グリッド・アレイ) ..... | 8         | 5.7 シリアル通信 インターフェイス (SCI) .....          | 131        |
| 2.3 端子機能 .....                                    | 9         | 5.8 I2C (Inter-Integrated Circuit) ..... | 132        |
| <b>3. デバイス動作条件 .....</b>                          | <b>39</b> | 5.9 マルチバッファ/標準シリアル・ペリフェラル・インターフェイス ..... | 135        |
| 3.1 動作フリー・エア温度範囲での絶対最大定格 <sup>(1)</sup> .....     | 39        | 5.10 イーサネットメディア・アクセス・コントローラ .....        | 147        |
| 3.2 デバイス推奨動作条件 <sup>(1)</sup> .....               | 39        | 5.11 ユニバーサル・シリアル・バス・コントローラ .....         | 149        |
| 3.3 クロック・ドメインに対する、推奨動作条件でのスイッチング特性 .....          | 40        | <b>6. デバイスおよびドキュメンテーション・サポート .....</b>   | <b>150</b> |
| 3.4 必要なウェイト・ステート .....                            | 40        | 6.1 デバイスおよび開発サポート・ツールの命名体系.....          | 150        |
| 3.5 推奨動作条件での消費電力 .....                            | 41        | 6.2 注文用部品番号 .....                        | 150        |
| 3.6 推奨動作条件での入出力電気特性 <sup>(1)</sup> .....          | 42        | 6.3 デバイスの識別.....                         | 151        |
| 3.7 出力バッファ・ドライブ強度 .....                           | 43        | 6.4 改訂履歴 .....                           | 152        |
| 3.8 入力タイミング .....                                 | 44        | <b>7. メカニカル・データ .....</b>                | <b>153</b> |
| 3.9 出力タイミング .....                                 | 44        | 7.1 温度データ.....                           | 153        |
| 3.10 低 EMI 出力バッファ .....                           | 46        | 7.2 パッケージ情報 .....                        | 153        |
| <b>4. システム情報および電気的特性 .....</b>                    | <b>47</b> |                                          |            |
| 4.1 デバイスのパワー・ドメイン.....                            | 47        |                                          |            |
| 4.2 電圧モニタの特性.....                                 | 48        |                                          |            |
| 4.3 電源シーケンスおよびパワーオン・リセット .....                    | 49        |                                          |            |
| 4.4 ウォーム・リセット (nRST) .....                        | 51        |                                          |            |
| 4.5 ARM® Cortex-R4F™ CPU の情報.....                 | 52        |                                          |            |
| 4.6 クロック .....                                    | 56        |                                          |            |
| 4.7 クロック・モニタリング .....                             | 64        |                                          |            |
| 4.8 グリッチ・フィルタ .....                               | 67        |                                          |            |
| 4.9 デバイスのメモリ・マップ.....                             | 68        |                                          |            |
| 4.10 フラッシュ・メモリ.....                               | 75        |                                          |            |
| 4.11 密接合メモリ RAM インターフェイス・モジュール .....              | 78        |                                          |            |
| 4.12 ペリフェラル RAM へのアクセスに対するパリティ保護 .....            | 79        |                                          |            |
| 4.13 オンチップ SRAM の初期化およびテスト .....                  | 80        |                                          |            |
| 4.14 外部メモリ・インターフェイス (EMIF) .....                  | 83        |                                          |            |
| 4.15 ベクタ割り込みマネージャー .....                          | 91        |                                          |            |
| 4.16 DMA コントローラ .....                             | 94        |                                          |            |
| 4.17 リアルタイム割り込みモジュール .....                        | 96        |                                          |            |
| 4.18 エラー・シグナリング・モジュール .....                       | 98        |                                          |            |
| 4.19 リセット/アボート/エラー・ソース.....                       | 102       |                                          |            |
| 4.20 デジタル・ウィンドウ・ウォッチドッグ .....                     | 104       |                                          |            |
| 4.21 デバッグ・サブシステム .....                            | 105       |                                          |            |

## 2. デバイス・パッケージおよび端子機能

### 2.1 PGE QFP パッケージ・ピンアウト (144 ピン)

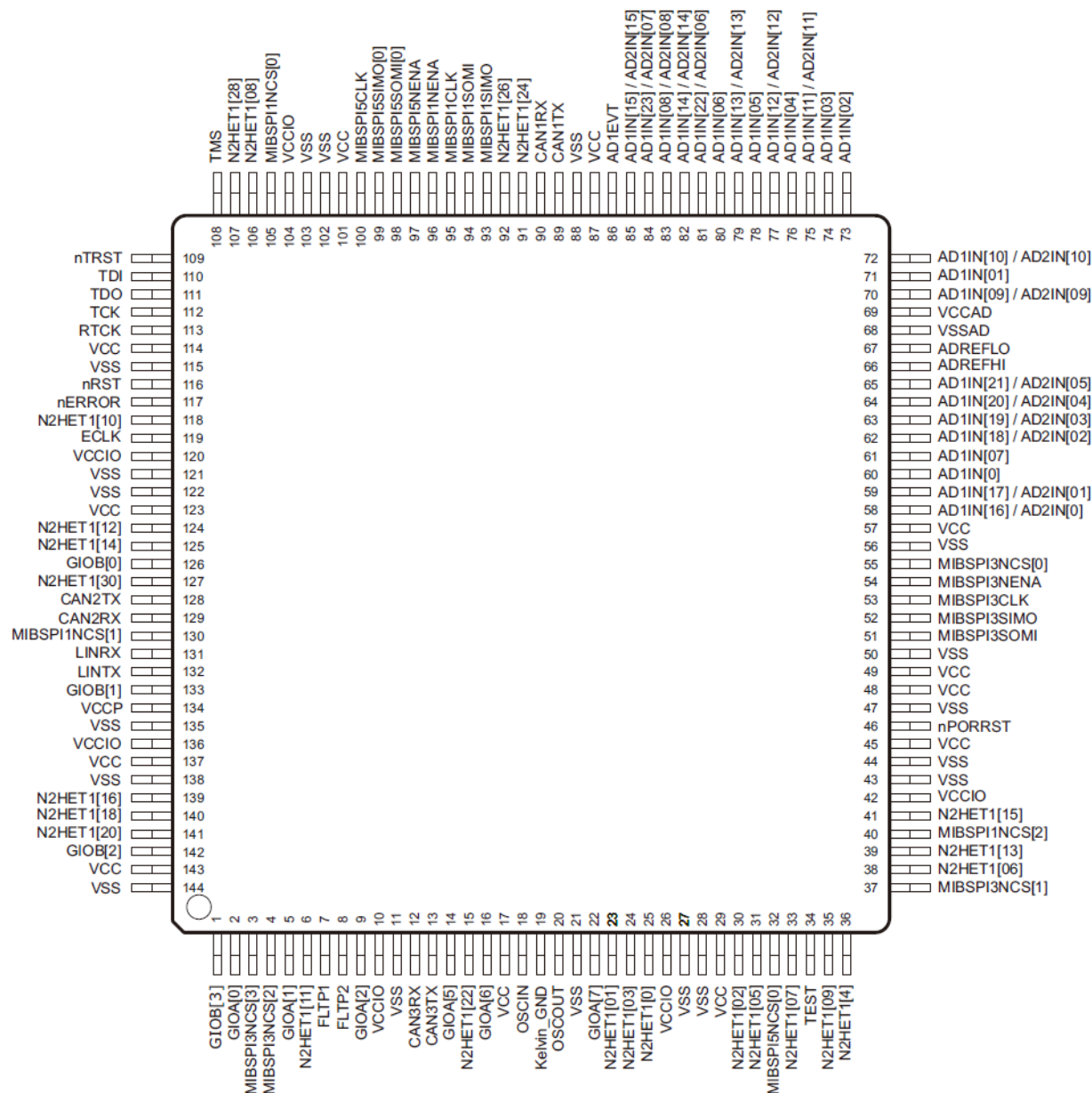


図 2-1 PGE QFP パッケージ・ピンアウト(144 ピン)

注: ピンには多重機能を持つものもあります。上の図ではデフォルト機能のみを示しています。

## 2.2 ZWT BGA パッケージ・ボールマップ (337 ボール・グリッド・アレイ)

|    | A           | B              | C              | D              | E               | F              | G               | H               | J               | K            | L            | M            | N            | P                     | R                     | T                     | U                     | V                    | W                     |    |
|----|-------------|----------------|----------------|----------------|-----------------|----------------|-----------------|-----------------|-----------------|--------------|--------------|--------------|--------------|-----------------------|-----------------------|-----------------------|-----------------------|----------------------|-----------------------|----|
| 19 | VSS         | VSS            | TMS            | N2HET1 [10]    | MIBSPI5 NCS[0]  | MIBSPI1 SIMO   | MIBSPI1 NENA    | MIBSPI5 CLK     | MIBSPI5 SIMO[0] | N2HET1 [28]  | DMM_ DATA[0] | CAN2RX       | AD1EVT       | AD1IN[15] / AD2IN[15] | AD1IN[22] / AD2IN[06] | AD1IN [06]            | AD1IN[11] / AD2IN[11] | VSSAD                | VSSAD                 | 19 |
| 18 | VSS         | TCK            | TDO            | nTRST          | N2HET1 [08]     | MIBSPI1 CLK    | MIBSPI1 SOMI    | MIBSPI5 NENA    | MIBSPI5 SOMI[0] | N2HET1 [0]   | DMM_ DATA[1] | CAN3TX       | NC           | AD1IN[08] / AD2IN[08] | AD1IN[14] / AD2IN[14] | AD1IN[13] / AD2IN[13] | AD1IN [04]            | AD1IN [02]           | VSSAD                 | 18 |
| 17 | TDI         | RST            | EMIF_ ADDR[21] | EMIF_ nWE      | MIBSPI5 SOMI[1] | DMM_ CLK       | MIBSPI5 SIMO[3] | MIBSPI5 SIMO[2] | N2HET1 [31]     | EMIF_ nCS[3] | EMIF_ nCS[2] | EMIF_ nCS[4] | EMIF_ nCS[0] | NC                    | AD1IN [05]            | AD1IN [03]            | AD1IN[10] / AD2IN[10] | AD1IN [01]           | AD1IN[09] / AD2IN[09] | 17 |
| 16 | RTCK        | NC             | EMIF_ ADDR[20] | EMIF_ BA[1]    | MIBSPI5 SIMO[1] | DMM_ NENA      | MIBSPI5 SOMI[3] | MIBSPI5 SOMI[2] | DMM_ SYNC       | NC           | NC           | NC           | NC           | NC                    | AD1IN[23] / AD2IN[07] | AD1IN[12] / AD2IN[12] | AD1IN[19] / AD2IN[03] | ADREFLO              | VSSAD                 | 16 |
| 15 | NC          | NC             | EMIF_ ADDR[19] | EMIF_ ADDR[18] | ETM DATA[06]    | ETM DATA[05]   | ETM DATA[04]    | ETM DATA[03]    | ETM DATA[02]    | ETM DATA[16] | ETM DATA[17] | ETM DATA[18] | ETM DATA[19] | NC                    | NC                    | AD1IN[21] / AD2IN[05] | AD1IN[20] / AD2IN[04] | ADREFH               | VCCAD                 | 15 |
| 14 | N2HET1 [26] | nERROR         | EMIF_ ADDR[17] | EMIF_ ADDR[16] | ETM DATA[07]    | VCCIO          | VCCIO           | VCCIO           | VCC             | VCC          | VCCIO        | VCCIO        | VCCIO        | VCCIO                 | NC                    | NC                    | AD1IN[18] / AD2IN[02] | AD1IN [07]           | AD1IN [0]             | 14 |
| 13 | N2HET1 [17] | N2HET1 [19]    | EMIF_ ADDR[15] | NC             | ETM DATA[12]    | VCCIO          |                 |                 |                 |              |              |              |              | VCCIO                 | ETM DATA[01]          | NC                    | AD1IN[17] / AD2IN[01] | AD1IN[16] / AD2IN[0] | NC                    | 13 |
| 12 | ECLK        | N2HET1 [04]    | EMIF_ ADDR[14] | NC             | ETM DATA[13]    | VCCIO          |                 |                 |                 |              |              |              |              | VCCIO                 | ETM DATA[0]           | MIBSPI5 NCS[3]        | NC                    | NC                   | NC                    | 12 |
| 11 | N2HET1 [14] | N2HET1 [30]    | EMIF_ ADDR[13] | NC             | ETM DATA[14]    | VCCIO          |                 |                 |                 |              |              |              |              | VCCIO                 | ETM TRACE CTL         | NC                    | NC                    | NC                   | NC                    | 11 |
| 10 | CAN1TX      | CAN1RX         | EMIF_ ADDR[12] | NC             | ETM DATA[15]    | VCC            |                 |                 |                 |              |              |              |              | VCC                   | ETM TRACE CLKOUT      | NC                    | NC                    | MIBSPI3 NCS[0]       | GIOB[3]               | 10 |
| 9  | N2HET1 [27] | NC             | EMIF_ ADDR[11] | NC             | ETM DATA[08]    | VCC            |                 |                 |                 |              |              |              |              | VCCIO                 | ETM TRACE CLKIN       | NC                    | NC                    | MIBSPI3 CLK          | MIBSPI3 NENA          | 9  |
| 8  | NC          | NC             | EMIF_ ADDR[10] | NC             | ETM DATA[09]    | VCCP           |                 |                 |                 |              |              |              |              | VCCIO                 | ETM DATA[31]          | NC                    | NC                    | MIBSPI3 SOMI         | MIBSPI3 SIMO          | 8  |
| 7  | LINRX       | LINTX          | EMIF_ ADDR[9]  | NC             | ETM DATA[10]    | VCCIO          |                 |                 |                 |              |              |              |              | VCCIO                 | ETM DATA[30]          | NC                    | NC                    | N2HET1 [09]          | nPORRST               | 7  |
| 6  | GIOA[4]     | MIBSPI5 NCS[1] | EMIF_ ADDR[8]  | NC             | ETM DATA[11]    | VCCIO          | VCCIO           | VCCIO           | VCCIO           | VCC          | VCC          | VCCIO        | VCCIO        | VCCIO                 | ETM DATA[29]          | NC                    | NC                    | N2HET1 [05]          | MIBSPI5 NCS[2]        | 6  |
| 5  | GIOA[0]     | GIOA[5]        | EMIF_ ADDR[7]  | EMIF_ ADDR[1]  | ETM DATA[20]    | ETM DATA[21]   | ETM DATA[22]    | FLTP2           | FLTP1           | ETM DATA[23] | ETM DATA[24] | ETM DATA[25] | ETM DATA[26] | ETM DATA[27]          | ETM DATA[28]          | NC                    | NC                    | MIBSPI3 NCS[1]       | N2HET1 [02]           | 5  |
| 4  | N2HET1 [16] | N2HET1 [12]    | EMIF_ ADDR[6]  | EMIF_ ADDR[0]  | NC              | NC             | NC              | N2HET1 [21]     | N2HET1 [23]     | NC           | NC           | NC           | NC           | NC                    | EMIF_ nCAS            | NC                    | NC                    | NC                   | NC                    | 4  |
| 3  | N2HET1 [29] | N2HET1 [22]    | MIBSPI3 NCS[3] | SPI2 NENA      | N2HET1 [11]     | MIBSPI1 NCS[1] | MIBSPI1 NCS[2]  | GIOA[6]         | MIBSPI1 NCS[3]  | EMIF_ CLK    | EMIF_ CKE    | NH2ET1 [25]  | SPI2 NCS[0]  | EMIF_ nWAIT           | EMIF_ nRAS            | NC                    | NC                    | NC                   | N2HET1 [06]           | 3  |
| 2  | VSS         | MIBSPI3 NCS[2] | GIOA[1]        | SPI2 SOMI      | SPI2 CLK        | GIOB[2]        | GIOB[5]         | CAN2TX          | GIOB[6]         | GIOB[1]      | KELVIN_ GND  | GIOB[0]      | N2HET1 [13]  | N2HET1 [20]           | MIBSPI1 NCS[0]        | NC                    | TEST                  | N2HET1 [01]          | VSS                   | 2  |
| 1  | VSS         | VSS            | GIOA[2]        | SPI2 SIMO      | GIOA[3]         | GIOB[7]        | GIOB[4]         | CAN2RX          | N2HET1 [18]     | OSGIN        | OSGOUT       | GIOA[7]      | N2HET1 [15]  | N2HET1 [24]           | NC                    | N2HET1 [07]           | N2HET1 [03]           | VSS                  | VSS                   | 1  |
|    | A           | B              | C              | D              | E               | F              | G               | H               | J               | K            | L            | M            | N            | P                     | R                     | T                     | U                     | V                    | W                     |    |

図 2-2 ZWT パッケージ・ピン配列、上面図

注: ボールには多重機能を持つものもあります。上の図では、ETM 信号と多重化された EMIF 信号を除き、デフォルト機能のみを示しています。

## 2.3 端子機能

2.3.1 および 2.3.2 では、外部信号名、対応するピン/ボール番号、ピン/ボール・タイプ（入力、出力、IO、電源、グランド）、ピン/ボールが内部プルアップ/プルダウンを持つかどうか、ピン/ボールが GIO として設定できるかどうか、ピン/ボールの機能の説明を識別します。最初ToListしている信号名は、その端子の基本機能を表します。太字の信号名に関する機能が説明されています。多重された機能を選択する方法については、『RM48x Technical Reference Manual (RM48x テクニカル・リファレンス・マニュアル)』(SPNU503)を参照してください。

### 注

nRST を除くすべての入出力信号は、nPORRST がローのときおよび nPORRST がハイになった直後は入力となります。すべての出力専用信号は、nPORRST がローの間は入力、nPORRST がハイになった直後に出力となります。nPORRST がローの間は、入力バッファはディスエーブルになり、出力バッファはトライステートになります。

### 2.3.1 PGE パッケージ

#### 2.3.1.1 マルチバッファ・アナログ/デジタル・コンバータ(MibADC)

表 2-1 PGE マルチバッファ・アナログ/デジタル・コンバータ(MibADC1、MibADC2)

| 端子                           |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                      |
|------------------------------|---------|-------|------------|--------------------|-------------------------|
| 信号名                          | 144 PGE |       |            |                    |                         |
| ADREFHI <sup>(1)</sup>       | 66      | 入力    | -          | -                  | ADC 上限基準電源              |
| ADREFLO <sup>(1)</sup>       | 67      | 入力    |            |                    | ADC 下限基準電源              |
| VCCAD <sup>(1)</sup>         | 69      | 電源    |            |                    | ADC 用動作電源               |
| VSSAD <sup>(1)</sup>         | 68      | グランド  |            |                    |                         |
| AD1EVT/MII_RX_ER             | 86      | 入力    | プルダウン      | プログラマブル、20 $\mu$ A | ADC1 イベント・トリガ入力、または GIO |
| MIBSPI3NCS[0]/AD2EVT/GIOB[2] | 55      | 入出力   | プルアップ      | プログラマブル、20 $\mu$ A | ADC2 イベント・トリガ入力、または GIO |
| AD1IN[0]                     | 60      | 入力    | -          | -                  | ADC1 アナログ入力             |
| AD1IN[1]                     | 71      |       |            |                    |                         |
| AD1IN[2]                     | 73      |       |            |                    |                         |
| AD1IN[3]                     | 74      |       |            |                    |                         |
| AD1IN[4]                     | 76      |       |            |                    |                         |
| AD1IN[5]                     | 78      |       |            |                    |                         |
| AD1IN[6]                     | 80      |       |            |                    |                         |
| AD1IN[7]                     | 61      |       |            |                    |                         |

(1) ADREFHI、ADREFLO、VCCAD、VSSAD 接続は、両方の ADC コアで共通です。

表 2-1 PGE マルチバッファ・アナログ/デジタル・コンバータ(MibADC1、MibADC2) (続き)

| 端子                    |         | 信号タイプ | デフォルトのプル<br>状態 | プルのタイプ | 説明                     |
|-----------------------|---------|-------|----------------|--------|------------------------|
| 信号名                   | 144 PGE |       |                |        |                        |
| AD1IN[8] / AD2IN[8]   | 83      |       |                |        | ADC1/ADC2 共有アナログ<br>入力 |
| AD1IN[9] / AD2IN[9]   | 70      |       |                |        |                        |
| AD1IN[10] / AD2IN[10] | 72      |       |                |        |                        |
| AD1IN[11] / AD2IN[11] | 75      |       |                |        |                        |
| AD1IN[12] / AD2IN[12] | 77      |       |                |        |                        |
| AD1IN[13] / AD2IN[13] | 79      |       |                |        |                        |
| AD1IN[14] / AD2IN[14] | 82      |       |                |        |                        |
| AD1IN[15] / AD2IN[15] | 85      |       |                |        |                        |
| AD1IN[16] / AD2IN[0]  | 58      |       |                |        |                        |
| AD1IN[17] / AD2IN[1]  | 59      |       |                |        |                        |
| AD1IN[18] / AD2IN[2]  | 62      |       |                |        |                        |
| AD1IN[19] / AD2IN[3]  | 63      |       |                |        |                        |
| AD1IN[20] / AD2IN[4]  | 64      |       |                |        |                        |
| AD1IN[21] / AD2IN[5]  | 65      |       |                |        |                        |
| AD1IN[22] / AD2IN[6]  | 81      |       |                |        |                        |
| AD1IN[23] / AD2IN[7]  | 84      |       |                |        |                        |

### 2.3.1.2 エンハンスド・ハイエンド・タイマ・モジュール(N2HET)

表 2-2 PGE エンハンスド・ハイエンド・タイマ・モジュール(N2HET)

| 端子                                                                      |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                                                                                     |
|-------------------------------------------------------------------------|------------|-------|----------------|--------------------|----------------------------------------------------------------------------------------|
| 信号名                                                                     | 144<br>PGE |       |                |                    |                                                                                        |
| N2HET1[0]/SPI4CLK                                                       | 25         | 入出力   | プルダウン          | プログラマブル、20 $\mu$ A | N2HET1、時間入力キャプチャまたは出力コンペア、または GPIO。<br>それぞれの端子には、プログラマブルな持続期間以下の入力パルスを無視する除去フィルタがあります。 |
| N2HET1[1]/SPI4NENA/USB2.TXEN/<br>USB_FUNC.PUENO/N2HET2[8]               | 23         |       |                |                    |                                                                                        |
| N2HET1[2]/SPI4SIMO                                                      | 30         |       |                |                    |                                                                                        |
| N2HET1[3]/SPI4NCS[0]/USB2.SPEED/<br>USB_FUNC.PUENON/N2HET2[10]          | 24         |       |                |                    |                                                                                        |
| N2HET1[4]                                                               | 36         |       |                |                    |                                                                                        |
| N2HET1[5]/SPI4SOMI/N2HET2[12]                                           | 31         |       |                |                    |                                                                                        |
| N2HET1[6]/SCIRX                                                         | 38         |       |                |                    |                                                                                        |
| N2HET1[7]/USB2.PortPower/USB_FUNC.GZO/<br>N2HET2[14]                    | 33         |       |                |                    |                                                                                        |
| N2HET1[8]/MIBSPI1SIMO[1]/MII_TXD[3]/<br>USB1.OverCurrent                | 106        |       |                |                    |                                                                                        |
| N2HET1[9]/N2HET2[16]/USB2.SUSPEND/<br>USB_FUNC.SUSPENDO                 | 35         |       |                |                    |                                                                                        |
| N2HET1[10]/MII_TX_CLK/USB1.TXEN<br>/MII_TX_AVCLK4                       | 118        |       |                |                    |                                                                                        |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/<br>USB2.OverCurrent/USB_FUNC.VBUSI | 6          |       |                |                    |                                                                                        |
| N2HET1[12]/MII_CRS                                                      | 124        |       |                |                    |                                                                                        |
| N2HET1[13]/SCITX                                                        | 39         |       |                |                    |                                                                                        |
| N2HET1[14]/USB1.TXSE0                                                   | 125        |       |                |                    |                                                                                        |
| N2HET1[15]/MIBSPI1NCS[4]                                                | 41         |       |                |                    |                                                                                        |
| N2HET1[16]                                                              | 139        |       |                |                    |                                                                                        |
| MIBSPI1NCS[1]/N2HET1[17]/MII_COL/<br>USB1.SUSPEND                       | 130        |       |                |                    |                                                                                        |
| N2HET1[18]                                                              | 140        |       |                |                    |                                                                                        |
| MIBSPI1NCS[2]/N2HET1[19]/MDIO                                           | 40         |       |                |                    |                                                                                        |
| N2HET1[20]                                                              | 141        |       |                |                    |                                                                                        |
| N2HET1[22]/USB2.TXSE0/USB_FUNC.SE0O                                     | 15         |       |                |                    |                                                                                        |
| MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/<br>USB1.VP                           | 96         |       |                |                    |                                                                                        |
| N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]                                     | 91         |       |                |                    |                                                                                        |
| MIBSPI3NCS[1]/N2HET1[25]/MDCLK                                          | 37         |       |                |                    |                                                                                        |
| N2HET1[26]/MII_RXD[1]                                                   | 92         |       |                |                    |                                                                                        |
| MIBSPI3NCS[2]/I2C_SDA/N2HET1[27]                                        | 4          |       |                |                    |                                                                                        |
| N2HET1[28]/MII_RX_CLK/MII_RX_AVCLK4                                     | 107        |       |                |                    |                                                                                        |
| MIBSPI3NCS[3]/I2C_SCL/N2HET1[29]                                        | 3          |       |                |                    |                                                                                        |
| N2HET1[30]/MII_RX_DV/USB1.SPEED                                         | 127        |       |                |                    |                                                                                        |
| MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]                                    | 54         |       |                |                    |                                                                                        |

表 2-2 PGE エンハンスド・ハイエンド・タイマ・モジュール(N2HET) (続き)

| 端子                                                                  |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                                                                                   |
|---------------------------------------------------------------------|---------|-------|------------|--------------------|--------------------------------------------------------------------------------------|
| 信号名                                                                 | 144 PGE |       |            |                    |                                                                                      |
| GIOA[2]/USB2.TXDAT/USB_FUNC.TXDO/N2HET2[0]                          | 9       | 入出力   | プルダウン      | プログラマブル、20 $\mu$ A | N2HET2 時間入力キャプチャまたは出力コンペア、またはGIO。<br>それぞれの端子には、プログラマブルな持続期間以下の入力パルスを無視する除去フィルタがあります。 |
| GIOA[6]/N2HET2[4]                                                   | 16      |       |            |                    |                                                                                      |
| GIOA[7]/N2HET2[6]                                                   | 22      |       |            |                    |                                                                                      |
| N2HET1[1]/SPI4NENA/USB2.TXEN/USB_FUNC.PUENO/N2HET2[8]               | 23      |       |            |                    |                                                                                      |
| N2HET1[3]/SPI4NCS[0]/USB2.SPEED/USB_FUNC.PUENON/N2HET2[10]          | 24      |       |            |                    |                                                                                      |
| N2HET1[5]/SPI4SOMI/N2HET2[12]                                       | 31      |       |            |                    |                                                                                      |
| N2HET1[7]/USB2.PortPower/USB_FUNC.GZO/N2HET2[14]                    | 33      |       |            |                    |                                                                                      |
| N2HET1[9]/N2HET2[16]/USB2.SUSPEND/USB_FUNC.SUSPENDO                 | 35      |       |            |                    |                                                                                      |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/USB2.OverCurrent/USB_FUNC.VBUSI | 6       |       |            |                    |                                                                                      |

## 2.3.1.3 汎用入出力(GIO)

表 2-3 PGE 汎用入出力(GIO)

| 端子                |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                                                                |
|-------------------|---------|-------|------------|--------------------|-------------------------------------------------------------------|
| 信号名               | 144 PGE |       |            |                    |                                                                   |
| GIOA[0]           | 2       | 入出力   | プルダウン      | プログラマブル、20 $\mu$ A | 汎用入出力。<br>すべてのGIO端子は、立ち上がりエッジ/立ち下がりエッジ/両方のエッジでCPUに対する割り込みを生成できます。 |
| GIOA[1]           | 5       |       |            |                    |                                                                   |
| GIOA[2]/N2HET2[0] | 9       |       |            |                    |                                                                   |
| GIOA[5]/EXTCLKIN  | 14      |       |            |                    |                                                                   |
| GIOA[6]/N2HET2[4] | 16      |       |            |                    |                                                                   |
| GIOA[7]/N2HET2[6] | 22      |       |            |                    |                                                                   |
| GIOB[0]           | 126     |       |            |                    |                                                                   |
| GIOB[1]           | 133     |       |            |                    |                                                                   |
| GIOB[2]           | 142     |       |            |                    |                                                                   |
| GIOB[3]           | 1       |       |            |                    |                                                                   |

## 2.3.1.4 コントローラ・エリア・ネットワーク・コントローラ(DCAN)

表 2-4 PGE コントローラ・エリア・ネットワーク・コントローラ(DCAN)

| 端子     |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明              |
|--------|---------|-------|------------|--------------------|-----------------|
| 信号名    | 144 PGE |       |            |                    |                 |
| CAN1RX | 90      | 入出力   | プルアップ      | プログラマブル、20 $\mu$ A | CAN1 受信、または GIO |
| CAN1TX | 89      |       |            |                    | CAN1 送信、または GIO |
| CAN2RX | 129     |       |            |                    | CAN2 受信、または GIO |
| CAN2TX | 128     |       |            |                    | CAN2 送信、または GIO |
| CAN3RX | 12      |       |            |                    | CAN3 受信、または GIO |
| CAN3TX | 13      |       |            |                    | CAN3 送信、または GIO |

### 2.3.1.5 ローカル相互接続ネットワーク・インターフェイス・モジュール (LIN)

表 2-5 PGE ローカル相互接続ネットワーク・インターフェイス・モジュール (LIN)

| 端子    |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明             |
|-------|------------|-------|----------------|--------------------|----------------|
| 信号名   | 144<br>PGE |       |                |                    |                |
| LINRX | 131        | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | LIN 受信、または GIO |
| LINTX | 132        |       |                |                    | LIN 送信、または GIO |

### 2.3.1.6 標準シリアル通信インターフェイス (SCI)

表 2-6 PGE 標準シリアル通信インターフェイス (SCI)

| 端子                           |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明             |
|------------------------------|------------|-------|----------------|--------------------|----------------|
| 信号名                          | 144<br>PGE |       |                |                    |                |
| N2HET1[6]/SCI <sub>IRX</sub> | 38         | 入出力   | プルダウン          | プログラマブル、20 $\mu$ A | SCI 受信、または GIO |
| N2HET1[13]/SCI <sub>TX</sub> | 39         |       |                |                    | SCI 送信、または GIO |

### 2.3.1.7 Inter-Integrated Circuit インターフェイス・モジュール (I2C)

表 2-7 PGE I2C (Inter-Integrated Circuit) インターフェイス・モジュール (I2C)

| 端子                                            |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                    |
|-----------------------------------------------|------------|-------|----------------|--------------------|-----------------------|
| 信号名                                           | 144<br>PGE |       |                |                    |                       |
| MIBSPI3NCS[2]/I2C_ <sub>SDA</sub> /N2HET1[27] | 4          | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | I2C シリアル・データ、または GIO  |
| MIBSPI3NCS[3]/I2C_ <sub>SCL</sub> /N2HET1[29] | 3          |       |                |                    | I2C シリアル・クロック、または GIO |

### 2.3.1.8 標準シリアル・ペリフェラル・インターフェイス (SPI)

表 2-8 PGE 標準シリアル・ペリフェラル・インターフェイス (SPI)

| 端子                                                                          |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                        |
|-----------------------------------------------------------------------------|------------|-------|----------------|--------------------|---------------------------|
| 信号名                                                                         | 144<br>PGE |       |                |                    |                           |
| N2HET1[0]/SPI4 <sub>CLK</sub>                                               | 25         | 入出力   | プルダウン          | プログラマブル、20 $\mu$ A | SPI4 クロック、または GIO         |
| N2HET1[3]/SPI4 <sub>NCS</sub> [0]/USB2.SPEED/<br>USB_FUNC.PUENON/N2HET2[10] | 24         |       |                |                    | SPI4 チップ・セレクト、または GIO     |
| N2HET1[1]/SPI4 <sub>NENA</sub> /USB2.TXEN/<br>USB_FUNC.PUENO/N2HET2[8]      | 23         |       |                |                    | SPI4 イネーブル、または GIO        |
| N2HET1[2]/SPI4 <sub>SIMO</sub>                                              | 30         |       |                |                    | SPI4 スレーブ入力、マスタ出力、または GIO |
| N2HET1[5]/SPI4 <sub>SOMI</sub> /N2HET2[12]                                  | 31         |       |                |                    | SPI4 スレーブ出力、マスタ入力、または GIO |

## 2.3.1.9 マルチバッファ・シリアル・ペリフェラル・インターフェイス・モジュール(MibSPI)

表 2-9 PGE マルチバッファ・シリアル・ペリフェラル・インターフェイス・モジュール(MibSPI)

| 端子                                                                  |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                           |
|---------------------------------------------------------------------|---------|-------|------------|--------------------|------------------------------|
| 信号名                                                                 | 144 PGE |       |            |                    |                              |
| MIBSPI1CLK                                                          | 95      | 入出力   | プルアップ      | プログラマブル、20 $\mu$ A | MibSPI1 クロック、または GIO         |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/USB1.RCV                    | 105     |       |            |                    | MibSPI1 チップ・セレクト、または GIO     |
| MIBSPI1NCS[1]/N2HET1[17]/MII_COL/USB1.SUSPEND                       | 130     |       |            |                    |                              |
| MIBSPI1NCS[2]/N2HET1[19]/MDIO                                       | 40      |       |            |                    |                              |
| N2HET1[15]/MIBSPI1NCS[4]                                            | 41      |       | プルダウン      | プログラマブル、20 $\mu$ A | MibSPI1 チップ・セレクト、または GIO     |
| N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]                                 | 91      |       |            |                    |                              |
| MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/USB1.VP                           | 96      |       | プルアップ      | プログラマブル、20 $\mu$ A | MibSPI1 イネーブル、または GIO        |
| MIBSPI1SIMO                                                         | 93      |       |            |                    | MibSPI1 スレーブ入力、マスタ出力、または GIO |
| N2HET1[8]/MIBSPI1SIMO[1]/MII_TXD[3]/USB1.OverCurrent                | 106     |       | プルダウン      | プログラマブル、20 $\mu$ A | MibSPI1 スレーブ入力、マスタ出力、または GIO |
| MIBSPI1SOMI                                                         | 94      |       | プルアップ      | プログラマブル、20 $\mu$ A | MibSPI1 スレーブ出力、マスタ入力、または GIO |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/USB1.RCV                    | 105     |       |            |                    |                              |
| MIBSPI3CLK                                                          | 53      | 入出力   | プルアップ      | プログラマブル、20 $\mu$ A | MibSPI3 クロック、または GIO         |
| MIBSPI3NCS[0]/AD2EVT/GIOB[2]                                        | 55      |       |            |                    | MibSPI3 チップ・セレクト、または GIO     |
| MIBSPI3NCS[1]/N2HET1[25]/MDCLK                                      | 37      |       |            |                    |                              |
| MIBSPI3NCS[2]/I2C_SDA/N2HET1[27]                                    | 4       |       |            |                    |                              |
| MIBSPI3NCS[3]/I2C_SCL/N2HET1[29]                                    | 3       |       |            |                    |                              |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/USB2.OverCurrent/USB_FUNC.VBUSI | 6       |       | プルアップ      | プログラマブル、20 $\mu$ A | MibSPI3 チップ・セレクト、または GIO     |
| MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]                                | 54      |       |            |                    | MibSPI3 チップ・セレクト、または GIO     |
| MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]                                | 54      |       | プルアップ      | プログラマブル、20 $\mu$ A | MibSPI3 イネーブル、または GIO        |
| MIBSPI3SIMO                                                         | 52      |       |            |                    | MibSPI3 スレーブ入力、マスタ出力、または GIO |
| MIBSPI3SOMI                                                         | 51      |       |            |                    | MibSPI3 スレーブ出力、マスタ入力、または GIO |
| MIBSPI5CLK/MII_TXEN                                                 | 100     | 入出力   | プルアップ      | プログラマブル、20 $\mu$ A | MibSPI5 クロック、または GIO         |
| MIBSPI5NCS[0]                                                       | 32      |       |            |                    | MibSPI5 チップ・セレクト、または GIO     |
| MIBSPI5NENA/MII_RXD[3]/USB1.VM                                      | 97      |       |            |                    | MibSPI5 イネーブル、または GIO        |
| MIBSPI5SIMO[0]/MII_TXD[1]                                           | 99      |       |            |                    | MibSPI5 スレーブ入力、マスタ出力、または GIO |
| MIBSPI5SOMI[0]/MII_TXD[0]                                           | 98      |       |            |                    | MibSPI5 スレーブ出力、マスタ入力、または GIO |

### 2.3.1.10 イーサネット・コントローラ

表 2-10 PGE イーサネット・コントローラ:MDIO インターフェイス

| 端子                             |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明              |
|--------------------------------|------------|-------|----------------|--------------------|-----------------|
| 信号名                            | 144<br>PGE |       |                |                    |                 |
| MIBSPI3NCS[1]/N2HET1[25]/MDCLK | 37         | 出力    | プルアップ          | プログラマブル、20 $\mu$ A | I2C シリアル・クロック   |
| MIBSPI1NCS[2]/N2HET1[19]/MDIO  | 40         | 入出力   | プルアップ          | 固定、20 $\mu$ A      | I2C シリアル・データ入出力 |

表 2-11 PGE イーサネット・コントローラ:MII (Media Independent Interface)

| 端子                                                               |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ   | 説明               |
|------------------------------------------------------------------|------------|-------|----------------|----------|------------------|
| 信号名                                                              | 144<br>PGE |       |                |          |                  |
| MIBSPI1NCS[1]/N2HET1[17]/ <b>MII_COL/</b><br>USB1.SUSPEND        | 130        | 入力    | プルアップ          | -        | 衝突検出             |
| N2HET1[12]/ <b>MII_CRS</b>                                       | 124        |       | プルダウン          | 固定、20 μA | キャリア検知および受信データ有効 |
| N2HET1[28]/ <b>MII_RX_CLK/MII_RX_AVCLK4</b>                      | 107        | 入出力   | プルダウン          | -        | MII 出力受信クロック     |
| N2HET1[30]/ <b>MII_RX_DV/</b> USB1.SPEED                         | 127        | 入力    | プルダウン          | 固定、20 μA | 受信データ有効          |
| AD1EVT/ <b>MII_RX_ER</b>                                         | 86         |       |                |          | 受信エラー            |
| N2HET1[28]/ <b>MII_RX_CLK/</b> MII_RX_AVCLK4                     | 107        | 入出力   | プルダウン          | 固定、20 μA | 受信クロック           |
| N2HET1[24]/MIBSPI1NCS[5]/ <b>MII_RXD[0]</b>                      | 91         | 入力    |                |          | 受信データ            |
| N2HET1[26]/ <b>MII_RXD[1]</b>                                    | 92         |       | プルアップ          | 固定、20 μA |                  |
| MIBSPI1NENA/N2HET1[23]/ <b>MII_RXD[2]/</b> USB1.VP               | 96         | 入出力   |                |          |                  |
| MIBSPI5NENA/ <b>MII_RXD[3]/</b> USB1.VM                          | 97         |       |                |          |                  |
| N2HET1[10]/MII_TX_CLK/USB1.TXEN/<br><b>MII_TX_AVCLK4</b>         | 118        | 入出力   | プルダウン          | -        | MII 出力送信クロック     |
| N2HET1[10]/ <b>MII_TX_CLK/</b> USB1.TXEN/<br>MII_TX_AVCLK4       | 118        |       |                | -        | 送信クロック           |
| MIBSPI5SOMI[0]/ <b>MII_TXD[0]</b>                                | 98         | 出力    | プルアップ          | -        | 送信データ            |
| MIBSPI5SIMO[0]/ <b>MII_TXD[1]</b>                                | 99         |       | プルダウン          | -        |                  |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/ <b>MII_TXD[2]/</b><br>USB1.RCV     | 105        |       |                |          |                  |
| N2HET1[8]/MIBSPI1SIMO[1]/ <b>MII_TXD[3]/</b><br>USB1.OverCurrent | 106        |       |                |          |                  |
| MIBSPI5CLK/ <b>MII_TXEN</b>                                      | 100        |       | プルアップ          | -        | 送信イネーブル          |

## 2.3.1.11 USB ホスト・ポート・コントローラ・インターフェイス

表 2-12 PGE USB ホスト・ポート・コントローラ・インターフェイス(USB1、USB2)

| 端子                                                                              |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ        | 説明                                            |
|---------------------------------------------------------------------------------|------------|-------|----------------|---------------|-----------------------------------------------|
| 信号名                                                                             | 144<br>PGE |       |                |               |                                               |
| N2HET1[8]/MIBSPI1SIMO[1]/MII_TXD[3]/<br><b>USB1.OverCurrent</b>                 | 106        | 入力    | プルダウン          | 固定、20 $\mu$ A | USB 電源スイッチからの過電<br>流通知                        |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/<br><b>USB1.RCV</b>                     | 105        |       | プルアップ          | 固定、20 $\mu$ A | USB ポート・トランシーバから<br>の受信データ                    |
| MIBSPI5NENA/MII_RXD[3]/ <b>USB1.VM</b>                                          | 97         |       |                |               | USB ポート・トランシーバから<br>の NRZI エンコーディング<br>D マイナス |
| MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/<br><b>USB1.VP</b>                            | 96         |       |                |               | USB ポート・トランシーバから<br>の NRZI エンコーディング<br>D プラス  |
| GIOB[1]/ <b>USB1.PortPower</b>                                                  | 133        | 出力    | プルダウン          | -             |                                               |
| N2HET1[30]/MII_RX_DV/ <b>USB1.SPEED</b>                                         | 127        |       |                |               | 送信速度通知                                        |
| MIBSPI1NCS[1]/N2HET1[17]/MII_COL/<br><b>USB1.SUSPEND</b>                        | 130        |       | プルアップ          | -             |                                               |
| GIOB[0]/ <b>USB1.TXDAT</b>                                                      | 126        |       | プルダウン          | -             |                                               |
| N2HET1[10]/MII_TX_CLK/ <b>USB1.TXEN</b> /<br>MII_TX_AVCLK4                      | 118        |       |                |               | ポート・トランシーバへの送信<br>イネーブル                       |
| N2HET1[14]/ <b>USB1.TXSE0</b>                                                   | 125        |       |                |               | ポート・トランシーバへの<br>シングルエンド・ゼロ                    |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/<br><b>USB2.OverCurrent</b> /USB_FUNC.VBUSI | 6          | 入力    | プルダウン          | 固定、20 $\mu$ A |                                               |
| GIOB[3]/ <b>USB2.RCV</b> /USB_FUNC.RXDI                                         | 1          |       | プルダウン          | 固定、20 $\mu$ A |                                               |
| GIOA[1]/ <b>USB2.VM</b> /USB_FUNC.RXDMI                                         | 5          |       |                |               | USB ポート・トランシーバから<br>の NRZI エンコーディング<br>D マイナス |
| GIOA[0]/ <b>USB2.VP</b> /USB_FUNC.RXDPI                                         | 2          |       |                |               | USB ポート・トランシーバから<br>の NRZI エンコーディング<br>D プラス  |
| N2HET1[7]/ <b>USB2.PortPower</b> /USB_FUNC.GZO/<br>N2HET2[14]                   | 33         | 出力    | プルダウン          | -             |                                               |
| N2HET1[3]/SPI4NCS[0]/ <b>USB2.SPEED</b> /<br>USB_FUNC.PUENON/N2HET2[10]         | 24         |       |                |               | 送信速度通知                                        |
| N2HET1[9]/N2HET2[16]/ <b>USB2.SUSPEND</b> /<br>USB_FUNC.SUSPENDO                | 35         |       |                |               | ポート・サスペンド通知                                   |
| GIOA[2]/ <b>USB2.TXDAT</b> /USB_FUNC.TXDO/N2HET<br>2[0]                         | 9          |       |                |               | ポート・トランシーバへの<br>NRZI エンコーディング<br>D プラス        |
| N2HET1[1]/SPI4NENA/ <b>USB2.TXEN</b> /<br>USB_FUNC.PUENO/N2HET2[8]              | 23         |       |                |               | ポート・トランシーバへの送信<br>イネーブル                       |
| N2HET1[22]/ <b>USB2.TXSE0</b> /USB_FUNC.SE0O                                    | 15         |       |                |               | ポート・トランシーバへのシン<br>グルエンド・ゼロ                    |

**表 2-13 PGE USB デバイス・ポート・コントローラ・インターフェイス(USB\_FUNC)**

| 端子                                                                              |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ        | 説明                                            |
|---------------------------------------------------------------------------------|---------|-------|------------|---------------|-----------------------------------------------|
| 信号名                                                                             | 144 PGE |       |            |               |                                               |
| N2HET1[7]/USB2.PortPower/ <b>USB_FUNC.GZO</b> /<br>N2HET2[14]                   | 33      | 出力    | プルダウン      | -             | ブルアップ・イネーブル、ソフトウェアプログラム可能な USB デバイスの接続/切断の許可。 |
| N2HET1[1]/SPI4NENA/USB2.TXEN/<br><b>USB_FUNC.PUENO</b> /N2HET2[8]               | 23      |       |            |               | PUENO 反転                                      |
| N2HET1[3]/SPI4NCS[0]/USB2.SPEED/<br><b>USB_FUNC.PUENON</b> /N2HET2[10]          | 24      |       |            |               |                                               |
| GIOB[3]/USB2.RCV/ <b>USB_FUNC.RXDI</b>                                          | 1       | 入力    | プルダウン      | 固定、20 $\mu$ A | USB デバイス・シングルエンド・データ入力                        |
| GIOA[1]/USB2.VM/ <b>USB_FUNC.RXDMI</b>                                          | 5       |       |            |               | USB デバイス論理値 D マイナス                            |
| GIOA[0]/USB2.VP/ <b>USB_FUNC.RXDPI</b>                                          | 2       |       |            |               | USB デバイス論理値 D プラス                             |
| N2HET1[22]/USB2.TXSE0/ <b>USB_FUNC.SE00</b>                                     | 15      | 出力    | プルダウン      | -             | USB デバイス・シングルエンド・ゼロ                           |
| N2HET1[9]/N2HET2[16]/USB2.SUSPEND/<br><b>USB_FUNC.SUSPEND0</b>                  | 35      |       |            |               | USB デバイス・サスペンド出力                              |
| GIOA[2]/USB2.TXDAT/ <b>USB_FUNC.TXDO</b> /N2HET2[0]                             | 9       |       |            |               | USB デバイス送信データ                                 |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/<br>USB2.OverCurrent/ <b>USB_FUNC.VBUSI</b> | 6       | 入力    | プルダウン      | 固定、20 $\mu$ A | USB デバイス電源接続                                  |

## 2.3.1.12 システム・モジュール・インターフェイス

表 2-14 PGE システム・モジュール・インターフェイス

| 端子      |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ      | 説明                                                                                                                                                                                                        |
|---------|---------|-------|------------|-------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 信号名     | 144 PGE |       |            |             |                                                                                                                                                                                                           |
| nPORRST | 46      | 入力    | プルダウン      | 100 $\mu$ A | パワーオン・リセット、コールド・リセット。外部電源モニタ回路は、マイコンへの電源が指定範囲外に出たときに、nPORRST をローにドライブしなければなりません。この端子にはグリッチ・フィルタがあります。4.8 節を参照してください。                                                                                      |
| nRST    | 116     | 入出力   | プルアップ      | 100 $\mu$ A | システム・リセット、ウォーム・リセット、双方向。内部回路は、nRST をローにドライブすることによってリセット条件を示します。<br>外部回路は、nRST をローにドライブすることによってシステム・リセットをアサートできます。外部リセットが勝手に生成されないようにするため、外部プルアップ抵抗をこの端子に接続することを推奨します。この端子にはグリッチ・フィルタがあります。4.8 節を参照してください。 |
| nERROR  | 117     | 入出力   | プルダウン      | 20 $\mu$ A  | ESM エラー信号は、重大度の高いエラーを示します。4.18 節を参照してください。                                                                                                                                                                |

## 2.3.1.13 クロック入力および出力

表 2-15 PGE クロック入力および出力

| 端子               |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                       |
|------------------|---------|-------|------------|--------------------|--------------------------|
| 信号名              | 144 PGE |       |            |                    |                          |
| OSCIN            | 18      | 入力    | -          | -                  | 外部クリスタル/共振回路、または外部クロック入力 |
| KELVIN_GND       | 19      | 入力    |            |                    | 発振回路用ケルビン・グランド           |
| OSCOUT           | 20      | 出力    |            |                    | 外部クリスタル/共振回路へ            |
| ECLK             | 119     | 入出力   | プルダウン      | プログラマブル、20 $\mu$ A | 外部プリスケール・クロック出力、または GIO  |
| GIOA[5]/EXTCLKIN | 14      | 入力    | プルダウン      | 20 $\mu$ A         | 外部クロック入力#1               |

### 2.3.1.14 テスト/デバッグ・モジュール・インターフェイス

表 2-16 PGE テスト/デバッグ・モジュール・インターフェイス

| 端子    |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ         | 説明                   |
|-------|------------|-------|----------------|----------------|----------------------|
| 信号名   | 144<br>PGE |       |                |                |                      |
| TEST  | 34         | 入出力   | プルダウン          | 固定、100 $\mu$ A | テスト・イネーブル            |
| nTRST | 109        | 入力    |                |                | JTAG テスト・ハードウェア・リセット |
| RTCK  | 113        | 出力    | -              | -              | JTAG リターン・テスト・クロック   |
| TCK   | 112        | 入力    | プルダウン          | 固定、100 $\mu$ A | JTAG テスト・クロック        |
| TDI   | 110        | 入出力   | プルアップ          |                | JTAG テスト・データ入力       |
| TDO   | 111        | 入出力   | プルダウン          |                | JTAG テスト・データ出力       |
| TMS   | 108        | 入出力   | プルアップ          |                | JTAG テスト・セレクト        |

### 2.3.1.15 フラッシュ電源およびテスト・パッド

表 2-17 PGE フラッシュ電源およびテスト・パッド

| 端子    |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ | 説明                                                                                                                  |
|-------|------------|-------|----------------|--------|---------------------------------------------------------------------------------------------------------------------|
| 信号名   | 144<br>PGE |       |                |        |                                                                                                                     |
| VCCP  | 134        | 入力    | -              | -      | フラッシュ・ポンプ電源                                                                                                         |
| FLTP1 | 7          |       |                |        | フラッシュ・テスト・パッド。これらの端子は TI が使用する<br>ためのものです。正常に動作さ<br>せるには、これらの端子の接<br>続はテスト・パッドに限定する<br>か、または未接続とする必要<br>があります (NC)。 |
| FLTP2 | 8          |       |                |        |                                                                                                                     |

### 2.3.1.16 コア・ロジック用電源: 公称 1.2V

表 2-18 PGE コア・ロジック用電源: 公称 1.2 V

| 端子  |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ | 説明   |
|-----|------------|-------|----------------|--------|------|
| 信号名 | 144<br>PGE |       |                |        |      |
| VCC | 17         | -     | -              | -      | コア電源 |
| VCC | 29         |       |                |        |      |
| VCC | 45         |       |                |        |      |
| VCC | 48         |       |                |        |      |
| VCC | 49         |       |                |        |      |
| VCC | 57         |       |                |        |      |
| VCC | 87         |       |                |        |      |
| VCC | 101        |       |                |        |      |
| VCC | 114        |       |                |        |      |
| VCC | 123        |       |                |        |      |
| VCC | 137        |       |                |        |      |
| VCC | 143        |       |                |        |      |

## 2.3.1.17 入出力セル用電源: 公称 3.3V

表 2-19 PGE 入出力セル用電源: 公称 3.3 V

| 端子    |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ | 説明       |
|-------|---------|-------|------------|--------|----------|
| 信号名   | 144 PGE |       |            |        |          |
| VCCIO | 10      | 入力    | -          | -      | 入出力用動作電源 |
| VCCIO | 26      |       |            |        |          |
| VCCIO | 42      |       |            |        |          |
| VCCIO | 104     |       |            |        |          |
| VCCIO | 120     |       |            |        |          |
| VCCIO | 136     |       |            |        |          |

## 2.3.1.18 VCCAD 以外のすべての電源に対するグラウンド基準

表 2-20 VCCAD 以外のすべての電源に対する PGE グラウンド基準

| 端子  |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ | 説明      |
|-----|---------|-------|------------|--------|---------|
| 信号名 | 144 PGE |       |            |        |         |
| VSS | 11      | 入力    | -          | -      | グラウンド基準 |
| VSS | 21      |       |            |        |         |
| VSS | 27      |       |            |        |         |
| VSS | 28      |       |            |        |         |
| VSS | 43      |       |            |        |         |
| VSS | 44      |       |            |        |         |
| VSS | 47      |       |            |        |         |
| VSS | 50      |       |            |        |         |
| VSS | 56      |       |            |        |         |
| VSS | 88      |       |            |        |         |
| VSS | 102     |       |            |        |         |
| VSS | 103     |       |            |        |         |
| VSS | 115     |       |            |        |         |
| VSS | 121     |       |            |        |         |
| VSS | 122     |       |            |        |         |
| VSS | 135     |       |            |        |         |
| VSS | 138     |       |            |        |         |
| VSS | 144     |       |            |        |         |

## 2.3.2 ZWT パッケージ

### 2.3.2.1 マルチバッファ・アナログ/デジタル・コンバータ(MibADC)

表 2-21 ZWT マルチバッファ・アナログ/デジタル・コンバータ(MibADC1、MibADC2)

| 端子                           |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                      |
|------------------------------|------------|-------|----------------|--------------------|-------------------------|
| 信号名                          | 337<br>ZWT |       |                |                    |                         |
| ADREFHI <sup>(1)</sup>       | V15        | 入力    | -              | -                  | ADC 上限基準電源              |
| ADREFLO <sup>(1)</sup>       | V16        | 入力    |                |                    | ADC 下限基準電源              |
| VCCAD <sup>(1)</sup>         | W15        | 電源    |                |                    | ADC 用動作電源               |
| VSSAD                        | V19        | グランド  | -              | -                  | ADC 電源                  |
|                              | W16        |       |                |                    |                         |
|                              | W18        |       |                |                    |                         |
|                              | W19        |       |                |                    |                         |
| AD1EVT/MII_RX_ER             | N19        | 入力    | プルダウン          | プログラマブル、20 $\mu$ A | ADC1 イベント・トリガ入力、または GIO |
| MIBSPI3NCS[0]/AD2EVT/GIOB[2] | V10        | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | ADC2 イベント・トリガ入力、または GIO |
| AD1IN[0]                     | W14        | 入力    | -              | -                  | ADC1 アナログ入力             |
| AD1IN[1]                     | V17        |       |                |                    |                         |
| AD1IN[2]                     | V18        |       |                |                    |                         |
| AD1IN[3]                     | T17        |       |                |                    |                         |
| AD1IN[4]                     | U18        |       |                |                    |                         |
| AD1IN[5]                     | R17        |       |                |                    |                         |
| AD1IN[6]                     | T19        |       |                |                    |                         |
| AD1IN[7]                     | V14        |       |                |                    |                         |
| AD1IN[8] / AD2IN[8]          | P18        | 入力    | -              | -                  | ADC1/ADC2 共有アナログ入力      |
| AD1IN[9] / AD2IN[9]          | W17        |       |                |                    |                         |
| AD1IN[10] / AD2IN[10]        | U17        |       |                |                    |                         |
| AD1IN[11] / AD2IN[11]        | U19        |       |                |                    |                         |
| AD1IN[12] / AD2IN[12]        | T16        |       |                |                    |                         |
| AD1IN[13] / AD2IN[13]        | T18        |       |                |                    |                         |
| AD1IN[14] / AD2IN[14]        | R18        |       |                |                    |                         |
| AD1IN[15] / AD2IN[15]        | P19        |       |                |                    |                         |
| AD1IN[16] / AD2IN[0]         | V13        |       |                |                    |                         |
| AD1IN[17] / AD2IN[1]         | U13        |       |                |                    |                         |
| AD1IN[18] / AD2IN[2]         | U14        |       |                |                    |                         |
| AD1IN[19] / AD2IN[3]         | U16        |       |                |                    |                         |
| AD1IN[20] / AD2IN[4]         | U15        |       |                |                    |                         |
| AD1IN[21] / AD2IN[5]         | T15        |       |                |                    |                         |
| AD1IN[22] / AD2IN[6]         | R19        |       |                |                    |                         |
| AD1IN[23] / AD2IN[7]         | R16        |       |                |                    |                         |

(1) ADREFHI、ADREFLO、VCCAD、VSSAD 接続は、両方の ADC コアで共通です。

## 2.3.2.2 エンハンスド・ハイエンド・タイマ・モジュール(N2HET)

表 2-22 ZWT エンハンスド・ハイエンド・タイマ・モジュール(N2HET)

| 端子                                                                      |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                                                                                    |
|-------------------------------------------------------------------------|------------|-------|----------------|--------------------|---------------------------------------------------------------------------------------|
| 信号名                                                                     | 337<br>ZWT |       |                |                    |                                                                                       |
| N2HET1[0]/SPI4CLK                                                       | K18        | 入出力   | プルダウン          | プログラマブル、20 $\mu$ A | N2HET2 時間入力キャプチャまたは出力コンペア、またはGPIO。<br>それぞれの端子には、プログラマブルな持続期間以下の入力パルスを無視する除去フィルタがあります。 |
| N2HET1[1]/SPI4NENA/<br>N2HET2[8]                                        | V2         |       |                |                    |                                                                                       |
| N2HET1[2]/SPI4SIMO                                                      | W5         |       |                |                    |                                                                                       |
| N2HET1[3]/SPI4NCS[0]/USB2.SPEED/<br>USB_FUNC.PUENON/N2HET2[10]          | U1         |       |                |                    |                                                                                       |
| N2HET1[4]                                                               | B12        |       |                |                    |                                                                                       |
| N2HET1[5]/SPI4SOMI/<br>N2HET2[12]                                       | V6         |       |                |                    |                                                                                       |
| N2HET1[6]/SCIRX                                                         | W3         |       |                |                    |                                                                                       |
| N2HET1[7]/USB2.PortPower/USB_FUNC.GZO/<br>N2HET2[14]                    | T1         |       |                |                    |                                                                                       |
| N2HET1[8]/MIBSPI1SIMO[1]/MII_TXD[3]/<br>USB1.OverCurrent                | E18        |       |                |                    |                                                                                       |
| N2HET1[9]/N2HET2[16]/USB2.SUSPEND/<br>USB_FUNC.SUSPENDO                 | V7         |       |                |                    |                                                                                       |
| N2HET1[10]/MII_TX_CLK/<br>USB1.TXEN/MII_TX_AVCLK4                       | D19        |       |                |                    |                                                                                       |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/<br>USB2.OverCurrent/USB_FUNC.VBUSI | E3         |       |                |                    |                                                                                       |
| N2HET1[12]/MII_CRS                                                      | B4         |       |                |                    |                                                                                       |
| N2HET1[13]/SCITX                                                        | N2         |       |                |                    |                                                                                       |
| N2HET1[14]/USB1.TXSE0                                                   | A11        |       |                |                    |                                                                                       |
| N2HET1[15]/MIBSPI1NCS[4]                                                | N1         |       |                |                    |                                                                                       |
| N2HET1[16]                                                              | A4         |       |                |                    |                                                                                       |
| N2HET1[17]                                                              | A13        |       |                |                    |                                                                                       |
| N2HET1[18]                                                              | J1         |       |                |                    |                                                                                       |
| N2HET1[19]                                                              | B13        |       |                |                    |                                                                                       |
| N2HET1[20]                                                              | P2         |       |                |                    |                                                                                       |
| N2HET1[21]                                                              | H4         |       |                |                    |                                                                                       |
| N2HET1[22]/USB2.TXSE0/USB_FUNC.SE0O                                     | B3         |       |                |                    |                                                                                       |
| N2HET1[23]                                                              | J4         |       |                |                    |                                                                                       |
| N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]                                     | P1         |       |                |                    |                                                                                       |
| N2HET1[25]                                                              | M3         |       |                |                    |                                                                                       |
| N2HET1[26]/MII_RXD[1]                                                   | A14        |       |                |                    |                                                                                       |
| N2HET1[27]                                                              | A9         |       |                |                    |                                                                                       |
| N2HET1[28]/MII_RX_CLK/MII_RX_AVCLK4                                     | K19        |       |                |                    |                                                                                       |
| N2HET1[29]                                                              | A3         |       |                |                    |                                                                                       |
| N2HET1[30]/MII_RX_DV/USB1.SPEED                                         | B11        |       |                |                    |                                                                                       |
| N2HET1[31]                                                              | J17        |       |                |                    |                                                                                       |

**表 2-22 ZWT エンハンスド・ハイエンド・タイマ・モジュール(N2HET) (続き)**

| 端子                                                                      |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                                                                                   |
|-------------------------------------------------------------------------|---------|-------|------------|--------------------|--------------------------------------------------------------------------------------|
| 信号名                                                                     | 337 ZWT |       |            |                    |                                                                                      |
| GIOA[2]/USB2.TXDAT/USB_FUNC.TXDO/<br>N2HET2[0]                          | C1      | 入出力   | プルダウン      | プログラマブル、20 $\mu$ A | N2HET2 時間入力キャプチャまたは出力コンペア、またはGIO。<br>それぞれの端子には、プログラマブルな持続期間以下の入力パルスを無視する除去フィルタがあります。 |
| EMIF_ADDR[0]/N2HET2[1]                                                  | D4      |       |            |                    |                                                                                      |
| GIOA[3]/N2HET2[2]                                                       | E1      |       |            |                    |                                                                                      |
| EMIF_ADDR[1]/N2HET2[3]                                                  | D5      |       |            |                    |                                                                                      |
| GIOA[6]/N2HET2[4]                                                       | H3      |       |            |                    |                                                                                      |
| EMIF_BA[1]/N2HET2[5]                                                    | D16     |       |            |                    |                                                                                      |
| GIOA[7]/N2HET2[6]                                                       | M1      |       |            |                    |                                                                                      |
| EMIF_nCS[0]/RTP_DATA[15]/N2HET2[7]                                      | N17     |       |            |                    |                                                                                      |
| N2HET1[1]/SPI4NENA/USB2.TXEN/<br>USB_FUNC.PUENO/N2HET2[8]               | V2      |       |            |                    |                                                                                      |
| EMIF_nCS[3]/RTP_DATA[14]/N2HET2[9]                                      | K17     |       |            |                    |                                                                                      |
| N2HET1[3]/SPI4NCS[0]/USB2.SPEED/<br>USB_FUNC.PUENON/N2HET2[10]          | U1      |       |            |                    |                                                                                      |
| EMIF_ADDR[6]/RTP_DATA[13]/N2HET2[11]                                    | C4      |       |            |                    |                                                                                      |
| N2HET1[5]/SPI4SOMI/N2HET2[12]                                           | V6      |       |            |                    |                                                                                      |
| EMIF_ADDR[7]/RTP_DATA[12]/N2HET2[13]                                    | C5      |       |            |                    |                                                                                      |
| N2HET1[7]/USB2.PortPower/USB_FUNC.GZO/<br>N2HET2[14]                    | T1      |       |            |                    |                                                                                      |
| EMIF_ADDR[8]/RTP_DATA[11]/N2HET2[15]                                    | C6      |       |            |                    |                                                                                      |
| N2HET1[9]/N2HET2[16]/USB2.SUSPEND/<br>USB_FUNC.SUSPENDO                 | V7      |       |            |                    |                                                                                      |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/<br>USB2.OverCurrent/USB_FUNC.VBUSI | E3      |       |            |                    |                                                                                      |

### 2.3.2.3 汎用入出力 (GIO)

**表 2-23 ZWT 汎用入出力 (GIO)**

| 端子                                             |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                                                                 |
|------------------------------------------------|---------|-------|------------|--------------------|--------------------------------------------------------------------|
| 信号名                                            | 337 ZWT |       |            |                    |                                                                    |
| GIOA[0]/USB2.VP/USB_FUNC.RXDPI                 | A5      | 入出力   | プルダウン      | プログラマブル、20 $\mu$ A | 汎用入出力。<br>すべてのGIO 端子は、立ち上がりエッジ/立ち下がりエッジ/両方のエッジでCPUに対する割り込みを生成できます。 |
| GIOA[1]/USB2.VM/USB_FUNC.RXDPI                 | C2      |       |            |                    |                                                                    |
| GIOA[2]/USB2.TXDAT/USB_FUNC.TXDO/<br>N2HET2[0] | C1      |       |            |                    |                                                                    |
| GIOA[3]/N2HET2[2]                              | E1      |       |            |                    |                                                                    |
| GIOA[4]                                        | A6      |       |            |                    |                                                                    |
| GIOA[5]/EXTCLKIN                               | B5      |       |            |                    |                                                                    |
| GIOA[6]/N2HET2[4]                              | H3      |       |            |                    |                                                                    |
| GIOA[7]/N2HET2[6]                              | M1      |       |            |                    |                                                                    |
| GIOB[0]/USB1.TXDAT                             | M2      |       |            |                    |                                                                    |
| GIOB[1]/USB1.PortPower                         | K2      |       |            |                    |                                                                    |
| GIOB[2]                                        | F2      |       |            |                    |                                                                    |
| GIOB[3]/USB2.RCV                               | W10     |       |            |                    |                                                                    |
| GIOB[4]                                        | G1      |       |            |                    |                                                                    |
| GIOB[5]                                        | G2      |       |            |                    |                                                                    |
| GIOB[6]                                        | J2      |       |            |                    |                                                                    |
| GIOB[7]                                        | F1      |       |            |                    |                                                                    |

### 2.3.2.4 コントローラ・エリア・ネットワーク・コントローラ(DCAN)

表 2-24 ZWT コントローラ・エリア・ネットワーク・コントローラ(DCAN)

| 端子     |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明              |
|--------|------------|-------|----------------|--------------------|-----------------|
| 信号名    | 337<br>ZWT |       |                |                    |                 |
| CAN1RX | B10        | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | CAN1 受信、または GIO |
| CAN1TX | A10        |       |                |                    | CAN1 送信、または GIO |
| CAN2RX | H1         |       |                |                    | CAN2 受信、または GIO |
| CAN2TX | H2         |       |                |                    | CAN2 送信、または GIO |
| CAN3RX | M19        |       |                |                    | CAN3 受信、または GIO |
| CAN3TX | M18        |       |                |                    | CAN3 送信、または GIO |

### 2.3.2.5 ローカル相互接続ネットワーク・インターフェイス・モジュール(LIN)

表 2-25 ZWT ローカル相互接続ネットワーク・インターフェイス・モジュール(LIN)

| 端子    |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明             |
|-------|------------|-------|----------------|--------------------|----------------|
| 信号名   | 337<br>ZWT |       |                |                    |                |
| LINRX | A7         | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | LIN 受信、または GIO |
| LINTX | B7         |       |                |                    | LIN 送信、または GIO |

### 2.3.2.6 標準シリアル通信インターフェイス(SCI)

表 2-26 ZWT 標準シリアル通信インターフェイス(SCI)

| 端子               |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明             |
|------------------|------------|-------|----------------|--------------------|----------------|
| 信号名              | 337<br>ZWT |       |                |                    |                |
| N2HET1[6]/SCIRX  | W3         | 入出力   | プルダウン          | プログラマブル、20 $\mu$ A | SCI 受信、または GIO |
| N2HET1[13]/SCITX | N2         |       |                |                    | SCI 送信、または GIO |

### 2.3.2.7 Inter-Integrated Circuit インターフェイス・モジュール(I2C)

表 2-27 ZWT Inter-Integrated Circuit インターフェイス・モジュール(I2C)

| 端子                               |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                    |
|----------------------------------|------------|-------|----------------|--------------------|-----------------------|
| 信号名                              | 337<br>ZWT |       |                |                    |                       |
| MIBSPI3NCS[2]/I2C_SDA/N2HET1[27] | B2         | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | I2C シリアル・データ、または GIO  |
| MIBSPI3NCS[3]/I2C_SCL/N2HET1[29] | C3         |       |                |                    | I2C シリアル・クロック、または GIO |

## 2.3.2.8 標準シリアル・ペリフェラル・インターフェイス (SPI)

表 2-28 ZWT 標準シリアル・ペリフェラル・インターフェイス (SPI)

| 端子                                                             |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                        |
|----------------------------------------------------------------|------------|-------|----------------|--------------------|---------------------------|
| 信号名                                                            | 337<br>ZWT |       |                |                    |                           |
| SPI2CLK                                                        | E2         | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | SPI2 クロック、または GIO         |
| SPI2NCS[0]                                                     | N3         |       |                |                    | SPI2 チップ・セレクト、または GIO     |
| SPI2NENA/SPI2NCS[1]                                            | D3         |       |                |                    | SPI2 チップ・セレクト、または GIO     |
| SPI2NENA/SPI2NCS[1]                                            | D3         |       |                |                    | SPI2 イネーブル、または GIO        |
| SPI2SIMO                                                       | D1         |       |                |                    | SPI2 スレーブ入力、マスタ出力、または GIO |
| SPI2SOMI                                                       | D2         |       |                |                    | SPI2 スレーブ出力、マスタ入力、または GIO |
| N2HET1[0]/SPI4CLK                                              | K18        | 入出力   | プルダウン          | プログラマブル、20 $\mu$ A | SPI4 クロック、または GIO         |
| N2HET1[3]/SPI4NCS[0]/USB2.SPEED/<br>USB_FUNC.PUENON/N2HET2[10] | U1         |       |                |                    | SPI4 チップ・セレクト、または GIO     |
| N2HET1[1]/SPI4NENA/USB2.TXEN/<br>USB_FUNC.PUENO/N2HET2[8]      | V2         |       |                |                    | SPI4 イネーブル、または GIO        |
| N2HET1[2]/SPI4SIMO                                             | W5         |       |                |                    | SPI4 スレーブ入力、マスタ出力、または GIO |
| N2HET1[5]/SPI4SOMI/N2HET2[12]                                  | V6         |       |                |                    | SPI4 スレーブ出力、マスタ入力、または GIO |

## 2.3.2.9 マルチバッファ・シリアル・ペリフェラル・インターフェイス・モジュール(MibSPI)

表 2-29 ZWT マルチバッファ・シリアル・ペリフェラル・インターフェイス・モジュール(MibSPI)

| 端子                                                                  |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                           |
|---------------------------------------------------------------------|------------|-------|----------------|--------------------|------------------------------|
| 信号名                                                                 | 337<br>ZWT |       |                |                    |                              |
| MIBSPI1CLK                                                          | F18        | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI1 クロック、または GIO         |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/USB1.RCV                    | R2         |       |                |                    | MibSPI1 チップ・セレクト、または GIO     |
| MIBSPI1NCS[1]/N2HET1[17]/MII_COL/USB1.SUSPEND                       | F3         |       |                |                    |                              |
| MIBSPI1NCS[2]/N2HET1[19]/MDIO                                       | G3         |       |                |                    |                              |
| MIBSPI1NCS[3]/N2HET1[21]                                            | J3         |       | プルダウン          | プログラマブル、20 $\mu$ A | MibSPI1 チップ・セレクト、または GIO     |
| N2HET1[15]/MIBSPI1NCS[4]                                            | N1         |       |                |                    |                              |
| N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]                                 | P1         |       | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI1 イネーブル、または GIO        |
| MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/USB1.VP                           | G19        |       |                |                    |                              |
| MIBSPI1SIMO                                                         | F19        |       | プルダウン          | プログラマブル、20 $\mu$ A | MibSPI1 スレーブ入力、マスタ出力、または GIO |
| N2HET1[8]/MIBSPI1SIMO[1]/MII_TXD[3]/USB1.OverCurrent                | E18        |       |                |                    |                              |
| MIBSPI1SOMI                                                         | G18        | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI1 スレーブ出力、マスタ入力、または GIO |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/USB1.RCV                    | R2         |       |                |                    |                              |
| MIBSPI3CLK                                                          | V9         |       | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI3 クロック、または GIO         |
| MIBSPI3NCS[0]/AD2EVT/GIOB[2]                                        | V10        |       |                |                    | MibSPI3 チップ・セレクト、または GIO     |
| MIBSPI3NCS[1]/N2HET1[25]/MDCLK                                      | V5         |       |                |                    |                              |
| MIBSPI3NCS[2]/I2C_SDA/N2HET1[27]                                    | B2         |       |                |                    |                              |
| MIBSPI3NCS[3]/I2C_SCL/N2HET1[29]                                    | C3         |       | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI3 チップ・セレクト、または GIO     |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/USB2.OverCurrent/USB_FUNC.VBUSI | E3         |       |                |                    |                              |
| MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]                                | W9         |       | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI3 チップ・セレクト、または GIO     |
| MIBSPI3NENA/MIBSPI3NCS[5]/N2HET1[31]                                | W9         |       |                |                    | MibSPI3 イネーブル、または GIO        |
| MIBSPI3SIMO                                                         | W8         |       | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI3 スレーブ入力、マスタ出力、または GIO |
| MIBSPI3SOMI                                                         | V8         |       |                |                    | MibSPI3 スレーブ出力、マスタ入力、または GIO |
| MIBSPI5CLK/DMM_DATA[4]/MII_TXEN                                     | H19        | 入出力   | プルアップ          | プログラマブル、20 $\mu$ A | MibSPI5 クロック、または GIO         |
| MIBSPI5NCS[0]/DMM_DATA[5]                                           | E19        |       |                |                    | MibSPI5 チップ・セレクト、または GIO     |
| MIBSPI5NCS[1]/DMM_DATA[6]                                           | B6         |       |                |                    |                              |
| MIBSPI5NCS[2]/DMM_DATA[2]                                           | W6         |       |                |                    |                              |
| MIBSPI5NCS[3]/DMM_DATA[3]                                           | T12        |       |                |                    |                              |
| MIBSPI5NENA/DMM_DATA[7]/MII_RXD[3]/USB1.VM                          | H18        |       |                |                    | MibSPI5 イネーブル、または GIO        |
| MIBSPI5SIMO[0]/DMM_DATA[8]/MII_TXD[1]                               | J19        |       |                |                    | MibSPI5 スレーブ入力、マスタ出力、または GIO |
| MIBSPI5SIMO[1]/DMM_DATA[9]                                          | E16        |       |                |                    |                              |
| MIBSPI5SIMO[2]/DMM_DATA[10]                                         | H17        |       |                |                    |                              |
| MIBSPI5SIMO[3]/DMM_DATA[11]                                         | G17        |       |                |                    |                              |
| MIBSPI5SOMI[0]/DMM_DATA[12]/MII_TXD[0]                              | J18        |       |                |                    |                              |
| MIBSPI5SOMI[1]/DMM_DATA[13]                                         | E17        |       |                |                    |                              |
| MIBSPI5SOMI[2]/DMM_DATA[14]                                         | H16        |       |                |                    |                              |
| MIBSPI5SOMI[3]/DMM_DATA[15]                                         | G16        |       |                |                    |                              |

### 2.3.2.10 イーサネット・コントローラ

表 2-30 ZWT イーサネット・コントローラ:MDIO インターフェイス

| 端子                             |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ        | 説明          |
|--------------------------------|---------|-------|------------|---------------|-------------|
| 信号名                            | 337 ZWT |       |            |               |             |
| MIBSPI3NCS[1]/N2HET1[25]/MDCLK | V5      | 出力    | プルアップ      | -             | シリアル・クロック出力 |
| MIBSPI1NCS[2]/N2HET1[19]/MDIO  | G3      | 入出力   | プルアップ      | 固定、20 $\mu$ A | シリアル・データ入出力 |

表 2-31 ZWT イーサネット・コントローラ:Media Independent Interface (MII)

| 端子                                                   |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ   | 説明               |
|------------------------------------------------------|---------|-------|------------|----------|------------------|
| 信号名                                                  | 337 ZWT |       |            |          |                  |
| MIBSPI1NCS[1]/N2HET1[17]/MII_COL/USB1.SUSPEND        | F3      | 入力    | プルアップ      | -        | 衝突検出             |
| N2HET1[12]/MII_CRS                                   | B4      |       | プルダウン      | 固定、20 μA | キャリア検知および受信データ有効 |
| N2HET1[28]/MII_RX_CLK/MII_RX_AVCLK4                  | K19     | 入出力   | プルダウン      | -        | MII 出力受信クロック     |
| N2HET1[30]/MII_RX_DV/USB1.SPEED                      | B11     | 入力    | プルダウン      | 固定、20 μA | 受信データ有効          |
| AD1EVT/MII_RX_ER                                     | N19     |       |            |          | 受信エラー            |
| N2HET1[28]/MII_RX_CLK/MII_RX_AVCLK4                  | K19     | 入出力   |            |          | 受信クロック           |
| N2HET1[24]/MIBSPI1NCS[5]/MII_RXD[0]                  | P1      | 入力    |            |          | 受信データ            |
| N2HET1[26]/MII_RXD[1]                                | A14     |       | プルアップ      | 固定、20 μA |                  |
| MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/USB1.VP            | G19     |       |            |          |                  |
| MIBSPI5NENA/MII_RXD[3]/USB1.VM                       | H18     |       |            |          |                  |
| N2HET1[10]/MII_TX_CLK/USB1.TXEN/MII_TX_AVCLK4        | D19     | 入出力   | プルダウン      | -        | MII 出力送信クロック     |
| N2HET1[10]/MII_TX_CLK/USB1.TXEN/MII_TX_AVCLK4        | D19     |       |            |          | 送信クロック           |
| MIBSPI5SOMI[0]/MII_TXD[0]                            | J18     | 出力    | プルアップ      | -        | 送信データ            |
| MIBSPI5SIMO[0]/MII_TXD[1]                            | J19     |       |            |          |                  |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/USB1.RCV     | R2      |       | プルダウン      | -        |                  |
| N2HET1[8]/MIBSPI1SIMO[1]/MII_TXD[3]/USB1.OverCurrent | E18     |       |            |          |                  |
| MIBSPI5CLK/MII_TXEN                                  | H19     | プルアップ | -          | 送信イネーブル  |                  |

## 2.3.2.11 USB ホスト・ポート・コントローラ・インターフェイス

表 2-32 ZWTUSB ホスト・ポート・コントローラ・インターフェイス (USB1、USB2)

| 端子                                                                           |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ        | 説明                                     |
|------------------------------------------------------------------------------|---------|-------|------------|---------------|----------------------------------------|
| 信号名                                                                          | 337 ZWT |       |            |               |                                        |
| N2HET1[8]/MIBSPI1SIMO[1]/MII_TXD[3]/ <b>USB1.OverCurrent</b>                 | E18     | 入力    | プルダウン      | 固定、20 $\mu$ A | USB 電源スイッチからの過電流通知                     |
| MIBSPI1NCS[0]/MIBSPI1SOMI[1]/MII_TXD[2]/ <b>USB1.RCV</b>                     | R2      |       | プルアップ      | 固定、20 $\mu$ A | USB ポート・トランシーバからの受信データ                 |
| MIBSPI5NENA/MII_RXD[3]/ <b>USB1.VM</b>                                       | H18     |       |            |               | USB ポート・トランシーバからの NRZI エンコーディング D マイナス |
| MIBSPI1NENA/N2HET1[23]/MII_RXD[2]/ <b>USB1.VP</b>                            | G19     |       |            |               | USB ポート・トランシーバからの NRZI エンコーディング D プラス  |
| GIOB[1]/ <b>USB1.PortPower</b>                                               | K2      | 出力    | プルダウン      | -             |                                        |
| N2HET1[30]/MII_RX_DV/ <b>USB1.SPEED</b>                                      | B11     |       |            |               | 送信速度通知                                 |
| MIBSPI1NCS[1]/N2HET1[17]/MII_COL/ <b>USB1.SUSPEND</b>                        | F3      |       | プルアップ      | -             |                                        |
| GIOB[0]/ <b>USB1.TXDAT</b>                                                   | M2      |       | プルダウン      | -             |                                        |
| N2HET1[10]/MII_TX_CLK/ <b>USB1.TXEN</b> /MII_TX_AVCLK4                       | D19     |       |            |               | ポート・トランシーバへの送信イネーブル                    |
| N2HET1[14]/ <b>USB1.TXSE0</b>                                                | A11     |       |            |               | ポート・トランシーバへのシングルエンド・ゼロ                 |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/ <b>USB2.OverCurrent</b> /USB_FUNC.VBUSI | E3      | 入力    | プルダウン      | 固定、20 $\mu$ A |                                        |
| GIOB[3]/ <b>USB2.RCV</b> /USB_FUNC.RXDI                                      | W10     |       | プルダウン      | 固定、20 $\mu$ A |                                        |
| GIOA[1]/ <b>USB2.VM</b> /USB_FUNC.RXDMI                                      | C2      |       |            |               | USB ポート・トランシーバからの NRZI エンコーディング D マイナス |
| GIOA[0]/ <b>USB2.VP</b> /USB_FUNC.RXDPI                                      | A5      |       |            |               | USB ポート・トランシーバからの NRZI エンコーディング D プラス  |
| N2HET1[7]/ <b>USB2.PortPower</b> /USB_FUNC.GZO/N2HET2[14]                    | T1      | 出力    | プルダウン      | -             |                                        |
| N2HET1[3]/SPI4NCS[0]/ <b>USB2.SPEED</b> /USB_FUNC.PUENON/N2HET2[10]          | U1      |       |            |               | 送信速度通知                                 |
| N2HET1[9]/N2HET2[16]/ <b>USB2.SUSPEND</b> /USB_FUNC.SUSPENDO                 | V7      |       |            |               | ポート・サスペンド通知                            |
| GIOA[2]/ <b>USB2.TXDAT</b> /USB_FUNC.TXDO/N2HET2[0]                          | C1      |       |            |               | ポート・トランシーバへの NRZI エンコーディング D プラス       |
| N2HET1[1]/SPI4NENA/ <b>USB2.TXEN</b> /USB_FUNC.PUENO/N2HET2[8]               | V2      |       |            |               | ポート・トランシーバへの送信イネーブル                    |
| N2HET1[22]/ <b>USB2.TXSE0</b> /USB_FUNC.SE0O                                 | B3      |       |            |               | ポート・トランシーバへのシングルエンド・ゼロ                 |

**表 2-33 ZWT USB デバイス・ポート・コントローラ・インターフェイス(USB\_FUNC)**

| 端子                                                                              |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ        | 説明                                                       |
|---------------------------------------------------------------------------------|------------|-------|----------------|---------------|----------------------------------------------------------|
| 信号名                                                                             | 337<br>ZWT |       |                |               |                                                          |
| N2HET1[7]/USB2.PortPower/ <b>USB_FUNC.GZO</b> /<br>N2HET2[14]                   | T1         | 出力    | プルダウン          | -             | ブルアップ・イネーブル、ソフト<br>ウェアプログラム可能な USB<br>デバイスの接続/切断の許<br>可。 |
| N2HET1[1]/SPI4NENA/USB2.TXEN/<br><b>USB_FUNC.PUENO</b> /N2HET2[8]               | V2         |       |                |               | PUENO 反転                                                 |
| N2HET1[3]/SPI4NCS[0]/USB2.SPEED/<br><b>USB_FUNC.PUENON</b> /N2HET2[10]          | U1         |       |                |               |                                                          |
| GIOB[3]/USB2.RCV/ <b>USB_FUNC.RXDI</b>                                          | W10        | 入力    | プルダウン          | 固定、20 $\mu$ A | USB デバイス・シングルエン<br>ド・データ入力                               |
| GIOA[1]/USB2.VM/ <b>USB_FUNC.RXDMI</b>                                          | C2         |       |                |               | USB デバイス論理値 D マイナ<br>ス                                   |
| GIOA[0]/USB2.VP/ <b>USB_FUNC.RXDPI</b>                                          | A5         |       |                |               | USB デバイス論理値 D プラス                                        |
| N2HET1[22]/USB2.TXSE0/ <b>USB_FUNC.SE00</b>                                     | B3         | 出力    | プルダウン          | -             | USB デバイス・シングルエン<br>ド・ゼロ                                  |
| N2HET1[9]/N2HET2[16]/USB2.SUSPEND/<br><b>USB_FUNC.SUSPEND0</b>                  | V7         |       |                |               | USB デバイス・サスペンド出<br>力                                     |
| GIOA[2]/USB2.TXDAT/ <b>USB_FUNC.TXDO</b> /<br>N2HET2[0]                         | C1         |       |                |               | USB デバイス送信データ                                            |
| N2HET1[11]/MIBSPI3NCS[4]/N2HET2[18]/<br>USB2.OverCurrent/ <b>USB_FUNC.VBUSI</b> | E3         | 入力    | プルダウン          | 固定、20 $\mu$ A | USB デバイス電源接続                                             |

### 2.3.2.12 外部メモリ・インターフェイス(EMIF)

**表 2-34 外部メモリ・インターフェイス(EMIF)**

| 端子                                        |            | 信号タイプ | デフォルトの<br>プル状態                  | プルのタイプ        | 説明                                                                                                                             |
|-------------------------------------------|------------|-------|---------------------------------|---------------|--------------------------------------------------------------------------------------------------------------------------------|
| 信号名                                       | 337<br>ZWT |       |                                 |               |                                                                                                                                |
| <b>EMIF_CKE</b>                           | L3         | 出力    | プルダウン                           | -             | EMIF クロック・イネーブル                                                                                                                |
| <b>EMIF_CLK</b>                           | K3         | 入出力   |                                 |               | EMIF クロック。これは機能モ<br>ードの出力信号です。デフォ<br>ルトでゲート・オフであるた<br>め、信号はトライステートにな<br>ります。この出力をイネーブル<br>にするには PINMUX29[8]を<br>クリアしなければなりません。 |
| <b>EMIF_nWE/EMIF_RNW</b>                  | D17        | 出力    | ブルアップ                           | -             | EMIF リード・ライト制御                                                                                                                 |
| ETMDATA[13]/ <b>EMIF_nOE</b>              | E12        |       | プルダウン                           | -             | EMIF 読み取りイネーブル                                                                                                                 |
| <b>EMIF_nWAIT</b>                         | P3         | 入出力   | ブルアップ                           | 固定、20 $\mu$ A | EMIF ウェイト延長信号                                                                                                                  |
| <b>EMIF_nWE/EMIF_RNW</b>                  | D17        | 出力    | ブルアップ<br>プログラマブ<br>ル、20 $\mu$ A |               | EMIF 書き込みイネーブル                                                                                                                 |
| <b>EMIF_nCAS</b>                          | R4         | 出力    |                                 |               | EMIF 列アドレス・ストローブ                                                                                                               |
| <b>EMIF_nRAS</b>                          | R3         | 出力    |                                 |               | EMIF 行アドレス・ストローブ                                                                                                               |
| <b>EMIF_nCS[0]/RTP_DATA[15]/N2HET2[7]</b> | N17        | 出力    |                                 |               | EMIF チップ・セレクト、同期                                                                                                               |
| <b>EMIF_nCS[2]</b>                        | L17        | 出力    |                                 |               | EMIF チップ・セレクト、非同期                                                                                                              |
| <b>EMIF_nCS[3]/RTP_DATA[14]/N2HET2[9]</b> | K17        | 出力    |                                 |               | これはチップ・セレクト 2、3、4<br>に当てはまります。                                                                                                 |
| <b>EMIF_nCS[4]/RTP_DATA[7]</b>            | M17        | 出力    |                                 |               |                                                                                                                                |

表 2-34 外部メモリ・インターフェイス(EMIF) (続き)

| 端子                        |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                                                                                                                                  |
|---------------------------|---------|-------|------------|--------------------|-------------------------------------------------------------------------------------------------------------------------------------|
| 信号名                       | 337 ZWT |       |            |                    |                                                                                                                                     |
| ETMDATA[15]/EMIF_nDQM[0]  | E10     | 出力    | プルダウン      | プログラマブル、20 $\mu$ A | EMIF データ・マスクまたは書き込みストローブ<br>SDRAM デバイスのデータ・マスク、接続した非同期デバイスの書き込みストローブ<br>EMIF バンク・アドレスまたはアドレス線<br>EMIF バンク・アドレスまたはアドレス線<br>EMIF アドレス |
| ETMDATA[14]/EMIF_nDQM[1]  | E11     | 出力    |            |                    |                                                                                                                                     |
| ETMDATA[12]/EMIF_BA[0]    | E13     | 出力    |            |                    |                                                                                                                                     |
| EMIF_BA[1]/N2HET2[5]      | D16     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[0]/N2HET2[1]    | D4      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[1]/N2HET2[3]    | D5      | 出力    |            |                    |                                                                                                                                     |
| ETMDATA[11]/EMIF_ADDR[2]  | E6      | 出力    |            |                    |                                                                                                                                     |
| ETMDATA[10]/EMIF_ADDR[3]  | E7      | 出力    |            |                    |                                                                                                                                     |
| ETMDATA[9]/EMIF_ADDR[4]   | E8      | 出力    |            |                    |                                                                                                                                     |
| ETMDATA[8]/EMIF_ADDR[5]   | E9      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[6]/RTP_DATA[13] | C4      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[7]/RTP_DATA[12] | C5      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[8]/RTP_DATA[11] | C6      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[9]/RTP_DATA[10] | C7      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[10]/RTP_DATA[9] | C8      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[11]/RTP_DATA[8] | C9      | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[12]/RTP_DATA[6] | C10     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[13]/RTP_DATA[5] | C11     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[14]/RTP_DATA[4] | C12     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[15]/RTP_DATA[3] | C13     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[16]/RTP_DATA[2] | D14     | 出力    | プルダウン      | -                  |                                                                                                                                     |
| EMIF_ADDR[17]/RTP_DATA[1] | C14     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[18]/RTP_DATA[0] | D15     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[19]/RTP_nENA    | C15     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[20]/RTP_nSYNC   | C16     | 出力    |            |                    |                                                                                                                                     |
| EMIF_ADDR[21]/RTP_CLK     | C17     | 出力    | プルダウン      | 固定、20 $\mu$ A      | EMIF データ                                                                                                                            |
| ETMDATA[16]/EMIF_DATA[0]  | K15     | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[17]/EMIF_DATA[1]  | L15     | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[18]/EMIF_DATA[2]  | M15     | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[19]/EMIF_DATA[3]  | N15     | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[20]/EMIF_DATA[4]  | E5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[21]/EMIF_DATA[5]  | F5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[22]/EMIF_DATA[6]  | G5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[23]/EMIF_DATA[7]  | K5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[24]/EMIF_DATA[8]  | L5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[25]/EMIF_DATA[9]  | M5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[26]/EMIF_DATA[10] | N5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[27]/EMIF_DATA[11] | P5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[28]/EMIF_DATA[12] | R5      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[29]/EMIF_DATA[13] | R6      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[30]/EMIF_DATA[14] | R7      | 入出力   |            |                    |                                                                                                                                     |
| ETMDATA[31]/EMIF_DATA[15] | R8      | 入出力   |            |                    |                                                                                                                                     |

### 2.3.2.13 Cortex-R4F CPU 用組み込みトレース・マクロセル(ETM-R4F)

表 2-35 Cortex-R4F CPU 用組み込みトレース・マクロセル(ETM-R4F)

| 端子                        |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ        | 説明             |
|---------------------------|------------|-------|----------------|---------------|----------------|
| 信号名                       | 337<br>ZWT |       |                |               |                |
| ETMTRACECLKIN/EXTCLKIN2   | R9         | 入力    | プルダウン          | 固定、20 $\mu$ A | ETMトレース・クロック入力 |
| ETMTRACECLKOUT            | R10        | 出力    | プルダウン          | -             | ETMトレース・クロック出力 |
| ETMTRACECTL               | R11        | 出力    | プルダウン          | -             | ETMトレース制御      |
| ETMDATA[0]                | R12        |       |                |               | ETM データ        |
| ETMDATA[1]                | R13        |       |                |               |                |
| ETMDATA[2]                | J15        |       |                |               |                |
| ETMDATA[3]                | H15        |       |                |               |                |
| ETMDATA[4]                | G15        |       |                |               |                |
| ETMDATA[5]                | F15        |       |                |               |                |
| ETMDATA[6]                | E15        |       |                |               |                |
| ETMDATA[7]                | E14        |       |                |               |                |
| ETMDATA[8]/EMIF_ADDR[5]   | E9         |       |                |               |                |
| ETMDATA[9]/EMIF_ADDR[4]   | E8         |       |                |               |                |
| ETMDATA[10]/EMIF_ADDR[3]  | E7         |       |                |               |                |
| ETMDATA[11]/EMIF_ADDR[2]  | E6         |       |                |               |                |
| ETMDATA[12]/EMIF_BA[0]    | E13        |       |                |               |                |
| ETMDATA[13]/EMIF_nOE      | E12        |       |                |               |                |
| ETMDATA[14]/EMIF_nDQM[1]  | E11        |       |                |               |                |
| ETMDATA[15]/EMIF_nDQM[0]  | E10        |       |                |               |                |
| ETMDATA[16]/EMIF_DATA[0]  | K15        |       |                |               |                |
| ETMDATA[17]/EMIF_DATA[1]  | L15        |       |                |               |                |
| ETMDATA[18]/EMIF_DATA[2]  | M15        |       |                |               |                |
| ETMDATA[19]/EMIF_DATA[3]  | N15        |       |                |               |                |
| ETMDATA[20]/EMIF_DATA[4]  | E5         |       |                |               |                |
| ETMDATA[21]/EMIF_DATA[5]  | F5         |       |                |               |                |
| ETMDATA[22]/EMIF_DATA[6]  | G5         |       |                |               |                |
| ETMDATA[23]/EMIF_DATA[7]  | K5         |       |                |               |                |
| ETMDATA[24]/EMIF_DATA[8]  | L5         |       |                |               |                |
| ETMDATA[25]/EMIF_DATA[9]  | M5         |       |                |               |                |
| ETMDATA[26]/EMIF_DATA[10] | N5         |       |                |               |                |
| ETMDATA[27]/EMIF_DATA[11] | P5         |       |                |               |                |
| ETMDATA[28]/EMIF_DATA[12] | R5         |       |                |               |                |
| ETMDATA[29]/EMIF_DATA[13] | R6         |       |                |               |                |
| ETMDATA[30]/EMIF_DATA[14] | R7         |       |                |               |                |
| ETMDATA[31]/EMIF_DATA[15] | R8         |       |                |               |                |

## 2.3.2.14 RAM トレース・ポート(RTP)

表 2-36 RAM トレース・ポート(RTP)

| 端子                                 |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ        | 説明                       |
|------------------------------------|------------|-------|----------------|---------------|--------------------------|
| 信号名                                | 337<br>ZWT |       |                |               |                          |
| EMIF_ADDR[21]/RTP_CLK              | C17        | 入出力   | プルダウン          | プログラマブル、20 μA | RTP パケット・クロック、または GIO    |
| EMIF_ADDR[19]/RTP_nENA             | C15        | 入出力   |                |               | RTP パケット・ハンドシェーク、または GIO |
| EMIF_ADDR[20]/RTP_nSYNC            | C16        | 入出力   |                |               | RTP 同期、または GIO           |
| EMIF_ADDR[18]/RTP_DATA[0]          | D15        | 入出力   |                |               | RTP パケット・データ、または GIO     |
| EMIF_ADDR[17]/RTP_DATA[1]          | C14        |       |                |               |                          |
| EMIF_ADDR[16]/RTP_DATA[2]          | D14        |       |                |               |                          |
| EMIF_ADDR[15]/RTP_DATA[3]          | C13        |       |                |               |                          |
| EMIF_ADDR[14]/RTP_DATA[4]          | C12        |       |                |               |                          |
| EMIF_ADDR[13]/RTP_DATA[5]          | C11        |       |                |               |                          |
| EMIF_ADDR[12]/RTP_DATA[6]          | C10        |       |                |               |                          |
| EMIF_nCS[4]/RTP_DATA[7]            | M17        | プルアップ | プログラマブル、20 μA  |               |                          |
| EMIF_ADDR[11]/RTP_DATA[8]          | C9         | プルダウン | プログラマブル、20 μA  |               |                          |
| EMIF_ADDR[10]/RTP_DATA[9]          | C8         |       |                |               |                          |
| EMIF_ADDR[9]/RTP_DATA[10]          | C7         |       |                |               |                          |
| EMIF_ADDR[8]/RTP_DATA[11]          | C6         |       |                |               |                          |
| EMIF_ADDR[7]/RTP_DATA[12]          | C5         |       |                |               |                          |
| EMIF_ADDR[6]/RTP_DATA[13]          | C4         |       |                |               |                          |
| EMIF_nCS[0]/RTP_DATA[15]/N2HET2[7] | N17        |       |                |               |                          |
| EMIF_nCS[3]/RTP_DATA[14]/N2HET2[9] | K17        | プルアップ | プログラマブル、20 μA  |               |                          |

### 2.3.2.15 Data Modification Module (DMM)

表 2-37 Data Modification Module (DMM)

| 端子                                         |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ             | 説明                  |
|--------------------------------------------|---------|-------|------------|--------------------|---------------------|
| 信号名                                        | 337 ZWT |       |            |                    |                     |
| DMM_CLK                                    | F17     | 入出力   | プルアップ      | プログラマブル、20 $\mu$ A | DMM クロック、または GIO    |
| DMM_nENA                                   | F16     |       |            |                    | DMM ハンドシェーク、または GIO |
| DMM_SYNC                                   | J16     |       |            |                    | DMM 同期、または GIO      |
| DMM_DATA[0]                                | L19     |       |            |                    | DMM データ、または GIO     |
| DMM_DATA[1]                                | L18     |       |            |                    |                     |
| MIBSPI5NCS[2]/DMM_DATA[2]                  | W6      |       |            |                    |                     |
| MIBSPI5NCS[3]/DMM_DATA[3]                  | T12     |       |            |                    |                     |
| MIBSPI5CLK/DMM_DATA[4]/MII_TXEN            | H19     |       |            |                    |                     |
| MIBSPI5NCS[0]/DMM_DATA[5]                  | E19     |       |            |                    |                     |
| MIBSPI5NCS[1]/DMM_DATA[6]                  | B6      |       |            |                    |                     |
| MIBSPI5NENA/DMM_DATA[7]/MII_RXD[3]/USB1.VM | H18     |       |            |                    |                     |
| MIBSPI5SIMO[0]/DMM_DATA[8]/MII_TXD[1]      | J19     |       |            |                    |                     |
| MIBSPI5SIMO[1]/DMM_DATA[9]                 | E16     |       |            |                    |                     |
| MIBSPI5SIMO[2]/DMM_DATA[10]                | H17     |       |            |                    |                     |
| MIBSPI5SIMO[3]/DMM_DATA[11]                | G17     |       |            |                    |                     |
| MIBSPI5SOMI[0]/DMM_DATA[12]/MII_TXD[0]     | J18     |       |            |                    |                     |
| MIBSPI5SOMI[1]/DMM_DATA[13]                | E17     |       |            |                    |                     |
| MIBSPI5SOMI[2]/DMM_DATA[14]                | H16     |       |            |                    |                     |
| MIBSPI5SOMI[3]/DMM_DATA[15]                | G16     |       |            |                    |                     |

## 2.3.2.16 システム・モジュール・インターフェイス

表 2-38 ZWT システム・モジュール・インターフェイス

| 端子      |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ      | 説明                                                                                                                                                                                                                                  |
|---------|------------|-------|----------------|-------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 信号名     | 337<br>ZWT |       |                |             |                                                                                                                                                                                                                                     |
| nPORRST | W7         | 入力    | プルダウン          | 100 $\mu$ A | パワーオン・リセット、コールド・リセット。外部電源モニタ回路は、マイコンへの電源が指定範囲外に出たときに、nPORRST をローにドライブしなければなりません。この端子にはグリッチ・フィルタがあります。<br><a href="#">4.8 節</a> を参照してください。                                                                                           |
| nRST    | B17        | 入出力   | プルアップ          | 100 $\mu$ A | システム・リセット、ウォーム・リセット、双方向。<br>内部回路は、nRST をローにドライブすることによってリセット条件を示します。<br>外部回路は、nRST をローにドライブすることによってシステム・リセットをアサートできます。外部リセットが勝手に生成されないようにするため、外部プルアップ抵抗をこの端子に接続することが望まれます。<br>この端子にはグリッチ・フィルタがあります。 <a href="#">4.8 節</a> を参照してください。 |
| nERROR  | B14        | 入出力   | プルダウン          | 20 $\mu$ A  | ESM エラー信号は、重大度の高いエラーを示します。<br><a href="#">4.18 節</a> を参照してください。                                                                                                                                                                     |

## 2.3.2.17 クロック入力および出力

表 2-39 ZWT クロック入力および出力

| 端子                      |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ             | 説明                       |
|-------------------------|------------|-------|----------------|--------------------|--------------------------|
| 信号名                     | 337<br>ZWT |       |                |                    |                          |
| OSCIN                   | K1         | 入力    | -              | -                  | 外部クリスタル/共振回路、または外部クロック入力 |
| KELVIN_GND              | L2         | 入力    |                |                    | 発振回路用ケルビン・グランド           |
| OSCOUT                  | L1         | 出力    |                |                    | 外部クリスタル/共振回路へ            |
| ECLK                    | A12        | 入出力   | プルダウン          | プログラマブル、20 $\mu$ A | 外部プリスケール・クロック出力、または GIO  |
| GIOA[5]/EXTCLKIN        | B5         | 入力    | プルダウン          | 20 $\mu$ A         | 外部クロック入力#1               |
| ETMTRACECLKIN/EXTCLKIN2 | R9         | 入力    |                |                    | 外部クロック入力#2               |
| VCCPLL                  | P11        | 入力    |                | -                  | PLL 専用コア電源               |

### 2.3.2.18 テスト/デバッグ・モジュール・インターフェイス

表 2-40 ZWT テスト/デバッグ・モジュール・インターフェイス

| 端子    |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ         | 説明                   |
|-------|---------|-------|------------|----------------|----------------------|
| 信号名   | 337 ZWT |       |            |                |                      |
| TEST  | U2      | 入出力   | プルダウン      | 固定、100 $\mu$ A | テスト・イネーブル            |
| nTRST | D18     | 入力    |            |                | JTAG テスト・ハードウェア・リセット |
| RTCK  | A16     | 出力    | -          | -              | JTAG リターン・テスト・クロック   |
| TCK   | B18     | 入力    | プルダウン      | 固定、100 $\mu$ A | JTAG テスト・クロック        |
| TDI   | A17     | 入出力   | プルアップ      |                | JTAG テスト・データ入力       |
| TDO   | C18     | 入出力   | プルダウン      |                | JTAG テスト・データ出力       |
| TMS   | C19     | 入出力   | プルアップ      |                | JTAG テスト・セレクト        |

### 2.3.2.19 フラッシュ電源およびテスト・パッド

表 2-41 ZWT フラッシュ電源およびテスト・パッド

| 端子    |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ | 説明                                                                                              |
|-------|---------|-------|------------|--------|-------------------------------------------------------------------------------------------------|
| 信号名   | 337 ZWT |       |            |        |                                                                                                 |
| VCCP  | F8      | 入力    | -          | -      | フラッシュ・ポンプ電源                                                                                     |
| FLTP1 | J5      |       |            |        | フラッシュ・テスト・パッド。これらの端子は TI が使用するためのものです。正常に動作させるには、これらの端子の接続はテスト・パッドに限定するか、または未接続とする必要があります (NC)。 |
| FLTP2 | H5      |       |            |        |                                                                                                 |

## 2.3.2.20 未接続

表 2-42 未接続

| 端子  |         | 信号タイプ | デフォルトのプル状態 | プルのタイプ | 説明                                                                                                                                             |
|-----|---------|-------|------------|--------|------------------------------------------------------------------------------------------------------------------------------------------------|
| 信号名 | 337 ZWT |       |            |        |                                                                                                                                                |
| NC  | A8      | -     | -          | -      | 未接続。これらのボールは、デバイスの機能に影響を及ぼさないよう、どの内部ロジックにも接続せず PCB グランドに接続できます。<br>「NC」と記述されているその他のボールは、何らかの機能に内部的に接続することができます。ただ、このようなボールも接続しない状態にすることが望まれます。 |
| NC  | B8      | -     | -          | -      |                                                                                                                                                |
| NC  | B9      | -     | -          | -      |                                                                                                                                                |
| NC  | D6      | -     | -          | -      |                                                                                                                                                |
| NC  | D7      | -     | -          | -      |                                                                                                                                                |
| NC  | D8      | -     | -          | -      |                                                                                                                                                |
| NC  | D9      | -     | -          | -      |                                                                                                                                                |
| NC  | D10     | -     | -          | -      |                                                                                                                                                |
| NC  | D11     | -     | -          | -      |                                                                                                                                                |
| NC  | D12     | -     | -          | -      |                                                                                                                                                |
| NC  | E4      | -     | -          | -      |                                                                                                                                                |
| NC  | F4      | -     | -          | -      |                                                                                                                                                |
| NC  | G4      | -     | -          | -      |                                                                                                                                                |
| NC  | K4      | -     | -          | -      |                                                                                                                                                |
| NC  | L4      | -     | -          | -      |                                                                                                                                                |
| NC  | M4      | -     | -          | -      |                                                                                                                                                |
| NC  | N4      | -     | -          | -      |                                                                                                                                                |
| NC  | N18     | -     | -          | -      |                                                                                                                                                |
| NC  | P4      | -     | -          | -      |                                                                                                                                                |
| NC  | P15     | -     | -          | -      |                                                                                                                                                |
| NC  | P16     | -     | -          | -      |                                                                                                                                                |
| NC  | P17     | -     | -          | -      |                                                                                                                                                |
| NC  | R1      | -     | -          | -      |                                                                                                                                                |
| NC  | R14     | -     | -          | -      |                                                                                                                                                |
| NC  | R15     | -     | -          | -      |                                                                                                                                                |
| NC  | T5      | -     | -          | -      |                                                                                                                                                |
| NC  | T6      | -     | -          | -      |                                                                                                                                                |
| NC  | T7      | -     | -          | -      |                                                                                                                                                |
| NC  | T8      | -     | -          | -      |                                                                                                                                                |
| NC  | T13     | -     | -          | -      |                                                                                                                                                |
| NC  | T14     | -     | -          | -      |                                                                                                                                                |
| NC  | V4      | -     | -          | -      |                                                                                                                                                |
| NC  | W4      | -     | -          | -      |                                                                                                                                                |

### 2.3.2.21 コア・ロジック用電源: 公称 1.2 V

表 2-43 ZWT コア・ロジック用電源: 公称 1.2 V

| 端子  |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ | 説明   |
|-----|------------|-------|----------------|--------|------|
| 信号名 | 337<br>ZWT |       |                |        |      |
| VCC | F9         | -     | -              | -      | コア電源 |
| VCC | F10        |       |                |        |      |
| VCC | H10        |       |                |        |      |
| VCC | J14        |       |                |        |      |
| VCC | K6         |       |                |        |      |
| VCC | K8         |       |                |        |      |
| VCC | K12        |       |                |        |      |
| VCC | K14        |       |                |        |      |
| VCC | L6         |       |                |        |      |
| VCC | M10        |       |                |        |      |
| VCC | P10        |       |                |        |      |

### 2.3.2.22 入出力セル用電源: 公称 3.3 V

表 2-44 ZWT 入出力セル用電源: 公称 3.3 V

| 端子    |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ | 説明       |
|-------|------------|-------|----------------|--------|----------|
| 信号名   | 337<br>ZWT |       |                |        |          |
| VCCIO | F6         | 入力    | -              | -      | 入出力用動作電源 |
| VCCIO | F7         |       |                |        |          |
| VCCIO | F11        |       |                |        |          |
| VCCIO | F12        |       |                |        |          |
| VCCIO | F13        |       |                |        |          |
| VCCIO | F14        |       |                |        |          |
| VCCIO | G6         |       |                |        |          |
| VCCIO | G14        |       |                |        |          |
| VCCIO | H6         |       |                |        |          |
| VCCIO | H14        |       |                |        |          |
| VCCIO | J6         |       |                |        |          |
| VCCIO | L14        |       |                |        |          |
| VCCIO | M6         |       |                |        |          |
| VCCIO | M14        |       |                |        |          |
| VCCIO | N6         |       |                |        |          |
| VCCIO | N14        |       |                |        |          |
| VCCIO | P6         |       |                |        |          |
| VCCIO | P7         |       |                |        |          |
| VCCIO | P8         |       |                |        |          |
| VCCIO | P9         |       |                |        |          |
| VCCIO | P12        |       |                |        |          |
| VCCIO | P13        |       |                |        |          |
| VCCIO | P14        |       |                |        |          |

## 2.3.2.23 VCCAD 以外のすべての電源に対するグランド基準

表 2-45 VCCAD 以外のすべての電源に対する ZWT グランド基準

| 端子  |            | 信号タイプ | デフォルトの<br>プル状態 | プルのタイプ | 説明     |
|-----|------------|-------|----------------|--------|--------|
| 信号名 | 337<br>ZWT |       |                |        |        |
| VSS | A1         | 入力    | -              | -      | グランド基準 |
| VSS | A2         |       |                |        |        |
| VSS | A18        |       |                |        |        |
| VSS | A19        |       |                |        |        |
| VSS | B1         |       |                |        |        |
| VSS | B19        |       |                |        |        |
| VSS | H8         |       |                |        |        |
| VSS | H9         |       |                |        |        |
| VSS | H11        |       |                |        |        |
| VSS | H12        |       |                |        |        |
| VSS | J8         |       |                |        |        |
| VSS | J9         |       |                |        |        |
| VSS | J10        |       |                |        |        |
| VSS | J11        |       |                |        |        |
| VSS | J12        |       |                |        |        |
| VSS | K9         |       |                |        |        |
| VSS | K10        |       |                |        |        |
| VSS | K11        |       |                |        |        |
| VSS | L8         |       |                |        |        |
| VSS | L9         |       |                |        |        |
| VSS | L10        |       |                |        |        |
| VSS | L11        |       |                |        |        |
| VSS | L12        |       |                |        |        |
| VSS | M8         |       |                |        |        |
| VSS | M9         |       |                |        |        |
| VSS | M11        |       |                |        |        |
| VSS | M12        |       |                |        |        |
| VSS | V1         |       |                |        |        |
| VSS | W1         |       |                |        |        |
| VSS | W2         |       |                |        |        |

### 3. デバイス動作条件

#### 3.1 動作フリー・エア温度範囲での絶対最大定格<sup>(1)</sup>

|                       |                                                                                |                  |
|-----------------------|--------------------------------------------------------------------------------|------------------|
| 電源電圧範囲:               | $V_{CC}^{(2)}$                                                                 | -0.3 V to 1.43 V |
|                       | $V_{CCIO}, V_{CCP}^{(2)}$                                                      | -0.3 V to 4.1 V  |
|                       | $V_{CCAD}$                                                                     | -0.3 V to 5.5 V  |
| 入力電圧範囲:               | すべての入力ピン                                                                       | -0.3 V to 4.1 V  |
|                       | ADC 入力ピン                                                                       | -0.3 V to 5 V    |
| 入力クランプ電流:             | $I_{IK}$ ( $V_I < 0$ or $V_I > V_{CCIO}$ )<br>AD1IN[23:0]とAD2IN[15:0]を除くすべてのピン | ±20 mA           |
|                       | $I_{IK}$ ( $V_I < 0$ or $V_I > V_{CCAD}$ )<br>AD1IN[23:0]とAD2IN[15:0]          | ±10 mA           |
|                       | 合計                                                                             | ±40 mA           |
| 動作フリー・エア温度範囲、 $T_A$ : |                                                                                | -40° C to 105° C |
| 動作接合部温度範囲、 $T_J$ :    |                                                                                | -40° C to 130° C |
| 保存温度範囲、 $T_{stg}$     |                                                                                | -65° C to 150° C |

- (1) 「絶対最大定格」の値を超えるストレスは、デバイスに致命的なダメージを与えることがあります。絶対最大定格は、ストレスの限度について示したもので、この条件または本仕様書の「推奨動作条件」を超える条件におけるデバイスの機能動作を意図したものではありません。デバイスを絶対最大定格の条件に長時間さらすと、デバイスの信頼性に影響を与えることがあります。
- (2) デバイスを絶対最大定格の条件に長時間さらすと、デバイスの信頼性に影響を与えることがあります。すべての電圧値は、対応するグランド値に対する値です。

#### 3.2 デバイス推奨動作条件<sup>(1)</sup>

| パラメータ         | 説明                     | 最小         | 公称  | 最大         | 単位  |
|---------------|------------------------|------------|-----|------------|-----|
| $V_{CC}$      | デジタル・ロジック電源電圧 (コア)     | 1.14       | 1.2 | 1.32       | V   |
| $V_{CCPLL}$   | PLL 電源電圧               | 1.14       | 1.2 | 1.32       | V   |
| $V_{CCIO}$    | デジタル・ロジック電源電圧 (入出力)    | 3          | 3.3 | 3.6        | V   |
| $V_{CCAD}$    | MibADC 電源電圧            | 3          | 3.3 | 3.6        | V   |
|               |                        | 4.5        | 5.0 | 5.25       |     |
| $V_{CCP}$     | フラッシュ・ポンプ電源電圧          | 3          | 3.3 | 3.6        | V   |
| $V_{SS}$      | デジタル・ロジック電源グランド        |            | 0   |            | V   |
| $V_{SSAD}$    | MibADC 電源グランド          | -0.1       |     | 0.1        | V   |
| $V_{ADREFHI}$ | A/D 高電圧基準ソース           | $V_{SSAD}$ |     | $V_{CCAD}$ | V   |
| $V_{ADREFLO}$ | A/D 低電圧基準ソース           | $V_{SSAD}$ |     | $V_{CCAD}$ | V   |
| $T_A$         | 動作フリー・エア温度             | -40        |     | 105        | ° C |
| $T_J$         | 動作接合部温度 <sup>(2)</sup> | -40        |     | 130        | ° C |

- (1) すべての電圧値は、 $V_{CCAD}$  を除き  $V_{SS}$  に対する値です。 $V_{CCAD}$  は  $V_{SSAD}$  に対する値です。
- (2) 信頼性のデータは、接合部温度 105° C、パワーオン 100,000 時間に相当する温度プロファイルが基になっています。

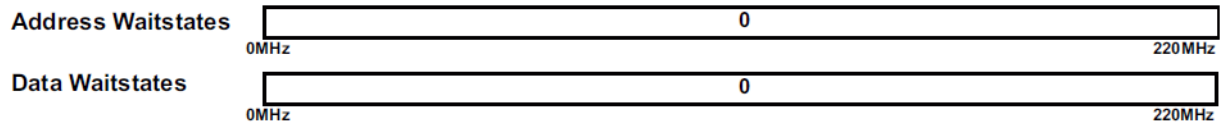
### 3.3 クロック・ドメインに対する、推奨動作条件でのスイッチング特性

表 3-1 クロック・ドメインのタイミング仕様

| パラメータ        | 説明                              | 条件                 | 最小 | 最大         | 単位  |
|--------------|---------------------------------|--------------------|----|------------|-----|
| $f_{HCLK}$   | HCLK - システム・クロック周波数             | パイプライン・モード・イネーブル   |    | 220        | MHz |
|              |                                 | パイプライン・モード・ディスエーブル |    | 55         | MHz |
| $f_{GCLK}$   | GCLK - CPU クロック周波数              |                    |    | $f_{HCLK}$ | MHz |
| $f_{VCLK}$   | VCLK - プライマリ・ペリフェラル・クロック周波数     |                    |    | 110        | MHz |
| $f_{VCLK2}$  | VCLK2 - セカンダリ・ペリフェラル・クロック周波数    |                    |    | 110        | MHz |
| $f_{VCLK3}$  | VCLK3 - セカンダリ・ペリフェラル・クロック周波数    |                    |    | 110        | MHz |
| $f_{VCLKA1}$ | VCLKA1 - プライマリ非同期ペリフェラル・クロック周波数 |                    |    | 100        | MHz |
| $f_{VCLKA3}$ | VCLKA3 - プライマリ非同期ペリフェラル・クロック周波数 |                    |    | 48         | MHz |
| $f_{VCLKA4}$ | VCLKA4 - セカンダリ非同期ペリフェラル・クロック周波数 |                    |    | 50         | MHz |
| $f_{RTICK}$  | RTICK - クロック周波数                 |                    |    | $f_{VCLK}$ | MHz |

### 3.4 必要なウェイト・ステート

#### RAM



#### Flash

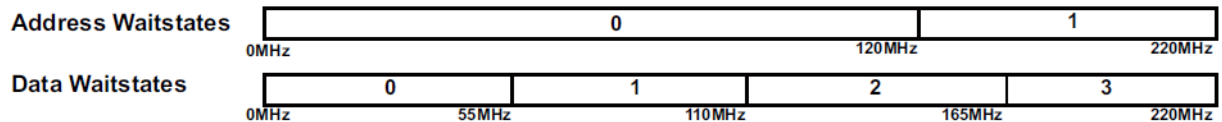


図 3-1 ウェイト・ステート・スキーム

上の図のように、TCM RAM は、プログラムおよびデータ・フェッチをフル CPU スピードでサポートし、アドレス・ウェイト・ステートもデータ・ウェイト・ステートも必要としません。

TCM フラッシュは、非パイプライン・モードで、55 MHz の CPU 速度までゼロ・アドレス・ウェイト・ステートおよびゼロ・データ・ウェイト・ステートをサポートできます。パイプライン・モードの場合、フラッシュは、1 回のアドレス・ウェイト・ステートおよび 3 回のデータ・ウェイト・ステートで、最大 CPU クロック速度 220 MHz をサポートすることができます。

フラッシュ・ラッパは、デフォルトで非パイプライン・モードになり、ゼロ・アドレス・ウェイト・ステートおよび 1 回のランダムリード・データ・ウェイト・ステートを伴います。

### 3.5 推奨動作条件での消費電力

| パラメータ                                |                                      | テスト条件                                                                                              | 最小 | 標準                 | 最大                     | 単位 |
|--------------------------------------|--------------------------------------|----------------------------------------------------------------------------------------------------|----|--------------------|------------------------|----|
| I <sub>CC</sub> , I <sub>CCPLL</sub> | V <sub>CC</sub> デジタル電源電流 (動作モード)     | f <sub>HCLK</sub> = 220 MHz<br>f <sub>VCLK</sub> = 110 MHz,<br>フラッシュはパイプライン・モード、V <sub>CC</sub> 最大 |    | 260 <sup>(1)</sup> | 420 <sup>(2)</sup>     | mA |
|                                      | V <sub>CC</sub> デジタル電源電流 (LBIST モード) | LBIST クロック速度 = 110 MHz                                                                             |    |                    | 690 <sup>(3) (4)</sup> | mA |
|                                      | V <sub>CC</sub> デジタル電源電流 (PBIST モード) | PBIST ROM クロック<br>周波数 = 110 MHz                                                                    |    |                    | 690 <sup>(3) (4)</sup> | mA |
| I <sub>CCIO</sub>                    | V <sub>CCIO</sub> 電源電流 (動作モード)       | DC 負荷なし、V <sub>CC</sub> 最大                                                                         |    |                    | 15                     | mA |
| I <sub>CCAD</sub>                    | V <sub>CCAD</sub> 電源電流 (動作モード)       | 単一の ADC が動作、<br>V <sub>CCAD</sub> 最大                                                               |    |                    | 15                     | mA |
|                                      |                                      | 両方の ADC が動作、<br>V <sub>CCAD</sub> 最大                                                               |    |                    | 30                     |    |
| I <sub>CCREFHI</sub>                 | AD <sub>REFHI</sub> 電源電流 (動作モード)     | 単一の ADC が動作、<br>AD <sub>REFHI</sub> 最大                                                             |    |                    | 5                      | mA |
|                                      |                                      | 両方の ADC が動作、<br>AD <sub>REFHI</sub> 最大                                                             |    |                    | 10                     |    |
| I <sub>CCP</sub>                     | V <sub>CCP</sub> ポンプ電源電流             | 1 バンクからの読み取り、他のバンクのプログラムまたは消去、<br>V <sub>CCP</sub> 最大                                              |    |                    | 55                     | mA |

(1) 代表値は、公称プロセス・コーナーおよび接合部温度 25° C での平均電流です。

(2) 最大 I<sub>CC</sub> 値は次の方法でデレレーティングすることができます。

- 電圧で線形に
- f<sub>HCLK</sub> = 2 \* f<sub>VCLK</sub> のとき、低い動作周波数に対して 1 mA/MHz
- 低い接合部温度に対して、以下の式で (ただし T<sub>JK</sub> は絶対温度の接合部温度、結果はミリアンペア単位)  

$$166 - 0.15 e^{0.0174 T_{JK}}$$

(3) 最大 I<sub>CC</sub> 値は次の方法でデレレーティングすることができます。

- 電圧で線形に
- f<sub>HCLK</sub> = 2 \* f<sub>VCLK</sub> のとき、低い動作周波数に対して 1.7 mA/MHz
- 低い接合部温度に対して、以下の式で (ただし T<sub>JK</sub> は絶対温度の接合部温度、結果はミリアンペア単位)  

$$166 - 0.15 e^{0.0174 T_{JK}}$$

(4) LBIST および PBIST 電流は、短期間、通常 10 ms 未満に対応するものです。通常この電流は、デバイスおよび電圧レギュレータの熱計算では無視されます。

### 3.6 推奨動作条件での入出力電気特性<sup>(1)</sup>

| パラメータ     |                 |                               | テスト条件                                            | 最小               | 標準 | 最大               | 単位      |
|-----------|-----------------|-------------------------------|--------------------------------------------------|------------------|----|------------------|---------|
| $V_{hys}$ | 入力ヒステリシス        | 全入力                           |                                                  | 180              |    |                  | mV      |
| $V_{IL}$  | ロー・レベル入力電圧      | 全入力 <sup>(2)</sup>            |                                                  | -0.3             |    | 0.8              | V       |
| $V_{IH}$  | ハイ・レベル入力電圧      | 全入力 <sup>(2)</sup>            |                                                  | 2                |    | $V_{CCIO} + 0.3$ | V       |
| $V_{OL}$  | ロー・レベル出力電圧      |                               | $I_{OL} = I_{OL \text{ 最大}}$                     |                  |    | $0.2V_{CCIO}$    | V       |
|           |                 |                               | $I_{OL} = 50 \mu A$ 、標準出力モード                     |                  |    | 0.2              |         |
|           |                 |                               | $I_{OL} = 50 \mu A$ 、低 EMI 出力モード(3.10 参照)        |                  |    | $0.2V_{CCIO}$    |         |
| $V_{OH}$  | ハイ・レベル出力電圧      |                               | $I_{OH} = I_{OH \text{ 最大}}$                     | $0.8 V_{CCIO}$   |    |                  | V       |
|           |                 |                               | $I_{OH} = 50 \mu A$ 、標準出力モード                     | $V_{CCIO} - 0.2$ |    |                  |         |
|           |                 |                               | $I_{OH} = 50 \mu A$ 、低 EMI 出力モード(3.10 参照)        | $0.8V_{CCIO}$    |    |                  |         |
| $I_{IC}$  | 入カクランプ電流(入出力ピン) |                               | $V_I < V_{SSIO} - 0.3$ or $V_I > V_{CCIO} + 0.3$ | -3.5             |    | 3.5              | mA      |
| $I_I$     | 入力電流(入出力ピン)     | $I_{IH}$ プルダウン<br>20 $\mu A$  | $V_I = V_{CCIO}$                                 | 5                |    | 40               | $\mu A$ |
|           |                 | $I_{IH}$ プルダウン<br>100 $\mu A$ | $V_I = V_{CCIO}$                                 | 40               |    | 195              |         |
|           |                 | $I_{IL}$ プルアップ<br>20 $\mu A$  | $V_I = V_{SS}$                                   | -40              |    | -5               |         |
|           |                 | $I_{IL}$ プルアップ<br>100 $\mu A$ | $V_I = V_{SS}$                                   | -195             |    | -40              |         |
|           |                 | その他のピン                        | No プルアップまたはプルダウン                                 | -1               |    | 1                |         |
| $C_I$     | 入力静電容量          |                               |                                                  |                  |    | 2                | pF      |
| $C_O$     | 出力静電容量          |                               |                                                  |                  |    | 3                | pF      |

(1) (デバイスへの)シンク電流が正のとき、(デバイスからの)ソース電流は負になります。

(2) これは nPORRST ピンには当てはまりません。

### 3.7 出力バッファ・ドライブ強度

表 3-2 出力バッファ・ドライブ強度

| ロー・レベル出力電流、 $V_I$ の $I_{OL} = V_{OL}$ 最大または<br>ハイ・レベル出力電流、 $V_I$ の $I_{OH} = V_{OH}$ 最小 | 信号                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|-----------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 8 mA                                                                                    | MIBSPI5CLK, MIBSPI5SOMI[0], MIBSPI5SOMI[1], MIBSPI5SOMI[2],<br>MIBSPI5SOMI[3], MIBSPI5SIMO[0], MIBSPI5SIMO[1], MIBSPI5SIMO[2],<br>MIBSPI5SIMO[3],<br>TMS, TDI, TDO, RTCK,<br>SPI4CLK, SPI4SIMO, SPI4SOMI, nERROR,<br>N2HET2[1], N2HET2[3],<br>全 EMIF 出力および入出力、全 ETM 出力                                                                                                                                                                                                                                                                     |
| 4 mA                                                                                    | TEST,<br>MIBSPI3SOMI, MIBSPI3SIMO, MIBSPI3CLK, MIBSPI1SIMO, MIBSPI1SOMI,<br>MIBSPI1CLK,<br>nRST                                                                                                                                                                                                                                                                                                                                                                                                                                            |
| 2 mA ゼロドミナント                                                                            | AD1EVT,<br>CAN1RX, CAN1TX, CAN2RX, CAN2TX, CAN3RX, CAN3TX,<br>DMM_CLK, DMM_DATA[0], DMM_DATA[1], DMM_nENA, DMM_SYNC,<br>GIOA[0-7], GIOB[0-7],<br>LINRX, LINTX,<br>MIBSPI1NCS[0], MIBSPI1NCS[1-3], MIBSPI1NENA, MIBSPI3NCS[0-3],<br>MIBSPI3NENA, MIBSPI5NCS[0-3], MIBSPI5NENA,<br>N2HET1[0-31], N2HET2[0], N2HET2[2], N2HET2[4], N2HET2[5], N2HET2[6],<br>N2HET2[7], N2HET2[8], N2HET2[9], N2HET2[10], N2HET2[11], N2HET2[12],<br>N2HET2[13], N2HET2[14], N2HET2[15], N2HET2[16], N2HET2[18],<br>SPI2NCS[0], SPI2NENA, SPI4NCS[0], SPI4NENA |
| 8 mA/2 mA 選択可能                                                                          | ECLK,<br>SPI2CLK, SPI2SIMO, SPI2SOMI<br>これらの信号の、デフォルト出力バッファ・ドライブ強度は 8 mA になります。                                                                                                                                                                                                                                                                                                                                                                                                                                                            |

### 3.8 入力タイミング

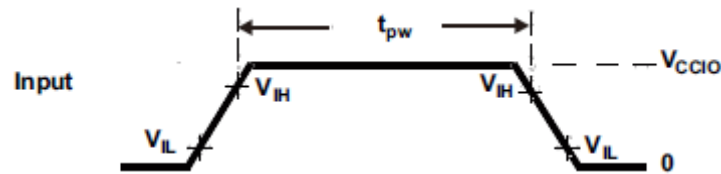


図 3-2 TTL レベル入力

表 3-3 入力のタイミング要件<sup>(1)</sup>

| パラメータ    |          | 最小                       | 最大 | 単位 |
|----------|----------|--------------------------|----|----|
| $t_{pw}$ | 入力最低パルス幅 | $t_{c(VCLK)} + 10^{(2)}$ |    | ns |

(1)  $t_{c(VCLK)}$  = ペリフェラル VBUS クロック・サイクル時間 =  $1 / f_{(VCLK)}$

(2) 図のタイミングは、GIO モードで使用するピンでのみ有効です。

### 3.9 出力タイミング

表 3-4 出力タイミングと負荷容量(CL)のスイッチング特性

| パラメータ          |                           |             | 最小 | 最大   | 単位 |
|----------------|---------------------------|-------------|----|------|----|
| 立ち上がり時間、 $t_r$ | 8 mA 低 EMI ピン(表 3-2 参照)   | CL = 15 pF  |    | 2.5  | ns |
|                |                           | CL = 50 pF  |    | 4    |    |
|                |                           | CL = 100 pF |    | 7.2  |    |
|                |                           | CL = 150 pF |    | 12.5 |    |
| 立ち下がり時間、 $t_f$ |                           | CL = 15 pF  |    | 2.5  | ns |
|                |                           | CL = 50 pF  |    | 4    |    |
|                |                           | CL = 100 pF |    | 7.2  |    |
|                |                           | CL = 150 pF |    | 12.5 |    |
| 立ち上がり時間、 $t_r$ | 4 mA 低 EMI ピン(表 3-2 参照)   | CL = 15 pF  |    | 5.6  | ns |
|                |                           | CL = 50 pF  |    | 10.4 |    |
|                |                           | CL = 100 pF |    | 16.8 |    |
|                |                           | CL = 150 pF |    | 23.2 |    |
| 立ち下がり時間、 $t_f$ |                           | CL = 15 pF  |    | 5.6  | ns |
|                |                           | CL = 50 pF  |    | 10.4 |    |
|                |                           | CL = 100 pF |    | 16.8 |    |
|                |                           | CL = 150 pF |    | 23.2 |    |
| 立ち上がり時間、 $t_r$ | 2 mA-z 低 EMI ピン(表 3-2 参照) | CL = 15 pF  |    | 8    | ns |
|                |                           | CL = 50 pF  |    | 15   |    |
|                |                           | CL = 100 pF |    | 23   |    |
|                |                           | CL = 150 pF |    | 33   |    |
| 立ち下がり時間、 $t_f$ |                           | CL = 15 pF  |    | 8    | ns |
|                |                           | CL = 50 pF  |    | 15   |    |
|                |                           | CL = 100 pF |    | 23   |    |
|                |                           | CL = 150 pF |    | 33   |    |

表 3-4 出力タイミングと負荷容量(CL)のスイッチング特性(続き)

| パラメータ          |                                  |            |             | 最小          | 最大 | 単位 |    |
|----------------|----------------------------------|------------|-------------|-------------|----|----|----|
| 立ち上がり時間、 $t_r$ | 8 mA/2 mA-z ピン選択可能<br>(表 3-2 参照) | 8 mA モード   | CL = 15 pF  |             | 2  | ns |    |
|                |                                  |            | CL = 50 pF  |             | 4  |    |    |
|                |                                  |            | CL = 100 pF |             | 8  |    |    |
|                |                                  |            | CL = 150 pF |             | 11 |    |    |
| 立ち下がり時間、 $t_f$ |                                  | 8 mA モード   | CL = 15 pF  |             | 2  | ns |    |
|                |                                  |            | CL = 50 pF  |             | 4  |    |    |
|                |                                  |            | CL = 100 pF |             | 8  |    |    |
|                |                                  |            | CL = 150 pF |             | 11 |    |    |
| 立ち上がり時間、 $t_r$ |                                  | 2 mA-z モード | CL = 15 pF  |             | 8  | ns |    |
|                |                                  |            | CL = 50 pF  |             | 15 |    |    |
|                |                                  |            | CL = 100 pF |             | 23 |    |    |
|                |                                  |            | CL = 150 pF |             | 33 |    |    |
| 立ち下がり時間、 $t_f$ |                                  |            | 2 mA-z モード  | CL = 15 pF  |    | 8  | ns |
|                |                                  |            |             | CL = 50 pF  |    | 15 |    |
|                |                                  |            |             | CL = 100 pF |    | 23 |    |
|                |                                  |            |             | CL = 150 pF |    | 33 |    |

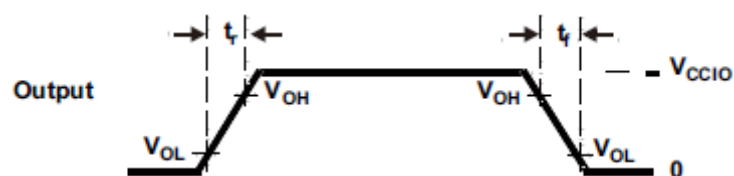


図 3-3 CMOS レベル出力

表 3-5 出力のタイミング要件<sup>(1)</sup>

| パラメータ                         |                                                                                                  | 最小 | 最大 | 単位 |
|-------------------------------|--------------------------------------------------------------------------------------------------|----|----|----|
| $t_{d(\text{parallel\_out})}$ | 汎用出力信号がローからハイ、またはハイからローに移行するまでの遅延時間で、アプリケーションによって並列で構成できるもの。たとえば GIOA ポートの全ての信号や全ての N2HET1 信号など。 |    | 5  | ns |

(1) この仕様が、出力バッファ・ドライブ強度の差や、外部容量性負荷の差の根拠になることはありません。各信号の出力バッファ・ドライブ強度については、表 3-2 をチェックしてください。

### 3.10 低 EMI 出力バッファ

低 EMI 出力バッファは、ドライブ対象のピンから発生する信号のデカップリングの問題に対処する目的で設計されました。これは、出力バッファのインピーダンスをアダプティブに制御することによって行い、特に容量性負荷に対して効果的です。

これは、低 EMI 出力バッファの動作のデフォルト・モードではないため、示されている所定のモジュールや信号に対するシステム・モジュール GPCR1 レジスタをセットすることでイネーブルにしなければなりません。アダプティブ・インピーダンス制御回路は、出力信号の DC バイアス・ポイントをモニタします。バッファは 2 つの基準レベル、VREFLOW と VREFHIGH を内部で生成し、これがそれぞれ VCCIO の約 10% と 90% に設定されます。

出力バッファが出力をロー・レベルにドライブしたとき、出力電圧が VREFLOW より低い場合、出力バッファのインピーダンスが hi-Z まで増加します。このとき、内部グラウンド・バスと出力ピンの間で、容量性負荷に対して高いレベルのデカップリングが発生します。また、電流が流れない負荷、たとえばグラウンドへの抵抗パスでバッファがローにドライブする場合などもこれが当てはまります。バッファの電流負荷は、出力電圧を VREFLOW 以上にプルしようとしても、バッファの出力インピーダンスによってそれが妨げられ、出力電圧が VREFLOW 以下で維持されます。

逆に、出力バッファが出力をハイ・レベルにドライブしたとき、出力電圧が VREFHIGH より高い場合、出力バッファのインピーダンスが再び hi-Z まで増加します。このとき、内部パワー・バスと出力ピンの間で、容量性負荷に対して高いレベルのデカップリングが発生します。また、電流が流れない負荷、たとえば VCCIO への抵抗パスでバッファがハイにドライブする場合などもこれが当てはまります。バッファの電流負荷は、出力電圧を VREFHIGH 以下にプルしようとしても、バッファの出力インピーダンスによってそれが妨げられ、出力電圧が VREFHIGH 以上で維持されます。

制御回路の帯域幅は相対的に低いいため、アダプティブ・インピーダンス・コントロール・モードの出力バッファは、バッファのパワー・バスに流れる高周波ノイズ・カップリングに応答できません。このようにして、VCCIO のピーク・ピーク値の約 20% に達する内部バス・ノイズを拒絶することができます。

インピーダンス・コントロール・モードの出力バッファは、レールにクランプする標準出力バッファと異なり、正の電流負荷の場合、出力電圧を VCCIO + 0.6V まで逆相なしでプルアップします。また負の電流負荷の場合は、出力電圧を VSSIO - 0.6V まで逆相なしでプルダウンします。ただし、実際のクランプ電流耐量が常に IOH / IOL 仕様を超えているため、これが問題になることはありません。

デバイスがロー・パワー・モードに移行する際には、低 EMI 出力バッファは、自動的に標準バッファモードに設定されます。

表 3-6 低 EMI 出力バッファの対応関係

| モジュールまたは信号名    | 低 EMI モードをイネーブルにするコントロール・レジスタ |
|----------------|-------------------------------|
| モジュール: MibSPI1 | GPREG1.0                      |
| モジュール: SPI2    | GPREG1.1                      |
| モジュール: MibSPI3 | GPREG1.2                      |
| 予約             | GPREG1.3                      |
| 信号: TMS        | GPREG1.8                      |
| 信号: TDI        | GPREG1.9                      |
| 信号: TDO        | GPREG1.10                     |
| 信号: RTCK       | GPREG1.11                     |
| 信号: TEST       | GPREG1.12                     |
| 信号: nERROR     | GPREG1.13                     |
| 予約             | GPREG1.14                     |

---

## 4. システム情報および電気的特性

### 4.1 デバイスのパワー・ドメイン

デバイスのコア・ロジックは、アプリケーションに合わせてパワーを最適化するため、複数のパワー・ドメインに別れています。PD1、PD2、PD3、PD4、PD5、RAM\_PD1、RAM\_PD2、RAM\_PD3 の合計 8 つのコア・パワー・ドメインがあります。

これらのパワー・ドメインの実際の内容については [1.4 節](#) で示しています。

PD1 は「常時オン」パワー・ドメインで、オフにすることができません。他のコア・パワー・ドメインは、デバイスの初期化時に、アプリケーションの要件に合わせて一度だけそれぞれオン/オフを切り換えることができます。詳細については『*RM48x Technical Reference Manual (RM48x テクニカル・リファレンス・マニュアル)*』([SPNU503](#))の「Power Management Module (PMM) (パワー・マネージメント・モジュール)」の章を参照してください。

---

#### 注

モジュールに送出するクロックは、そのモジュールを含むコア・ドメインをパワー・ダウンする前にオフにしなければなりません。

---

---

#### 注

パワー・ダウンしたモジュール内のロジックは、完全に電力を失います。パワー・ダウンしたモジュールにアクセスした場合、アボートが生成されます。電力が復旧すると、モジュールはパワー・アップしデフォルトの状態になります(通常のパワー・アップ動作の後)。オフになったコア・ドメインでは、レジスタやメモリの内容が維持されることはありません。

---

## 4.2 電圧モニタの特性

このデバイスには電圧モニタが実装されています。この電圧モニタの目的は、コアおよび入出力電源電圧をパワーアップする際のシーケンス要件を排除することにあります。

### 4.2.1 重要事項

- 電圧モニタが搭載されているからといって、電源電圧が範囲外になったときにデバイスをリセット状態に維持するための電圧スーパーバイザ回路の必要性はなりません。
- 電圧モニタは、コア電源 (VCC) および入出力電源 (VCCIO) のみをモニタします。他の電源については、VMON ではモニタされません。たとえば VCCAD または VCCP が VCCIO 以外のソースから供給されている場合は、VCCAD および VCCP 電源に対する内部電圧モニタはありません。

### 4.2.2 電圧モニタの動作

電圧モニタはデバイスで、Power Good MCU 信号 (PGMCU) と I/Os Power Good IO 信号 (PGIO) を生成します。パワーアップまたはパワーダウン時、コア電源または入出力電源が所定の最低モニタリングしきい値を下回ると、PGMCU および PGIO はローにドライブされます。PGIO および PGMCU がローになると、電源のパワーアップまたはパワーダウン時にコア・ロジックと入出力コントロールが絶縁されるようになります。この結果、コア電源と入出力電源が任意の順序でパワーアップ/パワーダウンできるようになります。

電圧モニタが入出力電源で低電圧を検出すると、パワーオン・リセットをアサートします。電圧モニタがコア電圧で範囲外の電圧を検出すると、すべての出力ピンを非同期でハイ・インピーダンスにして、パワーオン・リセットをアサートします。電圧モニタは、デバイスがロー・パワー・モードになるとオフになります。

VMON では、nPORRST 入力に対するグリッチ・フィルタを搭載しています。グリッチ・フィルタのタイミングについては、[4.3.3.1 節](#)を参照してください。

表 4-1 電圧モニタの仕様

| パラメータ            |            |                                                    | 最小   | 標準  | 最大  | 単位 |
|------------------|------------|----------------------------------------------------|------|-----|-----|----|
| V <sub>MON</sub> | 電圧モニタのしきい値 | VCC ロー - VCC レベルがこのしきい値を下回った場合、低すぎる値として認識されます。     | 0.75 | 0.9 | 1.0 | V  |
|                  |            | VCC ハイ - VCC レベルがこのしきい値を上回った場合、高すぎる値として認識されます。     | 1.40 | 1.7 | 2.1 |    |
|                  |            | VCCIO ロー - VCCIO レベルがこのしきい値を下回った場合、低すぎる値として認識されます。 | 1.85 | 2.4 | 2.9 |    |

### 4.2.3 電源フィルタリング

VMON には、VCC および VCCIO 電源のグリッチをフィルタする機能があります。

以下の表は、電源フィルタリングの特性を示しています。電源のグリッチが最大仕様値を超えている場合は、フィルタすることができません。

表 4-2 VMON 電源のグリッチ・フィルタリング機能

| パラメータ                    | 最小     | 最大        |
|--------------------------|--------|-----------|
| フィルタリングできる VCC のグリッチの幅   | 250 ns | 1 $\mu$ s |
| フィルタリングできる VCCIO のグリッチの幅 | 250 ns | 1 $\mu$ s |

## 4.3 電源シーケンスおよびパワーオン・リセット

### 4.3.1 電源投入シーケンス

VCCIO 電源電圧と VCC 電源電圧のランプの間にはタイミングの依存関係はありません。電源投入シーケンスではまず、入出力電圧が最低入出力電源しきい値を超えて上昇し(詳細については表 4-4 を参照)、コア電圧が最低コア電源しきい値を超えて、パワーオン・リセットが発行されます。高周波発振回路がまず始動し、その振幅が許容レベルまで増大します。発振回路のスタートアップ時間は、発振回路のタイプによって変動し、発振回路ベンダーが規定しています。デバイスに対するさまざまな電源は、任意の順序で投入することができます。

デバイスは、電源投入時、以下のシーケンスで動作します。

**表 4-3 電源投入フェーズ**

|                  |                       |
|------------------|-----------------------|
| 発振回路の始動と妥当性検査    | 発振回路サイクル数:1032        |
| eFuse のオートロード    | 発振回路サイクル数:1180        |
| フラッシュ・ポンプ・パワーアップ | 発振回路サイクル数:688         |
| フラッシュ・バンク・パワーアップ | 発振回路サイクル数:617         |
| <b>計</b>         | <b>発振回路サイクル数:3517</b> |

上記のシーケンスの最後に CPU リセットが発行され、アドレス 0x00000000 から最初の命令がフェッチされます。

### 4.3.2 電源遮断シーケンス

デバイスに対するさまざまな電源は、任意の順序で遮断することができます。

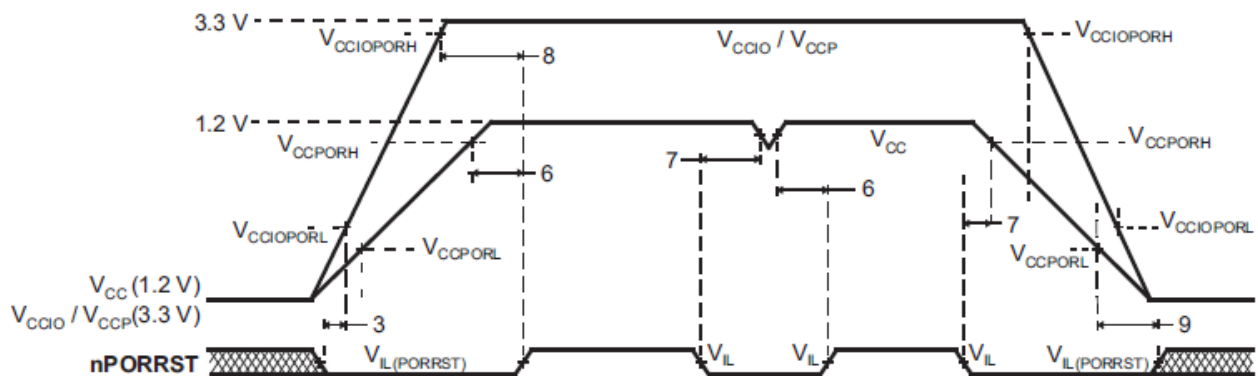
### 4.3.3 パワーオン・リセット:nPORRST

これはパワーオン・リセットです。このリセットは、入出力電源またはコア電源が所定の推奨範囲を出たら、必ず外部回路によってアサートされなければなりません。この信号には、グリッチ・フィルタが付いています。また内部プルダウンも付いています。

#### 4.3.3.1 nPORRST の電氣的要件およびタイミング要件

表 4-4 nPORRST の電氣的要件

| NO | パラメータ            | 最小                                                                               | 最大 | 単位 |
|----|------------------|----------------------------------------------------------------------------------|----|----|
|    | $V_{CCPORL}$     | パワーアップ時、nPORRST がアクティブになる $V_{CC}$ ローの電源レベル                                      |    |    |
|    | $V_{CCPORH}$     | パワーアップ時、nPORRST がアクティブな状態を継続し、パワーダウン時にアクティブになる $V_{CC}$ ハイの電源レベル                 |    |    |
|    | $V_{CCIOPORL}$   | パワーアップ時、nPORRST がアクティブになる $V_{CCIO} / V_{CCP}$ ローの電源レベル                          |    |    |
|    | $V_{CCIOPORH}$   | パワーアップ時、nPORRST がアクティブな状態を継続し、パワーダウン時にアクティブになる $V_{CCIO} / V_{CCP}$ ハイの電源レベル     |    |    |
|    | $V_{IL(PORRST)}$ | nPORRST が $V_{CCIO} > 2.5V$ のロー・レベル入力電圧                                          |    |    |
|    |                  | nPORRST が $V_{CCIO} < 2.5V$ のロー・レベル入力電圧                                          |    |    |
| 3  | $t_{SU(PORRST)}$ | セットアップ時間、パワーアップ時 $V_{CCIO}$ および $V_{CCP} > V_{CCIOPORL}$ になる前に nPORRST がアクティブな状態 |    |    |
| 6  | $t_{H(PORRST)}$  | ホールド時間、 $V_{CC} > V_{CCPORH}$ になる後に nPORRST がアクティブな状態                            |    |    |
| 7  | $t_{SU(PORRST)}$ | セットアップ時間、パワーダウン時 $V_{CC} < V_{CCPORH}$ になる前に nPORRST がアクティブな状態                   |    |    |
| 8  | $t_{H(PORRST)}$  | ホールド時間、 $V_{CCIO}$ および $V_{CCP} > V_{CCIOPORH}$ になる後に nPORRST がアクティブな状態          |    |    |
| 9  | $t_{H(PORRST)}$  | ホールド時間、 $V_{CC} < V_{CCPORL}$ になる後に nPORRST がアクティブな状態                            |    |    |
|    | $t_f(nPORRST)$   | フィルタ時間、nPORRST ピン;<br>最小以下のパルスはフィルタリングされ、最大以上のパルスはリセットを生成                        |    |    |



注: VCCIO 電源電圧とVCC 電源電圧のランプの間にはタイミングの依存関係はありません。この図は典型例を示しています。

図 4-1 nPORRST のタイミング図

## 4.4 ウォーム・リセット(nRST)

これは双方向のリセット信号です。内部回路は、デバイス・リセット条件を検出したら、この信号をローにドライブします。外部回路は、この信号を強制的にローにすることによってデバイス・リセットをアサートすることができます。この端子では、出力バッファがオープン・ドレインとして実装されています（ローにのみドライブ）。外部リセットが勝手に生成されないようにするため、外部プルアップ抵抗をこの端子に接続することが望まれます。

この端子にはグリッチ・フィルタがあります。また内部プルアップも付いています。

### 4.4.1 ウォーム・リセットの要因

**表 4-5 ウォーム・リセットの要因**

| デバイス・イベント                   | SYSTEM STATUS FLAG           |
|-----------------------------|------------------------------|
| パワーアップ・リセット                 | 例外ステータス・レジスタ、ビット 15          |
| 発振回路の障害                     | グローバル・ステータス・レジスタ、ビット 0       |
| PLL スリップ                    | グローバル・ステータス・レジスタ、ビット 8 および 9 |
| ウォッチドッグの例外 / デバッグのリセット      | 例外ステータス・レジスタ、ビット 13          |
| CPU リセット (CPU STC によってドライブ) | 例外ステータス・レジスタ、ビット 5           |
| ソフトウェア・リセット                 | 例外ステータス・レジスタ、ビット 4           |
| 外部リセット                      | 例外ステータス・レジスタ、ビット 3           |

### 4.4.2 nRST のタイミング要件

**表 4-6 nRST のタイミング要件<sup>(1)</sup>**

| パラメータ         |                                                       | 最小                                  | 最大   | 単位 |
|---------------|-------------------------------------------------------|-------------------------------------|------|----|
| $t_{V(RST)}$  | 有効時間、nPORRST がインアクティブになる後に nRST がアクティブな状態             | $1180 t_{c(OSC)} + 1048 t_{c(OSC)}$ |      | ns |
|               | 有効時間、nRST がアクティブな状態 (他のすべてのシステムのリセット条件)               | $8 t_{c(VCLK)}$                     |      |    |
| $t_{I(nRST)}$ | フィルタ時間、nRST ピン<br>最小以下のパルスはフィルタリングされ、最大以上のパルスはリセットを生成 | 500                                 | 2000 | ns |

(1) 指定されている値には、立ち上がり/立ち下がり時間は含まれていません。立ち上がり/立ち下がりのタイミングについては、[表 3-4](#)を参照してください。

## 4.5 ARM® Cortex-R4F™ CPU の情報

### 4.5.1 ARM Cortex-R4F™ CPU の特徴の要約

ARM Cortex-R4F™ CPU には、次のような特徴があります。

- EmbeddedICE-RT ロジックを内蔵した整数ユニット
- レベル 2 (L2) マスタおよびスレーブ・インターフェイス用の、高速のアドバンスト・マイクロプロセッサ・バス・アーキテクチャ (AMBA) アドバンスト・エクステンシブル・インターフェイス (AXI)
- 浮動小数点コプロセッサ
- グローバルな履歴バッファと 4 エントリのリターン・スタックを持つ動的な分岐予測
- 低レイテンシ割り込み
- ノン・マスカブル割り込み
- ハーバード レベル 1 (L1) メモリ・システム。このシステムには、次のオプションを使用できます。
  - メモリのエラー訂正やパリティ・チェックをサポートする密結合メモリ (TCM) インターフェイス
  - 12 のリージョンを持つ ARMv7-R アーキテクチャのメモリ保護ユニット (MPU)
- デュアル・コア・ロジックによる、セーフティクリティカル・アプリケーションでの障害検出
- L2 メモリ・インターフェイス：
  - 単一の 64 ビット・マスタ AXI インターフェイス
  - TCM RAM ブロックへの 64 ビットのスレーブ AXI インターフェイス
- CoreSight デバッグ・アクセス・ポート (DAP) へのデバッグ・インターフェイス
- CoreSight ETM-R4 へのトレース・インターフェイス
- 性能監視ユニット (PMU)
- ベクタ割り込みコントローラ (VIC) ポート

ARM Cortex-R4F™ CPU の詳細については、[www.arm.com](http://www.arm.com) を参照してください。

### 4.5.2 ソフトウェアでイネーブルにできる ARM Cortex-R4F™ CPU の機能

以下の CPU 機能は、リセット時にディスエーブルされており、必要に応じてアプリケーションでイネーブルにしなければなりません。

- 密結合メモリ (TCM) アクセスでの ECC
- ハードウェア・ベクタ割り込み (VIC) ポート
- 浮動小数点コプロセッサ
- メモリ保護ユニット (MPU)

### 4.5.3 デュアル・コア実装

デバイスには 2 つの Cortex-R4F コアがあり、その CPU の出力信号が CCMR4 ユニットで比較されます。共通モードの影響回避として、図 4-3 のように、比較対象の CPU 信号を 2 クロック・サイクル分遅延させます。

CPU には、以下の要件に従った多様な CPU 配置があります。

- 異なる方向:たとえば CPU1 = 「北」向き、CPU2 = 「西」向き
- 各 CPU に専用のガード・リング

North                      Flip West



図 4-2 デュアル - CPU の方向

### 4.5.4 GCLK の後の重複クロック・ツリー

CPU のクロック・ドメインは 2 つのクロック・ツリーに分割されており、それぞれ各 CPU に対応しています。2 番目の CPU クロックが、CPU1 のクロックと同じ周波数、フェーズで動作します。図 4-3 を参照してください。

### 4.5.5 ARM Cortex-R4F™の、安全性のための CPU コンペア・モジュール(CCM)

このデバイスには 2 つの ARM Cortex-R4F™ CPU コアがあり、両方の CPU の出力信号が CCM-R4 ユニットで比較されます。共通モードの影響を避けるため、下の図のように、比較対象の CPU の信号が異なる方法で遅延するようになっています。

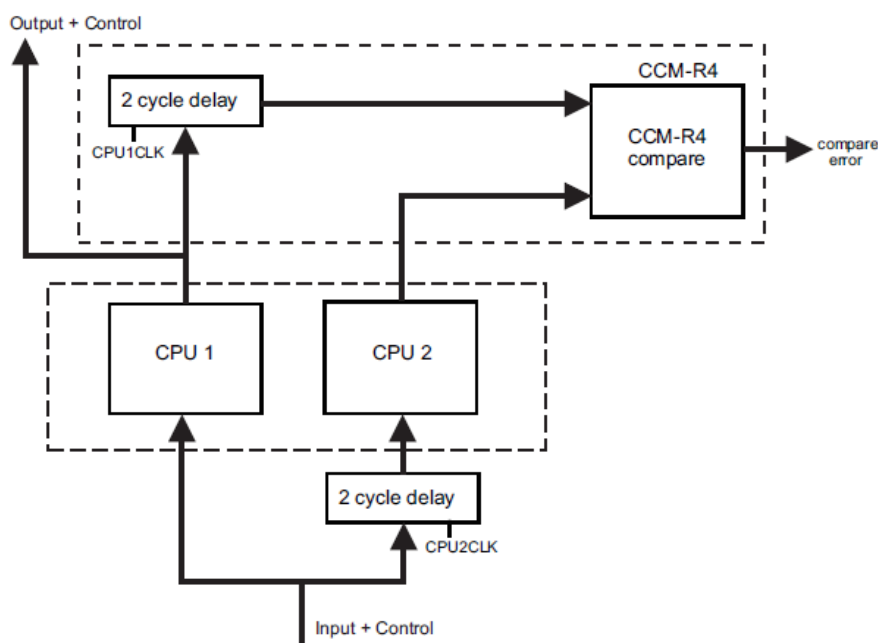


図 4-3 デュアル・コア実装

CCM-R4 のコンペア・エラーを防止するため、レジスタを使用する前に、アプリケーション・ソフトウェアが両 CPU のレジスタを初期化しなければなりません(レジスタ値をスタックに転送する関数呼び出しを含む)。

#### 4.5.6 CPU セルフテスト

2 つの Cortex-R4F CPU コアをテストするために、テスト・エンジンとしてデタミニスティック・ロジック BIST コントローラを使用し、CPU STC(セルフテスト・コントローラ)を使用します。

セルフテスト・コントローラの主な特徴を以下に示します。

- 1 つの完全なテストを、独立した複数のテスト・インターバルに分割可能。
- 完全なテストを、複数のインターバルと同時に実行可能。
- 最後に実行したインターバル(テスト・セット)から継続可能、また最初(最初のテスト・セット)から再開することも可能。
- セルフテスト実行中に、セルフテスト済みの CPU コアを、他のシステムから完全に分離。
- 障害インターバル数をキャプチャ可能。
- フェールセーフ機能としての、CPU セルフテスト実行のタイムアウト・カウンタ。

##### 4.5.6.1 CPU セルフテストのアプリケーション・シーケンス

1. クロック・ドメインの周波数を構成します。
2. 実行するテスト・インターバルの数を選択します。
3. セルフテスト実行のタイムアウト期間を構成します。
4. セルフテストをイネーブルにします。
5. CPU リセットを待ちます。
6. リセット・ハンドラで、CPU セルフテストのステータスを読み込んで、障害を識別します。
7. 必要であれば、CPU の状態を戻します。

詳細については、各デバイスのテクニカル・リファレンス・マニュアルを参照してください。

##### 4.5.6.2 CPU セルフテスト・クロック構成

セルフテストの最大クロック速度は 110 MHz です。STCCLK は CPU クロックから分周されます。この分周比は、アドレス 0xFFFFE108 の STCCLKDIV レジスタで構成されます。

詳細については、各デバイスのテクニカル・リファレンス・マニュアルを参照してください。

### 4.5.6.3 CPU セルフテストのカバレッジ

表 4-7 は、それぞれのセルフテスト・インターバルで対応できる CPU テストのカバレッジを示しています。累積のテスト・サイクルもあわせて示しています。テスト時間は、テスト・サイクル数と STC クロック期間を乗算することによって計算することができます。

**表 4-7 CPU セルフテストのカバレッジ**

| インターバル | テスト範囲: % | テスト・サイクル |
|--------|----------|----------|
| 0      | 0        | 0        |
| 1      | 62.13    | 1365     |
| 2      | 70.09    | 2730     |
| 3      | 74.49    | 4095     |
| 4      | 77.28    | 5460     |
| 5      | 79.28    | 6825     |
| 6      | 80.90    | 8190     |
| 7      | 82.02    | 9555     |
| 8      | 83.10    | 10920    |
| 9      | 84.08    | 12285    |
| 10     | 84.87    | 13650    |
| 11     | 85.59    | 15015    |
| 12     | 86.11    | 16380    |
| 13     | 86.67    | 17745    |
| 14     | 87.16    | 19110    |
| 15     | 87.61    | 20475    |
| 16     | 87.98    | 21840    |
| 17     | 88.38    | 23205    |
| 18     | 88.69    | 24570    |
| 19     | 88.98    | 25935    |
| 20     | 89.28    | 27300    |
| 21     | 89.50    | 28665    |
| 22     | 89.76    | 30030    |
| 23     | 90.01    | 31395    |
| 24     | 90.21    | 32760    |

## 4.6 クロック

### 4.6.1 クロック・ソース

次の表では、デバイスで使用可能なクロック・ソースを示しています。それぞれのクロック・ソースは、システム・モジュールの CSDISx レジスタを使用してイネーブル/ディスエーブルすることができます。表のクロック・ソース番号は、そのクロック・ソースの CSDISx レジスタの制御ビットに対応しています。

この表では、それぞれのクロック・ソースのデフォルト状態も示しています。

表 4-8 使用可能なクロック・ソース

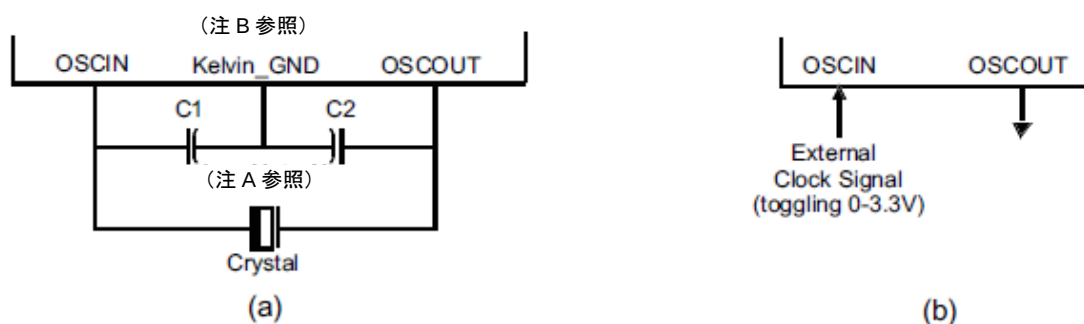
| クロック・ソース# | 名称        | 説明             | デフォルト状態 |
|-----------|-----------|----------------|---------|
| 0         | OSCIN     | メイン発振回路        | イネーブル   |
| 1         | PLL1      | PLL1 からの出力     | ディスエーブル |
| 2         | 予約        | 予約             | ディスエーブル |
| 3         | EXTCLKIN1 | 外部クロック入力#1     | ディスエーブル |
| 4         | CLK80K    | 内部基準発振回路の低周波出力 | イネーブル   |
| 5         | CLK10M    | 内部基準発振回路の高周波出力 | イネーブル   |
| 6         | PLL2      | PLL2 からの出力     | ディスエーブル |
| 7         | EXTCLKIN2 | 外部クロック入力#2     | ディスエーブル |

#### 4.6.1.1 メイン発振回路

この発振回路は、図 4-4 のように、外部 OSCIN ピンと OSCOUT ピンの間に適切な基本波共振器/クリスタルとロード・キャパシタを接続することでイネーブルします。発振回路は、統合されたバイアス抵抗でバイアスが維持されるシングル・インバータです。この抵抗は、リーク・テストの測定およびロー・パワー・モードの際はディスエーブルになります。

検証のために、共振器/クリスタルのベンダーに対しデバイスのサンプルを送付することが推奨します。ベンダーは、極端な温度/電圧でも最適なスタートアップと動作を実現できるようにするため、自社の共振器/クリスタルをマイコン・デバイスに対応させる上でどのロード・キャパシタが最適か判定することができます。

次の図のように、3.3V クロック信号を OSCIN ピンに接続し、OSCOUT ピンを未接続（オープン）にしておくことで、外部発振回路ソースを使用することができます。



注 A: C1 および C2 の値は、共振器/クリスタルのベンダーが指定した数値です。

注 B: ケルビン GND を他の GND に接続することはできません。

図 4-4 推奨クリスタル/クロック接続

#### 4.6.1.1.1 メイン発振回路のタイミング要件

表 4-9 メイン発振回路のタイミング要件

| パラメータ       |                                     | 最小 | タイプ | 最大  | 単位 |
|-------------|-------------------------------------|----|-----|-----|----|
| tc(OSC)     | サイクル時間、OSCIN(正弦波入力使用時)              | 50 |     | 200 | ns |
| tc(OSC_SQR) | サイクル時間、OSCIN(OSCIN への入力が矩形波の場合)     | 50 |     | 200 | ns |
| tw(OSCIL)   | パルス持続期間、OSCIN ロー(OSCIN への入力が矩形波の場合) | 6  |     |     | ns |
| tw(OSCIH)   | パルス持続期間、OSCIN ハイ(OSCIN への入力が矩形波の場合) | 6  |     |     | ns |

#### 4.6.1.2 低電力発振回路

低電力発振回路(LPO)は、シングル・マクロの HF LPO と LF LPO の 2 つの発振回路で構成されています。

##### 4.6.1.2.1 機能

LPO の主な特徴には、次のようなものがあります。

- 節電モードでは極端に低い電力でクロックを供給します。これはグローバル・クロック・モジュールのクロック・ソース#4 として接続します。
- 非タイミングクリティカル・システムに高周波クロックを供給します。これはグローバル・クロック・モジュールのクロック・ソース#5 として接続します。
- クリスタル発振回路の障害検知回路に、比較クロックを供給します。

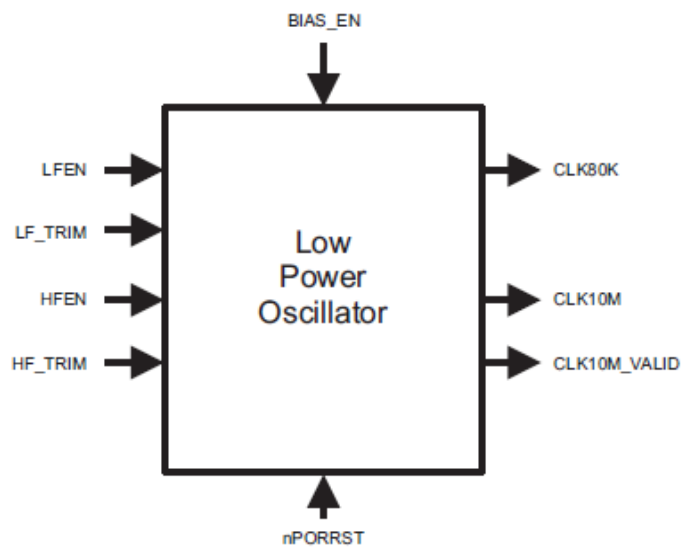


図 4-5 LPO ブロック図

図 4-5 は、内部基準発振回路のブロック図を示しています。これは低電力発振回路(LPO)で、公称 80 kHz と公称 10 MHz の 2 つのクロック・ソースを供給します。

##### 4.6.1.2.2 LPO の電気およびタイミング特性

表 4-10 LPO の特性

| パラメータ         |                                                       | 最小  | タイプ | 最大   | 単位      |
|---------------|-------------------------------------------------------|-----|-----|------|---------|
| LPO - HF 発振回路 | トリムなし周波数                                              | 5.5 | 9.6 | 19.5 | MHz     |
|               | STANDBY からのスタートアップ時間 (900 $\mu$ s 以上で LPO BIAS_EN ハイ) |     |     | 10   | $\mu$ s |
|               | コールド・スタートアップ時間                                        |     |     | 900  | $\mu$ s |
| LPO - LF 発振回路 | トリムなし周波数                                              | 36  | 85  | 180  | kHz     |
|               | STANDBY からのスタートアップ時間 (900 $\mu$ s 以上で LPO BIAS_EN ハイ) |     |     | 100  | $\mu$ s |
|               | コールド・スタートアップ時間                                        |     |     | 2000 | $\mu$ s |

### 4.6.1.3 フェーズ・ロック・ループ(PLL)クロック・モジュール

PLL は、入力周波数を高い周波数に通倍するために使用します。

PLL の主な特徴には、次のようなものがあります。

- オプションで、PLL1 の合成周波数に周波数変調を重ねることができます。PLL2 の周波数変調機能は、永続的に無効になっています。
- 構成可能な乗算器と分周器。
- 内蔵 PLL スリップ・モニタリング回路。
- PLL スリップ検出でデバイスをリセットするオプション。

#### 4.6.1.3.1 ブロック図

図 4-6 は、このマイコンの 2 つの PLL マクロのハイ・レベル・ブロック図です。PLLCTL1 および PLLCTL2 は PLL1 の乗算器と分周器を構成するために使用され、PLLCTL3 は PLL2 の乗算器と分周器を構成するために使用されます。

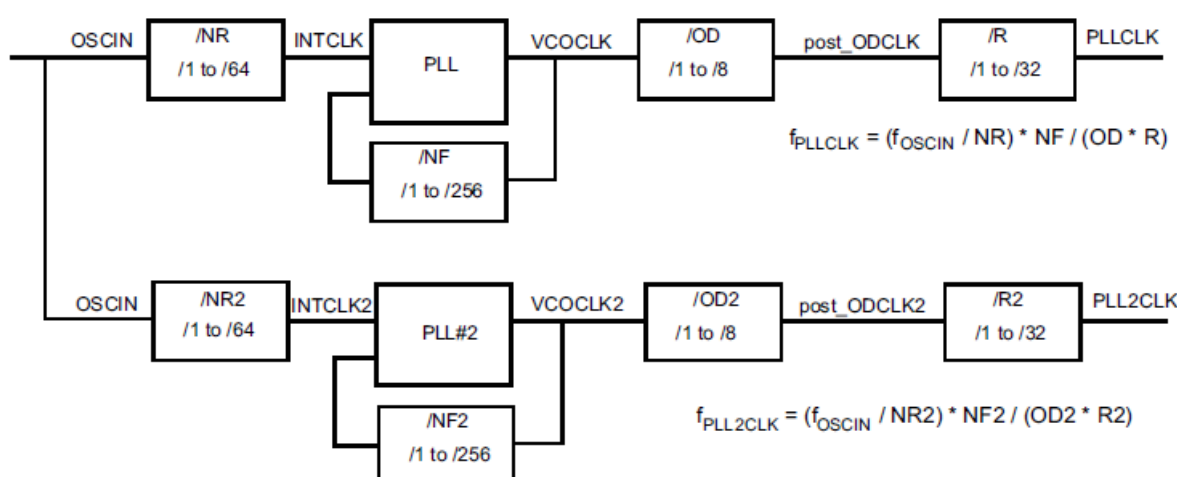


図 4-6 ZWT PLLx ブロック図

#### 4.6.1.3.2 PLL タイミング特性

表 4-11 PLL タイミング特性

| パラメータ                     |                                   | 最小  | 最大  | 単位  |
|---------------------------|-----------------------------------|-----|-----|-----|
| $f_{\text{INTCLK}}$       | PLL1 基準クロック周波数                    | 1   | 20  | MHz |
| $f_{\text{post\_ODCLK}}$  | Post-ODCLK - PLL1、分周器後の入力クロック周波数  |     | 400 | MHz |
| $f_{\text{VCOCLK}}$       | VCOCLK - PLL1、出力分周器(OD)の入力クロック周波数 | 150 | 550 | MHz |
| $f_{\text{INTCLK2}}$      | PLL2 基準クロック周波数                    | 1   | 20  | MHz |
| $f_{\text{post\_ODCLK2}}$ | Post-ODCLK - PLL2、分周器後の入力クロック周波数  |     | 400 | MHz |
| $f_{\text{VCOCLK2}}$      | VCOCLK - PLL2、出力分周器(OD)の入力クロック周波数 | 150 | 550 | MHz |

#### 4.6.1.4 外部クロック入力

デバイスは、最大で2つの外部クロック入力をサポートします。このクロック入力は、矩形波入力でなければなりません。これらのクロック入力の電気およびタイミング要件を以下で指定します。

**表 4-12 外部クロックのタイミングおよび電气的特性**

| パラメータ                                   | 説明                | 最小   | 最大                      | 単位  |
|-----------------------------------------|-------------------|------|-------------------------|-----|
| $f_{\text{EXTCLKx}}$                    | 外部クロック入力周波数       |      | 80                      | MHz |
| $t_{\text{W}}(\text{EXTCLKIN})\text{H}$ | EXTCLK ハイ・パルス持続期間 | 6    |                         | ns  |
| $t_{\text{W}}(\text{EXTCLKIN})\text{L}$ | EXTCLK ロー・パルス持続期間 | 6    |                         | ns  |
| $V_{\text{IL}}(\text{EXTCLKIN})$        | ロー・レベル入力電圧        | -0.3 | 0.8                     | V   |
| $V_{\text{IH}}(\text{EXTCLKIN})$        | ハイ・レベル入力電圧        | 2    | $V_{\text{CCIO}} + 0.3$ | V   |

## 4.6.2 クロック・ドメイン

### 4.6.2.1 クロック・ドメインの解説

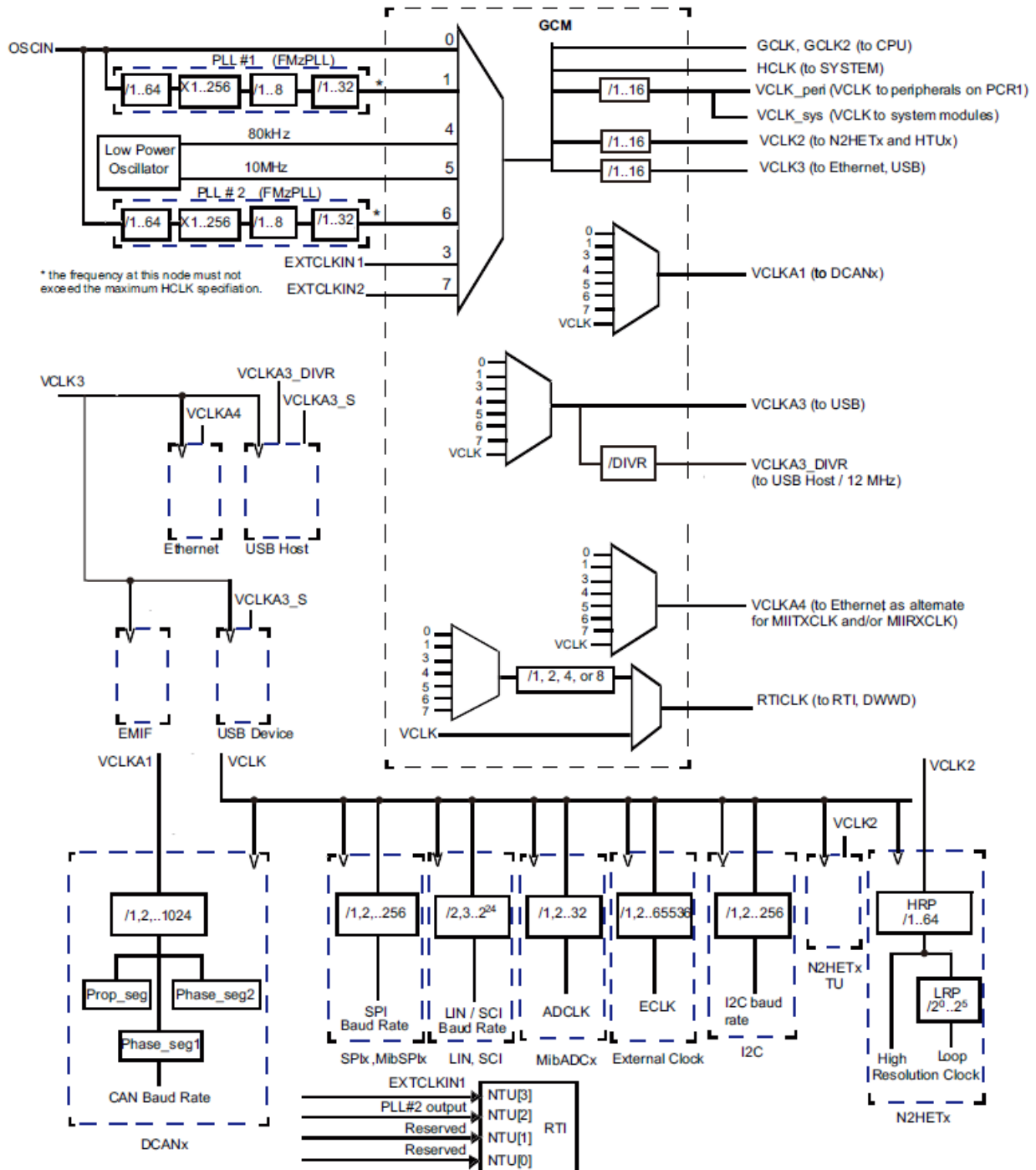
次の表は、デバイスのクロック・ドメインと、それに対するデフォルト・クロック・ソースを示しています。この表では、それぞれのクロック・ドメインでクロック・ソースを選択するために使用できるシステム・モジュールのコントロール・レジスタも示しています。

**表 4-13 クロック・ドメインの解説**

| クロック・ドメイン名  | デフォルト・クロック・ソース | クロック・ソース<br>選択レジスタ | 説明                                                                                                                                                                                                                                                                                                                |
|-------------|----------------|--------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| HCLK        | OSCIN          | GHVSR              | <ul style="list-style-type: none"> <li>CDDISx レジスタのビット 1 経由でディスエーブル。</li> <li>DMA、ESM を含むすべてのシステム・モジュールで使用。</li> </ul>                                                                                                                                                                                            |
| GCLK        | OSCIN          | GHVSR              | <ul style="list-style-type: none"> <li>常に HCLK と同じ周波数。</li> <li>HCLK のフェーズ。</li> <li>CDDISx レジスタのビット 0 経由で単独でディスエーブル。</li> <li>CPU セルフテスト (LBIST) を実行するとき、STCCLKDIV レジスタの、アドレス 0xFFFFE108 の CLKDIV フィールドを使用して、1~8 で分周可能。</li> </ul>                                                                               |
| GCLK2       | OSCIN          | GHVSR              | <ul style="list-style-type: none"> <li>常に GCLK と同じ周波数。</li> <li>GCLK から 2 サイクル遅延。</li> <li>GCLK と一緒にディスエーブル。</li> <li>CPU セルフテスト (LBIST) を実行するとき、GCLK と同じ分周器設定で分周。</li> </ul>                                                                                                                                     |
| VCLK        | OSCIN          | GHVSR              | <ul style="list-style-type: none"> <li>HCLK から分周。</li> <li>HCLK/1、HCLK/2、... HCLK/16 のいずれか。</li> <li>CDDISx レジスタのビット 2 経由で単独でディスエーブル。</li> </ul>                                                                                                                                                                  |
| VCLK2       | OSCIN          | GHVSR              | <ul style="list-style-type: none"> <li>HCLK から分周。</li> <li>HCLK/1、HCLK/2、... HCLK/16 のいずれか。</li> <li>周波数は VCLK の周波数の整数倍に設定可能。</li> <li>CDDISx レジスタのビット 3 経由で単独でディスエーブル。</li> </ul>                                                                                                                                |
| VCLK3       | OSCIN          | GHVSR              | <ul style="list-style-type: none"> <li>HCLK から分周。</li> <li>HCLK/1、HCLK/2、... HCLK/16 のいずれか。</li> <li>CDDISx レジスタのビット 8 経由で単独でディスエーブル。</li> </ul>                                                                                                                                                                  |
| VCLKA1      | VCLK           | VCLKASRC           | <ul style="list-style-type: none"> <li>ソースとしてデフォルトで VCLK。</li> <li>CDDISx レジスタのビット 4 経由でディスエーブル。</li> </ul>                                                                                                                                                                                                       |
| VCLKA2      | VCLK           | VCLKASRC           | <ul style="list-style-type: none"> <li>ソースとしてデフォルトで VCLK。</li> <li>CDDISx レジスタのビット 5 経由でディスエーブル。</li> </ul>                                                                                                                                                                                                       |
| VCLKA3_S    | VCLK           | VCLKACON           | <ul style="list-style-type: none"> <li>ソースとしてデフォルトで VCLK。</li> <li>周波数は VCLK まで可。</li> <li>CDDISx レジスタのビット 10 経由でディスエーブル。</li> </ul>                                                                                                                                                                              |
| VCLKA3_DIVR | VCLK           | VCLKACON1          | <ul style="list-style-type: none"> <li>VCLKACON1 レジスタの、アドレス 0xFFFFE140 の VCLKA3R フィールドを使用して、AVCLK3_S から分周。</li> <li>周波数は、VCLKA3_S/1、VCLKA3_S/2、... VCLKA3_S/8 のいずれか。</li> <li>デフォルト周波数は VCLKA3_S/2。</li> <li>VCLKA3_S クロックがディスエーブルされていない場合、VCLKACON1 レジスタの VCLKA3_DIV_CDDIS ビットで単独でディスエーブル。</li> </ul>            |
| VCLKA4      | VCLK           | VCLKACON1          | <ul style="list-style-type: none"> <li>ソースとしてデフォルトで VCLK。</li> <li>CDDISx レジスタのビット 11 経由でディスエーブル。</li> </ul>                                                                                                                                                                                                      |
| RTICK       | VCLK           | RCLKSRC            | <ul style="list-style-type: none"> <li>ソースとしてデフォルトで VCLK。</li> <li>RTICK で VCLK 以外のクロック・ソースが選択されている場合、RTICK 周波数は、VCLK/3 以下でなければなりません。 <ul style="list-style-type: none"> <li>アプリケーションでは、必要に応じ、RCLKSRC レジスタの RTI1DIV フィールドをプログラミングすることによってこれを保証できます。</li> </ul> </li> <li>CDDISx レジスタのビット 6 経由でディスエーブル。</li> </ul> |

#### 4.6.2.2 クロック・ドメインのデバイス・モジュールへのマッピング

それぞれのクロック・ドメインには、以下の図で示しているように専用の機能があります。



**図 4-7 デバイスのクロック・ドメイン**

### 4.6.3 クロック・テスト・モード

RM4x プラットフォーム・アーキテクチャでは、さまざまなクロック信号を ECLK ピンおよび N2HET1[12]ピンへ出力するための特殊なモードが定義されています。このモードは、クロック・テスト・モードと呼ばれています。デバッグに利用すると非常に便利で、システム・モジュールの CLKTEST レジスタを使用して構成することができます。

**表 4-14 クロック・テスト・モード・オプション**

| SEL_ECP_PIN<br>=<br>CLKTEST[3-0] | ECLK の信号                  | SEL_GIO_PIN<br>=<br>CLKTEST[11-8] | N2HET1[12]の信号        |
|----------------------------------|---------------------------|-----------------------------------|----------------------|
| 0000                             | 発振回路                      | 0000                              | 発振回路バリッド・ステータス       |
| 0001                             | メイン PLL フリーランニング・クロック出力   | 0001                              | メイン PLL バリッド・ステータス   |
| 0010                             | 予約                        | 0010                              | 予約                   |
| 0011                             | EXTCLKIN1                 | 0011                              | 予約                   |
| 0100                             | CLK80K                    | 0100                              | 予約                   |
| 0101                             | CLK10M                    | 0101                              | CLK10M バリッド・ステータス    |
| 0110                             | セカンダリ PLL フリーランニング・クロック出力 | 0110                              | セカンダリ PLL バリッド・ステータス |
| 0111                             | EXTCLKIN2                 | 0111                              | 予約                   |
| 1000                             | GCLK                      | 1000                              | CLK80K               |
| 1001                             | RTI Base                  | 1001                              | 予約                   |
| 1010                             | 予約                        | 1010                              | 予約                   |
| 1011                             | VCLKA1                    | 1011                              | 予約                   |
| 1100                             | 予約                        | 1100                              | 予約                   |
| 1101                             | VCLKA3                    | 1101                              | 予約                   |
| 1110                             | VCLKA4                    | 1110                              | 予約                   |
| 1111                             | 予約                        | 1111                              | 予約                   |

## 4.7 クロック・モニタリング

LPO クロック検出 (LPOCLKDET) モジュールは、クロック・タイマ (CLKDET) および内部低電力発振回路 (LPO) で構成されています。

LPO では、低周波 (CLK80K) および高周波 (CLK10M) の 2 種類のクロック・ソースを供給します。

CLKDET は、外部供給クロック信号 (OSCIN) のスーパーバイザ回路です。OSCIN 周波数が周波数ウィンドウから出たら、CLKDET が、グローバル・ステータス・レジスタでこの条件に対するフラグを立て (GLBSTAT ビット 0: OSC FAIL)、OSCIN からソースされるすべてのクロック・ドメインを CLK10M クロック (リンプ・モード・クロック) に切り換えます。

有効な OSCIN 周波数範囲は「 $f_{CLK10M} / 4 < f_{OSCIN} < f_{CLK10M} * 4$ 」の式で定義されます。

### 4.7.1 クロック・モニタ・タイミング

表 4-15 LPO およびクロック検出

| パラメータ         | 説明                                              | 最小    | タイプ  | 最大    | 単位  |
|---------------|-------------------------------------------------|-------|------|-------|-----|
| クロック検出        | 発振回路フェイル周波数 - 低いしきい値、トリムなし LPO 出力を使用            | 1.375 | 2.4  | 4.875 | MHz |
|               | 発振回路フェイル周波数 - 高いしきい値、トリムなし LPO 出力を使用            | 22    | 38.4 | 78    | MHz |
| LPO - HF 発振回路 | トリムなし周波数                                        | 5.5   | 9.6  | 19.5  | MHz |
|               | STANDBY からのスタートアップ時間 (900 ms 以上 LPO BIAS_EN ハイ) |       |      | 10    | μs  |
|               | コールド・スタートアップ時間                                  |       |      | 900   | μs  |
|               | ICC、CLK10M、CLK80K アクティブ                         |       |      | 150   | μA  |
| LPO - LF 発振回路 | トリムなし周波数                                        | 36    | 85   | 180   | kHz |
|               | STANDBY からのスタートアップ時間 (900 ms 以上 LPO BIAS_EN ハイ) |       |      | 100   | μs  |
|               | コールド・スタートアップ時間                                  |       |      | 2000  | μs  |
|               | ICC、CLK80K のみアクティブ                              |       |      | 27    | μA  |
| LPO           | 合計 ICC STANDBY 電流                               |       |      | 20    | μA  |

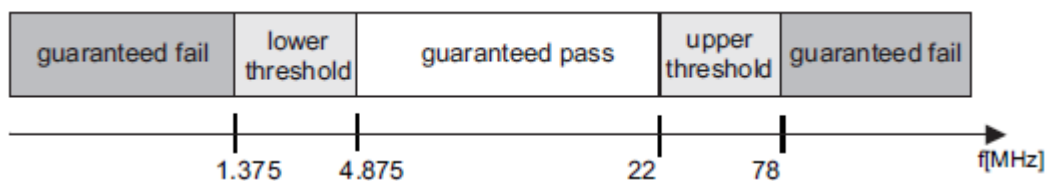


図 4-8 LPO およびクロック検出、トリムなし CLK10M

### 4.7.2 外部クロック (ECLK) 出力機能

ECLK ピンは、内部デバイス・クロックを示す、プリスケールされたクロック信号を出力するよう構成することができます。この出力は、安全診断として外部でモニタすることができます。

### 4.7.3 デュアル・クロック・コンパレータ

デュアル・クロック・コンパレータ(DCC)モジュールは、2つの独立したクロック・ソースのパルスをカウントすることによって(カウンタ0およびカウンタ1)、選択可能なクロック・ソースの精度を決定します。1つのクロックが仕様の範囲外になった場合、エラー信号が生成されます。たとえば DCC1 について、CLK10M を基準クロックとして(カウンタ0)、VCLK を「テスト対象のクロック」(カウンタ1)として使用するよう構成することができます。この構成では、VCLK が PLL 出力をソースとして使用しているとき、DCC1 が PLL 出力クロックをモニタするよう設定することができます。

このモジュールの他の利用法として、選択可能なクロック・ソースの周波数を測定するというものがあります。その場合、入力クロックを基準として使用し、2つの独立したクロック・ソースのパルスをカウントします。カウンタ0は、プログラム設定した一定数のパルスの後、固定幅のカウント・ウィンドウを生成します。カウンタ1は、プログラム設定した一定数のパルスの後、固定幅のパルス(1 サイクル)を生成します。このパルスは、カウンタ0で生成されたカウント・ウィンドウ内にカウンタ1が0に達していない場合、エラー信号を生成します。

#### 4.7.3.1 機能

- 2つの異なるクロック・ソースを、2つの独立したカウンタ・ブロックの入力として使用します。
- クロック・ソースの1つはノウングッドまたは基準クロックで、2番目のクロック・ソースは「テスト対象のクロック」です。
- それぞれのカウンタ・ブロックは、初期値またはシード値でプログラムすることができます。
- カウンタ・ブロックは、それぞれ同時にシード値からカウント・ダウンを始めます。テスト対象のクロックで想定されている周波数と一致しなかった場合、CPU の割り込みで使用されるエラー信号が生成されます。

#### 4.7.3.2 DCC クロック・ソース入力のマッピング

表 4-16 DCC1 カウンタ 0 のクロック・ソース

| クロック・ソース[3:0] | クロック名          |
|---------------|----------------|
| その他           | 発振回路 (OSCIN)   |
| 0x5           | 高周波 LPO        |
| 0xA           | テスト・クロック (TCK) |

表 4-17 DCC1 カウンタ 1 のクロック・ソース

| KEY [3:0] | クロック・ソース[3:0] | クロック名                   |
|-----------|---------------|-------------------------|
| その他       | -             | N2HET1[31]              |
| 0xA       | 0x0           | メイン PLL フリーランニング・クロック出力 |
|           | 0x1           | 予約                      |
|           | 0x2           | 低周波 LPO                 |
|           | 0x3           | 高周波 LPO                 |
|           | 0x4           | フラッシュ HD ポンプ発振回路        |
|           | 0x5           | EXTCLKIN1               |
|           | 0x6           | EXTCLKIN2               |
|           | 0x7           | リング発振回路                 |
|           | 0x8 - 0xF     | VCLK                    |

表 4-18 DCC2 カウンタ 0 のクロック・ソース

| クロック・ソース[3:0] | クロック名          |
|---------------|----------------|
| その他           | 発振回路 (OSCIN)   |
| 0xA           | テスト・クロック (TCK) |

表 4-19 DCC2 カウンタ 1 のクロック・ソース

| KEY [3:0] | クロック・ソース[3:0] | クロック名     |
|-----------|---------------|-----------|
| その他       | -             | N2HET2[0] |
| 0xA       | 00x0 - 0x7    | 予約        |
|           | 0x8 - 0xF     | VCLK      |

## 4.8 グリッチ・フィルタ

グリッチ・フィルタは、以下の信号で機能します。

**表 4-20 グリッチ・フィルタのタイミング特性**

| ピン      | パラメータ       |                                                                          | 最小  | 最大   | 単位 |
|---------|-------------|--------------------------------------------------------------------------|-----|------|----|
| nPORRST | tf(nPORRST) | フィルタ時間、nPORRST ピン;<br>最小以下のパルスはフィルタリングされ、最大以上のパルスはリセットを生成 <sup>(1)</sup> | 500 | 2000 | ns |
| nRST    | tf(nRST)    | フィルタ時間、nRST ピン;<br>最小以下のパルスはフィルタリングされ、最大以上のパルスはリセットを生成                   | 500 | 2000 | ns |
| TEST    | tf(TEST)    | フィルタ時間、TEST ピン<br>最小以下のパルスはフィルタリングされ、最大以上のパルスはパス                         | 500 | 2000 | ns |

(1) nPORRST 信号のグリッチ・フィルタは、パルスがマイコンのいずれかの部分（フラッシュ・ポンプ、入出力ピンなど）をリセットするとき、そのサイズを問わず、必ず有効なリセット信号を生成して CPU に送るよう設計されています。

## 4.9 デバイスのメモリ・マップ

### 4.9.1 メモリ・マップ図

以下の図は、デバイスのメモリ・マップを示しています。

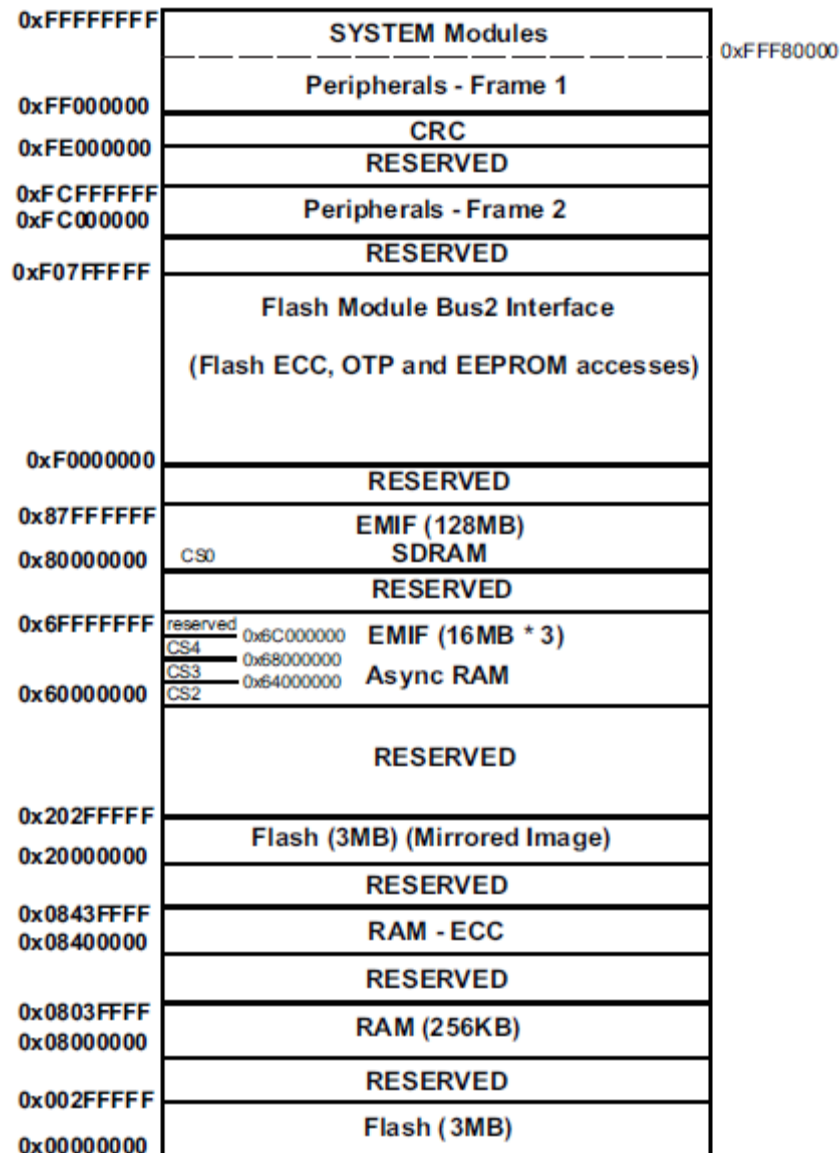


図 4-9 メモリ・マップ

フラッシュ・メモリは、ECC ロジック・テストをサポートするためミラーリングされます。ミラーリングされたフラッシュ・イメージのベース・アドレスは 0x2000 0000 です。

## 4.9.2 メモリ・マップ・テーブル

デバイスの相互接続を示したブロック図を参照してください。

**表 4-21 デバイスのメモリ・マップ**

| モジュール名                       | フレーム・チップ・セレクト  | フレーム・アドレス範囲 |             | フレーム・サイズ | 実サイズ          | フレームの未実装のロケーションへのアクセスに対する応答   |
|------------------------------|----------------|-------------|-------------|----------|---------------|-------------------------------|
|                              |                | 開始          | 終了          |          |               |                               |
| ARM Cortex-R4F CPU と密接したメモリ  |                |             |             |          |               |                               |
| TCM フラッシュ                    | CS0            | 0x0000_0000 | 0x00FF_FFFF | 16 MB    | 2 MB/<br>3 MB | アボート                          |
| TCM RAM + RAM ECC            | CSRAM0         | 0x0800_0000 | 0x0BFF_FFFF | 64 MB    | 256 KB        |                               |
| ミラー・フラッシュ                    | フラッシュ・ミラー・フレーム | 0x2000_0000 | 0x20FF_FFFF | 16 MB    | 3 MB          |                               |
| 外部メモリ・アクセス                   |                |             |             |          |               |                               |
| EMIF チップ・セレクト 2(非同期)         | EMIF セレクト 2    | 0x6000_0000 | 0x63FF_FFFF | 64 MB    | 16 MB         | "予約"スペースへのアクセスにより、アボートが発生します。 |
| EMIF チップ・セレクト 3(非同期)         | EMIF セレクト 3    | 0x6400_0000 | 0x67FF_FFFF | 64 MB    | 16 MB         |                               |
| EMIF チップ・セレクト 4(非同期)         | EMIF セレクト 4    | 0x6800_0000 | 0x6BFF_FFFF | 64 MB    | 16 MB         |                               |
| EMIF チップ・セレクト 0(同期)          | EMIF セレクト 0    | 0x8000_0000 | 0x87FF_FFFF | 128 MB   | 128 MB        |                               |
| フラッシュ・モジュール・バス 2 インターフェイス    |                |             |             |          |               |                               |
| カスタマ OTP、TCM フラッシュ・バンク 0     |                | 0xF000_0000 | 0xF000_1FFF | 8 KB     | 4 KB          | アボート                          |
| カスタマ OTP、TCM フラッシュ・バンク 1     |                | 0xF000_2000 | 0xF000_3FFF | 8 KB     | 4 KB          |                               |
| カスタマ OTP、EEPROM Bank 7       |                | 0xF000_E000 | 0xF000_FFFF | 8 KB     | 4 KB          |                               |
| カスタマ OTP-ECC、TCM フラッシュ・バンク 0 |                | 0xF004_0000 | 0xF004_03FF | 1 KB     | 512 B         |                               |
| カスタマ OTP-ECC、TCM フラッシュ・バンク 1 |                | 0xF004_0400 | 0xF004_07FF | 1 KB     | 512 B         |                               |
| カスタマ OTP-ECC、EEPROM Bank 7   |                | 0xF004_1C00 | 0xF004_1FFF | 1 KB     | 1 KB          |                               |
| TI OTP、TCM フラッシュ・バンク 0       |                | 0xF008_0000 | 0xF008_1FFF | 8 KB     | 4 KB          |                               |
| TI OTP、TCM フラッシュ・バンク 1       |                | 0xF008_2000 | 0xF008_3FFF | 8 KB     | 4 KB          |                               |
| TI OTP、EEPROM Bank 7         |                | 0xF008_E000 | 0xF008_FFFF | 8 KB     | 4 KB          |                               |
| TI OTP-ECC、TCM フラッシュ・バンク 0   |                | 0xF00C_0000 | 0xF00C_03FF | 1 KB     | 512 B         |                               |
| TI OTP-ECC、TCM フラッシュ・バンク 1   |                | 0xF00C_0400 | 0xF00C_07FF | 1 KB     | 512 B         |                               |
| TI OTP-ECC、EEPROM Bank 7     |                | 0xF00C_1C00 | 0xF00C_1FFF | 1 KB     | 1 KB          |                               |
| EEPROM Bank-ECC              |                | 0xF010_0000 | 0xF013_FFFF | 256 KB   | 8 KB          |                               |
| EEPROM Bank                  |                | 0xF020_0000 | 0xF03F_FFFF | 2 MB     | 64 KB         |                               |
| フラッシュ・データ・スペース ECC           |                | 0xF040_0000 | 0xF04F_FFFF | 1 MB     | 384 KB        |                               |

表 4-21 デバイスのメモリ・マップ(続き)

| モジュール名                         | フレーム・チップ・セレクト | フレーム・アドレス範囲 |             | フレーム・サイズ | 実サイズ  | フレームの未実装のロケーションへのアクセスに対する応答                                                 |
|--------------------------------|---------------|-------------|-------------|----------|-------|-----------------------------------------------------------------------------|
|                                |               | 開始          | 終了          |          |       |                                                                             |
| イーサネットおよび EMIF スレーブ・インターフェイス   |               |             |             |          |       |                                                                             |
| CPPI メモリ・スレーブ<br>(イーサネット RAM)  |               | 0xFC52_0000 | 0xFC52_1FFF | 8 KB     | 8 KB  | アボート                                                                        |
| CPGMAC スレーブ<br>(イーサネット・スレーブ)   |               | 0xFCF7_8000 | 0xFCF7_87FF | 2 KB     | 2 KB  | エラーなし                                                                       |
| CPGMACSS ラッパ<br>(イーサネット・ラッパ)   |               | 0xFCF7_8800 | 0xFCF7_88FF | 256 B    | 256 B | エラーなし                                                                       |
| イーサネット MDIO<br>インターフェイス        |               | 0xFCF7_8900 | 0xFCF7_89FF | 256 B    | 256 B | エラーなし                                                                       |
| W2FC(USB デバイス・<br>コントローラ・レジスタ) |               | 0xFCF7_8A00 | 0xFCF7_8A7F | 128 B    | 128 B | アボート                                                                        |
| OHCI(USB ホスト・<br>コントローラ・レジスタ)  |               | 0xFCF7_8B00 | 0xFCF7_8BFF | 256 B    | 256 B | アボート                                                                        |
| EMIF レジスタ                      |               | 0xFCFF_E800 | 0xFCFF_E8FF | 256 B    | 256 B | アボート                                                                        |
| 巡回冗長検査(CRC)モジュール・レジスタ          |               |             |             |          |       |                                                                             |
| CRC                            | CRC フレーム      | 0xFE00_0000 | 0xFEFF_FFFF | 16 MB    | 512 B | 0x200 以上のアクセスはアボート。                                                         |
| ペリフェラル・メモリ                     |               |             |             |          |       |                                                                             |
| MIBSPI5 RAM                    | PCS[5]        | 0xFF0A_0000 | 0xFF0B_FFFF | 128 KB   | 2 KB  | 2 KB 以上のアクセスはアボート。                                                          |
| MIBSPI3 RAM                    | PCS[6]        | 0xFF0C_0000 | 0xFF0D_FFFF | 128 KB   | 2 KB  | 2 KB 以上のアクセスはアボート。                                                          |
| MIBSPI1 RAM                    | PCS[7]        | 0xFF0E_0000 | 0xFF0F_FFFF | 128 KB   | 2 KB  | 2 KB 以上のアクセスはアボート。                                                          |
| DCAN3 RAM                      | PCS[13]       | 0xFF1A_0000 | 0xFF1B_FFFF | 128 KB   | 2 KB  | 0x7FF 以下の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。オフセット 0x800 を超えるアクセスに対してはアボートを生成。 |
| DCAN2 RAM                      | PCS[14]       | 0xFF1C_0000 | 0xFF1D_FFFF | 128 KB   | 2 KB  | 0x7FF 以下の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。オフセット 0x800 を超えるアクセスに対してはアボートを生成。 |
| DCAN1 RAM                      | PCS[15]       | 0xFF1E_0000 | 0xFF1F_FFFF | 128 KB   | 2 KB  | 0x7FF 以下の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。オフセット 0x800 を超えるアクセスに対してはアボートを生成。 |
| MIBADC2 RAM                    | PCS[29]       | 0xFF3A_0000 | 0xFF3B_FFFF | 128 KB   | 8 KB  | 0x1FFF 以下の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。0x1FFF を超えるアクセスに対してはアボートを生成。     |
| MIBADC1 RAM                    | PCS[31]       | 0xFF3E_0000 | 0xFF3F_FFFF | 128 KB   | 8 KB  | 0x1FFF 以下の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。0x1FFF を超えるアクセスに対してはアボートを生成。     |
| N2HET2 RAM                     | PCS[34]       | 0xFF44_0000 | 0xFF44_FFFF | 128 KB   | 16 KB | 0x3FFF 以下の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。0x3FFF を超えるアクセスに対してはアボートを生成。     |

**表 4-21 デバイスのメモリ・マップ(続き)**

| モジュール名                    | フレーム・チップ・セレクト | フレーム・アドレス範囲 |             | フレーム・サイズ | 実サイズ  | フレームの未実装のロケーションへのアクセスに対する応答                                             |
|---------------------------|---------------|-------------|-------------|----------|-------|-------------------------------------------------------------------------|
|                           |               | 開始          | 終了          |          |       |                                                                         |
| N2HET1 RAM                | PCS[35]       | 0xFF46_0000 | 0xFF47_FFFF | 128 KB   | 16 KB | 0x3FFF 以下の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。0x3FFF を超えるアクセスに対してはアボートを生成。 |
| N2HET2 TU2 RAM            | PCS[38]       | 0xFF4C_0000 | 0xFF4D_FFFF | 128 KB   | 1 KB  | アボート                                                                    |
| N2HET1 TU1 RAM            | PCS[39]       | 0xFF4E_0000 | 0xFF4F_FFFF | 128 KB   | 1 KB  | アボート                                                                    |
| <b>デバッグ・コンポーネント</b>       |               |             |             |          |       |                                                                         |
| CoreSight デバッグ ROM        | CSCS0         | 0xFFA0_0000 | 0xFFA0_0FFF | 4 KB     | 4 KB  | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| Cortex-R4F デバッグ           | CSCS1         | 0xFFA0_1000 | 0xFFA0_1FFF | 4 KB     | 4 KB  | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| ETM-R4                    | CSCS2         | 0xFFA0_2000 | 0xFFA0_2FFF | 4 KB     | 4 KB  | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| CoreSight TPIU            | CSCS3         | 0xFFA0_3000 | 0xFFA0_3FFF | 4 KB     | 4 KB  | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| POM                       | CSCS4         | 0xFFA0_4000 | 0xFFA0_4FFF | 4 KB     | 4 KB  | アボート                                                                    |
| <b>ペリフェラル・コントロール・レジスタ</b> |               |             |             |          |       |                                                                         |
| HTU1                      | PS[22]        | 0xFFF7_A400 | 0xFFF7_A4FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| HTU2                      | PS[22]        | 0xFFF7_A500 | 0xFFF7_A5FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| N2HET1                    | PS[17]        | 0xFFF7_B800 | 0xFFF7_B8FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| N2HET2                    | PS[17]        | 0xFFF7_B900 | 0xFFF7_B9FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| GIO                       | PS[16]        | 0xFFF7_BC00 | 0xFFF7_BCFF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| MIBADC1                   | PS[15]        | 0xFFF7_C000 | 0xFFF7_C1FF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| MIBADC2                   | PS[15]        | 0xFFF7_C200 | 0xFFF7_C3FF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| I2C                       | PS[10]        | 0xFFF7_D400 | 0xFFF7_D4FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| DCAN1                     | PS[8]         | 0xFFF7_DC00 | 0xFFF7_DFFF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| DCAN2                     | PS[8]         | 0xFFF7_DE00 | 0xFFF7_DFFF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| DCAN3                     | PS[7]         | 0xFFF7_E000 | 0xFFF7_E1FF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| LIN                       | PS[6]         | 0xFFF7_E400 | 0xFFF7_E4FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| SCI                       | PS[6]         | 0xFFF7_E500 | 0xFFF7_E5FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| MibSPI1                   | PS[2]         | 0xFFF7_F400 | 0xFFF7_F5FF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| SPI2                      | PS[2]         | 0xFFF7_F600 | 0xFFF7_F7FF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| MibSPI3                   | PS[1]         | 0xFFF7_F800 | 0xFFF7_F9FF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |
| SPI4                      | PS[1]         | 0xFFF7_FA00 | 0xFFF7_FBFF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                                                 |

表 4-21 デバイスのメモリ・マップ(続き)

| モジュール名                          | フレーム・チップ・セレクト | フレーム・アドレス範囲  |              | フレーム・サイズ | 実サイズ  | フレームの未実装のロケーションへのアクセスに対する応答                     |
|---------------------------------|---------------|--------------|--------------|----------|-------|-------------------------------------------------|
|                                 |               | 開始           | 終了           |          |       |                                                 |
| MibSPI5                         | PS[0]         | 0xFFFF7_FC00 | 0xFFFF7_FDFD | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| システム・モジュール・コントロール・レジスタおよびメモリ    |               |              |              |          |       |                                                 |
| DMA RAM                         | PPCS0         | 0xFFFF8_0000 | 0xFFFF8_0FFF | 4 KB     | 4 KB  | アボート                                            |
| VIM RAM                         | PPCS2         | 0xFFFF8_2000 | 0xFFFF8_2FFF | 4 KB     | 1 KB  | 1 KB から 4 KB の未実装のアドレス・オフセットに対するアクセスではラップアラウンド。 |
| RTP RAM                         | PPCS3         | 0xFFFF8_3000 | 0xFFFF8_3FFF | 4 KB     | 4 KB  | アボート                                            |
| フラッシュ・モジュール                     | PPCS7         | 0xFFFF8_7000 | 0xFFFF8_7FFF | 4 KB     | 4 KB  | アボート                                            |
| eFuse コントローラ                    | PPCS12        | 0xFFFF8_C000 | 0xFFFF8_CFFF | 4 KB     | 4 KB  | アボート                                            |
| パワー・マネージメント・モジュール (PMM)         | PPSE0         | 0xFFFFF_0000 | 0xFFFFF_01FF | 512 B    | 512 B | アボート                                            |
| テスト・コントローラ (FMTM)               | PPSE1         | 0xFFFFF_0400 | 0xFFFFF_07FF | 1 KB     | 1 KB  | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| PCR レジスタ                        | PPS0          | 0xFFFFF_E000 | 0xFFFFF_E0FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| システム・モジュール・フレーム (デバイス TRM 参照)   | PPS0          | 0xFFFFF_E100 | 0xFFFFF_E1FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| PBIST                           | PPS1          | 0xFFFFF_E400 | 0xFFFFF_E5FF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| STC                             | PPS1          | 0xFFFFF_E600 | 0xFFFFF_E6FF | 256 B    | 256 B | イネーブルの場合、アドレス・エラー割り込みを生成。                       |
| IOMM 多重化制御モジュール                 | PPS2          | 0xFFFFF_EA00 | 0xFFFFF_EBFF | 512 B    | 512 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| DCC1                            | PPS3          | 0xFFFFF_EC00 | 0xFFFFF_ECFD | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| DMA                             | PPS4          | 0xFFFFF_F000 | 0xFFFFF_F3FF | 1 KB     | 1 KB  | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| DCC2                            | PPS5          | 0xFFFFF_F400 | 0xFFFFF_F4FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| ESM                             | PPS5          | 0xFFFFF_F500 | 0xFFFFF_F5FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| CCMR4                           | PPS5          | 0xFFFFF_F600 | 0xFFFFF_F6FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| DMM                             | PPS5          | 0xFFFFF_F700 | 0xFFFFF_F7FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| RAM ECC (偶数)                    | PPS6          | 0xFFFFF_F800 | 0xFFFFF_F8FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| RAM ECC (奇数)                    | PPS6          | 0xFFFFF_F900 | 0xFFFFF_F9FF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| RTP                             | PPS6          | 0xFFFFF_FA00 | 0xFFFFF_FAFF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| RTI + DWWD                      | PPS7          | 0xFFFFF_FC00 | 0xFFFFF_FCFD | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| VIM バリディ                        | PPS7          | 0xFFFFF_FD00 | 0xFFFFF_FDFD | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| VIM                             | PPS7          | 0xFFFFF_FE00 | 0xFFFFF_FEFF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |
| システム・モジュール・フレーム 1 (デバイス TRM 参照) | PPS7          | 0xFFFFF_FF00 | 0xFFFFF_FFFF | 256 B    | 256 B | リード時ゼロを返し、ライト時影響を及ぼさない。                         |

### 4.9.3 マスタスレーブ・アクセス権限

次の表では、デバイス上のそれぞれのバス・マスタに対するアクセス許可を示しています。バス・マスタは、デバイスでのリード/ライト・トランザクションを開始できるモジュールです。

表では、主要な相互接続のそれぞれのスレーブ・モジュールを示しています。「可(可)」は、「マスタ (MASTERS)」列のモジュールが、スレーブ・モジュールにアクセスできることを示しています。

**表 4-22 マスタスレーブ・アクセス・マトリックス**

| マスタ       | アクセス・モード  | SLAVES ON MAIN SCR                            |                                           |     |                               |                                                                    |
|-----------|-----------|-----------------------------------------------|-------------------------------------------|-----|-------------------------------|--------------------------------------------------------------------|
|           |           | フラッシュ・モジュール・バス 2 インターフェイス: OTP、ECC、EEPROM バンク | プログラム・フラッシュおよび CPU データ RAM に対する非 CPU アクセス | CRC | EMIF、イーサネット、USB スレーブ・インターフェイス | ペリフェラル・コントロール・レジスタ、すべてのペリフェラル・メモリ、すべてのシステム・モジュール・コントロール・レジスタおよびメモリ |
| CPU READ  | ユーザー / 特権 | 可                                             | 可                                         | 可   | 可                             | 可                                                                  |
| CPU WRITE | ユーザー / 特権 | 不可                                            | 可                                         | 可   | 可                             | 可                                                                  |
| DMA       | ユーザー      | 可                                             | 可                                         | 可   | 可                             | 可                                                                  |
| POM       | ユーザー      | 可                                             | 可                                         | 可   | 可                             | 可                                                                  |
| DMM       | ユーザー      | 可                                             | 可                                         | 可   | 可                             | 可                                                                  |
| DAP       | 特権        | 可                                             | 可                                         | 可   | 可                             | 可                                                                  |
| HTU1      | 特権        | 不可                                            | 可                                         | 可   | 可                             | 可                                                                  |
| HTU2      | 特権        | 不可                                            | 可                                         | 可   | 可                             | 可                                                                  |
| EMAC      | ユーザー      | 不可                                            | 可                                         | 不可  | 可                             | 不可                                                                 |
| OHCI      | ユーザー      | 不可                                            | 可                                         | 不可  | 可                             | 不可                                                                 |

#### 4.9.3.1 特定スレーブへのアクセスについての注記

パワー・ドメイン管理モジュール(PMM)へのアクセスでは、コントロール・レジスタは CPU(マスタ ID = 1)に制約されます。他のマスタは、これらのレジスタからのみリードが可能です。

デバッガは、PMM レジスタにのみライトができます。マスタ ID チェックは、デバッグ・モードではディスエーブルになります。

デバイスには、オフになっているパワー・ドメイン内のモジュールにアクセスするときに、バス・エラー応答を生成する専用ロジックが搭載されています。

#### 4.9.4 POM オーバーレイについて

- POM オーバーレイは、最大 8 MB の内部または外部メモリ空間に対してマッピングすることができます。開始アドレスおよびメモリ・オーバーレイのサイズは、POM モジュール・コントロール・レジスタ経由で構成することができます。  
オーバーレイが利用可能なメモリにマッピングされるよう、注意が必要です。
- ECC は、POM オーバーレイがイネーブルの場合に、CP15 を介してソフトウェアによりディスエーブルにしなければなりません。そうでない場合、ECC エラーが生成されます。
- POM オーバーレイは、フラッシュおよび内部 RAM メモリが、バス・マトリックス・モジュール・コントロール・レジスタ 1 (BMMCR1) の MEM SWAP フィールドを介してスワップされているとき、イネーブルにすることができません。
- 内部 RAM または外部 RAM でフラッシュのオーバーレイに POM が使用されているとき、他のマスタが TCM フラッシュにアクセスする際に、バス競合が発生する可能性があります。これはシステムのハングの原因になります。
  - POM モジュールでは、このようなシナリオを検出するためにタイムアウト機能を実装しています。POM オーバーレイをイネーブルにするときはいつでも、タイムアウトをイネーブルにしなければなりません。
  - タイムアウトは、POM グローバル・コントロール・レジスタ (POMGLBCTRL、アドレス = 0xFFA04000) のイネーブル・タイムアウト (ETO) フィールドに 1010 を書き込むことでイネーブルにすることができます。
  - POM によるリード要求が 32 HCLK サイクル以内に完了できない場合、POM フラグ・レジスタ (POMFLG、アドレス = 0xFFA0400C) にタイムアウト (TO) フラグがセットされます。また CPU に対してアボートが生成されます。これは、命令フェッチに対するプリフェッチ・アボートまたはデータ・フェッチに対するデータ・アボートの両方の可能性があります。
  - プリフェッチおよびデータのアボート・ハンドラは、POM モジュールの TO フラグがセットされているかどうかチェックするよう修正しなければなりません。こうしておくと、POM トランザクションと、同じメモリ・リージョンにアクセスする他のマスタの間でバス競合が発生した場合にタイムアウトが引き起こされるということを、アプリケーション側で想定できるようになります。また、POM によるタイムアウトのためにアボートがさらに引き起こされていると誤解されないようにするため、アボート・ハンドラで TO フラグをクリアする必要があります。

## 4.10 フラッシュ・メモリ

### 4.10.1 フラッシュ・メモリの構成

**フラッシュ・バンク:** 1～16 セクタで構成される独立したロジックのブロック。それぞれのフラッシュ・バンクには通常、カスタム OTP および TI-OTP 領域があります。これらのフラッシュ・セクタでは、入出力バッファ、データ・パス、センス・アンプ、コントロール・ロジックを共有しています。

**フラッシュ・セクタ:** 物理的な構造上の制約のために同時にイレースしなければならない、フラッシュ・メモリの連続領域。

**フラッシュ・ポンプ:** フラッシュ・バンクのリード、プログラミング、イレースで必要になるすべての電圧を生成するチャージ・ポンプ。

**フラッシュ・モジュール:** ホスト CPU、フラッシュ・バンク、ポンプ・モジュール間で必要になるインターフェイス回路。

**表 4-23 フラッシュ・メモリのバンクとセクタ**

| メモリ・アレイ(またはバンク) <sup>(1)</sup>                        | セクタ No. | セグメント  | ロー・アドレス     | ハイ・アドレス     |
|-------------------------------------------------------|---------|--------|-------------|-------------|
| BANK0 (1.5 MB)                                        | 0       | 32 KB  | 0x0000_0000 | 0x0000_7FFF |
|                                                       | 1       | 32 KB  | 0x0000_8000 | 0x0000_FFFF |
|                                                       | 2       | 32 KB  | 0x0001_0000 | 0x0001_7FFF |
|                                                       | 3       | 32 KB  | 0x0001_8000 | 0x0001_FFFF |
|                                                       | 4       | 128 KB | 0x0002_0000 | 0x0003_FFFF |
|                                                       | 5       | 128 KB | 0x0004_0000 | 0x0005_FFFF |
|                                                       | 6       | 128 KB | 0x0006_0000 | 0x0007_FFFF |
|                                                       | 7       | 128 KB | 0x0008_0000 | 0x0009_FFFF |
|                                                       | 8       | 128 KB | 0x000A_0000 | 0x000B_FFFF |
|                                                       | 9       | 128 KB | 0x000C_0000 | 0x000D_FFFF |
|                                                       | 10      | 128 KB | 0x000E_0000 | 0x000F_FFFF |
|                                                       | 11      | 128 KB | 0x0010_0000 | 0x0011_FFFF |
|                                                       | 12      | 128 KB | 0x0012_0000 | 0x0013_FFFF |
|                                                       | 13      | 128 KB | 0x0014_0000 | 0x0015_FFFF |
|                                                       | 14      | 128 KB | 0x0016_0000 | 0x0017_FFFF |
| BANK1 (1.5 MB)                                        | 0       | 128 KB | 0x0018_0000 | 0x0019_FFFF |
|                                                       | 1       | 128 KB | 0x001A_0000 | 0x001B_FFFF |
|                                                       | 2       | 128 KB | 0x001C_0000 | 0x001D_FFFF |
|                                                       | 3       | 128 KB | 0x001E_0000 | 0x001F_FFFF |
|                                                       | 4       | 128 KB | 0x0020_0000 | 0x0021_FFFF |
|                                                       | 5       | 128 KB | 0x0022_0000 | 0x0023_FFFF |
|                                                       | 6       | 128 KB | 0x0024_0000 | 0x0025_FFFF |
|                                                       | 7       | 128 KB | 0x0026_0000 | 0x0027_FFFF |
|                                                       | 8       | 128 KB | 0x0028_0000 | 0x0029_FFFF |
|                                                       | 9       | 128 KB | 0x002A_0000 | 0x002B_FFFF |
|                                                       | 10      | 128 KB | 0x002C_0000 | 0x002D_FFFF |
|                                                       | 11      | 128 KB | 0x002E_0000 | 0x002F_FFFF |
| EEPROM エミュレーション <sup>(2) (3)</sup> 用 BANK7<br>(64 KB) | 0       | 16 KB  | 0xF020_0000 | 0xF020_3FFF |
|                                                       | 1       | 16 KB  | 0xF020_4000 | 0xF020_7FFF |
|                                                       | 2       | 16 KB  | 0xF020_8000 | 0xF020_BFFF |
|                                                       | 3       | 16 KB  | 0xF020_C000 | 0xF020_FFFF |

(1) フラッシュ・バンクは、ECC がサポートされた 144 ビット幅のバンクです。

(2) フラッシュ・バンク 7 は、フラッシュ・バンク 0 またはバンク 1 のコードを実行するときに、プログラムすることができます。

(3) フラッシュ・バンク 7 からは、コード実行は認められていません。

#### 4.10.2 フラッシュ・モジュールの主な特徴

- プログラムやデータ・ストレージで複数のフラッシュ・バンクをサポート。
- あるバンクでのプログラムの実行またはイレース動作の際に、他のバンクに対して同時にリード・アクセスが可能。
- フラッシュ・イレースおよびプログラム動作の自動化のためにステート・マシンを統合。
- フラッシュ・プログラムおよびイレース動作のためのソフトウェア・インターフェイス。
- 命令アクセス・インターフェイス帯域幅を改善するためのパイプライン・モード動作。
- Cortex-R4F CPU 内で、1 ビット・エラー訂正 2 ビット・エラー検出 (SECDED) ブロックをサポート。
  - ホスト・システム・デバッグでエラー・アドレスをキャプチャ。
- 豊富な診断機能をサポート。

#### 4.10.3 フラッシュ・アクセスのための ECC 保護

プログラム・フラッシュ・メモリに対するすべてのアクセスは、CPU に組み込まれている 1 ビット・エラー訂正 2 ビット・エラー検出 (SECDED) ロジックで保護されています。フラッシュ・モジュールでは、フラッシュ・メモリからフェッチする 64 ビットの命令またはデータに対して、8 ビットの ECC コードが提供されます。CPU は、受け取った 64 ビットに基づいて必要な ECC コードを計算し、これを、フラッシュ・モジュールから返された ECC コードと比較します。1 ビット・エラーは訂正された後 CPU によってフラグが立てられ、マルチビット・エラーにはフラグだけが立てられます。CPU は、イベント・バスを介して ECC エラーを送信します。この送信メカニズムはデフォルトではイネーブルになっていないため、パフォーマンス・モニタ・コントロール・レジスタ c9 の「X」ビットをセットすることによって、イネーブルにしなければなりません。

```
MRC p15, #0, r1, c9, c12, #0      ; イベント・モニタ状態をイネーブル
ORR r1, r1, #0x00000010
MCR p15, #0, r1, c9, c12, #0      ; PMNC レジスタの 4 番目のビット ('X') を設定
MRC p15, #0, r1, c9, c12, #0
```

アプリケーションは、CPU の ATCM および BTCM インターフェイスでのアクセスに対し、CPU の ECC チェックを明示的にイネーブルにしなければなりません。これらは、プログラム・フラッシュおよびデータ RAM にそれぞれ接続しています。これらのインターフェイスに対する ECC チェックは、システム・コントロール・コプロセッサの補助コントロール・レジスタ c1 の B1TCMPCEN、B0TCMPCEN、ATCMPCEN ビットをセットすることで実行することができます。

```
MRC p15, #0, r1, c1, c0, #1
ORR r1, r1, #0x0e000000      ; ATCM および BTCM の ECC チェックをイネーブルにする
DMB
MCR p15, #0, r1, c1, c0, #1
```

#### 4.10.4 フラッシュ・アクセス速度

フラッシュ・メモリのアクセス速度および必要なウェイト・ステートの詳細については、[3.4 節](#)を参照してください。

#### 4.10.5 プログラム・フラッシュのフラッシュ・プログラムおよびイレースのタイミング

表 4-24 プログラム・フラッシュのタイミング特性

| パラメータ                       |                                |                            | 最小 | 公称   | 最大   | 単位            |
|-----------------------------|--------------------------------|----------------------------|----|------|------|---------------|
| $t_{\text{prog}}$ (144 ビット) | ワイド・ワード(144 ビット)のプログラミング時間     |                            |    | 40   | 300  | $\mu\text{s}$ |
| $t_{\text{prog}}$ (合計)      | 3 MB のプログラミング時間 <sup>(1)</sup> | -40° C ~ 125° C            |    |      | 32   | 秒             |
|                             |                                | 0° C ~ 60° C (最初の 25 サイクル) |    | 8    | 16   | 秒             |
| $t_{\text{erase}}$          | セクタ/バンク・イレース時間                 | -40° C ~ 125° C            |    | 0.03 | 4    | 秒             |
|                             |                                | 0° C ~ 60° C (最初の 25 サイクル) |    | 16   | 100  | ミリ秒           |
| $t_{\text{wec}}$            | 15 年データ保持要件を伴うライト/イレース・サイクル    | -40° C ~ 125° C            |    |      | 1000 | サイクル          |

(1) このプログラミング時間には、ステート・マシンのオーバーヘッドが含まれますが、データ転送時間は含まれません。プログラミング時間では、指定されている最大動作周波数での 144 ビットのプログラミングが想定されています。

#### 4.10.6 データ・フラッシュのフラッシュ・プログラムおよびイレースのタイミング

表 4-25 データ・フラッシュのタイミング特性

| パラメータ                       |                                 |                            | 最小 | 公称  | 最大     | 単位            |
|-----------------------------|---------------------------------|----------------------------|----|-----|--------|---------------|
| $t_{\text{prog}}$ (144 ビット) | ワイド・ワード(144 ビット)のプログラミング時間      |                            |    | 40  | 300    | $\mu\text{s}$ |
| $t_{\text{prog}}$ (合計)      | 64 KB のプログラミング時間 <sup>(1)</sup> | -40° C ~ 125° C            |    |     | 660    | ミリ秒           |
|                             |                                 | 0° C ~ 60° C (最初の 25 サイクル) |    | 165 | 330    | ミリ秒           |
| $t_{\text{erase}}$          | セクタ/バンク・イレース時間                  | -40° C ~ 125° C            |    | 0.2 | 8      | 秒             |
|                             |                                 | 0° C ~ 60° C (最初の 25 サイクル) |    | 14  | 100    | ミリ秒           |
| $t_{\text{wec}}$            | 15 年データ保持要件を伴うライト/イレース・サイクル     | -40° C ~ 125° C            |    |     | 100000 | サイクル          |

(1) このプログラミング時間には、ステート・マシンのオーバーヘッドが含まれますが、データ転送時間は含まれません。プログラミング時間では、指定されている最大動作周波数での 144 ビットのプログラミングが想定されています。

#### 4.11 密接合メモリ RAM インターフェイス・モジュール

図 4-10 は、密接合メモリ RAM(TCRAM)と Cortex-R4F™ CPU との接続を示しています。

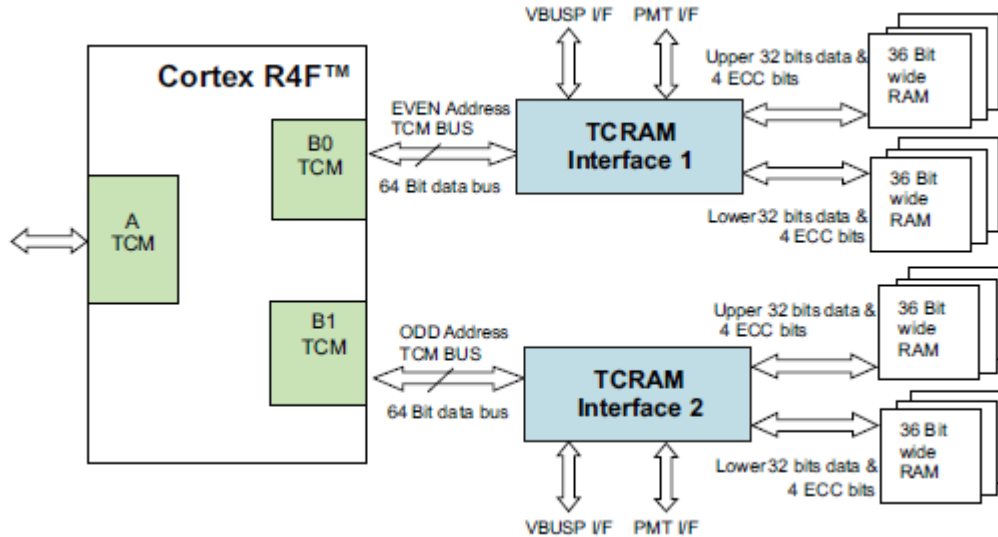


図 4-10 TCRAM ブロック図

##### 4.11.1 機能

密接合メモリ RAM(TCRAM)の特徴を以下に示します。

- Cortex-R4F CPU の BTCM インターフェイスのスレーブとして機能。
- 64 ビット・データおよび 8 ビット ECC コードを提供することにより、CPU の内部 ECC スキームをサポート。
- CPU イベント・バスをモニタし、1 ビットまたはマルチビット・エラー割り込みを生成。
- 1 ビットおよびマルチビット・エラーのアドレスを格納。
- RAM トレース・モジュールをサポート。
- アドレス・バスでパリティ・チェックをサポートすることにより、CPU アドレス・バスのインテグリティ・チェックを提供。
- RAM バンク・チップ・セレクトおよび ECC セレクト生成ロジックのための冗長アドレス・デコーディングを実行。
- 2 つの 36 ビット幅バイト・インターリーブ RAM バンクを実装して、この 2 つのバンクに対し独立した RAM アクセス・コントロール信号を生成することにより、RAM アドレッシングの安全性を強化。
- ECC ビットと RAM バンクの自動初期化をサポート。

##### 4.11.2 TCRAMW ECC サポート

TCRAMW は、Cortex-R4F CPU が RAM から読み取ったそれぞれのデータ単位で ECC コードを渡します。これは、CPU が RAM にライト操作を行うとき、CPU の ECC ポートの内容も ECC RAM に保管します。TCRAMW は、CPU のイベント・バスをモニタし、レジスタを提供して、1 ビット/マルチビット・エラーを示すと同時に 1 ビット/マルチビット・エラーを起こしたアドレスを識別します。RAM アクセス時のイベント信号送出および ECC チェックは、CPU 内でイネーブルしなければなりません。

詳細については、各デバイスのテクニカル・リファレンス・マニュアルを参照してください。

---

#### 4.12 ペリフェラル RAM へのアクセスに対するパリティ保護

一部のペリフェラル RAM に対するアクセスは、偶数/奇数パリティ・チェックで保護されます。リード・アクセスの際、パリティは、ペリフェラル RAM からのデータ・リードに基づいて計算され、パリティ RAM に保管されたそのペリフェラルに対する正しいパリティ値と比較されます。パリティ・チェックが発生した場合、モジュールは、そのエラー・シグナリング・モジュールにマッピングされているパリティ・エラー信号を生成します。このモジュールは同時に、パリティ・エラーの原因になったペリフェラル RAM アドレスもキャプチャします。

ペリフェラル RAM のパリティ保護は、デフォルトではイネーブルになっていないため、アプリケーションによってイネーブルにしなければなりません。個別のペリフェラルには、RAM アクセスの際のパリティ保護をイネーブルにするためのコントロール・レジスタが搭載されています。

---

##### 注

CPU リード・アクセスでは、ペリフェラルから実際のデータが取得されます。アプリケーションでは、ペリフェラル RAM でパリティ・エラーが検出されたときに割り込みが生成されるような設定にすることもできます。

---

## 4.13 オンチップ SRAM の初期化およびテスト

### 4.13.1 PBIST を使用したオンチップ SRAM のセルフテスト

#### 4.13.1.1 機能

- さまざまなメモリ・テスト・アルゴリズムをサポートする拡張命令セット。
- ROM ベースのアルゴリズムにより、アプリケーションが、TI プロダクションレベルのメモリ・テストを実行可能。
- すべてのオンチップ SRAM についての独立したテスト。

#### 4.13.1.2 PBIST RAM グループ

表 4-26 PBIST RAM グループ

| メモリ       | RAM グループ | テスト・クロック | MEM タイプ  | テスト・パターン(アルゴリズム)    |                     |                                           |                                           |
|-----------|----------|----------|----------|---------------------|---------------------|-------------------------------------------|-------------------------------------------|
|           |          |          |          | 3 回リード、<br>低速リード    | 3 回リード、<br>高速リード    | マーチ 13N <sup>(1)</sup><br>2 ポート<br>(サイクル) | マーチ 13N <sup>(1)</sup><br>1 ポート<br>(サイクル) |
|           |          |          |          | ALGO<br>MASK<br>0x1 | ALGO<br>MASK<br>0x2 | ALGO MASK<br>0x4                          | ALGO<br>MASK<br>0x8                       |
| PBIST_ROM | 1        | ROM CLK  | ROM      | X                   | X                   |                                           |                                           |
| STC_ROM   | 2        | ROM CLK  | ROM      | X                   | X                   |                                           |                                           |
| DCAN1     | 3        | VCLK     | デュアル・ポート |                     |                     | 25200                                     |                                           |
| DCAN2     | 4        | VCLK     | デュアル・ポート |                     |                     | 25200                                     |                                           |
| DCAN3     | 5        | VCLK     | デュアル・ポート |                     |                     | 25200                                     |                                           |
| ESRAM1    | 6        | HCLK     | シングル・ポート |                     |                     |                                           | 266280                                    |
| MIBSPI1   | 7        | VCLK     | デュアル・ポート |                     |                     | 33440                                     |                                           |
| MIBSPI3   | 8        | VCLK     | デュアル・ポート |                     |                     | 33440                                     |                                           |
| MIBSPI5   | 9        | VCLK     | デュアル・ポート |                     |                     | 33440                                     |                                           |
| VIM       | 10       | VCLK     | デュアル・ポート |                     |                     | 12560                                     |                                           |
| MIBADC1   | 11       | VCLK     | デュアル・ポート |                     |                     | 4200                                      |                                           |
| DMA       | 12       | HCLK     | デュアル・ポート |                     |                     | 18960                                     |                                           |
| N2HET1    | 13       | VCLK     | デュアル・ポート |                     |                     | 31680                                     |                                           |
| HET TU1   | 14       | VCLK     | デュアル・ポート |                     |                     | 6480                                      |                                           |
| RTP       | 15       | HCLK     | デュアル・ポート |                     |                     | 37800                                     |                                           |
| MIBADC2   | 18       | VCLK     | デュアル・ポート |                     |                     | 4200                                      |                                           |
| N2HET2    | 19       | VCLK     | デュアル・ポート |                     |                     | 31680                                     |                                           |
| HET TU2   | 20       | VCLK     | デュアル・ポート |                     |                     | 6480                                      |                                           |
| ESRAM5    | 21       | HCLK     | シングル・ポート |                     |                     |                                           | 266280                                    |
| ESRAM6    | 22       | HCLK     | シングル・ポート |                     |                     |                                           | 266280                                    |
| イーサネット    | 23       | VCLK3    | デュアル・ポート |                     |                     | 8700                                      |                                           |
|           | 24       |          |          |                     |                     | 6360                                      |                                           |
|           | 25       |          | シングル・ポート |                     |                     |                                           | 133160                                    |
| USB       | 26       | VCLK3    | デュアル・ポート |                     |                     | 4240                                      |                                           |
|           | 27       |          | シングル・ポート |                     |                     |                                           | 66600                                     |
| ESRAM8    | 28       | HCLK     | シングル・ポート |                     |                     |                                           | 266280                                    |

(1) PBIST ROM には、いくつかのメモリ・テスト・アルゴリズムが用意されています。ただし、アプリケーション・テストでは、マーチ 13N アルゴリズムを使用することが望まれます。

PBIST ROM のクロック周波数は、 $110 \text{ MHz} < \text{HCLK} \leq \text{HCLK 最大の場合}$ は 110 MHz、 $\text{HCLK} \leq 110 \text{ MHz}$  の場合は HCLK に限定されます。

PBIST ROM クロックは HCLK から分周されます。分周器は、メモリ・セルフテスト・グローバル・コントロール・レジスタ(MSTGCR)の、アドレス 0xFFFFF58 の ROM\_DIV フィールドをプログラミングすることで選択します。

#### 4.13.2 オンチップSRAMの自動初期化

このマイコンでは、システム・モジュールのメモリ・ハードウェア初期化メカニズムを使用して、オンチップ・メモリの一部を初期化することができます。このハードウェア・メカニズムでは、アプリケーションがメモリ・アレイをプログラムできるようになっており、エラー検出機能も搭載されています。このエラー検出機能は、エラー検出スキーム（奇数/偶数または ECC）に基づくもので、判明しているステートに従って実行されます。

MINITGCRレジスタでメモリ初期化シーケンスをイネーブルにし、MSINENAレジスタで初期化対象のメモリを選択します。

これらのレジスタの詳細については、各デバイスのテクニカル・リファレンス・マニュアルを参照してください。

MSINENA レジスタのそれぞれのビットに対するさまざまなオンチップ・メモリのマッピングについて、[表 4-27](#)で示します。

表 4-27 メモリの初期化

| 接続モジュール                    | アドレス範囲                     |              | MSINENA レジスタ・ビット# |
|----------------------------|----------------------------|--------------|-------------------|
|                            | ベース・アドレス                   | エンディング・アドレス  |                   |
| RAM (PD#1)                 | 0x08000000                 | 0x0800FFFF   | 0 <sup>(1)</sup>  |
| RAM (RAM_PD#1)             | 0x08010000                 | 0x0801FFFF   | 0 <sup>(1)</sup>  |
| RAM (RAM_PD#2)             | 0x08020000                 | 0x0802FFFF   | 0 <sup>(1)</sup>  |
| RAM (RAM_PD#3)             | 0x08030000                 | 0x0803FFFF   | 0 <sup>(1)</sup>  |
| MIBSPI5 RAM                | 0xFF0A0000                 | 0xFF0BFFFF   | 12 <sup>(2)</sup> |
| MIBSPI3 RAM                | 0xFF0C0000                 | 0xFF0DFFFF   | 11 <sup>(2)</sup> |
| MIBSPI1 RAM                | 0xFF0E0000                 | 0xFF0FFFFFFF | 7 <sup>(2)</sup>  |
| DCAN3 RAM                  | 0xFF1A0000                 | 0xFF1BFFFF   | 10                |
| DCAN2 RAM                  | 0xFF1C0000                 | 0xFF1DFFFF   | 6                 |
| DCAN1 RAM                  | 0xFF1E0000                 | 0xFF1FFFFFFF | 5                 |
| MIBADC2 RAM                | 0xFF3A0000                 | 0xFF3BFFFF   | 14                |
| MIBADC1 RAM                | 0xFF3E0000                 | 0xFF3FFFFFFF | 8                 |
| N2HET2 RAM                 | 0xFF440000                 | 0xFF47FFFF   | 15                |
| N2HET1 RAM                 | 0xFF460000                 | 0xFF47FFFF   | 3                 |
| HET TU2 RAM                | 0xFF4C0000                 | 0xFF4DFFFF   | 16                |
| HET TU1 RAM                | 0xFF4E0000                 | 0xFF4FFFFFFF | 4                 |
| DMA RAM                    | 0xFFF80000                 | 0xFFF80FFF   | 1                 |
| VIM RAM                    | 0xFFF82000                 | 0xFFF82FFF   | 2                 |
| USB デバイス RAM               | RAM は CPU によってアドレス指定できません。 |              | n/a               |
| イーサネット RAM (CPPI メモリ・スレーブ) | 0xFC520000                 | 0xFC521FFF   | n/a               |

(1) TCM RAM ラッパーには、自動初期化する RAM パワー・ドメインを選択するための、独立した制御ビットがあります。

(2) MibSPIx モジュールは、マルチバッファード・モードがイネーブルになるとすぐに、送信 RAM と受信 RAM の初期化を実行します。これは、アプリケーションが、システム・モジュール自動初期化方式を使用した MibSPIx RAM の初期化を選択しているかどうかに関係なく行われます。

## 4.14 外部メモリ・インターフェイス(EMIF)

### 4.14.1 機能

EMIF には、外部非同期メモリまたは SDRAM デバイスへの接続を容易かつ柔軟にするための数多くの機能が搭載されています。EMIF の機能では、以下がサポートされています。

- 3つのアドレス可能な最大 16 MB の非同期メモリ用チップ・セレクト
- 1つのアドレス可能な最大 128 MB の SDRAM 空間用チップ・セレクト
- 8ビットまたは 16ビット・データ・バス幅
- セットアップ時間、ストロブ時間、ホールド時間、応答時間などの、プログラム可能なサイクル・タイミング
- セレクト・ストロブ・モード
- 拡張ウェイト・モード
- データ・バス・パーキング

## 4.14.2 電気およびタイミング特性

### 4.14.2.1 リード・タイミング(非同期 RAM)

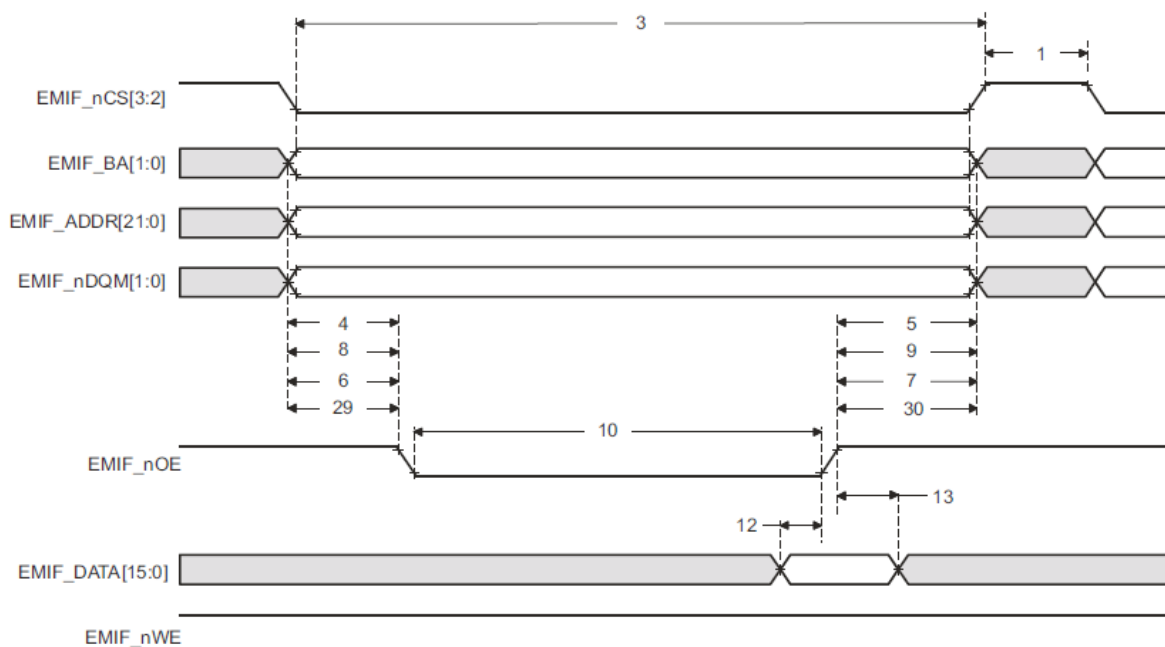


図 4-11 非同期メモリのリード・タイミング

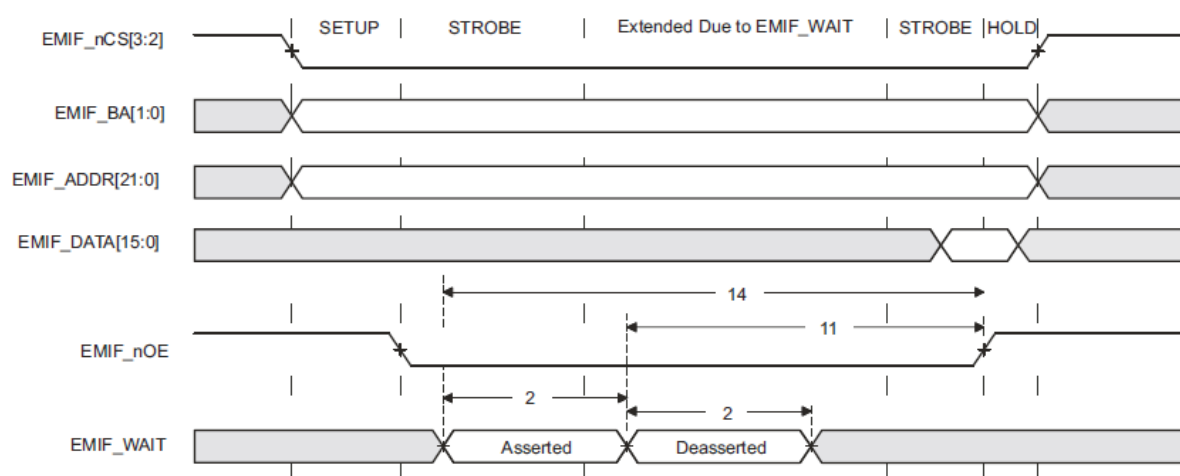


図 4-12 EMIFnWAIT リードのタイミング要件

#### 4.14.2.2 ライト・タイミング(非同期 RAM)

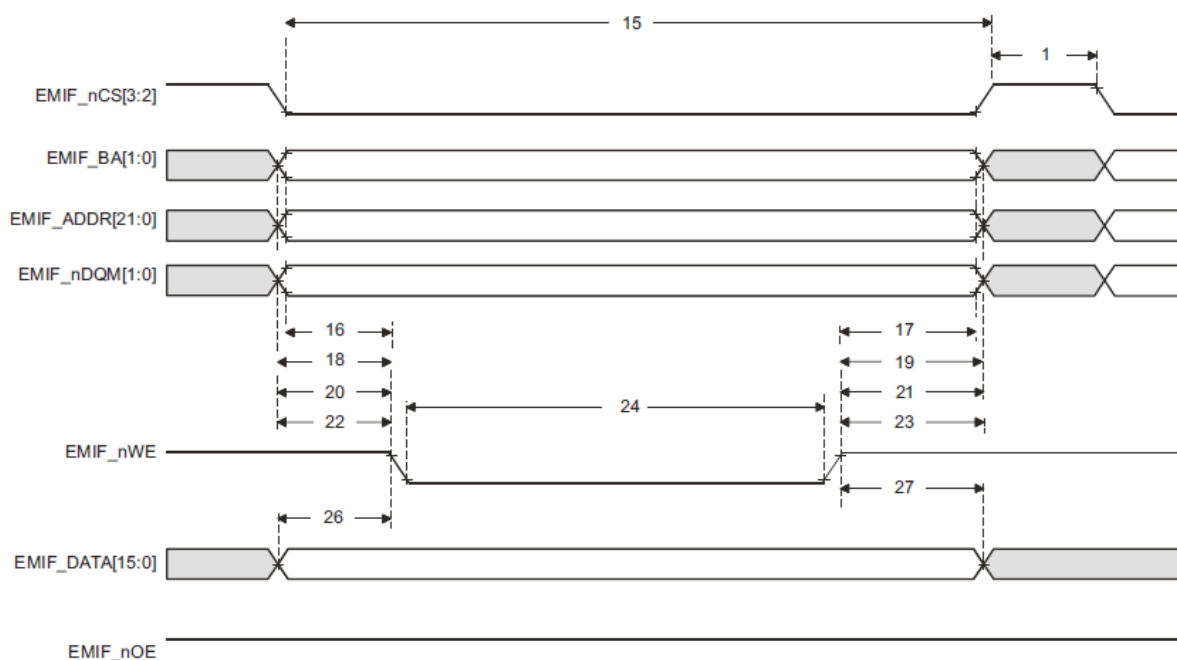


図 4-13 非同期メモリのライト・タイミング

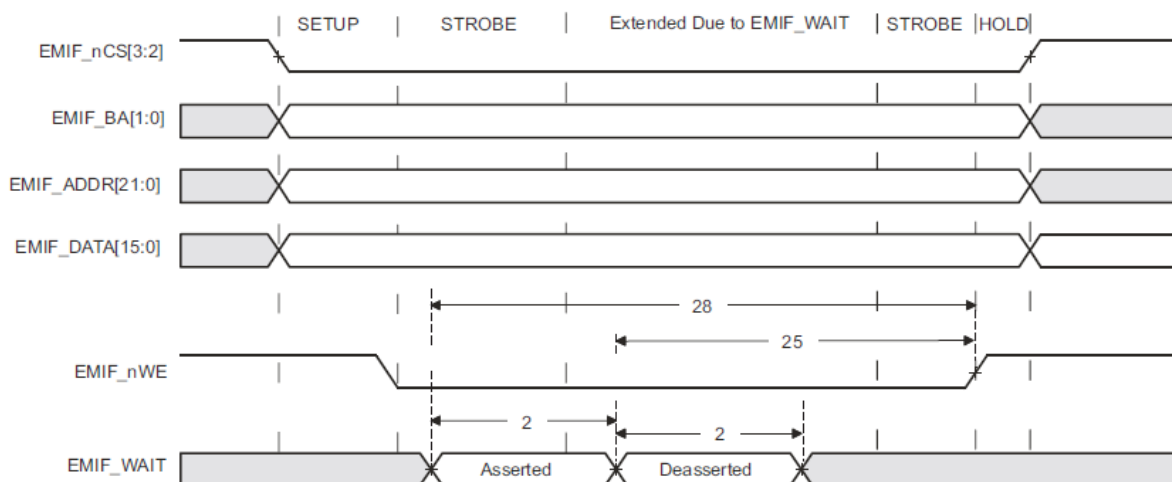


図 4-14 EMIFnWAIT ライトのタイミング要件

#### 4.14.2.3 リード・タイミング(同期 RAM)

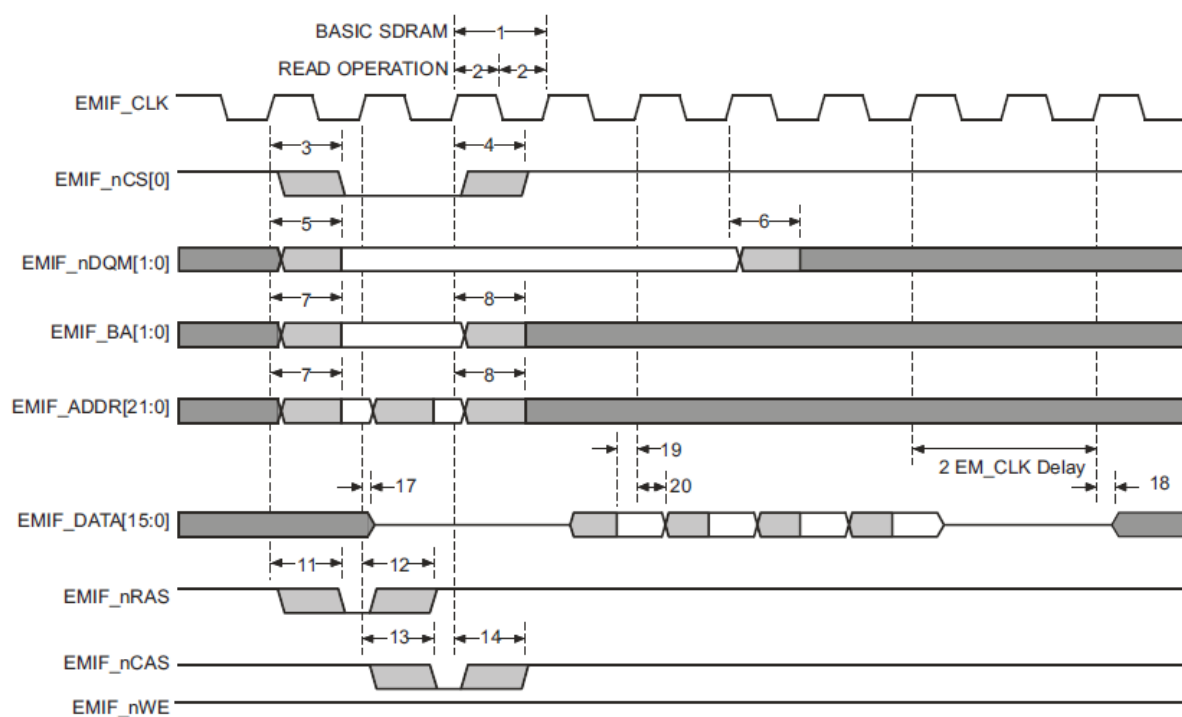


図 4-15 基本 SDRAM リード動作

#### 4.14.2.4 ライト・タイミング(同期 RAM)

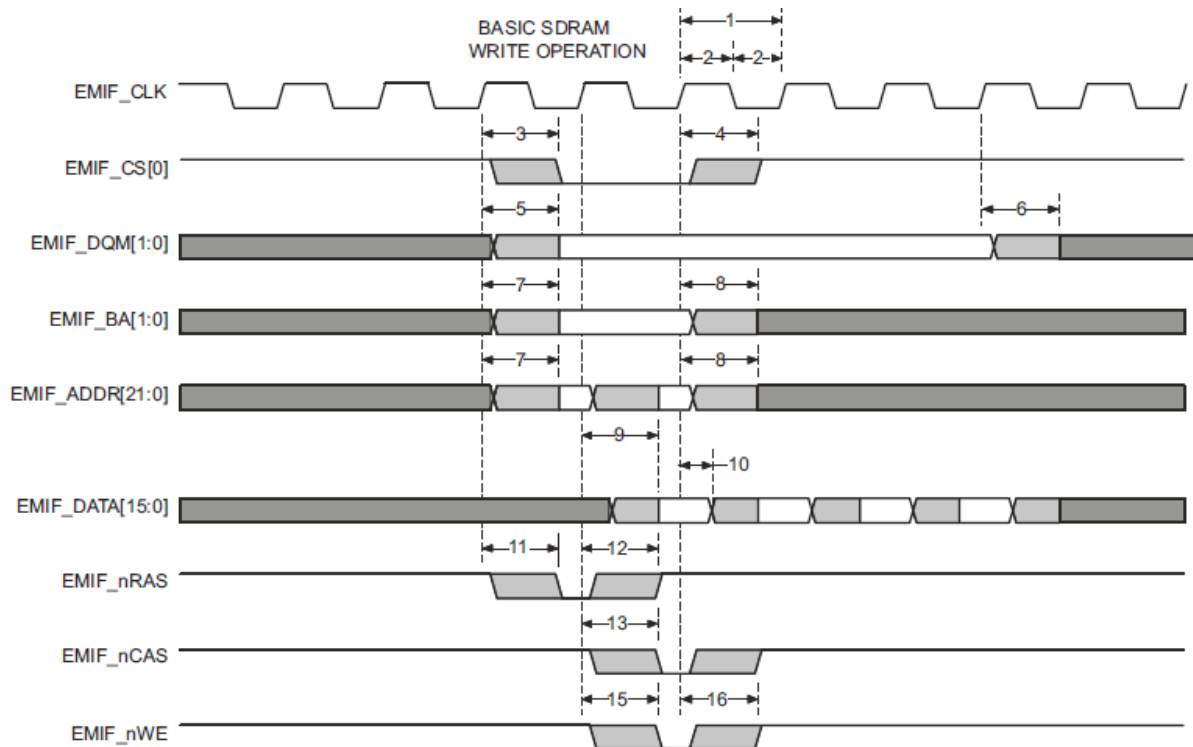


図 4-16 基本 SDRAM ライト動作

#### 4.14.2.5 EMIF 非同期メモリ・タイミング

表 4-28 EMIF 非同期メモリのタイミング要件

| NO.       | パラメータ                                     |                                                       | 値    |    |    | 単位 |
|-----------|-------------------------------------------|-------------------------------------------------------|------|----|----|----|
|           |                                           |                                                       | 最小   | 公称 | 最大 |    |
| 読み取り/書き込み |                                           |                                                       |      |    |    |    |
| 2         | t <sub>w</sub> (EM_WAIT)                  | パルス持続期間、EMIFnWAIT アサートおよびデアサート                        | 2E   |    |    | ns |
| 読み取り      |                                           |                                                       |      |    |    |    |
| 12        | t <sub>su</sub> (EMDV-EMOE <sub>H</sub> ) | セットアップ時間、EMIFnOE ハイの前の EMIFDATA[15:0]有効               | 3    |    |    | ns |
| 13        | t <sub>h</sub> (EMOE <sub>H</sub> -EMDIV) | ホールド時間、EMIFnOE ハイの後の EMIFDATA[15:0]有効                 | 0.5  |    |    | ns |
| 14        | t <sub>su</sub> (EMOEL-EMWAIT)            | セットアップ時間、ストローブ・フェーズ終了前の EMIFnWAIT アサート <sup>(1)</sup> | 4E+3 |    |    | ns |
| 書き込み      |                                           |                                                       |      |    |    |    |
| 28        | t <sub>su</sub> (EMWEL-EMWAIT)            | セットアップ時間、ストローブ・フェーズ終了前の EMIFnWAIT アサート <sup>(1)</sup> | 4E+3 |    |    | ns |

(1) 拡張ウェイト・ステートを追加するために、EMIFnWAIT がアサートしなければならない、ストローブ・フェーズ終了前のセットアップ時間(拡張ウェイト・ステートが挿入されていない場合)。図 4-12 および図 4-14 は、ストローブ・フェーズの間に拡張ウェイト・ステートが挿入された EMIF トランザクションを示しています。ただし、この拡張ウェイト期間の一部として挿入されたサイクルはカウントされません。拡張ウェイト・サイクルがない場合、ホールド・フェーズ開始まで 4E が必要となります。

表 4-29 EMIF 非同期メモリ・スイッチング特性<sup>(1)(2)(3)</sup>

| NO.       | パラメータ                          |                                                     | 値                             |                            |                               | 単位 |
|-----------|--------------------------------|-----------------------------------------------------|-------------------------------|----------------------------|-------------------------------|----|
|           |                                |                                                     | 最小                            | 公称                         | 最大                            |    |
| 読み取り/書き込み |                                |                                                     |                               |                            |                               |    |
| 1         | t <sub>d</sub> (TURNAROUND)    | 応答時間                                                | (TA)*E -3                     | (TA)*E                     | (TA)*E + 3                    | ns |
| 読み取り      |                                |                                                     |                               |                            |                               |    |
| 3         | t <sub>c</sub> (EMRCYCLE)      | EMIF リード・サイクル時間 (EW = 0)                            | (RS+RST+RH)*E<br>- 3          | (RS+RST+RH)*E              | (RS+RST+RH)*E<br>+ 3          | ns |
|           |                                | EMIF リード・サイクル時間 (EW = 1)                            | (RS+RST+RH+<br>(EWC*16))*E -3 | (RS+RST+RH+<br>(EWC*16))*E | (RS+RST+RH+<br>(EWC*16))*E +3 | ns |
| 4         | t <sub>su</sub> (EMCEL-EMOEL)  | 出力セットアップ時間、EMIFnCS[4:2]<br>ローから EMIFnOE ロー (SS = 0) | (RS)*E-3                      | (RS)*E                     | (RS)*E+3                      | ns |
|           |                                | 出力セットアップ時間、EMIFnCS[4:2]<br>ローから EMIFnOE ロー (SS = 1) | -3                            | 0                          | +3                            | ns |
| 5         | t <sub>h</sub> (EMOEH-EMCEH)   | 出力ホールド時間、EMIFnOE ハイから<br>EMIFnCS[4:2]ハイ (SS = 0)    | (RH)*E -3                     | (RH)*E                     | (RH)*E +3                     | ns |
|           |                                | 出力ホールド時間、EMIFnOE ハイから<br>EMIFnCS[4:2]ハイ (SS = 1)    | -3                            | 0                          | +3                            | ns |
| 6         | t <sub>su</sub> (EMBAV-EMOEL)  | 出力セットアップ時間、EMIFBA[1:0]有効<br>から EMIFnOE ロー           | (RS)*E-3                      | (RS)*E                     | (RS)*E+3                      | ns |
| 7         | t <sub>h</sub> (EMOEH-EMBAIV)  | 出力ホールド時間、EMIFnOE ハイから<br>EMIFBA[1:0]無効              | (RH)*E-3                      | (RH)*E                     | (RH)*E+3                      | ns |
| 8         | t <sub>su</sub> (EMBAV-EMOEL)  | 出力セットアップ時間、EMIFADDR[21:0]<br>有効から EMIFnOE ロー        | (RS)*E-3                      | (RS)*E                     | (RS)*E+3                      | ns |
| 9         | t <sub>h</sub> (EMOEH-EMAIV)   | 出力ホールド時間、EMIFnOE ハイから<br>EMIFADDR[21:0]無効           | (RH)*E-3                      | (RH)*E                     | (RH)*E+3                      | ns |
| 10        | t <sub>w</sub> (EMOEL)         | EMIFnOE アクティブ・ロー幅 (EW = 0)                          | (RST)*E-3                     | (RST)*E                    | (RST)*E+3                     | ns |
|           |                                | EMIFnOE アクティブ・ロー幅 (EW = 1)                          | (RST+(EWC*16))<br>*E-3        | (RST+(EWC*16))<br>*E       | (RST+(EWC*16))<br>*E+3        | ns |
| 11        | t <sub>d</sub> (EMWAITH-EMOEH) | EMIFnWAIT のデアサートから EMIFnWE<br>ハイまでの遅延時間             | 3E-3                          | 4E                         | 4E+3                          | ns |
| 書き込み      |                                |                                                     |                               |                            |                               |    |
| 15        | t <sub>c</sub> (EMWCYCLE)      | EMIF ライト・サイクル時間 (EW = 0)                            | (WS+WST+WH)*<br>E-3           | (WS+WST+WH)*<br>E          | (WS+WST+WH)*<br>E+3           | ns |
|           |                                | EMIF ライト・サイクル時間 (EW = 1)                            | (WS+WST+WH+(<br>EWC*16))*E-3  | (WS+WST+WH+(<br>EWC*16))*E | (WS+WST+WH+(<br>EWC*16))*E+3  | ns |
| 16        | t <sub>su</sub> (EMCEL-EMWEL)  | 出力セットアップ時間、EMIFnCS[4:2]ロー<br>から EMIFnWE ロー (SS = 0) | (WS)*E-3                      | (WS)*E                     | (WS)*E+3                      | ns |
|           |                                | 出力セットアップ時間、EMIFnCS[4:2]ロー<br>から EMIFnWE ロー (SS = 1) | -3                            | 0                          | +3                            | ns |
| 17        | t <sub>h</sub> (EMWEH-EMCEH)   | 出力ホールド時間、EMIFnWE ハイから<br>EMIFnCS[4:2]ハイ (SS = 0)    | (WH)*E-3                      | (WH)*E                     | (WH)*E+3                      | ns |
|           |                                | 出力ホールド時間、EMIFnWE ハイから<br>EMIFCS[4:2]ハイ (SS = 1)     | -3                            | 0                          | +3                            | ns |

(1) TA = 応答、RS = リード・セットアップ、RST = リード・ストロブ、RH = リード・ホールド、WS = ライト・セットアップ、WST = ライト・ストロブ、WH = ライトホールド、MEWC = 最大外部ウェイト・サイクル。これらのパラメータは、非同期バンクおよび非同期ウェイト・サイクル構成レジスタでプログラムします。それぞれの値は、TA[4-1]、RS[16-1]、RST[64-1]、RH[8-1]、WS[16-1]、WST[64-1]、WH[8-1]、MEWC[1-256]の範囲がサポートされています。詳細については『RM48x Technical Reference Manual (RM48x テクニカル・リファレンス・マニュアル)』(SPNU503)を参照してください。

(2) E = EMIF\_CLK 持続期間(ns 単位)

(3) EWC = EMIFnWAIT 入力信号で決定される外部ウェイト・サイクル。EWC の値は、EWC[256-1]の範囲がサポートされています。タイムアウトまでの最大ウェイト時間は、非同期ウェイト・サイクル構成レジスタのビット・フィールド MEWC で指定します。詳細については『RM48x Technical Reference Manual (RM48x テクニカル・リファレンス・マニュアル)』(SPNU503)を参照してください。

**表 4-29 EMIF 非同期メモリ・スイッチング特性(1)(2)(3) (続き)**

| NO. | パラメータ                  |                                          | 値                  |                  |                    | 単位 |
|-----|------------------------|------------------------------------------|--------------------|------------------|--------------------|----|
|     |                        |                                          | 最小                 | 公称               | 最大                 |    |
| 18  | $t_{SU}(EMDQMV-EMWEL)$ | 出力セットアップ時間、EMIFBA[1:0]有効から EMIFnWE ロー    | (WS)*E-3           | (WS)*E           | (WS)*E+3           | ns |
| 19  | $t_{H}(EMWEH-EMDQMV)$  | 出力ホールド時間、EMIFnWE ハイから EMIFBA[1:0]無効      | (WH)*E-3           | (WH)*E           | (WH)*E+3           | ns |
| 20  | $t_{SU}(EMBAV-EMWEL)$  | 出力セットアップ時間、EMIFBA[1:0]有効から EMIFnWE ロー    | (WS)*E-3           | (WS)*E           | (WS)*E+3           | ns |
| 21  | $t_{H}(EMWEH-EMBAV)$   | 出力ホールド時間、EMIFnWE ハイから EMIFBA[1:0]無効      | (WH)*E-3           | (WH)*E           | (WH)*E+3           | ns |
| 22  | $t_{SU}(EMAV-EMWEL)$   | 出力セットアップ時間、EMIFADDR[21:0]有効から EMIFnWE ロー | (WS)*E-3           | (WS)*E           | (WS)*E+3           | ns |
| 23  | $t_{H}(EMWEH-EMAV)$    | 出力ホールド時間、EMIFnWE ハイから EMIFADDR[21:0]無効   | (WH)*E-3           | (WH)*E           | (WH)*E+3           | ns |
| 24  | $t_{W}(EMWEL)$         | EMIFnWE アクティブ・ロー幅 (EW = 0)               | (WST)*E-3          | (WST)*E          | (WST)*E+3          | ns |
|     |                        | EMIFnWE アクティブ・ロー幅 (EW = 1)               | (WST+(EWC*16))*E-3 | (WST+(EWC*16))*E | (WST+(EWC*16))*E+3 | ns |
| 25  | $t_{d}(EMWAITH-EMWEH)$ | EMIFnWAIT のデアサートから EMIFnWE ハイまでの遅延時間     | 3E-3               | 4E               | 4E+3               | ns |
| 26  | $t_{SU}(EMDV-EMWEL)$   | 出力セットアップ時間、EMIFDATA[15:0]有効から EMIFnWE ロー | (WS)*E-3           | (WS)*E           | (WS)*E+3           | ns |
| 27  | $t_{H}(EMWEH-EMDIV)$   | 出力ホールド時間、EMIFnWE ハイから EMIFDATA[15:0]無効   | (WH)*E-3           | (WH)*E           | (WH)*E+3           | ns |

**表 4-30 EMIF 同期メモリのタイミング要件**

| NO. | パラメータ                     |                                                        | 最小  | 最大 | 単位 |
|-----|---------------------------|--------------------------------------------------------|-----|----|----|
| 19  | $t_{SU}(EMIFDV-EM\_CLKH)$ | 入力セットアップ時間、EMIFDATA[15:0]のリード・データ有効から EMIF_CLK 立ち上がりまで | 1   |    | Ns |
| 20  | $t_{H}(CLKH-DIV)$         | 入力ホールド時間、EMIF_CLK 立ち上がりから EMIFDATA[15:0]のリード・データ有効まで   | 1.5 |    | Ns |

表 4-31 EMIF 同期メモリのスイッチング特性

| NO. | パラメータ                       |                                                           | 最小 | 最大 | 単位 |
|-----|-----------------------------|-----------------------------------------------------------|----|----|----|
| 1   | $t_c(\text{CLK})$           | サイクル時間、EMIF クロック EMIF_CLK                                 | 15 |    | ns |
| 2   | $t_w(\text{CLK})$           | パルス幅、EMIF クロック EMIF_CLK ハイまたはロー                           | 5  |    | ns |
| 3   | $t_d(\text{CLKH-CSV})$      | 遅延時間、EMIF_CLK 立ち上がりから EMIFnCS[0]有効                        |    | 7  | ns |
| 4   | $t_{oh}(\text{CLKH-CSIV})$  | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFnCS[0]無効                    | 1  |    | ns |
| 5   | $t_d(\text{CLKH-DQM})$      | 遅延時間、EMIF_CLK 立ち上がりから EMIFnDQM[1:0]有効                     |    | 7  | ns |
| 6   | $t_{oh}(\text{CLKH-DQMIV})$ | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFnDQM[1:0]無効                 | 1  |    | ns |
| 7   | $t_d(\text{CLKH-AV})$       | 遅延時間、EMIF_CLK 立ち上がりから EMIFADDR[21:0]および EMIFBA[1:0]有効     |    | 7  | ns |
| 8   | $t_{oh}(\text{CLKH-AIV})$   | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFADDR[21:0]および EMIFBA[1:0]無効 | 1  |    | ns |
| 9   | $t_d(\text{CLKH-DV})$       | 遅延時間、EMIF_CLK 立ち上がりから EMIFDATA[15:0]有効                    |    | 7  | ns |
| 10  | $t_{oh}(\text{CLKH-DIV})$   | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFDATA[15:0]無効                | 1  |    | ns |
| 11  | $t_d(\text{CLKH-RASV})$     | 遅延時間、EMIF_CLK 立ち上がりから EMIFnRAS 有効                         |    | 7  | ns |
| 12  | $t_{oh}(\text{CLKH-RASIV})$ | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFnRAS 無効                     | 1  |    | ns |
| 13  | $t_d(\text{CLKH-CASV})$     | 遅延時間、EMIF_CLK 立ち上がりから EMIFnCAS 有効                         |    | 7  | ns |
| 14  | $t_{oh}(\text{CLKH-CASIV})$ | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFnCAS 無効                     | 1  |    | ns |
| 15  | $t_d(\text{CLKH-WEV})$      | 遅延時間、EMIF_CLK 立ち上がりから EMIFnWE 有効                          |    | 7  | ns |
| 16  | $t_{oh}(\text{CLKH-WEIV})$  | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFnWE 無効                      | 1  |    | ns |
| 17  | $t_{dis}(\text{CLKH-DHZ})$  | 遅延時間、EMIF_CLK 立ち上がりから EMIFDATA[15:0]トライステート               |    | 7  | ns |
| 18  | $t_{ena}(\text{CLKH-DLZ})$  | 出力ホールド時間、EMIF_CLK 立ち上がりから EMIFDATA[15:0]ドライブ              | 1  |    | ns |

## 4.15 ベクタ割り込みマネージャー

ベクタ割り込みマネージャー (VIM) は、このデバイスにある多くの割り込みソースの優先度設定やコントロールを行うことで、ハードウェアを支援します。割り込みは、通常のプログラム実行フローの外部のイベントによって引き起こされます。通常これらのイベントでは、中央処理装置 (CPU) からのタイムリーな応答が必要のため、割り込みが発生したら、CPU は通常のプログラム・フローから割り込みサービス・ルーチン (ISR) に実行を切り換えます。

### 4.15.1 VIM の特徴

VIM モジュールの主な機能は次のとおりです。

- 96 の割り込みチャンネルをサポート。
  - 優先度をプログラム可能で、割り込み要求ラインのイネーブルが可能。
- 最高速の IRQ ディスパッチに対し直接ハードウェア・ディスパッチ機能を提供。
- CPU VIC ポートが使用されていない場合は、次の 2 つのソフトウェア・ディスパッチ機能を提供。
  - インデックス割り込み
  - レジスタのベクタ割り込み
- ソフト・エラーに対してパリティ保護されたベクタ割り込みテーブル。

### 4.15.2 割り込み要求の割り当て

表 4-32 割り込み要求の割り当て

| モジュール   | 割り込みソース                | デフォルト VIM 割り込みチャンネル |
|---------|------------------------|---------------------|
| ESM     | ESM ハイ・レベル割り込み (NMI)   | 0                   |
| 予約      | 予約                     | 1                   |
| RTI     | RTI コンペア割り込み 0         | 2                   |
| RTI     | RTI コンペア割り込み 1         | 3                   |
| RTI     | RTI コンペア割り込み 2         | 4                   |
| RTI     | RTI コンペア割り込み 3         | 5                   |
| RTI     | RTI オーバーフロー割り込み 0      | 6                   |
| RTI     | RTI オーバーフロー割り込み 1      | 7                   |
| RTI     | RTI タイム・ベース割り込み        | 8                   |
| GIO     | GIO 割り込み A             | 9                   |
| N2HET1  | N2HET1 レベル 0 割り込み      | 10                  |
| HETTU1  | HET TU1 レベル 0 割り込み     | 11                  |
| MIBSPI1 | MIBSPI1 レベル 0 割り込み     | 12                  |
| LIN     | LIN レベル 0 割り込み         | 13                  |
| MIBADC1 | MIBADC1 イベント・グループ割り込み  | 14                  |
| MIBADC1 | MIBADC1 sw グループ 1 割り込み | 15                  |
| DCAN1   | DCAN1 レベル 0 割り込み       | 16                  |
| SPI2    | SPI2 レベル 0 割り込み        | 17                  |
| 予約      | 予約                     | 18                  |
| CRC     | CRC 割り込み               | 19                  |
| ESM     | ESM ロー・レベル割り込み         | 20                  |
| システム    | ソフトウェア割り込み (SSI)       | 21                  |
| CPU     | PMU 割り込み               | 22                  |
| GIO     | GIO 割り込み B             | 23                  |
| N2HET1  | N2HET1 レベル 1 割り込み      | 24                  |
| HET TU  | HET TU レベル 1 割り込み      | 25                  |
| HET TU1 | HET TU1 レベル 1 割り込み     | 25                  |
| MIBSPI  | MIBSPI レベル 1 割り込み      | 26                  |
| MIBSPI1 | MIBSPI1 レベル 1 割り込み     | 26                  |

表 4-32 割り込み要求の割り当て(続き)

| モジュール    | 割り込みソース                    | デフォルト VIM 割り込みチャンネル |
|----------|----------------------------|---------------------|
| LIN      | LIN レベル 1 割り込み             | 27                  |
| MIBADC   | MIBADC sw グループ 2 割り込み      | 28                  |
| MIBADC1  | MIBADC1 sw グループ 2 割り込み     | 28                  |
| DCAN1    | DCAN1 レベル 1 割り込み           | 29                  |
| SPI2     | SPI2 レベル 1 割り込み            | 30                  |
| MIBADC1  | MIBADC1 重大度コンペア割り込み        | 31                  |
| 予約       | 予約                         | 32                  |
| DMA      | FTCA 割り込み                  | 33                  |
| DMA      | LFSA 割り込み                  | 34                  |
| DCAN2    | DCAN2 レベル 0 割り込み           | 35                  |
| DMM      | DMM レベル 0 割り込み             | 36                  |
| MIBSPI3  | MIBSPI3 レベル 0 割り込み         | 37                  |
| MIBSPI3  | MIBSPI3 レベル 1 割り込み         | 38                  |
| DMA      | HBCA 割り込み                  | 39                  |
| DMA      | BTCA 割り込み                  | 40                  |
| EMIF     | AEMIFINT3                  | 41                  |
| DCAN2    | DCAN2 レベル 1 割り込み           | 42                  |
| DMM      | DMM レベル 1 割り込み             | 43                  |
| DCAN1    | DCAN1 IF3 割り込み             | 44                  |
| DCAN3    | DCAN3 レベル 0 割り込み           | 45                  |
| DCAN2    | DCAN2 IF3 割り込み             | 46                  |
| FPU      | FPU 割り込み                   | 47                  |
| 予約       | 予約                         | 48                  |
| SPI4     | SPI4 レベル 0 割り込み            | 49                  |
| MIBADC2  | MibADC2 イベント・グループ割り込み      | 50                  |
| MIBADC2  | MibADC2 sw グループ 1 割り込み     | 51                  |
| 予約       | 予約                         | 52                  |
| MIBSPI5  | MIBSPI5 レベル 0 割り込み         | 53                  |
| SPI4     | SPI4 レベル 1 割り込み            | 54                  |
| DCAN3    | DCAN3 レベル 1 割り込み           | 55                  |
| MIBSPI5  | MIBSPI5 レベル 1 割り込み         | 56                  |
| MIBADC2  | MibADC2 sw グループ 2 割り込み     | 57                  |
| 予約       | 予約                         | 58                  |
| MIBADC2  | MIBADC2 重大度コンペア割り込み        | 59                  |
| DCAN3    | DCAN3 IF3 割り込み             | 60                  |
| FMC      | FSM_DONE 割り込み              | 61                  |
| 予約       | 予約                         | 62                  |
| N2HET2   | N2HET2 レベル 0 割り込み          | 63                  |
| SCI      | SCI レベル 0 割り込み             | 64                  |
| HET TU2  | HET TU2 レベル 0 割り込み         | 65                  |
| I2C      | I2C レベル 0 割り込み             | 66                  |
| USB ホスト  | OHCI_INT                   | 67                  |
| USB デバイス | USB_FUNC.IRQISOON          | 68                  |
| USB デバイス | USB_FUNC.IRQGENION         | 69                  |
| USB デバイス | USB_FUNC.IRQNONISOON       | 70                  |
| USB デバイス | not (USB_FUNC.DSWAKEREQON) | 71                  |
| USB デバイス | USB_FUNC.USBRESET0         | 72                  |
| N2HET2   | N2HET2 レベル 1 割り込み          | 73                  |
| SCI      | SCI レベル 1 割り込み             | 74                  |
| HET TU2  | HET TU2 レベル 1 割り込み         | 75                  |

**表 4-32 割り込み要求の割り当て(続き)**

| モジュール  | 割り込みソース         | デフォルト VIM 割り込みチャンネル |
|--------|-----------------|---------------------|
| イーサネット | C0_MISC_PULSE   | 76                  |
| イーサネット | C0_TX_PULSE     | 77                  |
| イーサネット | C0_THRESH_PULSE | 78                  |
| イーサネット | C0_RX_PULSE     | 79                  |
| HWAG1  | HWA_INT_REQ_H   | 80                  |
| HWAG2  | HWA_INT_REQ_H   | 81                  |
| DCC1   | DCC 完了割り込み      | 82                  |
| DCC2   | DCC2 完了割り込み     | 83                  |
| 予約     | 予約              | 84-87               |
| HWAG1  | HWA_INT_REQ_L   | 88                  |
| HWAG2  | HWA_INT_REQ_L   | 89                  |
| 予約     | 予約              | 90-95               |

---

**注**

VIM RAM のアドレス・ロケーション 0x00000000 は、プラットフォーム割り込み ISR エントリのために予約されています。そのため、要求チャンネルは 0..94 のみ使用でき、VIM RAM では 1 アドレス分オフセットされます。

---



---

**注**

下位の割り込みチャンネルは、上位の割り込みチャンネルより優先度が高くなります。

---



---

**注**

アプリケーションでは、VM モジュール内の割り込みチャンネル・コントロール・レジスタ (CHANCTRLx) を使用することにより、割り込みソースの割り込みチャンネルへのマッピングを変更することができます。

---

## 4.16 DMA コントローラ

DMA コントローラは、CPU 動作のバックグラウンドにおいて、メモリ・マップの 2 つのロケーション間でデータを転送するために使用します。通常、DMA は次の目的で使用します。

- 外部および内部のデータ・メモリ間でデータのブロックを転送するため
- 内部データ・メモリの一部を再構築するため
- ペリフェラルとの継続的な転送

### 4.16.1 DMA の特徴

- CPU から独立したデータ転送
- 1 つのマスタ・ポート - Port B (64 ビット幅) が RM4x メモリ・システムとの間でインターフェイス
- FIFO バッファ (64 ビット幅でそれぞれ深さ 4 エントリ)
- チャンネル・コントロール情報が、パリティ保護された RAM に格納
- 個別にイネーブルできる 16 チャンネル
- チャンネル・チェーニング機能
- 32 のペリフェラル DMA 要求
- ハードウェアおよびソフトウェア DMA 要求
- 8、16、32、64 ビット・トランザクションをサポート
- ソース/デスティネーションに対する複数のアドレッシング・モード (固定、インクリメント、オフセット)
- 自動始動
- パワー・マネージメント・モード
- 4 つの構成可能なメモリ・リージョンを持つメモリ保護

### 4.16.2 デフォルトDMA 要求マップ

このマイコンの DMA モジュールには、16 チャンネルがあり、最高で 32 のハードウェア DMA 要求があります。モジュールには、DMA 要求を DMA チャンネルにマッピングするための DREQASIX レジスタが搭載されています。デフォルトでは、チャンネル 0 が要求 0、チャンネル 1 が要求 1 といった形でマッピングされています。

一部の DMA 要求には、表 4-33 のように複数のソースがあります。アプリケーションではいつでも、これらの DMA 要求ソースのうち、1 つだけがイネーブルされるようにしなければなりません。

**表 4-33 DMA 要求ライン接続**

| モジュール                                  | DMA 要求ソース                                                                       | DMA 要求     |
|----------------------------------------|---------------------------------------------------------------------------------|------------|
| MIBSPI1                                | MIBSPI1[1] <sup>(1)</sup>                                                       | DMAREQ[0]  |
| MIBSPI1                                | MIBSPI1[0] <sup>(2)</sup>                                                       | DMAREQ[1]  |
| SPI2                                   | SPI2 受信                                                                         | DMAREQ[2]  |
| SPI2                                   | SPI2 送信                                                                         | DMAREQ[3]  |
| MIBSPI1 / MIBSPI3 / DCAN2              | MIBSPI1[2] / MIBSPI3[2] / DCAN2 IF3                                             | DMAREQ[4]  |
| MIBSPI1 / MIBSPI3 / DCAN2              | MIBSPI1[3] / MIBSPI3[3] / DCAN2 IF2                                             | DMAREQ[5]  |
| DCAN1 / MIBSPI5                        | DCAN1 IF2 / MIBSPI5[2]                                                          | DMAREQ[6]  |
| MIBADC1 / MIBSPI5                      | MIBADC1 イベント / MIBSPI5[3]                                                       | DMAREQ[7]  |
| MIBSPI1 / MIBSPI3 / DCAN1              | MIBSPI1[4] / MIBSPI3[4] / DCAN1 IF1                                             | DMAREQ[8]  |
| MIBSPI1 / MIBSPI3 / DCAN2              | MIBSPI1[5] / MIBSPI3[5] / DCAN2 IF1                                             | DMAREQ[9]  |
| MIBADC1 / I2C / MIBSPI5                | MIBADC1 G1 / I2C 受信 / MIBSPI5[4]                                                | DMAREQ[10] |
| MIBADC1 / I2C / MIBSPI5                | MIBADC1 G2 / I2C 送信 / MIBSPI5[5]                                                | DMAREQ[11] |
| RTI / MIBSPI1 / MIBSPI3                | RTI DMAREQ0 / MIBSPI1[6] / MIBSPI3[6]                                           | DMAREQ[12] |
| RTI / MIBSPI1 / MIBSPI3                | RTI DMAREQ1 / MIBSPI1[7] / MIBSPI3[7]                                           | DMAREQ[13] |
| MIBSPI3 / USB デバイス / MibADC2 / MIBSPI5 | MIBSPI3[1] <sup>(1)</sup> / USB_FUNC.DMATXREQ_ON[0] / MibADC2 イベント / MIBSPI5[6] | DMAREQ[14] |
| MIBSPI3 / USB デバイス / MIBSPI5           | MIBSPI3[0] <sup>(2)</sup> / USB_FUNC.DMARXREQ_ON[0] / MIBSPI5[7]                | DMAREQ[15] |
| MIBSPI1 / MIBSPI3 / DCAN1 / MibADC2    | MIBSPI1[8] / MIBSPI3[8] / DCAN1 IF3 / MibADC2 G1                                | DMAREQ[16] |
| MIBSPI1 / MIBSPI3 / DCAN3 / MibADC2    | MIBSPI1[9] / MIBSPI3[9] / DCAN3 IF1 / MibADC2 G2                                | DMAREQ[17] |
| RTI / USB デバイス / MIBSPI5               | RTI DMAREQ2 / USB_FUNC.DMATXREQ_ON[1] / MIBSPI5[8]                              | DMAREQ[18] |
| RTI / USB デバイス / MIBSPI5               | RTI DMAREQ3 / USB_FUNC.DMARXREQ_ON[1] / MIBSPI5[9]                              | DMAREQ[19] |
| N2HET1 / N2HET2 / DCAN3                | N2HET1 DMAREQ[4] / N2HET2 DMAREQ[4] / DCAN3 IF2                                 | DMAREQ[20] |
| N2HET1 / N2HET2 / DCAN3                | N2HET1 DMAREQ[5] / N2HET2 DMAREQ[5] / DCAN3 IF3                                 | DMAREQ[21] |
| MIBSPI1 / MIBSPI3 / MIBSPI5            | MIBSPI1[10] / MIBSPI3[10] / MIBSPI5[10]                                         | DMAREQ[22] |
| MIBSPI1 / MIBSPI3 / MIBSPI5            | MIBSPI1[11] / MIBSPI3[11] / MIBSPI5[11]                                         | DMAREQ[23] |
| N2HET1 / N2HET2 / SPI4 / MIBSPI5       | N2HET1 DMAREQ[6] / N2HET2 DMAREQ[6] / SPI4 受信 / MIBSPI5[12]                     | DMAREQ[24] |
| N2HET1 / N2HET2 / SPI4 / MIBSPI5       | N2HET1 DMAREQ[7] / N2HET2 DMAREQ[7] / SPI4 送信 / MIBSPI5[13]                     | DMAREQ[25] |
| CRC / MIBSPI1 / MIBSPI3                | CRC DMAREQ[0] / MIBSPI1[12] / MIBSPI3[12]                                       | DMAREQ[26] |
| CRC / MIBSPI1 / MIBSPI3                | CRC DMAREQ[1] / MIBSPI1[13] / MIBSPI3[13]                                       | DMAREQ[27] |
| LIN / USB デバイス / MIBSPI5               | LIN receive / USB_FUNC.DMATXREQ_ON[2] / MIBSPI5[14]                             | DMAREQ[28] |
| LIN / USB デバイス / MIBSPI5               | LIN transmit / USB_FUNC.DMARXREQ_ON[2] / MIBSPI5[15]                            | DMAREQ[29] |
| MIBSPI1 / MIBSPI3 / SCI / MIBSPI5      | MIBSPI1[14] / MIBSPI3[14] / SCI 受信 / MIBSPI5[1] <sup>(1)</sup>                  | DMAREQ[30] |
| MIBSPI1 / MIBSPI3 / SCI / MIBSPI5      | MIBSPI1[15] / MIBSPI3[15] / SCI 送信 / MIBSPI5[0] <sup>(2)</sup>                  | DMAREQ[31] |

(1) SPI1、SPI3、SPI5 受信モード

(2) SPI1、SPI3、SPI5 送信モード

## 4.17 リアルタイム割り込みモジュール

リアルタイム割り込み (RTI) モジュールは、オペレーティング・システムおよびベンチマーキング・コードに対してタイマ機能を提供します。RTI モジュールには、オペレーティング・システムのスケジューリングに必要なタイム・ベースを定義する 2 つの 64 ビット・カウンタが搭載されています。

このタイマを使用すると、所定のコード範囲の最初と最後のカウンタの値を読み取り、2 つの値の差を計算することによって、コードの特定領域をベンチマーキングすることができます。

### 4.17.1 機能

RTI モジュールの主な機能は次のとおりです。

- 2 つの独立した 64 ビット・カウンタ・ブロック。
- オペレーティング・システムのティックまたは DMA 要求を生成するための 4 つの構成可能なコンペア。それぞれのイベントをカウンタ・ブロック 0 またはカウンタ・ブロック 1 のいずれかでドライブすることができます。
- イベントの高速なイネーブル/ディスエーブル。
- システムまたはペリフェラル割り込みに対する 2 つのタイムスタンプ (キャプチャ) 機能、それぞれのカウンタ・ブロックに 1 つずつ。

### 4.17.2 ブロック図

図 4-17 は、RTI モジュール内の 2 つの 64 ビット・カウンタ・ブロックの 1 つに対するハイ・レベル・ブロック図を示しています。両方のカウンタ・ブロックは、カウンタ・ブロック 0 のタイム・ベース入力としてネットワーク・タイム・ユニット (NTUx) 入力だけが使用できる点を除いて同じです。

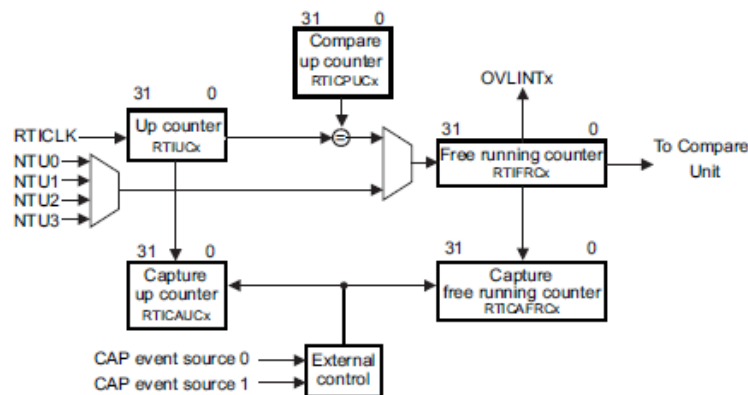


図 4-17 カウンタ・ブロック図

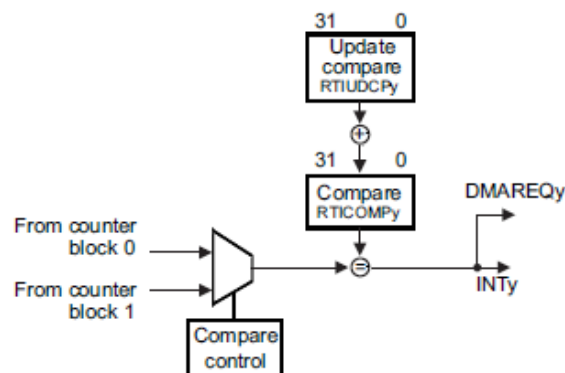


図 4-18 コンペア・ブロック図

### 4.17.3 クロック・ソース・オプション

RTI モジュールでは、RTI タイム・ベースを生成するために RTI1CLK クロック・ドメインを使用します。

アプリケーションは、システム・モジュールの RCLKSRC レジスタのアドレス 0xFFFFF50 を構成することによって、RTI1CLK に対するクロック・ソースを選択することができます。RTI1CLK のデフォルト・ソースは VCLK です。

クロック・ソースの詳細については、[表 4-8](#) および [表 4-13](#) を参照してください。

### 4.17.4 ネットワーク時刻同期入力

RTI モジュールでは、内部システム・イベントの信号に対する 4 つのネットワーク・タイム・ユニット (NTU) 入力をサポートしています。この入力は、RTI モジュールが使用するタイム・ベースを同期する目的で使用することもできます。このデバイスでは、これらの NTU 入力が次の表のように接続されています。

**表 4-34 ネットワーク時刻同期入力**

| NTU 入力 | ソース              |
|--------|------------------|
| 0      | 予約               |
| 1      | 予約               |
| 2      | PLL2 クロック出力      |
| 3      | EXTCLKIN1 クロック入力 |

## 4.18 エラー・シグナリング・モジュール

エラー・シグナリング・モジュール(ESM)は、RM4x マイコンのさまざまなエラー条件を管理します。エラー条件は、そこに割り当てられている固定の重大度レベルに基づいて処理されます。重大なエラー条件については、nERROR 端子にロー・レベルをドライブするよう構成することができます。これは、システムを安全な状態に移すための、外部モニタ回路に対するインジケータとして使用することができます。

### 4.18.1 機能

エラー・シグナリング・モジュールの機能を以下に示します。

- 128 の割り込み/エラー・チャンネルをサポートします。これは 3 つの別グループに分けられています。
  - 64 のチャンネルは、マスク可能割り込みおよび構成可能なエラー・ピン動作
  - 32 のエラー・チャンネルは、マスク不可能な割り込みおよび定義済みのエラー・ピン動作
  - 32 のチャンネルは、定義済みのエラー・ピン動作のみ
- 重大なデバイス障害を通知するエラー・ピン。
- エラー信号に対する構成可能なタイム・ベース。
- エラー誘発機能。

### 4.18.2 ESM チャンネル割り当て

エラー・シグナリング・モジュール(ESM)は、すべてのデバイス・エラー条件を統合し、それを重大度の順序でグループ化します。グループ 1 は、重大度がもっとも低いエラーに使用され、グループ 3 は重大度がもっとも高いエラーに使用されます。それぞれのエラーに対するデバイスの応答は、それが対応している重大度グループによって決定されます。表 4-36 はそれぞれのグループに対するチャンネル割り当てを示しています。

表 4-35 ESM グループ

| エラー・グループ | 割り込み特性           | エラー・ピンへの影響 |
|----------|------------------|------------|
| グループ 1   | マスク可能、低いまたは高い優先度 | 構成可能       |
| グループ 2   | マスク不可能、高い優先度     | 固定         |
| グループ 3   | 割り込みの生成なし        | 固定         |

表 4-36 ESM チャンネル割り当て

| エラー・ソース                                                        | グループ   | チャンネル |
|----------------------------------------------------------------|--------|-------|
| 予約                                                             | グループ 1 | 0     |
| MibADC2 - パリティ                                                 | グループ 1 | 1     |
| DMA - MPU                                                      | グループ 1 | 2     |
| DMA - パリティ                                                     | グループ 1 | 3     |
| 予約                                                             | グループ 1 | 4     |
| DMA - 不正確リード・エラー                                               | グループ 1 | 5     |
| FMC - 修正可エラー: バス 1 およびバス 2 インターフェイス<br>(EEPROM バンクへのアクセスは含まない) | グループ 1 | 6     |
| N2HET1/N2HET2 - パリティ                                           | グループ 1 | 7     |
| HET TU1/HET TU2 - パリティ                                         | グループ 1 | 8     |
| HET TU1/HET TU2 - MPU                                          | グループ 1 | 9     |
| PLL - スリップ                                                     | グループ 1 | 10    |
| クロック・モニタ・割り込み                                                  | グループ 1 | 11    |
| 予約                                                             | グループ 1 | 12    |
| DMA - 不正確ライト・エラー                                               | グループ 1 | 13    |

表 4-36 ESM チャンネル割り当て(続き)

| エラー・ソース                                                                                                                                                        | グループ   | チャネル |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|------|
| 予約                                                                                                                                                             | グループ 1 | 14   |
| VIM RAM - パリティ                                                                                                                                                 | グループ 1 | 15   |
| 予約                                                                                                                                                             | グループ 1 | 16   |
| MibSPI1 - パリティ                                                                                                                                                 | グループ 1 | 17   |
| MibSPI3 - パリティ                                                                                                                                                 | グループ 1 | 18   |
| MibADC1 - パリティ                                                                                                                                                 | グループ 1 | 19   |
| 予約                                                                                                                                                             | グループ 1 | 20   |
| DCAN1 - パリティ                                                                                                                                                   | グループ 1 | 21   |
| DCAN3 - パリティ                                                                                                                                                   | グループ 1 | 22   |
| DCAN2 - パリティ                                                                                                                                                   | グループ 1 | 23   |
| MibSPI5 - パリティ                                                                                                                                                 | グループ 1 | 24   |
| 予約                                                                                                                                                             | グループ 1 | 25   |
| RAM 偶数バンク(B0TCM)- 修正可エラー                                                                                                                                       | グループ 1 | 26   |
| CPU - セルフテスト                                                                                                                                                   | グループ 1 | 27   |
| RAM 奇数バンク(B1TCM) - 修正可エラー                                                                                                                                      | グループ 1 | 28   |
| 予約                                                                                                                                                             | グループ 1 | 29   |
| DCC1 - エラー                                                                                                                                                     | グループ 1 | 30   |
| CCM-R4 - セルフテスト                                                                                                                                                | グループ 1 | 31   |
| 予約                                                                                                                                                             | グループ 1 | 32   |
| 予約                                                                                                                                                             | グループ 1 | 33   |
| 予約                                                                                                                                                             | グループ 1 | 34   |
| FMC - 修正可エラー (EEPROM バンク・アクセス)                                                                                                                                 | グループ 1 | 35   |
| FMC - 修正不可エラー (EEPROM バンク・アクセス)                                                                                                                                | グループ 1 | 36   |
| IOMM - Mux 構成エラー                                                                                                                                               | グループ 1 | 37   |
| パワー・ドメイン・コントローラ・コンペア・エラー                                                                                                                                       | グループ 1 | 38   |
| パワー・ドメイン・コントローラ・セルフテスト・エラー                                                                                                                                     | グループ 1 | 39   |
| eFuse コントローラ・エラー。このエラー信号は、eFuse コントローラ・エラー・ステータス・レジスタの任意のビットがセットされたときに生成されます。アプリケーションは、このビットが任意の eFuse コントローラ・エラー条件に対応するようセットされているときはいつでも、割り込みの生成を選択することができます。 | グループ 1 | 40   |
| eFuse コントローラ - セルフテスト・エラー。このエラー信号は、eFuse コントローラのセルフテストによりエラー条件が生成されたときに限り生成されます。ECC セルフテスト・エラーが検出されたら、グループ 1 のチャネル 40 のエラー信号もセットされます。                          | グループ 1 | 41   |
| PLL2 - スリッパ                                                                                                                                                    | グループ 1 | 42   |
| イーサネット・コントローラ・マスタ・インターフェイス                                                                                                                                     | グループ 1 | 43   |
| USB ホスト・コントローラ・マスタ・インターフェイス                                                                                                                                    | グループ 1 | 44   |
| 予約                                                                                                                                                             | グループ 1 | 45   |
| 予約                                                                                                                                                             | グループ 1 | 46   |
| 予約                                                                                                                                                             | グループ 1 | 47   |
| 予約                                                                                                                                                             | グループ 1 | 48   |
| 予約                                                                                                                                                             | グループ 1 | 49   |
| 予約                                                                                                                                                             | グループ 1 | 50   |
| 予約                                                                                                                                                             | グループ 1 | 51   |
| 予約                                                                                                                                                             | グループ 1 | 52   |
| 予約                                                                                                                                                             | グループ 1 | 53   |
| 予約                                                                                                                                                             | グループ 1 | 54   |
| 予約                                                                                                                                                             | グループ 1 | 55   |
| 予約                                                                                                                                                             | グループ 1 | 56   |
| 予約                                                                                                                                                             | グループ 1 | 57   |
| 予約                                                                                                                                                             | グループ 1 | 58   |
| 予約                                                                                                                                                             | グループ 1 | 59   |
| 予約                                                                                                                                                             | グループ 1 | 60   |

表 4-36 ESM チャンネル割り当て(続き)

| エラー・ソース                                                         | グループ   | チャンネル |
|-----------------------------------------------------------------|--------|-------|
| 予約                                                              | グループ 1 | 61    |
| 予約                                                              | グループ 1 | 62    |
| 予約                                                              | グループ 1 | 63    |
| 予約                                                              | グループ 2 | 0     |
| 予約                                                              | グループ 2 | 1     |
| CCMR4 - コンペア                                                    | グループ 2 | 2     |
| 予約                                                              | グループ 2 | 3     |
| FMC - 修正不可エラー(バス 1 アクセスのアドレス・パリティ)                              | グループ 2 | 4     |
| 予約                                                              | グループ 2 | 5     |
| RAM 偶数バンク(B0TCM) - 修正不可エラー                                      | グループ 2 | 6     |
| 予約                                                              | グループ 2 | 7     |
| RAM 奇数バンク(B1TCM) - 修正不可エラー                                      | グループ 2 | 8     |
| 予約                                                              | グループ 2 | 9     |
| RAM 偶数バンク(B0TCM) - アドレス・バス・パリティ・エラー                             | グループ 2 | 10    |
| 予約                                                              | グループ 2 | 11    |
| RAM 奇数バンク(B1TCM) - アドレス・バス・パリティ・エラー                             | グループ 2 | 12    |
| 予約                                                              | グループ 2 | 13    |
| 予約                                                              | グループ 2 | 14    |
| 予約                                                              | グループ 2 | 15    |
| TCM - ECC ライブ・ロック検出                                             | グループ 2 | 16    |
| 予約                                                              | グループ 2 | 17    |
| 予約                                                              | グループ 2 | 18    |
| 予約                                                              | グループ 2 | 19    |
| 予約                                                              | グループ 2 | 20    |
| 予約                                                              | グループ 2 | 21    |
| 予約                                                              | グループ 2 | 22    |
| 予約                                                              | グループ 2 | 23    |
| RTI_WWD_NMI                                                     | グループ 2 | 24    |
| 予約                                                              | グループ 2 | 25    |
| 予約                                                              | グループ 2 | 26    |
| 予約                                                              | グループ 2 | 27    |
| 予約                                                              | グループ 2 | 28    |
| 予約                                                              | グループ 2 | 29    |
| 予約                                                              | グループ 2 | 30    |
| 予約                                                              | グループ 2 | 31    |
| 予約                                                              | グループ 3 | 0     |
| eFuse コントローラ - オートロード・エラー                                       | グループ 3 | 1     |
| 予約                                                              | グループ 3 | 2     |
| RAM 偶数バンク(B0TCM) - ECC 修正不可エラー                                  | グループ 3 | 3     |
| 予約                                                              | グループ 3 | 4     |
| RAM 奇数バンク(B1TCM) - ECC 修正不可エラー                                  | グループ 3 | 5     |
| 予約                                                              | グループ 3 | 6     |
| FMC - 修正不可エラー: バス 1 およびバス 2 インターフェイス<br>(EEPROM バンクへのアクセスは含まない) | グループ 3 | 7     |
| 予約                                                              | グループ 3 | 8     |
| 予約                                                              | グループ 3 | 9     |
| 予約                                                              | グループ 3 | 10    |
| 予約                                                              | グループ 3 | 11    |
| 予約                                                              | グループ 3 | 12    |
| 予約                                                              | グループ 3 | 13    |
| 予約                                                              | グループ 3 | 14    |

**表 4-36 ESM チャンネル割り当て(続き)**

| エラー・ソース | グループ   | チャンネル |
|---------|--------|-------|
| 予約      | グループ 3 | 15    |
| 予約      | グループ 3 | 16    |
| 予約      | グループ 3 | 17    |
| 予約      | グループ 3 | 18    |
| 予約      | グループ 3 | 19    |
| 予約      | グループ 3 | 20    |
| 予約      | グループ 3 | 21    |
| 予約      | グループ 3 | 22    |
| 予約      | グループ 3 | 23    |
| 予約      | グループ 3 | 24    |
| 予約      | グループ 3 | 25    |
| 予約      | グループ 3 | 26    |
| 予約      | グループ 3 | 27    |
| 予約      | グループ 3 | 28    |
| 予約      | グループ 3 | 29    |
| 予約      | グループ 3 | 30    |
| 予約      | グループ 3 | 31    |

## 4.19 リセット/アボート/エラー・ソース

表 4-37 リセット/アボート/エラー・ソース

| エラー・ソース                                                         | システム・モード  | エラー応答                          | ESM の対応関係<br>グループ・チャネル |
|-----------------------------------------------------------------|-----------|--------------------------------|------------------------|
| <b>CPU トランザクション</b>                                             |           |                                |                        |
| 正確ライト・エラー (NCNB/強い順序付け)                                         | ユーザー / 特権 | 正確アボート (CPU)                   | n/a                    |
| 正確リード・エラー (NCB/デバイスまたは標準)                                       | ユーザー / 特権 | 正確アボート (CPU)                   | n/a                    |
| 不正確ライト・エラー (NCB/デバイスまたは標準)                                      | ユーザー / 特権 | 不正確アボート (CPU)                  | n/a                    |
| 無効な命令                                                           | ユーザー / 特権 | 未定義命令トラップ (CPU) <sup>(1)</sup> | n/a                    |
| MPU アクセス違反                                                      | ユーザー / 特権 | アボート (CPU)                     | n/a                    |
| <b>SRAM</b>                                                     |           |                                |                        |
| B0 TCM(偶数) ECC シングル・エラー (修正可能)                                  | ユーザー / 特権 | ESM                            | 1.26                   |
| B0 TCM(偶数) ECC ダブル・エラー (修正不可能)                                  | ユーザー / 特権 | アボート (CPU)、ESM => nERROR       | 3.3                    |
| B0 TCM(偶数) 修正不可エラー (つまり冗長アドレス・デコード)                             | ユーザー / 特権 | ESM => NMI => nERROR           | 2.6                    |
| B0 TCM(偶数) アドレス・バス・パリティ・エラー                                     | ユーザー / 特権 | ESM => NMI => nERROR           | 2.10                   |
| B1 TCM(奇数) ECC シングル・エラー (修正可能)                                  | ユーザー / 特権 | ESM                            | 1.28                   |
| B1 TCM(奇数) ECC ダブル・エラー (修正不可能)                                  | ユーザー / 特権 | アボート (CPU)、ESM => nERROR       | 3.5                    |
| B1 TCM(奇数) 修正不可エラー (つまり冗長アドレス・デコード)                             | ユーザー / 特権 | ESM => NMI => nERROR           | 2.8                    |
| B1 TCM(奇数) アドレス・バス・パリティ・エラー                                     | ユーザー / 特権 | ESM => NMI => nERROR           | 2.12                   |
| <b>フラッシュ</b>                                                    |           |                                |                        |
| FMC 修正可エラー - バス 1 およびバス 2 インターフェイス                              | ユーザー / 特権 | ESM                            | 1.6                    |
| FMC 修正不可エラー - バス 1 アクセス (アドレス・パリティ・エラーは含まない)                    | ユーザー / 特権 | アボート (CPU)、ESM => nERROR       | 3.7                    |
| FMC 修正不可エラー - バス 2 アクセス (アドレス・パリティ・エラーおよび EEPROM バンク・アクセスは含まない) | ユーザー / 特権 | nERROR                         | 3.7                    |
| FMC 修正不可エラー - バス 1 アクセスのアドレス・パリティ・エラー                           | ユーザー / 特権 | ESM => nERROR                  | 2.4                    |
| FMC 修正可エラー - EEPROM バンクへのアクセス                                   | ユーザー / 特権 | ESM                            | 1.35                   |
| FMC 修正不可エラー - EEPROM バンクへのアクセス                                  | ユーザー / 特権 | ESM                            | 1.36                   |
| <b>DMA トランザクション</b>                                             |           |                                |                        |
| リードについての外部不正確エラー (OK の応答を伴う不正なトランザクション)                         | ユーザー / 特権 | ESM                            | 1.5                    |
| ライトについての外部不正確エラー (OK の応答を伴う不正なトランザクション)                         | ユーザー / 特権 | ESM                            | 1.13                   |
| メモリ・アクセス・パーミッション違反                                              | ユーザー / 特権 | ESM                            | 1.2                    |
| メモリ・パリティ・エラー                                                    | ユーザー / 特権 | ESM                            | 1.3                    |
| <b>DMM トランザクション</b>                                             |           |                                |                        |
| リードについての外部不正確エラー (OK の応答を伴う不正なトランザクション)                         | ユーザー / 特権 | ESM                            | 1.5                    |
| ライトについての外部不正確エラー (OK の応答を伴う不正なトランザクション)                         | ユーザー / 特権 | ESM                            | 1.13                   |
| <b>HET TU (HTU)</b>                                             |           |                                |                        |
| スレーブ・エラーの応答を伴う NCNB (強い順序付け) トランザクション                           | ユーザー / 特権 | 割り込み => VIM                    | n/a                    |
| 外部不正確エラー (OK の応答を伴う不正なトランザクション)                                 | ユーザー / 特権 | 割り込み => VIM                    | n/a                    |
| メモリ・アクセス・パーミッション違反                                              | ユーザー / 特権 | ESM                            | 1.9                    |
| メモリ・パリティ・エラー                                                    | ユーザー / 特権 | ESM                            | 1.8                    |

**表 4-37 リセット/アボート/エラー・ソース(続き)**

| エラー・ソース                                  | システム・モード  | エラー応答                | ESMの対応関係のグループ・チャンネル |
|------------------------------------------|-----------|----------------------|---------------------|
| <b>HET TU2 (HTU2)</b>                    |           |                      |                     |
| スレーブ・エラーの応答を伴う NCNB(強い順序付け)トランザクション      | ユーザー / 特権 | 割り込み => VIM          | n/a                 |
| 外部不正確エラー(OK の応答を伴う不正なトランザクション)           | ユーザー / 特権 | 割り込み => VIM          | n/a                 |
| メモリ・アクセス・パーミッション違反                       | ユーザー / 特権 | ESM                  | 1.9                 |
| メモリ・パリティ・エラー                             | ユーザー / 特権 | ESM                  | 1.8                 |
| <b>N2HET</b>                             |           |                      |                     |
| メモリ・パリティ・エラー                             | ユーザー / 特権 | ESM                  | 1.7                 |
| <b>N2HET2</b>                            |           |                      |                     |
| メモリ・パリティ・エラー                             | ユーザー / 特権 | ESM                  | 1.7                 |
| <b>イーサネット・マスタ・インターフェイス</b>               |           |                      |                     |
| アクセス対象のスレーブからレポートされたエラー                  | ユーザー / 特権 | ESM                  | 1.43                |
| <b>USB ホスト・コントローラ(OHCI)・マスタ・インターフェイス</b> |           |                      |                     |
| アクセス対象のスレーブからレポートされたエラー                  | ユーザー / 特権 | ESM                  | 1.44                |
| <b>MIBSPI</b>                            |           |                      |                     |
| MibSPI1 メモリ・パリティ・エラー                     | ユーザー / 特権 | ESM                  | 1.17                |
| MibSPI3 メモリ・パリティ・エラー                     | ユーザー / 特権 | ESM                  | 1.18                |
| MibSPI5 メモリ・パリティ・エラー                     | ユーザー / 特権 | ESM                  | 1.24                |
| <b>MIBADC</b>                            |           |                      |                     |
| MibADC メモリ・パリティ・エラー                      | ユーザー / 特権 | ESM                  | 1.19                |
| MibADC2 メモリ・パリティ・エラー                     | ユーザー / 特権 | ESM                  | 1.1                 |
| <b>DCAN</b>                              |           |                      |                     |
| DCAN1 メモリ・パリティ・エラー                       | ユーザー / 特権 | ESM                  | 1.21                |
| DCAN2 メモリ・パリティ・エラー                       | ユーザー / 特権 | ESM                  | 1.23                |
| DCAN3 メモリ・パリティ・エラー                       | ユーザー / 特権 | ESM                  | 1.22                |
| <b>PLL</b>                               |           |                      |                     |
| PLL スリップ・エラー                             | ユーザー / 特権 | ESM                  | 1.10                |
| PLL #2 スリップ・エラー                          | ユーザー / 特権 | ESM                  | 1.42                |
| <b>クロック・モニタ</b>                          |           |                      |                     |
| クロック・モニタ割り込み                             | ユーザー / 特権 | ESM                  | 1.11                |
| <b>DCC</b>                               |           |                      |                     |
| DCC1 エラー                                 | ユーザー / 特権 | ESM                  | 1.30                |
| DCC2 エラー                                 | ユーザー / 特権 | ESM                  | 1.62                |
| <b>CCM-R4</b>                            |           |                      |                     |
| セルフテスト・エラー                               | ユーザー / 特権 | ESM                  | 1.31                |
| コンペア・エラー                                 | ユーザー / 特権 | ESM => NMI => nERROR | 2.2                 |
| <b>VIM</b>                               |           |                      |                     |
| メモリ・パリティ・エラー                             | ユーザー / 特権 | ESM                  | 1.15                |
| <b>電圧モニタ</b>                             |           |                      |                     |
| VMON 電圧範囲外                               | n/a       | Reset                | n/a                 |
| <b>CPU セルフテスト(LBIST)</b>                 |           |                      |                     |
| CPU セルフテスト(LBIST)・エラー                    | ユーザー / 特権 | ESM                  | 1.27                |
| <b>ピン多重化制御</b>                           |           |                      |                     |
| MUX 構成エラー                                | ユーザー / 特権 | ESM                  | 1.37                |
| <b>パワー・ドメイン制御</b>                        |           |                      |                     |
| PSCON コンペア・エラー                           | ユーザー / 特権 | ESM                  | 1.38                |
| PSCON セルフテスト・エラー                         | ユーザー / 特権 | ESM => NMI => nERROR | 1.39                |

表 4-37 リセット/アボート/エラー・ソース(続き)

| エラー・ソース                                    | システム・モード  | エラー応答                   | ESM の対応関係の<br>グループ・チャネル |
|--------------------------------------------|-----------|-------------------------|-------------------------|
| <b>eFuse コントローラ</b>                        |           |                         |                         |
| eFuse コントローラ・オートロード・エラー                    | ユーザー / 特権 | ESM => nERROR           | 3.1                     |
| eFuse コントローラ - エラー・ステータス・レジスタでセットされた任意のビット | ユーザー / 特権 | ESM                     | 1.40                    |
| eFuse コントローラ・セルフテスト・エラー                    | ユーザー / 特権 | ESM                     | 1.41                    |
| <b>WINDOWED WATCHDOG</b>                   |           |                         |                         |
| WWD ノン・マスカブル割り込みの例外                        | n/a       | ESM => NMI =><br>nERROR | 2.24                    |
| <b>システム・レジスタを反映したエラー</b>                   |           |                         |                         |
| パワーアップ・リセット                                | n/a       | リセット                    | n/a                     |
| 発振回路フェイル / PLL スリップ <sup>(2)</sup>         | n/a       | リセット                    | n/a                     |
| ウォッチドッグの例外                                 | n/a       | リセット                    | n/a                     |
| CPU リセット (CPU STC によってドライブ)                | n/a       | リセット                    | n/a                     |
| ソフトウェア・リセット                                | n/a       | リセット                    | n/a                     |
| 外部リセット                                     | n/a       | リセット                    | n/a                     |

- (1) 未定義命令トラップは、CPU の外部では検出されません。トラップは、命令が CPU の実行段階に達した場合にのみ発生します。
- (2) 発振回路フェイル/PLL スリップは、リセットを生成するよう、システム・レジスタ(SYS.PLLCTL1)内で構成することができます。

## 4.20 デジタル・ウィンドウ・ウォッチドッグ

このデバイスには、実行コードの暴走に対処するためのデジタル・ウィンドウ・ウォッチドッグ (DWWD) モジュールが搭載されています。

DWWD モジュールでは、アプリケーションが、ウォッチドッグを作動させるべき一定の時間ウィンドウを構成できるようにします。アプリケーションがこのウィンドウ外でウォッチドッグを作動させた場合またはウォッチドッグをまったく作動させなかった場合、ウォッチドッグ違反が起こります。アプリケーションは、ウォッチドッグ違反の際、CPU に対してシステム・リセットまたはマスク不可能な割り込みのいずれかを生成することができます。

ウォッチドッグは、デフォルトでディセーブルになっているため、アプリケーションでイネーブルにしなければなりません。いったんイネーブルにしたら、システム・リセットしないとウォッチドッグをディセーブルにできません。

## 4.21 デバッグ・サブシステム

### 4.21.1 ブロック図

このデバイスには、スキャン・チェーンへの JTAG アクセスを可能にする ICEPICK モジュールが搭載されています。

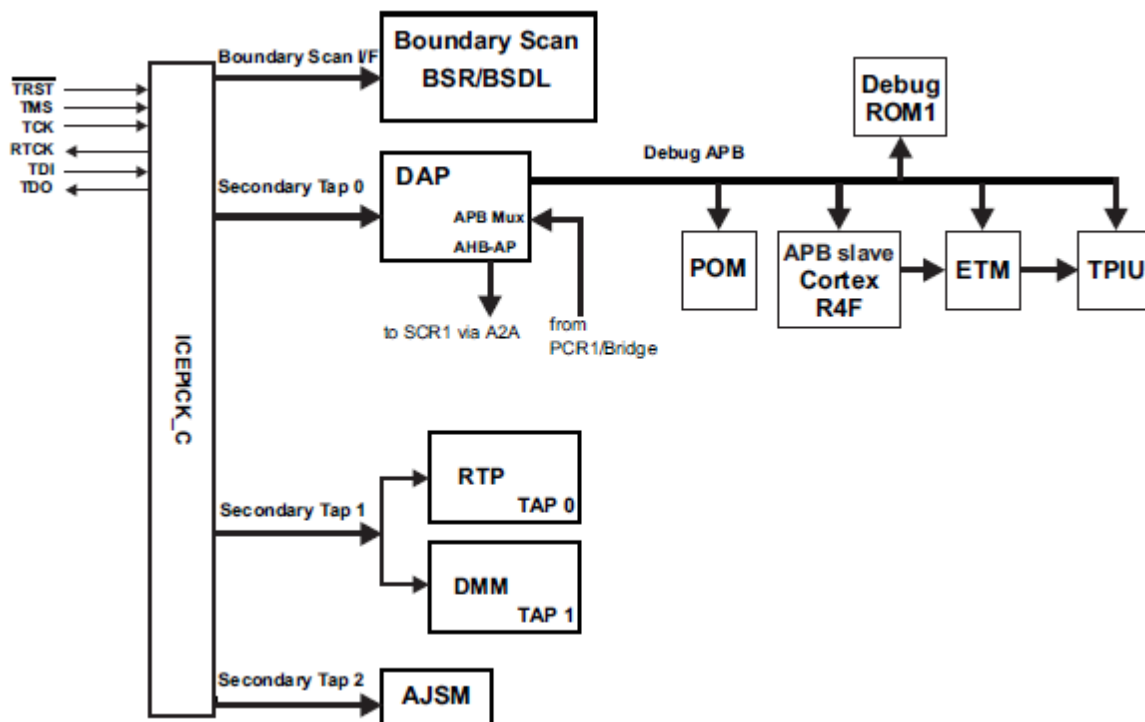


図 4-19 ZWT デバッグ・サブシステム・ブロック図

### 4.21.2 デバッグ・コンポーネントのメモリ・マップ

表 4-38 デバッグ・コンポーネントのメモリ・マップ

| モジュール名             | フレーム・チップ・セレクト | フレーム・アドレス範囲  |              | フレーム・サイズ | 実サイズ | フレームの未実装のロケーションへのアクセスに対する応答 |
|--------------------|---------------|--------------|--------------|----------|------|-----------------------------|
|                    |               | 開始           | 終了           |          |      |                             |
| CoreSight デバッグ ROM | CSCS0         | 0xFFFA0_0000 | 0xFFFA0_0FFF | 4 KB     | 4 KB | リード時ゼロを返し、ライト時影響を及ぼさない。     |
| Cortex-R4F デバッグ    | CSCS1         | 0xFFFA0_1000 | 0xFFFA0_1FFF | 4 KB     | 4 KB | リード時ゼロを返し、ライト時影響を及ぼさない。     |
| ETM-R4             | CSCS2         | 0xFFFA0_2000 | 0xFFFA0_2FFF | 4 KB     | 4 KB | リード時ゼロを返し、ライト時影響を及ぼさない。     |
| CoreSight TPIU     | CSCS3         | 0xFFFA0_3000 | 0xFFFA0_3FFF | 4 KB     | 4 KB | リード時ゼロを返し、ライト時影響を及ぼさない。     |

### 4.21.3 JTAG 識別コード

このデバイスの JTAG ID コードは、デバイスの ICEPick 識別コードと同じです。

表 4-39 JTAG ID コード

| シリコン・リビジョン | ID         |
|------------|------------|
| Rev A      | 0x0D8A002F |
| Rev B      | 0x2D8A002F |

### 4.21.4 デバッグ ROM

デバッグ ROM は、デバッグ APB バスにコンポーネントのロケーションを保管します。

表 4-40 デバッグ ROM テーブル

| アドレス  | 説明                | 値           |
|-------|-------------------|-------------|
| 0x000 | Cortex-R4F へのポインタ | 0x0000 1003 |
| 0x001 | ETM-R4            | 0x0000 2003 |
| 0x002 | TPIU              | 0x0000 3003 |
| 0x003 | POM               | 0x0000 4003 |
| 0x004 | テーブル最後尾           | 0x0000 0000 |

### 4.21.5 JTAG スキャン・インターフェイス・タイミング

表 4-41 JTAG スキャン・インターフェイス・タイミング<sup>(1)</sup>

| NO. | パラメータ                |                                       | 最小 | 最大 | 単位  |
|-----|----------------------|---------------------------------------|----|----|-----|
|     | fTCK                 | TCK 周波数 (HCLK 最大時)                    |    | 12 | MHz |
|     | fRTCK                | RTCK 周波数 (TCK 最大および HCLK 最大時)         | 10 |    | MHz |
| 1   | td(TCK - RTCK)       | 遅延時間、TCK から RTCK                      |    | 24 | ns  |
| 2   | tsu(TDI/TMS - RTCKr) | セットアップ時間、TDI、TMS、RTCK 立ち上がりまで (RTCKr) | 26 |    | ns  |
| 3   | th(RTCKr - TDI/TMS)  | ホールド時間、TDI、TMS、RTCKr 後                | 0  |    | ns  |
| 4   | th(RTCKr - TDO)      | ホールド時間、TDO、RTCKf 後                    | 0  |    | ns  |
| 5   | td(TCKf - TDO)       | 遅延時間、TDO 有効、RTCK 立ち下がり後 (RTCKf)       |    | 12 | ns  |

(1) TDO のタイミングは、TDO に最大 50pF の負荷がかかった状態で指定されています。

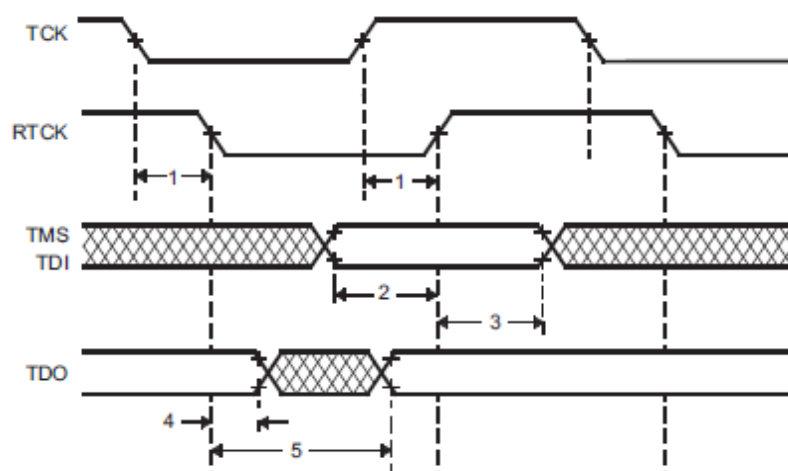


図 4-20 JTAG タイミング

#### 4.21.6 アドバンスド JTAG セキュリティ・モジュール

このデバイスには、アドバンスド JTAG セキュリティ・モジュール(AJSM)が搭載されています。このモジュールは、ユーザーがプログラミング後にデバイスを保護できるようにすることによって、デバイスのメモリ内容を最大限保護します。

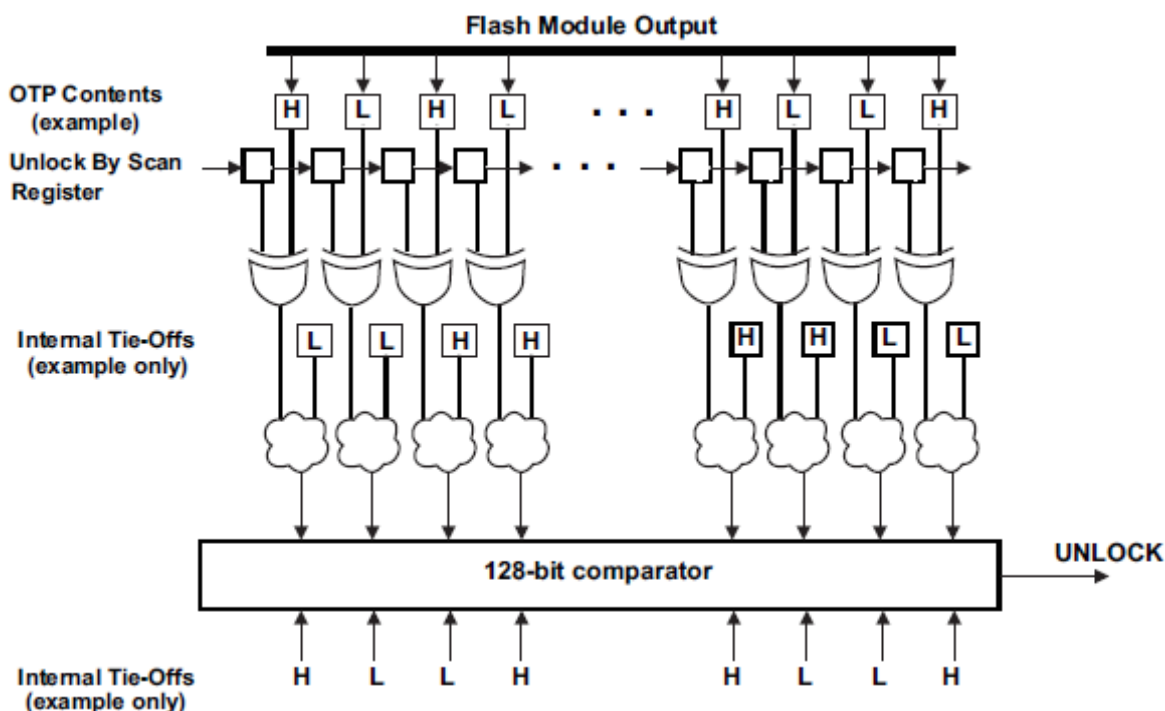


図 4-21 AJSM アンロック

このデバイスは、OTP アドレス 0xF0000000 にプログラムされている 128 ビット可視アンロック・コードのために、デフォルトで非セキュアになっています。OTP の内容は「Unlock By Scan」レジスタの内容と XOR がとられます。この XOR ゲートの出力は再び、秘密の内部タイオフのセットと組み合わせられます。この組み合わせられたロジックの出力が、ハードワイヤードの秘密の 128 ビット値と比較されます。一致すればアンロック信号がアサートされ、結果的にデバイスが非セキュアになります。

ユーザーは、可視アンロック・コードの 1 つ以上のビットを 1 から 0 に変更することで、デバイスをセキュアにすることができます。0 から 1 への変更は、可視アンロック・コードがワンタイム・プログラマブル (OTP) フラッシュ領域に保管されるため不可能です。また、128 ビットすべてを 0 に変更するのは有効な条件ではなく、これはデバイスを永続的にセキュアにすることになります。

いったんセキュアになったら、ユーザーは、AJSM モジュールの「Unlock By Scan」レジスタの適切な値をスキャンすることによって、デバイスを非セキュアにすることができます。スキャンする値は、OTP の内容と「Unlock By Scan」レジスタの内容との XOR が、元の可視アンロック・コードになるようなものになります。

「Unlock By Scan」レジスタは、パワーオン・リセット (nPORRST) のアサート時に限ってリセットされます。

セキュア・デバイスでは、ICEPick モジュールのセカンダリ・タップ #2 経由で、AJSM スキャン・チェーンへの JTAG アクセスが可能になります。他のすべてのセカンダリ・タップ、テスト・タップ、バウンダリ・スキャン・インターフェイスは、この状態ではアクセスできません。

#### 4.21.7 組み込みトレース・マクロセル(ETM-R4)

このデバイスには、32 ビット内部データ・ポートを持つ ETM-R4 モジュールが搭載されています。ETM-R4 モジュールは、32 ビット・データ・バスを介して TPIU に接続されています。TPIU は、トレースのための 35 ビット (32 ビット・データ、3 ビット・コントロール) の外部インターフェイスを持っています。ETM-R4 は、CoreSight に準拠しており、ETM v3 仕様にも準拠しています。詳細については、ARM CoreSight ETM-R4 TRM 仕様を参照してください。

##### 4.21.7.1 ETM TRACECLKIN の選択

ETM クロック・ソースには、VCLK または外部 ETMTRACECLKIN ピンのいずれかを選択することができます。選択は TPIU の EXTCTRLOUT[1:0] 制御ビットで行うことができます。デフォルトは「00」で、このレジスタのアドレスは TPIU ベース・アドレス+0x404 になります。

TPIU レジスタにアクセスする前に、CoreSight キーで TPIU をアンロックし、このレジスタに 1 または 2 を書き込む必要があります。

**表 4-42 TPIU / TRACECLKIN の選択**

| EXTCTRLOUT[1:0] | TPIU/TRACECLKIN |
|-----------------|-----------------|
| 00              | ゼロ固定            |
| 01              | VCLK            |
| 10              | ETMTRACECLKIN   |
| 11              | ゼロ固定            |

## 4.21.7.2 タイミング特性

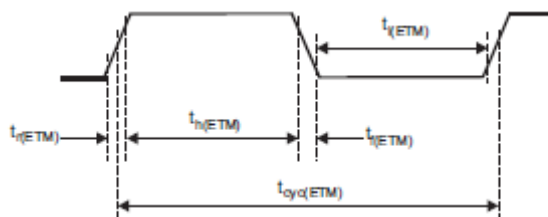


図 4-22 ETMTRACECLKOUT タイミング

表 4-43 ETMTRACECLK タイミング

| パラメータ          | 最小               | 説明                |
|----------------|------------------|-------------------|
| $t_{cyc(ETM)}$ | $t_{(HCLK)} * 4$ | クロック期間            |
| $t_{l(ETM)}$   | 20ns             | ロー・パルス幅           |
| $t_{h(ETM)}$   | 20ns             | ハイ・パルス幅           |
| $t_{r(ETM)}$   | 3ns              | クロックおよびデータ立ち上がり時間 |
| $t_{f(ETM)}$   | 3ns              | クロックおよびデータ立ち下がり時間 |

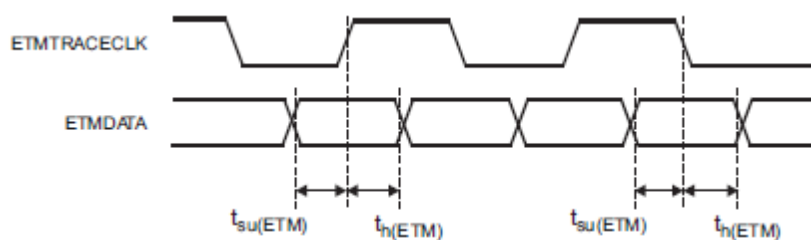


図 4-23 ETMDATA タイミング

表 4-44 ETMDATA タイミング

| パラメータ          | 最小    | 説明           |
|----------------|-------|--------------|
| $t_{cyc(ETM)}$ | 2.5ns | データ・セットアップ時間 |
| $t_{l(ETM)}$   | 1.5ns | データ・ホールド時間   |

### 注

ETMTRACECLK および ETMDATA タイミングは、15pF の負荷、85° C 以下の周囲温度の環境に基づいたタイミングになります。

#### 4.21.8 RAM トレース・ポート(RTP)

RTP は、RM4x デバイスの RAM の内容をデータロギングする機能や、プログラムの介入なしでペリフェラルにアクセスする機能を提供します。内部 RAM に対するすべてのデータ・ライトまたはリード・アクセスをトレースすることができます。また、CPU 制御のデータ転送をサポートするため、データを FIFO に直接転送する機能もあります。このトレース・データは、専用の外部インターフェイスを介して送信されます。

##### 4.21.8.1 機能

RTP の主な機能は次のとおりです。

- 2 種類の動作モード - トレース・モードとダイレクト・データ・モード。
  - トレース・モード
    - ライトまたはリード動作についての非介入データ・トレース
    - 外部キャプチャ・ハードウェア上で、RAM の内容をいつでも参照可能
    - ペリフェラル・アクセスのトレース
    - それぞれの RAM モジュールに対する 2 つの構成可能なトレース領域により、トレース対象のデータの量を限定
    - 複数のリード/ライト動作のデータ、およびデータのアドレスを保管するための FIFO
    - 送信されたデータ・パケットのマスタの指示を伴った、CPU や DMA アクセスのトレース
  - ダイレクト・データ・モード
    - ヘッダやアドレス情報を送信することなく、データを CPU に直接書き込み、または FIFO でリード動作をトレース
- データを外部デバイスに送信するための専用の同期インターフェイス。
- 各送信間のフリーランニング・クロック生成またはクロック停止モード。
- データ送信のためのピン転送速度、最大 100 Mbit/s。
- 機能モードで使用されていないピンを GIO として使用可能。

##### 4.21.8.2 タイミング特性

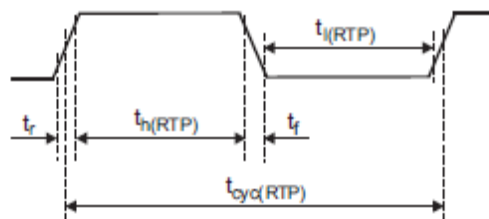


図 4-24 RTPCLK タイミング

表 4-45 RTPCLK タイミング

| パラメータ          | 最小                                     | 説明                                          |
|----------------|----------------------------------------|---------------------------------------------|
| $t_{cyc(RTP)}$ | 11 ns (90 MHz)                         | HCLK からプリスケールされたクロック期間、HCLK / 2 より短くすることは不可 |
| $t_{h(RTP)}$   | $((t_{cyc(RTP)})/2) - ((t_r + t_l)/2)$ | ハイ・パルス幅                                     |
| $t_{l(RTP)}$   | $((t_{cyc(RTP)})/2) - ((t_r + t_l)/2)$ | ロー・パルス幅                                     |

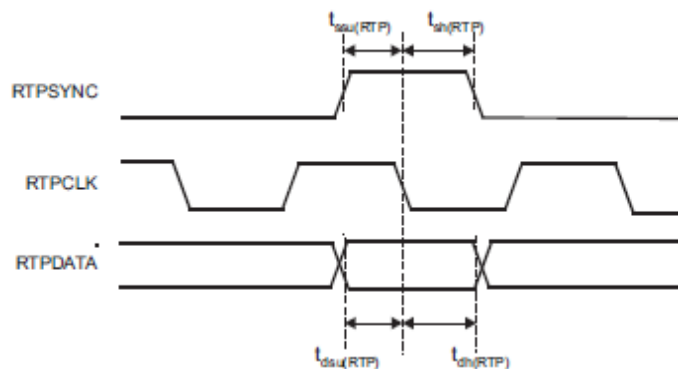


図 4-25 RTPDATA タイミング

表 4-46 RTPDATA タイミング

| パラメータ          | 最小   | 説明            |
|----------------|------|---------------|
| $t_{dsu}(RTP)$ | 3 ns | データ・セットアップ時間  |
| $t_{dh}(RTP)$  | 2 ns | データ・ホールド時間    |
| $t_{ssu}(RTP)$ | 3 ns | SYNC セットアップ時間 |
| $t_{sh}(RTP)$  | 2 ns | SYNC ホールド時間   |

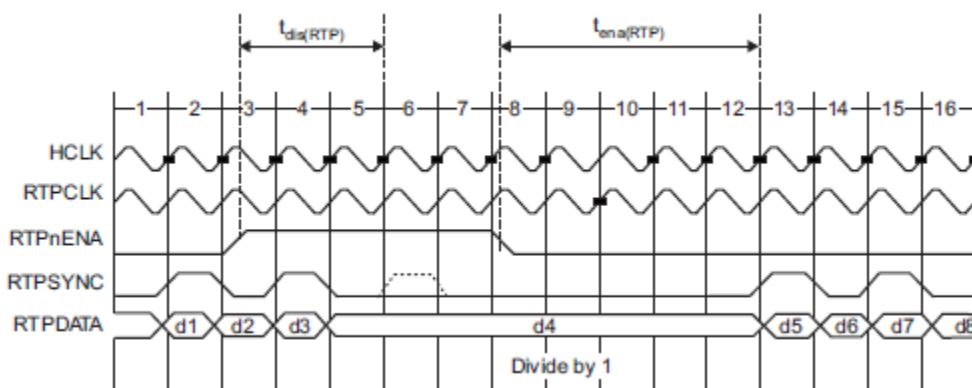


図 4-26 RTPnENA タイミング

表 4-47 RTPnENA タイミング

| パラメータ          | 最小                                     | 最大                                     | 説明                                                                |
|----------------|----------------------------------------|----------------------------------------|-------------------------------------------------------------------|
| $t_{dis}(RTP)$ | $3t_{c(HCLK)} + t_{r(RTPSYNC)} + 12ns$ |                                        | RTPnENA の時間は、次の RTPSYNC が発生する前にハイになって、次のパケットが確実に遅延するようにしなければならない。 |
| $t_{ena}(RTP)$ | $4t_{c(HCLK)} + t_{r(RTPSYNC)}$        | $5t_{c(HCLK)} + t_{r(RTPSYNC)} + 12ns$ | RTPnENA 以後の時間は、停止したパケットが再開する前にローになる。                              |

#### 4.21.9 Data Modification Module (DMM)

Data Modification Module (DMM) には、アプリケーションの最小限の割り込みで、RM4x デバイスの 4 GB アドレス空間全体について、外部ペリフェラルからデータを修正する機能が搭載されています。

##### 4.21.9.1 機能

DMM モジュールの主な機能は次のとおりです。

- バス・マスタとして機能し、CPU の介入なしで 4 GB のアドレス空間に直接書き込みすることができます。
- 受信したパケットで指定されているメモリ・ロケーションへの書き込みが可能 (RAM トレース・ポート (RTP) モジュールのトレース・モードで定義されたパケットを利用)。
- 受信データを、DMM モジュールで指定した連続アドレスに書き込み可能 (RTP モジュールのダイレクト・データ・モードで定義されたパケットを利用)。
- 構成可能なポート幅 (1、2、4、8、16 ピン)。
- 最大 100 Mbit/s のピン・データ速度。
- 未使用ピンを GIO ピンとして構成可能。

##### 4.21.9.2 タイミング特性

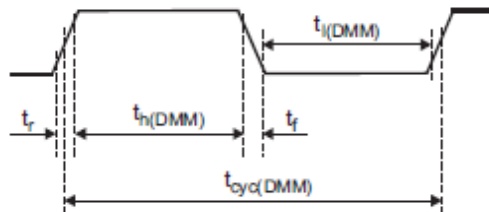


図 4-27 DMMCLK タイミング

表 4-48 DMMCLK タイミング

| パラメータ          | 最小                                     | 説明       |
|----------------|----------------------------------------|----------|
| $t_{cyc(DMM)}$ | $t_{c(HCLK)} * 2$                      | クロック持続時間 |
| $t_{h(DMM)}$   | $((t_{cyc(DMM)})/2) - ((t_r + t_f)/2)$ | ハイ・パルス幅  |
| $t_{l(DMM)}$   | $((t_{cyc(DMM)})/2) - ((t_r + t_f)/2)$ | ロー・パルス幅  |

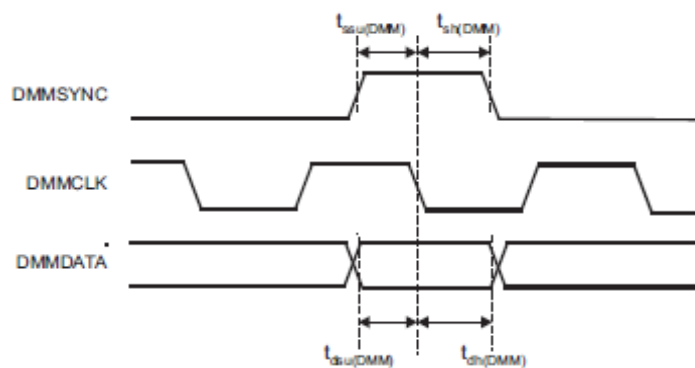


図 4-28 DMMDATA タイミング

表 4-49 DMMDATA タイミング

| パラメータ                 | 最小  | 説明                                    |
|-----------------------|-----|---------------------------------------|
| $t_{ssu}(\text{DMM})$ | 2ns | SYNC アクティブから CLK 立ち下がりがエッジまでのセットアップ時間 |
| $t_{sh}(\text{DMM})$  | 3ns | CLK 立ち下がりがエッジから SYNC 非アクティブまでのホールド時間  |
| $t_{dsu}(\text{DMM})$ | 2ns | DATA から CLK 立ち下がりがエッジまでのセットアップ時間      |
| $t_{dh}(\text{DMM})$  | 3ns | CLK 立ち下がりがエッジから DATA までのホールド時間        |

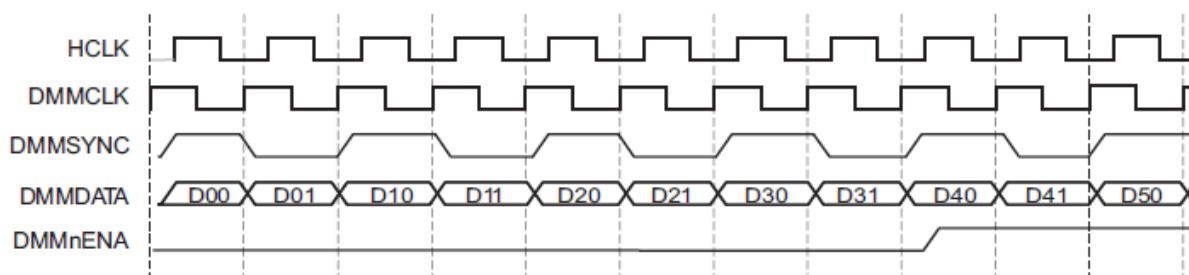


図 4-29 DMMnENA タイミング

図 4-29 は、2 DMMCLK サイクルあたり 1 DMM パケットのケース (モード = ダイレクト・データ・モード、データ幅 = 8、ポート幅 = 4) を示しています。このケースでは、DMM が受信したパケットが送出されないために内部バッファが充填されます。最初の 2 パケットを受信し、それらが HCLK ドメインに同期した後、DMMnENA 信号がアサートされます。このとき、DMM はパケット D4x、D5x、D6x、D7x は受け入れられますが、パケット D8 はオーバーフローになります。DMMnENA がアサートされたら、DMM は、4 HCLK サイクル後、パケットの受け取り停止を想定します。DMMnENA がデアサートされたら、DMM はパケットをすぐに取り扱えるようになります (0 HCLK サイクル後)。

#### 4.21.10 バウンダリ・スキャン・チェーン

このデバイスは、ピンの互換性をテストするために、BSDL 準拠のバウンダリ・スキャンをサポートします。バウンダリ・スキャン・チェーンは、ICEPICK モジュールのバウンダリ・スキャン・インターフェイスに接続されています。

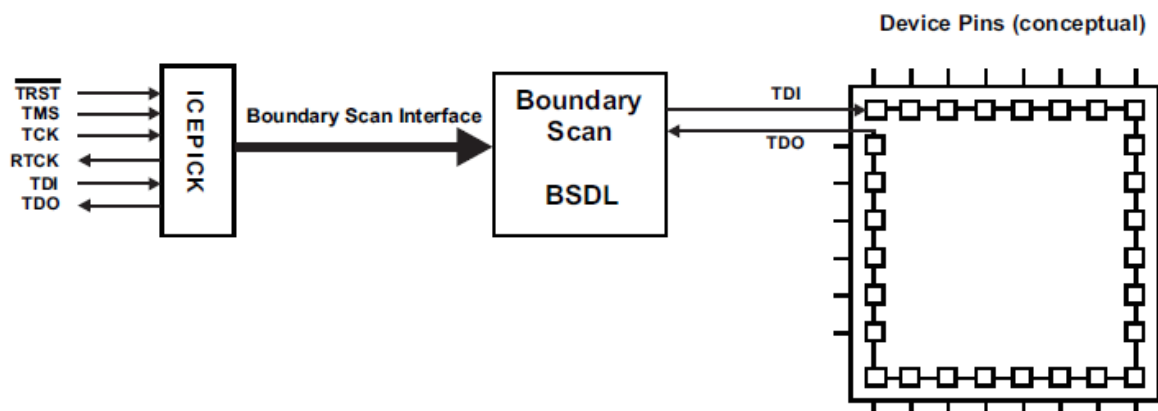


図 4-30 バウンダリ・スキャン・インプリメンテーション (概念図)

データは、すべてのバウンダリ・スキャン・バッファに TDI を介して連続で入力され、TDO を介して出力されます。

## 5. ペリフェラルの情報および電気的特性

### 5.1 ペリフェラルの凡例

表 5-1 ペリフェラルの凡例

| 略語      | 正式名称                           |
|---------|--------------------------------|
| MibADC  | A/D コンバータ                      |
| CCM-R4F | CPU コンペア・モジュール - CortexR4F     |
| CRC     | 巡回冗長検査                         |
| DCAN    | コントローラ・エリア・ネットワーク              |
| DCC     | デュアル・クロック・コンパレータ               |
| DMA     | ダイレクト・メモリ・アクセス                 |
| DMM     | Data Modification Module (DMM) |
| EMIF    | 外部メモリ・インターフェイス                 |
| ESM     | エラー・シグナリング・モジュール               |
| ETM-R4F | 組み込みトレース・マクロセル - CortexR4F     |
| GIO     | 汎用入出力                          |
| HTU     | ハイエンド・タイマ転送ユニット                |
| I2C     | I2C (Inter-Integrated Circuit) |
| LIN     | ローカル相互接続ネットワーク                 |
| MIBSPI  | マルチバッファ・シリアル・ペリフェラル・インターフェイス   |
| N2HET   | プラットフォーム・ハイエンド・タイマ             |
| POM     | パラメータ・オーバーレイ・モジュール             |
| RTI     | リアルタイム割り込みモジュール                |
| RTP     | RAM トレース・ポート                   |
| SPI     | シリアル・ペリフェラル・インターフェイス           |
| USB     | ユニバーサル・シリアル・バス                 |
| VIM     | ベクタ割り込みマネージャー                  |

## 5.2 マルチバッファ・12 ビット A/D コンバータ

マルチバッファ A/D コンバータ (MibADC) は、アナログ回路用に独立したパワー・バスを持っており、これによって、 $V_{SS}$  および  $V_{CC}$  上に出現するロジック回路のデジタル・スイッチング・ノイズが A/D アナログ・ステージにカップリングされるのを防止することで A/D 変換性能を向上させます。特に記載のない限り、すべての A/D 仕様は  $AD_{REFLO}$  に対応した値で指定されています。

**表 5-2 MibADC の概要**

| 説明      | 値                                                                             |
|---------|-------------------------------------------------------------------------------|
| 分解能     | 12 ビット                                                                        |
| モニタック   | 保証                                                                            |
| 出力変換コード | 00h ~ FFFh [ $V_{AI} \leq AD_{REFLO}$ では 00、 $V_{AI} \geq AD_{REFHI}$ では FFF] |

### 5.2.1 機能

- 10/12 ビットの分解能。
- $AD_{REFHI}$  および  $AD_{REFLO}$  ピン (高い基準電圧と低い基準電圧)。
- サンプル/ホールド/変換時間の合計: 30 MHz ADCLK で代表値 600 ns 以上。
- 変換グループあたり 1 つのメモリ領域を使用可能 (イベント、グループ 1、グループ 2)。
- 変換グループへのチャンネルの割り当てを完全にプログラム可能。
- 割り込みまたは DMA によりメモリ領域を定義可能。
- プログラム可能な割り込みしきい値カウンタをそれぞれのグループで利用可能。
- 任意のチャンネルのそれぞれのグループに対する、プログラム可能な重大度しきい値割り込み。
- メモリ領域から 8 ビット値、10 ビット値、12 ビット値のいずれかを読み込むオプション。
- 単一または連続変換モード。
- セルフテスト内蔵。
- キャリブレーション・ロジック内蔵。
- エンハンスド・パワーダウン・モード。
  - 変換が行われていないときに自動的に ADC コアをオフにするオプション機能。
- 外部イベント・ピン (ADEVT) を汎用入出力としてプログラム可能。

## 5.2.2 イベント・トリガ・オプション

ADC モジュールは、イベント・グループ、グループ 1、グループ 2 の 3 つの変換グループをサポートしています。これらの 3 つのグループはそれぞれ、ハードウェア・イベント・トリガーされるよう構成することができます。この場合、アプリケーションは、8 つのイベント・ソースから選択して、グループの変換でのトリガに設定することができます。

### 5.2.2.1 デフォルト MIBADC イベント・トリガの対応関係

表 5-3 MIBADC イベント・トリガの対応関係

| イベント# | G1、G2、またはイベントのソース選択ビット<br>(G1SRC[2:0]、G2SRC[2:0]、または EVSRC[2:0]) | トリガ             |
|-------|------------------------------------------------------------------|-----------------|
| 1     | 000                                                              | ADEVT           |
| 2     | 001                                                              | HET[8]          |
| 3     | 010                                                              | HET[10]         |
| 4     | 011                                                              | RTI コンペア 0 割り込み |
| 5     | 100                                                              | HET[12]         |
| 6     | 101                                                              | HET[14]         |
| 7     | 110                                                              | GIOB[0]         |
| 8     | 111                                                              | GIOB[1]         |

#### 注

ADEVT、HET、GIOBトリガ・ソースの場合、MibADC1 モジュール・トリガ入力との接続は、入力バッファの出力側から行います。このため、この機能をパッドへの出力として構成するか、外部トリガ・ソースからの機能を入力としてドライブするかによって、トリガ条件を生成することができます。

#### 注

RTI コンペア 0 割り込みソースの場合、接続は RTI モジュールの出力から直接行います。つまり、実際の割り込みが CPU に出力されない場合でも、割り込み条件をトリガ・ソースとして使用することができます。

## 5.2.2.2 Alternate MIBADC2 イベント・トリガの対応関係

表 5-4 Alternate MIBADC2 イベント・トリガの対応関係

| イベント# | G1、G2、またはイベントのソース選択ビット<br>(G1SRC[2:0]、G2SRC[2:0]、または EVSRC[2:0]) | トリガ        |
|-------|------------------------------------------------------------------|------------|
| 1     | 000                                                              | AD2EVT     |
| 2     | 001                                                              | N2HET2[5]  |
| 3     | 010                                                              | N2HET1[27] |
| 4     | 011                                                              | RTI コンペア 0 |
| 5     | 100                                                              | N2HET1[17] |
| 6     | 101                                                              | N2HET1[19] |
| 7     | 110                                                              | N2HET1[11] |
| 8     | 111                                                              | N2HET2[13] |

デフォルトの MIBADC2 イベント・トリガの対応関係と、代替となるイベント・トリガの対応関係との選択は、多重化制御モジュールのレジスタ 30 のビット 0 およびビット 1 によって切り換えることができます。30[0] = 1 の場合、デフォルトの MibADC2 イベント・トリガの対応関係が使用されます。30[0] = 0 かつ 30[1] = 1 の場合、代替の MibADC2 イベント・トリガの対応関係が使用されます。

### 注

AD2EVT トリガ・ソースの場合、MibADC2 モジュール・トリガ入力との接続は、入力バッファの出力側から行います。このため、AD2EVT を (MUX コントロールにより) パッドへの出力として構成するか、外部トリガ・ソースからの AD2EVT を入力としてドライブするかによって、トリガ条件を生成することができます。MUX コントロール・モジュールで AD2EVT 信号以外の機能を選択する場合、入力接続では多重化がないので、変換がトリガされないよう AD2EVT をディスエーブルにする必要があります。

### 注

N2HETx トリガ・ソースの場合、MibADC2 モジュール・トリガ入力との接続は、出力バッファの入力側 (N2HETx モジュール境界) から行います。これにより、パッドの出力として N2HETx が選択されていない場合でも、トリガ条件が生成されます。

### 注

RTI コンペア 0 割り込みソースの場合、接続は RTI モジュールの出力から直接行います。つまり、実際の割り込みが CPU に出力されない場合でも、割り込み条件をトリガ・ソースとして使用することができます。

### 5.2.3 ADC の電気およびタイミング特性

表 5-5 MibADC の推奨動作条件

| パラメータ               |                                                                                                        | 最小                  | 最大                  | 単位 |
|---------------------|--------------------------------------------------------------------------------------------------------|---------------------|---------------------|----|
| AD <sub>REFHI</sub> | A/D 高電圧基準ソース                                                                                           | AD <sub>REFLO</sub> | V <sub>CCAD</sub>   | V  |
| AD <sub>REFLO</sub> | A/D 低電圧基準ソース                                                                                           | V <sub>SSAD</sub>   | AD <sub>REFHI</sub> | V  |
| V <sub>AI</sub>     | アナログ入力電圧                                                                                               | AD <sub>REFLO</sub> | AD <sub>REFHI</sub> | V  |
| I <sub>AIC</sub>    | アナログ入力クランプ電流 (V <sub>AI</sub> < V <sub>SSAD</sub> - 0.3 または V <sub>AI</sub> > V <sub>CCAD</sub> + 0.3) | -2                  | 2                   | mA |

表 5-6 推奨動作条件の範囲での MibADC の電気特性<sup>(1)</sup>

| パラメータ                | 説明/条件                                              | 最小                                                                                | タイプ                                                                                         | 最大  | 単位 |
|----------------------|----------------------------------------------------|-----------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------|-----|----|
| R <sub>mux</sub>     | アナログ入力 MUX オン抵抗<br>図 5-1 参照                        |                                                                                   |                                                                                             | 250 | Ω  |
| R <sub>samp</sub>    | ADC サンプル・スイッチ・オン抵抗<br>図 5-1 参照                     |                                                                                   |                                                                                             | 250 | Ω  |
| C <sub>mux</sub>     | 入力 MUX 静電容量<br>図 5-1 参照                            |                                                                                   |                                                                                             | 16  | pF |
| C <sub>samp</sub>    | ADC サンプル静電容量<br>図 5-1 参照                           |                                                                                   |                                                                                             | 13  | pF |
| I <sub>AIL</sub>     | アナログ・オフステート入力<br>リーク電流、V <sub>CCAD</sub> = 最大 3.6V | ADC 入力ピンのオフステート入力リーク電流                                                            | V <sub>SSAD</sub> < V <sub>IN</sub> < V <sub>SSAD</sub> + 100mV                             | 300 | nA |
|                      |                                                    |                                                                                   | V <sub>SSAD</sub> + 100mV < V <sub>IN</sub> < V <sub>CCAD</sub> - 200mV                     | 200 | nA |
|                      |                                                    |                                                                                   | V <sub>CCAD</sub> - 200mV < V <sub>IN</sub> < V <sub>CCAD</sub>                             | 500 | nA |
| I <sub>AIL</sub>     | アナログ・オフステート入力<br>リーク電流、V <sub>CCAD</sub> = 最大 5.5V | ADC 入力ピンのオフステート入力リーク電流                                                            | V <sub>IN</sub> > V <sub>SSAD</sub> ,<br>V <sub>IN</sub> < V <sub>SSAD</sub> + 300mV        | 1   | μA |
|                      |                                                    |                                                                                   | V <sub>IN</sub> > V <sub>SSAD</sub> + 300mV,<br>V <sub>IN</sub> < V <sub>CCAD</sub> - 300mV | 250 | nA |
|                      |                                                    |                                                                                   | V <sub>IN</sub> > V <sub>CCAD</sub> - 300mV,<br>V <sub>IN</sub> < V <sub>CCAD</sub>         | 1   | μA |
|                      |                                                    |                                                                                   |                                                                                             |     |    |
| I <sub>ADREFHI</sub> | AD <sub>REFHI</sub> 入力電流                           | AD <sub>REFHI</sub> = V <sub>CCAD</sub> , AD <sub>REFLO</sub> = V <sub>SSAD</sub> |                                                                                             | 3   | mA |
| I <sub>CCAD</sub>    | 静電源電流                                              | 通常動作モード                                                                           |                                                                                             | 15  | mA |
|                      |                                                    | パワー・ダウン・モードでの ADC コア                                                              |                                                                                             | 5   | μA |

<sup>(1)</sup> MibADC で、1 LSB = (AD<sub>REFHI</sub> - AD<sub>REFLO</sub>) / 2<sup>12</sup>

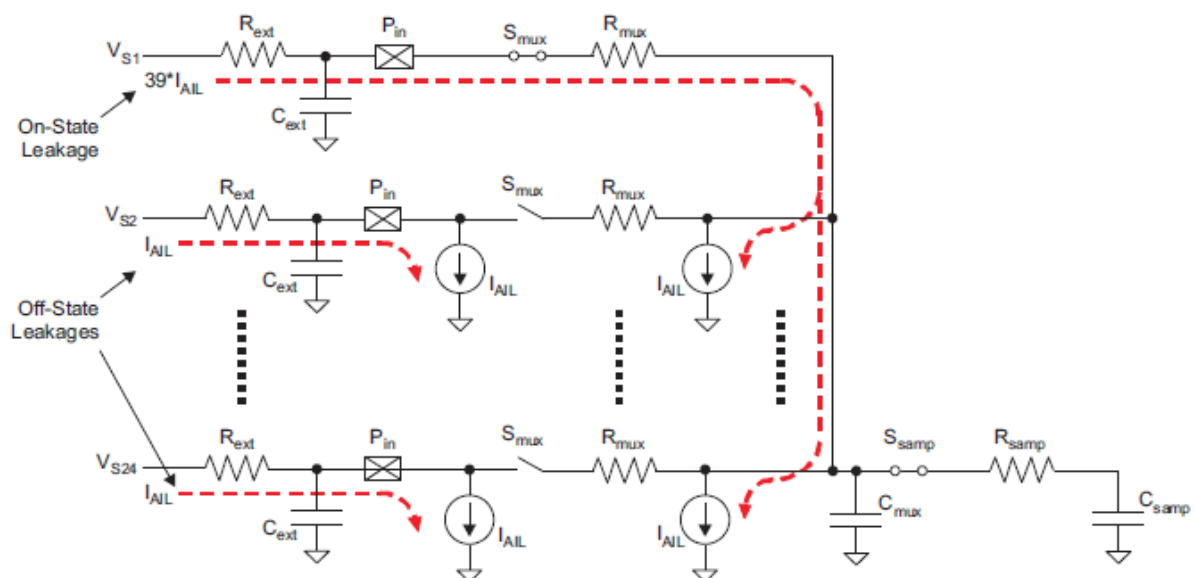


図 5-1 MibADC 入力等価回路

**表 5-7 MibADC タイミング特性**

| パラメータ                |                                      | 最小    | 公称 | 最大 | 単位            |
|----------------------|--------------------------------------|-------|----|----|---------------|
| $t_{c(ADCLK)}^{(1)}$ | サイクル時間、MibADC クロック                   | 0.033 |    |    | $\mu\text{S}$ |
| $t_{d(SH)}^{(2)}$    | 遅延時間、サンプルおよびホールド時間                   | 0.2   |    |    | $\mu\text{S}$ |
| $t_{d(PU-ADV)}$      | ADC パワーオンから最初の入力が入力がサンプリングされるまでの遅延時間 | 1     |    |    | $\mu\text{S}$ |
| <b>12 ビット・モード</b>    |                                      |       |    |    |               |
| $t_{d(c)}$           | 遅延時間、変換時間                            | 0.4   |    |    | $\mu\text{S}$ |
| $t_{d(SHC)}^{(3)}$   | 遅延時間、サンプル/ホールドおよび変換時間の合計             | 0.6   |    |    | $\mu\text{S}$ |
| <b>10 ビット・モード</b>    |                                      |       |    |    |               |
| $t_{d(c)}$           | 遅延時間、変換時間                            | 0.33  |    |    | $\mu\text{S}$ |
| $t_{d(SHC)}^{(4)}$   | 遅延時間、サンプル/ホールドおよび変換時間の合計             | 0.53  |    |    | $\mu\text{S}$ |

- (1) MibADC クロックは ADCLK で、これは、ADCLOCKCR レジスタ・ビット 4:0 で定義されているプリスケール・ファクタで VCLK を分周することによって生成されます。
- (2) ADC 変換のサンプルおよびホールド時間は、それぞれの変換グループごとに、ADCLK 周波数および AD<GP>SAMP レジスタで定義されます。サンプル時間は、内部チャンネルに接続している外部インピーダンスと、ADC の内部インピーダンスを計算することによって決定する必要があります。
- (3) これは、実現可能な最小のサンプル/ホールドおよび変換時間になります。これらのパラメータは、プリスケール設定など、多くの要因によって決まります。
- (4) これは、実現可能な最小のサンプル/ホールドおよび変換時間になります。これらのパラメータは、プリスケール設定など、多くの要因によって決まります。

**表 5-8 推奨動作条件の範囲での MibADC の動作特性**

| パラメータ     |                      | 説明/条件                                         | 最小         | タイプ | 最大        | 単位  |
|-----------|----------------------|-----------------------------------------------|------------|-----|-----------|-----|
| CR        | 指定されている精度が維持される変換範囲。 | $AD_{REFHI} - AD_{REFLO}$                     | 3          |     | 5.5       | V   |
| $Z_{SET}$ | ゼロ・スケール・オフセット        | 最初の理想的な遷移(コード 000h から 001h)と実際の遷移との差。         | 10 ビット・モード |     | 1         | LSB |
|           |                      |                                               | 12 ビット・モード |     | 2         | LSB |
| $F_{SET}$ | フル・スケール・オフセット        | 測定したコード遷移の範囲(最初から最後)と理想的なコード遷移の範囲の差。          | 10 ビット・モード |     | 2         | LSB |
|           |                      |                                               | 12 ビット・モード |     | 3         | LSB |
| $E_{DNL}$ | 微分非直線性誤差             | 実際のステップ幅と理想値との差(図 76 を参照)。                    | 10 ビット・モード |     | $\pm 1.5$ | LSB |
|           |                      |                                               | 12 ビット・モード |     | $\pm 2$   | LSB |
| $E_{INL}$ | 積分非直線性誤差             | MibADC を通る最上の直線からの最大偏差。量子化誤差を除く、MibADC の転移特性。 | 10 ビット・モード |     | $\pm 2$   | LSB |
|           |                      |                                               | 12 ビット・モード |     | $\pm 2$   | LSB |
| $E_{TOT}$ | 総合未調整誤差(キャリブレーション後)  | アナログ値と理想のミッドステップ値との差の最大値。                     | 10 ビット・モード |     | $\pm 2$   | LSB |
|           |                      |                                               | 12 ビット・モード |     | $\pm 4$   | LSB |

## 5.2.4 パフォーマンス(精度)特性

### 5.2.4.1 MibADC 非直線誤差

図 5-2 の微分非直線性誤差 (微分直線性と呼ばれることもある) は、実際のステップ幅と 1 LSB の理想値との差です。

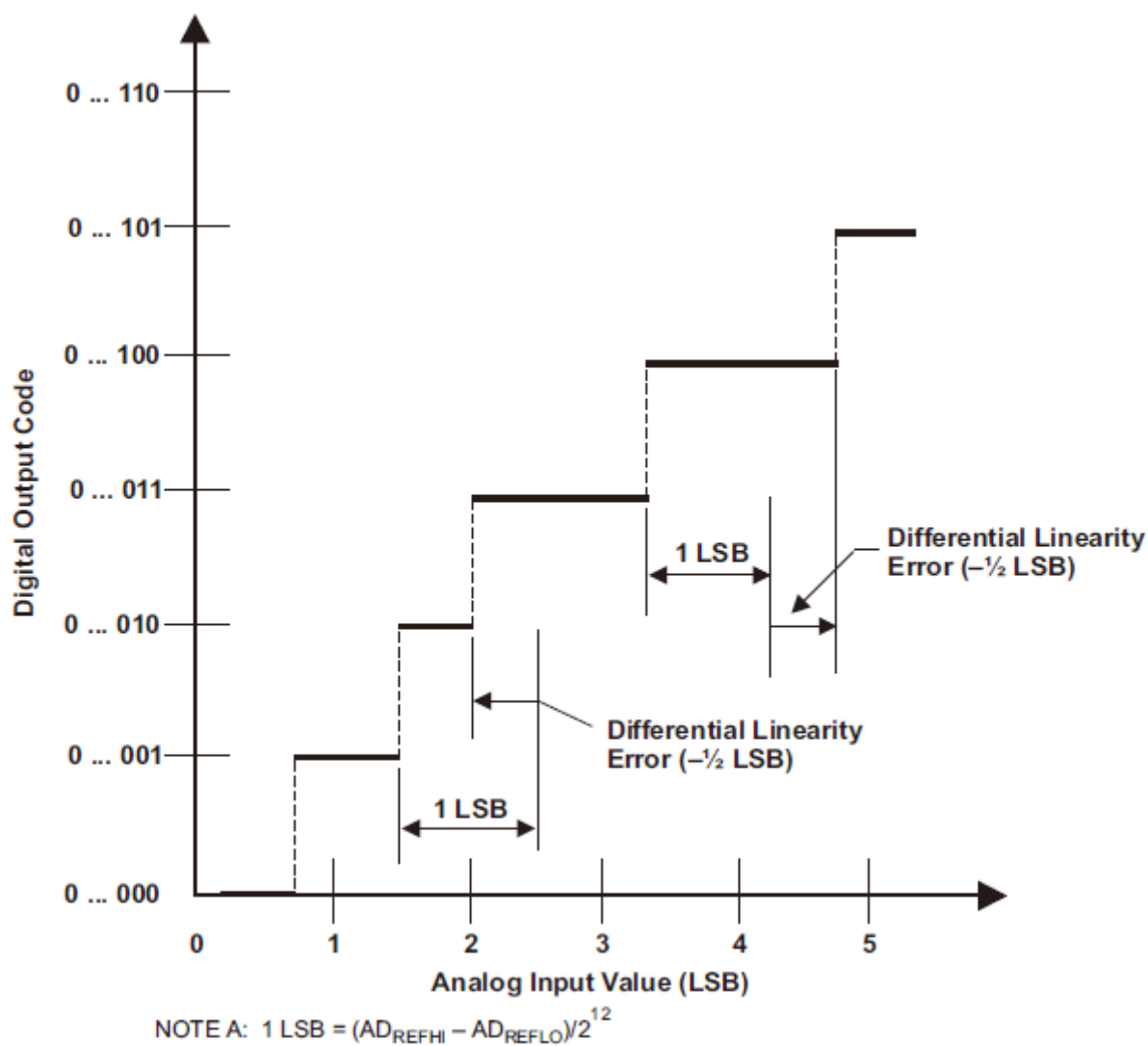


図 5-2 微分非直線性(DNL)誤差

図 5-3 の積分非直線性誤差（直線性誤差と呼ばれることもある）は、実際の転移機能の値と直線との偏差です。

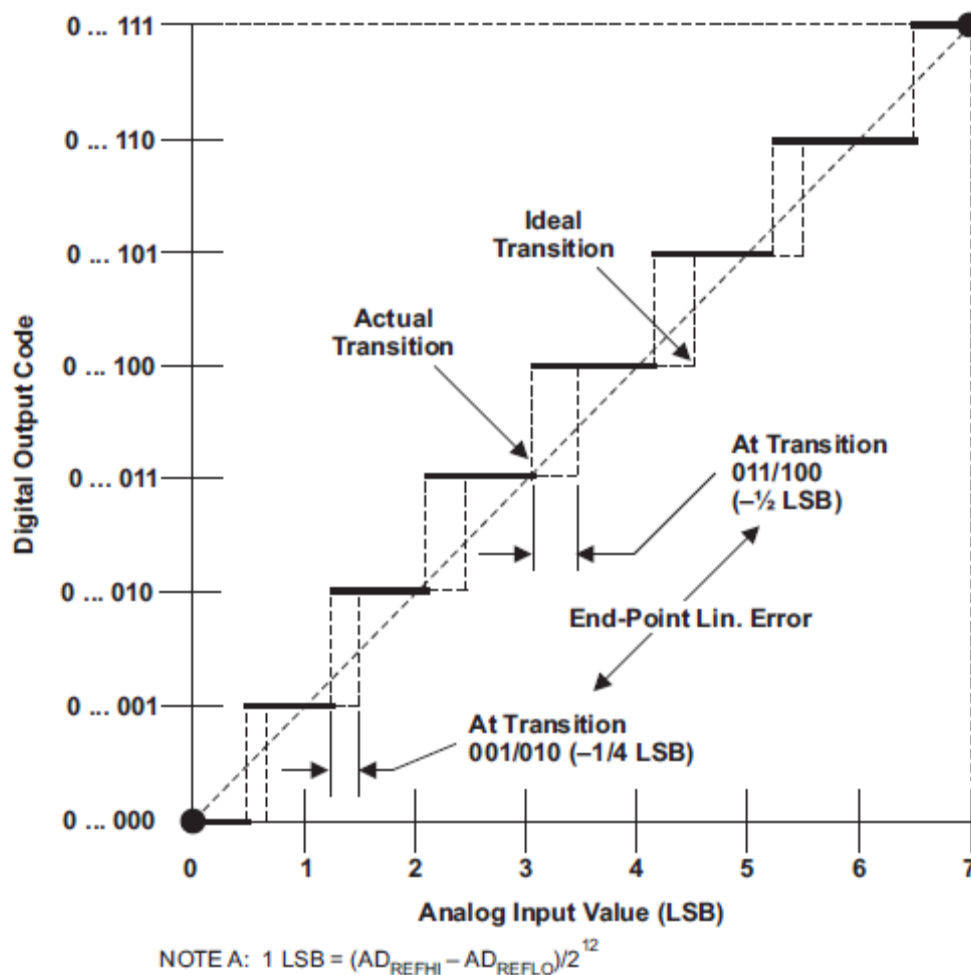


図 5-3 積分非直線性(INL)誤差

### 5.2.4.2 MibADC 総合誤差

図 5-4 で示した MibADC の絶対精度または総合誤差は、アナログ値と理想のミッドステップ値との差の最大値になります。

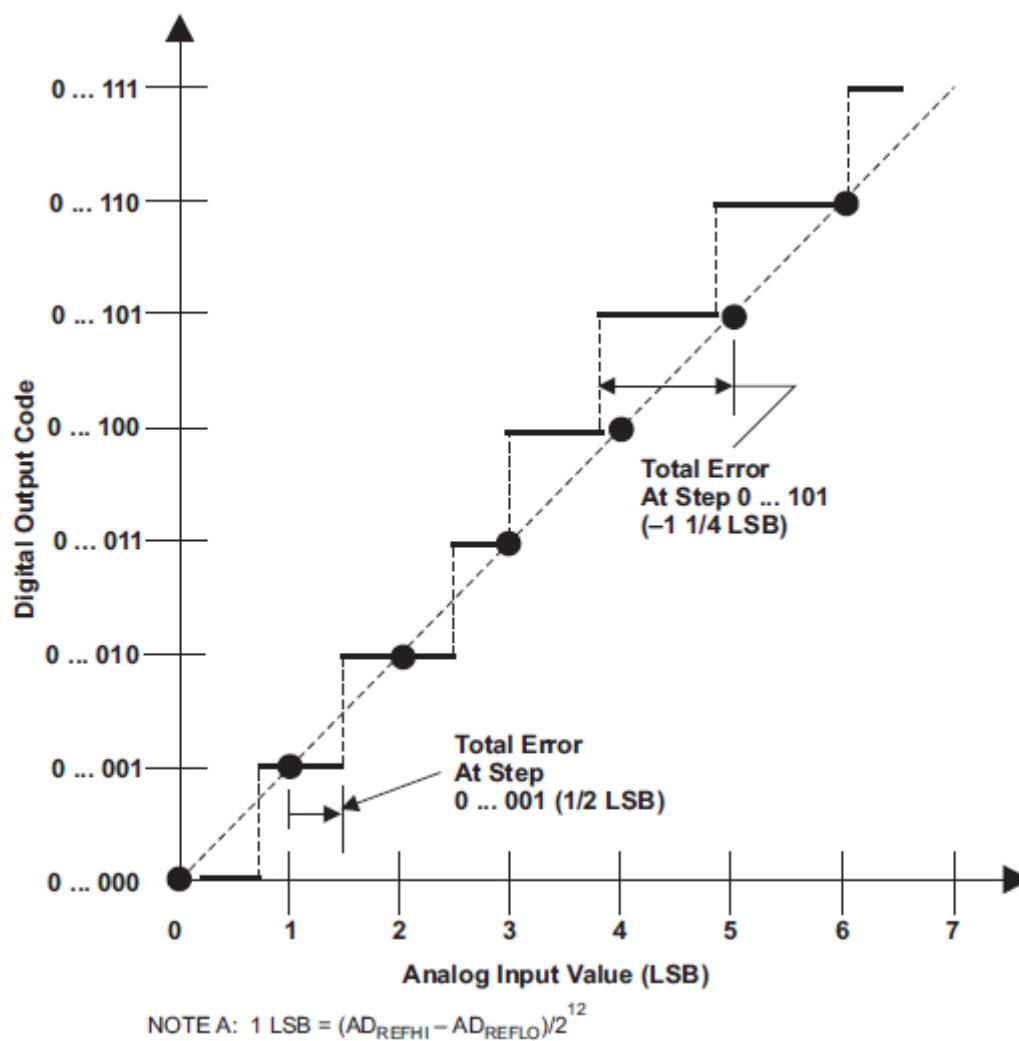


図 5-4 絶対精度(総合)誤差

## 5.3 汎用入出力

このデバイスの GPIO モジュールは、2 つのポート GIOA と GIOB をサポートしています。入出力ピンは双方向でビットプログラマブルです。GIOA と GIOB の両方は、外部割り込み機能をサポートしています。

### 5.3.1 機能

GPIO モジュールの主な機能は次のとおりです。

- それぞれの IO ピンを以下のいずれかで構成できます。
    - 入力
    - 出力
    - オープン・ドレイン
  - 割り込みには以下の特性があります。
    - 両方のエッジまたは一方のエッジでプログラム可能な割り込み検出 (GIOINTDET でセット)
    - プログラム可能なエッジ検出極性、立ち上がりエッジまたは立ち下がりエッジ (GIOPOL レジスタでセット)
    - 個別の割り込みフラグ (GIOFLG レジスタでセット)
    - それぞれ GIOENASET レジスタおよび GIOENACLR レジスタを介した個別の割り込みイネーブルのセットおよびクリア
    - プログラム可能な割り込み極性、GIOLVLSET レジスタおよび GIOLVLCCLR レジスタでセット
  - 内部プルアップ/プルダウンにより、未使用の入出力ピンを未接続のままにしておくことができます。
- 入カタイミングおよび出カタイミングの詳細については、[3.8 節](#)および [3.9 節](#)を参照してください。

## 5.4 エンハンスド・ハイエンド・タイマ(N2HET)

N2HET は、リアルタイム・アプリケーションに対応する洗練されたタイミング機能を搭載した先進のインテリジェント・タイマです。このタイマは、専用のタイマ・マイクロマシンや付属の入出力ポートを持ち、縮小した命令セットで、ソフトウェア制御されるようになっています。N2HET は、パルス幅変調された出力、キャプチャ/コンペア入力、汎用入出力で 사용할 ことができます。複数のセンサ情報や、複雑で正確な時間パルスを持つドライブ・アクチュエータが必要なアプリケーションに最適です。

### 5.4.1 機能

N2HET モジュールの主な機能は次のとおりです。

- 入力および出力タイミング機能に対応するプログラム可能なタイマ。
- 専用の時間および角度機能に対応した縮小された命令セット(30 命令)。
- パリティで保護された 160 ワードの命令 RAM。
- ユーザーが定義した数のタイマ用 25 ビット仮想カウンタ、イベント・カウンタ、角度カウンタ。
- 一部のピンに対する 7 ビット・ハードウェア・カウンタと 25 ビット仮想カウンタとの組み合わせにより、最大 32 ビットの分解能が可能。
- 入力信号測定または出力信号生成で最大 32 個のピンを使用可能。
- それぞれの入力ピンに対するプログラム可能な除去フィルタ、制限周波数の調節可能。
- 低い CPU オーバーヘッドおよび割り込み負荷。
- 専用のハイエンド・タイマ転送ユニット(HTU)または DMA により、CPU メモリとのデータ転送が効率的。
- さまざまなループバック・メカニズムおよびピン・ステータス・リードバック機能を搭載した診断機能。

### 5.4.2 N2HET RAM 構成

タイマ RAM では、4 つの RAM バンクを使用しており、それぞれのバンクには 2 ポート・アクセス機能があります。つまり、1 つの RAM アドレスに書き込みしているときでも、他の RAM アドレスから読み取りが可能です。RAM ワードは 96 ビット幅で、これが 3 つの 32 ビット・フィールドに分割されています(プログラム、コントロール、データ)。

### 5.4.3 入力タイミング特性

N2HET 命令、PCNT および WCAP は、入力信号にタイミング制約を課しています。

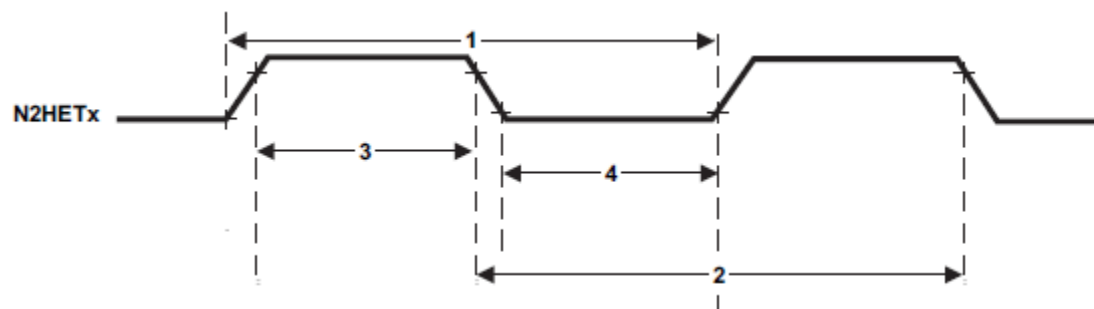


図 5-5 N2HET 入力キャプチャ・タイミング

**表 5-9 N2HET 入力キャプチャ機能の入力タイミング要件**

| パラメータ                                         | 最小 <sup>(1)(2)</sup>           | 最大 <sup>(1)(2)</sup>                  | 単位 |
|-----------------------------------------------|--------------------------------|---------------------------------------|----|
| 1 立ち上がりエッジから立ち上がりエッジまでの入力信号持続期間、PCNT または WCAP | 2 (hr) (lr) $t_{C(VCLK2)} + 2$ | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |
| 2 立ち下がりエッジから立ち下がりエッジまでの入力信号持続期間、PCNT または WCAP | 2 (hr) (lr) $t_{C(VCLK2)} + 2$ | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |
| 3 立ち上がりエッジから立ち下がりエッジまでの入力信号高位相、PCNT または WCAP  | (hr) (lr) $t_{C(VCLK2)} + 2$   | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |
| 4 立ち下がりエッジから立ち上がりエッジまでの入力信号低位相、PCNT または WCAP  | (hr) (lr) $t_{C(VCLK2)} + 2$   | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |

(1) hr = 高分解能プリスケラ、プリスケール・ファクタ・レジスタ (HETPFR) の HRPFC フィールドを使用して構成。

(2) lr = ループ分解能プリスケラ、プリスケール・ファクタ・レジスタ (HETPFR) の LFPRC フィールドを使用して構成。

N2HET1 と N2HET2 の両方には、表 5-9 で指定されているものより小さなパルス幅での入力をキャプチャできる強化済みのチャンネルがあります。どのピンが小さいパルスのキャプチャをサポートしているかについては、表 5-11 を参照してください。

これらのチャンネルの入力キャプチャ機能について、次の表で指定しています。

**表 5-10 強化されたパルス・キャプチャ機能を持つ N2HET チャンネルの入力タイミング要件**

| パラメータ                                         | 最小                           | 最大                                    | 単位 |
|-----------------------------------------------|------------------------------|---------------------------------------|----|
| 1 立ち上がりエッジから立ち上がりエッジまでの入力信号持続期間、PCNT または WCAP | (hr) (lr) $t_{C(VCLK2)} + 2$ | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |
| 2 立ち下がりエッジから立ち下がりエッジまでの入力信号持続期間、PCNT または WCAP | (hr) (lr) $t_{C(VCLK2)} + 2$ | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |
| 3 立ち上がりエッジから立ち下がりエッジまでの入力信号高位相、PCNT または WCAP  | 2 (hr) $t_{C(VCLK2)} + 2$    | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |
| 4 立ち下がりエッジから立ち上がりエッジまでの入力信号低位相、PCNT または WCAP  | 2 (hr) $t_{C(VCLK2)} + 2$    | $2^{25}$ (hr) (lr) $t_{C(VCLK2)} - 2$ | ns |

**表 5-11 入力キャプチャ・ピン機能**

| Channel    | Supports 32 bit Capture | Enhanced Pulse Capture |
|------------|-------------------------|------------------------|
| N2HET1[00] | 可                       | 不可                     |
| N2HET1[01] | 可                       | 不可                     |
| N2HET1[02] | 可                       | 不可                     |
| N2HET1[03] | 可                       | 不可                     |
| N2HET1[04] | 可                       | 不可                     |
| N2HET1[05] | 可                       | 不可                     |
| N2HET1[06] | 可                       | 不可                     |
| N2HET1[07] | 可                       | 不可                     |
| N2HET1[08] | 可                       | 不可                     |
| N2HET1[09] | 可                       | 不可                     |
| N2HET1[10] | 可                       | 不可                     |
| N2HET1[11] | 可                       | 不可                     |
| N2HET1[12] | 可                       | 不可                     |
| N2HET1[13] | 可                       | 不可                     |
| N2HET1[14] | 可                       | 不可                     |
| N2HET1[15] | 可                       | 可                      |
| N2HET1[16] | 可                       | 不可                     |
| N2HET1[17] | 可                       | 不可                     |
| N2HET1[18] | 可                       | 不可                     |

表 5-11 入力キャプチャ・ピン機能(続き)

| Channel    | Supports 32 bit Capture | Enhanced Pulse Capture |
|------------|-------------------------|------------------------|
| N2HET1[19] | 可                       | 不可                     |
| N2HET1[20] | 可                       | 可                      |
| N2HET1[21] | 可                       | 不可                     |
| N2HET1[22] | 可                       | 不可                     |
| N2HET1[23] | 可                       | 不可                     |
| N2HET1[24] | 可                       | 不可                     |
| N2HET1[25] | 可                       | 不可                     |
| N2HET1[26] | 可                       | 不可                     |
| N2HET1[27] | 可                       | 不可                     |
| N2HET1[28] | 可                       | 不可                     |
| N2HET1[29] | 可                       | 不可                     |
| N2HET1[30] | 可                       | 不可                     |
| N2HET1[31] | 可                       | 可                      |
| N2HET2[00] | 可                       | 不可                     |
| N2HET2[01] | 不可                      | 不可                     |
| N2HET2[02] | 不可                      | 不可                     |
| N2HET2[03] | 不可                      | 不可                     |
| N2HET2[04] | 可                       | 不可                     |
| N2HET2[05] | 不可                      | 不可                     |
| N2HET2[06] | 可                       | 不可                     |
| N2HET2[07] | 不可                      | 不可                     |
| N2HET2[08] | 不可                      | 不可                     |
| N2HET2[09] | 不可                      | 不可                     |
| N2HET2[10] | 不可                      | 不可                     |
| N2HET2[11] | 不可                      | 不可                     |
| N2HET2[12] | 可                       | 可                      |
| N2HET2[13] | 不可                      | 不可                     |
| N2HET2[14] | 可                       | 可                      |
| N2HET2[15] | 不可                      | 不可                     |
| N2HET2[16] | 可                       | 可                      |
| N2HET2[18] | 不可                      | 不可                     |

#### 5.4.4 N2HET1-N2HET2 の相互接続

一部のアプリケーションでは、N2HET の分解能を同期しなければなりません。また別のアプリケーションでは、すべての PWM 出力および入力タイミングのキャプチャで単一のタイム・ベースを使用しなければなりません。

N2HET には、このような同期メカニズムが搭載されています。Clk\_master/slave (HETGCR.16)により、N2HET をマスタ・モードまたはスレーブ・モードにするよう構成します(デフォルトはスレーブ・モード)。マスタ・モードの N2HET では、スレーブ N2HET のプリスケアラを同期するため信号を供給します。スレーブ N2HET は、そのループ分解能を、マスタから送られたループ分解能の信号と同期させます。スレーブが最初の同期信号を受け取った後は、この信号を必要としません。ただし、スレーブがマスタから再同期信号を受け取った場合、スレーブは信号を再同期させる必要があります。

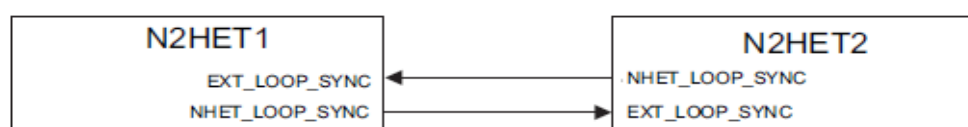


図 5-6 N2HET1、N2HET2 同期の対応関係

## 5.4.5 N2HET チェッキング

### 5.4.5.1 内部モニタリング

ハイエンド・タイマ動作と出力信号の正しさを保証するため、[図 5-7](#) のように、2 つの N2HET モジュールを使用してそれぞれの信号をモニタすることができます。モニタリングの方向は、入出力多重化制御モジュールで制御します。

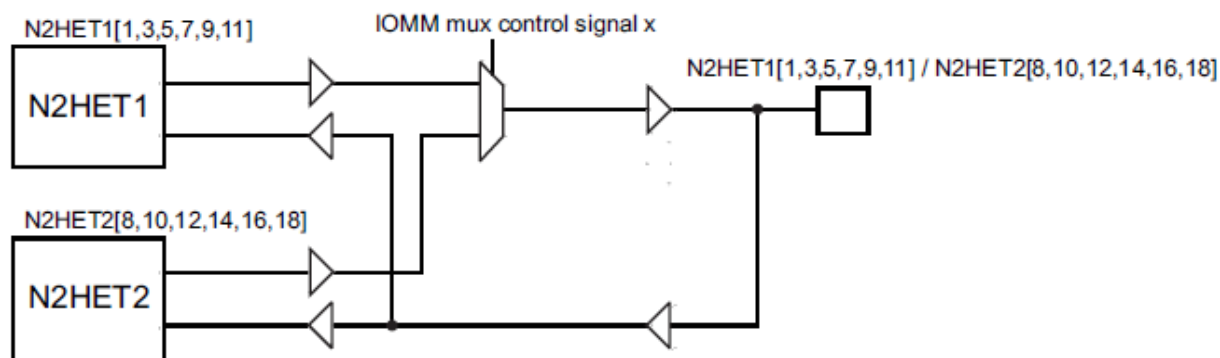


図 5-7 N2HET モニタリング

### 5.4.5.2 デュアル・クロック・コンパレータ(DCC)を使用した出力モニタリング

N2HET1[31]を、DCC1 のカウンタ 1 のクロック・ソースとして接続します。こうすることでアプリケーションが、パルス幅変調 (PWM) された信号の周波数を N2HET1[31]で測定できるようになります。

同様に、N2HET2[0]を DCC2 のカウンタ 1 のクロック・ソースとして接続します。こうすることでアプリケーションが、パルス幅変調 (PWM) された信号の周波数を N2HET2[0]で測定できるようになります。

N2HET1[31]と N2HET2[0]の両方は、内部専用のチャンネルに構成することもできます。その場合、DCC モジュールとの接続を、N2HETx モジュールの出力から (出力バッファの入力から) 直接行います。

DCC の詳細については、[4.7.3 節](#)を参照してください。

### 5.4.6 N2HET 出力のディスエーブル

一部のアプリケーションでは、特定の障害条件下において、N2HET 出力をディスエーブルしなければなりません。N2HET モジュールは、「ピン・ディスエーブル」入力信号経由でこの機能を提供します。この信号をローにドライブすると、プログラム可能レジスタ (HETPINDIS) で識別された N2HET 出力がトライステートになります。「N2HET ピン・ディスエーブル」機能の詳細については、各デバイスのテクニカル・リファレンス・マニュアルを参照してください。

GIOA[5]を N2HET1 の「ピン・ディスエーブル」入力に接続し、GIOB[2]を N2HET2 の「ピン・ディスエーブル」入力に接続します。

### 5.4.7 ハイエンド・タイマ転送ユニット(HET-TU)

ハイエンド・タイマ転送ユニット(HET-TU)では、DMA タイプのトランザクションを実行して、N2HET データをメイン・メモリとの間で転送することができます。HET-TU には、メモリ・プロテクション・ユニット(MPU)が組み込まれています。

#### 5.4.7.1 機能

- CPU および DMA から独立。
- システム・メモリにアクセスするためのマスタ・ポート。
- デュアル・バッファ構成をサポートする 8 つのコントロール・パケット。
- コントロール・パケット情報が、パリティ保護された RAM に格納。
- イベント同期(HET 転送要求)。
- 32 ビットまたは 64 ビット・トランザクションをサポート。
- HET アドレス(8 バイトまたは 16 バイト)およびシステム・メモリ・アドレス(固定、32 ビットまたは 64 ビット)のアドレッシング・モード。
- ワンショット、循環、自動スイッチの各バッファ転送モード。
- リクエスト・ロスト検出。

#### 5.4.7.2 トリガ接続

表 5-12 HET TU1 要求ライン接続

| モジュール  | 要求ソース     | HET TU1 要求     |
|--------|-----------|----------------|
| N2HET1 | HTUREQ[0] | HET TU1 DCP[0] |
| N2HET1 | HTUREQ[1] | HET TU1 DCP[1] |
| N2HET1 | HTUREQ[2] | HET TU1 DCP[2] |
| N2HET1 | HTUREQ[3] | HET TU1 DCP[3] |
| N2HET1 | HTUREQ[4] | HET TU1 DCP[4] |
| N2HET1 | HTUREQ[5] | HET TU1 DCP[5] |
| N2HET1 | HTUREQ[6] | HET TU1 DCP[6] |
| N2HET1 | HTUREQ[7] | HET TU1 DCP[7] |

表 5-13 HET TU2 要求ライン接続

| モジュール  | 要求ソース     | HET TU2 要求     |
|--------|-----------|----------------|
| N2HET2 | HTUREQ[0] | HET TU2 DCP[0] |
| N2HET2 | HTUREQ[1] | HET TU2 DCP[1] |
| N2HET2 | HTUREQ[2] | HET TU2 DCP[2] |
| N2HET2 | HTUREQ[3] | HET TU2 DCP[3] |
| N2HET2 | HTUREQ[4] | HET TU2 DCP[4] |
| N2HET2 | HTUREQ[5] | HET TU2 DCP[5] |
| N2HET2 | HTUREQ[6] | HET TU2 DCP[6] |
| N2HET2 | HTUREQ[7] | HET TU2 DCP[7] |

## 5.5 コントローラ・エリア・ネットワーク(DCAN)

DCAN では、CAN 2.0B プロトコル規格をサポートし、最大 1 メガビット/秒 (Mbps) の堅牢な通信速度で分散リアルタイム制御を効率的にサポートするシリアルマルチマスタ通信プロトコルを使用します。DCAN は、信頼性の高いシリアル通信や多重配線が必要な、ノイズの多い厳しい環境 (たとえば自動車や工業分野など) で動作するアプリケーションに適しています。

### 5.5.1 機能

DCAN モジュールの機能を以下に示します。

- CAN プロトコル・バージョン 2.0 パート A、B をサポート。
- ビットレート最大 1 MBit/s。
- ボーレート生成のため、CAN カーネルに発振回路からクロック供給。
- それぞれの DCAN に 64 のメールボックス。
- それぞれのメッセージ・オブジェクトごとに個別の識別子マスク。
- メッセージ・オブジェクト用のプログラム可能な FIFO モード。
- セルフテスト動作のためのプログラム可能なループバック・モード。
- プログラム可能な 32 ビット・タイマによる、パスオフ・ステート後の自動バスオン。
- パリティ保護されたメッセージ RAM。
- テスト・モード時のメッセージ RAM に対する直接アクセス。
- CAN Rx / Tx ピンを汎用 IO ピンとして構成可能。
- メッセージ RAM 自動初期化。
- DMA サポート。

DCAN の詳細については、『*RM48x Technical Reference Manual (RM48x テクニカル・リファレンス・マニュアル)*』([SPNU503](#))を参照してください。

### 5.5.2 電気およびタイミング特性

**表 5-14 DCANx TX および RX ピンの動特性**

| パラメータ                |                                                  | 最小 | 最大 | 単位 |
|----------------------|--------------------------------------------------|----|----|----|
| $t_d(\text{CANnTX})$ | 遅延時間、トランスミット・シフト・レジスタから CANnTX ピン <sup>(1)</sup> |    | 15 | ns |
| $t_d(\text{CANnRX})$ | 遅延時間、CANnRX ピンからレシーブ・シフト・レジスタ                    |    | 5  | ns |

(1) これらの値には、出力バッファの立ち上がり/立ち下がり時間が含まれていません。

## 5.6 ローカル相互接続ネットワーク・インターフェイス(LIN)

SCI/LIN モジュールは、SCI または LIN として動作するようプログラムすることができます。このモジュールのコアは SCI です。SCI のハードウェア機能が、LIN との互換性を持つよう拡張されています。

SCI モジュールは、標準非ゼロ復帰フォーマットを実装するユニバーサル非同期レシーバトランスミッタです。SCI は、たとえば RS-232 ポートや K-Line を介した通信のために使用することができます。

LIN 規格は、SCI(UART)シリアル・データ・リンク・フォーマットに基づいています。通信コンセプトは、メッセージ識別を伴ったシングルマスタ/マルチスレーブで、任意のネットワーク・ノード間のマルチキャスト送信に対応します。

### 5.6.1 LIN の機能

LIN モジュールの機能を以下に示します。

- LIN1.3、2.0、2.1 プロトコルとの互換性。
- CPU 介入を最低限に抑えるための、マルチバッファ送受信ユニットの DMA 機能
- メッセージ・フィルタリングのための識別子マスク。
- 自動マスタ・ヘッダ生成。
  - プログラム可能な Synch Break フィールド
  - Synch フィールド
  - Identifier フィールド
- スレーブ自動同期。
  - Synch Break 検出
  - オプションのボーレート・アップデート
  - 同期検証
- 小数部 7 ビットを持つ、 $2^{31}$  のプログラム可能伝送速度
- エラー検出
- プライオリティ・エンコーディングを搭載した 2 つの割り込みライン

## 5.7 シリアル通信インターフェイス (SCI)

### 5.7.1 機能

- 標準 Universal Asynchronous Receivers/Transmitters (UART) 通信
- 全二重または半二重動作をサポート。
- 標準非ゼロ復帰 (NRZ) フォーマット。
- ダブルバッファリングされた送受信機能。
- 以下に基づく、キャラクタあたり 3～13 ビットを構成可能なフレーム・フォーマット。
  - 1～8 ビットでプログラムできるデータ・ワード長
  - アドレスビット・モードの追加アドレス・ビット
  - 0 または 1 ビット、奇数または偶数のパリティ
  - 1 または 2 ビットのストップ
- 非同期またはアイソシンクロナス通信モード。
- 2 つのマルチプロセッサ通信フォーマットにより、2 つ以上のデバイス間で通信が可能。
- マルチプロセッサ通信の際に、CPU リソースを解放するスリープ・モード。
- 24 ビット・プログラム可能なボーレートにより  $2^{24}$  種類のボーレートをサポート、これにより高精度のボーレートを選択可能。
- 4 つのエラー・フラグと 5 つのステータス・フラグにより、SCI イベントに関する詳細な情報を提供。
- 送受信データに DMA を使用可能。

## 5.8 I2C (Inter-Integrated Circuit)

Inter-Integrated Circuit (I2C) モジュールは、フィリップス社 I2C バス仕様バージョン 2.1 に準拠し I2C バスで接続した RM4x マイコンとデバイス間でインターフェイスを提供するマルチマスタ通信モジュールです。このモジュールは、任意のスレーブまたはマスタ I2C 互換デバイスをサポートします。

### 5.8.1 機能

I2C の主な機能は次のとおりです。

- フィリップス I2C バス仕様 v2.1 に準拠 (『I2C Specification (I2C 仕様書)』、フィリップス文書番号 9398 393 40011)。
  - ビット/バイト・フォーマットの転送
  - 7 ビットおよび 10 ビットのデバイス・アドレッシング・モード
  - ゼネラル・コール
  - START バイト
  - マルチマスタ送信/スレーブ受信モード
  - マルチマスタ受信/スレーブ送信モード
  - マスタ送信/受信と受信/送信を組み合わせたモード
  - 10 kbps~400 kbps の転送レート (フィリップス高速レート)
- フリー・データ・フォーマット。
- 2 つの DMA イベント (送信および受信)。
- DMA イベント・イネーブル/ディスエーブル機能。
- CPU が使用できる 7 つの割り込み。
- モジュール・イネーブル/ディスエーブル機能。
- SDA および SCL を汎用入出力としてオプションで構成可能。
- 出力のスルー・レート・コントロール。
- 出力のオープン・ドレイン・コントロール。
- 入力でプログラム可能なプルアップ/プルダウン機能。
- NACK モードの無視をサポート。

---

#### 注

この I2C モジュールでは、以下をサポートしていません。

- 高速 (HS) モード
  - C バス互換モード
  - 10 ビット・アドレス・モードでの組み合わせフォーマット (I2C ではスレーブ・アドレスの最初のバイトを送信するとき、2 番目のバイトも必ず送信)
-

## 5.8.2 I2C 入出力のタイミング特性

表 5-15 I2C 信号 (SDA および SCL) スwitchング特性<sup>(1)</sup>

| パラメータ               |                                              | 標準モード |                     | 高速モード |     | 単位 |
|---------------------|----------------------------------------------|-------|---------------------|-------|-----|----|
|                     |                                              | 最小    | 最大                  | 最小    | 最大  |    |
| $t_{C(I2CCLK)}$     | サイクル時間、I2C の内部モジュール・クロック、VCLK からプリスケール       | 75.2  | 149                 | 75.2  | 149 | ns |
| $t_{C(SCL)}$        | Cycle time, SCL                              | 10    |                     | 2.5   |     | ms |
| $t_{su}(SCLH-SDAL)$ | セットアップ時間、SDA ローの前の SCL ハイ (繰り返し START 条件の場合) | 4.7   |                     | 0.6   |     | ms |
| $t_h(SCLL-SDAL)$    | ホールド時間、SDA ローの後の SCL ロー (繰り返し START 条件の場合)   | 4     |                     | 0.6   |     | ms |
| $t_w(SCLL)$         | パルス持続期間、SCL ロー                               | 4.7   |                     | 1.3   |     | ms |
| $t_w(SCLH)$         | パルス持続期間、SCL ハイ                               | 4     |                     | 0.6   |     | ms |
| $t_{su}(SDA-SCLH)$  | セットアップ時間、SCL ハイの前の SDA 有効                    | 250   |                     | 100   |     | ns |
| $t_h(SDA-SCLL)$     | ホールド時間、SCL ローの後の SDA 有効 (I2C バス・デバイスの場合)     | 0     | 3.45 <sup>(2)</sup> | 0     | 0.9 | ms |
| $t_w(SDAH)$         | パルス持続期間、STOP 条件と START 条件の間の SDA ハイ          | 4.7   |                     | 1.3   |     | ms |
| $t_{su}(SCLH-SDAH)$ | セットアップ時間、SDA ハイの前の SCL ハイ (STOP 条件の場合)       | 4.0   |                     | 0.6   |     | ms |
| $t_w(SP)$           | パルス持続期間、スパイク (抑制が必要)                         |       |                     | 0     | 50  | ns |
| $C_b^{(3)}$         | それぞれのバス・ラインに対する容量性負荷                         |       | 400                 |       | 400 | pF |

- (1) I2C ピンの SDA および SCL は、フェールセーフ入出力バッファを搭載していません。これらのピンは、デバイスをパワーダウンしたときも、電流が流れる可能性があります。
- (2) デバイスが SCL 信号のロー期間 ( $t_w(SCLL)$ ) を延ばさない場合、I2C バス・デバイスの最大  $t_h(SDA-SCLL)$  に必ず適合しなければなりません。
- (3)  $C_b = 1$  つのバス・ラインの合計静電容量 (pF 単位)。

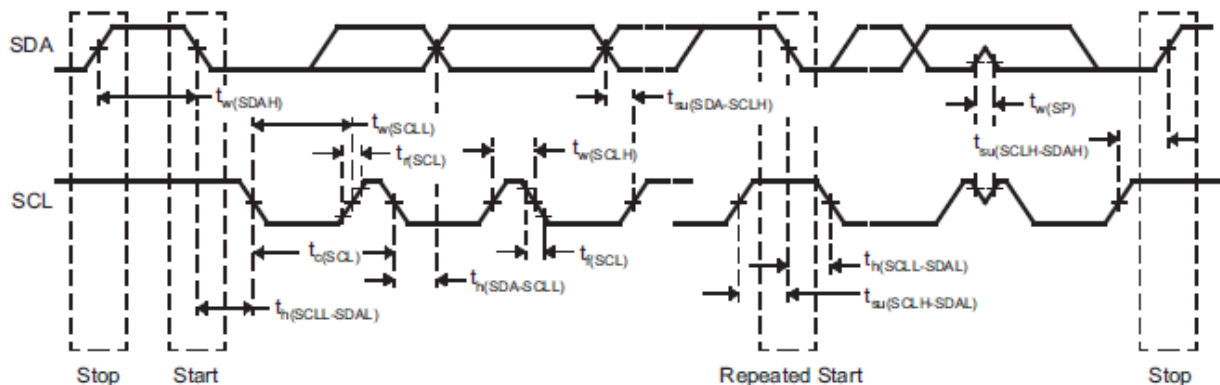


図 5-8 I2C タイミング

---

**注**

- デバイスは、SCL の立ち下がりエッジの未定義領域をブリッジするため、SDA 信号について内部的に 300 ns 以上のホールド時間を供給しなければなりません (SCL 信号の VIHmin)。
  - デバイスが SCL 信号のロー期間 ( $t_{w(SCLL)}$ ) を延ばさない場合、最大  $t_{h(SDA-SCLL)}$  に必ず適合しなければなりません。
  - 標準モード I2C バス・システムでは、高速モードの I2C バス・デバイスを使用できますが、 $t_{su(SDA-SCLH)} \geq 250$  ns に適合しなければなりません。これは、デバイスが SCL 信号のロー期間を延ばさない場合、自動的になる状態です。このようなデバイスが SCL 信号のロー期間を延ばした場合、その次のデータ・ビットを SDA ライン  $t_{r \text{ 最大}} + t_{su(SDA-SCLH)}$  に出力しなければなりません。
  - $C_b = 1$  つのバス・ラインの合計静電容量 (pF 単位)。高速モードのデバイスと組み合わせると立ち下がり時間を高速にすることができます。
-

## 5.9 マルチバッファ標準シリアル・ペリフェラル・インターフェイス

MibSPI は、高速の同期シリアル入出力ポートです。プログラムした長さ(2~16 ビット)のシリアル・ビット・ストリームを、デバイスとの間で、プログラムされたビット転送レートでシフトすることができます。SPI の典型的なアプリケーションとして、入出力、メモリ、ディスプレイ・ドライバ、アナログ/デジタル・コンバータなどの外部ペリフェラルとのインターフェイスが挙げられます。

### 5.9.1 機能

標準および MibSPI モジュールの機能は次のとおりです。

- 16 ビット・シフト・レジスタ。
- レシーブ・バッファ・レジスタ。
- 8 ビット・ボー・クロック・ジェネレータ、最大 20 MHz のボーレートをサポート。
- SPICLK は内部で生成できる(マスタ・モード)他、外部クロック・ソースから受信することもできます(スレーブ・モード)。
- 転送されるワードはそれぞれ独自のフォーマットを取ることができます。
- 通信で使用されない SPI 入出力は、デジタル入出力信号として使用できます。

**表 5-16 MibSPI/SPI 構成**

| MibSPIx/SPIx | 入出力                                                                      |
|--------------|--------------------------------------------------------------------------|
| MibSPI1      | MIBSPI1SIMO[1:0]、MIBSPI1SOMI[1:0]、MIBSPI1CLK、MIBSPI1nCS[5:0]、MIBSPI1nENA |
| MibSPI3      | MIBSPI3SIMO、MIBSPI3SOMI、MIBSPI3CLK、MIBSPI3nCS[5:0]、MIBSPI3nENA           |
| MibSPI5      | MIBSPI5SIMO[3:0]、MIBSPI5SOMI[3:0]、MIBSPI5CLK、MIBSPI5nCS[3:0]、MIBSPI5nENA |
| SPI2         | SPI2SIMO、ZSPI2SOMI、SPI2CLK、SPI2nCS[1:0]、SPI2nENA                         |
| SPI4         | SPI4SIMO、SPI4SOMI、SPI4CLK、SPI4nCS[0]、SPI4nENA                            |

### 5.9.2 MibSPI 送受信 RAM の構成

マルチバッファ RAM は、128 のバッファで構成されます。マルチバッファ RAM のそれぞれのエントリは、16 ビットの送信フィールド、16 ビットの受信フィールド、16 ビットのコントロール・フィールド、16 ビットのステータス・フィールドの 4 つの部分で構成されています。マルチバッファ RAM は、それぞれ可変数のバッファを持つ複数の転送グループに分けることができます。

### 5.9.3 MibSPI 送信トリガ・イベント

それぞれの転送グループは個別に構成することができます。それぞれの転送グループごとに、トリガ・イベントとトリガ・ソースを選択することができます。トリガ・イベントは、選択可能なトリガ・ソースでたとえば立ち上がりエッジや永続ロー・レベルなどに設定することができます。たとえば、それぞれの転送グループで最大 15 のトリガ・ソースを使用することができます。これらのトリガ・オプションを、MibSPI1 および MibSPI3 について、それぞれ表 5-17 と 5.9.3.2 節で示します。

### 5.9.3.1 MIBSPI1 イベント・トリガの対応関係

表 5-17 MIBSPI1 イベント・トリガの対応関係

| イベント#   | TGxCTRL TRIGSRC[3:0] | トリガ             |
|---------|----------------------|-----------------|
| ディスエーブル | 0000                 | トリガ・ソースなし       |
| イベント 0  | 0001                 | GIOA[0]         |
| イベント 1  | 0010                 | GIOA[1]         |
| イベント 2  | 0011                 | GIOA[2]         |
| イベント 3  | 0100                 | GIOA[3]         |
| イベント 4  | 0101                 | GIOA[4]         |
| イベント 5  | 0110                 | GIOA[5]         |
| イベント 6  | 0111                 | GIOA[6]         |
| イベント 7  | 1000                 | GIOA[7]         |
| イベント 8  | 1001                 | N2HET1[8]       |
| イベント 9  | 1010                 | N2HET1[10]      |
| イベント 10 | 1011                 | N2HET1[12]      |
| イベント 11 | 1100                 | N2HET1[14]      |
| イベント 12 | 1101                 | N2HET1[16]      |
| イベント 13 | 1110                 | N2HET1[18]      |
| イベント 14 | 1111                 | ティック・カウンタをインターン |

#### 注

N2HET1トリガ・ソースの場合、MibSPI1 モジュール・トリガ入力との接続は、出力バッファの入力側から行います (N2HET1 モジュールのバウンダリで)。このため、N2HET1 信号がパッドへの出力として選択されない場合でも、トリガ条件を生成することができます。

#### 注

GIOxトリガ・ソースの場合、MibSPI1 モジュール・トリガ入力との接続は、入力バッファの出力側から行います。このため、GIOx ピンを出力ピンとして選択するか、外部トリガ・ソースから GIOx ピンにドライブするかによって、トリガ条件を生成することができます。

### 5.9.3.2 MIBSPI3 イベント・トリガの対応関係

表 5-18 MIBSPI3 イベント・トリガの対応関係

| イベント#   | TGxCTRL TRIGSRC[3:0] | トリガ             |
|---------|----------------------|-----------------|
| ディスエーブル | 0000                 | トリガ・ソースなし       |
| イベント 0  | 0001                 | GIOA[0]         |
| イベント 1  | 0010                 | GIOA[1]         |
| イベント 2  | 0011                 | GIOA[2]         |
| イベント 3  | 0100                 | GIOA[3]         |
| イベント 4  | 0101                 | GIOA[4]         |
| イベント 5  | 0110                 | GIOA[5]         |
| イベント 6  | 0111                 | GIOA[6]         |
| イベント 7  | 1000                 | GIOA[7]         |
| イベント 8  | 1001                 | HET[8]          |
| イベント 9  | 1010                 | N2HET1[10]      |
| イベント 10 | 1011                 | N2HET1[12]      |
| イベント 11 | 1100                 | N2HET1[14]      |
| イベント 12 | 1101                 | N2HET1[16]      |
| イベント 13 | 1110                 | N2HET1[18]      |
| イベント 14 | 1111                 | ティック・カウンタをインターン |

#### 注

N2HET1トリガ・ソースの場合、MibSPI3 モジュール・トリガ入力との接続は、出力バッファの入力側から行います (N2HET1 モジュールのバウンダリで)。このため、N2HET1 信号がパッドへの出力として選択されない場合でも、トリガ条件を生成することができます。

#### 注

GIOxトリガ・ソースの場合、MibSPI3 モジュール・トリガ入力との接続は、入力バッファの出力側から行います。このため、GIOx ピンを出力ピンとして選択するか、外部トリガ・ソースから GIOx ピンにドライブするかによって、トリガ条件を生成することができます。

### 5.9.3.3 MIBSPI5 イベント・トリガの対応関係

表 5-19MIBSPI5 イベント・トリガの対応関係

| イベント#   | TGxCTRL TRIGSRC[3:0] | トリガ             |
|---------|----------------------|-----------------|
| ディスエーブル | 0000                 | トリガ・ソースなし       |
| イベント 0  | 0001                 | GIOA[0]         |
| イベント 1  | 0010                 | GIOA[1]         |
| イベント 2  | 0011                 | GIOA[2]         |
| イベント 3  | 0100                 | GIOA[3]         |
| イベント 4  | 0101                 | GIOA[4]         |
| イベント 5  | 0110                 | GIOA[5]         |
| イベント 6  | 0111                 | GIOA[6]         |
| イベント 7  | 1000                 | GIOA[7]         |
| イベント 8  | 1001                 | N2HET1[8]       |
| イベント 9  | 1010                 | N2HET1[10]      |
| イベント 10 | 1011                 | N2HET1[12]      |
| イベント 11 | 1100                 | N2HET1[14]      |
| イベント 12 | 1101                 | N2HET1[16]      |
| イベント 13 | 1110                 | N2HET1[18]      |
| イベント 14 | 1111                 | ティック・カウンタをインターン |

#### 注

N2HET1トリガ・ソースの場合、MibSPI5 モジュール・トリガ入力との接続は、出力バッファの入力側から行います (N2HET1 モジュールのバウンダリで)。このため、N2HET1 信号がパッドへの出力として選択されない場合でも、トリガ条件を生成することができます。

#### 注

GIOxトリガ・ソースの場合、MibSPI5 モジュール・トリガ入力との接続は、入力バッファの出力側から行います。このため、GIOx ピンを出力ピンとして選択し GIOx ピンにするピンを選択するか、外部トリガ・ソースから GIOx ピンにドライブするかによって、トリガ条件を生成することができます。MUX コントロール・モジュールで GIOx 信号以外の機能を選択する場合、入力接続では多重化がないので、MibSPI5 変換がトリガされないよう GIOx をディスエーブルにする必要があります。

### 5.9.4 MibSPI/SPI マスタ・モード入出力のタイミング特性

表 5-20 SPI マスタ・モード外部タイミング・パラメータ

(CLOCK PHASE = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力)<sup>(1)(2)(3)</sup>

| NO.              | パラメータ                                                             | 最小                                                                                         | 最大                                                                                          | 単位 |
|------------------|-------------------------------------------------------------------|--------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------|----|
| 1                | $t_{c(SPC)M}$ サイクル時間、SPICLK <sup>(4)</sup>                        | 40                                                                                         | $256t_{c(VCLK)}$                                                                            | ns |
| 2 <sup>(5)</sup> | $t_{w(SPCH)M}$ パルス持続期間、SPICLK ハイ(クロック極性 = 0)                      | $0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$                                                         | $0.5t_{c(SPC)M} + 3$                                                                        | ns |
|                  | $t_{w(SPCL)M}$ パルス持続期間、SPICLK ロー(クロック極性 = 1)                      | $0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$                                                         | $0.5t_{c(SPC)M} + 3$                                                                        |    |
| 3 <sup>(5)</sup> | $t_{w(SPCL)M}$ パルス持続期間、SPICLK ロー(クロック極性 = 0)                      | $0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$                                                         | $0.5t_{c(SPC)M} + 3$                                                                        | ns |
|                  | $t_{w(SPCH)M}$ パルス持続期間、SPICLK ハイ(クロック極性 = 1)                      | $0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$                                                         | $0.5t_{c(SPC)M} + 3$                                                                        |    |
| 4 <sup>(5)</sup> | $t_{d(SPCH-SIMO)M}$ 遅延時間、SPICLK ローの前の SPISIMO 有効(クロック極性 = 0)      | $0.5t_{c(SPC)M} - 5$                                                                       |                                                                                             | ns |
|                  | $t_{d(SPCL-SIMO)M}$ 遅延時間、SPICLK ハイの前の SPISIMO 有効(クロック極性 = 1)      | $0.5t_{c(SPC)M} - 5$                                                                       |                                                                                             |    |
| 5 <sup>(5)</sup> | $t_{v(SPCL-SIMO)M}$ 有効時間、SPICLK ローの後の SPISIMO データ有効(クロック極性 = 0)   | $0.5t_{c(SPC)M} - t_{f(SPC)} - 3$                                                          |                                                                                             | ns |
|                  | $t_{v(SPCH-SIMO)M}$ 有効時間、SPICLK ハイの後の SPISIMO データ有効(クロック極性 = 1)   | $0.5t_{c(SPC)M} - t_{r(SPC)} - 3$                                                          |                                                                                             |    |
| 6 <sup>(5)</sup> | $t_{su(SOMI-SPCL)M}$ セットアップ時間、SPICLK ローの前の SPISOMI(クロック極性 = 0)    | $t_{f(SPC)} + 2.2$                                                                         |                                                                                             | ns |
|                  | $t_{su(SOMI-SPCH)M}$ セットアップ時間、SPICLK ハイの前の SPISOMI(クロック極性 = 1)    | $t_{f(SPC)} + 2.2$                                                                         |                                                                                             |    |
| 7 <sup>(5)</sup> | $t_{h(SPCL-SOMI)M}$ ホールド時間、SPICLK ローの後の SPISOMI データ有効(クロック極性 = 0) | 5                                                                                          |                                                                                             | ns |
|                  | $t_{h(SPCH-SOMI)M}$ ホールド時間、SPICLK ハイの後の SPISOMI データ有効(クロック極性 = 1) | 5                                                                                          |                                                                                             |    |
| 8 <sup>(6)</sup> | $t_{C2TDELAY}$ セットアップ時間、CS アクティブから SPICLK ハイ(クロック極性 = 0)          | CSHOLD = 0                                                                                 | $C2TDELAY * t_{c(VCLK)} + 2 * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$                  | ns |
|                  |                                                                   | CSHOLD = 1                                                                                 | $C2TDELAY * t_{c(VCLK)} + 3 * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$                  |    |
|                  | セットアップ時間、CS アクティブから SPICLK ロー(クロック極性 = 1)                         | CSHOLD = 0                                                                                 | $C2TDELAY * t_{c(VCLK)} + 2 * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} - 7$                  | ns |
|                  |                                                                   | CSHOLD = 1                                                                                 | $C2TDELAY * t_{c(VCLK)} + 3 * t_{c(VCLK)} - t_{f(SPICS)} + t_{f(SPC)} - 7$                  |    |
| 9 <sup>(6)</sup> | $t_{T2CDELAY}$ CS インアクティブまでホールド時間 SPICLK ロー(クロック極性 = 0)           | $0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPICS)} - 7$ | $0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPICS)} + 11$ | ns |
|                  | CS インアクティブまでホールド時間 SPICLK ハイ(クロック極性 = 1)                          | $0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPCS)} - 7$  | $0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPICS)} + 11$ | ns |
| 10               | $t_{SPIENA}$ SPIENAn サンプル・ポイント                                    | $(C2TDELAY + 1) * t_{c(VCLK)} - t_{f(SPICS)} - 26$                                         | $(C2TDELAY + 1) * t_{c(VCLK)}$                                                              | ns |
| 11               | $t_{SPIENAW}$ 書き込みからバッファまでの SPIENAn サンプル・ポイント                     |                                                                                            | $(C2TDELAY + 2) * t_{c(VCLK)}$                                                              | ns |

(1) MASTER ビット (SPIGCR1.0) がセットされ、CLOCK PHASE ビット (SPIFMTx.16) がセットされます。

(2)  $t_{c(VCLK)}$  = インターフェイス・クロック・サイクル時間 =  $1/f_{(VCLK)}$

(3) 立ち上がり/立ち下りのタイミングについては、表 3-4 を参照してください。

(4) SPI がマスタ・モードのとき、以下が当てはまります。

PS 値が 1~255 の場合:  $t_{c(SPC)M} \geq (PS + 1)t_{c(VCLK)} \geq 40$  ns、ただし PS は、SPIFMTx.[15:8]レジスタ・ビットでセットされたプリスケール値。

PS 値が 0 の場合:  $t_{c(SPC)M} = 2t_{c(VCLK)} \geq 40$  ns。

SPICLK ピンの外部負荷は、60 pF 未満でなければなりません。

(5) SPICLK 基準信号のアクティブ・エッジは、クロック極性ビット (SPIFMTx.17) でコントロールします。

(6) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます。

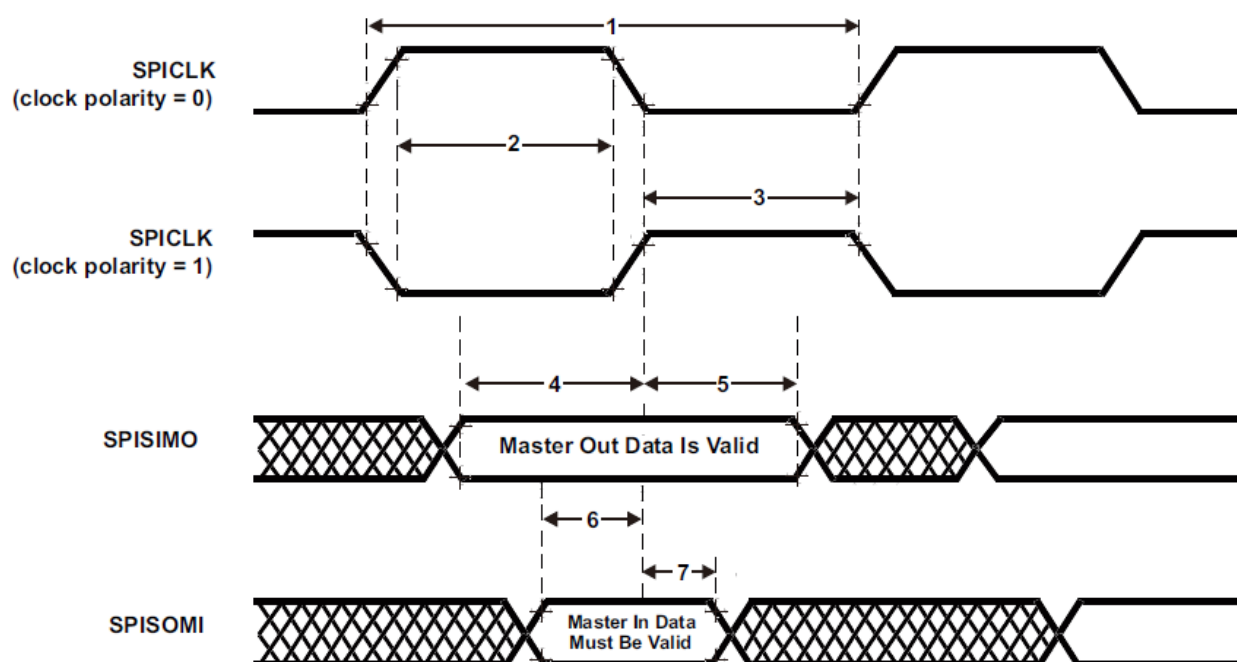


図 5-9 SPI マスタ・モードの外部タイミング (CLOCK PHASE = 0)

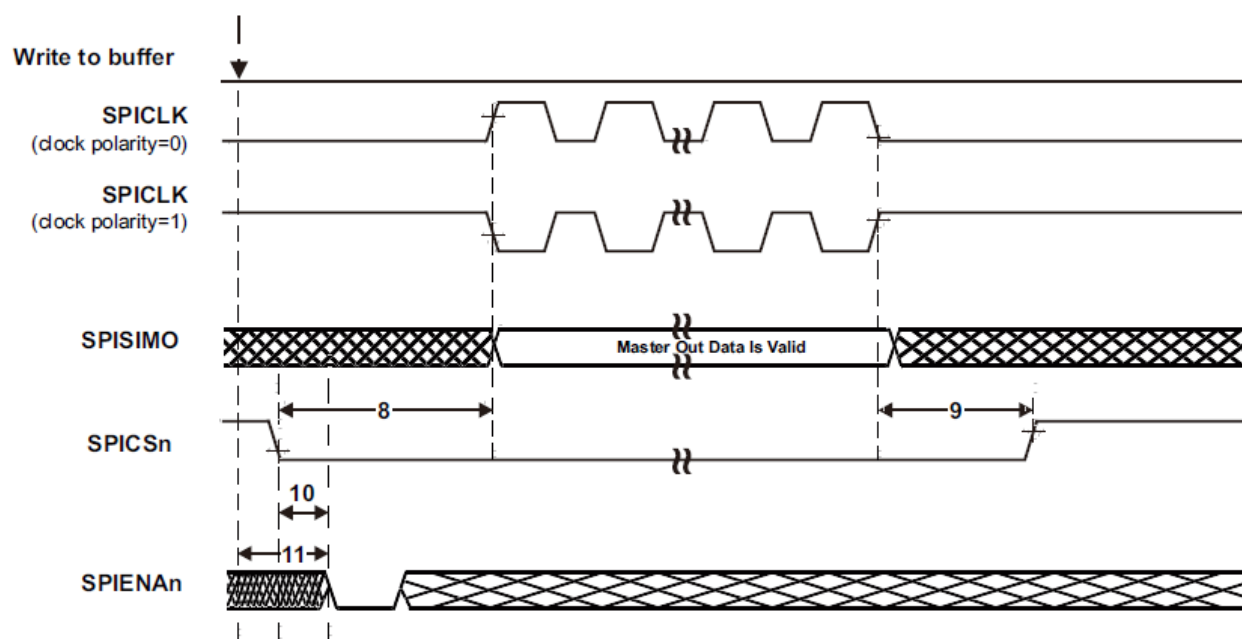


図 5-10 SPI マスタ・モードのチップ・セレクト・タイミング (CLOCK PHASE = 0)

**表 5-21 SPI マスタ・モード外部タイミング・パラメータ**  
(CLOCK PHASE = 1、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力)<sup>(1)(2)(3)</sup>

| NO.              | パラメータ                                    |                                             | 最小                                                                                                         | 最大                                                                                                                               | 単位                                                                                                                               |    |
|------------------|------------------------------------------|---------------------------------------------|------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------|----|
| 1                | t <sub>c</sub> (SPC) <sub>M</sub>        | サイクル時間、SPICLK <sup>(4)</sup>                | 40                                                                                                         | 256t <sub>c</sub> (VCLK)                                                                                                         | ns                                                                                                                               |    |
| 2 <sup>(5)</sup> | t <sub>w</sub> (SPCH) <sub>M</sub>       | パルス持続期間、SPICLK ハイ(クロック極性 = 0)               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - t <sub>r</sub> (SPC) <sub>M</sub> - 3                               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> + 3                                                                                         | ns                                                                                                                               |    |
|                  | t <sub>w</sub> (SPCL) <sub>M</sub>       | パルス持続期間、SPICLK ロー(クロック極性 = 1)               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - t <sub>l</sub> (SPC) <sub>M</sub> - 3                               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> + 3                                                                                         |                                                                                                                                  |    |
| 3 <sup>(5)</sup> | t <sub>w</sub> (SPCL) <sub>M</sub>       | パルス持続期間、SPICLK ロー(クロック極性 = 0)               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - t <sub>l</sub> (SPC) <sub>M</sub> - 3                               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> + 3                                                                                         | ns                                                                                                                               |    |
|                  | t <sub>w</sub> (SPCH) <sub>M</sub>       | パルス持続期間、SPICLK ハイ(クロック極性 = 1)               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - t <sub>r</sub> (SPC) <sub>M</sub> - 3                               | 0.5t <sub>c</sub> (SPC) <sub>M</sub> + 3                                                                                         |                                                                                                                                  |    |
| 4 <sup>(5)</sup> | t <sub>v</sub> (SIMO-SPCH) <sub>M</sub>  | 有効時間、SPISIMO データ有効の後の SPICLK ハイ(クロック極性 0)   | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - 5                                                                   |                                                                                                                                  | ns                                                                                                                               |    |
|                  | t <sub>v</sub> (SIMO-SPCL) <sub>M</sub>  | 有効時間、SPISIMO データ有効の後の SPICLK ロー(クロック極性 1)   | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - 5                                                                   |                                                                                                                                  |                                                                                                                                  |    |
| 5 <sup>(5)</sup> | t <sub>v</sub> (SPCH-SIMO) <sub>M</sub>  | 有効時間、SPISIMO データ有効の後の SPICLK ハイ(クロック極性 0)   | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - t <sub>r</sub> (SPC) - 3                                            |                                                                                                                                  | ns                                                                                                                               |    |
|                  | t <sub>v</sub> (SPCL-SIMO) <sub>M</sub>  | 有効時間、SPISIMO データ有効の後の SPICLK ロー(クロック極性 1)   | 0.5t <sub>c</sub> (SPC) <sub>M</sub> - t <sub>l</sub> (SPC) - 3                                            |                                                                                                                                  |                                                                                                                                  |    |
| 6 <sup>(5)</sup> | t <sub>su</sub> (SOMI-SPCH) <sub>M</sub> | セットアップ時間、SPICLK ハイの前の SPISOMI(クロック極性 = 0)   | t <sub>r</sub> (SPC) + 2.2                                                                                 |                                                                                                                                  | ns                                                                                                                               |    |
|                  | t <sub>su</sub> (SOMI-SPCL) <sub>M</sub> | セットアップ時間、SPICLK ローの前の SPISOMI(クロック極性 = 1)   | t <sub>l</sub> (SPC) + 2.2                                                                                 |                                                                                                                                  |                                                                                                                                  |    |
| 7 <sup>(5)</sup> | t <sub>v</sub> (SPCH-SOMI) <sub>M</sub>  | 有効時間、SPICLK ハイの後の SPISOMI データ有効(クロック極性 = 0) | 5                                                                                                          |                                                                                                                                  | ns                                                                                                                               |    |
|                  | t <sub>v</sub> (SPCL-SOMI) <sub>M</sub>  | 有効時間、SPICLK ローの後の SPISOMI データ有効(クロック極性 = 1) | 5                                                                                                          |                                                                                                                                  |                                                                                                                                  |    |
| 8 <sup>(6)</sup> | t <sub>C2TDELAY</sub>                    | セットアップ時間、CS アクティブから SPICLK ハイ(クロック極性 0)     | CSHOLD = 0                                                                                                 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+2) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>r</sub> (SPC) - 7 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+2) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>r</sub> (SPC) + 3 | ns |
|                  |                                          |                                             | CSHOLD = 1                                                                                                 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+3) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>r</sub> (SPC) - 7 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+3) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>r</sub> (SPC) + 3 |    |
|                  |                                          | セットアップ時間、CS アクティブから SPICLK ロー(クロック極性 1)     | CSHOLD = 0                                                                                                 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+2) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>l</sub> (SPC) - 7 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+2) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>l</sub> (SPC) + 3 | ns |
|                  |                                          |                                             | CSHOLD = 1                                                                                                 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+3) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>l</sub> (SPC) - 7 | 0.5*t <sub>c</sub> (SPC) <sub>M</sub> + (C2TDELAY+3) * t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) + t <sub>l</sub> (SPC) + 3 |    |
| 9 <sup>(6)</sup> | t <sub>T2CDELAY</sub>                    | CS インアクティブまでホールド時間 SPICLK ロー(クロック極性 = 0)    | T2CDELAY*t <sub>c</sub> (VCLK) + t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPC) + t <sub>r</sub> (SPICS) - 7 | T2CDELAY*t <sub>c</sub> (VCLK) + t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPC) + t <sub>r</sub> (SPICS) + 11                      | ns                                                                                                                               |    |
|                  |                                          | CS インアクティブまでホールド時間 SPICLK ハイ(クロック極性 = 1)    | T2CDELAY*t <sub>c</sub> (VCLK) + t <sub>c</sub> (VCLK) - t <sub>r</sub> (SPC) + t <sub>l</sub> (SPICS) - 7 | T2CDELAY*t <sub>c</sub> (VCLK) + t <sub>c</sub> (VCLK) - t <sub>r</sub> (SPC) + t <sub>l</sub> (SPICS) + 11                      | ns                                                                                                                               |    |
| 10               | t <sub>SPIENA</sub>                      | SPIENAn サンプル・ポイント                           | (C2TDELAY+1)*t <sub>c</sub> (VCLK) - t <sub>l</sub> (SPICS) - 26                                           | (C2TDELAY+1)*t <sub>c</sub> (VCLK)                                                                                               | ns                                                                                                                               |    |
| 11               | t <sub>SPIENAW</sub>                     | 書き込みからバッファまでの SPIENAn サンプル・ポイント             |                                                                                                            | (C2TDELAY+2)*t <sub>c</sub> (VCLK)                                                                                               | ns                                                                                                                               |    |

(1) MASTER ビット (SPIGCR1.0) がセットされ、CLOCK PHASE ビット (SPIFMTx.16) がセットされます。

(2)  $t_{c(VCLK)}$  = インターフェイス・クロック・サイクル時間 =  $1/f_{(VCLK)}$

(3) 立ち上がり/立ち下がりのタイミングについては、表 3-4 を参照してください。

(4) SPI がマスタ・モードのとき、以下が当てはまります。

PS 値が 1~255 の場合:  $t_{c(SPC)}M \geq (PS + 1)t_{c(VCLK)} \geq 40$  ns、ただし PS は、SPIFMTx.[15:8]レジスタ・ビットでセットされたプリスケール値。

PS 値が 0 の場合:  $t_{c(SPC)}M = 2t_{c(VCLK)} \geq 40$  ns。SPICLK ピンの外部負荷は、60 pF 未満でなければなりません。

- (5) SPICLK 基準信号のアクティブ・エッジは、クロック極性ビット (SPIFMTx.17) でコントロールします。  
 (6) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます。

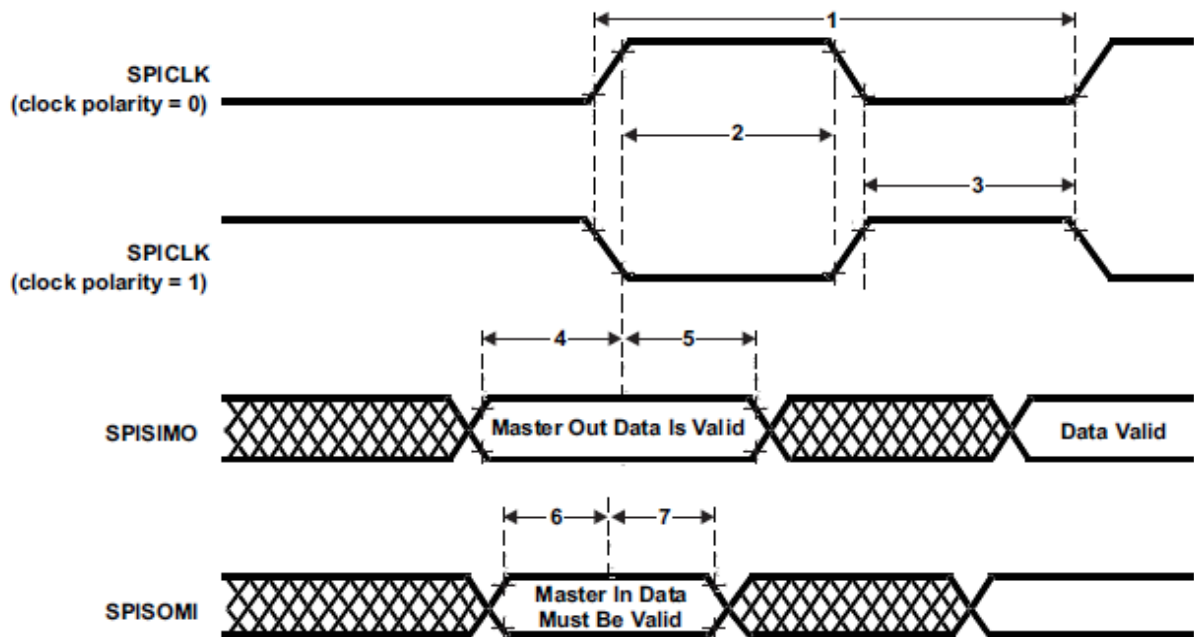


図 5-11 SPI マスタ・モードの外部タイミング (CLOCK PHASE = 1)

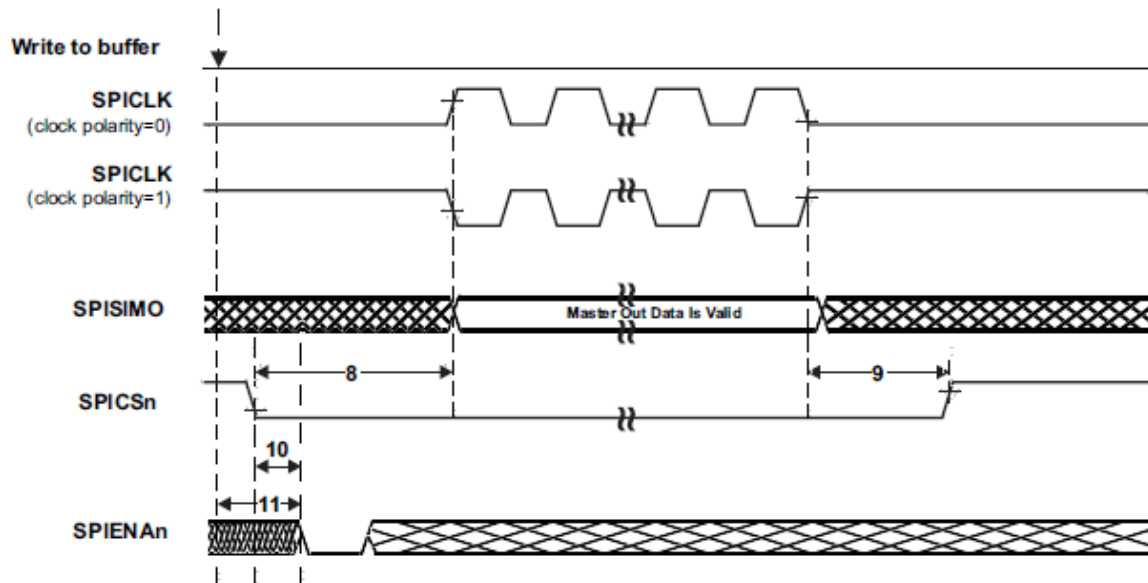


図 5-12 SPI マスタ・モードのチップ・セレクト・タイミング (CLOCK PHASE = 1)

### 5.9.5 SPI スレーブ・モード入出力のタイミング

表 5-22 SPI スレーブ・モードの外部タイミング・パラメータ

(CLOCK PHASE = 0、SPICLK = 入力、SPISIMO = 入力、SPISOMI = 出力)<sup>(1)(2)(3)(4)</sup>

| NO.              | パラメータ                                                                         | 最小               | 最大                                  | 単位 |
|------------------|-------------------------------------------------------------------------------|------------------|-------------------------------------|----|
| 1                | $t_{c(SPC)S}$ サイクル時間、SPICLK <sup>(5)</sup>                                    | 40               |                                     | ns |
| 2 <sup>(6)</sup> | $t_{w(SPCH)S}$ パルス持続期間、SPICLK ハイ(クロック極性 = 0)                                  | 14               |                                     | ns |
|                  | $t_{w(SPCL)S}$ パルス持続期間、SPICLK ロー(クロック極性 = 1)                                  | 14               |                                     |    |
| 3 <sup>(6)</sup> | $t_{w(SPCL)S}$ パルス持続期間、SPICLK ロー(クロック極性 = 0)                                  | 14               |                                     | ns |
|                  | $t_{w(SPCH)S}$ パルス持続期間、SPICLK ハイ(クロック極性 = 1)                                  | 14               |                                     |    |
| 4 <sup>(6)</sup> | $t_{d(SPCH-SOMI)S}$ 遅延時間、SPICLK ハイの後の SPISOMI 有効(クロック極性 = 0)                  |                  | $t_{f(SOMI)} + 20$                  | ns |
|                  | $t_{d(SPCL-SOMI)S}$ 遅延時間、SPICLK ローの後の SPISOMI 有効(クロック極性 = 1)                  |                  | $t_{f(SOMI)} + 20$                  |    |
| 5 <sup>(6)</sup> | $t_{h(SPCH-SOMI)S}$ ホールド時間、SPICLK ハイの後の SPISOMI データ有効(クロック極性 = 0)             | 2                |                                     | ns |
|                  | $t_{h(SPCL-SOMI)S}$ ホールド時間、SPICLK ローの後の SPISOMI データ有効(クロック極性 = 1)             | 2                |                                     |    |
| 6 <sup>(6)</sup> | $t_{su(SIMO-SPCL)S}$ セットアップ時間、SPICLK ローの前の SPISIMO (クロック極性 = 0)               | 4                |                                     | ns |
|                  | $t_{su(SIMO-SPCH)S}$ セットアップ時間、SPICLK ハイの前の SPISIMO (クロック極性 = 1)               | 4                |                                     |    |
| 7 <sup>(6)</sup> | $t_{h(SPCL-SIMO)S}$ ホールド時間、SPICLK ローの後の SPISIMO データ有効(クロック極性 = 0)             | 2                |                                     | ns |
|                  | $t_{h(SPCH-SIMO)S}$ ホールド時間、SPICLK ハイの後の SPISIMO データ有効(クロック極性 = 1)             | 2                |                                     |    |
| 8                | $t_{d(SPCL-SENAn)S}$ 遅延時間、最後の SPICLK ローの後の SPIENAn ハイ(クロック極性 = 0)             | $1.5t_{c(VCLK)}$ | $2.5t_{c(VCLK)} + t_{f(ENAn)} + 20$ | ns |
|                  | $t_{d(SPCH-SENAn)S}$ 遅延時間、最後の SPICLK ハイの後の SPIENAn ハイ(クロック極性 = 1)             | $1.5t_{c(VCLK)}$ | $2.5t_{c(VCLK)} + t_{f(ENAn)} + 20$ |    |
| 9                | $t_{d(SCSL-SENAL)S}$ 遅延時間、SPICSn ローの後の SPIENAn ロー(新しいデータが SPI バッファに書き込みされた場合) | $t_{f(ENAn)}$    | $t_{c(VCLK)} + t_{f(ENAn)} + 20$    | ns |

(1) MASTER ビット (SPIGCR1.0) がセットされ、CLOCK PHASE ビット (SPIFMTx.16) がセットされます。

(2) SPI がスレーブ・モードのとき、以下が当てはまります。 $t_{c(SPC)M} \geq (PS + 1) t_{c(VCLK)}$ 、ただし PS = SPIFMTx.[15:8] でセットされたプリスケール値。

(3) 立ち上がり/立ち下りのタイミングについては、表 3-4 を参照してください。

(4)  $t_{c(VCLK)} = \text{インターフェイス・クロック・サイクル時間} = 1/f_{(VCLK)}$

(5) SPI がスレーブ・モードのとき、以下が当てはまります。

PS 値が 1~255 の場合： $t_{c(SPC)S} \geq (PS + 1)t_{c(VCLK)} \geq 40 \text{ ns}$ 、ただし PS は、SPIFMTx.[15:8] レジスタ・ビットでセットされたプリスケール値。

PS 値が 0 の場合： $t_{c(SPC)S} = 2t_{c(VCLK)} \geq 40 \text{ ns}$ 。

(6) SPICLK 基準信号のアクティブ・エッジは、クロック極性ビット (SPIFMTx.17) でコントロールします。

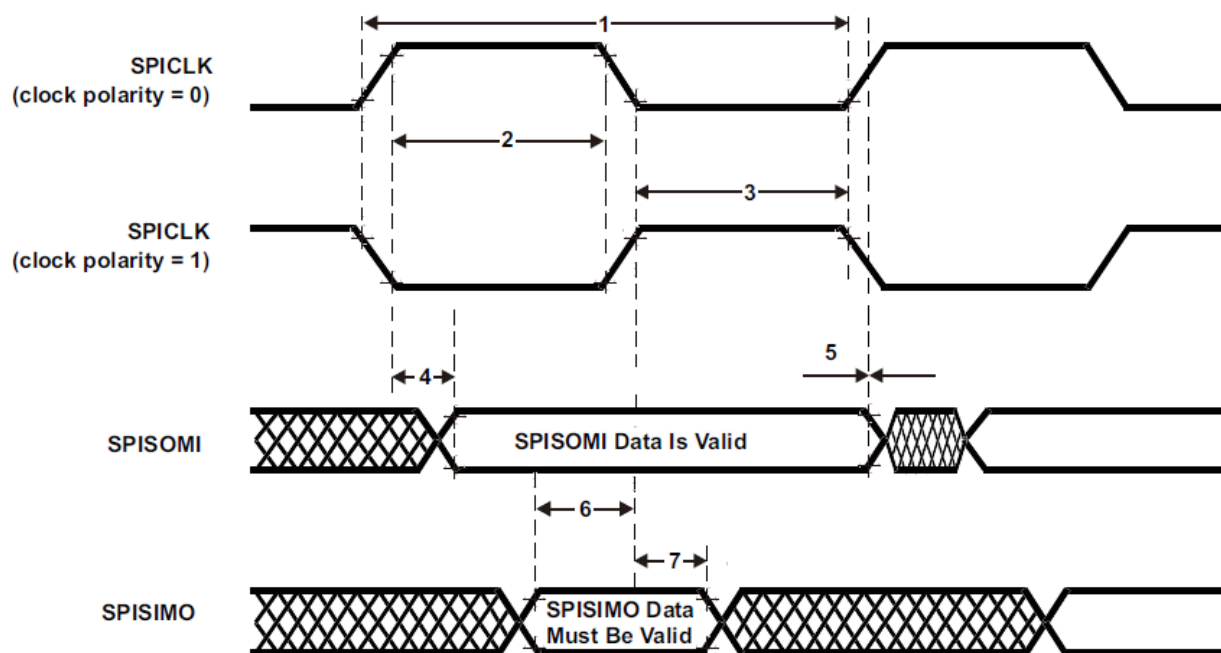


図 5-13 SPI スレーブ・モードの外部タイミング (CLOCK PHASE = 0)

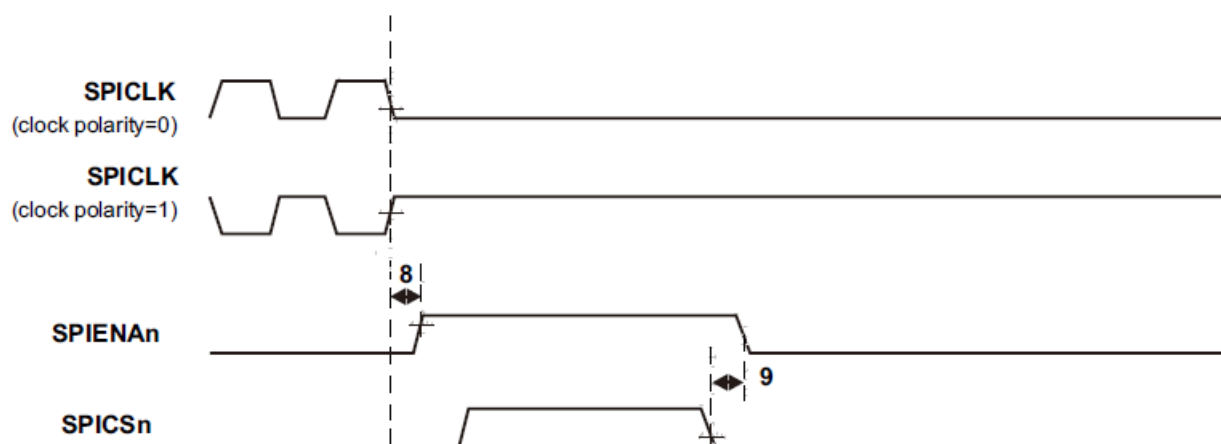


図 5-14 SPI スレーブ・モードのイネーブル・タイミング (CLOCK PHASE = 0)

**表 5-23 SPI スレーブ・モードの外部タイミング・パラメータ**
**(CLOCK PHASE = 1、SPICLK = 入力、SPISIMO = 入力、SPISOMI = 出力)<sup>(1)(2)(3)(4)</sup>**

| NO.              | パラメータ                |                                                          | 最小               | 最大                                   | 単位 |
|------------------|----------------------|----------------------------------------------------------|------------------|--------------------------------------|----|
| 1                | $t_{c(SPC)}S$        | サイクル時間、SPICLK <sup>(5)</sup>                             | 40               |                                      | ns |
| 2 <sup>(6)</sup> | $t_{w(SPCH)}S$       | パルス持続期間、SPICLK ハイ(クロック極性 = 0)                            | 14               |                                      | ns |
|                  | $t_{w(SPCL)}S$       | パルス持続期間、SPICLK ロー(クロック極性 = 1)                            | 14               |                                      |    |
| 3 <sup>(6)</sup> | $t_{w(SPCL)}S$       | パルス持続期間、SPICLK ロー(クロック極性 = 0)                            | 14               |                                      | ns |
|                  | $t_{w(SPCH)}S$       | パルス持続期間、SPICLK ハイ(クロック極性 = 1)                            | 14               |                                      |    |
| 4 <sup>(6)</sup> | $t_{d(SOMI-SPCL)}S$  | 遅延時間、SPICLK ローの後の SPISOMI 有効(クロック極性 = 0)                 |                  | $t_{rf(SOMI)} + 20$                  | ns |
|                  | $t_{d(SOMI-SPCH)}S$  | 遅延時間、SPICLK ハイの後の SPISOMI 有効(クロック極性 = 1)                 |                  | $t_{rf(SOMI)} + 20$                  |    |
| 5 <sup>(6)</sup> | $t_{h(SPCL-SOMI)}S$  | ホールド時間、SPICLK ハイの後の SPISOMI データ有効(クロック極性 = 0)            | 2                |                                      | ns |
|                  | $t_{h(SPCH-SOMI)}S$  | ホールド時間、SPICLK ローの後の SPISOMI データ有効(クロック極性 = 1)            | 2                |                                      |    |
| 6 <sup>(6)</sup> | $t_{su(SIMO-SPCH)}S$ | セットアップ時間、SPICLK ハイの前の SPISIMO(クロック極性 = 0)                | 4                |                                      | ns |
|                  | $t_{su(SIMO-SPCL)}S$ | セットアップ時間、SPICLK ローの前の SPISIMO(クロック極性 = 1)                | 4                |                                      |    |
| 7 <sup>(6)</sup> | $t_{v(SPCH-SIMO)}S$  | ハイ時間、SPICLK ハイの後の SPISIMO データ有効(クロック極性 = 0)              | 2                |                                      | ns |
|                  | $t_{v(SPCL-SIMO)}S$  | ハイ時間、SPICLK ローの後の SPISIMO データ有効(クロック極性 = 1)              | 2                |                                      |    |
| 8                | $t_{d(SPCH-SENAn)}S$ | 遅延時間、最後の SPICLK ハイの後の SPIENAn ハイ(クロック極性 = 0)             | $1.5t_{c(VCLK)}$ | $2.5t_{c(VCLK)} + t_{rf(ENAn)} + 20$ | ns |
|                  | $t_{d(SPCL-SENAn)}S$ | 遅延時間、最後の SPICLK ローの後の SPIENAn ハイ(クロック極性 = 1)             | $1.5t_{c(VCLK)}$ | $2.5t_{c(VCLK)} + t_{rf(ENAn)} + 20$ |    |
| 9                | $t_{d(SCSL-SENAL)}S$ | 遅延時間、SPICSn ローの後の SPIENAn ロー(新しいデータが SPI バッファに書き込みされた場合) | $t_{rf(ENAn)}$   | $t_{c(VCLK)} + t_{rf(ENAn)} + 20$    | ns |
| 10               | $t_{d(SCSL-SOMI)}S$  | 遅延時間、SPICSn ローの後の SOMI 有効(新しいデータが SPI バッファに書き込みされた場合)    | $t_{c(VCLK)}$    | $2t_{c(VCLK)} + t_{rf(SOMI)} + 24$   | ns |

(1) MASTER ビット (SPIGCR1.0) がセットされ、CLOCK PHASE ビット (SPIFMTx.16) がセットされます。

(2) SPI がスレーブ・モードのとき、以下が当てはまります。 $t_{c(SPC)M} \leq (PS + 1)t_{c(VCLK)}$ 、ただし PS = SPIFMTx.[15:8] でセットされたプリスケール値。

(3) 立ち上がり/立ち下がりのタイミングについては、表 3-4 を参照してください。

(4)  $t_{c(VCLK)} = \text{インターフェイス・クロック・サイクル時間} = 1/f_{(VCLK)}$

(5) SPI がスレーブ・モードのとき、以下が当てはまります。

PS 値が 1~255 の場合： $t_{c(SPC)S} \geq (PS + 1)t_{c(VCLK)} \geq 40 \text{ ns}$ 、ただし PS は、SPIFMTx.[15:8] レジスタ・ビットでセットされたプリスケール値。

PS 値が 0 の場合： $t_{c(SPC)S} = 2t_{c(VCLK)} \geq 40 \text{ ns}$ 。

(6) SPICLK 基準信号のアクティブ・エッジは、クロック極性ビット (SPIFMTx.17) でコントロールします。

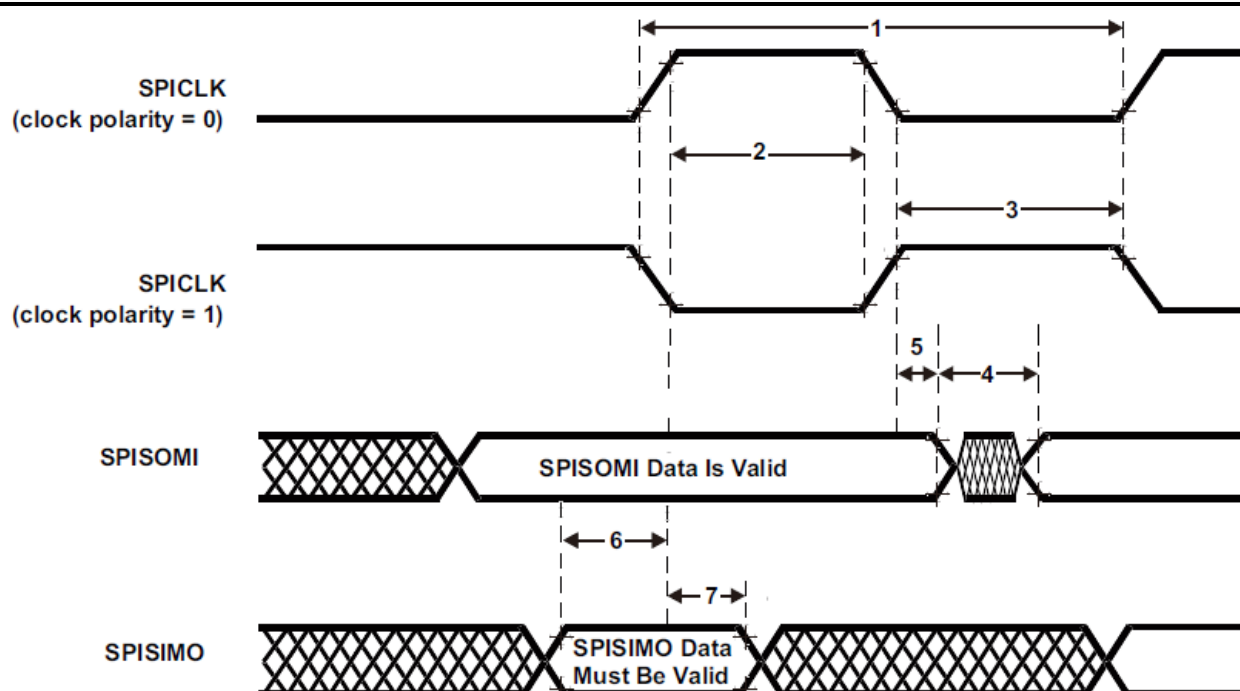


図 5-15 SPI スレーブ・モードの外部タイミング (CLOCK PHASE = 1)

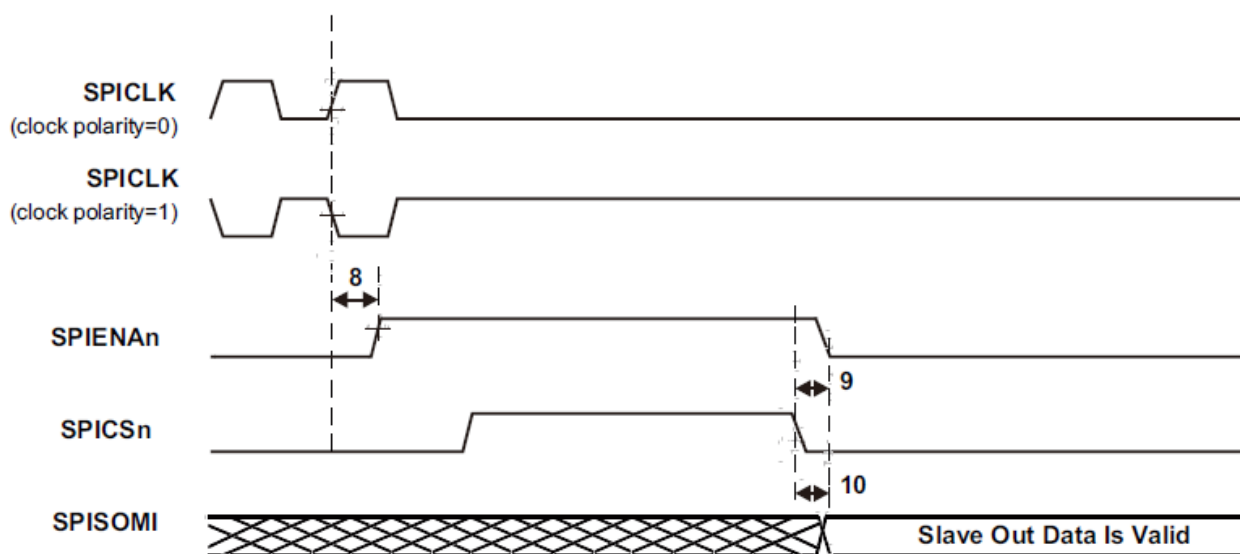


図 5-16 SPI スレーブ・モードのイネーブル・タイミング (CLOCK PHASE = 1)

## 5.10 イーサネットメディア・アクセス・コントローラ

イーサネットメディア・アクセス・コントローラ(EMAC)は、ネットワークとの間で効率的なインターフェイスを提供します。EMAC は、10Base-T と 100Base-TX、つまり 10 Mbps と 100 Mbps を半二重モードまたは全二重モードでサポートし、同時にハードウェア・フロー・コントロールおよびクオリティ・オブ・サービス(QoS)もサポートしています。

EMAC は、デバイスから PHY へのパケット・データのフローをコントロールします。MDIO モジュールは、PHY の構成とステータス・モニタリングをコントロールします。

EMAC および MDIO モジュールのどちらも、効率的なデータ送受信を可能にするカスタム・インターフェイスを介して、デバイスとインターフェイスを取ります。このカスタム・インターフェイスは、EMAC コントロール・モジュールと呼ばれるもので、EMAC/MDIO パリフェラルと統合しています。このコントロール・モジュールは、割り込みを多重化したりコントロールしたりするためにも使用されます。

### 5.10.1 イーサネット MII の電気およびタイミング特性

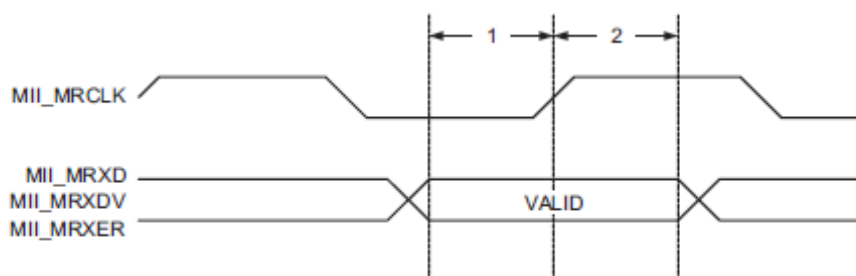


図 5-17 MII 受信タイミング

表 5-24 MII 受信タイミング

| パラメータ                | 説明                                         | 最小   | 最大 |
|----------------------|--------------------------------------------|------|----|
| $t_{su}(GMIIMRXD)$   | セットアップ時間、GMIIMRXD から GMIIMRCLK 立ち上がりエッジ    | 8 ns |    |
| $t_{su}(GMIIMRXDV)$  | セットアップ時間、GMIIMRXDV から GMIIMRCLK 立ち上がりエッジ   | 8 ns |    |
| $t_{su}(GMIIMRXCER)$ | セットアップ時間、GMIIMRXCER から GMIIMRCLK 立ち上がりエッジ  | 8 ns |    |
| $t_h(GMIIMRXD)$      | ホールド時間、GMIIMRCLK 立ち上がりエッジの後の GMIIMRXD 有効   | 8 ns |    |
| $t_h(GMIIMRXDV)$     | ホールド時間、GMIIMRCLK 立ち上がりエッジの後の GMIIMRXDV 有効  | 8 ns |    |
| $t_h(GMIIMRXCER)$    | ホールド時間、GMIIMRCLK 立ち上がりエッジの後の GMIIMRXCER 有効 | 8 ns |    |

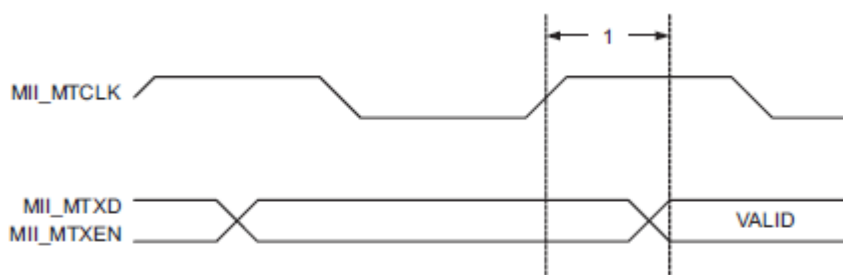


図 5-18 MII 送信タイミング

表 5-25 MII 送信タイミング

| パラメータ            | 説明                                  | 最小   | 最大    |
|------------------|-------------------------------------|------|-------|
| $t_d(GMIIMTXD)$  | 遅延時間、GMIIMTCLK 立ち上がりエッジから GMIIMTXD  | 5 ns | 25 ns |
| $t_d(GMIIMTXEN)$ | 遅延時間、GMIIMTCLK 立ち上がりエッジから GMIIMTXEN | 5 ns | 25 ns |

### 5.10.2 管理データ入出力(MDIO)

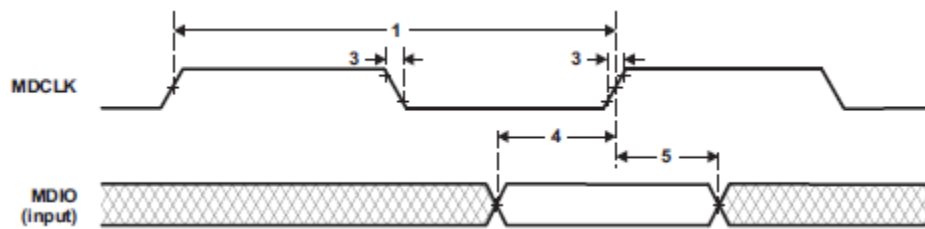


図 5-19 MDIO 入力のタイミング

表 5-26 MDIO 入力のタイミング要件

| NO. | パラメータ            |                                   | 値                 |    | 単位 |
|-----|------------------|-----------------------------------|-------------------|----|----|
|     |                  |                                   | 最小                | 最大 |    |
| 1   | tc(MDCLK)        | サイクル時間、MDCLK                      | 400               | -  | ns |
| 2   | tw(MDCLK)        | パルス持続時間、MDCLK ハイ / ロー             | 180               | -  | ns |
| 3   | tt(MDCLK)        | トランザクション時間、MDCLK                  | -                 | 5  | ns |
| 4   | tsu(MDIO-MDCLKH) | セットアップ時間、MDCLK ハイの前の MDIO データ入力有効 | 26 <sup>(1)</sup> | -  | ns |
| 5   | th(MDCLKH-MDIO)  | ホールド時間、MDCLK ハイの後の MDIO データ入力有効   | 10                | -  | ns |

(1) これは IEEE 802.3 と矛盾していますが、多くの PHY デバイスと互換性があります。

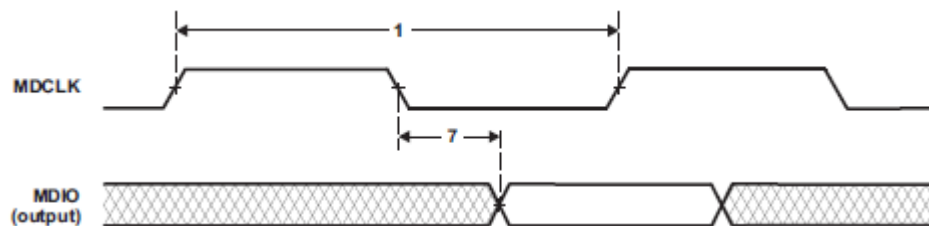


図 5-20 MDIO 出力のタイミング

表 5-27 MDIO 出力のタイミング要件

| NO. | パラメータ           |                              | 値   |     | 単位 |
|-----|-----------------|------------------------------|-----|-----|----|
|     |                 |                              | 最小  | 最大  |    |
| 1   | tc(MDCLK)       | サイクル時間、MDCLK                 | 400 | -   | ns |
| 7   | td(MDCLKL-MDIO) | 遅延時間、MDCLK ローから MDIO データ出力有効 | 0   | 100 | ns |

## 5.11 ユニバーサル・シリアル・バス・コントローラ

### 5.11.1 機能

このデバイスは、次のようなさまざまな USB 機能を提供します。

- USB 仕様リビジョン 2.0 および USB 仕様リビジョン 1.1 に準拠した 1 台のフルスピード USB デバイス
- USB 仕様リビジョン 2.0 に準拠し、USB の OHCI 仕様リリース 1.0 に基づいた 2 個の USB ホスト・ポート

### 5.11.2 電気およびタイミング特性

表 5-28 フルスピード USB インターフェイス・タイミング要件<sup>(1)</sup>

| NO.   | パラメータ           |                                    | 最小 | 最大 | 単位 |
|-------|-----------------|------------------------------------|----|----|----|
| FSU20 | $t_d(VPL, VML)$ | 持続期間、移行時 RCVDPLS および RCVDMNS が共にロー |    | 14 | ns |
| FSU21 | $t_d(VPH, VMH)$ | 持続期間、移行時 RCVDPLS および RCVDMNS が共にハイ |    | 8  | ns |

(1) 容量性負荷は tp 15 pF と等価です。

表 5-29 フルスピード USB インターフェイス・スイッチング特性<sup>(1)</sup>

| NO.   | パラメータ             |                                | 最小 | 最大  | 単位 |
|-------|-------------------|--------------------------------|----|-----|----|
| FSU15 | $t_d(TXENL-DATV)$ | 遅延時間、TXENL アクティブから TXDPLS 有効   | 0  | 1.5 | ns |
| FSU16 | $t_d(TXENL-SE0V)$ | 遅延時間、TXENL アクティブから TXSE0 有効    | 0  | 2.0 | ns |
| FSU17 | $t_s(DAT-SE0)$    | TXDPLS および TXSE0 移行の間のスキュー     |    | 1.5 | ns |
| FSU18 | $t_d(TXENH-DATI)$ | 遅延時間、TXENL インアクティブから TXDPLS 無効 | 0  | 1.5 | ns |
| FSU19 | $t_d(TXENH-SE0I)$ | 遅延時間、TXENL インアクティブから TXSE0 無効  | 0  | 1.5 | ns |

(1) 容量性負荷は tp 15 pF と等価です。

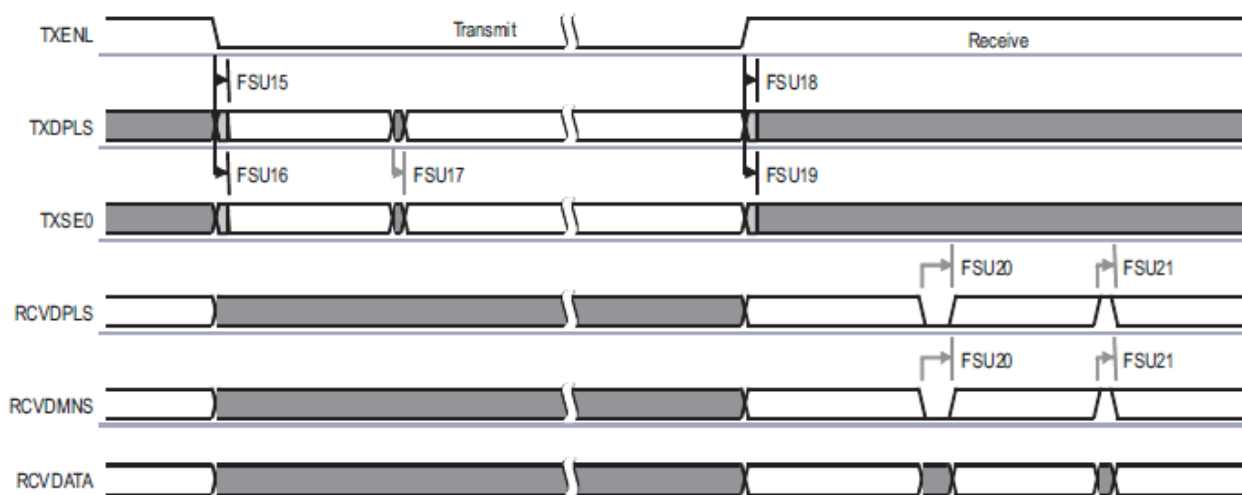


図 5-21 フルスピード USB インターフェイス - 送信および受信モード

## 6. デバイスおよびドキュメンテーション・サポート

### 6.1 デバイスおよび開発サポート・ツールの命名体系

次の図は、番号およびシンボルによる RM48L952 の命名体系を示しています。

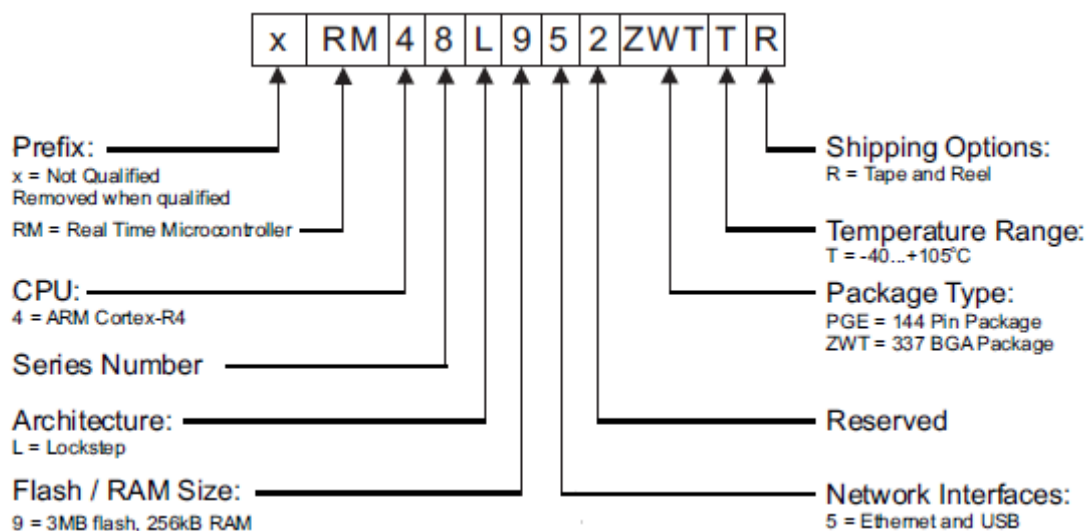


図 6-1 RM48x デバイスの命名規則

### 6.2 注文用部品番号

表 6-1 注文用部品番号

| 注文部品#        | 部品#      | パッケージ   | フラッシュ | RAM    | EMAC <sup>(1)</sup> | USB <sup>(2)</sup> |
|--------------|----------|---------|-------|--------|---------------------|--------------------|
| RM48L952PGET | RM48L952 | 144 QFP | 3 MB  | 256 KB | 可                   | 可                  |
| RM48L952ZWTT | RM48L952 | 337 BGA | 3 MB  | 256 KB | 可                   | 可                  |

(1) 10/100

(2) 2 ホスト・ポート、または 1 ホスト・ポート + 1 デバイス・ポート。

## 6.3 デバイスの識別

### 6.3.1 デバイス識別コード・レジスタ

デバイス識別コード・レジスタは、シリコン・バージョンを含む、デバイスのさまざまな要素を識別しています。デバイス識別コード・レジスタの詳細を表 6-2 で示しています。このデバイスのデバイス識別コード・レジスタの値は、次のようになっています。

- Rev A = 0x802AAD05
- Rev B = 0x802AAD15

|       |                  |    |              |               |           |         |         |         |    |    |    |     |     |     |      |
|-------|------------------|----|--------------|---------------|-----------|---------|---------|---------|----|----|----|-----|-----|-----|------|
| 31    | 30               | 29 | 28           | 27            | 26        | 25      | 24      | 23      | 22 | 21 | 20 | 19  | 18  | 17  | 16   |
| CP-15 | UNIQUE ID        |    |              |               |           |         |         |         |    |    |    |     |     |     | TECH |
| R-1   | R-00000000010101 |    |              |               |           |         |         |         |    |    |    |     |     |     | R-0  |
| 15    | 14               | 13 | 12           | 11            | 10        | 9       | 8       | 7       | 6  | 5  | 4  | 3   | 2   | 1   | 0    |
| TECH  |                  |    | I/O VOLT AGE | PERIPH PARITY | FLASH ECC | RAM ECC |         | VERSION |    |    |    |     | 1   | 0   | 1    |
| R-101 |                  |    | R-0          | R-1           | R-10      | R-1     | R-00000 |         |    |    |    | R-1 | R-0 | R-1 |      |

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

図 6-2 デバイス ID ビット割り当てレジスタ

表 6-2 デバイス ID ビット割り当てレジスタのフィールドの解説

| ビット   | フィールド             | 値     | 説明                                                                 |
|-------|-------------------|-------|--------------------------------------------------------------------|
| 31    | CP15              | 1     | コプロセッサ 15 の存在を示します。<br>CP15 が存在します。                                |
| 30-17 | UNIQUE ID         | 10101 | シリコン・バージョン(リビジョン)ビット。<br>このビット・フィールドには、専用デバイス構成(ダイ)に対する固有の番号が入ります。 |
| 16-13 | TECH              | 0101  | デバイス製造時のプロセス・テクノロジー。<br>F021。                                      |
| 12    | I/O VOLTAGE       | 0     | デバイスの入出力電圧。<br>入出力は 3.3v です。                                       |
| 11    | PERIPHERAL PARITY | 1     | ペリフェラル・パリティ。<br>ペリフェラル・メモリのパリティ。                                   |
| 10-9  | FLASH ECC         | 10    | フラッシュ ECC。<br>ECC 搭載プログラム・メモリ。                                     |
| 8     | RAM ECC           | 1     | RAM メモリの ECC が存在するかどうかを示します。<br>ECC 実装。                            |
| 7-3   | REVISION          |       | デバイスのリビジョン。                                                        |
| 2-0   | 101               |       | プラットフォーム・ファミリ ID は常に 0b101 になります。                                  |

### 6.3.2 ダイ識別レジスタ

アドレス 0xFFFFFE1F0、0xFFFFFE1F4、0xFFFFFE1F8、FFFFE1FC の 4 つのダイ ID レジスタが、128 ビットのダイ ID を構成しており、それぞれ表 6-3 の情報が対応しています。

表 6-3 ダイ識別レジスタ

| 項目        | ビット# | ビット・ロケーション |
|-----------|------|------------|
| ウェハの X 座標 | 8    | 7..0       |
| ウェハの Y 座標 | 8    | 15..8      |
| Wafer #   | 6    | 21..16     |
| Lot #     | 24   | 45..22     |
| 予約        | 82   | 127..46    |

---

## 6.4 改訂履歴

表 6-4 改訂履歴

| 日付          | 変更                    | 変更前 | 変更後 | セクション |
|-------------|-----------------------|-----|-----|-------|
| 2012 年 11 月 | デバイス特性に基づいて更新された電気的特性 |     |     |       |

## 7. メカニカル・データ

### 7.1 温度データ

表 7-1 は、QFP - PGE メカニカル・パッケージの耐熱性を示しています。

表 7-2 は、BGA - ZWT メカニカル・パッケージの耐熱性を示しています。

**表 7-1 耐熱性(PGE パッケージ)**

| パラメータ          | ° CW |
|----------------|------|
| $R\theta_{JA}$ | 39   |
| $R\theta_{JB}$ | 26.3 |
| $R\theta_{JC}$ | 6.7  |

**表 7-2 耐熱性(ZWT パッケージ)**

| パラメータ          | ° CW |
|----------------|------|
| $R\theta_{JA}$ | 18.8 |
| $R\theta_{JB}$ | 14.1 |
| $R\theta_{JC}$ | 7.1  |

### 7.2 パッケージ情報

以下のパッケージング情報は、指定デバイスの最新リリース・データを示しています。このデータは、予告も本書の改訂もなく変更されることがあります。

---

#### セーフティクリティカル・ソリューションに対する機能の安全性についての免責事項

TI のセーフティクリティカル・ソリューションは、集積回路、ソフトウェア、ツールを含み、機能上の安全規格または要件に準拠するよう適切に設計されたセーフティクリティカル・アプリケーションで使用される最終製品を TI の顧客が製造することを支援するものです。

購入者は、セーフティクリティカル・アプリケーションにおいてシステム障害を予測、監視、制御するための効果的なシステムレベルの安全性を設計、管理、確保する上で必要になるすべての技術を持っていることとし、これに同意することとします。購入者は、TI のセーフティクリティカル・アプリケーションを使用したシステムおよび最終製品について、該当するすべての規制基準や安全関連の要件に準拠する上で単独の責任を持っていることに同意し、これを承認します。購入者は、セーフティクリティカル・アプリケーションで TI 製品を使用することによって損害を引き起こした場合、TI およびその代理店に対しその損害について 100% 補償することとします。

TI の集積回路は、当事者が委任した担当者がこのような使用を特別に規定した特殊な契約を締結していない限り、FDA Class III (または同等のライフクリティカル医療機器) での使用が認められていません。

## パッケージ情報

| 注文用部品番号      | ステータス<br>(1) | パッケージ<br>タイプ | パッケージ<br>図 | ピン  | パッケージ<br>数量 | エコ・プラン(2)               | 端子メッキ<br>/半田ボール<br>の材質 | MSL ピーク温度(3)        | 動作温度<br>(° C) | 上部のマーキング<br>(4) | サンプル |
|--------------|--------------|--------------|------------|-----|-------------|-------------------------|------------------------|---------------------|---------------|-----------------|------|
| RM48L952PGET | ACTIVE       | LQFP         | PGE        | 144 | 60          | Green (RoHS & no Sb/Br) | NIPDAU                 | Level-3-260C-168 HR | -40 to 105    | RM48 L952PGET   |      |
| RM48L952ZWTT | ACTIVE       | NFBGA        | ZWT        | 337 | 90          | Green (RoHS & no Sb/Br) | SNAGCU                 | Level-3-260C-168 HR | -40 to 105    | RM48 L952ZWTT   |      |

(1) マーケティング・ステータス値は次のように定義されています。

ACTIVE: 製品デバイスは新型設計を対象としています。

LIFEBUY: TI によりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新型設計は対象とされていません。デバイスは既存の顧客をサポートするために生産されていますが、TI では新型設計へのこの部品の使用は推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TI によりデバイスの生産が中止されました。

(2) エコ・プラン: 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Exempt)、Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS): TI では、「Lead-Free」または「Pb-Free」(鉛フリー) は RoHS の最新の要件を満たしている半導体製品を指します。この要件には、同種の材質内で鉛の重量が 0.1% を超えないという要件を含む、6 つの物質に対する要件も含まれます。高温で半田付けするように設計されている場合など、TI の Pb-Free は特定の鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、いずれかの理由により RoHS 規格の適用が除外されています。

1) ダイとパッケージの間に鉛ベースのフリップチップ半田バンプを使用

2) ダイとリードフレーム間に鉛ベースのダイ接着剤を使用

それ以外は上記のように Pb-Free (RoHS 準拠) と考えられます。

Green (RoHS & no Sb/Br): TI における「Green」は Pb-Free (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

(3) MSL, Peak Temp.: JEDEC 業界標準分類に則った耐湿性レベル、およびピーク半田温度です。

(4) ロゴ、ロット・トレース・コードおよび環境カテゴリなどのマーキングが追加される場合があります。

(5) 複数のデバイス・マーキングには括弧が使われます。括弧内には一つだけのデバイス・マーキングがあり、“~”で分けられます。行が段落付けされている場合は前の行と合わせて一つのマーキングを表します。

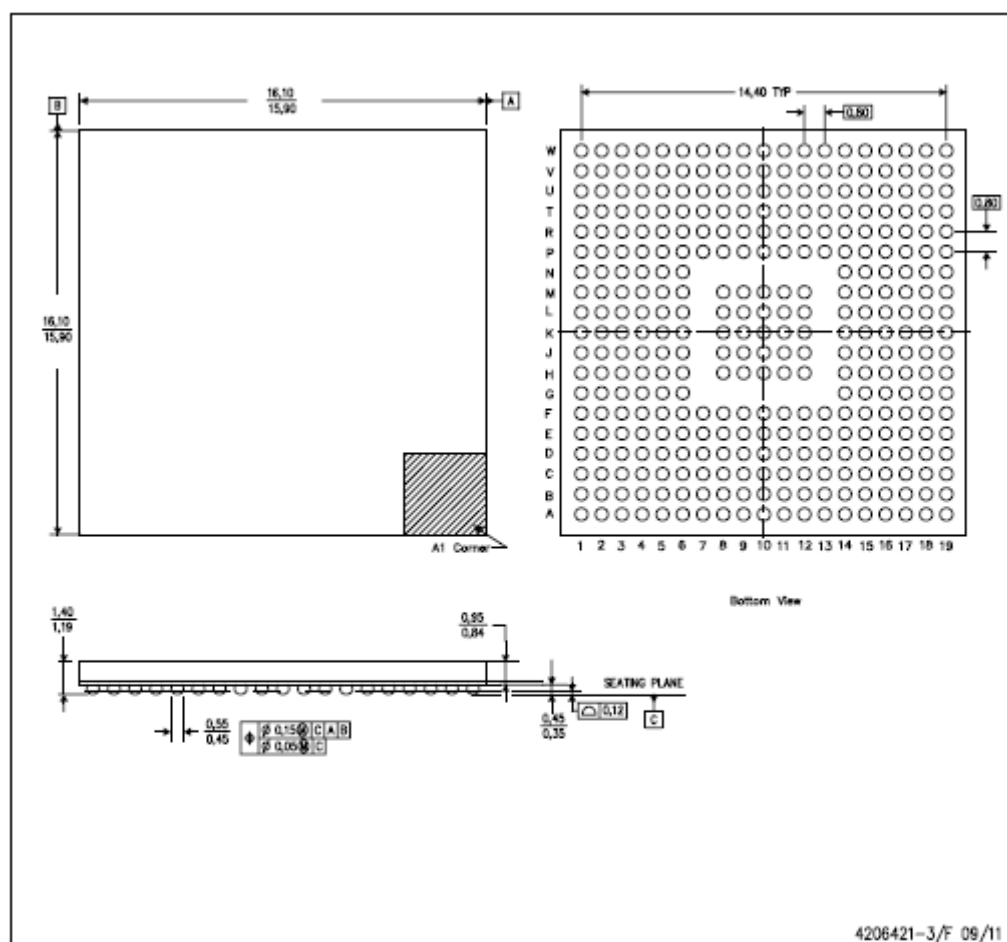
### 重要な情報および免責事項:

このページに記載された情報は、記載された日付時点での TI の知識および見解を表しています。TI の知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TI では、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TI および TI のサプライヤーは、特定の情報を所有物として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

TI は、いかなる場合においても、かかる情報により発生した損害について、TI がお客様に 1 年間に販売した本書記載の問題となった TI パーツの購入価格の合計金額を超える責任は負いかねます。

ZWT (S-PBGA-N337)

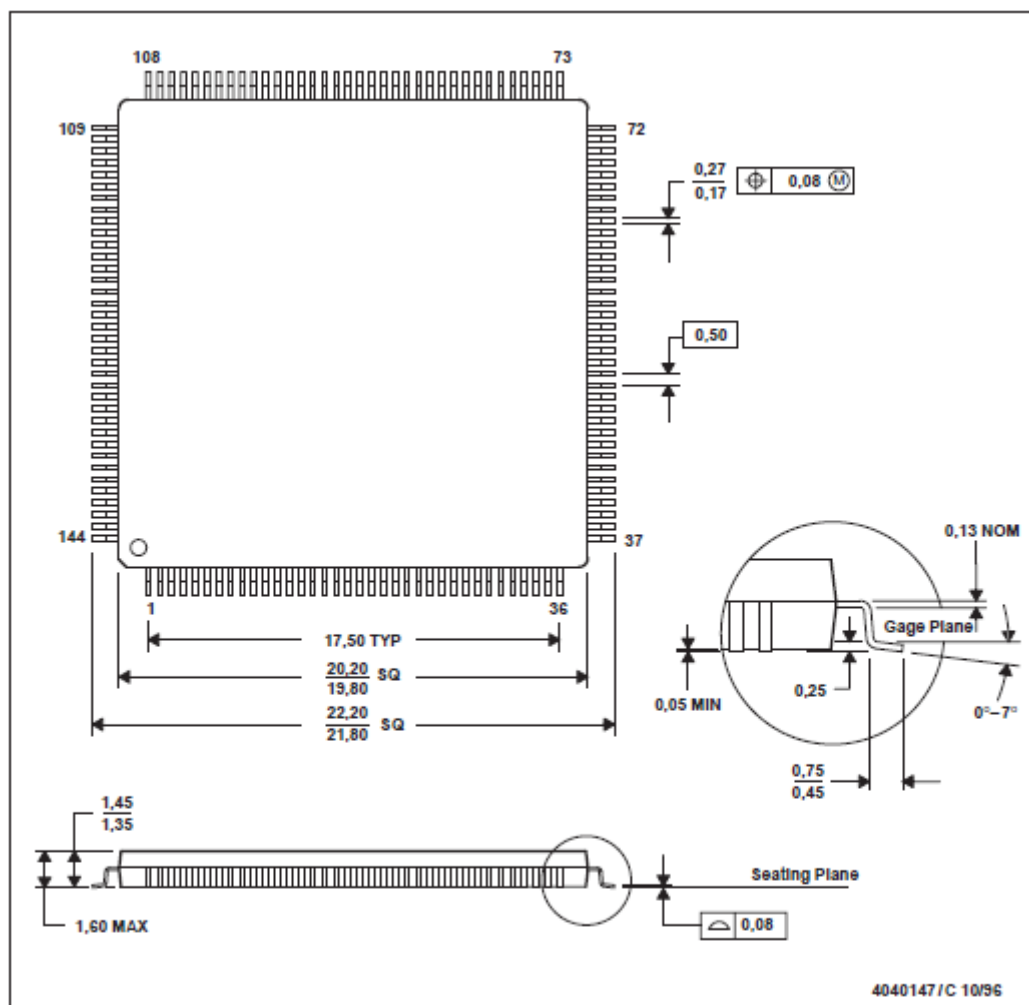
PLASTIC BALL GRID ARRAY



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. This is a Pb-free solder ball design.
  - D. Falls within JEDEC MO-275.

PGE (S-PQFP-G144)

PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Falls within JEDEC MS-026

## TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

\*All dimensions are nominal

| Device             | Package Name | Package Type | Pins | SPQ | Unit array matrix | Max temperature (°C) | L (mm) | W (mm) | K0 (µm) | P1 (mm) | CL (mm) | CW (mm) |
|--------------------|--------------|--------------|------|-----|-------------------|----------------------|--------|--------|---------|---------|---------|---------|
| RM48L952DPGET      | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| RM48L952DPGET.B    | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| RM48L952DZWTT      | ZWT          | NFBGA        | 337  | 90  | 6 X 15            | 150                  | 315    | 135.9  | 7620    | 20      | 17.5    | 15.45   |
| RM48L952DZWTT.B    | ZWT          | NFBGA        | 337  | 90  | 6 X 15            | 150                  | 315    | 135.9  | 7620    | 20      | 17.5    | 15.45   |
| TMS470R1A288PGEA   | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1A288PGEA.A | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1A288PGET   | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1A288PGET.A | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1A288PZ-T   | PZ           | LQFP         | 100  | 90  | 6 x 15            | 150                  | 315    | 135.9  | 7620    | 20.3    | 15.4    | 15.4    |
| TMS470R1A288PZ-T.A | PZ           | LQFP         | 100  | 90  | 6 x 15            | 150                  | 315    | 135.9  | 7620    | 20.3    | 15.4    | 15.4    |
| TMS470R1A384PGET   | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1A384PGET.A | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1B1MPGEA    | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1B1MPGEA.A  | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1B512PGET   | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1B512PGET.A | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |
| TMS470R1B768PGET   | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |

---

| Device             | Package Name | Package Type | Pins | SPQ | Unit array matrix | Max temperature (°C) | L (mm) | W (mm) | K0 (µm) | P1 (mm) | CL (mm) | CW (mm) |
|--------------------|--------------|--------------|------|-----|-------------------|----------------------|--------|--------|---------|---------|---------|---------|
| TMS470R1B768PGET.A | PGE          | LQFP         | 144  | 60  | 5X12              | 150                  | 315    | 135.9  | 7620    | 25.4    | 17.8    | 17.55   |

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月