

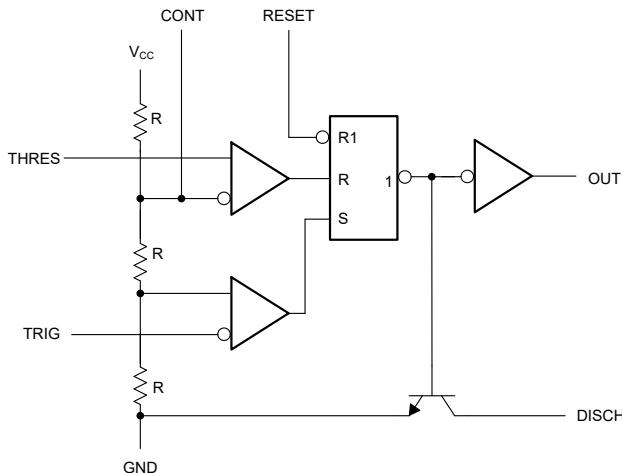
Nx556、Sx556 デュアル高精度タイマ

1 特長

- ・パッケージあたり 2 つの高精度タイミング回路を搭載
- ・非安定または单安定動作
- ・最大 200mA のシンクまたはソースが可能な TTL 互換出力
- ・アクティブ プルアップまたはプルダウン

2 アプリケーション

- ・マイクロ秒単位から時間単位まで測定可能な高精度タイマ
- ・パルス整形回路
- ・ミッシング パルス検出器
- ・パルス幅変調器
- ・パルス位置変調器
- ・シーケンシャル タイマ
- ・パルス ジェネレータ
- ・周波数分周器
- ・アプリケーション タイマ
- ・産業用制御



概略回路図 (各タイマ)

3 概要

Nx556 および Sx556 デバイスは、NA556、NE556、SA556、または SE556 タイプの独立したタイミング回路 2 つを各パッケージに搭載しています。これらの回路は、外付け抵抗コンデンサ (RC) タイミング制御により、非安定または单安定モードで動作します。RC 時定数から得られる基本的なタイミングは、制御電圧入力バイアスを変調することでアクティブ制御されます。

各タイマのトリガ レベルは電源電圧の約 1/3、スレッショルド レベルは電源電圧の約 2/3 です。これらの電圧レベルは、制御電圧ピン (CONT) を使用して変更できます。トリガ入力 (TRIG) がトリガ レベルより低くなると、フリップ フロップがセットされ、出力は High になります。TRIG がトリガ レベルより高く、かつスレッショルド入力 (THRES) がスレッショルド レベルより高くなると、フリップ フロップはリセットされ、出力は Low になります。リセット入力 (RESET) は他のいかなる入力よりも優先され、新しいタイミング サイクルの開始に使用されます。RESET を Low にすると、フリップ フロップはリセットされ、出力は Low になります。出力が Low のときは常に、放電ピン (DISCH) とグランド ピン (GND) との間に低インピーダンス経路が形成されます。誤トリガを防止するため、未使用の入力はすべて、適切なロジック レベルに接続します。

製品情報

部品番号	動作温度範囲	パッケージ (1)
NA556	$T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$	D (SOIC, 14)
		N (PDIP, 14)
NE556	$T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$	D (SOIC, 14)
		DB (SSOP, 14)
		N (PDIP, 14)
		NS (SO, 14)
SA556	$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	N (PDIP, 14)
SE556	$T_A = -55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	J (CDIP, 14)

(1) 詳細については、[セクション 10](#) を参照してください。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.3 機能説明	8
2 アプリケーション	1	6.4 デバイスの機能モード	9
3 概要	1	7 アプリケーションと実装	10
4 ピン構成および機能	2	7.1 アプリケーション情報	10
5 仕様	3	7.2 代表的なアプリケーション	10
5.1 絶対最大定格	3	8 デバイスおよびドキュメントのサポート	13
5.2 ESD 定格	3	8.1 ドキュメントの更新通知を受け取る方法	13
5.3 推奨動作条件	3	8.2 サポート・リソース	13
5.4 熱に関する情報	3	8.3 商標	13
5.5 電気的特性	4	8.4 静電気放電に関する注意事項	13
5.6 スイッチング特性	6	8.5 用語集	13
6 詳細説明	7	9 改訂履歴	13
6.1 概要	7	10 メカニカル、パッケージ、および注文情報	14
6.2 機能ブロック図	7		

4 ピン構成および機能

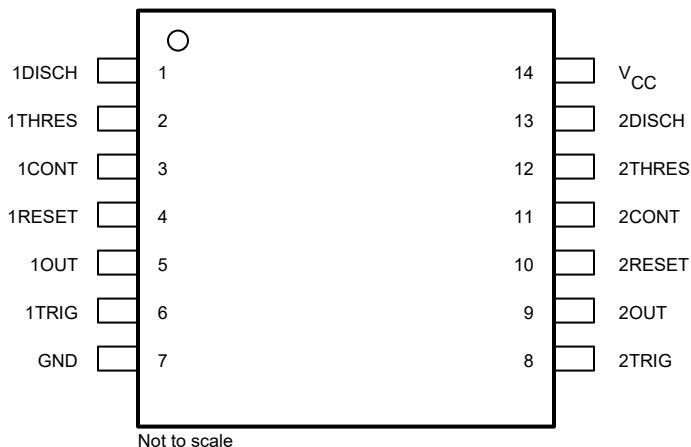


図 4-1. NA556 : D、14 ピン SOIC、N、14 ピン PDIP
 NE556 : D、14 ピン SOIC、DB、14 ピン SSOP、N、14 ピン PDIP、NS、14 ピン SO
 SA556 : N、14 ピン PDIP
 SE556 : J、14 ピン CDIP
 (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
CONT	3, 11	入力	コンパレータのスレッショルドを制御。出力 2/3 V _{CC} により、バイパスコンデンサ接続が可能になります。
DISCH	1, 13	出力	オープンコレクタ出力から放電タイミングコンデンサ。
GND	7	—	グランド。
OUT	5, 9	出力	大電流タイマ出力信号。
リセット	4, 10	入力	アクティブ Low のリセット入力により、出力と放電を Low に強制。
THRES	2, 12	入力	タイミング入力の終了。THRES > CONT は出力と放電を Low に設定します。
TRIG	6, 8	入力	タイミング入力の開始。TRIG < 1/2 CONT により出力が High に設定され、放電がオープンになります。
V _{CC}	14	—	電源電圧。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧 ⁽²⁾		18	V
V _I	入力電圧:CONT、RESET、THRES、TRIG		V _{CC}	V
I _O	出力電流		±225	mA
T _J	動作時の仮想接合部温度		150	°C
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点	J パッケージ、60 秒	300	°C
		D、N、NS パッケージ、10 秒	260	
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランドを基準としたものです。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±500	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

			最小値	最大値	単位
V _{CC}	電源電圧	NA556、NE556、SA556	4.5	16	V
		SE556	4.5	18	
I _O	出力電流			±200	mA
T _A	自由空気での動作温度	NA556	-40	105	°C
		NE556	0	70	
		SA556	-40	85	
		SE556	-55	125	

5.4 热に関する情報

熱評価基準 ⁽¹⁾		NA556、NE556	NE556	SE556	NA556、NE556、SA556	NE556	単位
		D (SOIC)	DB (SSOP)	J (CDIP)	N (PDIP)	NS (SOP)	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	91.4	104.5	86.1	73.4	89.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	51.7	56.3	38.8	51.7	47.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	49.6	64.1	73.5	47.6	52.9	°C/W
Ψ _{JT}	接合部から上面への特性バラメータ	12.3	14.0	32.4	29.5	11.3	°C/W
Ψ _{JB}	接合部から基板への特性バラメータ	49.1	63.3	68.7	47.0	52.3	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	20.1	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

$V_{CC} = 5V \sim 15V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
V_T	スレッショルド電圧レベル	$V_{CC} = 15V$	NA556、NE556、SA556	8.8	10	11.2
			SE556	9.4	10	10.6
		$V_{CC} = 5V$	NA556、NE556、SA556	2.4	3.3	4.2
			SE556	2.7	3.3	4
I_T	スレッショルド電流 ⁽¹⁾			30	250	nA
V_{TRIG}	トリガ電圧レベル	$V_{CC} = 15V$	NA556、NE556、SA556	4.5	5	5.6
			SE556	4.8	5	5.2
		$V_{CC} = 15V, T_A = -55^\circ C \sim +125^\circ C$	SE556	3	6	
		$V_{CC} = 5V$	NA556、NE556、SA556	1.1	1.67	2.2
			SE556	1.45	1.67	1.9
I_{TRIG}	トリガ電流	$V_{TRIG} = 0V$	NA556、NE556、SA556	0.5	2	μA
			SE556	0.5	0.9	
				0.3	0.7	1
V_{RESET}	リセット電圧レベル	$T_A = -55^\circ C \sim +125^\circ C$	SE556		1.1	
				0.1	0.4	
I_{RESET}	リセット電流	$V_{RESET} = V_{CC}$	NA556、NE556、SA556	-0.4	1.5	
			SE556	-0.4	-1	
				0.1	0.4	
I_{DISCH}	放電スイッチ オフ状態電流			20	100	nA
V_{CONT}	制御電圧 (断線)	$V_{CC} = 15V$	NA556、NE556、SA556	9	10	11
			SE556	9.6	10	10.4
		$V_{CC} = 15V, T_A = -55^\circ C \sim +125^\circ C$	SE556	9.6		10.4
		$V_{CC} = 5V$	NA556、NE556、SA556	2.6	3.3	4
			SE556	2.9	3.3	3.8
		$V_{CC} = 5V, T_A = -55^\circ C \sim +125^\circ C$	SE556	2.9		3.8

5.5 電気的特性 (続き)

$V_{CC} = 5V \sim 15V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OL}	Low レベル 出力電圧	$V_{CC} = 15V$ 、 $I_{OL} = 10mA$	NA556, NE556, SA556 SE556	0.1	0.25
			SE556	0.1	0.15
		$V_{CC} = 15V$ 、 $I_{OL} = 10mA$ 、 $T_A = -55^\circ C \sim +125^\circ C$	SE556		0.2
		$V_{CC} = 15V$ 、 $I_{OL} = 50mA$	NA556, NE556, SA556	0.4	0.75
			SE556	0.4	0.5
		$V_{CC} = 15V$ 、 $I_{OL} = 50mA$ 、 $T_A = -55^\circ C \sim +125^\circ C$	SE556		1
		$V_{CC} = 15V$ 、 $I_{OL} = 100mA$	NA556, NE556, SA556	2	2.5
			SE556	2	2.2
		$V_{CC} = 15V$ 、 $I_{OL} = 100mA$ 、 $T_A = -55^\circ C \sim +125^\circ C$	SE556		2.7
		$V_{CC} = 15V$ 、 $I_{OL} = 200mA$		2.5	
		$V_{CC} = 5V$ 、 $I_{OL} = 3.5mA$ 、 $T_A = -55^\circ C \sim +125^\circ C$	SE556		0.35
		$V_{CC} = 5V$ 、 $I_{OL} = 5mA$	NA556, NE556, SA556	0.1	0.25
			SE556	0.1	0.15
		$V_{CC} = 5V$ 、 $I_{OL} = 5mA$ 、 $T_A = -55^\circ C \sim +125^\circ C$	SE556		0.8
		$V_{CC} = 5V$ 、 $I_{OL} = 8mA$	NA556, NE556, SA556	0.15	0.3
			SE556	0.15	0.25
V_{OH}	High レベル 出力電圧	$V_{CC} = 15V$ 、 $I_{OH} = -100mA$	NA556, NE556, SA556	12.75	13.3
			SE556	13	13.3
		$V_{CC} = 15V$ 、 $I_{OH} = -100mA$ 、 $T_A = -55^\circ C \sim +125^\circ C$	SE555	12	
		$V_{CC} = 15V$ 、 $I_{OH} = -200mA$		12.5	
		$V_{CC} = 5V$ 、 $I_{OH} = -100mA$	NA556, NE556, SA556	2.75	3.3
			SE556	3	3.3
		$V_{CC} = 5V$ 、 $I_{OH} = -100mA$ 、 $T_A = -55^\circ C \sim +125^\circ C$	SE555	2	

5.5 電気的特性 (続き)

$V_{CC} = 5V \sim 15V$, $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC}	電源電流	出力 Low、無負荷、 $V_{CC} = 15V$	NA556, NE556, SA556	20	30	mA
			SE556	20	24	
		出力 Low、無負荷、 $V_{CC} = 5V$	NA556, NE556, SA556	6	12	
			SE556	6	10	
		出力 High、無負荷、 $V_{CC} = 15V$	NA556, NE556, SA556	18	26	
			SE556	18	20	
		出力 High、無負荷、 $V_{CC} = 5V$	NA556, NE556, SA556	4	10	
			SE556	4	8	

(1) このパラメータは、図 6-3 の回路のタイミング抵抗 R_A および R_B の最大値に影響します。たとえば、 $V_{CC} = 5V$ の場合、最大値は $R_A + R_B \approx 3.4M\Omega$ です。 $V_{CC} = 15V$ の場合、最大値は $R_A + R_B \approx 10M\Omega$ です。

5.6 スイッチング特性

$V_{CC} = 5V$ および $15V$, $T_A = 25^\circ C$ でのデータ (特に記述のない限り)。特性値は設計と特性評価の一方または両方で規定されるもので、製造試験によるものではありません。

パラメータ		テスト条件 ⁽¹⁾	最小値	標準値	最大値	単位
タイミング間隔の温度係数	タイミング間隔の電源電圧感度	各タイマ、モノステーブル ⁽²⁾ 、 $T_A = \text{最小値} \sim \text{最大値}$	NA556, NE556, SA556	50		ppm/°C
			SE556	30	100	
		各タイマ、非安定 ⁽³⁾ 、 $T_A = \text{最小値} \sim \text{最大値}$	NA556, NE556, SA556	150		
			SE556	90		
		タイミング 1 – タイミング 2, $T_A = \text{最小値} \sim \text{最大値}$			±10	
		各タイマ、モノステーブル ⁽²⁾	NA556, NE556, SA556	0.1	0.5	
			SE556	0.05	0.2	
		各タイマ、非安定 ⁽³⁾	NA556, NE556, SA556	0.3		
			SE556	0.15		
t_r	出力パルスの立ち上がり時間	$C_L = 15pF, T_A = 25^\circ C, 20\% \sim 80\%$	NA556, NE556, SA556	100	300	ns
			SE556	100	200	
t_f	出力パルスの立ち下がり時間	$C_L = 15pF, T_A = 25^\circ C, 80\% \sim 20\%$	NA556, NE556, SA556	100	300	ns
			SE556	100	200	

(1) 最小値または最大値として示されている条件については、「推奨動作条件」で指定されている適切な値を使用します。

(2) 指定された値は、図 6-2 と同様のモノステーブル回路のデバイスのものであり、次の成分値を使用します。 $R_A = 2k\Omega \sim 100k\Omega$, $C_T = 0.1\mu F$ 。

(3) 指定された値は、図 6-3 と同様の非安定回路のデバイスのものであり、次の成分値を使用します。 $R_A = 1k\Omega \sim 100k\Omega$, $C_T = 0.1\mu F$ 。

6 詳細説明

6.1 概要

Nx556 や Sx556 は、汎用タイミング アプリケーションに使用される高精度のタイミング デバイスです。時間遅延 (モノステーブル) 動作モードでは、時間間隔は 1 つの外付け抵抗およびコンデンサの回路網によって制御されます。非安定動作モードでは、周波数とデューティ サイクルは 2 つの外付け抵抗と 1 つの外付けコンデンサで独立して制御できます。RESET は TRIG をオーバーライドし、それにより THRES をオーバーライドします (CONT ピンが $2/3 V_{CC}$ のとき)。

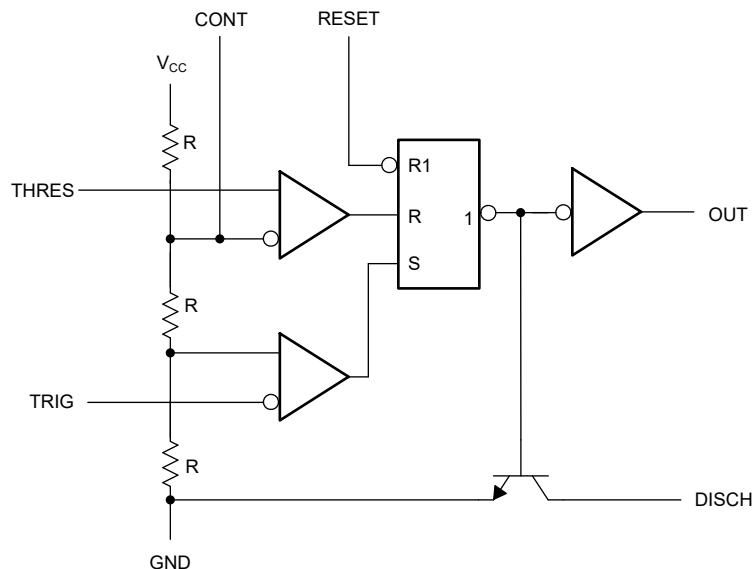
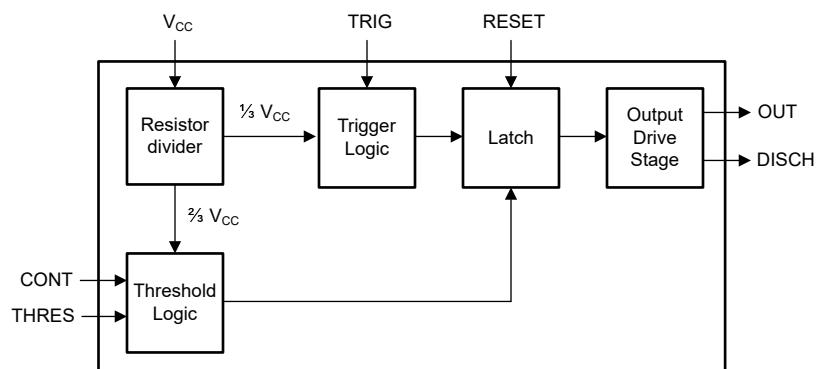


図 6-1. 概略回路図

6.2 機能プロック図



6.3 機能説明

6.3.1 モノステーブル動作

モノステーブル動作で、いずれかのタイマを接続する方法を **図 6-2** に示します。出力が **Low** の場合、負方向のパルスをトリガ (TRIG) に印加すると、内部ラッチが設定されます。出力が **High** になると、放電ピン (DISCH) がオープンドレインになります。 C_T コンデンサは、コンデンサの両端の電圧がスレッショルド (THRES) 入力のスレッショルド電圧に達するまで、 R_A 経由で充電されます。TRIG が **High** レベルに戻った場合、スレッショルド コンパレータの出力が内部ラッチをリセットします。出力が **Low** になると、放電ピンが **Low** になり、 C_T コンデンサが迅速に放電されます。

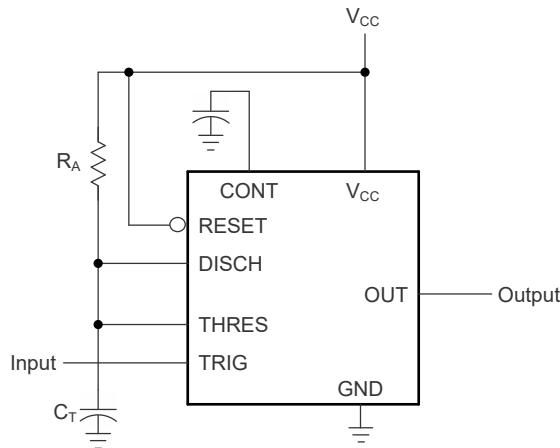


図 6-2. モノステーブル動作回路

TRIG 電圧がトリガ スレッショルドを下回ると、モノステーブル動作が開始します。開始すると、タイミング インターバルの終了前に少なくとも にわたって TRIG が $10\mu s$ 以上 **High** である場合にのみ、シーケンスは終了します。トリガがグランドに接続されたとき、コンパレータの保存時間は $10\mu s$ にまで延ばすことができ、これにより $10\mu s$ に対する最小モノステーブル パルス幅が制限されます。出力パルス幅は、約 $t_w = 1.1 \times R_A C_T$ です。スレッショルド レベルと充電速度は、どちらも電源電圧 V_{CC} に正比例します。そのため、時間間隔中に電源電圧が一定である限り、タイミング間隔は電源電圧に依存しません。モノステーブル アプリケーションでは、CONT に印加される電圧によってトリガ入力のトリップ ポイントを設定します。

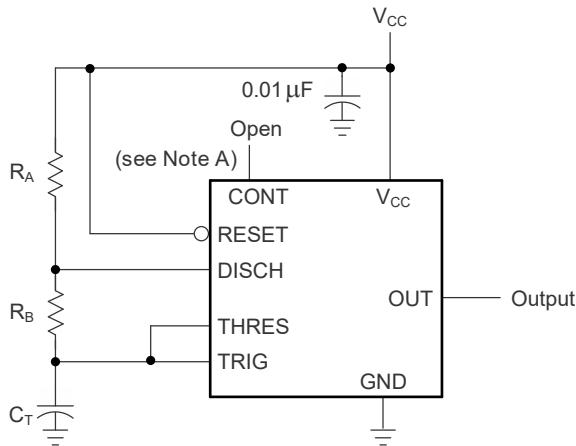
タイミング インターバルの間に、RESET と TRIG に同時に負方向のトリガ パルスを印加すると、 C_T コンデンサが放電し、サイクルが再開され、リセット パルスの正のエッジから始まります。リセット パルスが **Low** である間、出力は **Low** に保持されます。誤トリガを防ぐため、RESET が **Low** にアサートされていない場合は、RESET を V_{CC} に接続します。リセット機能が必要で、ピンが外部ロジックまたはマイクロコントローラによって駆動される場合は、リセット ピンがフローティングにならないように、 V_{CC} にプルアップ抵抗 ($10k\Omega$ など) を使用してください。リセット機能が必要ない場合は、リセット ピンを直接 V_{CC} ピンに短絡します。

6.3.2 非安定動作

図 6-3 に示すように、2 番目の抵抗 (R_B) を **図 6-2** の回路に追加し、トリガ入力をスレッショルド入力に接続すると、タイマがセルフトリガしてマルチバイブルエッジとして動作します。 C_T コンデンサは R_A および R_B 経由で充電され、 R_B 経由でのみ放電されます。したがって、デューティ サイクルは R_A と R_B の値によって制御されます。

この非安定接続により、 C_T コンデンサはスレッショルド電圧レベル

($\approx 0.67 \times V_{CC}$) とトリガ電圧レベル ($\approx 0.33 \times V_{CC}$) の間で充電および放電されます。モノステーブル回路と同様に、充電時間と放電時間 (すなわち、周波数とデューティ サイクル) は電源電圧に依存しません。歪みを低減するには、最大周波数の $100kHz$ 以下で使用してください。より高い周波数での動作が必要な場合は、代わりに **TLC556 LinCMOS™** タイマの使用を検討してください。



CONT 電圧をコンデンサでグランドにデカップリングすることで、動作を向上できます。アプリケーションに応じて再評価してください。

図 6-3. 非安定動作回路

$$t_H \cong 0.693 \times (R_A + R_B) \times C_T \quad (1)$$

$$t_L \cong 0.693 \times R_B \times C_T \quad (2)$$

周期、周波数、ドライバ基準および波形基準のデューティサイクルに関して、その他の有用な関係を以下に示します。

$$T = t_H + t_L \cong 0.693 \times (R_A + 2R_B) \times C_T \quad (3)$$

$$f = \frac{1}{T} \cong \frac{1.44}{(R_A + 2R_B) \times C_T} \quad (4)$$

$$\text{Output driver duty cycle} = \frac{t_L}{T} \cong \frac{R_B}{R_A + 2R_B} \quad (5)$$

$$\text{Output waveform duty cycle} = \frac{t_H}{T} \cong 1 - \frac{R_B}{R_A + 2R_B} = \frac{R_A + R_B}{R_A + 2R_B} \quad (6)$$

6.4 デバイスの機能モード

表 6-1 はデバイスの真理値表を示します。有効なリセット電圧条件を得るには、外付けプルアップ抵抗を V_{CC} に接続するか (リセット機能を使用する場合)、リセットピンを直接 V_{CC} に短絡します (RESET 機能を使用しない場合)。

表 6-1. 機能表

リセット電圧 ⁽¹⁾	トリガ電圧 ⁽¹⁾	スレッショルド電圧 ⁽¹⁾	出力	放電スイッチ
Low	影響なし	影響なし	Low	オン
> 最大値	< 1/3 × V _{CC}	影響なし ⁽²⁾	High	オフ
> 最大値	> 1/3 × V _{CC}	> 2/3 × V _{CC}	Low	オン
> 最大値	> 1/3 × V _{CC}	< 2/3 × V _{CC}		既に確かめたとおり

(1) 表記の電圧レベルは公称値です。

(2) CONT ピンがオープンまたは 2/3 × V_{CC}。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

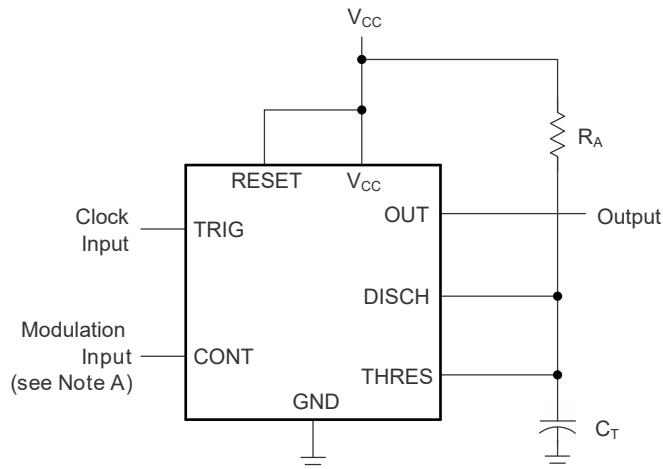
7.1 アプリケーション情報

Nx556 および Sx556 タイマ デバイスは、抵抗とコンデンサの充電遅延を使用して、時間遅延または動作周波数をプログラムできます。次のセクションでは、設計手順について簡単に説明します。リセット モードでは、出力と放電が強制的に Low になり、消費電流をわずかに低減できます。

7.2 代表的なアプリケーション

7.2.1 パルス幅変調

タイマ動作を変更するには、外部電圧 (または電流) を **CONT** に印可し、内部スレッショルドとトリガ電圧を変調します。図 7-1 に、パルス幅変調の回路を示します。連続入力パルストレインによってモノステーブル回路がトリガされ、制御信号によってスレッショルド電圧が変調されます。図 7-2 に、結果として得られるデューティサイクルと制御電圧の伝達関数との関係を示します。10% のデューティサイクルで動作させようとすると、出力パルスが一貫しない可能性があります。100% に近いデューティサイクルを試みると、2、3、4 の周波数分周になります。



- A. 変調信号は、**CONT** に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

図 7-1. パルス幅変調回路

7.2.1.1 設計要件

クロック入力の V_{OL} および V_{OH} レベルは、それぞれ $1/3 V_{CC}$ を下回る値と上回る値にする必要があります。クロック入力 V_{OL} 時間は最小出力 High 時間よりも短い必要があります。したがって、High (正) デューティサイクルクロックが推奨されます。推奨される最小変調電圧は 1V です。**CONT** 電圧が低いと、スレッショルドコンパレータの伝搬遅延と保存時間が大幅に増加する可能性があります。このアプリケーションは、非線形の伝達関数を許容する必要があります。コンデンサの電荷は、負の指数曲線の RC をベースとしているため、変調入力とパルス幅との関係は線形ではありません。

7.2.1.2 詳細な設計手順

$R_A \times C_T$ がクロック入力周期と同じかそれ以下になるよう、 R_A と C_T を選択します。図 7-2 に、制御電圧と出力デューティサイクルの非線形関係を示します。デューティサイクルは、RC 時定数に対する制御電圧およびクロック周期の関数です。

7.2.1.3 アプリケーション曲線

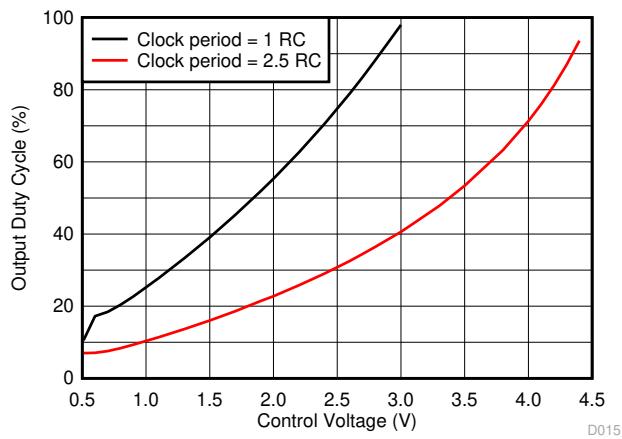
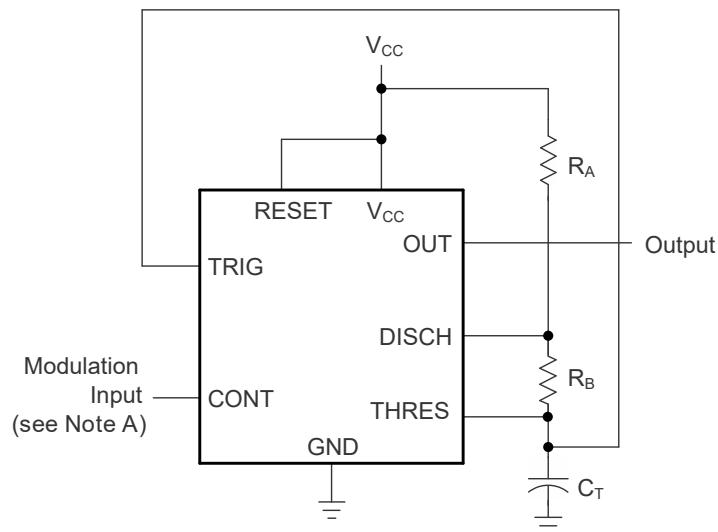


図 7-2. パルス幅変調と制御電圧との関係
クロック デューティ サイクル 98%、 $V_{CC} = 5V$

7.2.2 パルス位置変調

図 7-3 に示すように、これらのタイマはいずれもパルス位置変調器として使用できます。このアプリケーションでは、スレッショルド電圧を変調することで、フリーランニング発振器の時間遅延を変調します。図 7-4 および 図 7-5 は、出力周波数およびデューティサイクルと制御電圧との関係を示します。



- A. 変調信号は、CONT に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

図 7-3. パルス位置変調回路

7.2.2.1 設計要件

DC 結合変調入力と AC 結合変調入力のどちらも、タイミングコンデンサの電圧上限スレッショルドと電圧下限スレッショルドを変更します。周波数とデューティサイクルはどちらも変調電圧によって変化します。制御電圧が 1V 未満の場合、定常出力パルスストリームではなく出力グリッチが発生する可能性があります。表 7-1 に、設計要件の例を示します。

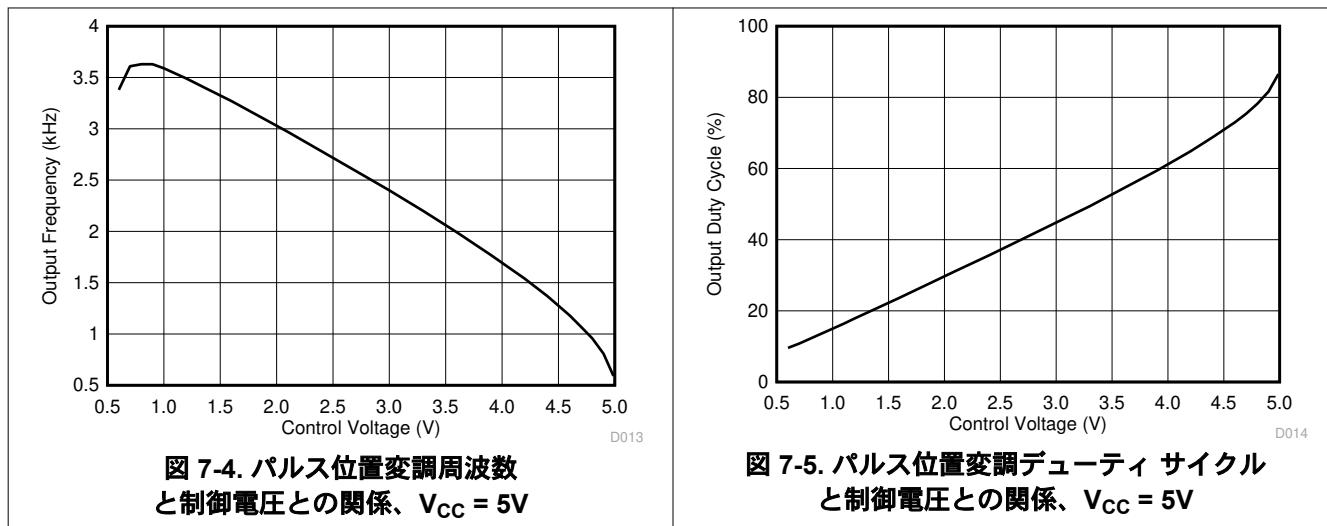
表 7-1. 設計パラメータ

設計パラメータ	数値の例
R_A	3k Ω
R_B	309 Ω
C_T	1nF

7.2.2.2 詳細な設計手順

V_{CC} の 2/3 に設定された制御電圧の公称出力周波数とデューティサイクルは、セクション 6.3.2 の式を使用して決定できます。

7.2.2.3 アプリケーション曲線



8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (December 2024) to Revision I (March 2025)	Page
各デバイスの正しい温度範囲を示すように「製品情報」表を更新.....	1
DB パッケージの熱パラメータを「熱に関する情報」に追加.....	3
「モノステーブル動作」で、最小モノステーブル パルス幅を 1 μ s から 10 μ s に変更 (誤字修正).....	8

Changes from Revision G (June 2006) to Revision H (December 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「ピン構成および機能」、「仕様」、「詳細説明」、「アプリケーションと実装」、「デバイスおよびドキュメントのサポート」の各セクション、および関連するサブセクションを追加.....	1
「概要」、「アプリケーション」、「特長」の各セクションを更新.....	1
データシートに DB パッケージを追加.....	1
「絶対最大定格」から、パッケージの熱に関する情報と関連する脚注を削除.....	3
「ESD 定格」表と、HBM と CDM の仕様を追加.....	3
「推奨動作条件」の冗長入力電圧 (V_I) の仕様を削除.....	3
「消費電力定格」表を「熱に関する情報」に変更し、パッケージごとの熱仕様を更新.....	3

- ・「動作特性」表のタイトルを「スイッチング特性」に変更し、値は設計または特性によって決定されるもので、製造試験によるものではないことを明確化..... 6
- ・「スイッチング特性」のタイミング間隔仕様の初期誤差を削除し、出力の立ち上がり / 立ち下がり時間がそれぞれ 20% ~ 80%、80% ~ 20%であることを明確化..... 6

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
JM38510/10902BCA	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /10902BCA
JM38510/10902BCA.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /10902BCA
NA556D	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 105	NA556
NA556DR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	NA556
NA556DR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	NA556
NA556N	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA556N
NA556N.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA556N
NE556D	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	0 to 70	NE556
NE556DBR	Active	Production	SSOP (DB) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N556
NE556DBR.A	Active	Production	SSOP (DB) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N556
NE556DR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE556
NE556DR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE556
NE556N	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE556N
NE556N.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE556N
NE556NSR	Active	Production	SOP (NS) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE556
NE556NSR.A	Active	Production	SOP (NS) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE556
SA556N	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA556N
SA556N.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA556N
SE556J	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE556J
SE556J.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE556J
SE556JB	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE556JB
SE556JB.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE556JB

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

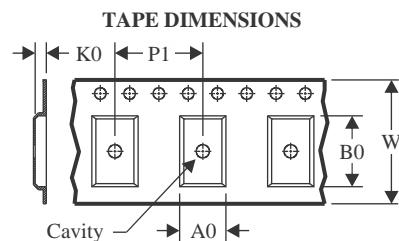
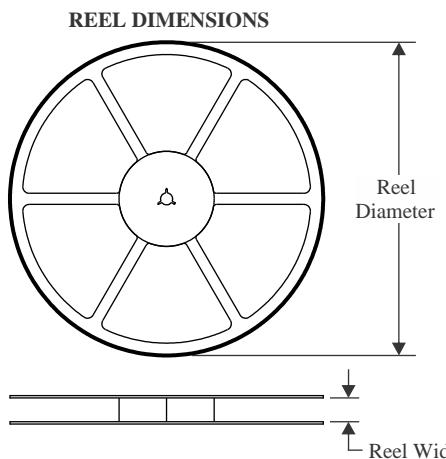
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

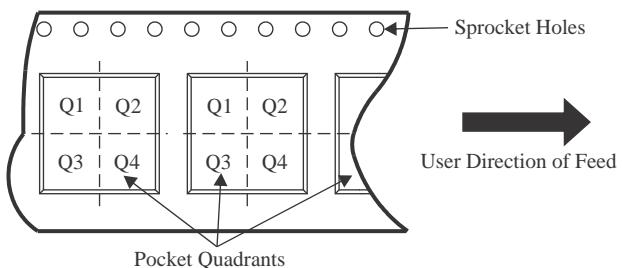
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

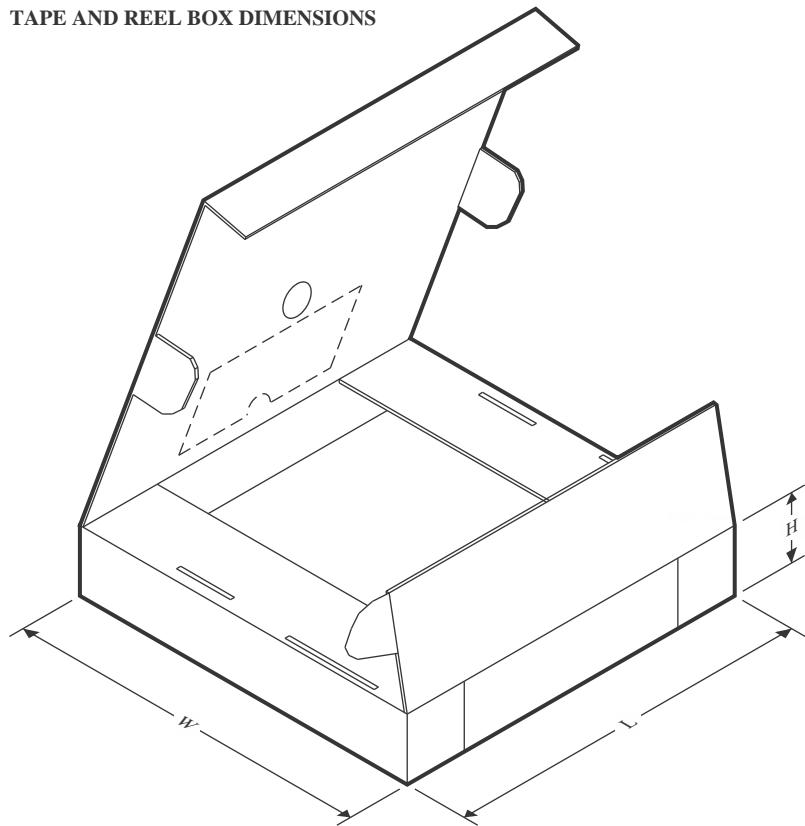
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


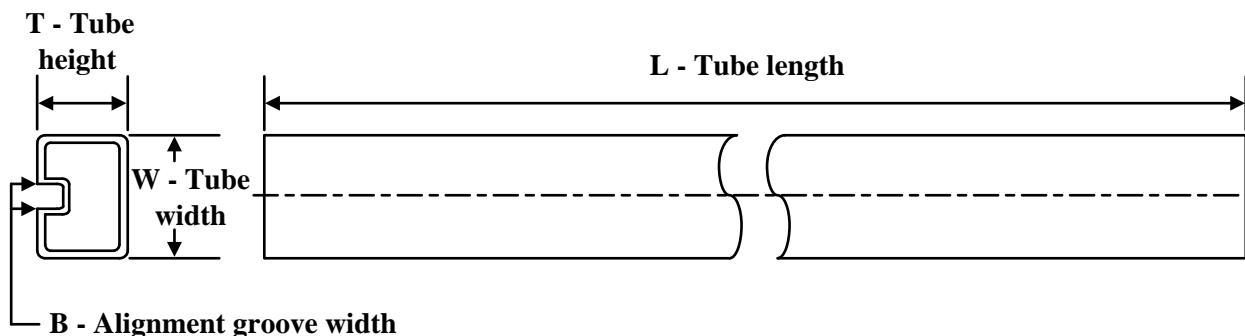
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
NA556DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
NE556DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
NE556DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
NE556DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
NE556NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
NA556DR	SOIC	D	14	2500	353.0	353.0	32.0
NE556DBR	SSOP	DB	14	2000	353.0	353.0	32.0
NE556DR	SOIC	D	14	2500	353.0	353.0	32.0
NE556DR	SOIC	D	14	2500	353.0	353.0	32.0
NE556NSR	SOP	NS	14	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

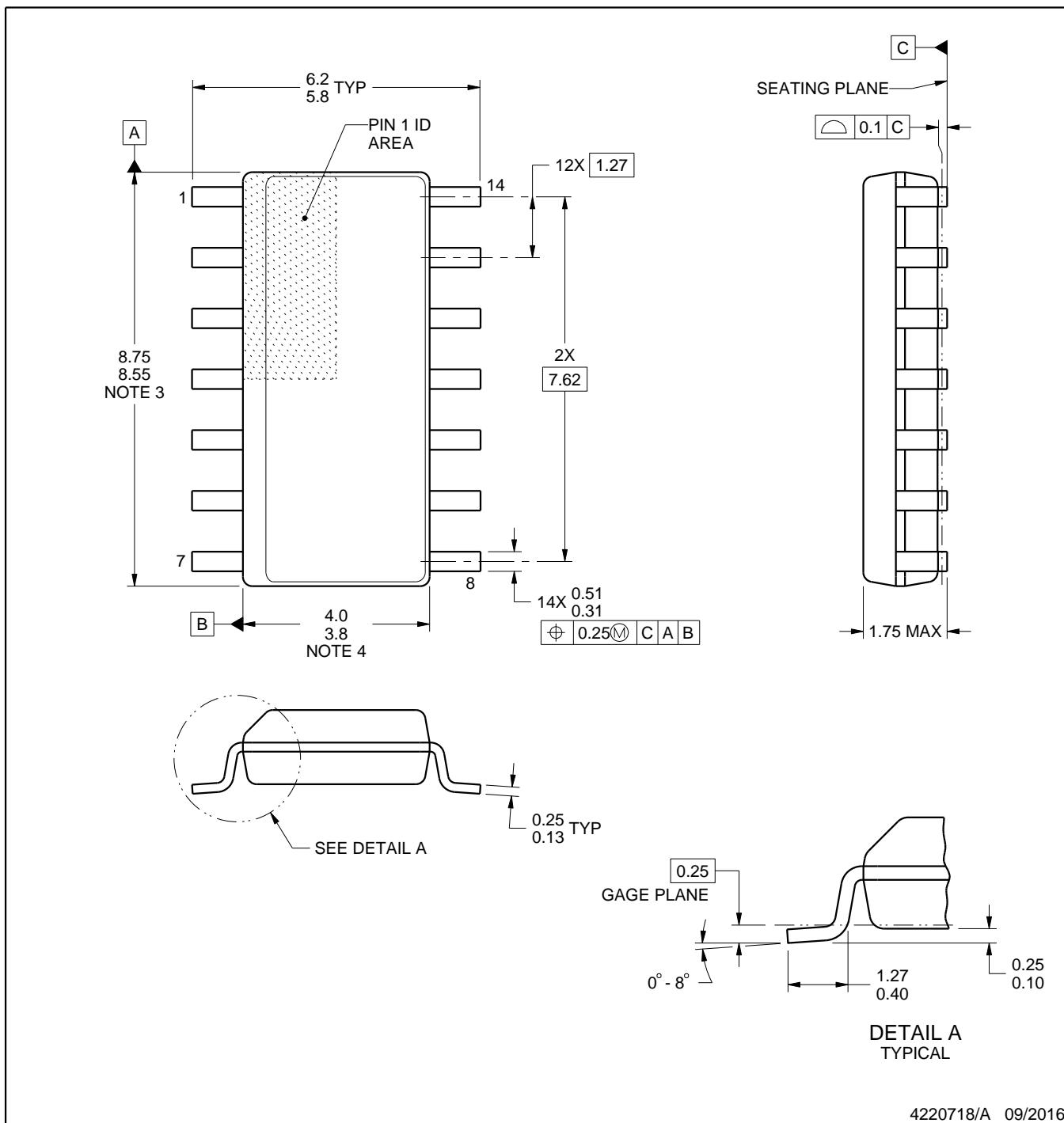
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
NA556N	N	PDIP	14	25	506	13.97	11230	4.32
NA556N	N	PDIP	14	25	506	13.97	11230	4.32
NA556N.A	N	PDIP	14	25	506	13.97	11230	4.32
NA556N.A	N	PDIP	14	25	506	13.97	11230	4.32
NE556N	N	PDIP	14	25	506	13.97	11230	4.32
NE556N	N	PDIP	14	25	506	13.97	11230	4.32
NE556N.A	N	PDIP	14	25	506	13.97	11230	4.32
NE556N.A	N	PDIP	14	25	506	13.97	11230	4.32
SA556N	N	PDIP	14	25	506	13.97	11230	4.32
SA556N.A	N	PDIP	14	25	506	13.97	11230	4.32

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

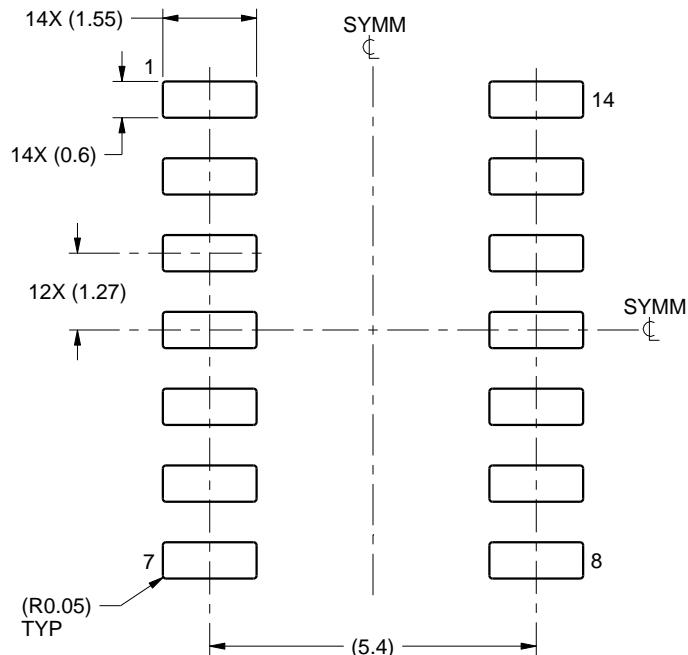
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

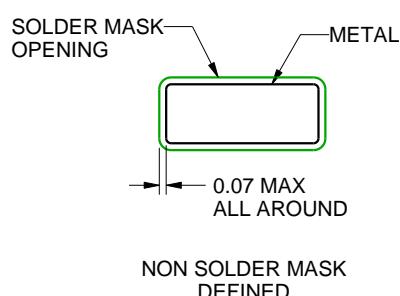
D0014A

SOIC - 1.75 mm max height

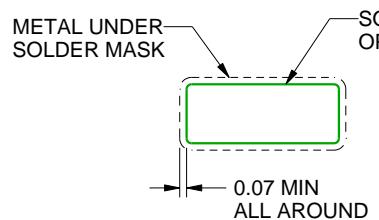
SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



NON SOLDER MASK
DEFINED



SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

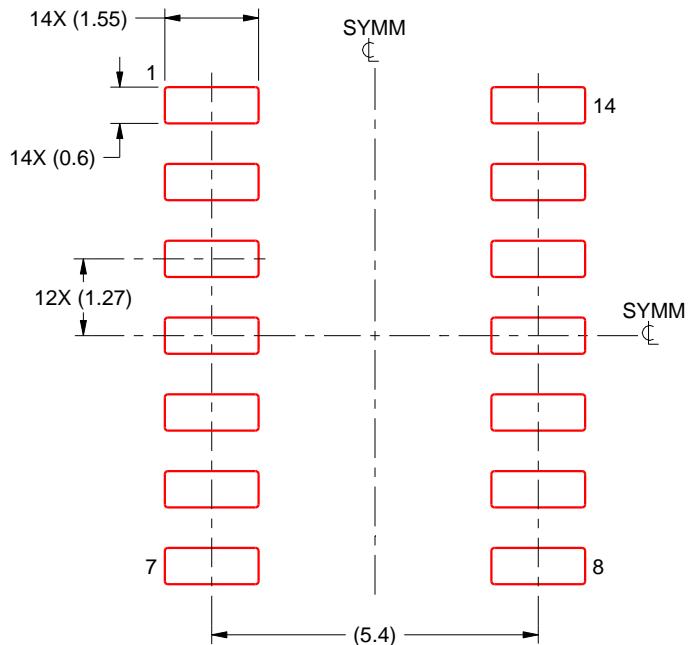
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

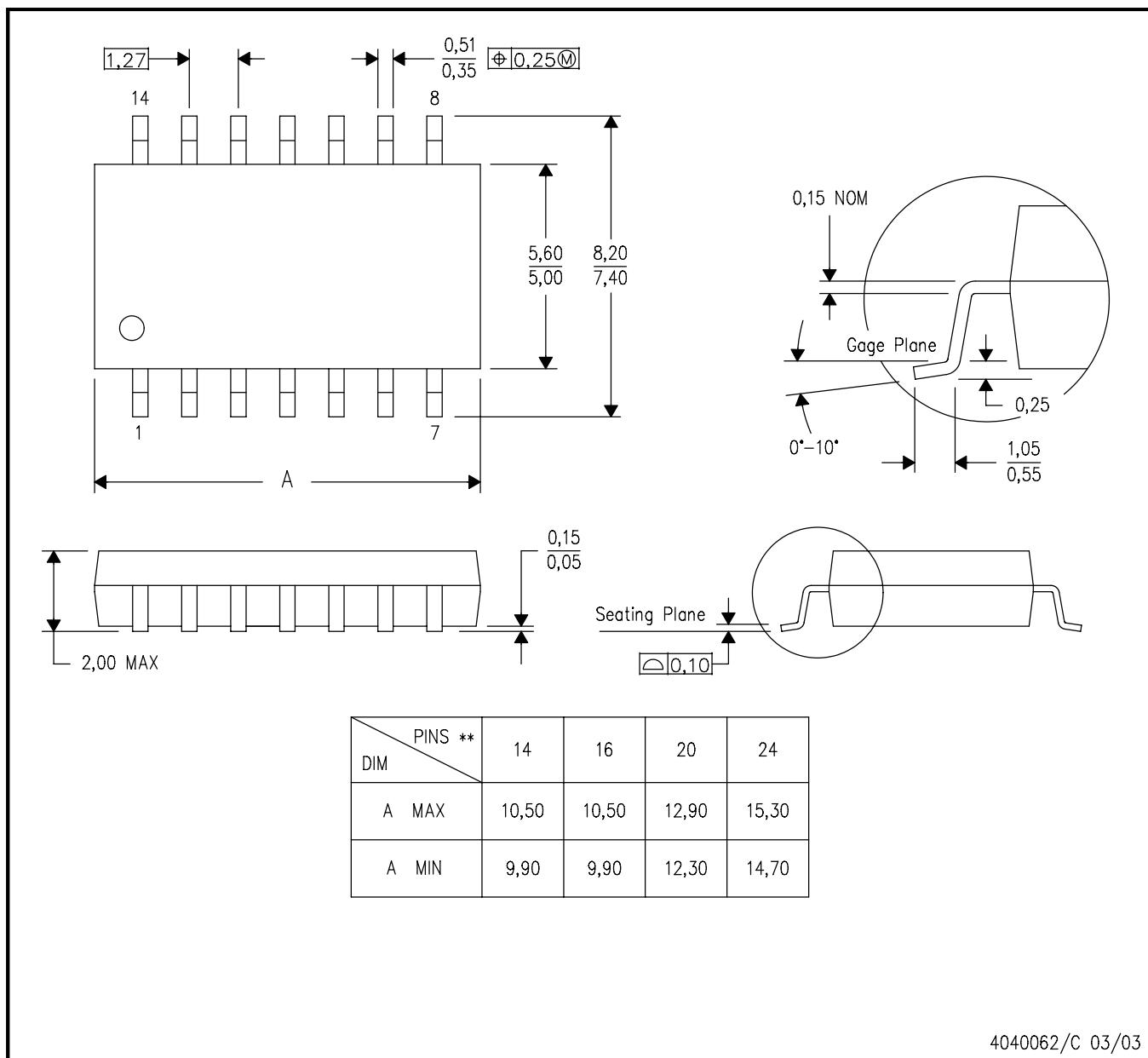
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

14-PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



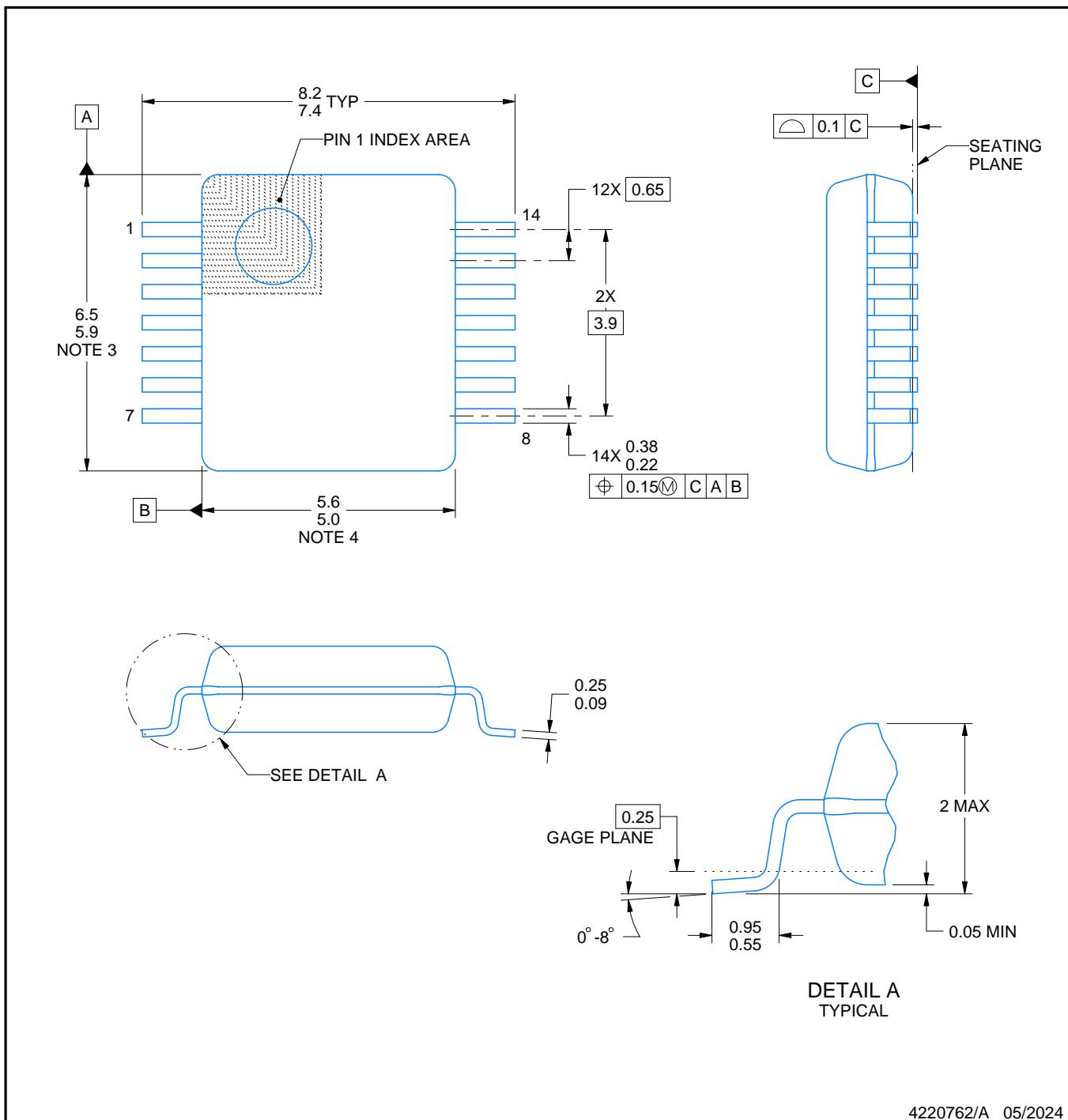
4040062/C 03/03

- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

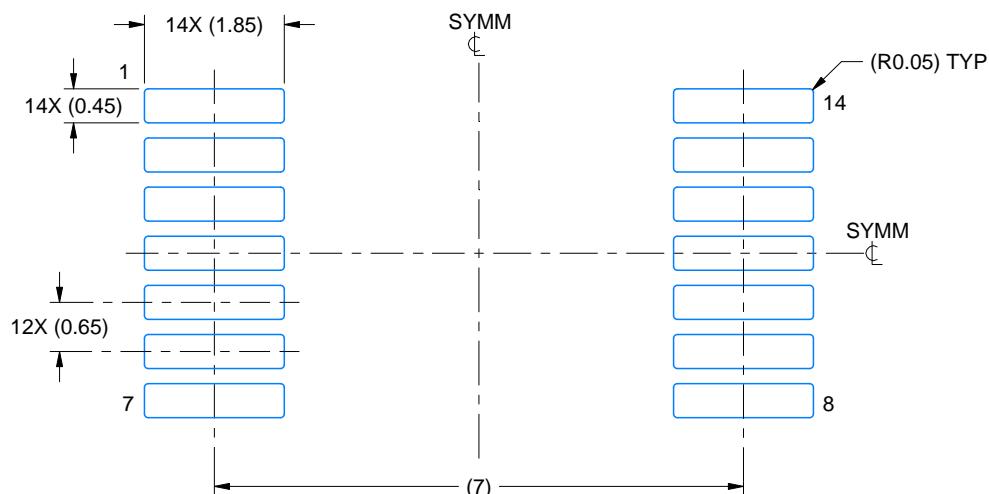
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

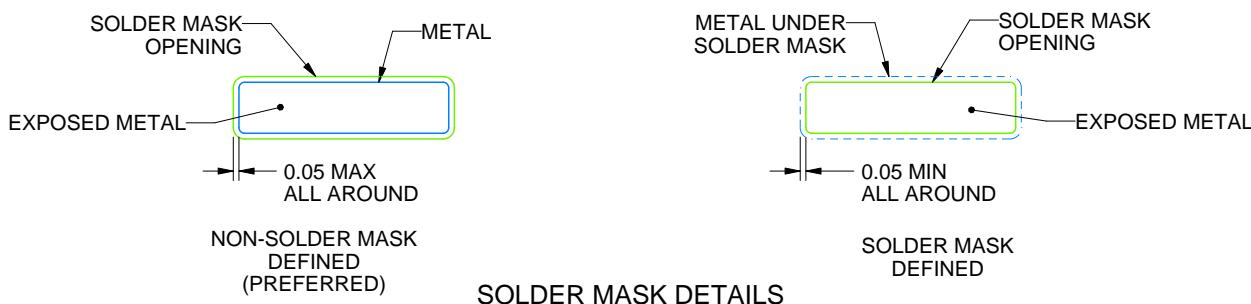
DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

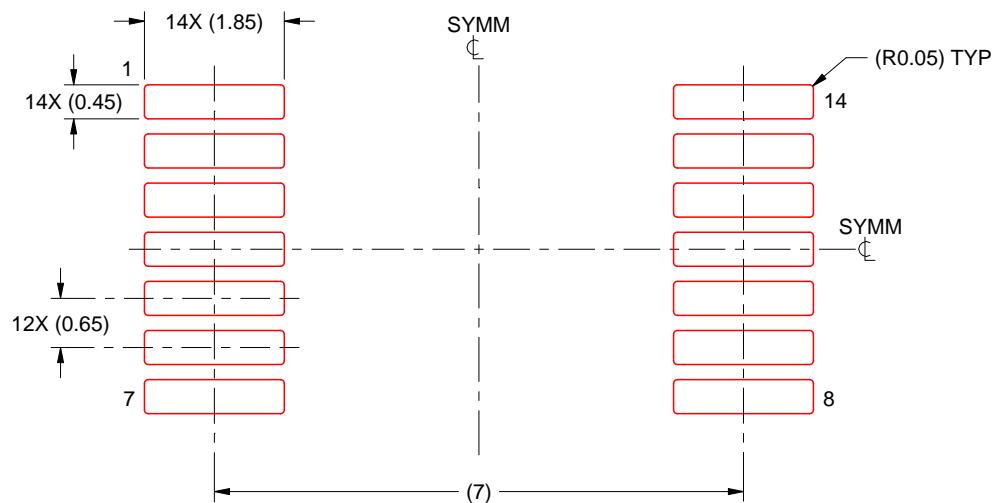
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

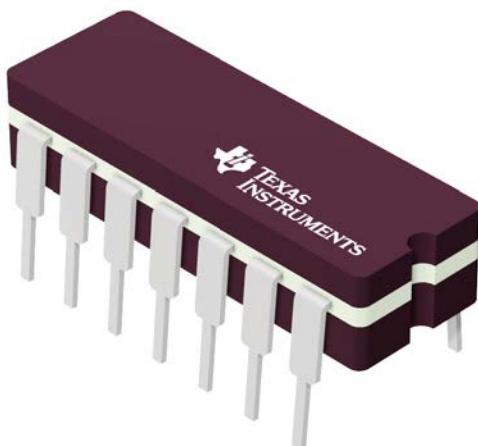
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

J 14

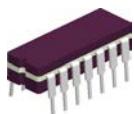
CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

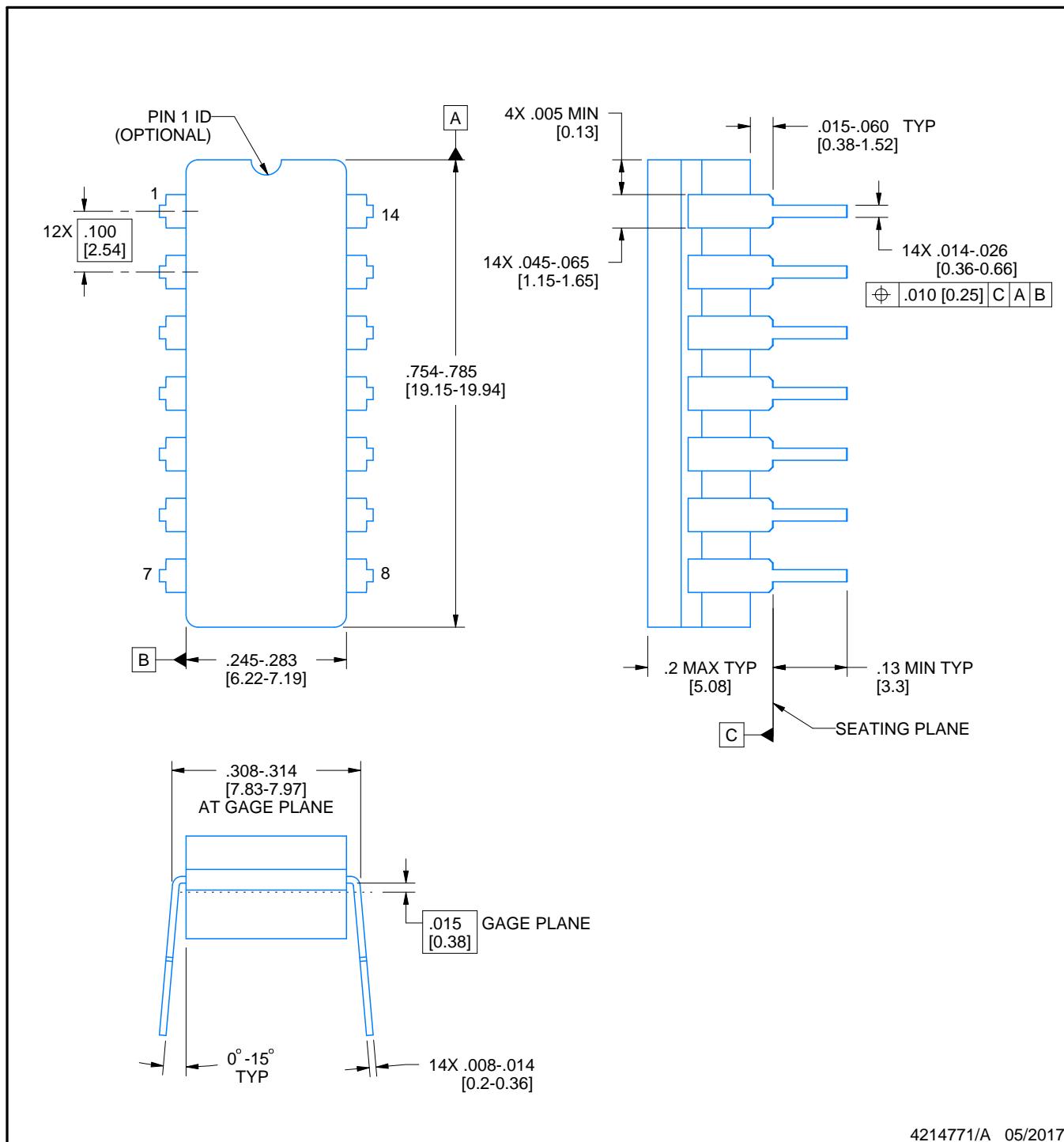


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

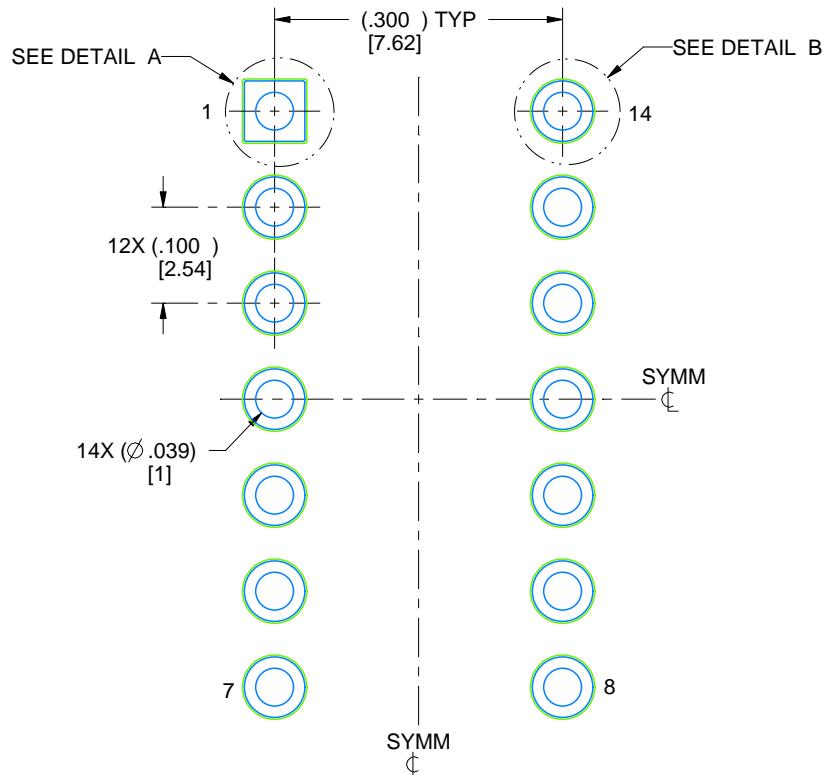
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

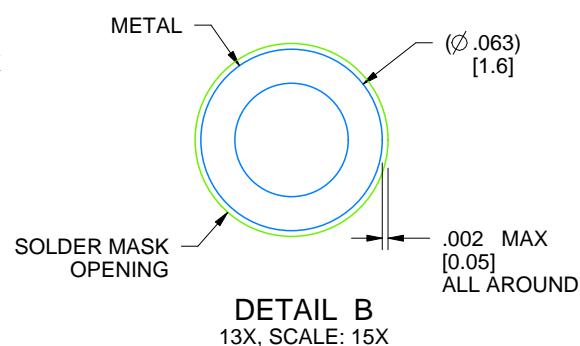
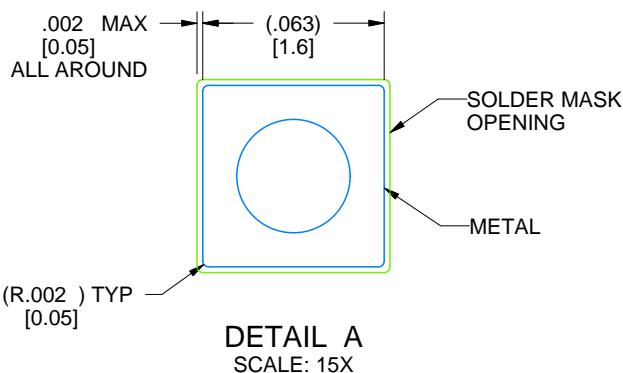
J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X

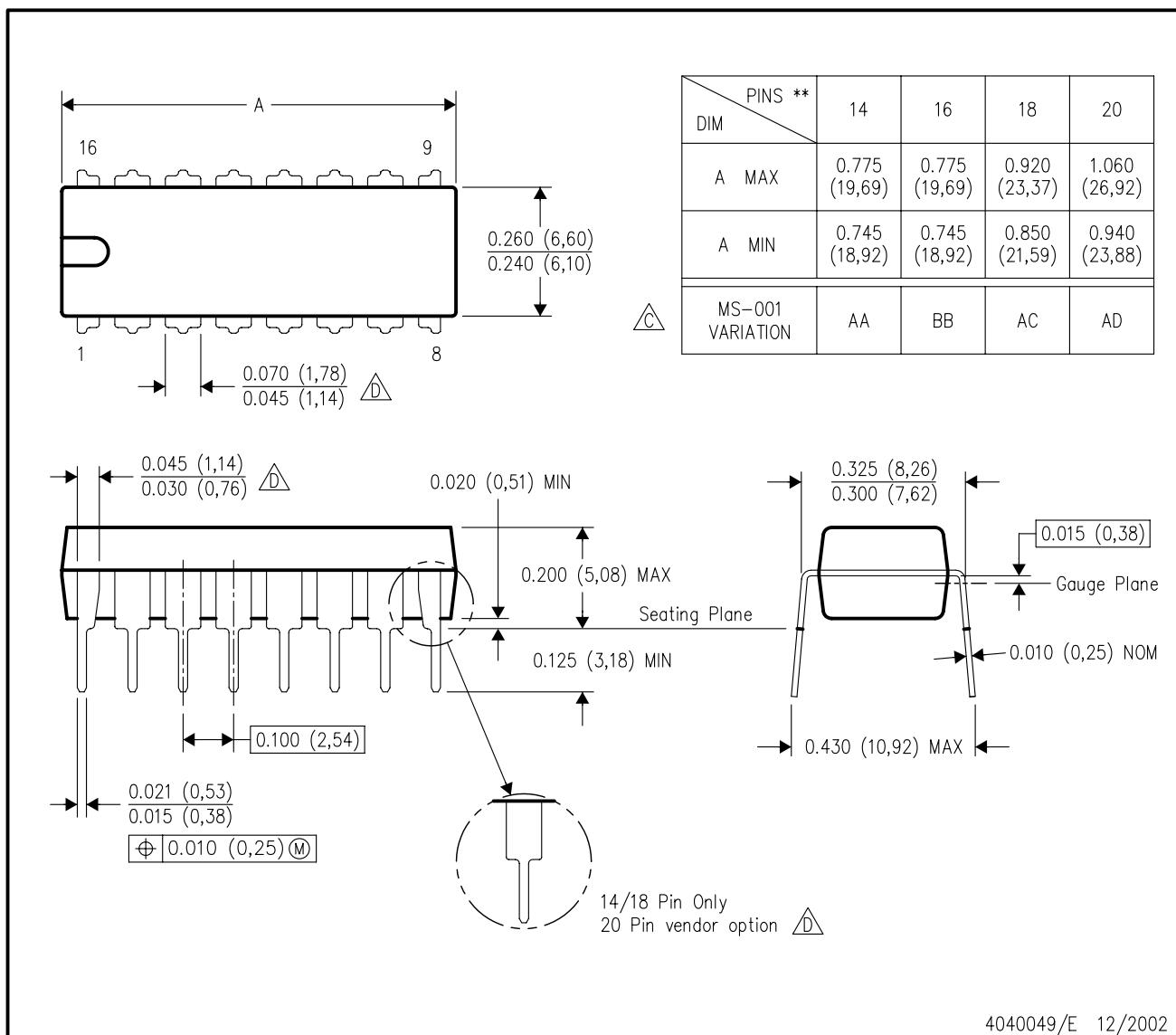


4214771/A 05/2017

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月