

SN65HVD3x-EP 3.3V 全二重 RS-485 ドライバおよびレシーバ

1 特長

- 1/8 ユニット負荷オプションが使用可能 (バス上に最大 256 ノード)
- 15kV HBM を超えるバス ピンの ESD 保護
- オプションの信号速度に対するドライバ出力の遷移時間¹(例: 1Mbps、5Mbps、25Mbps)
- 低消費電力のスタンバイ モード: <1μA
- 電源オンおよび電源オフ時のグリッチ フリー保護によりホットプラグ アプリケーションに対応
- 5V 許容の入力
- バス アイドル、開路、短絡のフェイルセーフ
- ドライバ電流制限および過熱保護
- ANSI TIA/EIA-485-A および RS-422 の要件を満たす、または超える

2 アプリケーション

- ユーティリティ メーター
- DTE と DCE の各インターフェイス
- 産業用、プロセス、およびビル オートメーション
- POS 端末とネットワーク
- 管理されたベースライン
- 単一のアセンブリ / テスト施設
- 単一の製造施設
- 軍用温度範囲 (-55°C ~ 125°C) を供給可能
- 長期にわたる製品ライフ サイクル
- 製品変更通知期間の延長
- 製品のトレーサビリティ

3 説明

SN65HVD3x-EP デバイスは、3V 電源で動作する 3 ステート差動ライン ドライバおよび差動入力ライン レシーバです。

各ドライバおよびレシーバは、全二重バス通信設計用に、独立した入力ピンおよび出力ピンを備えています。これらのデバイスは、平衡伝送ラインと、ANSI TIA/EIA-485A、TIA/EIA-422-B、ITU-T v.11、ISO 8482:1993 標準に準拠したデバイスとの相互運用を目的として設計されています。

SN65HVD30 は外部のイネーブル ピンを必要とせず、常に有効な状態で動作します。

SN65HVD33 は、アクティブ High のドライバ イネーブルと、アクティブ Low のレシーバ イネーブルを備えています。ドライバとレシーバの両方をディセーブルにすると、1μA 未満の低いスタンバイ電流が得られます。

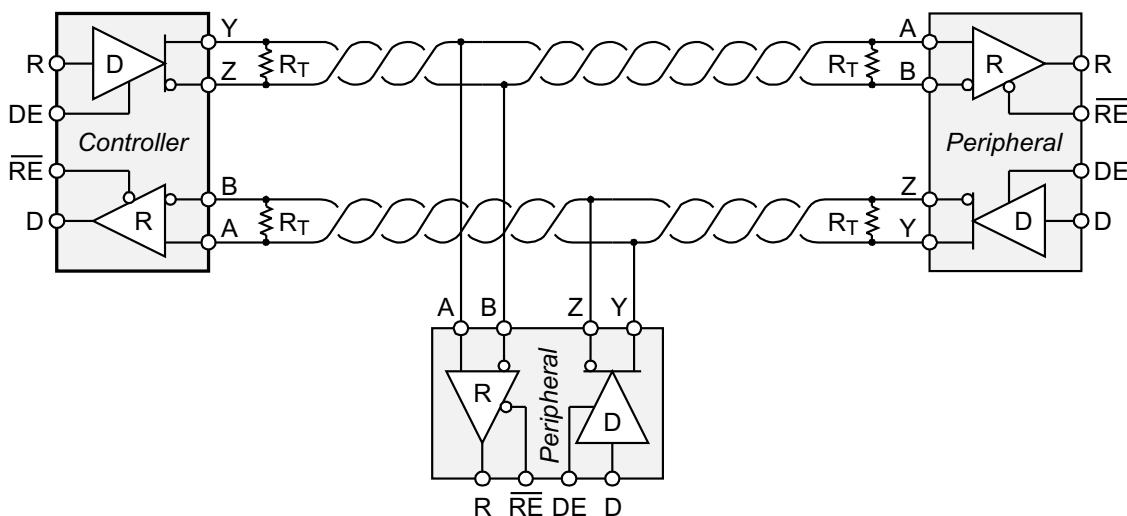
これらのデバイスはすべて、-55°C ~ 125°Cでの動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
SN65HVD3x-EP	SOIC (8)	4.9 mm × 6mm
	SOIC (14)	8.65 mm × 6mm

(1) 詳細については、[セクション 12](#) を参照してください。

(2) パッケージ サイズ(長さ × 幅)は公称値であり、該当する場合、これにはピンも含まれます。



代表的なアプリケーション回路図

¹ インの信号レートとは、1 秒あたりの電圧遷移回数を bps (ビット/秒) 単位で表したものです。



目次

1 特長.....	1	8.1 概要.....	14
2 アプリケーション.....	1	8.2 機能ブロック図.....	14
3 説明.....	1	8.3 機能説明.....	14
4 デバイスの比較.....	2	8.4 デバイスの機能モード.....	18
5 ピン構成および機能.....	3	9 アプリケーションと実装.....	20
6 仕様.....	4	9.1 アプリケーション情報.....	20
6.1 絶対最大定格.....	4	9.2 代表的なアプリケーション.....	20
6.2 ESD 定格.....	4	9.3 電源に関する推奨事項.....	24
6.3 推奨動作条件.....	5	9.4 レイアウト.....	24
6.4 熱に関する情報.....	5	10 デバイスおよびドキュメントのサポート.....	25
6.5 損失定格.....	5	10.1 サード・パーティ製品に関する免責事項.....	25
6.6 電気的特性:ドライバ.....	6	10.2 ドキュメントの更新通知を受け取る方法.....	25
6.7 電気的特性:レシーバ.....	7	10.3 サポート・リソース.....	25
6.8 スイッチング特性:ドライバ.....	8	10.4 商標.....	25
6.9 スイッチング特性:レシーバ.....	8	10.5 静電気放電に関する注意事項.....	25
6.10 代表的特性.....	10	10.6 用語集.....	25
7 パラメータ測定情報.....	11	11 改訂履歴.....	25
8 詳細説明.....	14	12 メカニカル、パッケージ、および注文情報.....	26

4 デバイスの比較

表 4-1. 利用可能なオプション

基本 型番	信号速度	単位負荷	レシーバ イコライゼーシ ョン	有効	SOIC マーキング ⁽¹⁾
SN65HVD30MDREP	25Mbps	1/2	なし	なし	HVD30EP
SN65HVD33MDREP	25Mbps	1/2	なし	あり	HVD33EP

(1) 最新のパッケージ情報と注文情報については、このドキュメントの末尾にある「付録: パッケージ オプション」を参照するか、www.ti.com にある TI の Web サイトを参照してください。

表 4-2. 改良された交換部品

部品番号	交換部品	説明
xxx3491 xxx3490	SN65HVD33 SN65HVD30	より優れた ESD 保護 (15kV 対 2kV または未指定)、より高速な信号伝送速度 (25Mbps 対 20Mbps)、分数ユニットロード対応 (64 ノード 対 32 ノード)
MAX3491E MAX3490E	SN65HVD33 SN65HVD30	より高速な信号伝送速度 (25Mbps 対 12Mbps)、分数ユニット負荷対応 (64 ノード 対 32 ノード)
MAX3076E MAX3077E	SN65HVD33 SN65HVD30	より高速な信号伝送速度 (25Mbps 対 16Mbps)、より低いスタンバイ電流 (1μA 対 10μA)

5 ピン構成および機能

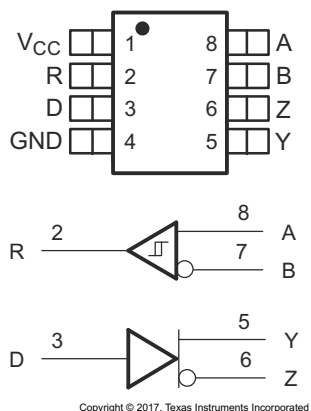


図 5-1. D パッケージ、8 ピン SOIC
(上面図)

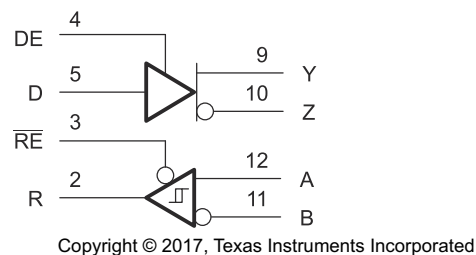
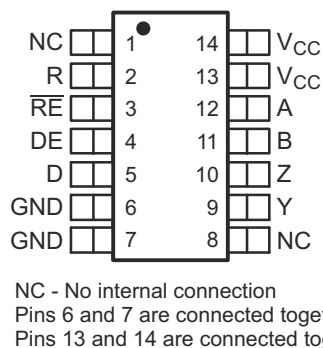


図 5-2. D パッケージ、14 ピン SOIC
(上面図)

表 5-1. ピンの機能

名称	ピン		タイプ	説明
	D (8 ピン)	D (14 ピン)		
A	8	12	バス入力	レシーバ入力 (B に対して相補型)
B	7	11	バス入力	レシーバ入力 (A 反転)
D	3	5	デジタル入力	ドライバー データ入力
DE	—	4	デジタル入力	ドライバイネーブル、アクティブ High
GND	4	6、7	リファレンス電位	ローカル デバイスのグランド
NC	—	1、8	無接続	内部接続なし、フローティングのままでも可
R	2	2	デジタル出力	受信データ出力
RE	—	3	デジタル出力	レシーバイネーブル、アクティブ Low
V _{CC}	1	13、14	電源	3V ~ 3.6V を供給
Y	5	9	バス出力	ドライバ出力 (Z に相補)
Z	6	10	バス出力	ドライバ出力 (Y を補完)

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.3	6	V
$V_{(A)}$, $V_{(B)}$, $V_{(Y)}$, $V_{(Z)}$	任意のバス端子での電圧範囲	-9	14	V
$V_{(TRANS)}$	100 Ω を介した電圧入力 of 過渡パルス (図 7-12 を参照) (A, B, Y, Z) ⁽³⁾	-50	50	V
V_I	入力電圧範囲 (D, DE, RE)	-0.5	7	V
$P_{D(cont)}$	連続総許容損失	内部で制限 ⁽⁴⁾		
I_O	出力電流 (レシーバ出力のみ, R)		11	mA
T_J	接合部温度		165	°C
T_{stg}	保管温度範囲	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、上記の値または推奨動作条件を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ネットワーク グランド端子を基準にしています。
- (3) これは耐性のみを評価する試験であり、レシーバの出力状態は規定されていません。
- (4) サーマル シャットダウン保護回路は、連続的な総消費電力を内部的に制限します。通常、サーマル シャットダウンは接合部温度が 165°C に達したときに発生します。

6.2 ESD 定格

			最小値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	バス ピンおよび GND	±16000	V
		すべてのピン	±4000	
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾		±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		3		3.6	V
V_I または V_{IC}	任意のバス端子での電圧 (個別または同相モード)		-7 ⁽¹⁾		12	V
$1/t_{UI}$	信号速度	'HVD30、'HVD33			25	Mbps
R_L	差動負荷抵抗		54	60		Ω
V_{IH}	High レベル入力電圧	D、DE、 \overline{RE}	2		V_{CC}	V
V_{IL}	Low レベル入力電圧	D、DE、 \overline{RE}	0		0.8	V
V_{ID}	差動入力電圧		-12		12	V
I_{OH}	High レベル出力電流	ドライバ	-60			mA
		レシーバ	-8			
I_{OL}	Low レベル出力電流	ドライバ			60	mA
		レシーバ			8	
T_A	静止空気中の周囲温度		-55		125 ⁽²⁾	$^{\circ}\text{C}$

- (1) このデータシートでは、最も小さい正 (最も大きな負の) 制限を最小として指定する代数的規約を使用します。
 (2) 長期にわたる高温保存または最大推奨動作条件での長時間使用は、デバイスの寿命を縮める可能性があります。強化プラスチック パッケージの詳細については、http://www.ti.com/ep_quality を参照してください。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		D (SOIC)	D (SOIC)	単位
		8 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	135	92	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	43	59	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	44	61	$^{\circ}\text{C}/\text{W}$
Ψ_{JT}	接合部から上面への特性パラメータ	12.1	5.7	$^{\circ}\text{C}/\text{W}$
Ψ_{JB}	接合部から基板への特性パラメータ	49.7	30.7	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{bot})}$	接合部からケース (底面) への熱抵抗	—	—	$^{\circ}\text{C}/\text{W}$

- (1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、[SPRA953](#) を参照してください。

6.5 損失定格

パラメータ	デバイス	テスト条件	最小値	最大値	単位
P_D	'HVD30 (25Mbps)	$R_L = 60\Omega$ 、 $C_L = 50\text{pF}$ 、 D に 50% デューティサイクルの方形波を入力 (表示される 信号速度、 $T_A = 85^{\circ}\text{C}$)		197	mW
	'HVD33 (25Mbps)	$R_L = 60\Omega$ 、 $C_L = 50\text{pF}$ 、 V_{CC} での DE、0V で \overline{RE} 、 D へ入力信号速度に示される信号速度、 $T_A = 85^{\circ}\text{C}$ でデ ューティ サイクル 50% の方形波		197	mW

6.6 電気的特性：ドライバ

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
$V_{I(K)}$	入力クランプ電圧	$I_I = -18\text{mA}$	-1.5			V
$ V_{OD(SS)} $	定常状態差動出力電圧	$I_O = 0$	2.3		$V_{CC} + 0.1$	V
		$R_L = 54\Omega$, 図 7-1 (RS-485) を参照	1.5	2		
		$R_L = 100\Omega$, 図 7-1 (RS-422) を参照	2	2.3		
		$V_{test} = -7\text{V} \sim 12\text{V}$, 図 7-2 を参照	1.5			
$\Delta V_{OD(SS)} $	状態間の定常状態差動出力電圧の大きさの変化	$R_L = 54\Omega$, 図 7-1 および 図 7-2 を参照	-0.2		0.2	V
$V_{OD(RING)}$	差動出力電圧オーバーシュートとアンダーシュート	$R_L = 54\Omega$, $C_L = 50\text{pF}$, 図 7-5 および 図 7-3 を参照			10%(2)	V
$V_{OC(PP)}$	ピーク ツー ピークの同相出力電圧	'HVD30, 'HVD33 図 7-4 を参照		0.5		V
$V_{OC(SS)}$	定常同相出力電圧	図 7-4 を参照	1.6		2.3	V
$\Delta V_{OC(SS)}$	定常同相出力電圧の変化	図 7-4 を参照	-0.05		0.05	V
$I_{Z(Z)}$ または $I_{Y(Z)}$	'HVD30	$V_{CC} = 0\text{V}$, V_Z または $V_Y = 12\text{V}$, 0V での他の入力			90	μA
		$V_{CC} = 0\text{V}$, V_Z または $V_Y = -7\text{V}$, 0V での他の入力	-10			
	'HVD33	$V_{CC} = 3\text{V}$ または 0V , $DE = 0$ V , V_Z または $V_Y = 12\text{V}$			90	
		$V_{CC} = 3\text{V}$ または 0V , $DE = 0$ V , V_Z または $V_Y = -7\text{V}$	-10			
$I_{Z(S)}$ または $I_{Y(S)}$	短絡出力電流	V_Z または $V_Y = -7\text{V}$			± 250	mA
		V_Z または $V_Y = 12\text{V}$				
I_I	入力電流	D, DE,	0		100	μA
$C_{(OD)}$	差動出力容量	$V_{OD} = 0.4 \sin(4E6\pi t) + 0.5\text{V}$, 0V での DE		16		pF

(1) すべて 3.3V 電源での 25°C での標準値

(2) TIA/EIA-485 に準拠して、ピーク ツー ピーク差動出力電圧スイングの 10%

6.7 電気的特性：レシーバ

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 (1)	最大値	単位
V_{IT+}	正方向の差動入力スレッショルド電圧	$I_O = -8\text{ mA}$			-0.02	V
V_{IT-}	負方向の差動入力スレッショルド電圧	'HVD30	-0.15			V
		'HVD33	-0.2			
V_{hys}	ヒステリシス電圧 ($V_{IT+} - V_{IT-}$)			50		mV
V_{IK}	イネーブル入力クランプ電圧	$I_I = -18\text{ mA}$	-1.5			V
V_O	出力電圧	$V_{ID} = 200\text{ mV}$, $I_O = -8\text{ mA}$, 図 7-8 を参照	2.4			V
		$V_{ID} = -200\text{ mV}$, $I_O = 8\text{ mA}$, 図 7-8 を参照		0.4		
$I_{O(Z)}$	高インピーダンス状態の出力電流	$V_O = 0$ または V_{CC} , \overline{RE} (V_{CC})	-1		1	μA
I_A または I_B	バス入力電流	'HVD30, 'HVD33	V_A または $V_B = 12\text{ V}$	0.20	0.35	mA
			V_A または $V_B = 12\text{ V}$, $V_{CC} = 0\text{ V}$	0.24	0.4	
			V_A または $V_B = -7\text{ V}$	-0.35	-0.18	
			V_A または $V_B = -7\text{ V}$, $V_{CC} = 0\text{ V}$	-0.25	-0.13	
I_{IH}	入力電流、 \overline{RE}	$V_{IH} = 0.8\text{ V}$ または 2 V	-60			μA
C_{ID}	差動入力容量	$V_{ID} = 0.4 \sin(4\text{E}6\pi t) + 0.5\text{ V}$, 0 V での DE		15		pF
電源電流						
I_{CC}	電源電流	'HVD30	0V での D または無負荷での V_{CC}		2.1	mA
		'HVD33	0V での \overline{RE} , 0V での D, または V_{CC} , 0V での DE, 無負荷 (レシーバイネーブル、ドライバディセーブル)		1.8	mA
		'HVD33	\overline{RE} (V_{CC}), V_{CC} での D, 0V での DE, 無負荷 (レシーバ無効、ドライバ無効)	0.022	1.5	μA
		'HVD33	0V での \overline{RE} , 0V または V_{CC} での D, V_{CC} での DE, 無負荷 (レシーバイネーブル、ドライバネーブル)		2.1	mA
		'HVD33	\overline{RE} (V_{CC}), 0V または V_{CC} での D, V_{CC} での DE, 無負荷 (レシーバイネーブル、ドライバネーブル)		1.8	mA

(1) すべて 3.3V 電源での 25°C での標準値

6.8 スイッチング特性：ドライバ

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
t _{PLH}	伝搬遅延時間、Low レベルから High レベル出力まで	'HVD30、'HVD33	R _L = 54Ω、C _L = 50pF、 図 7-5 を参照	4	10	23	ns
t _{PHL}	伝搬遅延時間、High レベルから Low レベル出力まで	'HVD30、'HVD33		4	9	23	ns
t _r	差動出力信号の立ち上がり時間	'HVD30、'HVD33		2.5	5	18	ns
t _f	差動出力信号の立ち下がり時間	'HVD30、'HVD33		2.5	5	18	ns
t _{sk(p)}	パルス スキュー (t _{PHL} - t _{PLH})	'HVD30、'HVD33		0.6			ns
t _{PZH1}	伝搬遅延時間、ハイ インピーダンスから High レベル出力まで	'HVD33	R _L = 110Ω、0V で \overline{RE} 、 D = 3V および S1 = Y、または D = 0V および S1 = Z、 図 7-6 を参照	45			ns
t _{PHZ}	伝搬遅延時間、High レベルからハイ インピーダンス出力まで	'HVD33		25			ns
t _{PZL1}	伝搬遅延時間、ハイ インピーダンスから Low レベル出力まで	'HVD33	R _L = 110Ω、0V で \overline{RE} 、 D = 3V および S1 = Z、または D = 0V および S1 = Y、 図 7-7 を参照	35			ns
t _{PLZ}	伝搬遅延時間、Low レベルからハイ インピーダンス出力まで	'HVD33		30			ns
t _{PZH2}	伝搬遅延時間、スタンバイから High レベル出力まで	'HVD30	R _L = 110Ω、3V で \overline{RE} 、 D = 3V および S1 = Y、または D = 0V および S1 = Z、 図 7-6 を参照	4000			ns
		'HVD33		5000			
t _{PZL2}	伝搬遅延時間、スタンバイから Low レベル出力まで	'HVD30	R _L = 110Ω、3V で \overline{RE} 、 D = 3V および S1 = Z、または D = 0V および S1 = Y、 図 7-7 を参照	4000			ns
		'HVD33		5000			

6.9 スイッチング特性：レシーバ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
t_{PLH}	伝搬遅延時間、Low レベルから High レベル出力まで	'HVD30、'HVD33	$V_{ID} = -1.5V \sim 1.5V$ 、 $C_L = 15pF$ 、 図 7-9 を参照してください	26		60	ns
t_{PLH}	伝搬遅延時間、High レベルから Low レベル出力まで	'HVD30、'HVD33		29		60	ns
$t_{sk(p)}$	パルス スキュー ($ t_{PHL} - t_{PLH} $)	'HVD30、'HVD33				12	ns
t_r	出力信号の立ち上がり時間	'HVD30				10	ns
		'HVD33				18	ns
t_f	出力信号の立ち下がり時間					12.5	ns
t_{PHZ}	High レベルからの出力ディスエーブル時間		3V での DE			20	ns
t_{PZH1}	High レベルへの出力イネーブル時間		3V での DE			20	ns
t_{PZH2}	伝搬遅延時間、スタンバイから High レベル出力まで	'HVD30	0V での DE			4000	ns
		'HVD33				5000	

6.9 スイッチング特性：レシーバ (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件		最小値	標準値	最大値	単位
t _{PLZ}	Low レベルからの出力ディスエーブル時間		3V での DE	C _L = 15pF、 図 7-11 を参照			20	ns
t _{PZL1}	Low レベルへの出力イネーブル時間						20	ns
t _{PZL2}	伝搬遅延時間、スタンバイから Low レベル出力まで	'HVD30	0V での DE				4000	ns
		'HVD33					5000	ns

6.10 代表的特性

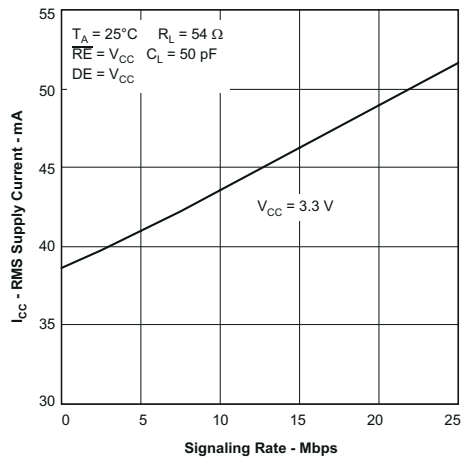


図 6-1. RMS 消費電流信号速度

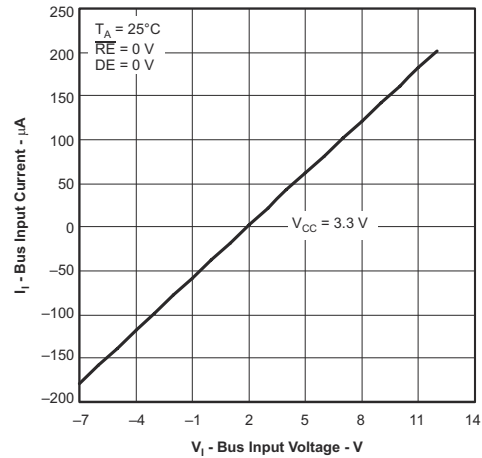


図 6-2. バス入力電流と入力電圧との関係

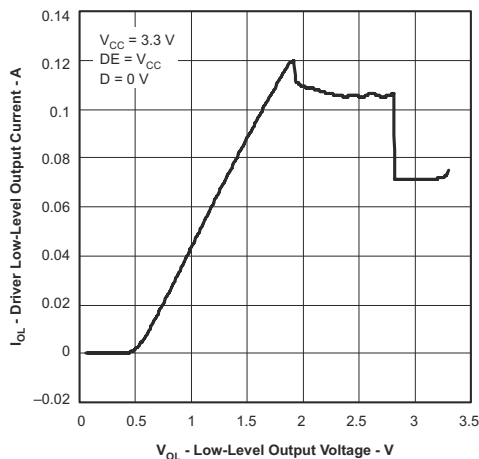


図 6-3. ドライバの Low レベル出力電流と Low レベル出力電圧との関係

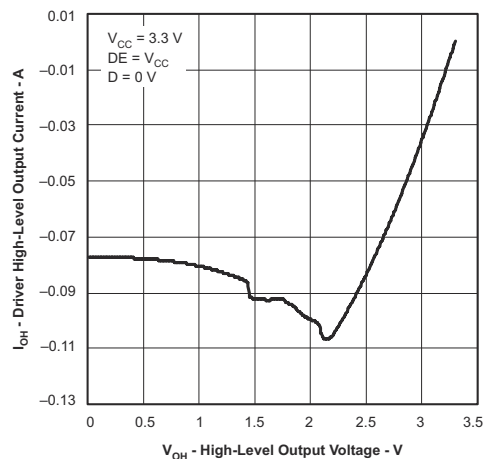


図 6-4. ドライバの High レベル出力電流と High レベル出力電圧との関係

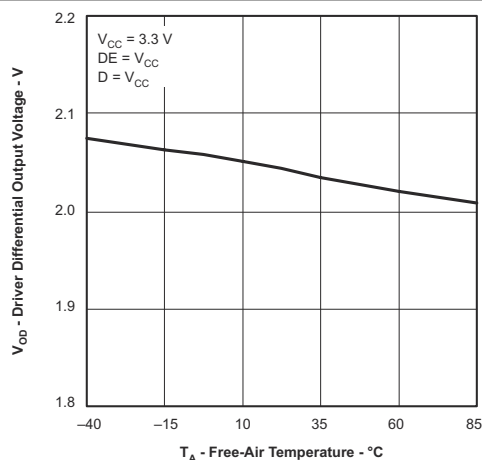


図 6-5. ドライバ差圧出力電圧と自由気流温度との関係

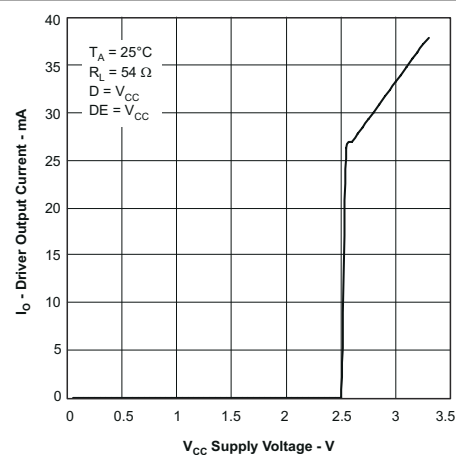


図 6-6. ドライバ出力電流と電源電圧との関係

7 パラメータ測定情報

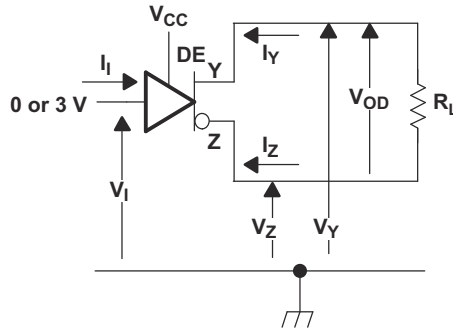


図 7-1. ドライバの V_{OD} テスト回路、電圧と電流の定義

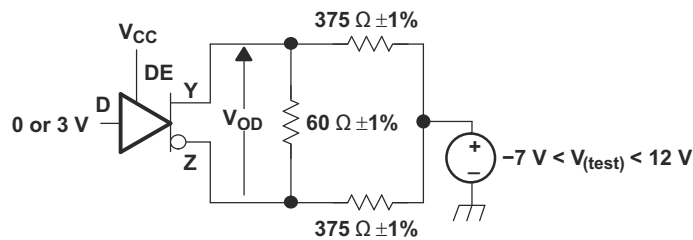


図 7-2. 同相負荷テスト回路を備えたドライバ V_{OD}

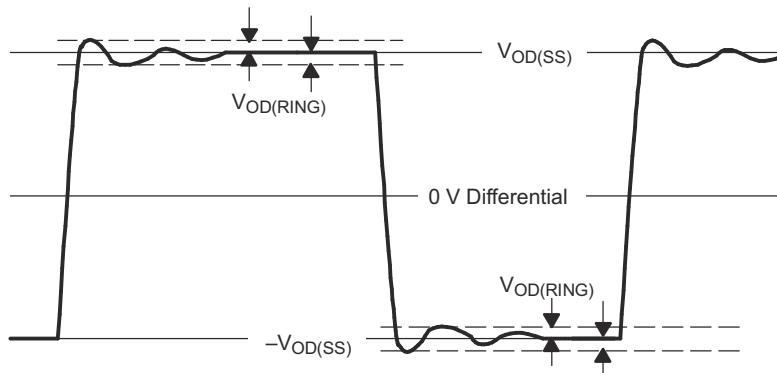
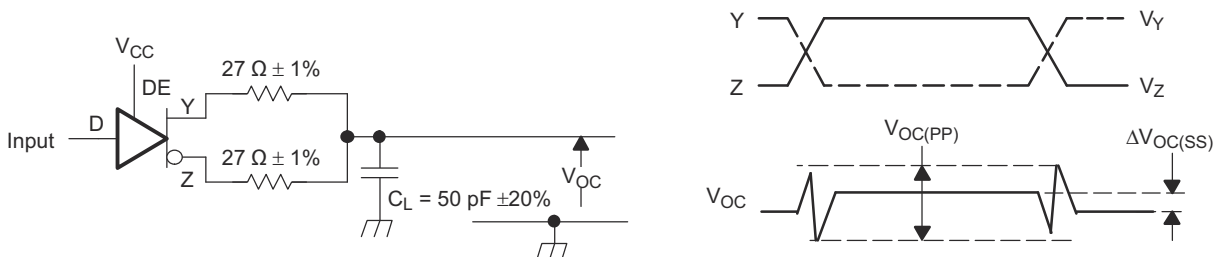


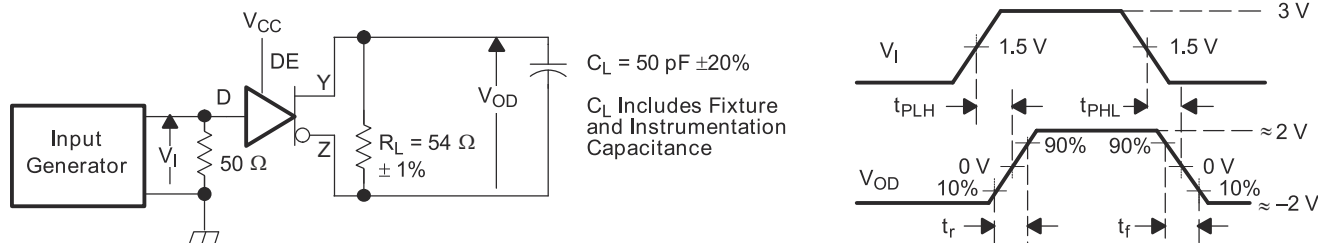
図 7-3. $V_{OD(RING)}$ の波形と定義

$V_{OD(RING)}$ は、出力波形の 4 つのポイントで測定され、 $V_{OD(H)}$ と $V_{OD(L)}$ の定常状態値からのオーバーシュートとアンダーシュートに対応しています。



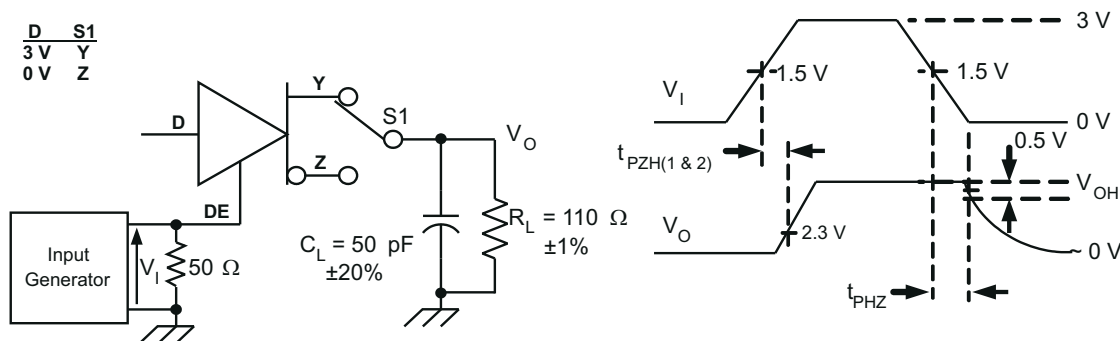
入力: PRR = 500kHz、50% デューティ サイクル、 $t_r < 6ns$ 、 $t_f < 6ns$ 、 $Z_O = 50\Omega$

図 7-4. ドライバの同相モード出力電圧のテスト回路と定義



A. ジェネレータ: PRR = 500kHz、50% デューティ サイクル、 $t_r < 6\text{ns}$ 、 $t_f < 6\text{ns}$ 、 $Z_O = 50\Omega$

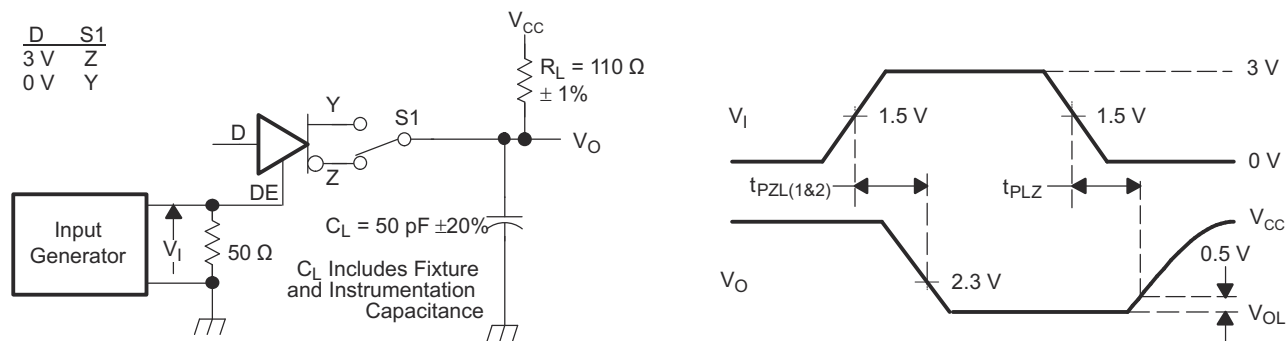
図 7-5. ドライバのスイッチングのテスト回路と電圧波形



A. ジェネレータ: PRR = 500kHz、50% デューティ サイクル、 $t_r < 6\text{ns}$ 、 $t_f < 6\text{ns}$ 、 $Z_O = 50\Omega$

B. C_L には治具と計測器の容量が含まれます。

図 7-6. ドライバの High レベル出力のイネーブル / ディセーブル時間のテスト回路と電圧波形



A. ジェネレータ: PRR = 500kHz、50% デューティ サイクル、 $t_r < 6\text{ns}$ 、 $t_f < 6\text{ns}$ 、 $Z_O = 50\Omega$

図 7-7. ドライバの Low レベル出力のイネーブル / ディセーブル時間のテスト回路と電圧波形

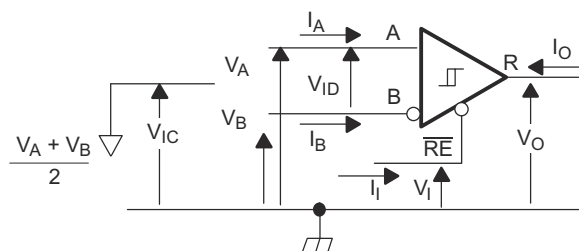
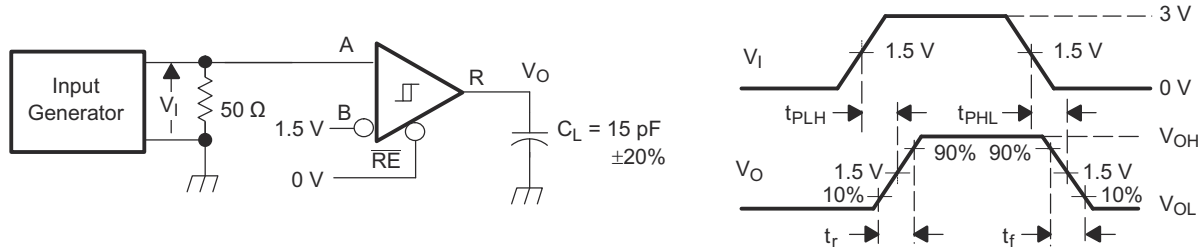
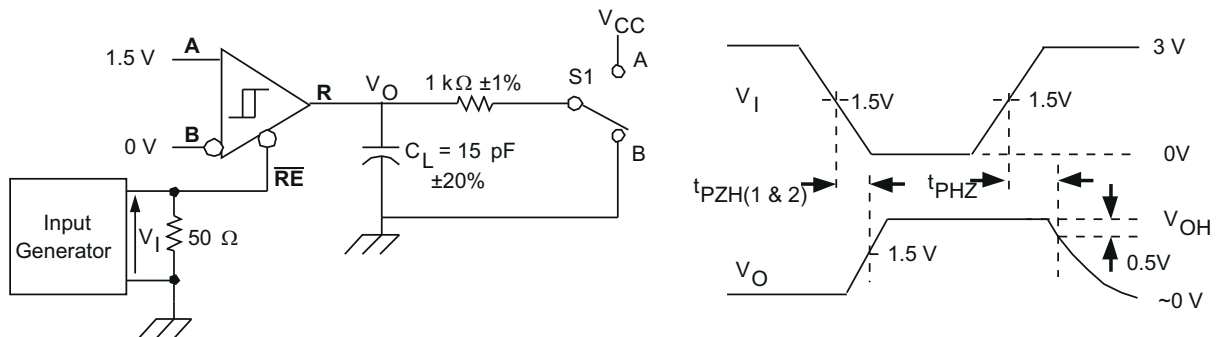


図 7-8. レシーバの電圧および電流の定義



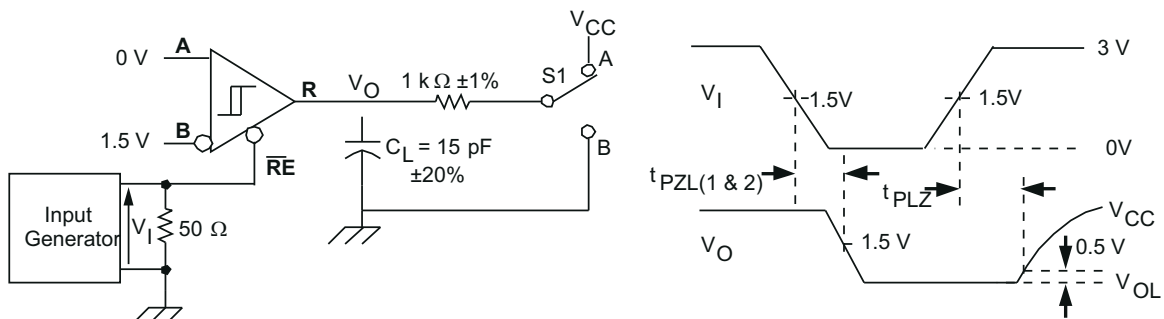
- A. C_L には治具と計測器の容量が含まれます。
B. ジェネレータ: PRR = 500kHz、50% デューティ サイクル、 $t_r < 6\text{ns}$ 、 $t_f < 6\text{ns}$ 、 $Z_O = 50\Omega$

図 7-9. レシーバのスイッチングのテスト回路と電圧波形



- A. ジェネレータ: PRR = 500kHz、50% デューティ サイクル、 $t_r < 6\text{ns}$ 、 $t_f < 6\text{ns}$ 、 $Z_O = 50\Omega$

図 7-10. レシーバの High レベル出力のイネーブル/ディセーブル時間のテスト回路と電圧波形



- A. ジェネレータ: PRR = 500kHz、50% デューティ サイクル、 $t_r < 6\text{ns}$ 、 $t_f < 6\text{ns}$ 、 $Z_O = 50\Omega$

図 7-11. スタンバイからのレシーバのイネーブル時間 (ドライバ無効)

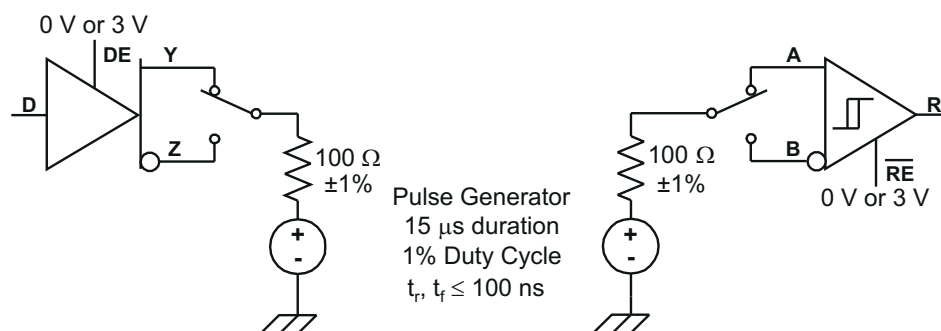


図 7-12. テスト回路、過渡過電圧試験

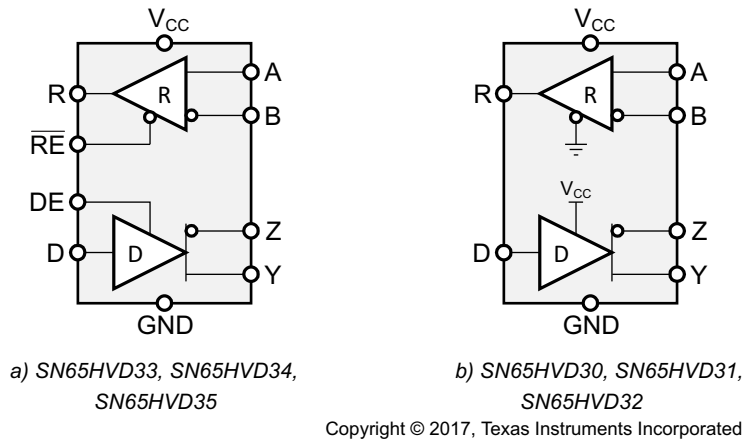
8 詳細説明

8.1 概要

SN65HVD3x-EP は低消費電力の全二重 RS-485 トランシーバで、1Mbps、5Mbps、25Mbps のデータ伝送に対応する 3 つの速度グレードが用意されています。

SN65HVD30 は外部のイネーブル ピンを必要とせず、常に有効な状態で動作します。SN65HVD33 は、アクティブ High のドライバ イネーブルとアクティブ Low のレシーバ イネーブルを備えています。ドライバとレシーバの両方をディセーブルにすると、1 μ A よりも低いスタンバイ電流が得られます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 低消費電力のスタンバイ モード

ドライバとレシーバの両方がディセーブルになっている場合 (DE が Low で \overline{RE} が High)、デバイスはスタンバイ モードになります。イネーブル入力がこの状態にある状態が 60ns 未満の場合、デバイスはスタンバイ モードに移行しません。これにより、ドライバまたはレシーバのイネーブル化中に誤ってスタンバイ モードに入ることを防止できます。デバイスは、イネーブル入力がこの状態に 300ns 以上保持されている場合のみ、スタンバイ モードになります。この低消費電力スタンバイ モードでは、ほとんどの内部回路がパワーダウンし、電源電流は通常 1nA 未満です。ドライバまたはレシーバのいずれかが再度イネーブルになると、内部回路がアクティブになります。

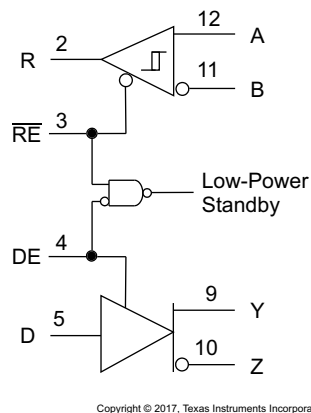


図 8-1. 低消費電力のスタンバイ ロジック図

ドライバのみが再度イネーブルになる (DE が High に遷移) 場合、ドライバのスイッチング特性で t_{PZH2} および t_{PZL2} で与えられるイネーブル時間の後、ドライバ出力は D 入力に従って駆動されます。ドライバがイネーブルのときに D 入力オープンの場合、ドライバのフェイルセーフ機能に従い、ドライバ出力はデフォルトで Y High および Z Low になります。

レシーバのみが再びイネーブルになった場合 (\overline{RE} が Low に遷移する)、レシーバのスイッチング特性の t_{PZH2} および t_{PZL2} で与えられるイネーブル時間の後の、バス入力 (A および B) の状態に応じてレシーバ出力が駆動されます。バスに有効な状態が存在しない場合、レシーバは「フェイルセーフ動作」の項で説明したように応答します。

レシーバとドライバの両方が同時に再度イネーブルされると、レシーバ出力はバス入力 (A と B) の状態に応じて駆動され、ドライバ出力は D 入力に従って駆動されます。

注

アクティブドライバの状態は、レシーバへの入力に影響を及ぼします。したがって、ドライバ出力が有効になるとすぐに、レシーバ出力が有効になります。

8.3.2 ドライバ出力電流制限

RS-485 規格 (ANSI/TIA/EIA-485-A、または同等の ISO 8482) では、バス上でデータの競合が発生した際の損傷を防ぐため、ドライバ出力電流の上限を 250mA に規定しています。これは、2 台以上のトランシーバが同時にバスを反対の状態に駆動しようとする場合に該当します。SN65HVD3x-EP ファミリのデバイスには、このような状況下でも損傷を防ぐ電流制限回路が内蔵されています。

注

この電流制限によってバス競合時の損傷は防止されますが、規格で定められているように、バスの論理状態は不定となるため、通信エラーが発生する可能性があります。

特定の条件が重なると、バスピンを流れる電流が 250mA の上限を超える状況が発生する可能性があります。このような条件の組み合わせは、通常、RS-485 アプリケーションには含まれません。

- ピンの負荷容量は 500pF 未満です
- バスピンが -1V よりも負の電圧に直接接続されています
- このデバイスには、3.3V 以上の V_{CC} が供給されます
- ドライバが有効になっています
- バスピンはロジック High 状態に駆動されます

これらの特定の条件下では、通常の電流制限回路およびサーマル シャットダウン回路では電流の流れを制限または遮断することができません。電流の流れが継続すると、ドライバ出力付近の局所的な領域が加熱され、デバイスが損傷する可能性があります。

一般的な RS-485 用ツイストペアケーブルの静電容量は、約 50pF/m です。したがって、このラッチアップ状態を防ぐのに十分な静電容量を得るには、10 メートルのケーブルがあればよいと考えられます。

RS-485 で規定されている -7 ~ +12V の同相範囲は、一時的な電流サージや電気ノイズなどによりグランド オフセットが発生する場合でも、離れた場所に設置されたトランシーバ間で通信を可能にすることを目的としています。このような状況では、分離されたトランシーバを接続するために必要な固有のケーブルが、前述の状態が発生しないようにします。短いケーブル長で接続されたトランシーバやバックプレーン用途においては、定常状態での負の同相電圧は通常発生しません。誤配線やケーブルの損傷により、負の電源がバスラインに短絡される可能性はあります。ただし、これは異なる根本原因による故障であり、このような電源や誤配線による故障に耐えるためには、SN65HVD178x ファミリのような堅牢なデバイスが使用されます。

RS-485 規格における 250mA の電流制限は、バス上でデータ競合が発生した場合、つまり複数のトランシーバが同時にバスを異なる状態に駆動しようとしたときに生じる損傷を防ぐことを目的としています。これらのデバイスは、このような条件下でも損傷を受けません。というも、すべての RS-485 ドライバは、先に述べたような直接接続状態を防ぐのに十分な出力インピーダンスを備えているためです。標準的な RS-485 ドライバの出力インピーダンスは 10Ω~30Ω 程度です。

8.3.3 ホット プラグ

これらのデバイスは、ホット スワップまたはホット プラグ対応アプリケーションで動作するように設計されています。ホット プラグ対応アプリケーションの主な機能は次のとおりです。

- パワーアップ
- 電源オフ時にグリッチが発生しない
- デフォルトでディスエーブルの入力 / 出力ピン
- レシーバのフェイルセーフ

図 6-6 に示すように、内部パワーオン リセット回路により、電源電圧がデバイスの信頼性が高い動作レベルに達するまで、ドライバ出力は高インピーダンス状態に維持されます。これにより、電源がオンまたはオフになるときに、バス ピンの出力にスプリアス ビットが送信されないことが保証されます。

セクション 8.4 に示すように、イネーブル入力はドライバ イネーブルとレシーバ イネーブルの両方でデフォルト ディセーブル機能を備えています。これにより、関連するコントローラがイネーブル ピンをアクティブに駆動するまで、デバイスはバスを駆動せず、R ピンのデータをレポートしません。

8.3.4 レシーバのフェイルセーフ

SN65HVD3x-EP ファミリの差動レシーバは、以下のような原因によって発生する無効なバス状態に対してフェイルセーフ機能を備えています。

- コネクタの接続解除などの、オープン バス状態
- ケーブルが損傷し、ツイストペアが互いに短絡した場合などの、短絡したバス状態
- バス上のドライバがアクティブに駆動していないときに発生するアイドル バス状態

いずれの場合も、差動レシーバはフェイルセーフ ロジック High 状態を出力し、レシーバの出力が不定にならないようにします。

レシーバのフェイルセーフは、入力の不定範囲に 0V の差動が含まれないように、レシーバのスレッシュホールドをオフセットすることで実現されます。RS-422 および RS-485 規格に準拠するには、差動入力 V_{ID} が 200mV を上回るときはレシーバ出力が High になり、 V_{ID} が -200mV を下回るときは Low に出力する必要があります。フェイルセーフ性能を決定するレシーバ パラメータは、 V_{IT+} 、 V_{IT-} 、 V_{HYS} (V_{IT+} と V_{IT-} の間の分離) です。セクション 6.7 表に示すように、差動信号が -200mV を下回ると常にレシーバ出力が低くなり、差動信号が 200mV を上回ると常にレシーバ出力が高くなります。

差動入力信号がゼロに近いとき、依然として V_{IT+} スレッシュホールドを上回り、レシーバ出力が HIGH になります。差動入力 V_{HYS} よりも高く V_{IT+} よりも低い場合のみ、レシーバ出力は LOW 状態に遷移します。したがって、バス障害状態時のレシーバ入力のノイズ耐性には、レシーバのヒステリシス値 V_{HYS} と V_{IT+} の値が含まれます。

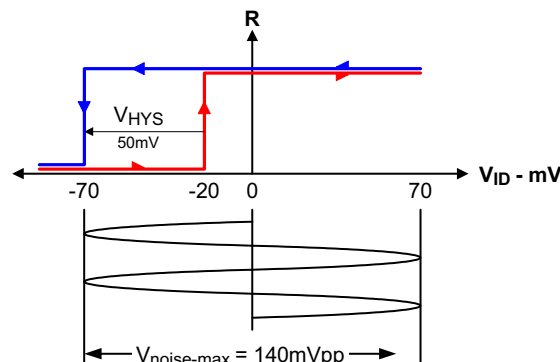


図 8-2. SN65HVD30-35 バス故障状況でのノイズ耐性

8.3.5 バス競合ありの安全な動作

これらのデバイスは、RS-485 の同相範囲 (-7V ~ +12V) にわたって、250mA のドライバ電流制限を備えています。TIA/EIA-485-A 規格の適用ガイドライン²で説明されているように、これは、バス競合時の損傷を防ぐための実用的な制

限を設定するものです。競合は、システムの初期化時、システムの障害時、または 2 つ以上のドライバが同時にアクティブになったときに発生する可能性があります。

図 8-3 は両方のドライバを反対の状態にアクティブにすることによって、バス競合を示す 2 ノード システムの例を示しています。

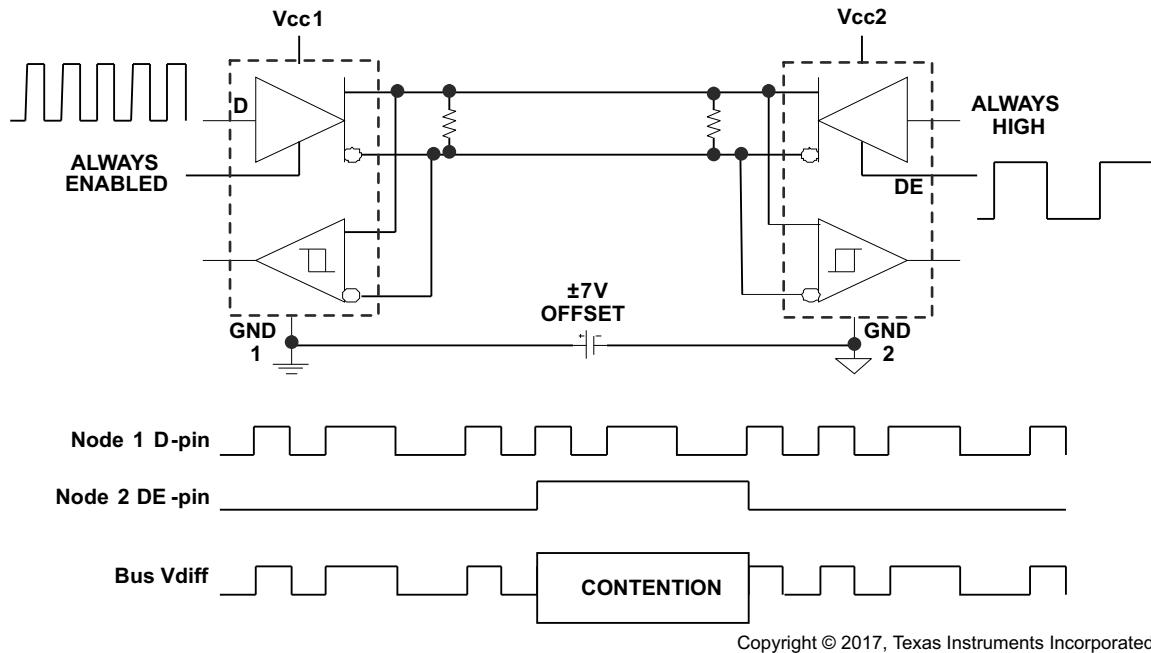


図 8-3. バス競合の例

図 8-4 に、バス競合イベントでの代表的な動作を示します。下段の波形は、ノード 2 に -7V のグラウンド オフセットがある状態で、2 つのドライバ間に競合が発生した後も、ノード 1 の SN65HVD33 デバイスが通常動作を継続している様子を示しています。この例は、大きな同相オフセットがある場合でも、バス競合による障害に対して SN65HVD3x-EP ファミリのデバイスが堅牢に動作することを示しています。

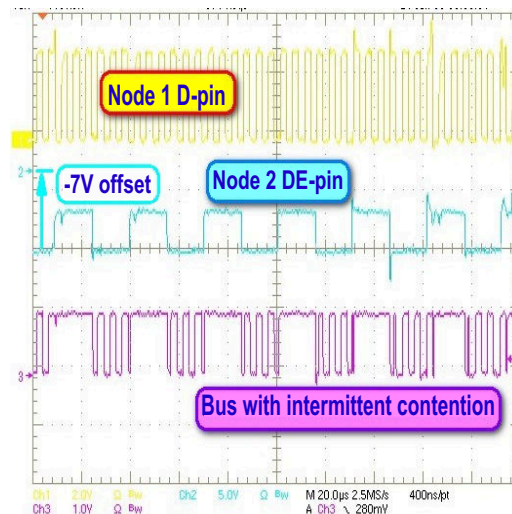


図 8-4. SN65HVD3x - EP ドライバは、バス競合故障の後でも正常に動作します

² TIA/EIA 通信システムに関する技術速報(TSB89)、TIA/EIA-485-A 適用ガイドライン

8.4 デバイスの機能モード

デバイスの機能モードを、表 8-1 および 表 8-4 に示します。

表 8-1. SN65HVD33 ドライバ

入力		出力	
D	DE	Y	Z
H	H	H	L
L	H	L	H
X	L または オープン	Z	Z
オープン	H	L	H

表 8-2. SN65HVD33 レシーバ

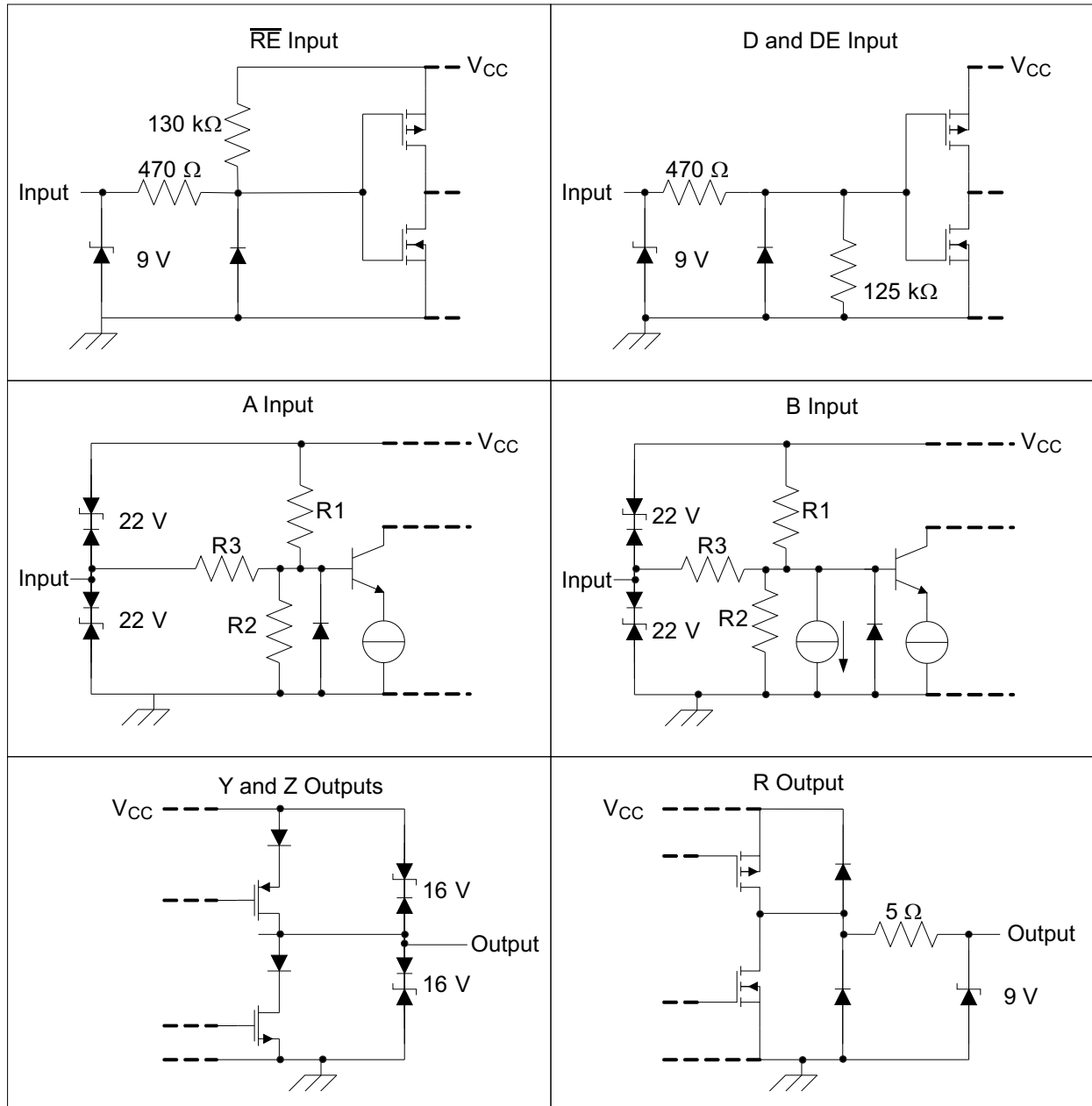
差動入力 $V_{ID} = V_{(A)} - V_{(B)}$	イネーブル RE	出力 R
$V_{ID} \leq -0.2 \text{ V}$	L	L
$-0.2 \text{ V} < V_{ID} < -0.02 \text{ V}$	L	—
$-0.02 \text{ V} \leq V_{ID}$	L	H
X	H または オープン	Z
開路	L	H
アイドル回路	L	H
短絡、 $V_{(A)} = V_{(B)}$	L	H

表 8-3. SN65HVD30 ドライバ

入力 D	出力	
	Y	Z
H	H	L
L	L	H
オープン	L	H

表 8-4. SN65HVD30 レシーバ

差動入力 $V_{ID} = V_{(A)} - V_{(B)}$	出力 R
$V_{ID} \leq -0.2 \text{ V}$	L
$-0.02 \text{ V} \leq V_{ID}$	H
開路	H
アイドル回路	H
短絡、 $V_{(A)} = V_{(B)}$	H



Copyright © 2017, Texas Instruments Incorporated

図 8-5. 等価な入力および出力回路図

表 8-5. 入力アッテネータの抵抗値

部品番号	R1、R2	R3
SN65HVD30、SN65HVD33	9kΩ	45kΩ

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

SN65HVD3x-EP ファミリーは、非同期データ伝送によく使用される全二重 RS-485 トランシーバで構成されています。全二重の実装には 2 組の信号ペア (4 線式) が必要であり、ノードごとに一方のペアでデータを送信しながら、同時にもう一方のペアでデータを受信できます。

ラインの反射を除去するために、各ケーブルの端は終端抵抗 (R_T) で終端します。この抵抗の値は、ケーブルの特性インピーダンス (Z_0) と一致します。この方式は並列終端と呼ばれ、長いケーブル長にわたって高いデータレートを実現できます。

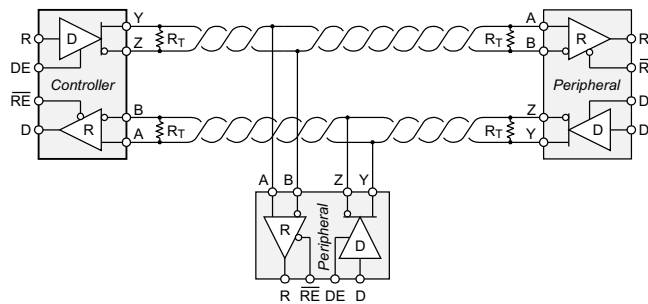


図 9-1. 全二重トランシーバを使用した標準的な RS-485 ネットワーク

9.2 代表的なアプリケーション

全二重の RS-485 ネットワークは、複数のトランシーバが 2 本のバス ケーブルに並列接続されて構成されます。一組の信号ペアでは、コントローラ側のドライバが複数の周辺レシーバにデータを送信します。コントローラのドライバおよび周辺レシーバは、常時有効のままでも運用できます。もう一方の信号ペアでは、複数の周辺ドライバがコントローラのレシーバにデータを送信します。バス競合を回避するためには、周辺ドライバを間欠的に有効 / 無効にし、常に 1 つのドライバのみが有効になるようにする必要があります。これは半二重通信と同様の動作です。コントローラのレシーバは、常に完全にインエーブルにしたままにできます。

SN65HVD30 を使用する場合、ドライバを無効にできないため、バスには 1 つのドライバのみを接続してください。

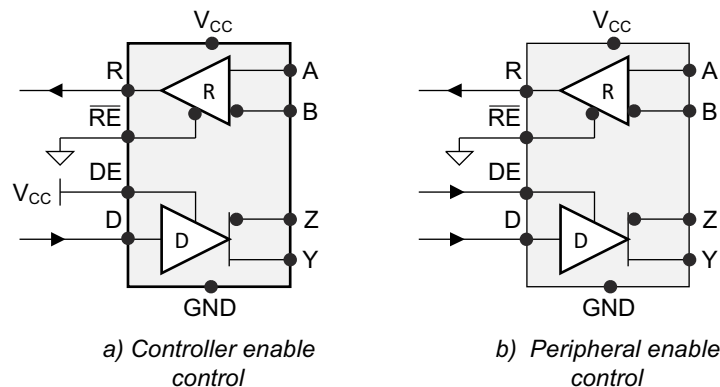


図 9-2. 全二重トランシーバ構成

9.2.1 設計要件

RS-485 は、長距離ネットワークに適した堅牢な電気規格であり、距離、データレート、ノード数などさまざまな要件を持つ幅広いアプリケーションで使用できます。

9.2.1.1 データ レートとバス長

データ伝送速度とバス長には逆の関係があります。つまり、データレートが高くなるほど使用できるケーブルの長さは短くなり、逆にデータレートが低くなるほど、データ エラーを発生させずに使用できるケーブルの長さは長くなります。ほとんどの RS-485 システムでは、データレートは 10kbps から 100kbps の範囲で使用されますが、一部のアプリケーションでは、4000 フィート以上の距離でも最大 250kbps のデータレートが求められる場合があります。最大 5 または 10% の小信号ジッタを許容することで、より長い距離を実現できます。

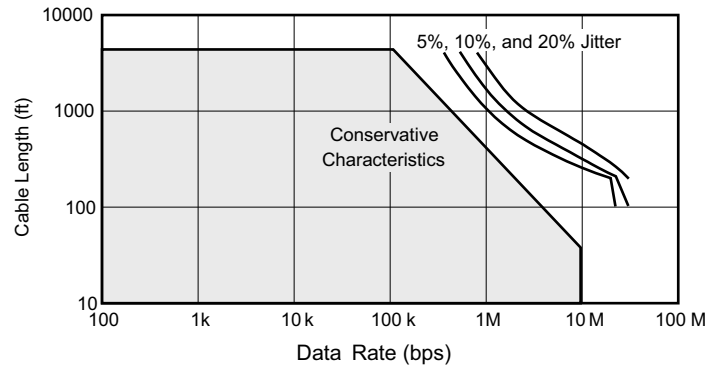


図 9-3. ケーブル長とデータ レート特性との関係

SN65HVD30 や SN65HVD33 デバイスのように、データを劣化させない程度に接続距離が十分に短い場合や、信号周波数に対する減衰が十分に小さい場合には、さらに高いデータレート (たとえば 26Mbps) も実現可能です。

9.2.1.2 スタブ長

ノードをバスに接続するときは、トランシーバ入力とケーブルトランクの間の距離 (スタブと呼ばれます) をできるだけ短くする必要があります。スタブは、終端されていないバスラインを示します。スタブの長さが長くなると、反射が発生する可能性があります。一般的なガイドラインとして、スタブの電氣的長さ、つまり往復遅延は、ドライバの立ち上がり時間の 1/10 未満にする必要があります。これにより、式 1 に示すように、物理的なスタブの最大長が得られます。

$$L_{\text{stub}} \leq 0.1 \times t_r \times v \times c \quad (1)$$

ここで

- t_r は、ドライバの 10/90 の立ち上がり時間です
- c は光の速度 ($3 \times 10^8 \text{m/s}$) です。
- v は、ケーブルまたは配線の信号速度を、 c の係数で表したものです

式 1 表 9-1 は、信号伝搬速度が 78% の場合における、SN65HVD3x-EP 全二重トランシーバファミリの最小ドライバ出力立ち上がり時間に対応する最大ケーブルスタブ長を示しています。

表 9-1. スタブの最大長

デバイス	ドライバ出力の最小立ち上がり時間 (ns)	スタブの最大長	
		(m)	(ft)
SN65HVD30	4	0.1	0.3
SN65HVD33	4	0.1	0.3

9.2.1.3 バスの負荷

RS-485 規格は、準拠ドライバが 32 個のユニット負荷 (UL) を駆動できる必要があることを規定しています。ここで、1 個のユニット負荷は約 $12\text{k}\Omega$ の負荷インピーダンスを表します。SN65HVD30 および SN65HVD33 デバイスは 1/2 ユニットロード (UL) トランシーバであり、最大 64 台のレシーバをバスに接続することが可能です。

9.2.2 詳細な設計手順

サージなどの高エネルギー過渡からバス ノードを保護するには、外部過渡保護デバイスを実装する必要があります (図 9-4 を参照)。

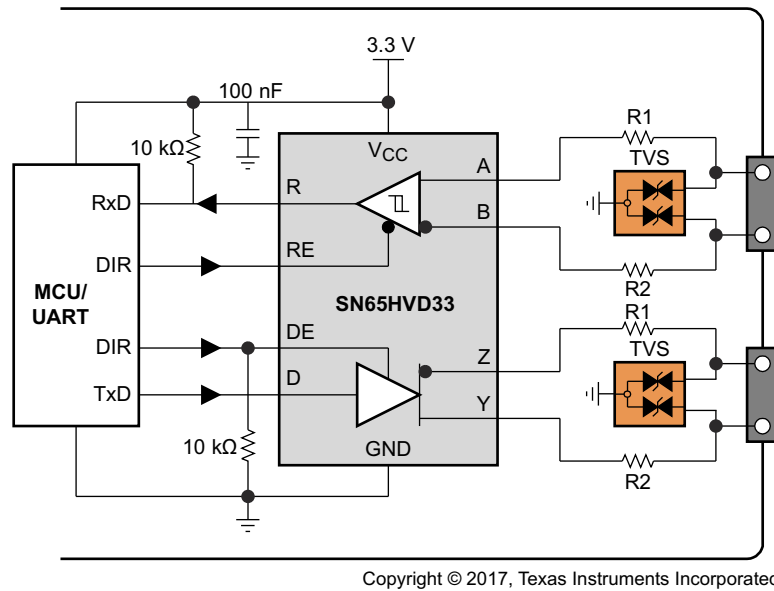


図 9-4. ESD、EFT、サージ過渡に対する過渡保護

表 9-2. 部品表 (BOM)

デバイス	機能	発注型番	メーカー ⁽¹⁾
XCVR	3.3V、半二重 RS-485 トランシーバ	SN65HVD33	TI
R1、R2	10Ω、パルス耐性のある厚膜抵抗	CRCW060310RJNEAHP	Vishay
TVS	双方向 400W 過渡サプレッサ	CDSOT23-SM712	Bourns

(1) 「サード パーティ製品に関する免責事項」をご覧ください。

9.2.3 アプリケーション曲線

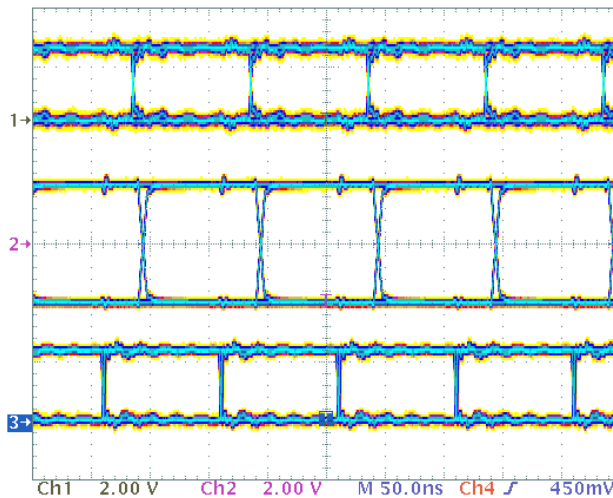


図 9-5. SN65HVD33 - EP 過渡波形

9.3 電源に関する推奨事項

すべてのデータレートおよび電源電圧において信頼性の高い動作を確保するために、各電源には、電源ピンの近くに 100nF のセラミック コンデンサを配置してデカップリングを行う必要があります。これにより、スイッチ モード電源の出力に存在する電源電圧リップルを低減し、PCB 電源プレーンの抵抗とインダクタンスを補償するのに役立ちます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

堅牢で信頼性の高いバスノード設計を実現するには、工業環境で発生し得る EFT やサージ過渡から保護するために、外付けの過渡保護デバイスを使用する必要があることがよくあります。これらの過渡はおおよそ 3MHz~3GHz という広い周波数帯域幅を持つため、PCB 設計で高周波レイアウト手法を適用する必要があります。

- 保護回路をバス コネクタの近くに配置し、ノイズ過渡が基板全体に伝播するのを防止します。
- V_{CC} およびグランド プレーンを使用して、低インダクタンスを実現します。高周波電流は、最もインピーダンスが低い経路ではなく、最もインダクタンスが小さい経路を通ります。
- 信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。
- 基板上的のトランシーバ、UART、コントローラ IC の V_{CC} ピンにできるだけ近い位置に、100nF ~ 220nF のバイパス コンデンサを配置します。
- 実効ビア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの V_{CC} およびグランド接続には少なくとも 2 つのビアを使用します。
- 過渡イベント時にこれらのラインのノイズ電流を制限するには、イネーブルラインに 1k Ω ~10k Ω のプルアップまたはプルダウン抵抗を使用します。
- TVS クランプ電圧がトランシーバ バス ピンの規定最大電圧よりも高い場合は、A と B の各バスラインに連続するパルス耐性抵抗を挿入します。これらの抵抗は、トランシーバへの残留クランプ電流を制限し、ラッチアップを防止します。
- 純粋な TVS 保護は最大 1kV のサージ過渡に十分ですが、過渡電圧が高い場合は、数百ボルトのクランプ電圧に過渡を低減する金属酸化バリスタ (MOV) と、過渡電流を 200mA に制限する過渡ブロッキング ユニット (TBU) が必要です。

9.4.2 レイアウト例

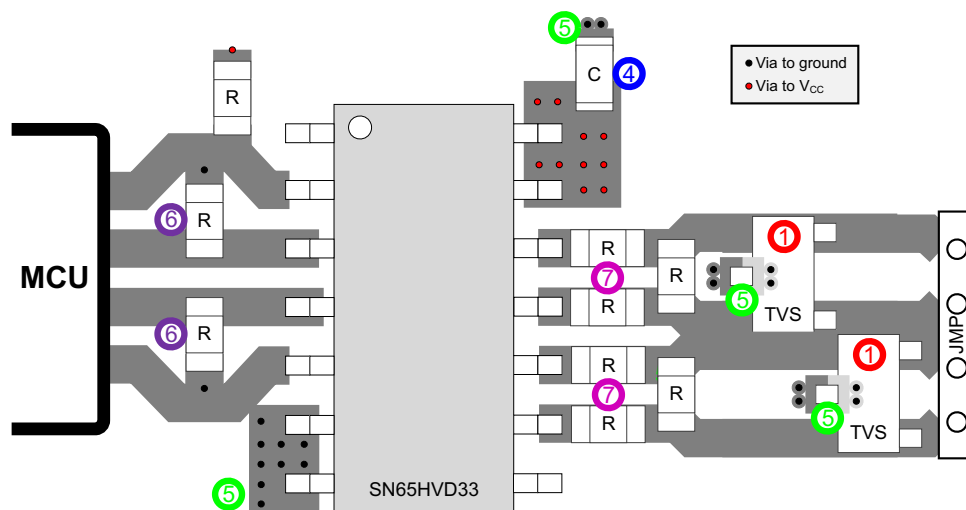


図 9-6. SN65HVD33-EP のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (September 2015) to Revision F (March 2025)	Page
• すべての古い用語をコントローラおよびペリフェラルに変更.....	1
• 「製品情報」表を「パッケージ情報」表に変更.....	1
• データシートからデバイス SN65HVD31-EP、SN65HVD32-EP、SN65HVD34-EP および SN65HVD35-EP を削除.....	1
• 仕様からレシーバのイコライゼーション特性の表を削除.....	4

Changes from Revision D (March 2012) to Revision E (September 2015)	Page
• 「取り扱い定格」の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65HVD30MDREP	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
SN65HVD30MDREP.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
SN65HVD30MDREPG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
SN65HVD33MDREP	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD33EP
SN65HVD33MDREP.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD33EP
V62/06634-01XE	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
V62/06634-04YE	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD33EP

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN65HVD30-EP, SN65HVD33-EP :

- Catalog : [SN65HVD30](#), [SN65HVD33](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65HVD30MDREP	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65HVD33MDREP	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65HVD30MDREP	SOIC	D	8	2500	353.0	353.0	32.0
SN65HVD33MDREP	SOIC	D	14	2500	340.5	336.1	32.0

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D0008A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月