SN74AC573-Q13 ステート出力搭載、車載用、オクタル、トランスペアレント D タイプ ラッチ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃～+125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 幅広い動作範囲:1.5V～6V
- 6V までの入力電圧に対応
- 連続 ±24mA 出力駆動 (5V 時)
- 短いバーストで
  最大 ±75mA の出力駆動 (5V 時) に対応
- 50Ω の伝送ラインを駆動
- 5V、50pF 負荷時の最大値で t_{pd} = 7.9ns

2 アプリケーション

- パラレル・データ・ストレージ
- デジタル・バス・バッファ

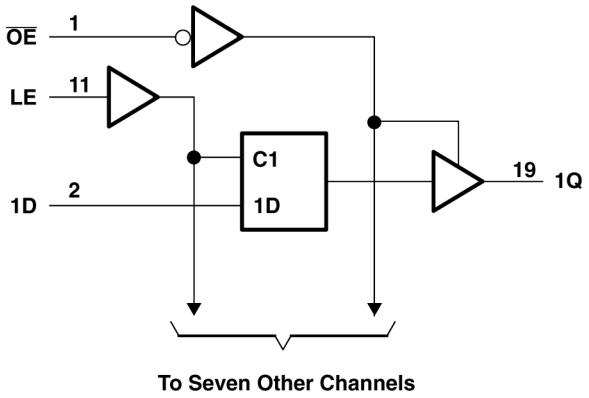
3 概要

SN74AC573-Q1 は、共有 3 ステート出力とラッチ制御を備えた 8 つのトランスペアレント D タイプ ラッチを内蔵しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)	本体サイズ (3)
SN74AC573-Q1	RKS (WQFN、20)	4.5mm × 2.5mm	4.5mm × 2.5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成と機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 タイミング特性.....6
5.7 スイッチング特性.....8
6 詳細説明.....10
6.1 概要.....10
6.2 機能ブロック図.....10
6.3 機能説明.....10
6.4 デバイスの機能モード.....11
7 アプリケーションと実装.....13
7.1 アプリケーション情報.....13
7.2 代表的なアプリケーション.....13
7.3 設計要件.....13
7.4 詳細な設計手順.....15
7.5 アプリケーション曲線.....15
7.6 電源に関する推奨事項.....16
7.7 レイアウト.....16
8 デバイスおよびドキュメントのサポート.....17
8.1 ドキュメントのサポート.....17
8.2 ドキュメントの更新通知を受け取る方法.....17
8.3 サポート・リソース.....17
8.4 商標.....17
8.5 静電気放電に関する注意事項.....17
8.6 用語集.....17
9 改訂履歴.....17
10 メカニカル、パッケージ、および注文情報.....17

Copyright © 2023 Texas Instruments Incorporated

4 ピン構成と機能

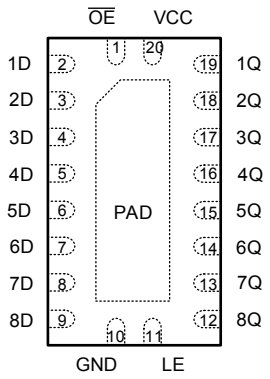


図 4-1. RKS パッケージ、20 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
$\overline{OE}$	1	I	出力イネーブル
1D	2	I	1D 入力
2D	3	I	2D 入力
3D	4	I	3D 入力
4D	5	I	4D 入力
5D	6	I	5D 入力
6D	7	I	6D 入力
7D	8	I	7D 入力
8D	9	I	8D 入力
GND	10	G	グランド
LE	11	I	ラッチ イネーブル入力
8Q	12	O	8Q 出力
7Q	13	O	7Q 出力
6Q	14	O	6Q 出力
5Q	15	O	5Q 出力
4Q	16	O	4Q 出力
3Q	17	O	3Q 出力
2Q	18	O	2Q 出力
1Q	19	O	1Q 出力
V_{CC}	20	P	正電源
放熱パッド [2]		—	サーマル・パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。
(2) RKS パッケージのみ。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲 [(2)]		-0.5	V_{CC} + 0.5V	V
V_O	出力電圧範囲 [(2)]		-0.5	V_{CC} + 0.5V	V
I_{IK}	入力クランプ電流	V_I < -0.5V または V_I > V_{CC} + 0.5V		±20	mA
I_{OK}	出力クランプ電流	V_O < -0.5V または V_O > V_{CC} + 0.5V		±50	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±50	mA
	V_{CC} または GND を通過する連続出力電流			±200	mA
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 HBM ESD 分類レベル 2 準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
V_{CC}	電源電圧		1.5	6	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.5V	1.2		V
		V_{CC} = 1.8V	1.26		
		V_{CC} = 2.5V	1.75		
		V_{CC} = 3V	2.1		
		V_{CC} = 4.5V	3.15		
		V_{CC} = 5.5V	3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.5V		0.3	V
		V_{CC} = 1.8V		0.54	
		V_{CC} = 2.5V		0.75	
		V_{CC} = 3V		0.9	
		V_{CC} = 4.5V		1.35	
		V_{CC} = 5.5V		1.65	
V_I [(1)]	入力電圧		0	V_{CC}	V
V_O	出力電圧		0	V_{CC}	V

Copyright © 2023 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)

仕様	概要	条件	最小値	最大値	単位
I_{OH}	High レベル出力電流	V_{CC} = 1.8V		-1	mA
		V_{CC} = 2.5V		-2	
		V_{CC} = 3.3V		-12	
		V_{CC} = 5V		-24	
I_{OL}	Low レベル出力電流	V_{CC} = 1.8V		1	mA
		V_{CC} = 2.5V		2	
		V_{CC} = 3.3V		12	
		V_{CC} = 5V		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	1.5V ≦ V_{CC} ≦ 3V		50	ns/V
		3V < V_{CC} ≦ 5.5V		20	
T_A	自由気流での動作温度		-40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、VCC または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』を参照してください。

5.4 熱に関する情報

熱評価基準 (1)		RKS (VQFN)	UNIT
		20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	72.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	45.6	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	13.2	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	45.6	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	29.4	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

5.5 電気的特性

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OH}	I_{OH} = -50μA	1.5V	1.4	1.49		V
		1.8V	1.7	1.79		
		2.5V	2.4	2.49		
		3V	2.9	2.99		
		4.5V	4.4	4.49		
		5.5V	5.4	5.49		
	I_{OH} = -1mA	1.8V	1.44			
	I_{OH} = -2mA	2.5V	2			
	I_{OH} = -4mA	3V	2.4			
	I_{OH} = -12mA	3V	2.4			
	I_{OH} = -24mA	4.5V	3.7			
	I_{OH} = -24mA	5.5V	4.7			
	I_{OH} = -75mA	5.5V				
	I_{OH} = -50mA	5.5V	3.85			

5.5 電気的特性 (続き)

自由空気での動作温度範囲内、T_A = 25℃ で測定した代表値 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	最小値	標準値	最大値	単位
V_{OL}	I_{OL} = 50μA	1.5V		0.01	0.1	V
		1.8V		0.01	0.1	
		2.5V		0.01	0.1	
		3V		0.01	0.1	
		4.5V		0.01	0.1	
		5.5V		0.01	0.1	
	I_{OL} = 1mA	1.8V			0.36	
	I_{OL} = 2mA	2.5V			0.5	
	I_{OL} = 4mA	3V			0.5	
	I_{OL} = 12mA	3V			0.5	
	I_{OL} = 24mA	4.5V			0.5	
	I_{OL} = 24mA	5.5V			0.5	
	I_{OL} = 50mA	5.5V			1.65	
	I_{OL} = 75mA	5.5V			1.65	
I_I	V_I = 5.5V または GND	0V～5.5V			±1	μA
I_{OZ}	V_O = V_{CC} または GND	5.5V			±5	μA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	5.5V			20	μA
C_I	V_I = V_{CC} または GND	5V		9		pF
C_O	V_O = V_{CC} または GND	5V		15		pF
C_{PD} (1) (2)	F = 1MHz	5V		60		pF

(1) C_{PD} は、チャネルごとのダイナミック消費電力を決定するために使用されます
(2) $P_D = V_{CC}{}^2 \times F_I \times (C_{PD} + C_L)$、ここで F_I = 入力周波数、C_L = 出力負荷容量、V_{CC} = 電源電圧

5.6 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	概要	条件	V_{CC}	T_A = 25℃		-40℃～85℃		-40℃～125℃		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
f_{clock}	クロック周波数		1.5V		15		11		10	MHz
t_W	パルス幅	LE が High	1.5V	44		44		50		ns
t_W	パルス幅	CLK が High または Low	1.5V	44		44		50		ns
t_W	パルス幅	CLR が Low	1.5V	35		55		63		ns
t_{SU}	セットアップ時間	LE ↓ 前のデータ	1.5V	2		2		2		ns
t_{SU}	セットアップ時間	CLR 非アクティブ	1.5V	2		2		2		ns
t_{SU}	セットアップ時間	CLK ↑ 前のデータ	1.5V	2		2		2		ns
t_H	ホールド時間	CLK ↑ 後のデータ	1.5V	2		2		2		ns
t_H	ホールド時間	LE ↓ 後のデータ	1.5V	15		33		38		ns
f_{clock}	クロック周波数		1.8V		55		45		44	MHz
t_W	パルス幅	LE が High	1.8V	7.2				11.4		ns
t_W	パルス幅	CLK が High または Low	1.8V	8.6				12.6		ns

Copyright © 2023 Texas Instruments Incorporated

5.6 タイミング特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	概要	条件	V_{CC}	T_A = 25℃		-40℃～85℃		-40℃～125℃		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
t_W	パルス幅	CLR が Low	1.8V	6.5				10.9		ns
t_{SU}	セットアップ時間	LE ↓ 前のデータ	1.8V	5.1				5.6		ns
t_{SU}	セットアップ時間	CLR 非アクティブ	1.8V	5.3				5.4		ns
t_{SU}	セットアップ時間	CLK ↑ 前のデータ	1.8V	8.3				9.5		ns
t_H	ホールド時間	CLK ↑ 後のデータ	1.8V	2				2		ns
t_H	ホールド時間	LE ↓ 後のデータ	1.8V	2				2		ns
f_{clock}	クロック周波数		2.5V		90		78		65	MHz
t_W	パルス幅	LE が High	2.5V	6				6		ns
t_W	パルス幅	CLK が High または Low	2.5V	7.3				7.3		ns
t_W	パルス幅	CLR が Low	2.5V	6				6		ns
t_{SU}	セットアップ時間	LE ↓ 前のデータ	2.5V	2.4				2.8		ns
t_{SU}	セットアップ時間	CLR 非アクティブ	2.5V	2.5				2.8		ns
t_{SU}	セットアップ時間	CLK ↑ 前のデータ	2.5V	3.9				7.5		ns
t_H	ホールド時間	CLK ↑ 後のデータ	2.5V	1				1		ns
t_H	ホールド時間	LE ↓ 後のデータ	2.5V	2				2.3		ns
f_{clock}	クロック周波数		3.3V		101		89		75	MHz
t_W	パルス幅	LE が High	3.3V	5.5		4.9		5.6		ns
t_W	パルス幅	CLK が High または Low	3.3V	5		4.9		5.6		ns
t_W	パルス幅	CLR が Low	3.3V			6.1		7		ns
t_{SU}	セットアップ時間	LE ↓ 前のデータ	3.3V	3.5		2		2		ns
t_{SU}	セットアップ時間	CLR 非アクティブ	3.3V			2		2		ns
t_{SU}	セットアップ時間	CLK ↑ 前のデータ	3.3V	2.5		2		2		ns
t_H	ホールド時間	CLK ↑ 後のデータ	3.3V	1		1		1		ns
t_H	ホールド時間	LE ↓ 後のデータ	3.3V	2		2		4.2		ns
f_{clock}	クロック周波数		5V		150		143		125	MHz
t_W	パルス幅	LE が High	5V	4		3.5		4		ns
t_W	パルス幅	CLK が High または Low	5V	3.5		3.5		4		ns
t_W	パルス幅	CLR が Low	5V			4.4		5		ns
t_{SU}	セットアップ時間	LE ↓ 前のデータ	5V	3		2		2		ns
t_{SU}	セットアップ時間	CLR 非アクティブ	5V			2		2		ns
t_{SU}	セットアップ時間	CLK ↑ 前のデータ	5V	1.5		2		2		ns
t_H	ホールド時間	CLK ↑ 後のデータ	5V	1		1.5		2		ns
t_H	ホールド時間	LE ↓ 後のデータ	5V	1		1		1		ns

Copyright © 2023 Texas Instruments Incorporated

5.7 スイッチング特性

C_L = 50pF、自由気流での動作温度範囲内、T_A = 25℃で測定された標準値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			-40℃～85℃			-40℃～125℃			単位
				最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
t_{PLH}	D	Q	1.5V		18.2	31.9			33.4			34.1	ns
t_{PHL}	D	Q	1.5V		19.5	32.6			34			34.4	ns
t_{PLH}	LE	Q	1.5V		21.9	38.2			39.8			40.6	ns
t_{PHL}	LE	Q	1.5V		22.1	37.6			39.2			39.7	ns
t_{PZH}	$\overline{OE}$	Q	1.5V		17.4	29.3			30.6			31.3	ns
t_{PZL}	$\overline{OE}$	Q	1.5V		18.3	30.7			31.6			31.9	ns
t_{PHZ}	$\overline{OE}$	Q	1.5V		22.6	32.2			33.2			33.7	ns
t_{PLZ}	$\overline{OE}$	Q	1.5V		14.2	21.2			21.6			21.7	ns
t_{PLH}	CLK	Q	1.5V		21.8	44			45.9			46.5	ns
t_{PHL}	CLK	Q	1.5V		22.2	41.8			43.6			44.5	ns
t_{PHL}	$\overline{CLR}$	Q	1.5V		21.5	35.1			36.5			37	ns
t_{PLH}	D	Q	1.8V		12.6	20.1			22			23	ns
t_{PHL}	D	Q	1.8V		14	21.7			23.4			24.4	ns
t_{PLH}	LE	Q	1.8V		15.5	24.6			26.7			27.8	ns
t_{PHL}	LE	Q	1.8V		16	25			26.9			28.1	ns
t_{PZH}	$\overline{OE}$	Q	1.8V		12.5	19.3			20.9			21.9	ns
t_{PZL}	$\overline{OE}$	Q	1.8V		13.6	20.9			22.2			22.9	ns
t_{PHZ}	$\overline{OE}$	Q	1.8V		17.9	23.9			25.6			26.4	ns
t_{PLZ}	$\overline{OE}$	Q	1.8V		10.9	14.8			15.3			15.6	ns
t_{PLH}	CLK	Q	1.8V		15.4	28.1			30.5			31.8	ns
t_{PHL}	CLK	Q	1.8V		16	27.4			29.8			31.1	ns
t_{PHL}	$\overline{CLR}$	Q	1.8V		15.7	23.7			25.5			26.4	ns
t_{PLH}	D	Q	2.5V		7.8	11.3			12.8			13.8	ns
t_{PHL}	D	Q	2.5V		8.8	12.6			13.9			14.7	ns
t_{PLH}	LE	Q	2.5V		9.6	14.2			16			17.1	ns
t_{PHL}	LE	Q	2.5V		10	14.4			16			16.9	ns
t_{PZH}	$\overline{OE}$	Q	2.5V		8.1	11.6			13			13.9	ns
t_{PZL}	$\overline{OE}$	Q	2.5V		9.2	13.4			14.5			15.2	ns
t_{PHZ}	$\overline{OE}$	Q	2.5V		7.8	10.3			11.3			11.7	ns
t_{PLZ}	$\overline{OE}$	Q	2.5V		5.7	7.6			8.4			8.8	ns
t_{PLH}	CLK	Q	2.5V		9.6	16.1			18			19.2	ns
t_{PHL}	CLK	Q	2.5V		9.9	15.7			17.5			18.5	ns
t_{PHL}	$\overline{CLR}$	Q	2.5V		10	13.8			15.2			16	ns
t_{PLH}	D	Q	3.3V		6.4	9			10.3			11.1	ns
t_{PHL}	D	Q	3.3V		7.4	10.2			11.3			12.1	ns
t_{PLH}	LE	Q	3.3V		8	11.3			12.8			13.8	ns
t_{PHL}	LE	Q	3.3V		8.4	11.7			13			13.8	ns
t_{PZH}	$\overline{OE}$	Q	3.3V		6.9	9.5			10.6			11.4	ns
t_{PZL}	$\overline{OE}$	Q	3.3V		7.6	10.9			11.9			12.5	ns
t_{PHZ}	$\overline{OE}$	Q	3.3V		6.4	8.4			9.2			9.7	ns
t_{PLZ}	$\overline{OE}$	Q	3.3V		4.9	6.5			7			7.5	ns

Copyright © 2023 Texas Instruments Incorporated

5.7 スイッチング特性 (続き)

C_L = 50pF、自由気流での動作温度範囲内、T_A = 25℃で測定された標準値 (特に記述のない限り)。「パラメータ測定情報」を参照

パラメータ	始点 (入力)	終点 (出力)	V_{CC}	T_A = 25℃			-40℃～85℃			-40℃～125℃			単位
				最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
t_{PLH}	CLK	Q	3.3V		8	12.6			14.3			15.4	ns
t_{PHL}	CLK	Q	3.3V		8.3	12.6			14.3			15.2	ns
t_{PHL}	$\overline{CLR}$	Q	3.3V		8.4	11.3			12.4			13.3	ns
t_{PLH}	D	Q	5V		4.8	6.2			7.1			7.7	ns
t_{PHL}	D	Q	5V		5.4	7.1			7.9			8.4	ns
t_{PLH}	LE	Q	5V		6	7.9			8.9			9.6	ns
t_{PHL}	LE	Q	5V		6.2	8.2			9.1			9.7	ns
t_{PZH}	$\overline{OE}$	Q	5V		5.3	6.9			7.7			8.3	ns
t_{PZL}	$\overline{OE}$	Q	5V		5.5	7.5			8.2			8.7	ns
t_{PHZ}	$\overline{OE}$	Q	5V		5.1	6.4			6.9			7.3	ns
t_{PLZ}	$\overline{OE}$	Q	5V		3.6	4.5			5.1			5.4	ns
t_{PLH}	CLK	Q	5V		6	8.7			9.8			10.6	ns
t_{PHL}	CLK	Q	5V		6.2	8.8			9.9			10.6	ns
t_{PHL}	$\overline{CLR}$	Q	5V		6.4	8			8.8			9.4	ns

6 詳細説明

6.1 概要

8 つのラッチは D タイプのトランスペアレント ラッチです。ラッチ・イネーブル (LE) 入力が HIGH の場合、Q 出力はデータ (D) 入力に従います。LE を Low にすると、D 入力で設定されたロジック レベルで Q 出力がラッチされます。

バッファ付きの出力イネーブル ($\overline{OE}$) 入力を使用して、8 つの出力を通常のロジック状態 (High または Low ロジック レベル) または高インピーダンス状態のいずれかにできます。高インピーダンス状態では、出力によってバス ラインに大きな負荷がかかったり、駆動されたりしません。高インピーダンス状態と駆動性能の向上によって、インターフェイスまたはプルアップ コンポーネントなしでバス ラインの駆動が可能になります。

$\overline{OE}$ は、ラッチの内部動作に影響しません。出力が高インピーダンス状態にある間に、古いデータを保持することも新しいデータを入力することもできます。

6.2 機能ブロック図

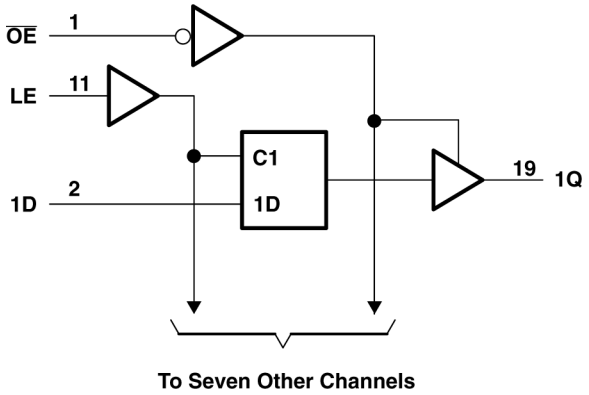


図 6-1. 論理図 (正論理)

6.3 機能説明

6.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High に駆動、Low に駆動、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング・ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

6.3.2 ラッチ・ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ・ラッチと D タイプ・フリップ・フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

Copyright © 2023 Texas Instruments Incorporated

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

6.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。最悪条件下の抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND で終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

6.3.4 クランプ・ダイオード構造

図 6-2 に示すように、このデバイスの入力と出力には正と負の両方のクランプ・ダイオードがあります。

> **注意**
>
> 「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

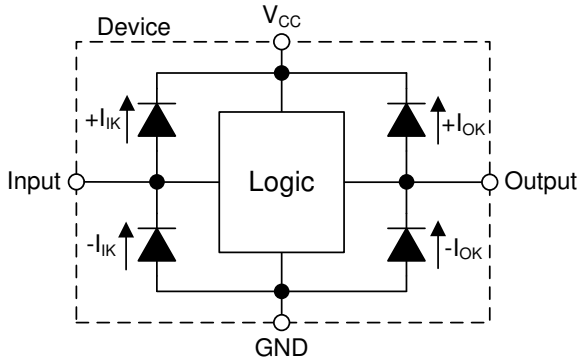


図 6-2. 各入力と出力に対するクランプ・ダイオードの電気的配置

6.4 デバイスの機能モード

表 6-1. 機能表 (各ラッチ)

入力 (1)			出力(2) Q
OE	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Q_0

表 6-1. 機能表 (各ラッチ) (続き)

入力 (1)			出力(2) Q
OE	**LE**	**D**	
H	X	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = High または Low 電圧レベル
(2) H = High に駆動、L = Low に駆動、Q_0 = 直前の High または Low 状態に駆動、Z = 高インピーダンス

Copyright © 2023 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

SN74AC573-Q1 は、比較的長いパターンや伝送線路で信号を駆動するために使用できます。トランスミッタの出力と直列に配置した直列ダンピング抵抗を使用すると、ドライバ、伝送線路、レシーバの間のインピーダンスの不整合に起因するリンギングを低減できます。「アプリケーション曲線」セクションの図は、3 つの個別の抵抗値を持つ受信信号を示しています。この種のアプリケーションでは、わずかな量の抵抗だけで信号整合性に大きな影響を及ぼす可能性があります。

7.2 代表的なアプリケーション

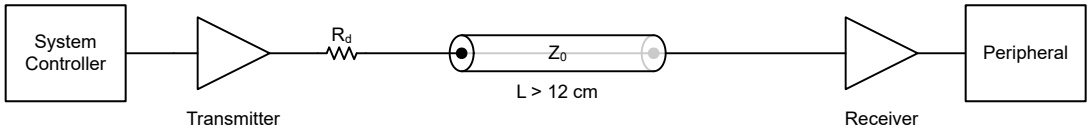


図 7-1. 代表的なアプリケーションのブロック図

7.3 設計要件

7.3.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流 I_{CC} に SN74AC573-Q1 のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グランドは、SN74AC573-Q1 のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流 I_{CC} を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グランド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74AC573-Q1 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74AC573-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意
「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

7.3.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには $V_{IL(max)}$ を下回る必要があり、ロジック HIGH と見なされるには $V_{IH(min)}$ を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74AC573-Q1 へのリーク電流 (「電気的特性」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は 10kΩ の抵抗値が使用されます。

SN74AC573-Q1 には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

7.3.3 出力に関する考慮事項

出力 HIGH 電圧は、正の電源電圧を使用して生成します。「電気的特性」の V_{OH} 仕様に規定されているように、出力から電流を引き込むと出力電圧が低下します。出力 LOW 電圧は、グランド電圧を使用して生成します。「電気的特性」の V_{OL} 仕様に規定されているように、出力に電流をシンクすると出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力同士は、直接接続しないでください。これにより過電流が発生し、デバイスが損傷する可能性があります。

同じデバイス内で、同じ入力信号を持つ 2 つのチャネルを並列に接続すると、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接 V_{CC} またはグランドに接続しないでください。

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

Copyright © 2023 Texas Instruments Incorporated

7.4 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AC573-Q1 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を ($V_{CC}/I_{O(max)}$)Ω より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は MΩ) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

7.5 アプリケーション曲線

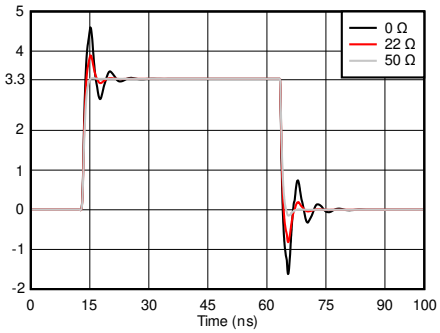


図 7-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでの信号の整合性をシミュレート

7.6 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。 電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.7 レイアウト

7.7.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ・ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているように論理 High か論理 Low に接続する必要があります。特定の未使用の入力に対して適用が必要となる論理レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、論理機能にとってより適切であるかより利便性の高い方に接続されます。

7.7.2 レイアウト例

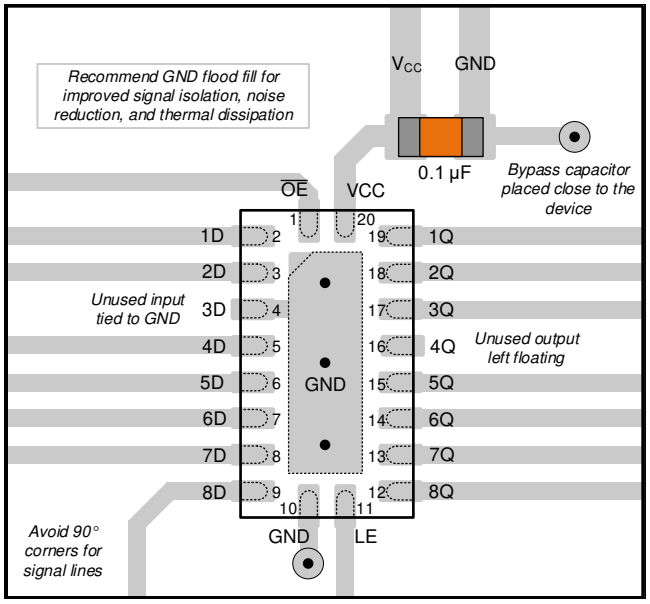


図 7-3. RKS パッケージに封止した SN74AC573-Q1 のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と Cpd の計算』*SCAA035
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』
- テキサス・インスツルメンツ、*『標準リニア / ロジック (SLL) パッケージおよびデバイスの熱特性』*SCZA005

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

日付	改訂	注
2023 年 11 月	*	初版

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74AC573QPWRQ1	ACTIVE	TSSOP	PW	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q	Samples
SN74AC573QWRKSRQ1	ACTIVE	VQFN	RKS	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573Q	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AC573-Q1 :

- Catalog : SN74AC573

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

GENERIC PACKAGE VIEW

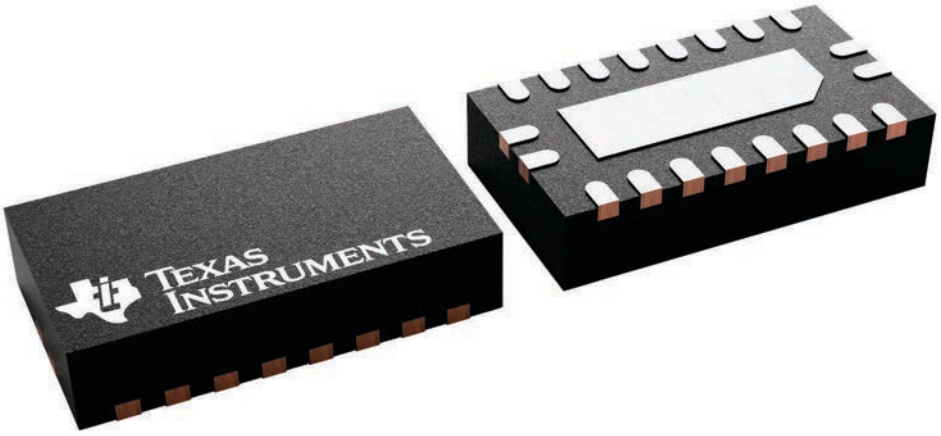
RKS 20

VQFN - 1 mm max height

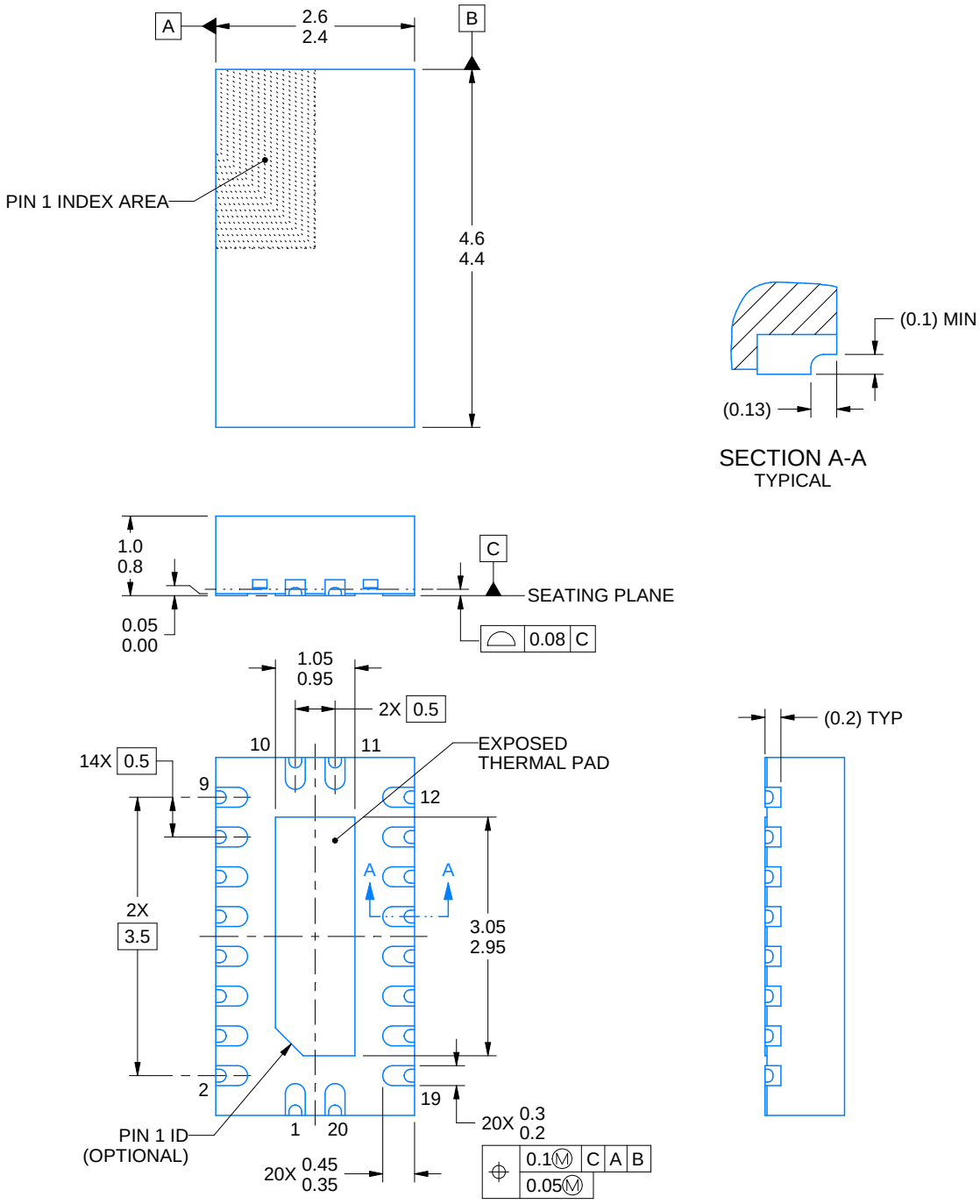
2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



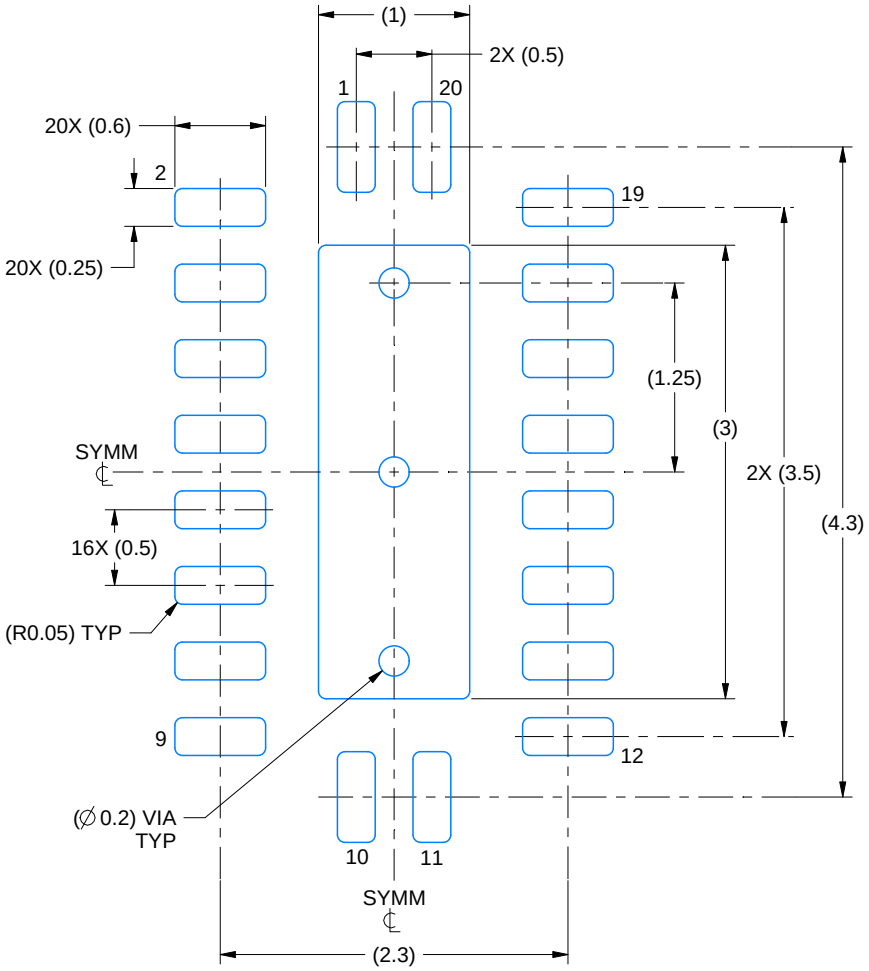
4226872/A



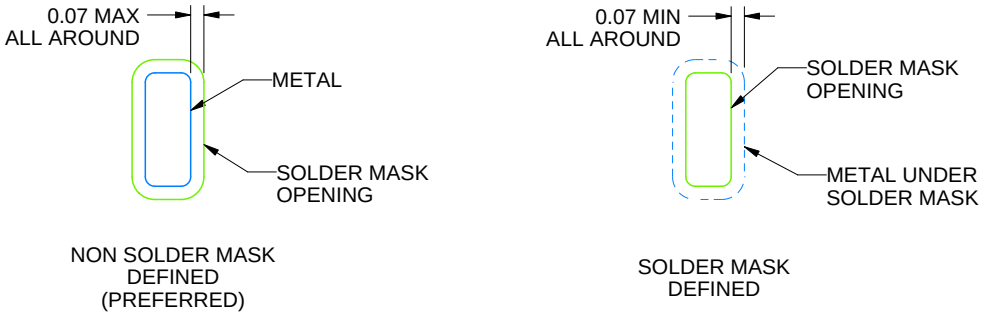
4226762/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

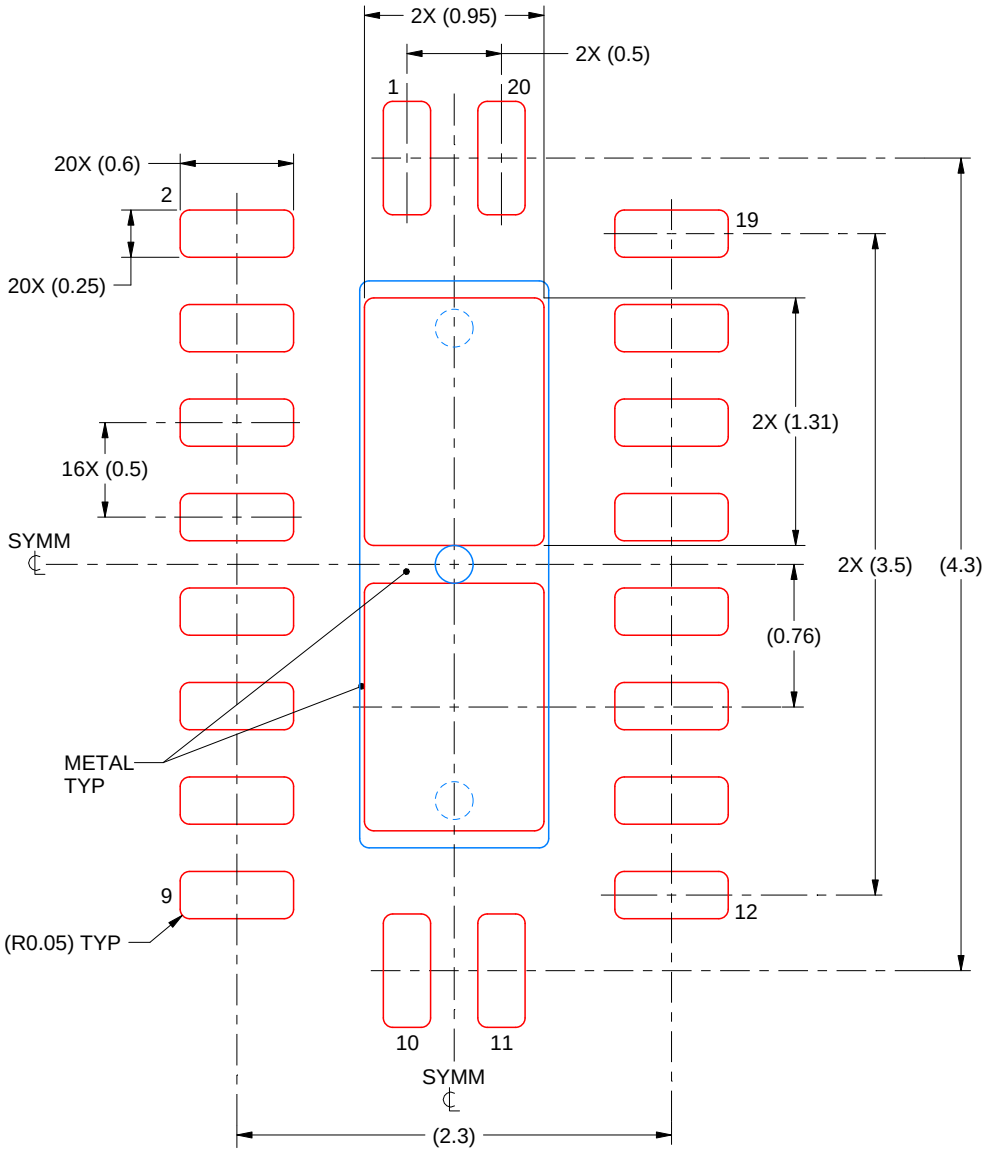


SOLDER MASK DETAILS

4226762/B 06/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



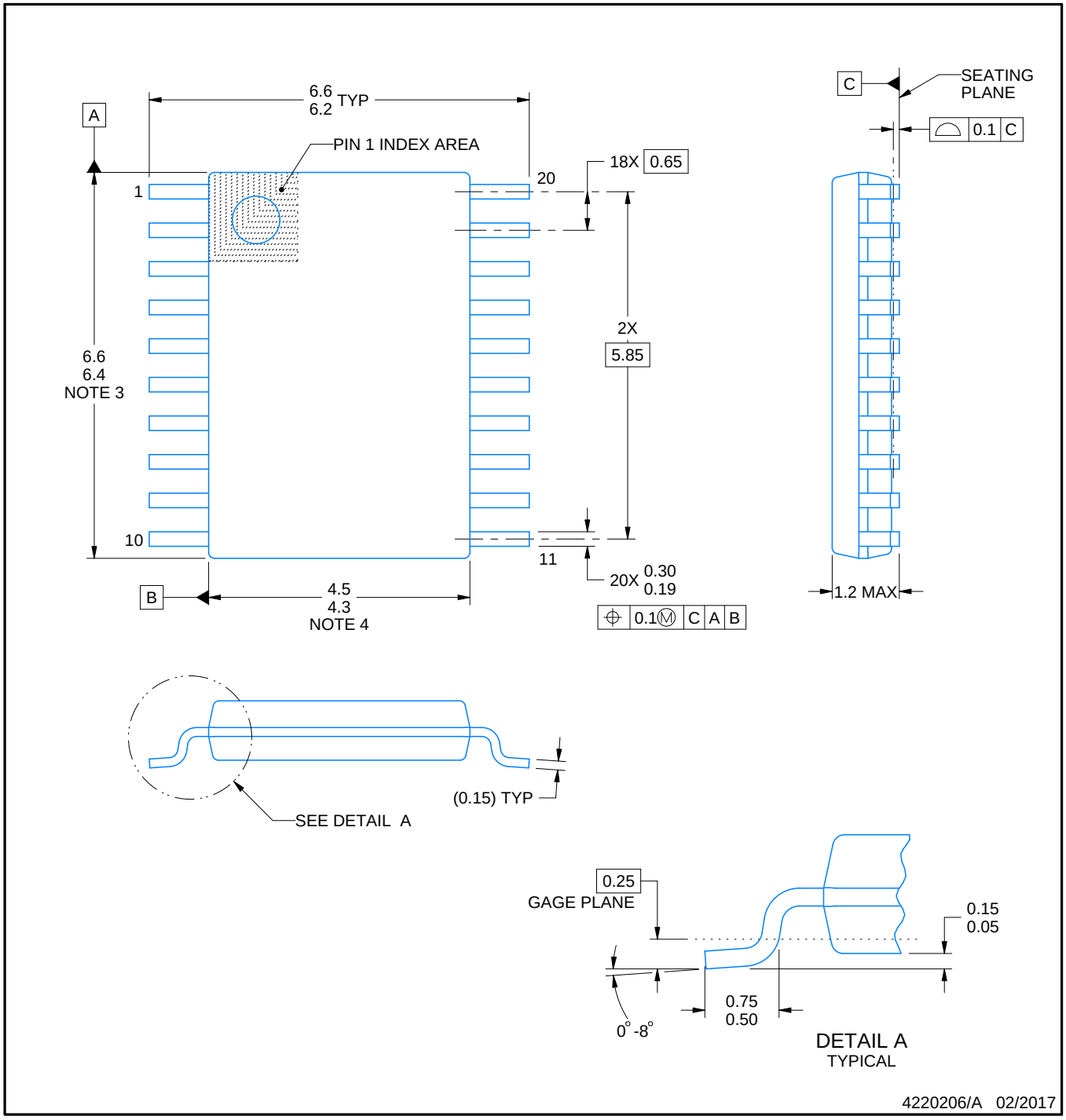
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4226762/B 06/2022

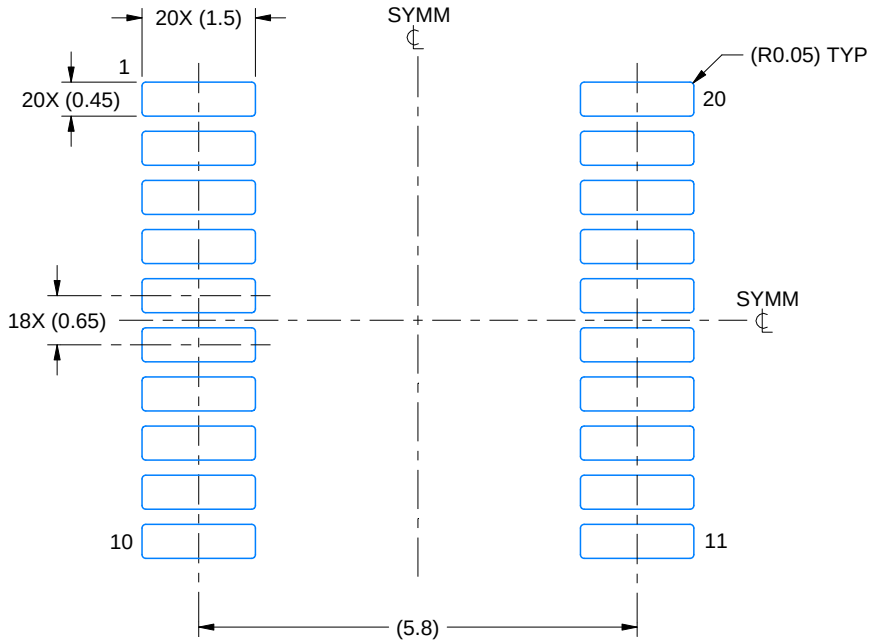
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

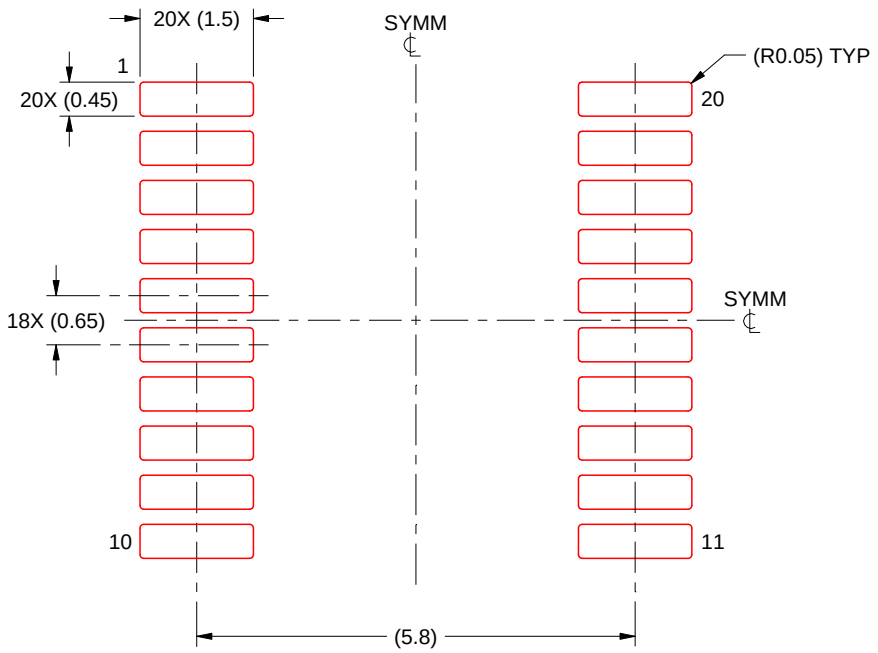
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated