SN74LV1T00-Q1 車載用 2 入力正論理 NAND ゲート、変換機能内蔵

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃～+125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- 幅広い動作範囲:1.8V～5.5V
- 単一電源電圧トランスレータ (「LVxT 拡張入力電圧」を参照):
  - 昇圧変換:
    - 1.2V～1.8V
    - 1.5V～2.5V
    - 1.8V～3.3V
    - 3.3V～5.0V
  - 降圧変換:
    - 5.0V、3.3V、2.5V から 1.8V
    - 5.0V、3.3V から 2.5V
    - 5.0V～3.3V
- 5.5V 耐圧入力ピン
- 標準ピン配置をサポート
- 5V または 3.3V の V_{CC} で最大 150Mbps
- JESD 17 準拠で
  250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラの間の変換

3 概要

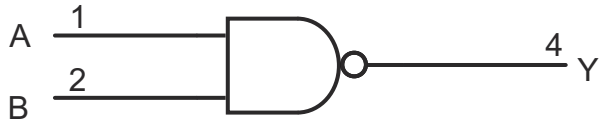
SN74LV1T00-Q1 は 2 入力 NAND ゲートです。各ゲートはブール関数 $Y = \overline{A \times B}$ を正論理で実行します。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

入力は低スレッショルド回路を使用して設計され、低電圧 CMOS 入力の昇圧変換 (例:1.2V 入力から 1.8V 出力、1.8V 入力から 3.3V 出力) をサポートします。また、5V 許容入力ピンにより、降圧変換 (例:3.3V から 2.5V 出力) が可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)(3)
SN74LV1T00-Q1	DCK (SC-70、5)	2mm × 2.1mm	2mm × 1.25mm
	DBV (SOT-23、5)	2.9mm × 2.8mm	2.9mm × 1.6mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 スイッチング特性:1.8V V_{CC}.....7
5.7 スイッチング特性:2.5V V_{CC}.....7
5.8 スイッチング特性:3.3V V_{CC}.....7
5.9 スイッチング特性:5.0V V_{CC}.....7
5.10 代表的特性.....7
6 パラメータ測定情報.....10
7 詳細説明.....11
7.1 概要.....11
7.2 機能ブロック図.....11
7.3 機能説明.....11
7.4 デバイスの機能モード.....13
8 アプリケーションと実装.....14
8.1 アプリケーション情報.....14
8.2 代表的なアプリケーション.....14
8.3 電源に関する推奨事項.....16
8.4 レイアウト.....16
9 デバイスおよびドキュメントのサポート.....18
9.1 ドキュメントのサポート.....18
9.2 ドキュメントの更新通知を受け取る方法.....18
9.3 サポート・リソース.....18
9.4 商標.....18
9.5 静電気放電に関する注意事項.....18
9.6 用語集.....18
10 改訂履歴.....18
11 メカニカル、パッケージ、および注文情報.....19

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

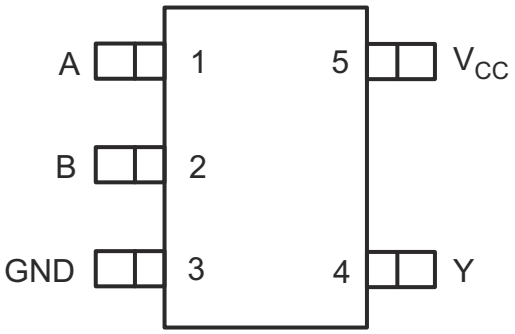


図 4-1. SN74LV1T00-Q1 DBV Package, 5-Pin SOT-23; DCK Package, 5-Pin SC-70 (Top View)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
A	1	I	Input A
B	2	I	Input B
GND	3	G	Ground
Y	4	O	Output Y
V_{CC}	5	P	Positive Supply

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I	入力電圧範囲		-0.5	7	V
V_O	出力電圧範囲		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流 [(2)]	V_I < -0.5V		-20	mA
I_{OK}	出力クランプ電流 [(2)]	V_O < -0.5V または V_O > V_{CC} + 0.5V		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
I_O	V_{CC} または GND を通過する連続出力電流			±50	mA
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」*の範囲内で、一時的に*「推奨動作条件」*の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 入力および出力電流の定格を順守しても、入力および出力電圧の定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 [(1)] HBM ESD 分類レベル 2 準拠	±2000	V
		荷電デバイス・モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
V_{CC}	電源電圧		1.6	5.5	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
V_{IH}	High レベル入力電圧	V_{CC} = 1.65V～2V	1.1		V
		V_{CC} = 2.25V～2.75V	1.28		
		V_{CC} = 3V～3.6V	1.45		
		V_{CC} = 4.5V～5.5V	2.00		
V_{IL}	Low レベル入力電圧	V_{CC} = 1.65V～2V		0.50	V
		V_{CC} = 2.25V～2.75V		0.65	
		V_{CC} = 3V～3.6V		0.75	
		V_{CC} = 4.5V～5.5V		0.85	
I_O	出力電流	V_{CC} = 1.65V～2V		±3	mA
		V_{CC} = 2.25V～2.75V		±7	
		V_{CC} = 3V～5.5V		±15	
Δt/Δv	入力遷移の立ち上がりレートと立ち下がりレート	V_{CC} = 1.65V～5.5V		20	ns/V

Copyright © 2024 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
T_A	自由気流での動作温度		-40	125	℃

5.4 熱に関する情報

熱評価基準 (1)		DBV (SOT-23)	DCK (SC-70)	単位
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	278.0	293.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	180.5	208.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	184.4	180.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	115.4	120.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	183.4	179.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			-40℃～125℃			単位
			最小値	代表値	最大値	最小値	代表値	最大値	
V_{OH}	I_{OH} = -50μA	1.65V～5.5V	V_{CC} - 0.1			V_{CC} - 0.1			V
	I_{OH} = -2mA	1.65V	1.28	1.7 (1)		1.21			
	I_{OH} = -3mA	2.25V	2	2.4 (1)		1.93			
	I_{OH} = -5.5mA	3.0V	2.6	3.08 (1)		2.49			
	I_{OH} = -8mA	4.5V	4.1	4.65 (1)		3.95			
V_{OL}	I_{OH} = 50μA	1.65V～5.5V			0.1			0.1	V
	I_{OH} = 2mA	1.65V		0.1 (1)	0.2			0.25	
	I_{OH} = 3mA	2.25V		0.1 (1)	0.15			0.2	
	I_{OH} = 5.5mA	3.0V		0.2 (1)	0.2			0.25	
	I_{OH} = 8mA	4.5V		0.3 (1)	0.3			0.35	
I_{CC}	V_I = V_{CC} または GND、I_O = 0	5V			0.12			±1	μA
		3.3V			1			10	
		2.5V			1			10	
		1.8V			1			10	
Δ_{ICC}	1 つの入力は 0.3V または 3.4V、その他の入力は V_{CC} または GND	5.5V			1.35			1.5	mA
	1 つの入力は 0.3V または 1.1V、その他の入力は V_{CC} または GND	1.8V			10			10	μA
I_I	V_I = 0V～V_{CC}				0.12			±1	μA
C_i	V_I = V_{CC} または GND	3.3V		2	10		2	10	pF
C_O	Vo = V_{CC} または GND	3.3V		2.5			2.5		pF
C_{PD} (2) (3)	F = 1MHz および 10MHz	1.65V～5.5V		14					pF

(1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値
(2) C_{PD} は、チャネルごとの動的消費電力を求めるために使われます。
(3) $P_D = V_{CC}{}^2 \times F_I \times (C_{PD} + C_L)$、ここで F_I = 入力周波数、C_L = 出力負荷容量、V_{CC} = 電源電圧

Copyright © 2024 Texas Instruments Incorporated

5.6 スイッチング特性：1.8V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40℃～125℃			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t_{PD}	A または B	Y	CL = 15pF		8.8	12.7	1	10.4	14.9	ns
			CL = 50pF		10.8	15.7	1	12.7	18.3	

5.7 スイッチング特性：2.5V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40℃～125℃			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t_{PD}	A または B	Y	CL = 15pF		6.3	7.9		7.4	9.5	ns
			CL = 50pF		7.4	9.6		8.9	11.5	

5.8 スイッチング特性：3.3V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40℃～125℃			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t_{PD}	A または B	Y	CL = 15pF		4.9	5.9		6	7.3	ns
			CL = 50pF		5.9	7.2		7.1	8.8	

5.9 スイッチング特性：5.0V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40℃～125℃			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t_{PD}	A または B	Y	CL = 15pF		3.4	4.1		4.1	4.7	ns
			CL = 50pF		3.9	5.3		4.9	6.3	

5.10 代表的特性

T_A = 25℃ (特に記述のない限り)

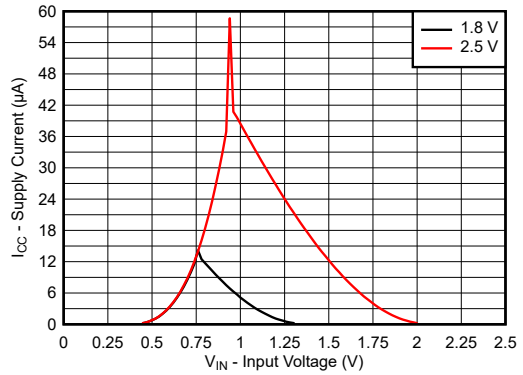


図 5-1. 電源電流と入力電圧との関係 (1.8V、2.5V 電源)

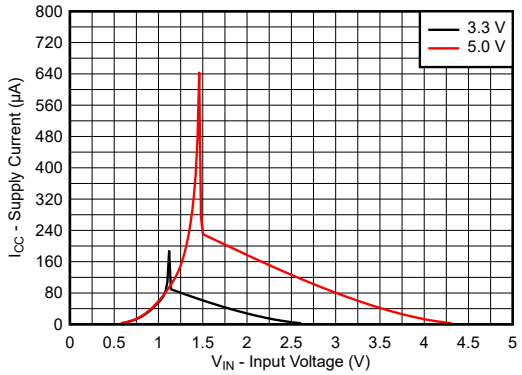


図 5-2. 電源電流と入力電圧との関係 (3.3V、5.0V 電源)

5.10 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

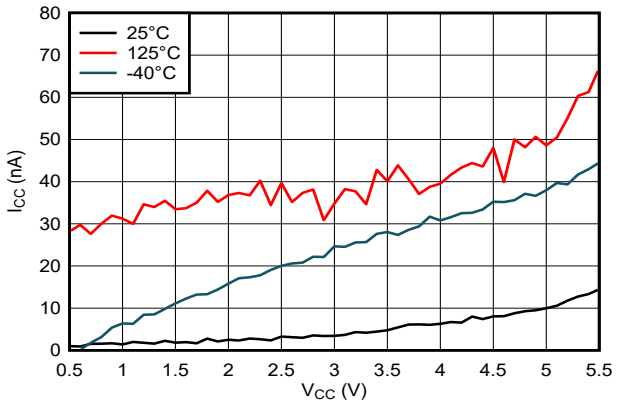


図 5-3. 電源電流と電源電圧との関係

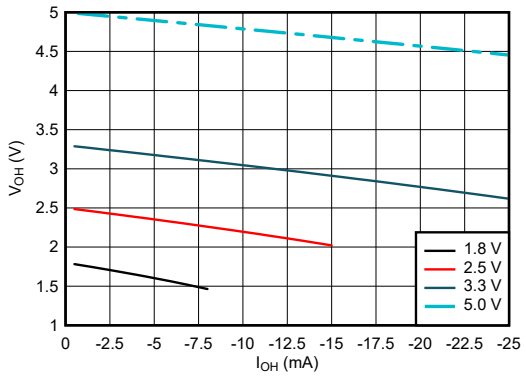


図 5-4. 出力電圧と High 状態の電流との関係

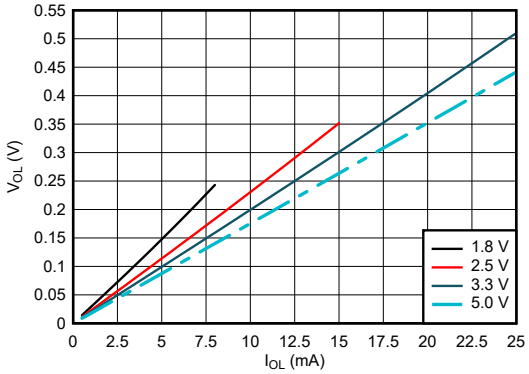


図 5-5. 出力電圧と Low 状態の電流との関係

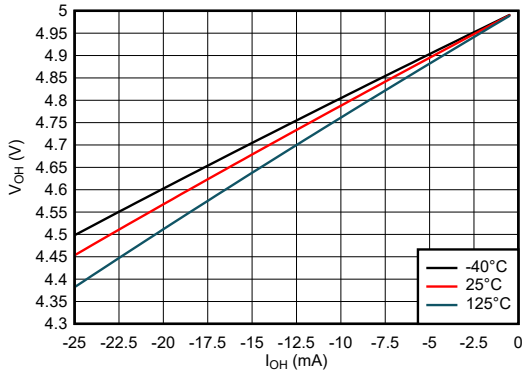


図 5-6. 出力電圧と High 状態の電流との関係 (5V 電源)

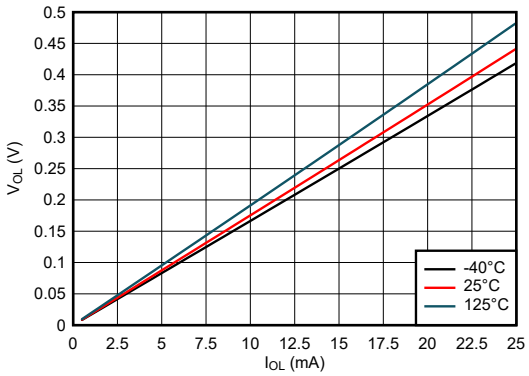


図 5-7. 出力電圧と Low 状態の電流との関係 (5V 電源)

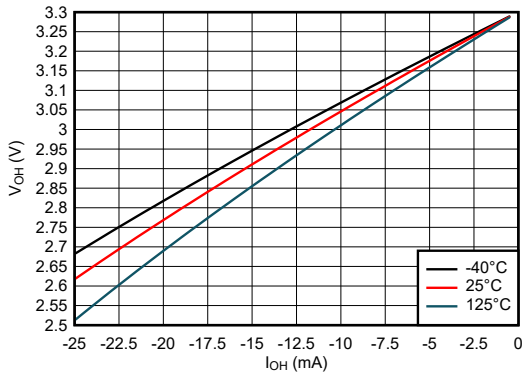


図 5-8. 出力電圧と High 状態の電流との関係 (3.3V 電源)

Copyright © 2024 Texas Instruments Incorporated

5.10 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

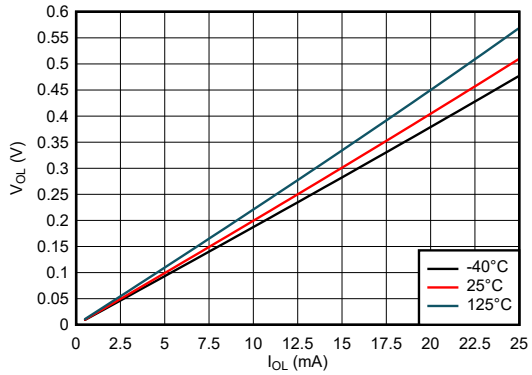


図 5-9. 出力電圧と Low 状態の電流との関係 (3.3V 電源)

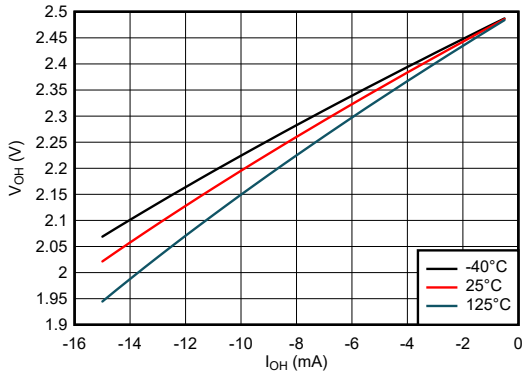


図 5-10. 出力電圧と High 状態の電流との関係 (2.5V 電源)

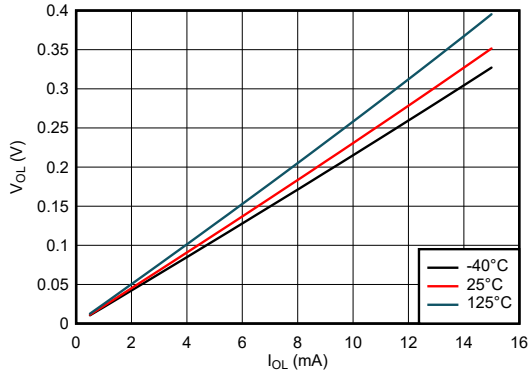


図 5-11. 出力電圧と Low 状態の電流との関係 (2.5V 電源)

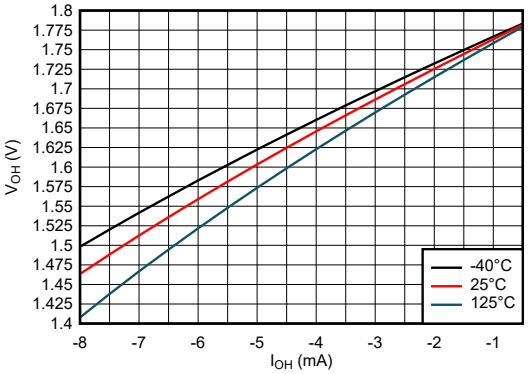


図 5-12. 出力電圧と High 状態の電流との関係 (1.8V 電源)

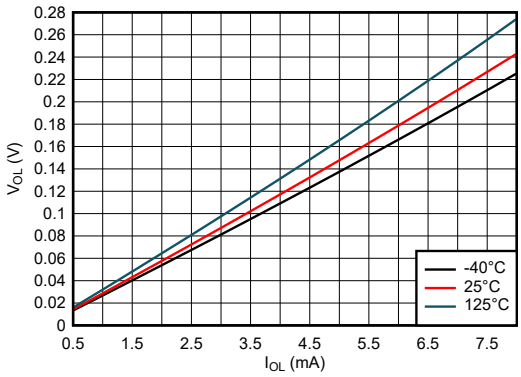


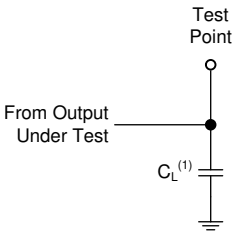
図 5-13. 出力電圧と Low 状態の電流との関係 (1.8V 電源)

6 パラメータ測定情報

波形間の位相関係は任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR≦1MHz、Z_O = 50Ω、t_t < 3ns。

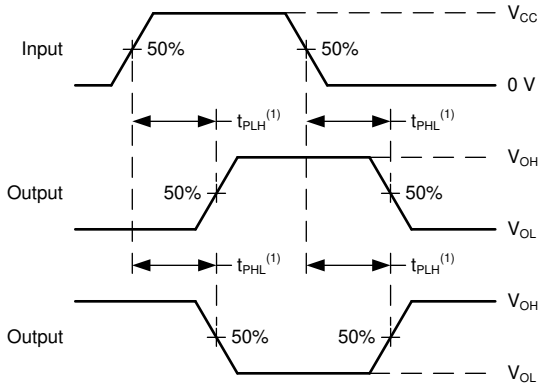
クロック入力の場合、入力デューティ・サイクルが 50% のときの f_{max} が測定されます。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



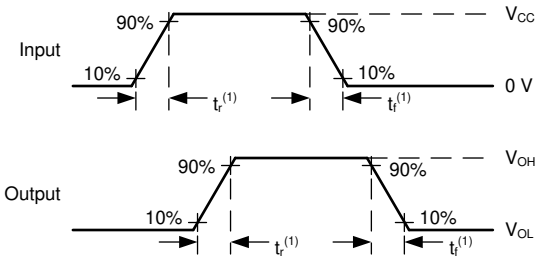
(1) C_L にはプローブとテスト治具の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-3. 電圧波形、入力と出力の遷移時間

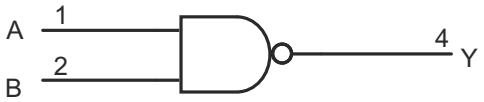
Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SN74LV1T00-Q1 は 2 入力 NAND ゲートです。各ゲートはブール関数 $Y = \overline{A \times B}$ を正論理で実行します。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡な CMOS プッシュプル出力

このデバイスには、平衡な CMOS プッシュプル出力が内蔵されています。「平衡な」という用語 は、デバイスが同様の電流をシンクおよびソースできることを示します。 このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.2 LVxT 拡張入力電圧

SN74LV1T00-Q1 は、テキサス・インスツルメンツの電圧レベル変換機能内蔵 LVxT ロジック・デバイス・ファミリの製品です。このデバイス・ファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。出力電圧は常に電源電圧 (V_{CC}) (*「電気的特性」*表を参照) を基準とします。正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以下、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に入力信号を保持する必要があります。図 7-1 に、LVxT デバイス・ファミリの V_{IH} および V_{IL} レベル (代表値) と一般的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は*「電気的特性」*に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は*「絶対最大定格」*に示されている最大入力電圧と、*「電気的特性」*に示されている最大入力リーケージ電流からオームの法則 (R = V ÷ I) を使用して計算します。

入力に関しては、*「推奨動作条件」*表の入力遷移時間またはレートで定義されているように、有効なロジック状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が増大し、発振の原因となる可能性があります。詳細については、*『低速またはフローティング CMOS 入力の影響』*アプリケーション・レポートを参照してください。

動作中は片時も、入力をフローティングにすることはできません。未使用の入力は、V_{CC} または GND に接続して終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

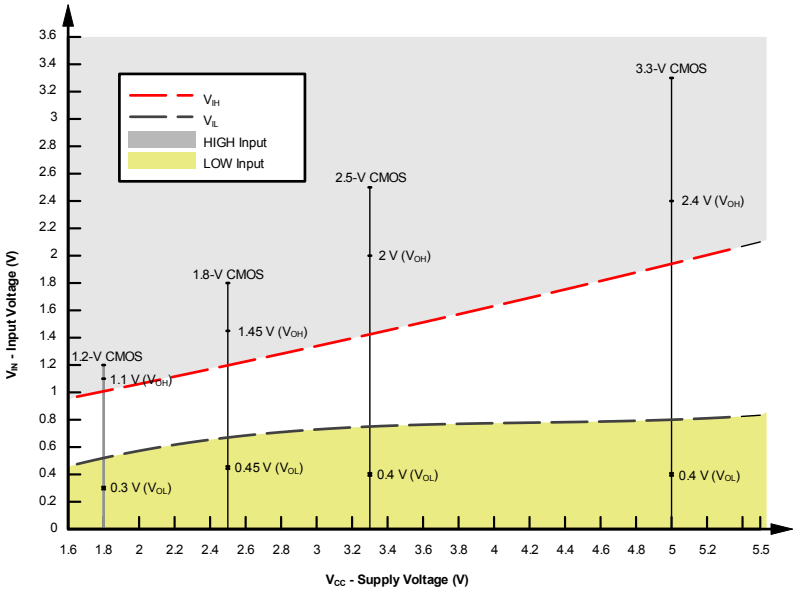


図 7-1. LVxT の入力電圧レベル

7.3.2.1 降圧変換

SN74LV1T00-Q1 を使うことで、信号を降圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (*「推奨動作条件」*と*「電気的特性」*の表を参照)。

高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。図 7-1 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ と 5.5V の間、Low 状態の入力信号は $V_{IL(MAX)}$ 未満になるようにします。

たとえば図 7-2 に示すように、5.0V、3.3V、2.5V で動作するデバイスの一般的な CMOS 入力は、1.8V の V_{CC} で動作する 1.8V CMOS 信号に合うように降圧変換されます。

*降圧変換の組み合わせ*は次のとおりです。

- 1.8V V_{CC} – 2.5V、3.3V、5.0V からの入力
- 2.5V V_{CC} – 3.3V および 5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

7.3.2.2 昇圧変換

SN74LV1T00-Q1 を使うことで、入力信号を昇圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (*「推奨動作条件」*と*「電気的特性」*の表を参照)。高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。

入力のスレッショルドが低いため、一般的な値よりもはるかに低い入力 High 状態レベルにも対応できます。たとえば、5V 電源で動作するデバイスの代表的な CMOS 入力の $V_{IH(MIN)}$ は 3.5V です。SN74LV1T00-Q1 の場合、5V 電源での $V_{IH(MIN)}$ がわずか 2V であるため、2.5V (代表値) 信号から 5V (代表値) 信号への昇圧変換が可能です。

図 7-2 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ を上回り、Low 状態の入力信号は $V_{IL(MAX)}$ を下回るようにします。

昇圧変換の組み合わせ は次のとおりです。

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V および 2.5V からの入力
- 5.0V V_{CC} – 2.5V および 3.3V からの入力

Copyright © 2024 Texas Instruments Incorporated

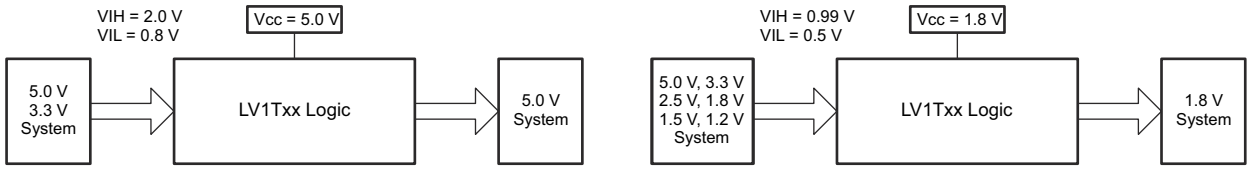


図 7-2. LVxT の昇圧および降圧変換の例

7.3.3 クランプ・ダイオード構造

このデバイスの出力には正と負の両方のクランプ・ダイオードが備わっており、このデバイスの入力には負のクランプ・ダイオードのみが備わっています (図 7-3 を参照)。

> **注意**
> 「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

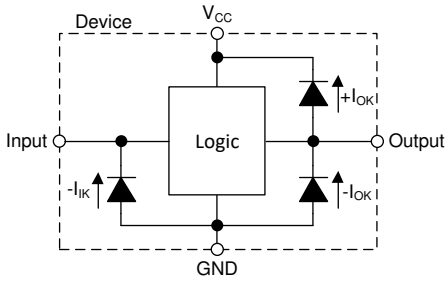


図 7-3. 各入力と出力に対するクランプ・ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1 に、SN74LV1T00-Q1 デバイスの機能モードを示します。

表 7-1. 機能表

入力 (1)		出力
A	**B**	**Y**
H	H	L
L	X	H
X	L	H

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア、Z = 高インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、2 つの 2 入力 NAND ゲートを使って、アクティブ Low の SR ラッチ (図 8-1 を参照) を作成します。SN74LV1T00-Q1 は、タンパ・インジケータ LED の駆動と、1 ビット・データのシステム・コントローラへの出力のために使用されています。タンパ・スイッチが Low を出力すると、出力 Q は High になります。システム・コントローラがこのイベントに応答し、$\overline{R}$ 入力に Low 信号を送出するまで、Q 出力は High に保持されます。その後、Q 出力は Low に戻ります。

8.2 代表的なアプリケーション

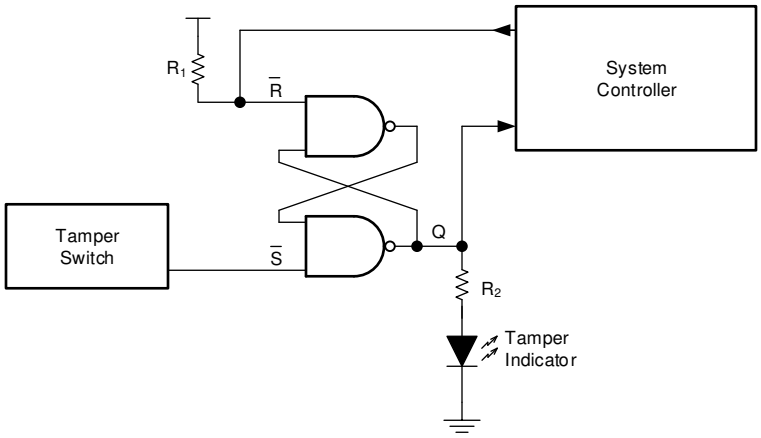


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が、*「推奨動作条件」*に規定された範囲に入っていることを確認します。*「電気的特性」*セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74LV1T00-Q1 のすべての出力によってソースされる総電流、*「電気的特性」*に記載された静的電源電流 (I_{CC}) の最大値、スイッチングに必要なすべての過渡電流の合計に等しい電流を供給できる必要があります。本ロジック・デバイスは、この正電源によって供給される量の電流のみをソースできます。*「絶対最大定格」*に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SN74LV1T00-Q1 のすべての出力によってシンクされる総電流、*「電気的特性」*に記載された電源電流 (I_{CC}) の最大値、スイッチングに必要なすべての過渡電流の合計に等しい電流を流し込める必要があります。本ロジック・デバイスは、そのグランド接続に流し込める量の電流のみをシンクできます。*「絶対最大定格」*に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV1T00-Q1 は、データシートのすべての仕様を満たしながら、総容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を接続することもできますが、50pF を超えることは推奨しません。

Copyright © 2024 Texas Instruments Incorporated

SN74LV1T00-Q1 は、*「電気的特性」*表の V_{OH} と V_{OL} に定義された出力電圧および電流で、$R_L \geqq V_O/I_O$ で表される合計抵抗を持つ負荷を駆動できます。High 状態で出力する場合、式の出力電圧は、出力電圧の測定値と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、*『CMOS の消費電力と Cpd の計算』*アプリケーション・ノートに記載された情報を使って計算できます。

温度の上昇は、*『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』*アプリケーション・ノートに記載された情報を使って計算できます。

> **注意**
> *「絶対最大定格」*に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。*「絶対最大定格」*に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、本デバイスの損傷を防止するために規定されたものです。

8.2.1.2 入力に関する考慮事項

入力信号は、ロジック Low と見なされるために $V_{IL(max)}$ を下回る必要があり、ロジック High と見なされるために $V_{IH(min)}$ を上回る必要があります。*「絶対最大定格」*に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに接続して終端する必要があります。未使用の入力は、その入力がまったく使用されていない場合、直接終端できます。または、その入力が時々使用されるが、常に使用されるとは限らない場合、プルアップまたはプルダウン抵抗を使って終端できます。High をデフォルト状態にするにはプルアップ抵抗を、Low をデフォルト状態にするにはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV1T00-Q1 に流れ込むリーク電流 (*「電気的特性」*で規定)、要求される入力遷移レートによって、抵抗のサイズが制限されます。これらの要因により、10kΩ の抵抗値がしばしば使用されます。

SN74LV1T00-Q1 は CMOS 入力を備えているため、正しく動作するには、*「推奨動作条件」*表で定義されているように、入力が素早く遷移する必要があります。遅い入力遷移レートは、発振現象、消費電力の増加、デバイスの信頼性の低下の原因となる可能性があります。

このデバイスの入力の詳細については、*「機能説明」*セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧は、出力 High 電圧を生成するために使われます。出力から電流を引き出すと、*「電気的特性」*の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧は、出力 Low 電圧を生成するために使われます。出力に電流を流し込むと、*「電気的特性」*の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは過電流を生じさせ、本デバイスに損傷を与える可能性があります。

同じ信号を入力する、同じデバイス内の 2 つのチャネルを並列に接続することで、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接 V_{CC} にもグランドにも接続しないでください。

このデバイスの出力の詳細については、*「機能説明」*セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND との間にデカップリング・コンデンサを追加します。このコンデンサは、物理的に本デバイスに近づけて、かつ電気的に V_{CC} ピンと GND ピンの両方に近づけて配置する必要があります。レイアウト例を*「レイアウト」*セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。この条件はハード・リミットではありませんが、これにより最適な性能が確保されます。この条件は、SN74LV1T00-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短く適切なサイズにすることで実現できます。
3. *絶対最大定格*の出力電流の最大値を上回らないように、出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を持っています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありません。消費電力と温度上昇は、アプリケーション・レポート*『CMOS 消費電力と Cpd の計算』*に記載された手順を使って計算できます。

8.2.3 アプリケーション曲線

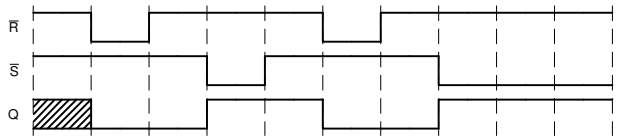


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、*「推奨動作条件」*に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源電圧の変動を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス・コンデンサを並列に配置することもできます。0.1μF と 1μF のコンデンサは、よく並列にして使われます。最良の結果を得るには、次のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

複数入力または複数チャネルのロジック・デバイスを使用する場合、入力をフローティングのままにすることはできません。多くの場合、デジタル・ロジック・デバイスの機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用する場合、または 4 バッファ・ゲートの 3 つのみを使用する場合)。外部接続での未定義の電圧は未定義の動作状態の原因となるため、このような未使用の入力ピンを未接続のままにはできません。デジタル・ロジック・デバイスのすべての未使用入力は、フローティングにならないように、入力電圧仕様で定義されたロジック High またはロジック Low 電圧に接続する必要があります。特定の未使用入力に印加する必要があるロジック・レベルは、そのデバイスの機能によって異なります。一般に入力は、GND と V_{CC} の、そのロジック機能にとってより理にかなった方、またはより利便性の高い方に接続されます。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 レイアウト例

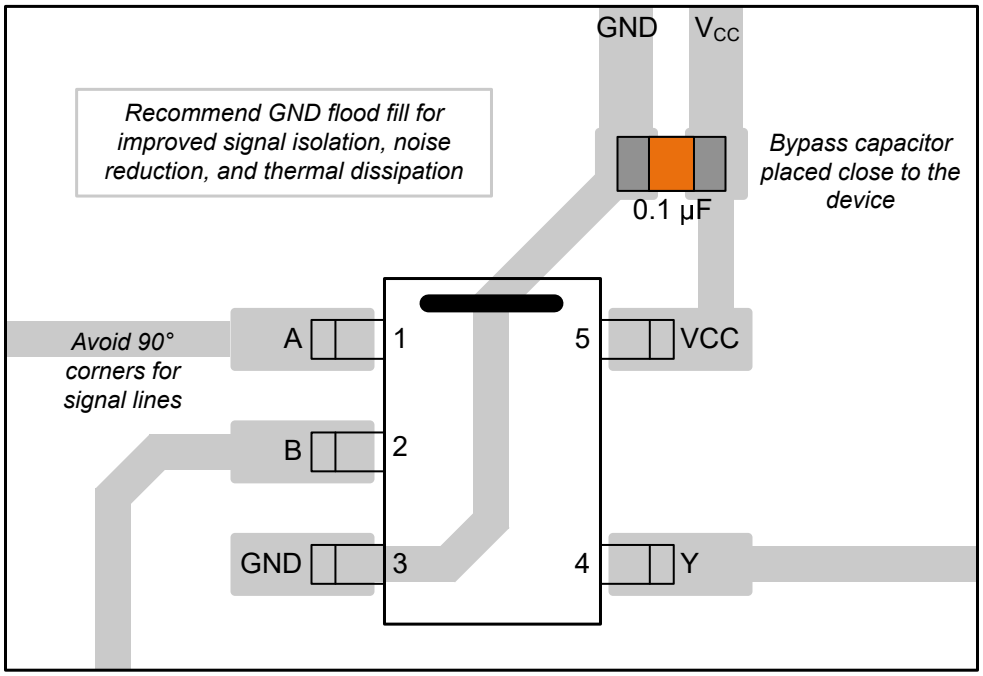


図 8-3. SN74LV1T00-Q1 のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と Cpd の計算』アプリケーション・ノート*
- テキサス・インスツルメンツ、*『ロジック設計』アプリケーション・ノート*
- テキサス・インスツルメンツ、*『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノート*
- テキサス・インスツルメンツ、*『低速またはフローティング CMOS 入力の影響』アプリケーション・ノート*

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

9.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision * (July 2023) to Revision A (January 2024) **Page**

- 「パッケージ情報」表に DBV パッケージを追加 1
- 「ピン構成および機能」セクションに DBV パッケージを追加 3
- DBV パッケージの熱特性値を追加：RθJA = 278.0、RθJC(top) = 180.5、RθJB = 184.4、ΨJT = 115.4、ΨJB = 183.4、RθJC(bot) = N/A、値はすべて℃/W 6

Copyright © 2024 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、本ドキュメントは改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV1T00QDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	37TH	Samples
SN74LV1T00QDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PA	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV1T00-Q1 :

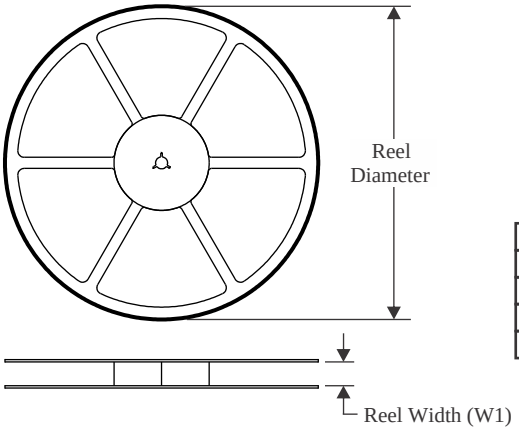
- Catalog : SN74LV1T00

NOTE: Qualified Version Definitions:

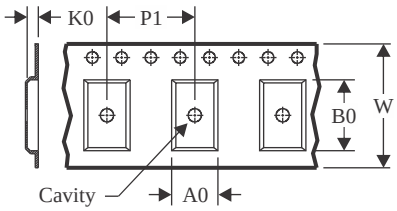
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

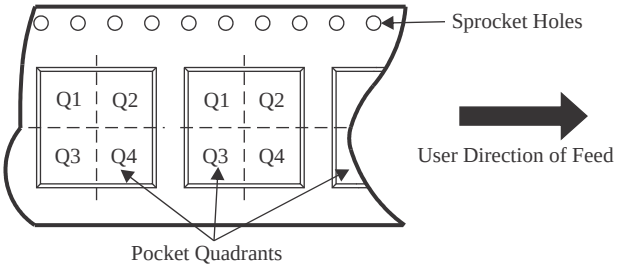


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

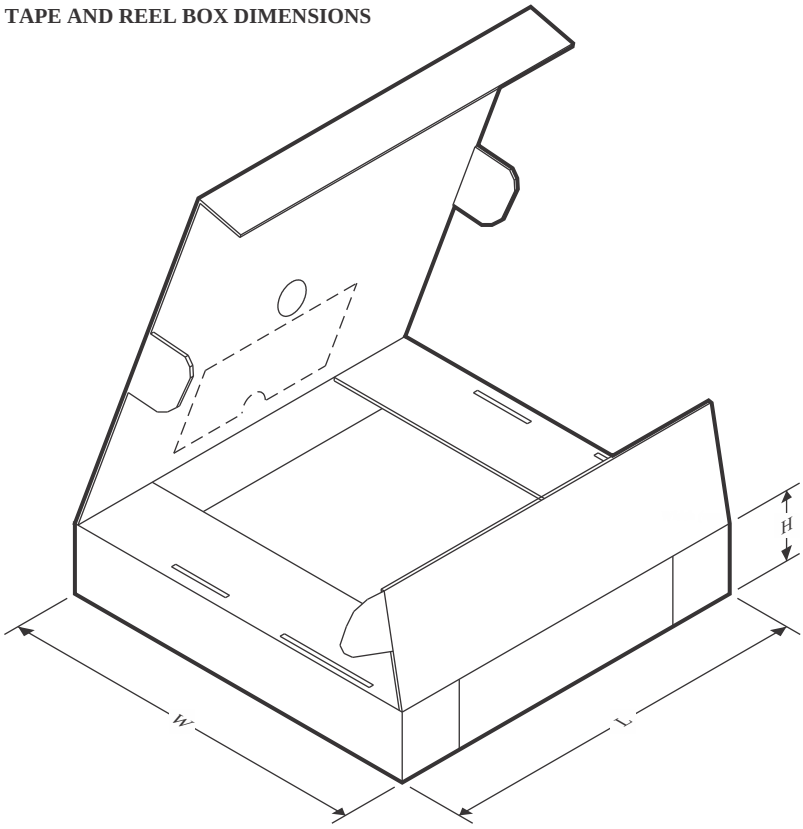
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

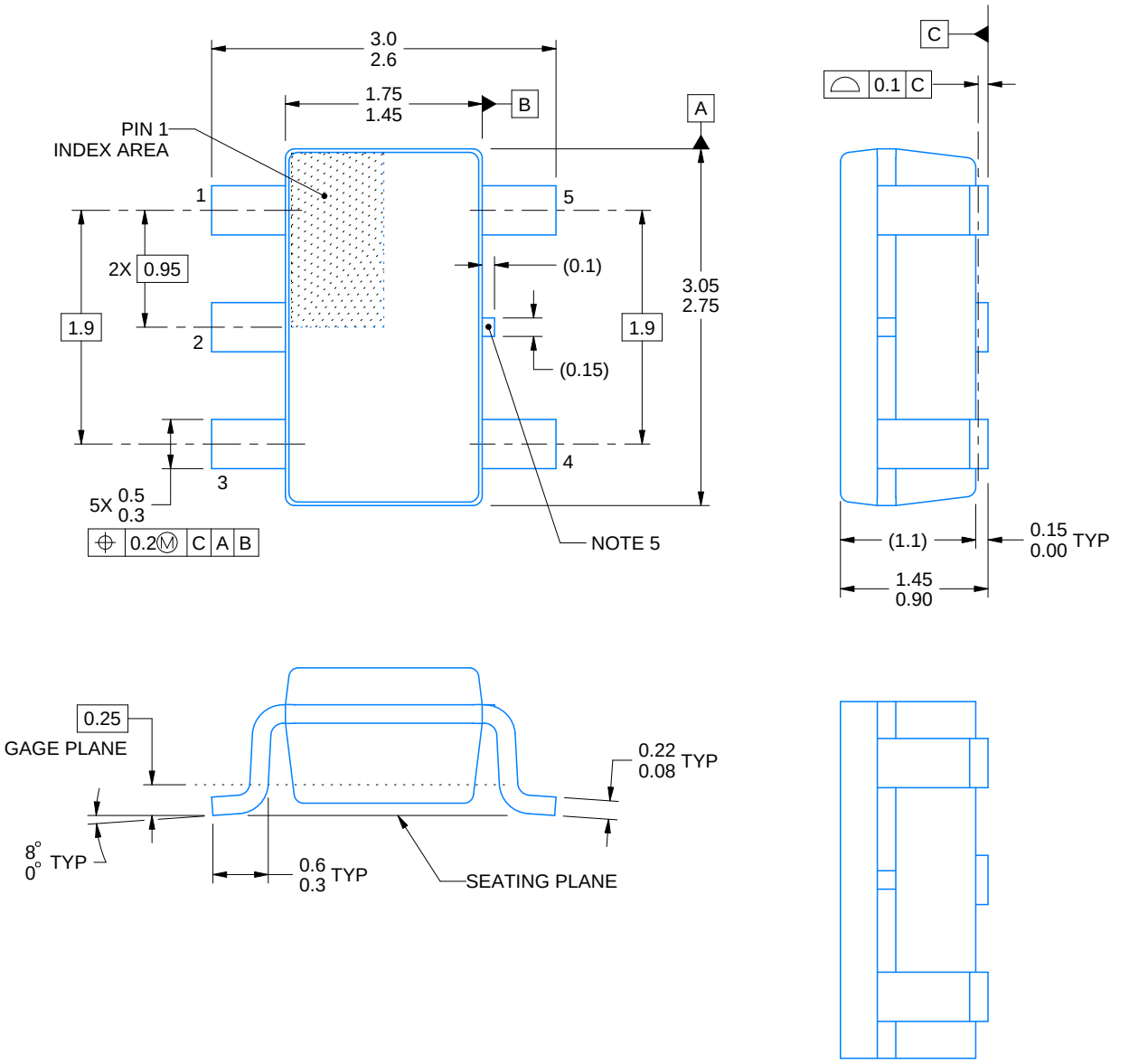
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV1T00QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LV1T00QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV1T00QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LV1T00QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0

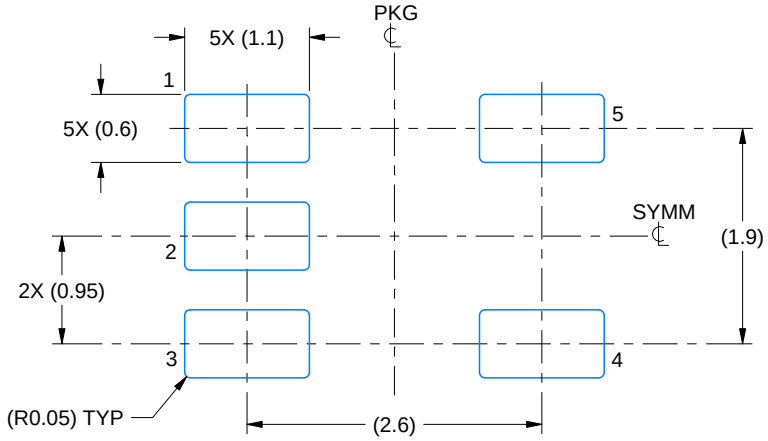


ALTERNATIVE PACKAGE SINGULATION VIEW

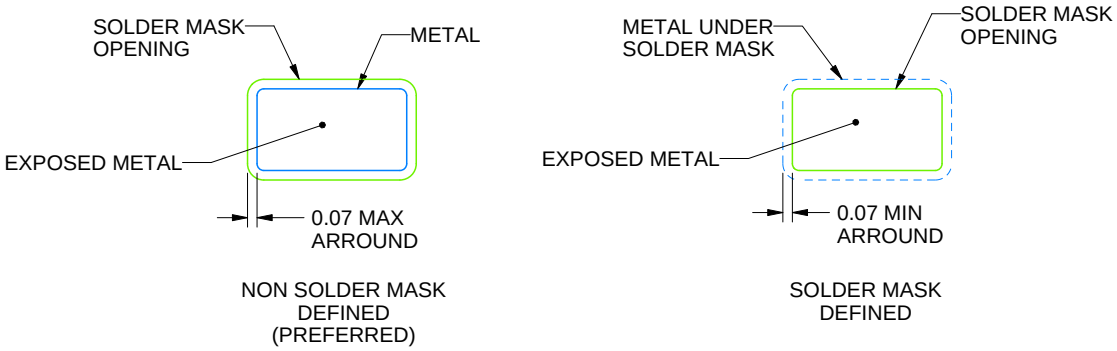
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

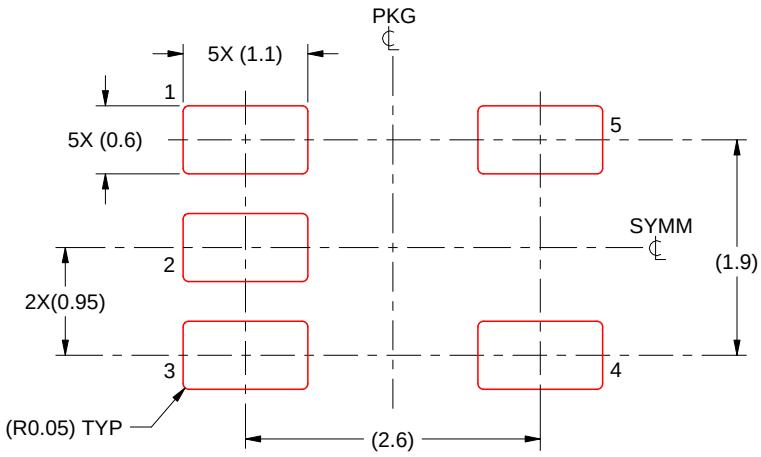


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

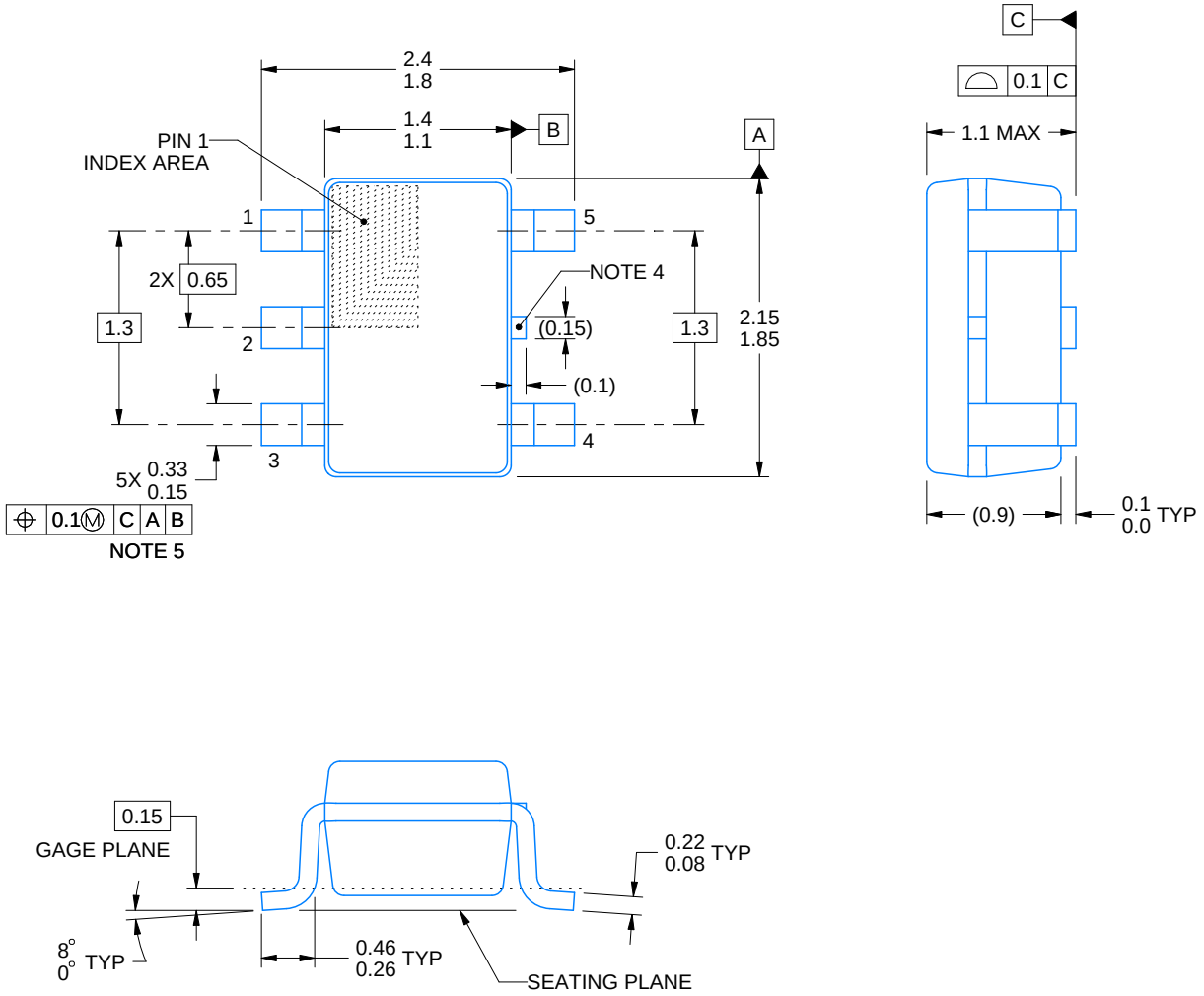


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

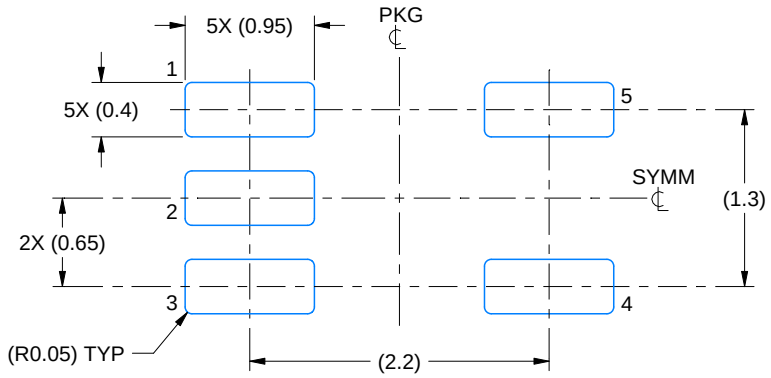
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



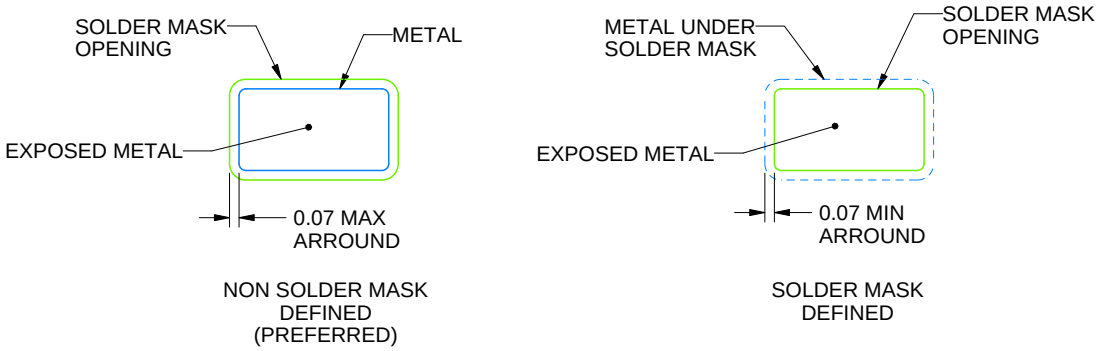
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

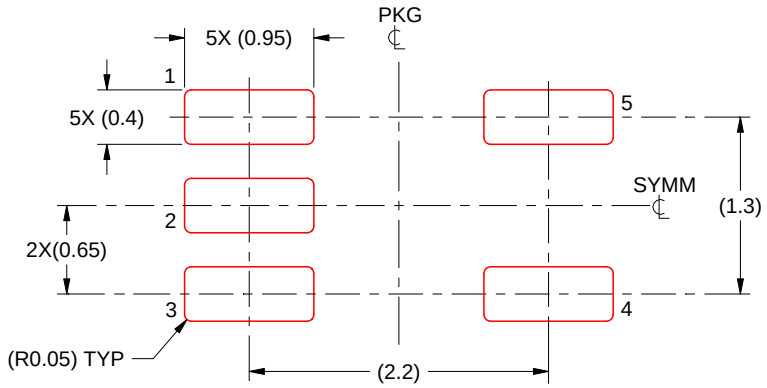


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated