

SN74LVC165A 8 ビット、パラレル ロード シフト レジスタ

1 特長

- 1.1V～3.6V の動作範囲
- V_{CC} とは無関係に、最大 5.5V に耐える過電圧耐性入力
- バックドライブ保護 (I_{off}) 付きの部分的パワーダウンをサポート
- 優れたプッシュプル出力駆動能力：
 - 3.3V で $\pm 24mA$
 - 2.3V で $\pm 8mA$
 - 1.65V で $\pm 4mA$
- 最大伝搬遅延: 3.3V で 20ns
- JESD78 に準拠した 100mA 超のラッチアップ性能

2 アプリケーション

- マイクロコントローラの入力数拡張
- ボードリビジョンの読み込み

3 概要

SN74LVC165A は 1 つの 8 ビットパラレル ロード シフト レジスタを内蔵しています。データは、シフトまたはロード (SH/\overline{LD}) 選択ピンを使って、非同期的に読み込まれます。本デバイスは、ディジー チェーン接続と標準 (Q_H) および反転 (\overline{Q}_H) 出力を可能にするため、シリアル (SER) 入力を備えています。

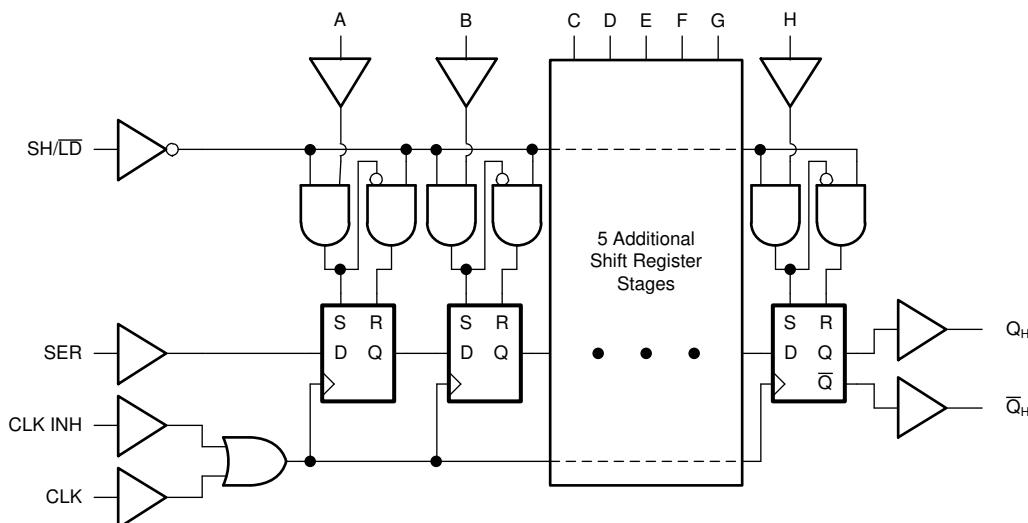
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ (公称) ⁽³⁾
SN74LVC165A	BQB (WQFN, 16)	3.5mm × 2.5mm	3.5mm × 2.5mm
	D (SOIC, 16)	9.9mm × 6mm	9.9mm × 3.9mm
	PW (TSSOP, 16)	5mm × 6.4mm	5mm × 4.4mm

(1) 詳細については、セクション 11 を参照してください。

(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



機能図

目次

1 特長	1	7.2 機能ブロック図.....	15
2 アプリケーション	1	7.3 機能説明.....	15
3 概要	1	7.4 デバイスの機能モード.....	17
4 ピン構成および機能	3	8 アプリケーションと実装	18
5 仕様	4	8.1 アプリケーション情報.....	18
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション.....	18
5.2 ESD 定格.....	4	8.3 電源に関する推奨事項.....	20
5.3 推奨動作条件.....	4	8.4 レイアウト.....	20
5.4 熱に関する情報.....	5	9 デバイスおよびドキュメントのサポート	21
5.5 電気的特性.....	5	9.1 ドキュメントのサポート.....	21
5.6 タイミング特性.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	21
5.7 スイッチング特性.....	9	9.3 サポート・リソース.....	21
5.8 ノイズ特性.....	10	9.4 商標.....	21
5.9 代表的特性.....	10	9.5 静電気放電に関する注意事項.....	21
6 パラメータ測定情報	13	9.6 用語集.....	21
7 詳細説明	15	10 改訂履歴	21
7.1 概要.....	15	11 メカニカル、パッケージ、および注文情報.....	21

4 ピン構成および機能

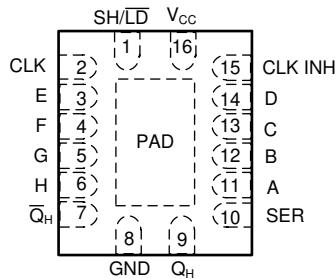


図 4-1. BQB パッケージ、16 ピン WQFN (上面図)

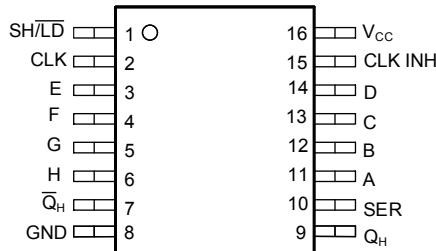


図 4-2. DYY または PW パッケージ、16 ピン VSSOP または TSSOP (上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
SH/LD	1	I	入力が High のときシフトをイネーブルし、入力が Low のときデータをロード
CLK	2	I	クロック、立ち上がりエッジをトリガ
E	3	I	パラレル入力 E
F	4	I	パラレル入力 F
G	5	I	パラレル入力 G
H	6	I	パラレル入力 H
Q _H	7	O	反転シリアル出力
GND	8	G	グランド
Q _H	9	O	シリアル出力
SER	10	I	シリアル入力
A	11	I	パラレル入力 A
B	12	I	パラレル入力 B
C	13	I	パラレル入力 C
D	14	I	パラレル入力 D
CLK INH	15	I	クロック禁止入力
V _{CC}	16	P	正電源
サーマル パッド ⁽²⁾		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) 信号タイプ:I:入力、O:出力、I/O:入力または出力、P:電源、G = グランド。

(2) BQB パッケージにのみ適用されます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	6.5	V
V_I	入力電圧範囲 ⁽²⁾		-0.5	6.5	V
V_O	出力電圧範囲 ⁽²⁾		-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < 0 \text{ V}$		-50	mA
I_{OK}	出力クランプ電流	$V_O < 0 \text{ V}$		-50	mA
I_O	連続出力電流			± 50	mA
I_o	V_{CC} または GND を通過する連続出力電流			± 100	mA
T_J	接合部温度		-65	150	°C
T_{stg}	保管温度		-65	150	°C
P_{tot}	消費電力 ^{(3) (4)}			500	mW

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。
- (3) PW パッケージの場合: 79°Cを上回ると、 P_{tot} の値は 7.1mW/°Cで線形的に低下します。
- (4) DYY パッケージの場合: 52°Cを上回ると、 P_{tot} の値は 5.1mW/°Cで線形的に低下します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	± 1000	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC}	電源電圧	動作	1.1	3.6	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧	(High または Low 状態)	0	V_{CC}	V
I_{OH}	High レベル出力電流	$V_{CC} = 1.8 \text{ V}$		-4	mA
		$V_{CC} = 2.3 \text{ V}$		-8	
		$V_{CC} = 2.7 \text{ V}$		-12	
		$V_{CC} = 3 \text{ V}$		-24	
I_{OL}	Low レベル出力電流	$V_{CC} = 1.8 \text{ V}$		4	mA
		$V_{CC} = 2.3 \text{ V}$		8	
		$V_{CC} = 2.7 \text{ V}$		12	
		$V_{CC} = 3 \text{ V}$		24	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート			10	ns/V
T_A	自由空気での動作温度		-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		$R_{\theta JA}$	$R_{\theta JC(\text{top})}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(\text{bot})}$	
PW (TSSOP)	16	141.8	74	87.1	22.3	86.6	-	°C/W
DYY (SOT-23-THN)	16	196.3	117.4	122.9	22.3	122.7	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	-40°C~125°C			単位
			最小値	代表値	最大値	
V_{OH}	$I_{OH} = -100\mu A$	1.1V~3.6V	$V_{CC} - 0.2$	$V_{CC} - 0.01$		V
V_{OH}	$I_{OH} = -4mA$	1.65V		1.2		V
V_{OH}	$I_{OH} = -8mA$	2.3V		1.75		V
V_{OH}	$I_{OH} = -12mA$	2.7V		2.2		V
V_{OH}	$I_{OH} = -12mA$	3V		2.4		V
V_{OH}	$I_{OH} = -24mA$	3V		2.2		V
V_{OL}	$I_{OL} = 100\mu A$	1.1V~3.6V		0.01	0.2	V
V_{OL}	$I_{OL} = 4mA$	1.2V			0.45	V
V_{OL}	$I_{OL} = 8mA$	1.5V			0.7	V
V_{OL}	$I_{OL} = 12mA$	1.65V			0.4	V
V_{OL}	$I_{OL} = 24mA$	3.6V			0.55	V
I_I	$V_I = V_{CC}$ または GND	3.6V			± 5	μA
I_{off}	V_I または $V_O = V_{CC}$	0V			± 10	μA
I_{CC}	$V_I = V_{CC}$ または GND, $I_O = 0$	3.6V			40	μA
ΔI_{CC}	1つの入力は $V_{CC} - 0.6V$ 、その他の入力は V_{CC} または GND	2.7V~3.6V			5000	μA
C_I	$V_I = V_{CC}$ または GND	3.3V			4.9	pF
C_O	$V_O = V_{CC}$ または GND	3.3V			6.3	pF
C_{PD}	$f = 10MHz$	1.8V			12	pF
		2.5V			15	pF
		3.3V			17	pF

5.6 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V_{CC}	-40°C~125°C		単位
				最小値	最大値	
f_{clock}	クロック周波数		1.2V $\pm 0.1V$	59		MHz
			1.5V $\pm 0.15V$	64		
			1.8V $\pm 0.15V$	64		
			2.5V $\pm 0.2V$	100		
			3.3V $\pm 0.3V$	104		
t_W	パルス幅	SH/LD Low	1.2V $\pm 0.1V$	6.9		ns

5.6 タイミング特性(続き)

自由空気での推奨動作温度範囲内(特に記述のない限り)

パラメータ	説明	条件	V_{CC}	-40°C~125°C		単位
				最小値	最大値	
t_W	パルス幅	CLK が High または Low	$1.2V \pm 0.1V$	7	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High	$1.2V \pm 0.1V$	16.5	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SER	$1.2V \pm 0.1V$	10.1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が Low	$1.2V \pm 0.1V$	1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が High	$1.2V \pm 0.1V$	1	ns	
t_{SU}	セットアップ時間	SH/LD↓ より前のデータ	$1.2V \pm 0.1V$	10	ns	
t_{SU}	セットアップ時間	CLK↑ の前のデータ	$1.2V \pm 0.1V$	10	ns	
t_H	ホールド時間	CLK↑ より後の SER データ	$1.2V \pm 0.1V$	0.4	ns	
t_H	ホールド時間	SH/LD↓ より後の PAR データ	$1.2V \pm 0.1V$	1.8	ns	
t_H	ホールド時間	CLK↑ の後の SH/LD High	$1.2V \pm 0.1V$	0	ns	
t_H	ホールド時間	CLK↑ の後の CLK INH High	$1.2V \pm 0.1V$	0.4	ns	
t_H	ホールド時間	CLK↑ 後のデータ	$1.2V \pm 0.1V$	1	ns	
t_W	パルス幅	SH/LD Low	$1.5V \pm 0.15V$	6.9	ns	
t_W	パルス幅	CLK が High または Low	$1.5V \pm 0.15V$	7	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High	$1.5V \pm 0.15V$	10	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SER	$1.5V \pm 0.15V$	10.1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が Low	$1.5V \pm 0.15V$	1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が High	$1.5V \pm 0.15V$	1	ns	
t_{SU}	セットアップ時間	SH/LD↓ より前のデータ	$1.5V \pm 0.15V$	10	ns	
t_{SU}	セットアップ時間	CLK↑ の前のデータ	$1.5V \pm 0.15V$	10	ns	
t_H	ホールド時間	CLK↑ より後の SER データ	$1.5V \pm 0.15V$	1.2	ns	
t_H	ホールド時間	SH/LD↓ より後の PAR データ	$1.5V \pm 0.15V$	1.9	ns	
t_H	ホールド時間	CLK↑ の後の SH/LD High	$1.5V \pm 0.15V$	1	ns	
t_H	ホールド時間	CLK↑ の後の CLK INH High	$1.5V \pm 0.15V$	0.6	ns	
t_H	ホールド時間	CLK↑ 後のデータ	$1.5V \pm 0.15V$	0.5	ns	
t_W	パルス幅	SH/LD Low	$1.8V \pm 0.15V$	6.9	ns	
t_W	パルス幅	CLK が High または Low	$1.8V \pm 0.15V$	7	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High	$1.8V \pm 0.15V$	8	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SER	$1.8V \pm 0.15V$	10.1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が Low	$1.8V \pm 0.15V$	1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が High	$1.8V \pm 0.15V$	1	ns	
t_{SU}	セットアップ時間	SH/LD↓ より前のデータ	$1.8V \pm 0.15V$	10	ns	
t_{SU}	セットアップ時間	CLK↑ 前のデータ	$1.8V \pm 0.15V$	8	ns	
t_H	ホールド時間	CLK↑ より後の SER データ	$1.8V \pm 0.15V$	0.2	ns	
t_H	ホールド時間	SH/LD↓ より後の PAR データ	$1.8V \pm 0.15V$	0.8	ns	
t_H	ホールド時間	CLK↑ の後の SH/LD High	$1.8V \pm 0.15V$	0	ns	
t_H	ホールド時間	CLK↑ の後の CLK INH High	$1.8V \pm 0.15V$	0.3	ns	
t_H	ホールド時間	CLK↑ 後のデータ	$1.8V \pm 0.15V$	1	ns	
t_W	パルス幅	SH/LD Low	$2.5V \pm 0.2V$	5.4	ns	

5.6 タイミング特性(続き)

自由空気での推奨動作温度範囲内(特に記述のない限り)

パラメータ	説明	条件	V_{CC}	-40°C~125°C		単位
				最小値	最大値	
t_W	パルス幅	CLK が High または Low	$2.5V \pm 0.2V$	4.5	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High	$2.5V \pm 0.2V$	4.5	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SER	$2.5V \pm 0.2V$	5.9	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が Low	$2.5V \pm 0.2V$	1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が High	$2.5V \pm 0.2V$	1	ns	
t_{SU}	セットアップ時間	SH/LD↓ より前のデータ	$2.5V \pm 0.2V$	6.9	ns	
t_{SU}	セットアップ時間	CLK↑ 前のデータ	$2.5V \pm 0.2V$	4.5	ns	
t_H	ホールド時間	CLK↑ より後の SER データ	$2.5V \pm 0.2V$	0.5	ns	
t_H	ホールド時間	SH/LD↓ より後の PAR データ	$2.5V \pm 0.2V$	0	ns	
t_H	ホールド時間	CLK↑ の後の SH/LD High	$2.5V \pm 0.2V$	0.1	ns	
t_H	ホールド時間	CLK↑ の後の CLK INH High	$2.5V \pm 0.2V$	0.3	ns	
t_H	ホールド時間	CLK↑ 後のデータ	$2.5V \pm 0.2V$	1.5	ns	
t_W	パルス幅	SH/LD Low	$3.3V \pm 0.3V$	4.3	ns	
t_W	パルス幅	CLK が High または Low	$3.3V \pm 0.3V$	4.3	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SH/LD が High	$3.3V \pm 0.3V$	3.5	ns	
t_{SU}	セットアップ時間	CLK↑ の前の SER	$3.3V \pm 0.3V$	4	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が Low	$3.3V \pm 0.3V$	1	ns	
t_{SU}	セットアップ時間	CLK↑ の前の CLK INH が High	$3.3V \pm 0.3V$	1	ns	
t_{SU}	セットアップ時間	SH/LD↓ より前のデータ	$3.3V \pm 0.3V$	5.3	ns	
t_{SU}	セットアップ時間	CLK↑ 前のデータ	$3.3V \pm 0.3V$	2.9	ns	
t_H	ホールド時間	CLK↑ より後の SER データ	$3.3V \pm 0.3V$	0.5	ns	
t_H	ホールド時間	SH/LD↓ より後の PAR データ	$3.3V \pm 0.3V$	0	ns	
t_H	ホールド時間	CLK↑ の後の SH/LD High	$3.3V \pm 0.3V$	0.2	ns	
t_H	ホールド時間	CLK↑ の後の CLK INH High	$3.3V \pm 0.3V$	0.5	ns	
t_H	ホールド時間	CLK↑ 後のデータ	$3.3V \pm 0.3V$	1.5	ns	

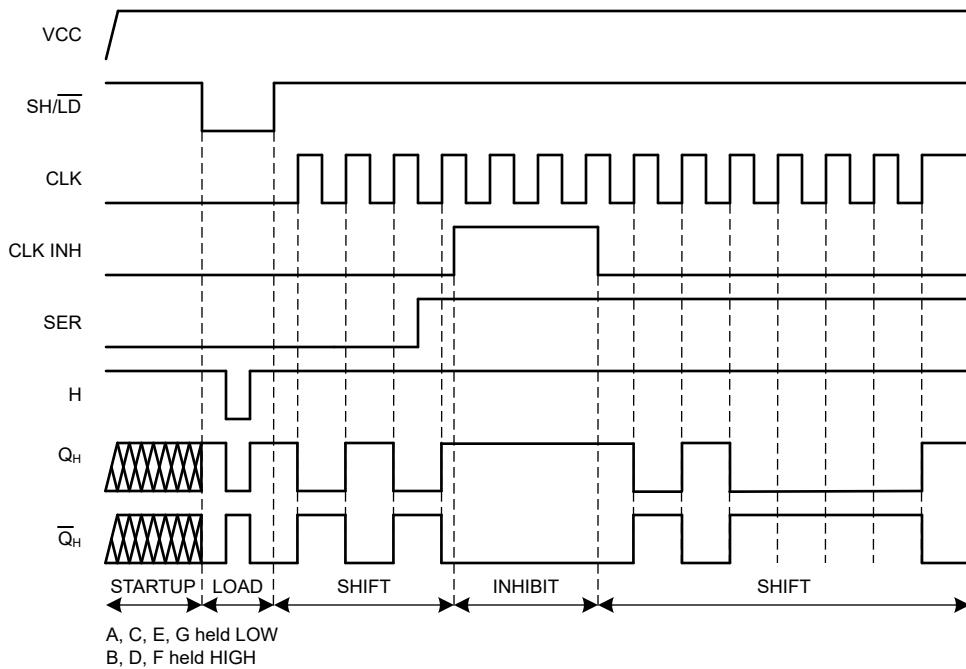


図 5-1. タイミング図

5.7 スイッチング特性

自由気流での動作温度範囲内(特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点(入力)	終点(出力)	負荷容量	V _{CC}	-40°C~125°C			単位
					最小値	代表値	最大値	
t_{pd}	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.2V \pm 0.1V$	1	15.4	27.6	ns
	H	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.2V \pm 0.1V$	1	17	36.3	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.2V \pm 0.1V$	1	21.2	40.2	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.2V \pm 0.1V$	1	16.3	27.6	ns
	H	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.2V \pm 0.1V$	1	17.7	36.3	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.2V \pm 0.1V$	1	22.2	40.2	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.2V \pm 0.1V$	1	17.5	32.8	ns
	H	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.2V \pm 0.1V$	1	18.8	38.5	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.2V \pm 0.1V$	1	23.5	45.4	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.5V \pm 0.15V$	1	8.6	27.6	ns
	H	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.5V \pm 0.15V$	1	9.7	36.3	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.5V \pm 0.15V$	1	11.7	40.2	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.5V \pm 0.15V$	1	9.2	27.6	ns
	H	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.5V \pm 0.15V$	1	10.2	36.3	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.5V \pm 0.15V$	1	12.3	40.2	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.5V \pm 0.15V$	1	9.9	32.8	ns
	H	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.5V \pm 0.15V$	1	10.9	41.5	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.5V \pm 0.15V$	1	13	45.4	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.8V \pm 0.15V$	1	6.7	27.6	ns
	H	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.8V \pm 0.15V$	1	7.6	36.3	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$1.8V \pm 0.15V$	1	9.2	40.2	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.8V \pm 0.15V$	1	6.8	27.6	ns
	H	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.8V \pm 0.15V$	1	7.6	36.3	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$1.8V \pm 0.15V$	1	9	40.2	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.8V \pm 0.15V$	1	8	32.8	ns
	H	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.8V \pm 0.15V$	1	8.8	41.5	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$1.8V \pm 0.15V$	1	10.4	45.4	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$2.5V \pm 0.2V$	1	4.5	16	ns
	H	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$2.5V \pm 0.2V$	1	5.1	21	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$2.5V \pm 0.2V$	1	6.1	23.8	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$2.5V \pm 0.2V$	1	4.5	16	ns
	H	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$2.5V \pm 0.2V$	1	5	21	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$2.5V \pm 0.2V$	1	5.9	23.8	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$2.5V \pm 0.2V$	1	5.5	20	ns
	H	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$2.5V \pm 0.2V$	1	6.1	25	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$2.5V \pm 0.2V$	1	7.1	27.7	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$3.3V \pm 0.3V$	1	3.6	11.2	ns
	H	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$3.3V \pm 0.3V$	1	4.1	14.5	ns

5.7 スイッチング特性(続き)

自由気流での動作温度範囲内(特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点(入力)	終点(出力)	負荷容量	V _{CC}	-40°C~125°C			単位
					最小値	代表値	最大値	
t_{pd}	SH/LD	Q_H または \bar{Q}_H	$C_L = 15\text{pF}$	$3.3\text{V} \pm 0.3\text{V}$	1	4.8	16.6	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$3.3\text{V} \pm 0.3\text{V}$	1	3.9	11.2	ns
	H	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$3.3\text{V} \pm 0.3\text{V}$	1	4.4	14.5	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 30\text{pF}$	$3.3\text{V} \pm 0.3\text{V}$	1	5.1	16.6	ns
	CLK または CLK INH	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$3.3\text{V} \pm 0.3\text{V}$	1	4.2	14.5	ns
	H	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$3.3\text{V} \pm 0.3\text{V}$	1	4.6	17.8	ns
	SH/LD	Q_H または \bar{Q}_H	$C_L = 50\text{pF}$	$3.3\text{V} \pm 0.3\text{V}$	1	5.3	19.9	ns

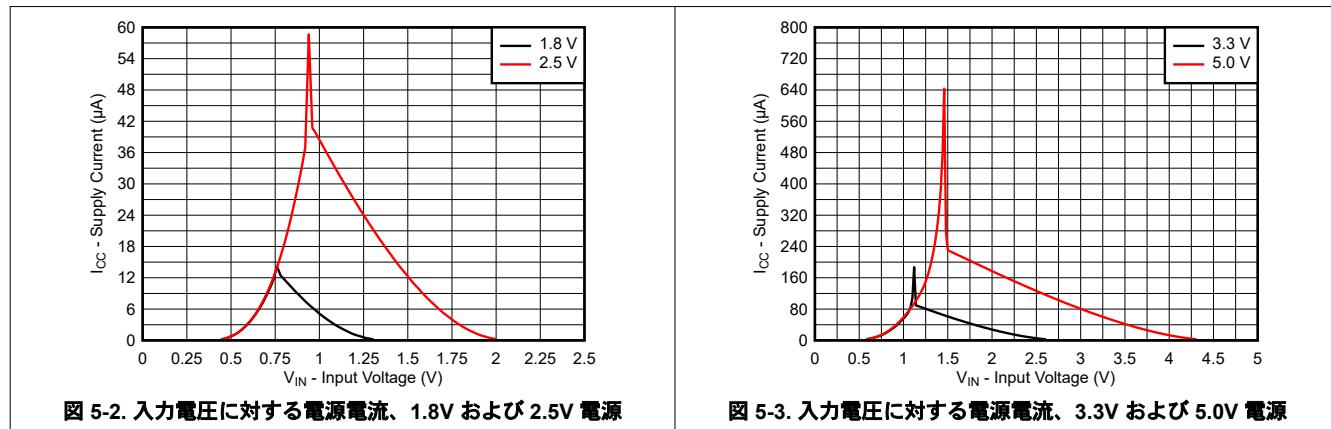
5.8 ノイズ特性

V_{CC} = 3.3 V, CL = 50pF, TA = 25°C

パラメータ	説明	最小値	代表値	最大値	単位
V _{OL(P)}	低ノイズ出力、最大動的電圧 V _{OL}			0.8	V
V _{OL(V)}	低ノイズ出力、最小動的電圧 V _{OL}	-0.8	-0.3		V
V _{OH(V)}	低ノイズ出力、最小動的電圧 V _{OH}	2.2	3.3		V
V _{IH(D)}	High レベル動的入力電圧	2.0			V
V _{IL(D)}	Low レベル動的入力電圧			0.8	V

5.9 代表的特性

T_A = 25°C (特に記述のない限り)



5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

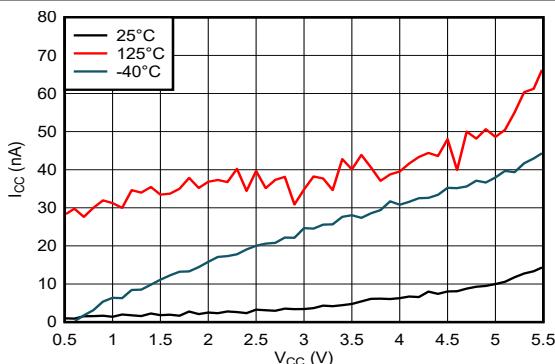


図 5-4. 電源電流と電源電圧との関係

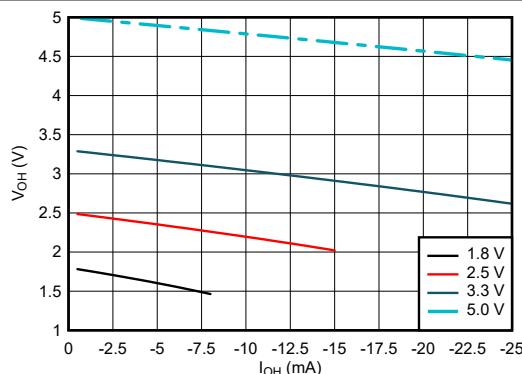


図 5-5. High 状態における出力電圧と電流との関係

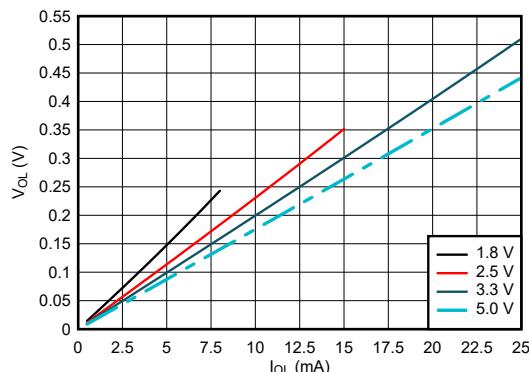


図 5-6. Low 状態における出力電圧と電流との関係

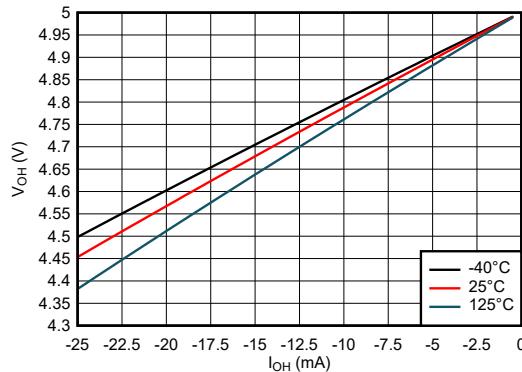


図 5-7. High 状態における出力電圧と電流との関係、5V 電源

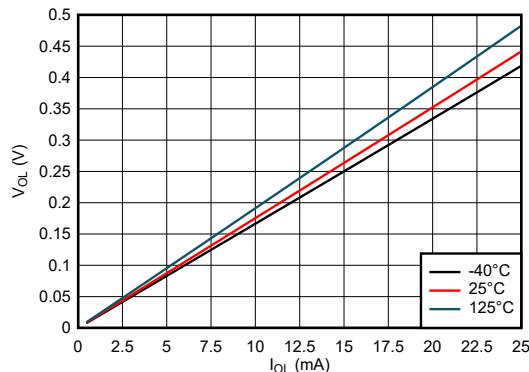


図 5-8. Low 状態における出力電圧と電流との関係、5V 電源

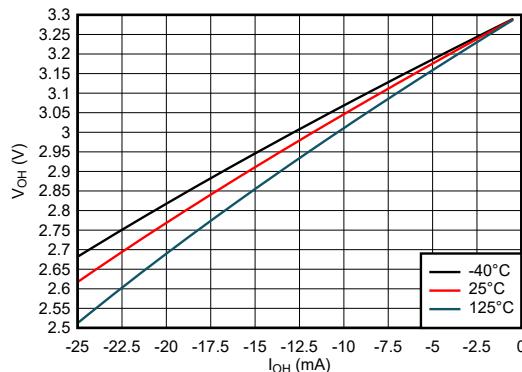


図 5-9. High 状態における出力電圧と電流との関係、3.3V 電源

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

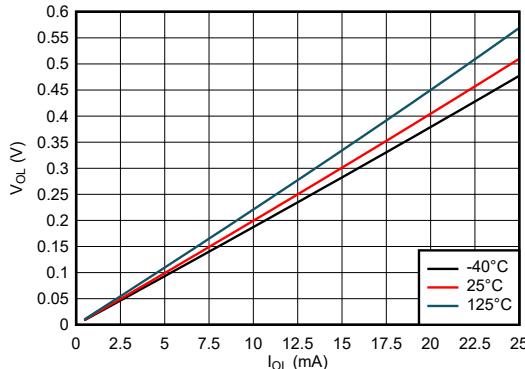


図 5-10. Low 状態における出力電圧と電流との関係、3.3V 電源

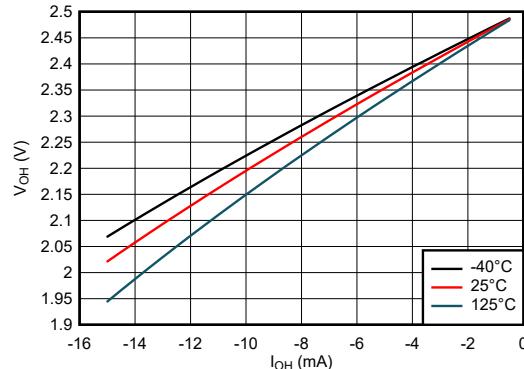


図 5-11. High 状態における出力電圧と電流との関係、2.5V 電源

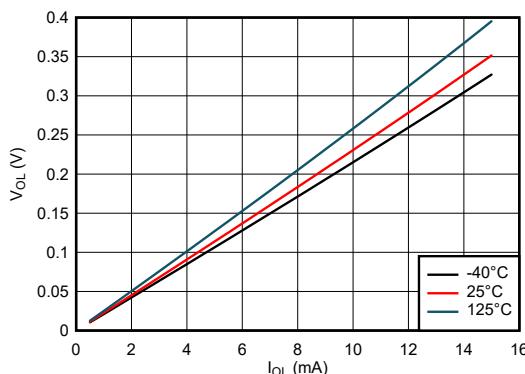


図 5-12. Low 状態における出力電圧と電流との関係、2.5V 電源

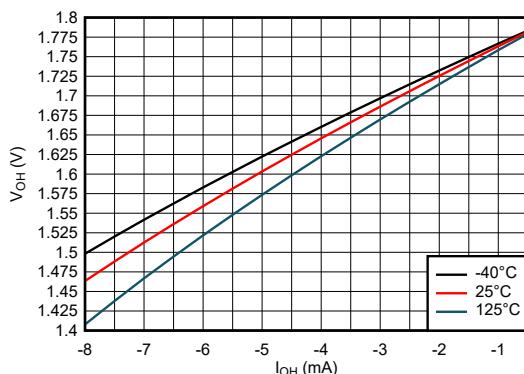


図 5-13. High 状態における出力電圧と電流との関係、1.8V 電源

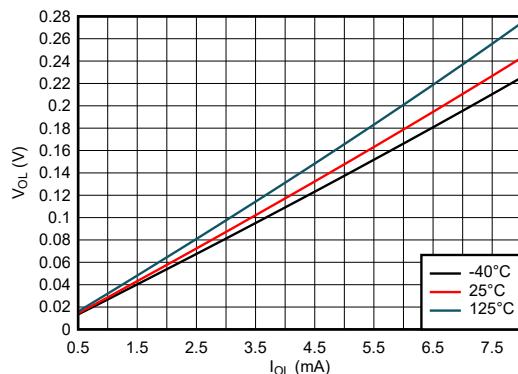


図 5-14. Low 状態における出力電圧と電流との関係、1.8V 電源

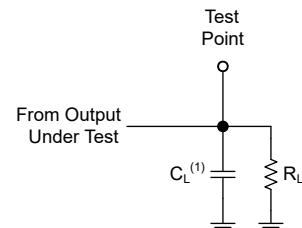
6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{MHz}$, $Z_O = 50\Omega$, $t_f \leq 2.5\text{ns}$ 。

クロック入力の f_{\max} は、入力デューティサイクルが 50% のときの測定値です。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。

V_{CC}	V_t	R_L	C_L	ΔV
$1.2V \pm 0.1V$	$V_{CC}/2$	$2\text{k}\Omega$	15pF	$0.1V$
$1.5V \pm 0.12V$	$V_{CC}/2$	$2\text{k}\Omega$	15pF	$0.1V$
$1.8V \pm 0.15V$	$V_{CC}/2$	$1\text{k}\Omega$	30pF	$0.15V$
$2.5V \pm 0.2V$	$V_{CC}/2$	500Ω	30pF	$0.15V$
$2.7V$	$1.5V$	500Ω	50pF	$0.3V$
$3.3V \pm 0.3V$	$1.5V$	500Ω	50pF	$0.3V$



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路

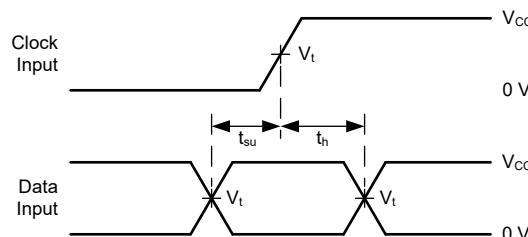


図 6-3. 電圧波形、セットアップ時間およびホールド時間

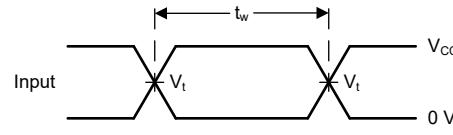
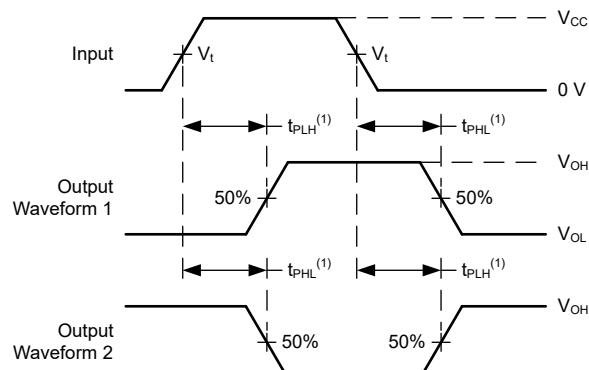
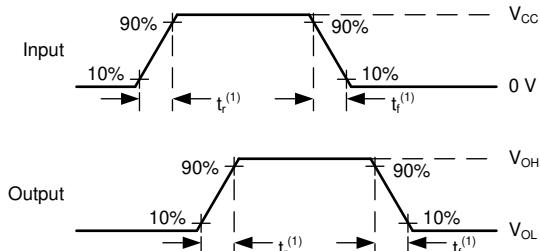


図 6-2. 電圧波形、パルス幅



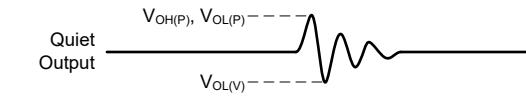
(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-4. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-5. 電圧波形、入力および出力の遷移時間



他のすべての出力を同時にスイッチングして測定されたノイズ値。

図 6-6. 電圧波形、ノイズ

7 詳細説明

7.1 概要

SN74LVC165A デバイスは、クロッキングされるとシリアル (Q_H) 出力にデータをシフトする 8 ビット パラレル ロード シフト レジスタです。各段へのパラレル入力アクセスは、シフト / ロード (SH/LD) 入力を Low レベルになると有効化される 8 つの個別の直接データ (A~H) 入力によって行われます。SN74LVC165A デバイスは、クロック禁止 (CLK INH) 機能と相補シリアル (\bar{Q}_H) 出力も備えています。

クロッキングは、 SH/LD が High に保持され、CLK INH が Low に保持されている間に、クロック (CLK) 入力が Low から High に遷移することで行われます。CLK と CLK INH の機能は交換可能です。CLK が Low で、CLK INH が Low から High に遷移してもクロッキングが行われるため、CLK が High の間のみ、CLK INH を High レベルに変更する必要があります。 SH/LD が High に保持されると、パラレル ロードは禁止されます。 SH/LD が Low の間、レジスタへのパラレル入力は、CLK、CLK INH、SER 入力のレベルに関係なく可能です。

7.2 機能ブロック図

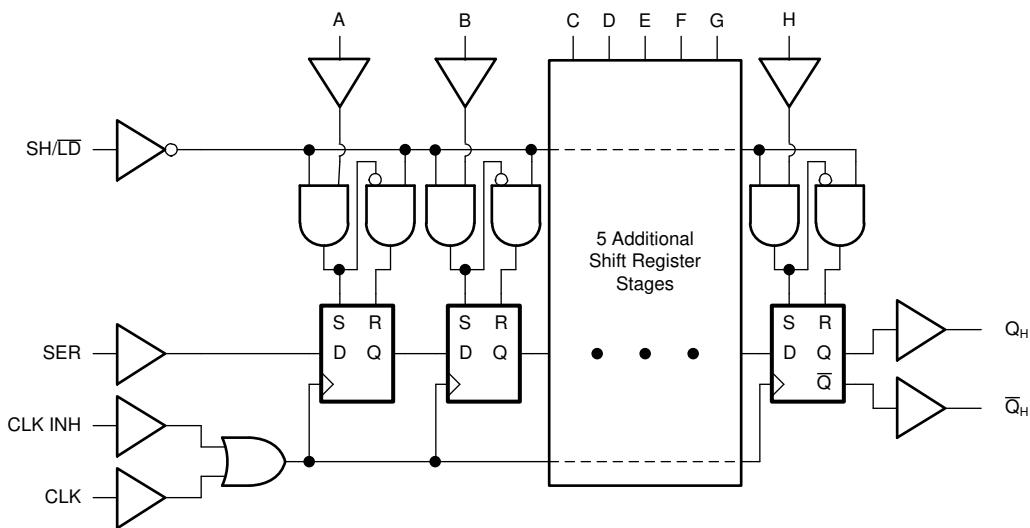


図 7-1. SN74LVC165A の論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 ラッチ ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップ フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

7.3.3 部分的パワー ダウン (I_{off})

このデバイスには、電源ピンが $0V$ に保持されているときにすべての出力をディセーブルにする回路が搭載されています。ディセーブルになっているときは、印加される入力電圧に関係なく、出力は電流のソースとシンクのどちらも行いません。各出力のリーク電流の量は、「電気的特性」表の I_{off} 仕様によって定義されます。

7.3.4 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は電気的特性に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V / I$) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、 $10k\Omega$ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.5 クランプダイオード構造

図 7-2 に示すように、このデバイスへの出力には正と負の両方のクランプダイオードがあり、このデバイスへの入力には負のクランプダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

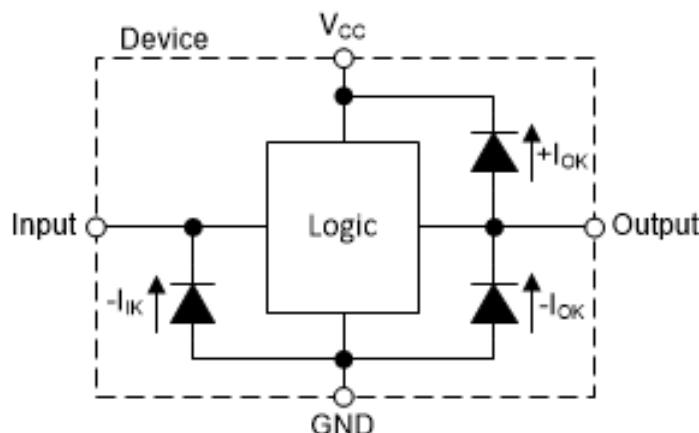


図 7-2. 各入力と出力に対するクランプダイオードの電気的配置

7.4 デバイスの機能モード

SN74LVC165A の機能モードを、表 7-1 および 表 7-2 に示します。

表 7-1. 動作モード表

入力 ⁽¹⁾			機能
SH/LD	CLK	CLK INH	
L	X	X	パラレル ロード ⁽²⁾
H	H	X	変更なし
H	X	H	変更なし
H	L	↑	シフト ⁽³⁾
H	↑	L	シフト ⁽³⁾

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア、↑ = Low から High への遷移

(2) パラレル ロード: 入力 A~H の値は各内部レジスタに読み込まれます。

(3) シフト各内部レジスタの内容は、シリアル出力 Q_H にシフトします。SER のデータは最初のレジスタにシフトされます。

表 7-2. 出力機能表

内部レジスタ ⁽¹⁾ ⁽²⁾		出力 ⁽³⁾	
A — G	H	Q	\bar{Q}
X	L	L	H
X	H	H	L

(1) 内部レジスタとは、デバイス内部のシフトレジスタを指します。これらの値は、パラレル入力からデータをロードするか、シリアル入力からデータを送信することで設定されます。

(2) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア

(3) H = High に駆動、L = Low に駆動

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC165A はパラレル入力シフトレジスタであり、一部のアプリケーションでシステムコントローラの必要な入力数を大幅に減らすことができます。パラレルデータがシフトレジスタにロードされ、シフトレジスタにクロックが入力すると、保存されたデータはシステムコントローラのシリアル入力にロードできます。

複数のシフトレジスタをカスケード接続することで、システムコントローラへのシリアル入力を 1 つのみ使用しながら、より多くのデータを入力できます。このプロセスは主に、「タイミング特性」および「スイッチング特性」表に定義されているように、選択したシフトレジスタに必要なデータ入力レートとタイミング特性によって制限されます。

「代表的なアプリケーションのブロック図」に、単一のシフトレジスタを使用するブロック図の例を示します。

8.2 代表的なアプリケーション

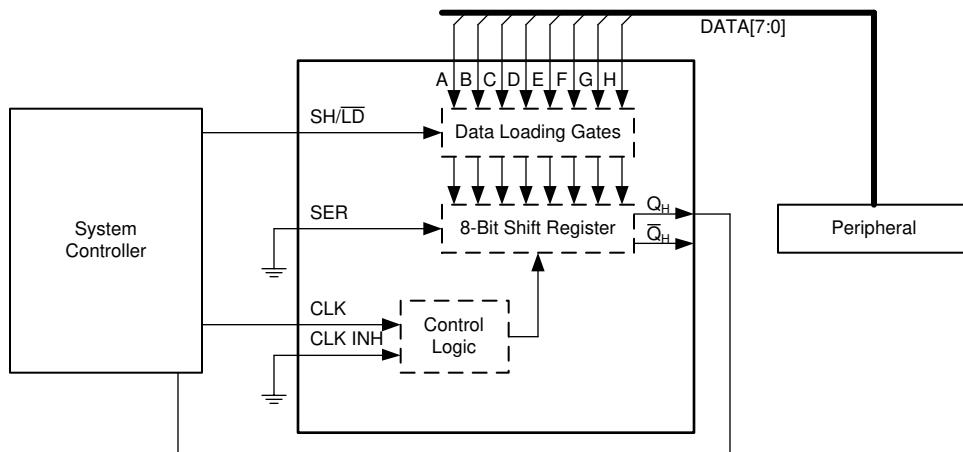


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74LVC165A のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジックデバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようしてください。

グラウンドは、SN74LVC165A のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジックデバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようしてください。

SN74LVC165A は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、 50pF を超えることは推奨しません。

SN74LVC165A は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、[『CMOS の消費電力と Cpd の計算』](#)に記載されている情報を使用して計算できます。

熱上昇は、[『標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性』](#)に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ を超えるとロジック Low と見なされ、 $V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LVC165A へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により $10\text{k}\Omega$ の抵抗値がしばしば使用されます。

SN74LVC165A は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカッピング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LVC165A から 1 つまたは複数の受信デバイスまでのトレースを短く適切なサイズにすることによって実現できます。

3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、 $M\Omega$ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

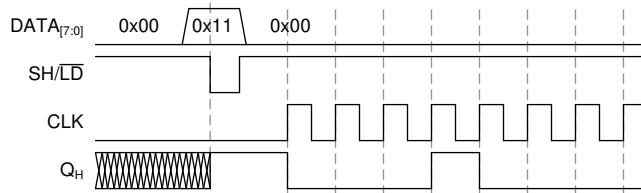


図 8-2. アプリケーションタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

起動中、電源は、「推奨動作条件」表に規定された起動ランプレートの範囲内で立ち上がる必要があります。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。SN74LVC165A には、 $0.1\mu F$ バイパス コンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパス コンデンサを並列に配置します。通常、 $0.1\mu F$ と $1\mu F$ の値のコンデンサを並列にして使います。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません（たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合）。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

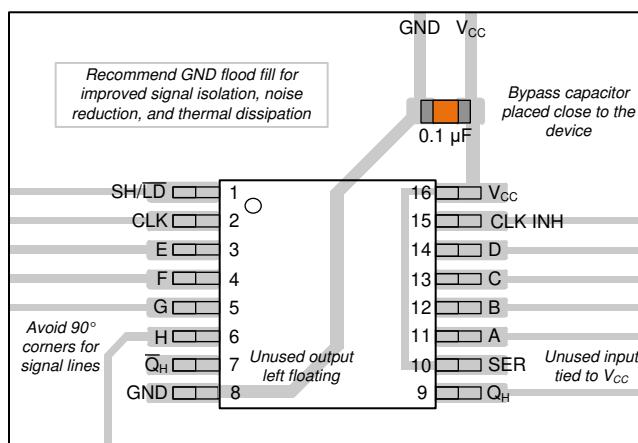


図 8-3. PW パッケージに封止した SN74LVC165A のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』アプリケーション ノート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション ノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
2024 年 5 月	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC165ABQBR	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC165A
SN74LVC165ABQBR.A	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC165A
SN74LVC165ADR	Active	Production	SOIC (D) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC165A
SN74LVC165ADR.A	Active	Production	SOIC (D) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC165A
SN74LVC165APWR	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LVC165
SN74LVC165APWR.A	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC165

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

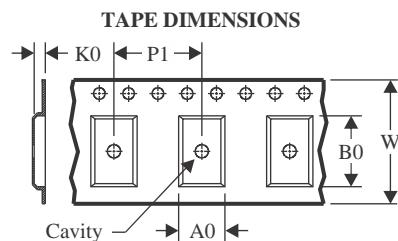
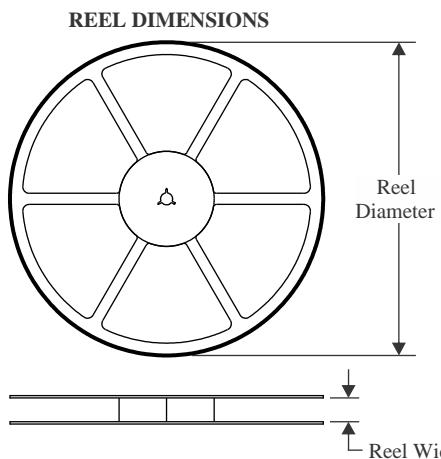
OTHER QUALIFIED VERSIONS OF SN74LVC165A :

- Automotive : [SN74LVC165A-Q1](#)

NOTE: Qualified Version Definitions:

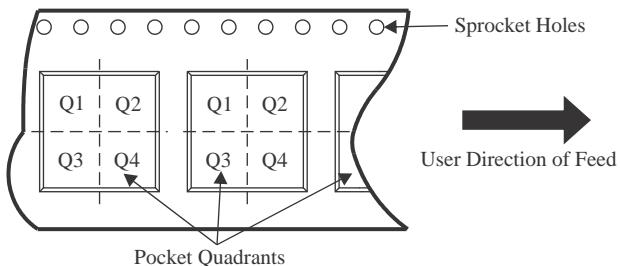
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



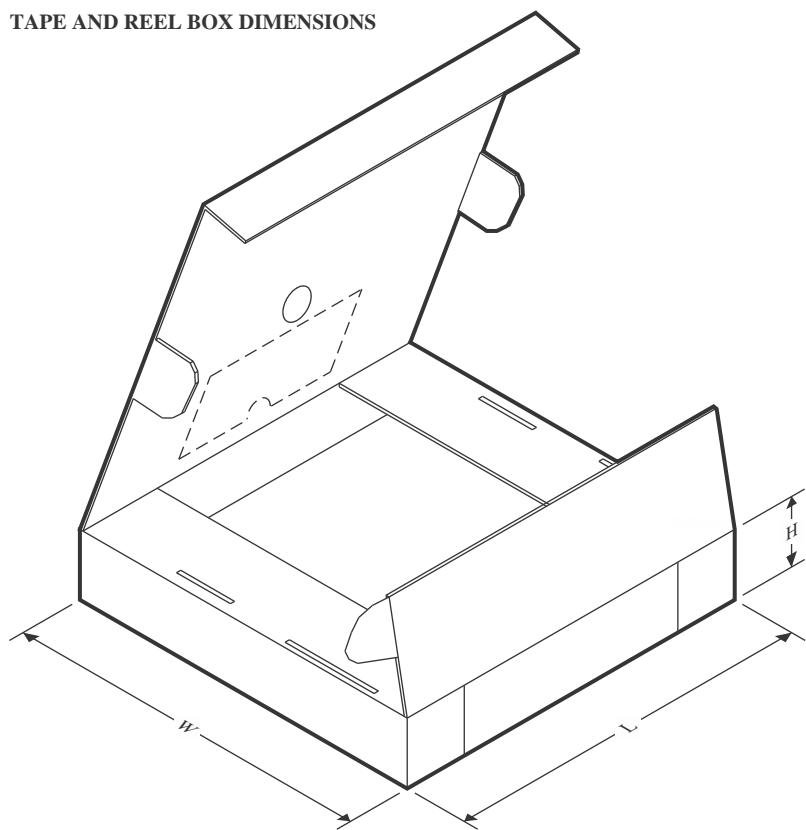
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC165ABQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74LVC165ADR	SOIC	D	16	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74LVC165APWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

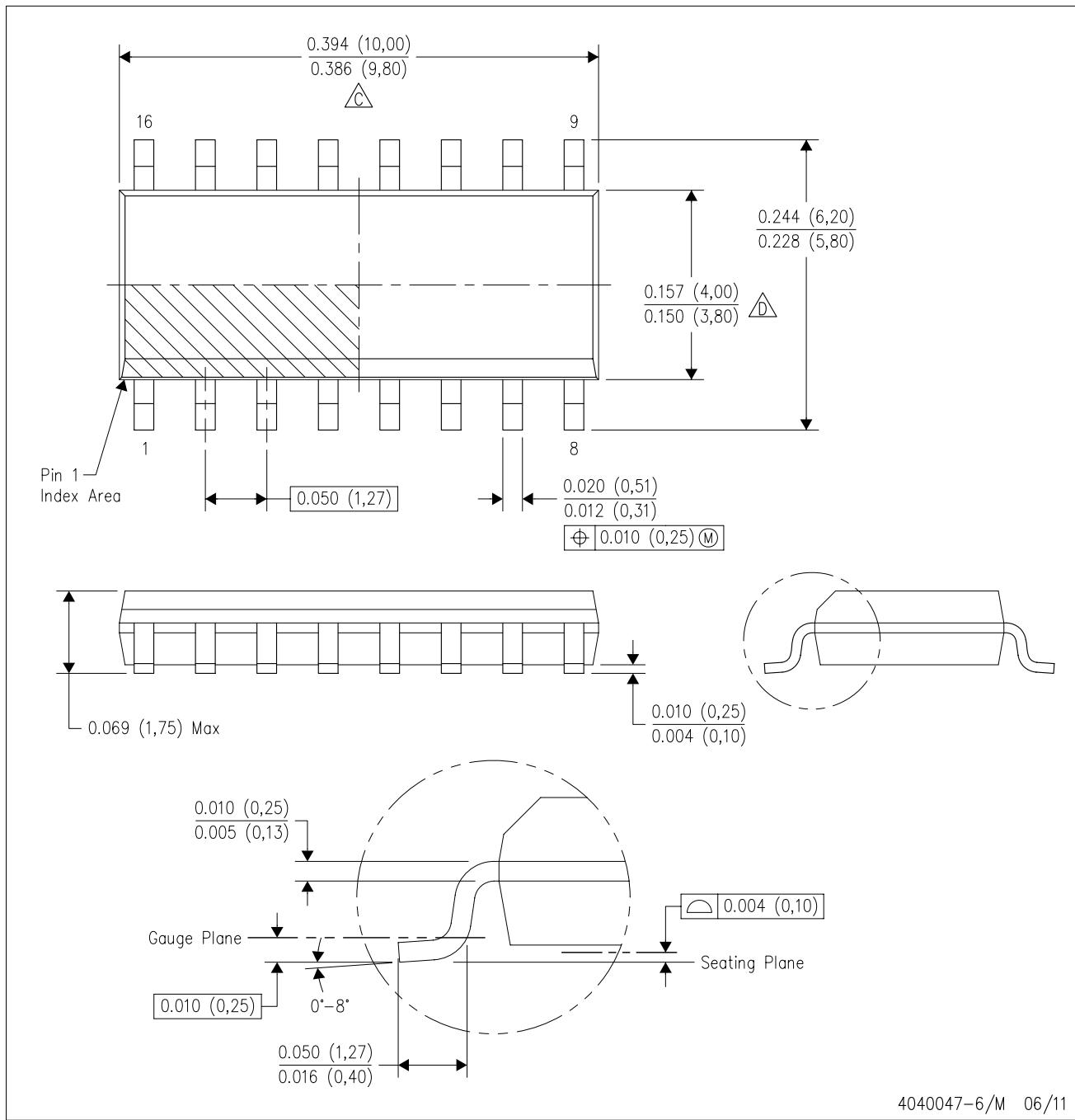
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC165ABQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74LVC165ADR	SOIC	D	16	3000	340.5	336.1	32.0
SN74LVC165APWR	TSSOP	PW	16	3000	353.0	353.0	32.0

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES: A. All linear dimensions are in inches (millimeters).

B. This drawing is subject to change without notice.

C Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.

D Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS-012 variation AC.

4040047-6/M 06/11

GENERIC PACKAGE VIEW

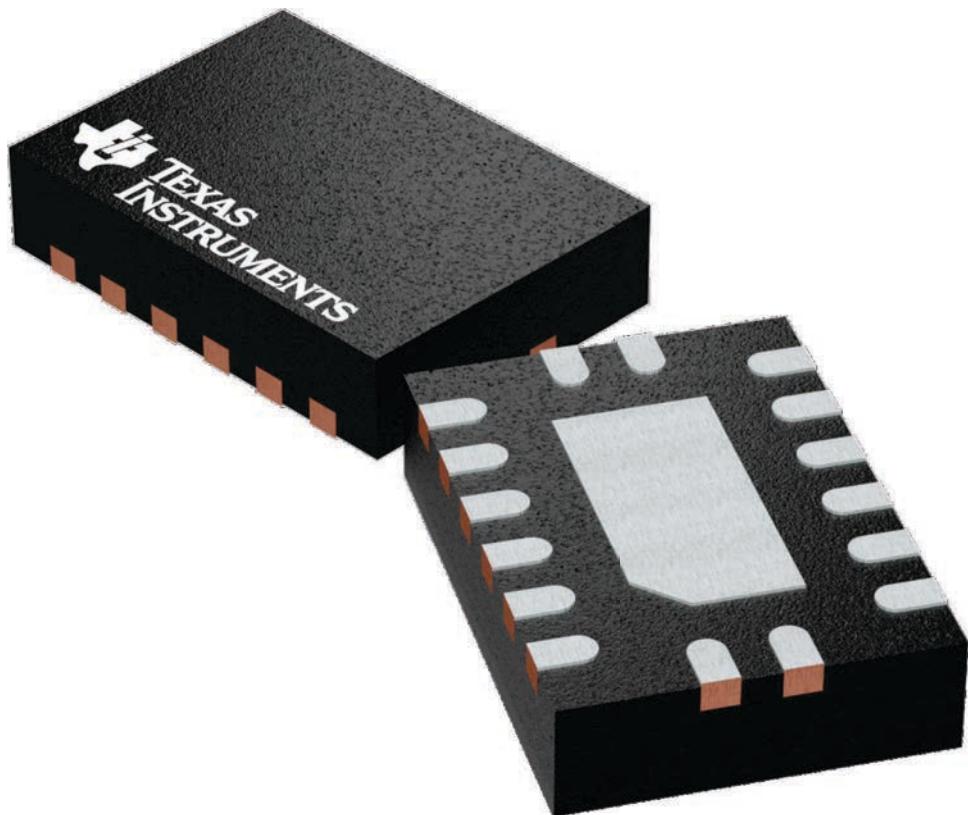
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

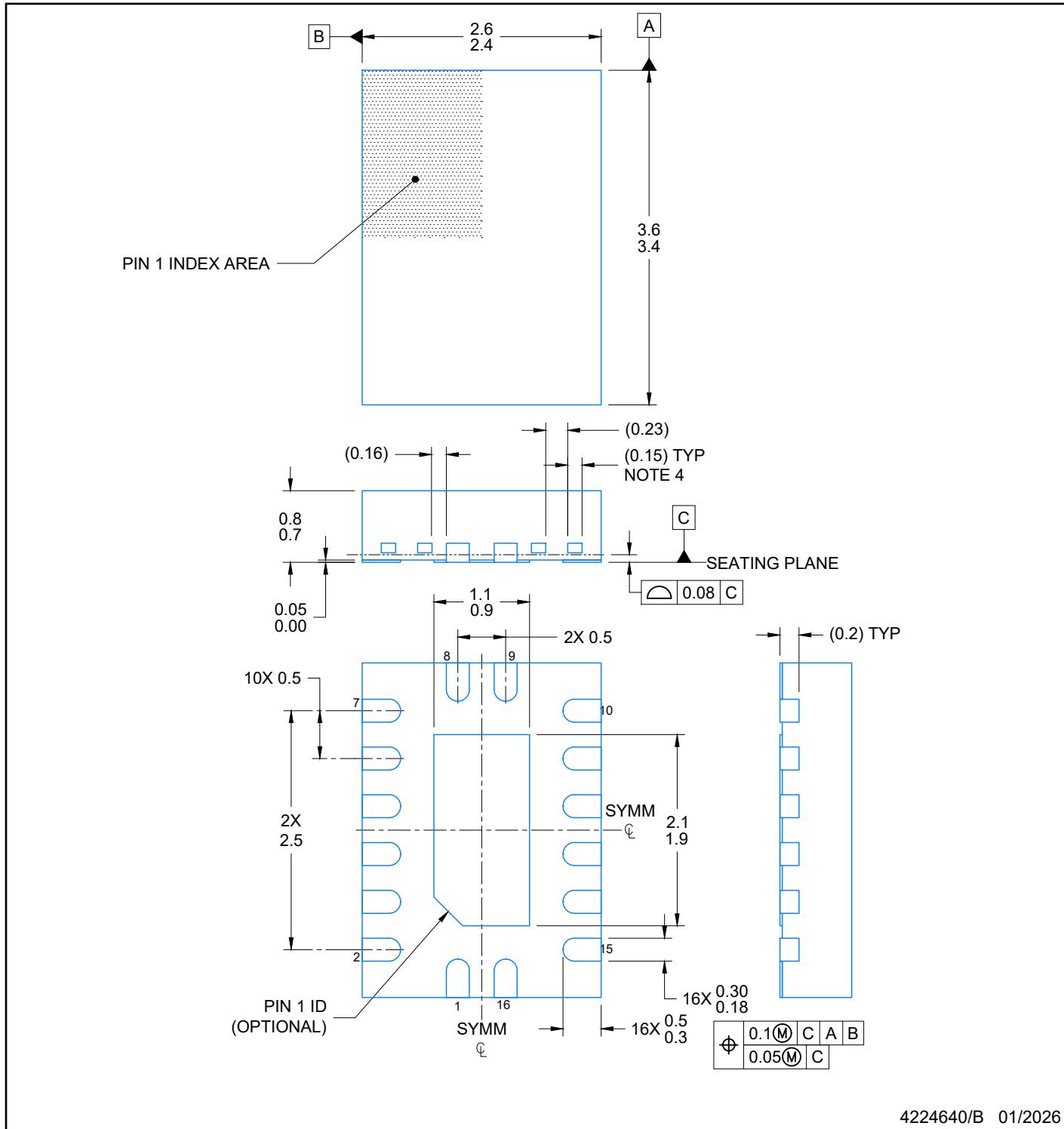


4226161/A

PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



NOTES:

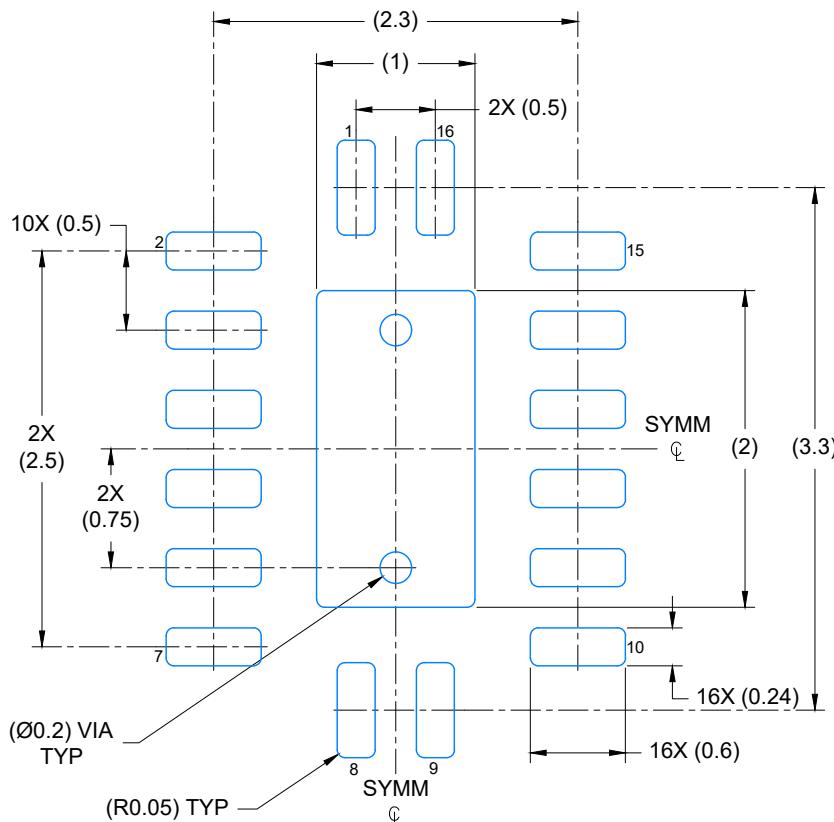
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
 4. Features may differ or may not be present

EXAMPLE BOARD LAYOUT

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

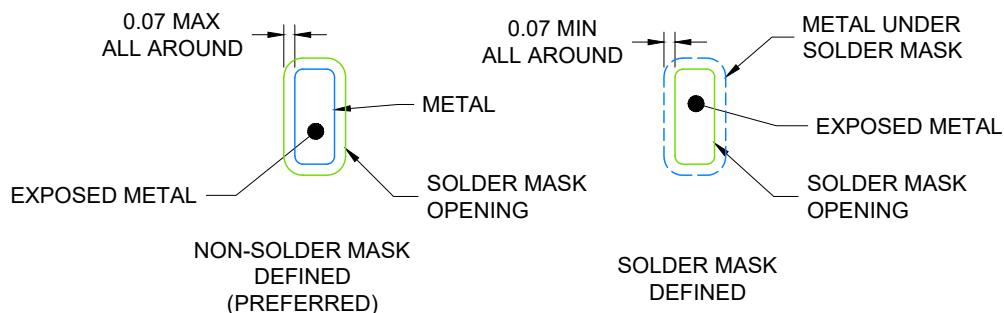
BQB0016A



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 20X



4224640/B 01/2026

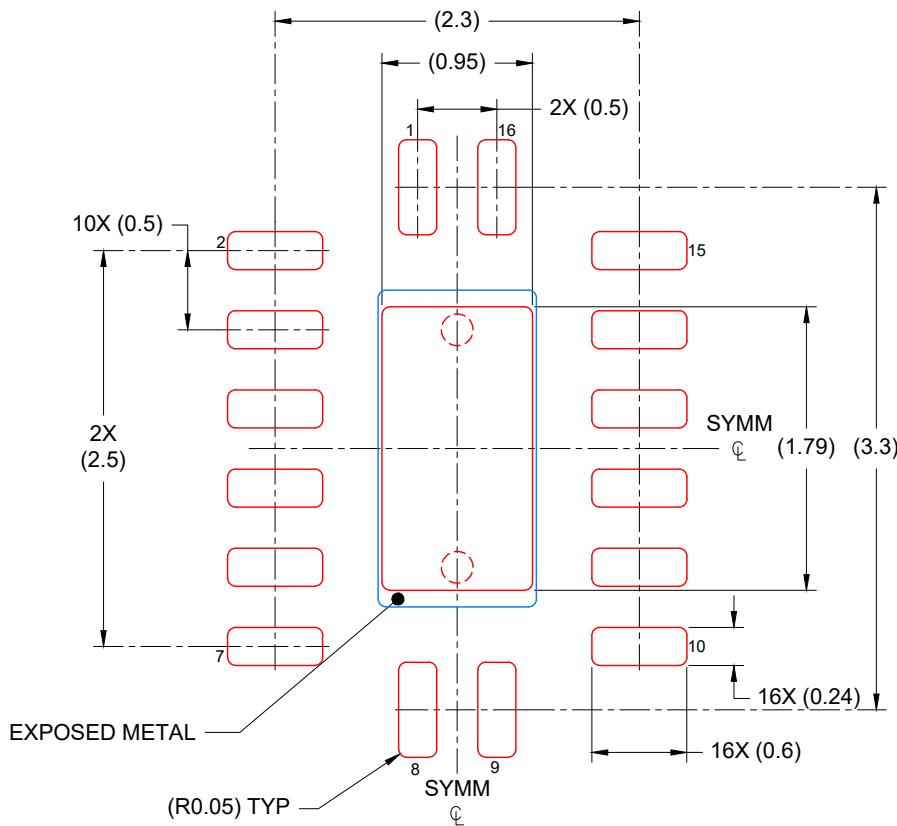
1. NOTES: (continued)
 5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

BQB0016A



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4224640/B 01/2026

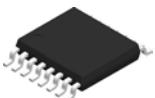
NOTES: (continued)

- Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



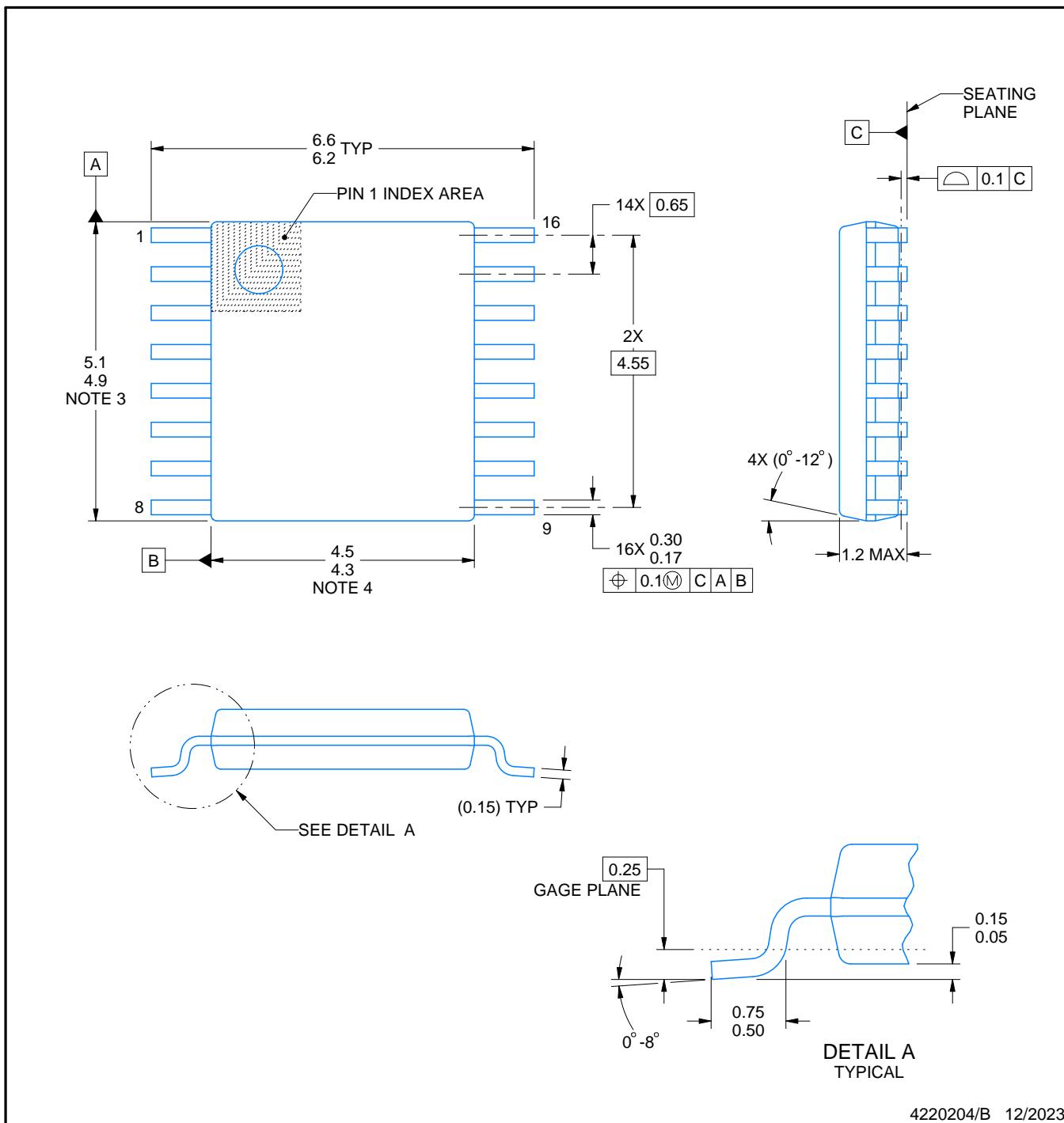
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

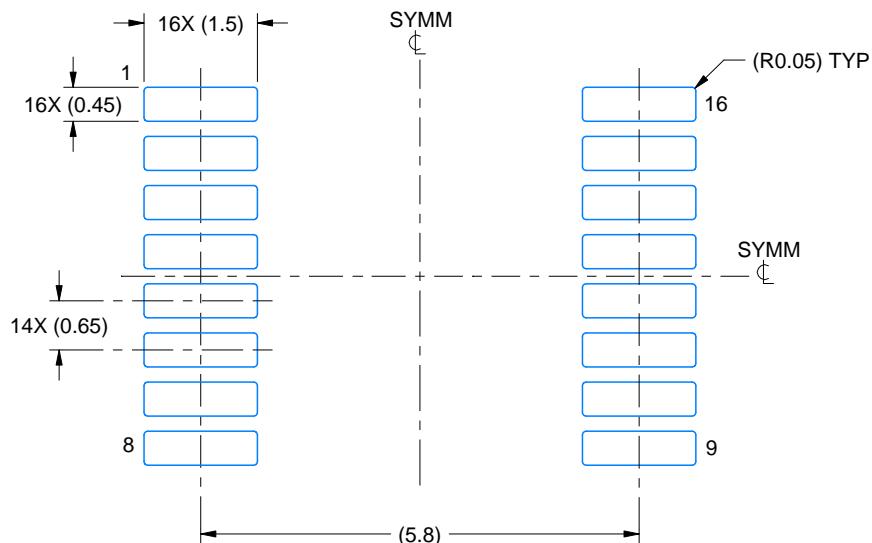
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

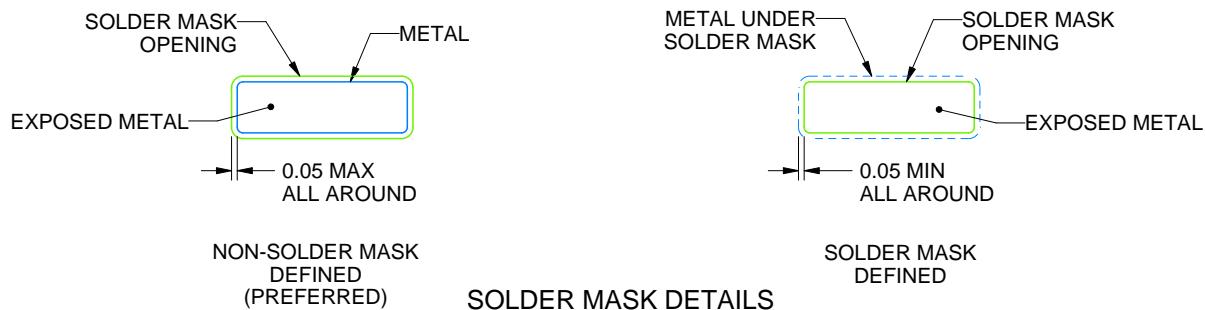
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

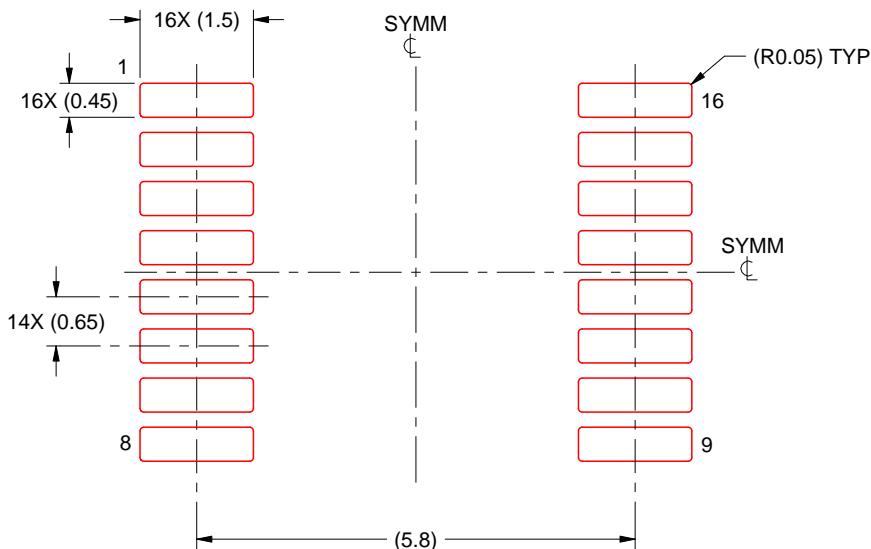
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025年10月