

SN751177/SN751178 デュアル差動ドライバ/レシーバ

1 特長

- ANSI 規格 TIA/EIA-422-B および TIA/EIA-485-A と ITU 勧告 V.10 および V.11 の要件に適合
- ノイズの多い環境の、長いバスラインでのマルチポイントバス伝送用に設計
- ドライバの正および負の電流制限
- サーマル シャットダウン保護機能
- ドライバ 3 ステート出力
- レシーバ同相入力電圧範囲: $-12V \sim 12V$
- レシーバ入力感度: $\pm 200mV$
- レシーバヒステリシス: $50mV$ (標準値)
- レシーバ入力インピーダンス: $12k\Omega$ (最小値)
- レシーバ 3 ステート出力 (SN751177 のみ)
- 5V 単一電源で動作

2 アプリケーション

- モータードライブ
- ファクトリオートメーション
- ビルオートメーション

3 概要

SN751177 および SN751178 デュアル差動ドライバ/レシーバは、最大 10Mbit の速度で平衡マルチポイントバス伝送を実現するように設計されたモノリシック集積回路です。これらのデバイスは、長いバスラインでの全二重データ通信の性能を向上させるように設計されており、ANSI 規格 TIA/EIA-422-B および TIA/EIA-485-A と ITU 勧告 V.10 および V.11 に適合しています。

SN751177 および SN751178 のドライバ出力は正と負の両方の電流を制限し、伝送バスラインのラインフォルト状態からのサーマルシャットダウン保護が可能です。

レシーバは少なくとも $12k\Omega$ の高入力インピーダンスを備え、入力感度は $-12V \sim 12V$ の同相入力電圧範囲で $\pm 200mV$ 、入力ヒステリシスは $50mV$ (標準値) です。フェイルセーフ設計により、レシーバ入力はオープンとなり、レシーバ出力は常に High になります。

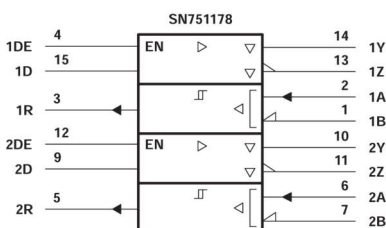
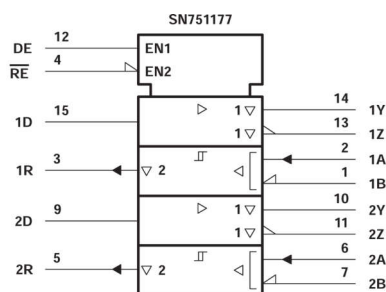
SN751177 および SN751178 は $-20^{\circ}C \sim 85^{\circ}C$ で動作が規定されています。

パッケージ情報

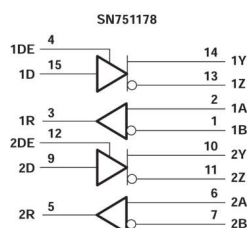
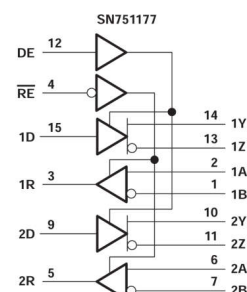
部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
SN751177	PDIP (N, 16)	19.3mm × 9.4mm
SN751178	SO (NS, 16)	10.2mm × 7.8mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージサイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。



論理記号†



論理図 (正論理)

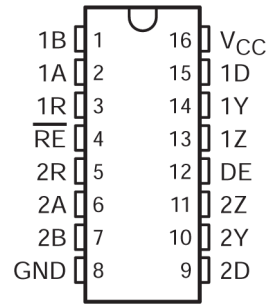
† これらの記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。



Table of Contents

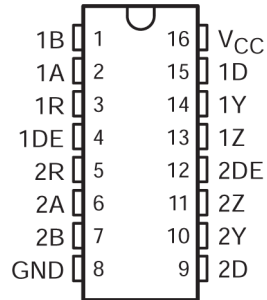
1 特長	1	7.1 Device Functional Modes.....	11
2 アプリケーション	1	8 Device and Documentation Support	13
3 概要	1	8.1 Documentation Support.....	13
4 Pin Configuration and Functions	3	8.2 ドキュメントの更新通知を受け取る方法.....	13
5 Specifications	5	8.3 サポート・リソース.....	13
5.1 Absolute Maximum Ratings.....	5	8.4 Trademarks.....	13
5.2 Thermal Information.....	5	8.5 静電気放電に関する注意事項.....	13
5.3 Recommended Operating Conditions.....	5	8.6 用語集.....	13
5.4 Driver Sections.....	6	9 Revision History	13
5.5 Receiver Sections.....	7	10 Mechanical, Packaging, and Orderable Information	13
6 Parameter Measurement Information	8		
7 Detailed Description	11		

4 Pin Configuration and Functions



4-1. SN751177: N or NS Package (Top View)

NAME	PIN		TYPE	DESCRIPTION
	PDIP	SO		
1A	2	2	I	RS422 differential input (non-inverting) to receiver 1
2A	6	6	I	RS422 differential input (non-inverting) to receiver 2
1B	1	1	I	RS422 differential input (inverting) to receiver 1
2B	7	7	I	RS422 differential input (inverting) to receiver 2
1D	15	15	I	Logic data input to RS422 driver 1
2D	9	9	I	Logic data input to RS422 driver 2
DE	12	12	I	Driver enable (active high)
GND	8	8	—	Device ground pin
1R	3	3	O	Logic data output of RS422 receiver 1
2R	5	5	O	Logic data output of RS422 receiver 2
RE	4	4	I	Receiver enable pin (active low)
V _{CC}	16	16	—	Power supply
1Y	14	14	O	RS-422 differential (non-inverting) driver output 1
2Y	10	10	O	RS-422 differential (non-inverting) driver output 2
1Z	13	13	O	RS-422 differential (inverting) driver output 1
2Z	11	11	O	RS-422 differential (inverting) driver output 2



4-2. SN751178: N or NS Package
(Top View)

NAME	PIN		TYPE	DESCRIPTION
	PDIP	SO		
1A	2	2	I	RS422 differential input (non-inverting) to receiver 1
2A	6	6	I	RS422 differential input (non-inverting) to receiver 2
1B	1	1	I	RS422 differential input (inverting) to receiver 1
2B	7	7	I	RS422 differential input (inverting) to receiver 2
1D	15	15	I	Logic data input to RS422 driver 1
2D	9	9	I	Logic data input to RS422 driver 2
1DE	4	4	I	Driver 1 enable (active high)
2DE	12	12	I	Driver 2 enable (active high)
GND	8	8	—	Device ground
1R	3	3	O	Logic data output of RS422 receiver 1
2R	5	5	O	Logic data output of RS422 receiver 2
V _{CC}	16	16	—	Power supply
1Y	14	14	O	RS-422 differential (non-inverting) driver output 1
2Y	10	10	O	RS-422 differential (non-inverting) driver output 2
1Z	13	13	O	RS-422 differential (non inverting) driver output 1
2Z	11	11	O	RS-422 differential (non inverting) driver output 2

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage, (see note ⁽²⁾)		7	V
V _I	Input voltage, (DE, RE, and D inputs)		7	V
V _I	Receiver input voltage range, (A or B inputs)	-25	25	V
V _{ID}	Receiver differential input voltage range, (see note ⁽³⁾)	-25	25	V
V _O	Driver output voltage range	-10	15	V
I _{OL}	Receiver low-level output current		50	mA
T _{stg}	Storage temperature range	-65	150	°C
	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential input voltage, are with respect to the network ground terminal.
- (3) Differential input voltage is measured at the noninverting terminal with respect to the inverting terminal.

5.2 Thermal Information

THERMAL METRIC ⁽¹⁾		N	NS	UNIT
		16-PINS	16-PINS	
R _{θJA}	Junction-to-ambient thermal resistance ⁽²⁾	60.6	88.5	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	48.1	46.2	°C/W
R _{θJB}	Junction-to-board thermal resistance	40.6	50.7	°C/W
ψ _{JT}	Junction-to-top characterization parameter	27.5	13.5	°C/W
ψ _{JB}	Junction-to-board characterization parameter	40.3	50.3	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.
- (2) The package thermal impedance is calculated in accordance with JEDEC 51, except for through-hole packages, which use a trace length of zero.

5.3 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V _{CC}		4.75	5	5.25	V
High-level input voltage, V _{IH}	DE, RE, and D inputs	2			V
Low-level input voltage, V _{IL}				0.8	V
Common-mode output voltage, V _{OC}	Driver	-7 ⁽¹⁾		12	V
High-level output current, I _{OH}				-60	mA
Low-level output current, I _{OL}				60	mA
Common-mode input voltage, V _{IC}				±12	V
Differential input voltage, V _{ID}	Receiver			±12	V
High-level output current, I _{OH}				-400	μA
Low-level output current, I _{OL}				16	mA
Operating free-air temperature, T _A			-20		85

- (1) The algebraic convention, where the less positive (more negative) limit is designated as minimum, is used in this data sheet for common-mode output and threshold voltage levels only.

5.4 Driver Sections

5.4.1 Electrical Characteristics

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IK}	Input clamp voltage	$I_I = -18\text{mA}$					-1.5	V
V_{OH}	High-level output voltage	$V_{IH} = 2\text{V}$,	$V_{IL} = 0.8\text{V}$,	$I_{OH} = -33\text{mA}$		3.7		V
V_{OL}	Low-level output voltage	$V_{IH} = 2\text{V}$,	$V_{IL} = 0.8\text{V}$,	$I_{OH} = 33\text{mA}$		1.1		V
$ V_{OD1} $	Differential output voltage	$I_O = 0$			1.5		6	V
$ V_{OD2} $	Differential output voltage	$R_L = 100\Omega$,	See 6-1		2 or 1/2 V_{OD1} ⁽²⁾			V
		$R_L = 54\Omega$,	See 6-1		1.5		5	
V_{OD3}	Differential output voltage	See Note 4			1.5		5	V
$\Delta V_{OD} $	Change in magnitude of differential output voltage (see Note 5)						± 0.2	V
V_{OC}	Common-mode output voltage	$R_L = 54\Omega$ or 100Ω ,		See 6-1	-1 ⁽³⁾		3	V
$\Delta V_{OC} $	Change in magnitude of common-mode output voltage (see Note 5)						± 0.2	V
I_O	Output current with power off	$V_{CC} = 0$,		$V_O = -7\text{V}$ to 12V			± 100	μA
I_{OZ}	High-impedance-state output current	$V_O = -7\text{V}$ to 12V					± 100	μA
I_{IH}	High-level input current	$V_{IH} = 2.7\text{V}$					20	μA
I_{IL}	Low-level input current	$V_{IL} = 0.4\text{V}$					-100	μA
I_{OS}	Short-circuit output current (see Note 6)	$V_O = -7\text{V}$					-250	mA
		$V_O = V_{CC}$					250	
I_{CC}	Supply current	No load	Outputs enabled			80	110	mA
			Outputs disabled			50	80	

(1) All typical values are at $V_{CC} = 5\text{V}$ and $T_A = 25^\circ\text{C}$.

(2) The minimum V_{OD2} with a 100Ω load is either $1/2 V_{OD1}$ or 2V , whichever is greater.

(3) The algebraic convention, where the less positive (more negative) limit is designated as minimum, is used in this data sheet for common-mode output and threshold voltage levels only.

(4) See TIA/EIA-485-A [6-3.5](#), Test Termination Measurement 2

(5) $\Delta|V_{OD}|$ and $\Delta|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC} , respectively, that occur when the input is changed from a high level to a low level.

(6) Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.

5.4.2 Switching Characteristics

at $V_{CC} = 5\text{V}$, $C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$t_{d(OD)}$	Differential output delay time	$R_L = 54\Omega$,	See 6-3		20	25	ns
$t_{t(OD)}$	Differential output transition time				27	35	ns
t_{PLH}	Propagation delay time, low- to high-level output	$R_L = 27\Omega$,	See 6-4		20	25	ns
t_{PHL}	Propagation delay time, high- to low-level output				20	25	ns
t_{PZH}	Output enable time to high level	$R_L = 110\Omega$,	See 6-5		80	120	ns
t_{PZL}	Output enable time to low level	$R_L = 110\Omega$,	See 6-6		40	60	ns
t_{PHZ}	Output disable time from high level	$R_L = 110\Omega$,	See 6-5		90	120	ns
t_{PLZ}	Output disable time from low level	$R_L = 110\Omega$,	See 6-6		30	45	ns

5.4.3 Symbol Equivalents

DATA-SHEET PARAMETER	TIA/EIA-422-B	TIA/EIA-485-A
$ V_{OD1} $	V_O	V_O
$ V_{OD2} $	$V_t (R_L = 100\Omega)$	$V_t (R_L = 54\Omega)$
$ V_{OD3} $		V_t (Test Termination Measurement 2)
$\Delta V_{OD} $	$ V_t - \bar{V}_t $	$ V_t - \bar{V}_t $
V_{OC}	$ V_{OS} $	$ V_{OS} $
$\Delta V_{OC} $	$ V_{OS} - \bar{V}_{OS} $	$ V_{OS} - \bar{V}_{OS} $
I_{OS}	$ I_{sa} , I_{sb} $	
I_O	$ I_{xa} , I_{xb} $	I_{ia}, I_{ib}

5.5 Receiver Sections

5.5.1 Electrical Characteristics

over recommended ranges of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

PARAMETER			TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage		$V_O = 2.7V,$	$I_O = -0.4mA$			0.2	V
V_{IT-}	Negative-going input threshold voltage		$V_O = 0.5V,$	$I_O = 16mA$	-0.2 ⁽²⁾			V
V_{hys}	Input hysteresis voltage ($V_{IT+} - V_{IT-}$)					50		mV
V_{IK}	Enable clamp voltage	SN751177	$I_I = -18mA$				-1.5	V
V_{OH}	High-level output voltage		$V_{ID} = 200mV,$	$I_{OH} = -400\mu A$	2.7			V
V_{OL}	Low-level output voltage		$V_{ID} = -200mV$	$I_{OL} = 8mA$			0.45	V
				$I_{OL} = 16mA$			0.5	
I_{OZ}	High-impedance-state output current	SN751177	$V_O = 0.4V$ to $2.4V$				± 20	μA
I_I	Line input current (see Note 7)		Other input at 0V	$V_I = 12V$			1	mA
				$V_I = -7V$			-0.8	
I_{IH}	High-level enable input current	SN751177	$V_{IH} = 2.7V$				20	μA
I_{IL}	Low-level enable input current	SN751177	$V_{IL} = 0.4V$				-100	μA
I_{OS}	Short-circuit output current (see Note 6)				-15		-85	μA
I_{CC}	Supply current		No load,	outputs enabled		80	110	mA
r_i	Input resistance				12			k Ω

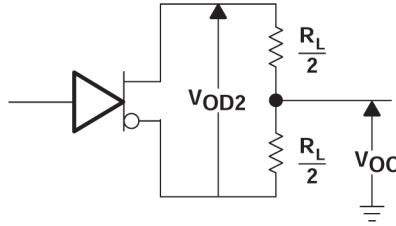
- (1) All typical values are at $V_{CC} = 5V$ and $T_A = 25^\circ C$.
- (2) The algebraic convention, where the less positive (more negative) limit is designated as minimum, is used in this data sheet for common-mode output and threshold voltage levels only.
- (3) Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.
- (4) Refer to ANSI Standards TIA/EIA-422-B, TIA/EIA-423-A, and TIA/EIA-485-A for exact conditions.

5.5.2 Switching Characteristics

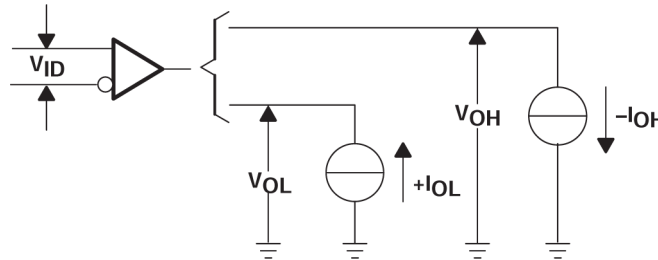
at $V_{CC} = 5V, C_L = 15pF, T_A = 25^\circ C$

PARAMETER			TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low- to high-level output		$V_{ID} = -1.5V$ to $1.5V,$	See 6-7		20	35	ns
t_{PHL}	Propagation delay time, high- to low-level output					22	35	ns
t_{PZH}	Output enable time to high level	SN751177	See 6-8			17	25	ns
t_{PZL}	Output enable time to low level					20	27	ns
t_{PHZ}	Output disable time from high level					25	40	ns
t_{PLZ}	Output disable time from low level					30	40	ns

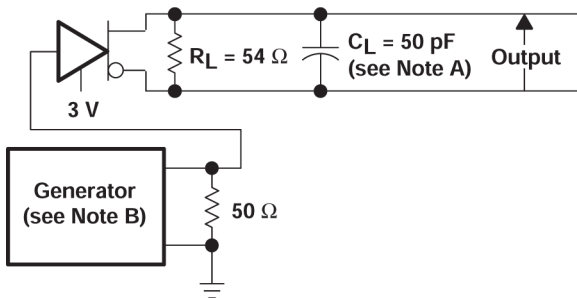
6 Parameter Measurement Information



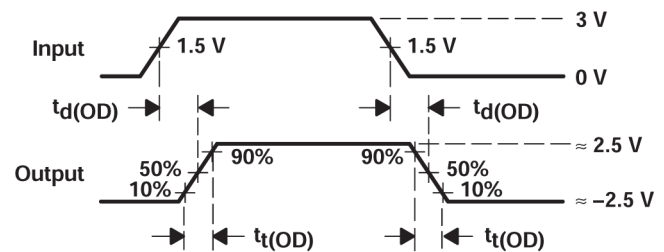
☒ 6-1. Driver Test Circuit, v_{OD} And v_{OC}



☒ 6-2. Receiver Test Circuit, v_{OH} And v_{OL}



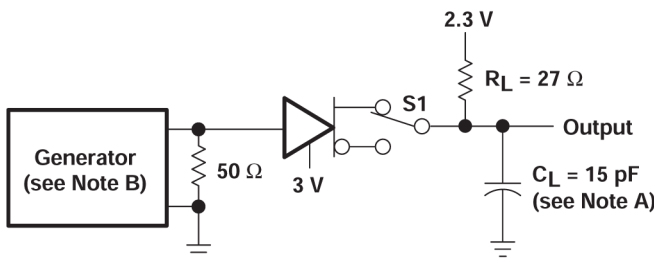
TEST CIRCUIT



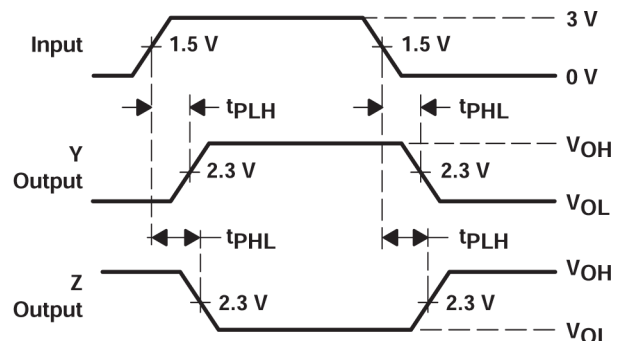
VOLTAGE WAVEFORMS

- A. C_L includes probe and jig capacitance.
- B. The pulse generator has the following characteristics: $PRR \leq 1\text{MHz}$, 50% duty cycle, $Z_O = 50\Omega$, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$.

☒ 6-3. Driver Differential Output-Delay and Transition-Time Test Circuit and Voltage Waveforms



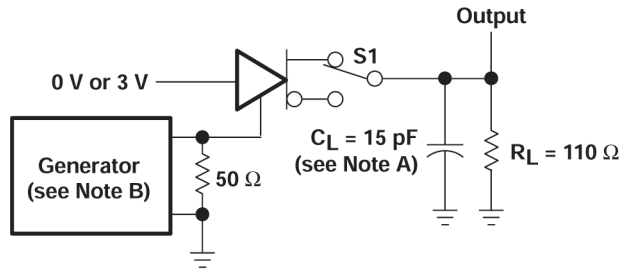
TEST CIRCUIT



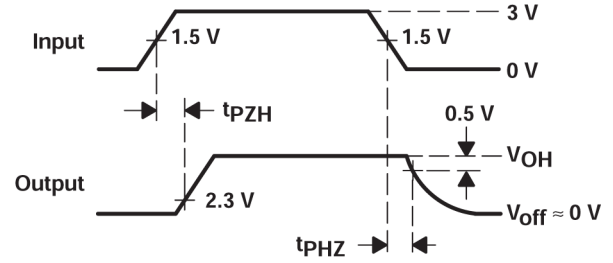
VOLTAGE WAVEFORMS

- A. C_L includes probe and jig capacitance.
- B. The pulse generator has the following characteristics: $PRR \leq 1\text{MHz}$, 50% duty cycle, $Z_O = 50\Omega$, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$.

☒ 6-4. Driver Propagation-Time Test Circuit and Voltage Waveforms



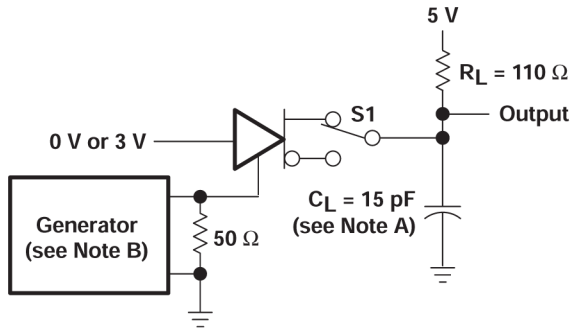
TEST CIRCUIT



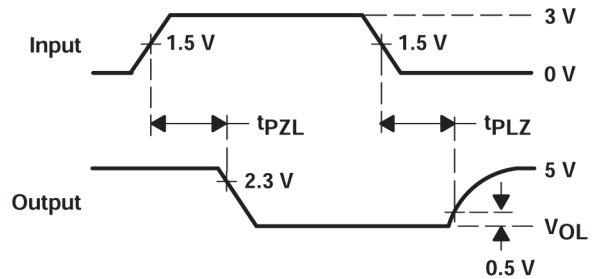
VOLTAGE WAVEFORMS

- A. C_L includes probe and jig capacitance.
- B. The pulse generator has the following characteristics: $PRR \leq 1\text{MHz}$, 50% duty cycle, $Z_O = 50\Omega$, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$.

6-5. Driver Enable- and Disable-Time Test Circuit and Voltage Waveforms



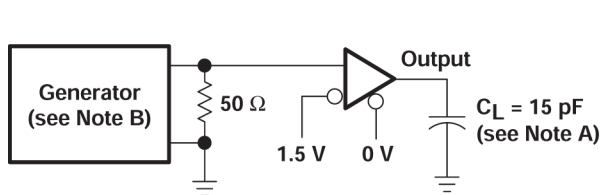
TEST CIRCUIT



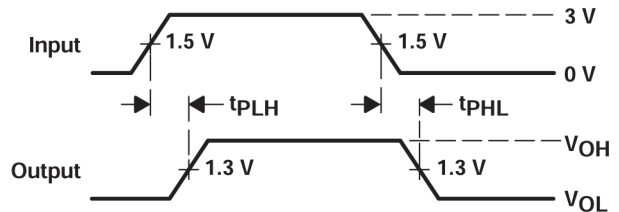
VOLTAGE WAVEFORMS

- A. C_L includes probe and jig capacitance.
- B. The pulse generator has the following characteristics: $PRR \leq 1\text{MHz}$, 50% duty cycle, $Z_O = 50\Omega$, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$.

6-6. Driver Enable- and Disable-Time Test Circuit and Voltage Waveforms



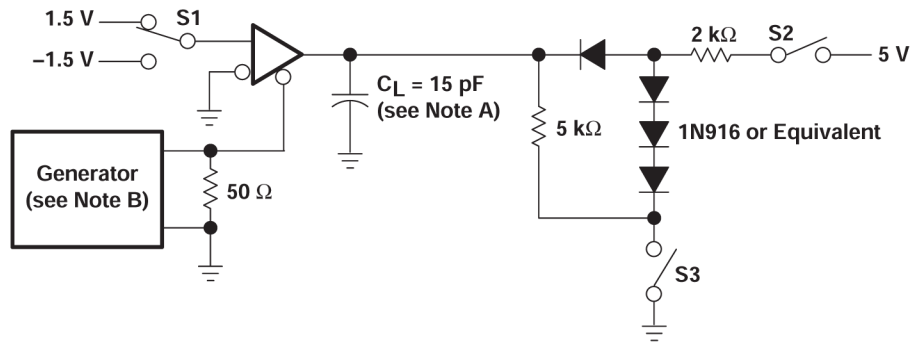
TEST CIRCUIT



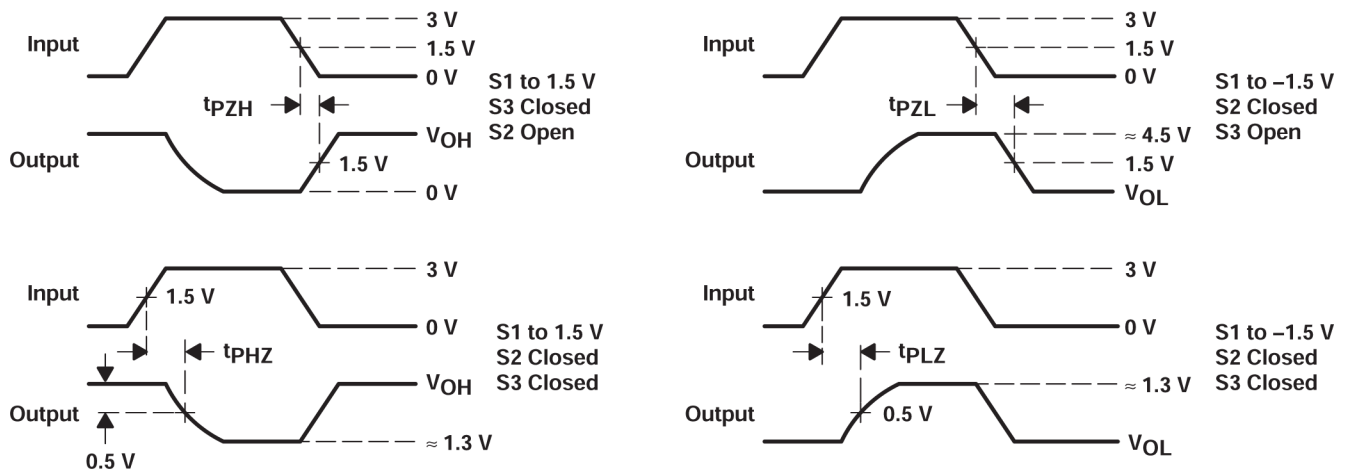
VOLTAGE WAVEFORMS

- A. C_L includes probe and jig capacitance.
- B. The pulse generator has the following characteristics: $PRR \leq 1\text{MHz}$, 50% duty cycle, $Z_O = 50\Omega$, $t_r \leq 6\text{ns}$, $t_f \leq 6\text{ns}$.

6-7. Receiver Propagation-Time Test Circuit and Voltage Waveforms



TEST CIRCUIT



VOLTAGE WAVEFORMS

- A. C_L includes probe and jig capacitance.
- B. The pulse generator has the following characteristics: $PRR \leq 1 \text{ MHz}$, 50% duty cycle, $Z_O = 50 \Omega$, $t_r \leq 6 \text{ ns}$, $t_f \leq 6 \text{ ns}$.

图 6-8. Receiver Output Enable- and Disable-Time Test Circuit and Voltage Waveforms

7 Detailed Description

7.1 Device Functional Modes

表 7-1. SN751177, SN751178 Functional Table (Each Driver)

INPUT D ⁽¹⁾	ENABLE DE	OUTPUTS	
		Y	Z
H	H	H	L
L	H	L	H
X	L	Z	Z

(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off)

表 7-2. SN751177 Functional Table (Each Receiver)

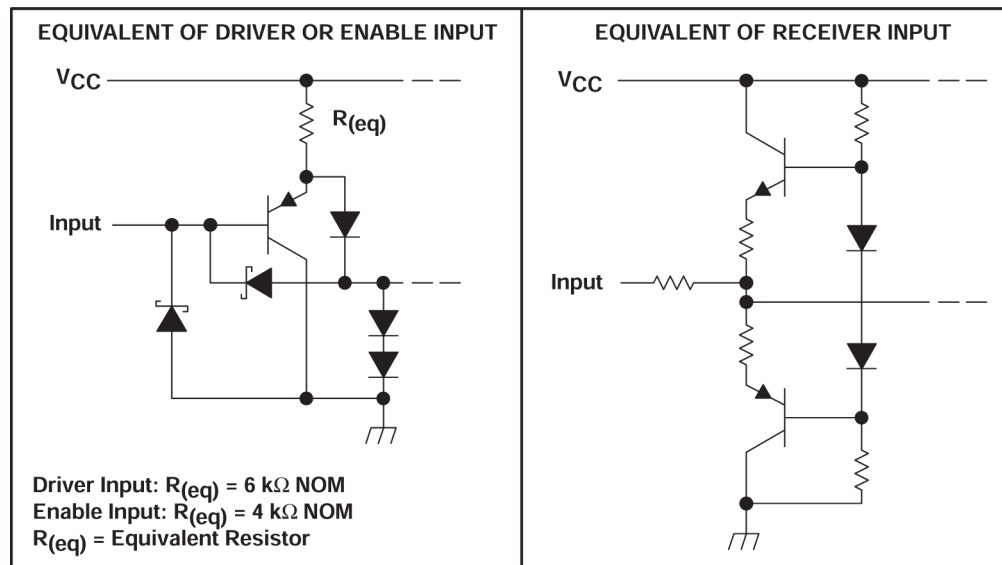
DIFFERENTIAL INPUTS A – B	ENABLE RE	OUTPUT R ⁽¹⁾
$V_{ID} \geq 0.2V$	L	H
$-0.2V < V_{ID} < 0.2V$	L	?
$V_{ID} \leq -0.2V$	L	L
X	H	Z
Open	L	H

(1) H = high level, L = low level, ? = indeterminate, X = irrelevant, Z = high impedance (off)

表 7-3. SN751178 Functional Table (Each Receiver)

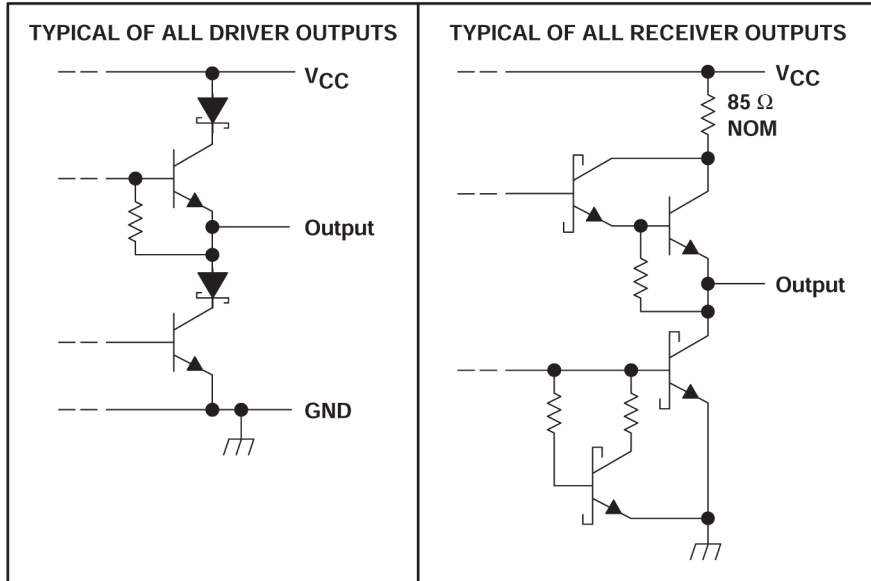
DIFFERENTIAL INPUTS A – B	OUTPUT R ⁽¹⁾
$V_{ID} \geq 0.2V$	H
$-0.2V < V_{ID} < 0.2V$?
$V_{ID} \leq -0.2V$	L

(1) H = high level, L = low level, ? = indeterminate



A. All resistor values are nominal.

图 7-1. Schematics of Inputs



A. All resistor values are nominal.

图 7-2. Schematics of Outputs

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 Documentation Support

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 1999) to Revision E (February 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN751177N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 85	SN751177N
SN751177N.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 85	SN751177N
SN751177NSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 85	SN751177
SN751177NSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 85	SN751177
SN751177NSRE4	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 85	SN751177
SN751178N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 85	SN751178N
SN751178N.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-20 to 85	SN751178N
SN751178NSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 85	SN751178
SN751178NSR.A	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-20 to 85	SN751178

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN751177NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN751178NSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
SN751178NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN751177NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN751178NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN751178NSR	SOP	NS	16	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN751177N	N	PDIP	16	25	506	13.97	11230	4.32
SN751177N.A	N	PDIP	16	25	506	13.97	11230	4.32
SN751178N	N	PDIP	16	25	506	13.97	11230	4.32
SN751178N.A	N	PDIP	16	25	506	13.97	11230	4.32

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - (C) Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - (D) The 20 pin end lead shoulder width is a vendor option, either half or full width.



PACKAGE OUTLINE

NS0016A

SOP - 2.00 mm max height

SOP



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

NS0016A

SOP - 2.00 mm max height

SOP



4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

NS0016A

SOP - 2.00 mm max height

SOP



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月