

TAA3020 2 チャンネル、768kHz、104dB ダイナミックレンジのオーディオ ADC

1 特長

- マルチチャンネルの高性能 ADC:
 - 2 チャンネルのアナログ マイクロフォンまたはライン入力
 - 4 チャンネルのデジタル PDM マイクロフォン
 - 最大 2 つのアナログおよび最大 2 つのデジタル マイクロフォン チャンネル
- ADC ラインおよびマイクロフォンの差動入力性能:
 - ダイナミックレンジ (DR)104dB
 - THD+N: -95dB
- ADC チャンネル合計モード、DR 性能:
 - 107dB (2 チャンネル加算)
- ADC 入力電圧:
 - 差動、 $2V_{RMS}$ フルスケール入力
 - シングルエンド、 $1V_{RMS}$ フルスケール入力
- ADC サンプル・レート (f_S): 8kHz~768kHz
- プログラム可能なチャンネル設定:
 - チャンネル ゲイン: 0.5dB 刻みで 0dB~42dB
 - デジタル ボリューム制御: -100dB~27dB
 - 0.1dB 分解能のゲイン較正
 - 163ns 分解能の位相較正
- マイクロフォンのバイアスまたは電源電圧の生成をプログラム可能
- 低遅延信号処理フィルタの選択
- HPF およびバイカッド デジタル フィルタをプログラム可能
- 自動ゲイン コントローラ (AGC)
- 音声アクティビティ検出 (VAD)
- I²C 制御インターフェイス
- 高性能オーディオ PLL を内蔵
- クロック分周器の設定を自動的に構成
- オーディオ シリアル データ インターフェイス
 - フォーマット: TDM、I²S、左揃え (LJ)
 - ワード長: 16 ビット、20 ビット、24 ビット、32 ビット
 - コントローラまたはターゲットのインターフェイス
- 単一電源動作: 3.3V または 1.8V
- I/O 電源動作: 3.3V または 1.8V
- 1.8A VDD 電源での消費電力:
 - 9.5mW/チャンネル (サンプル レート: 48kHz)

2 アプリケーション

- スマート スピーカ
- IP ネットワーク カメラ
- 業務用マイク / ワイヤレス システム
- テレビ会議システム

3 説明

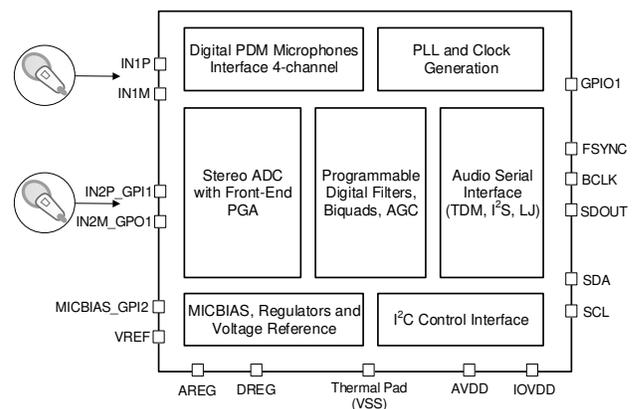
TAA3020 は、パルス密度変調 (PDM) マイクロフォン入力用の最大 2 つのアナログ チャンネル、または 4 つのデジタル チャンネルを同時にサンプリングできる、高性能オーディオ A/D コンバータ (ADC) です。このデバイスは、ラインおよびマイクロフォン入力をサポートし、シングルエンドおよび差動入力構成が可能です。このデバイスには、プログラム可能なチャンネル ゲイン、デジタル ボリューム制御、プログラム可能なマイクロフォン バイアス電圧、フェーズ ロック ループ (PLL)、プログラム可能なハイパス フィルタ (HPF)、バイカッド フィルタ、低遅延フィルタ モードが搭載されており、最高 768kHz のサンプル レートに対応できます。このデバイスは時分割多重化 (TDM)、I²S、左揃え (LJ) オーディオ フォーマットに対応し、I²C インターフェイスで制御可能です。これらの高性能機能を搭載しており、1.8V または 3.3V の単一電源で動作できることから、遠距離マイクロフォン録音アプリケーションの、スペースの制約が厳しいオーディオ システムに最適です。

TAA3020 は -40°C ~ +105°C で動作が規定されており、20 ピンの WQFN パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TAA3020	RTE (WQFN, 20)	3.00mm × 3.00mm 0.5mm ピッチ

- 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略ブロック図



目次

1 特長	1	6.3 機能説明	16
2 アプリケーション	1	6.4 デバイスの機能モード	52
3 説明	1	6.5 プログラミング	53
4 ピン構成および機能	3	7 レジスタ マップ	56
5 仕様	5	7.1 デバイス構成レジスタ	56
5.1 絶対最大定格.....	5	7.2 Page_0 のレジスタ	57
5.2 ESD 定格.....	5	7.3 Page_1 のレジスタ	85
5.3 推奨動作条件.....	6	7.4 プログラム可能な係数レジスタ	87
5.4 熱に関する情報.....	6	8 アプリケーションと実装	95
5.5 電気的特性.....	7	8.1 使用上の注意.....	95
5.6 タイミング要件: I ² C インターフェイス.....	11	8.2 代表的なアプリケーション.....	95
5.7 スイッチング特性: I ² C インターフェイス.....	12	8.3 設計のベストプラクティス.....	102
5.8 タイミング要件: TDM、I ² S または LJ インターフェイス... 12		8.4 電源に関する推奨事項.....	102
5.9 スイッチング特性: TDM、I ² S または LJ インターフェ イス.....	12	8.5 レイアウト.....	102
5.10 タイミング要件: PDM デジタル マイクロフォン イン ターフェイス.....	13	9 デバイスおよびドキュメントのサポート	104
5.11 スイッチング特性: PDM デジタル マイクロフォン イ ンターフェイス.....	13	9.1 ドキュメントのサポート.....	104
5.12 タイミング図.....	13	9.2 ドキュメントの更新通知を受け取る方法.....	104
6 詳細説明	15	9.3 サポート・リソース.....	104
6.1 概要.....	15	9.4 商標.....	104
6.2 機能ブロック図.....	16	9.5 静電気放電に関する注意事項.....	104
		9.6 用語集.....	105
		10 改訂履歴	105
		11 メカニカル、パッケージ、および注文情報	105

4 ピン構成および機能

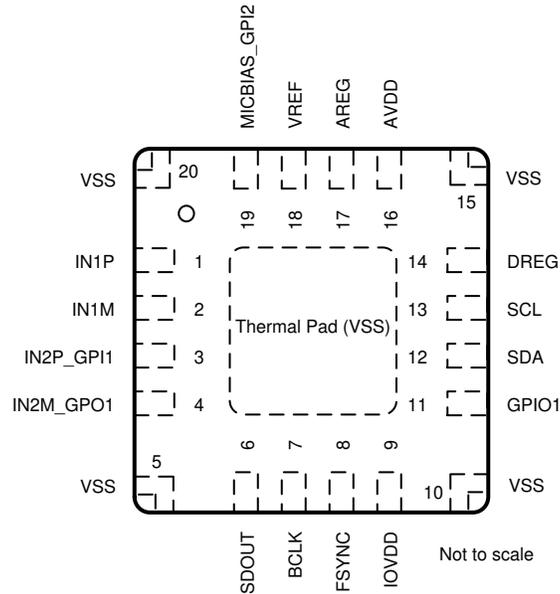


図 4-1. RTE パッケージ、20 ピン WQFN、露出サーマルパッド付き (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
AREG	17	アナログ電源	アナログ電源 (1.8V、公称値) または外部アナログ電源 (1.8V、公称値) 用のアナログオンチップレギュレータ出力電圧。10 μ F および 0.1 μ F の低 ESR コンデンサをアナロググラウンド (AVSS) と並列に接続します。
AVDD	16	アナログ電源	アナログ電源 (1.8V または 3.3V、公称値)
BCLK	7	デジタル I/O	オーディオ シリアル データインターフェイスのバス ビット クロック
DREG	14	デジタル電源	デジタル コア電源用デジタルレギュレータ出力電圧 (1.5V、公称値)。10 μ F および 0.1 μ F の低 ESR コンデンサをデバイスグラウンド (VSS) と並列に接続します。
FSYNC	8	デジタル I/O	オーディオ シリアル データ インターフェイス バス フレームの同期信号
GPIO1	11	デジタル I/O	汎用デジタル入出力 1 (デジタル マイク クロックまたはデータ、PLL 入力クロックソース、割り込みなどの多目的機能)。
IN1M	2	アナログ入力	アナログ入力 1M ピン
IN1P	1	アナログ入力	アナログ入力 1P ピン
IN2M_GPO1	4	アナログ入力/デジタル出力	アナログ入力 2M ピンまたは汎用デジタル出力 1 (デジタル マイク クロック、割り込みなどの多目的機能)。
IN2P_GPI1	3	アナログ入力/デジタル入力	アナログ入力 2P ピンまたは汎用デジタル入力 1 (デジタル マイク データ、PLL 入力クロックソースなどの多目的機能)。
IOVDD	9	デジタル電源	デジタル I/O 電源 (1.8V または 3.3V、公称値)
MICBIAS_GPI2	19	アナログ出力 / デジタル入力	MICBIAS 出力または汎用デジタル入力 2 (デジタル マイク データ、PLL 入力クロックソースなどの多目的機能)。MICBIAS 出力として使用する場合は、1 μ F コンデンサをアナロググラウンド (AVSS) に接続します。
SCL	13	デジタル入力	I ² C 制御バス用クロックピン
SDA	12	デジタル I/O	I ² C 制御バス用データピン
SDOUT	6	デジタル出力	オーディオ シリアル データ インターフェイス バス出力
サーマルパッド (VSS)	サーマルパッド	グラウンド電源	サーマルパッドを内部デバイスのグラウンドに短絡します。サーマルパッドを直接基板のグラウンドプレーンに短絡。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
VREF	18	アナログ	アナログリファレンス電圧フィルタ出力。1 μ F コンデンサをアナログ グランド (AVSS) に接続します。
VSS	5	グランド電源	デバイスのグランドは内部でサーマル パッドに短絡しています。このパッケージ コーナー ピンを直接基板のグランド プレーンに短絡します。コーナー ピンの寸法については、このドキュメントの末尾にあるパッケージ図を参照してください。
VSS	10	グランド電源	デバイスのグランドは内部でサーマル パッドに短絡しています。このパッケージ コーナー ピンを直接基板のグランド プレーンに短絡します。コーナー ピンの寸法については、このドキュメントの末尾にあるパッケージ図を参照してください。
VSS	15	グランド電源	デバイスのグランドは内部でサーマル パッドに短絡しています。このパッケージ コーナー ピンを直接基板のグランド プレーンに短絡します。コーナー ピンの寸法については、このドキュメントの末尾にあるパッケージ図を参照してください。
VSS	20	グランド電源	デバイスのグランドは内部でサーマル パッドに短絡しています。このパッケージ コーナー ピンを直接基板のグランド プレーンに短絡します。コーナー ピンの寸法については、このドキュメントの末尾にあるパッケージ図を参照してください。

5 仕様

5.1 絶対最大定格

動作環境温度範囲内(特に記載がない限り) (1)

		最小値	最大値	単位
電源電圧	AVDD から AVSS へ	-0.3	3.9	V
	AREG から AVSS へ	-0.3	2.0	
	IOVDD から VSS (サーマルパッド) へ	-0.3	3.9	
グラウンドとの電位差	VSS から VSS (サーマルパッド) へ	-0.3	0.3	V
アナログ入力電圧	アナログ入力ピン電圧から AVSS へ	-0.3	AVDD + 0.3	V
デジタル入力電圧	デジタル入力ピン (IN2P_GPI1 および MICBIAS_GPI2 ピンを除く) 電圧から VSS (サーマルパッド)	-0.3	IOVDD + 0.3	V
	IN2P_GPI1 および MICBIAS_GPI2 デジタル入力ピン電圧から VSS (サーマルパッド)	-0.3	AVDD + 0.3	
温度	動作時周囲温度、 T_A	-40	105	°C
	接合部、 T_J	-40	150	
	保存、 T_{stg}	-65	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

		最小値	公称値	最大値	単位
電源					
AVDD、AREG ⁽¹⁾	アナログ電源電圧 AVDD から AVSS へ (AREG はオンチップレギュレータを使用して生成): AVDD 3.3V 動作	3.0	3.3	3.6	V
	アナログ電源電圧 AVDD と AREG から AVSS へ (AREG 内部レギュレータはシャットダウン中): AVDD 1.8V 動作	1.7	1.8	1.9	
IOVDD	IO 供給電圧から VSS (サーマルパッド): IOVDD 3.3V 動作	3.0	3.3	3.6	V
	IO 供給電圧から VSS (サーマルパッド): IOVDD 1.8V 動作	1.65	1.8	1.95	
入力					
	アナログ入力ピン電圧から AVSS へ	0		AVDD	V
	デジタル入力ピン (IN2P_GPI1 および MICBIAS_GPI2 ピンを除く) 電圧から VSS (サーマルパッド)	0		IOVDD	V
	IN2P_GPI1 および MICBIAS_GPI2 デジタル入力ピン電圧から VSS (サーマルパッド)	0		AVDD	V
温度					
T _A	動作時周囲温度	-40		105	°C
その他					
	GPIOx または GPIx (MCLK 入力として使用) のクロック周波数			36.864	MHz
C _b	I ² C インターフェイスの SCL および SDA バス容量は、スタンダードモードおよびファーストモードをサポートしています			400	pF
	I ² C インターフェイスの SCL および SDA バス容量は、ファーストモードプラスをサポートしています			550	
C _L	デジタル出力負荷容量		20	50	pF

(1) AVSS および VSS (サーマルパッド)。すべてのグラウンドピンは一緒に接続する必要があり、電圧の差は 0.2V を超えてはなりません。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TAA3020		単位
		RTE (WQFN)		
		20 ピン		
R _{θJA}	接合部から周囲への熱抵抗	55.9		°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	33.1		°C/W
R _{θJB}	接合部から基板への熱抵抗	23.4		°C/W
ψ _{JT}	接合部から上面への特性パラメータ	0.6		°C/W
ψ _{JB}	接合部から基板への特性パラメータ	23.3		°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	16.7		°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$, $AVDD = 3.3\text{V}$, $IOVDD = 3.3\text{V}$, $f_{IN} = 1\text{kHz}$ の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、 $BCLK = 256 \times f_S$ 、TDM スレーブ モード、PLL がオンのとき (特に記載がない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
ADC の構成						
AC 入力インピーダンス	入力ピン INxP または INxM、10k Ω 入力インピーダンスの選択		10		k Ω	
	入力ピン INxP または INxM、20k Ω 入力インピーダンスの選択		20			
チャンネル ゲイン範囲	0.5dB ステップでのプログラマブル範囲	0		42	dB	
ライン/マイク入力録音の ADC 性能。AVDD 3.3V 動作						
	差動入力のフルスケール AC 信号電圧	AC 結合入力		2	V_{RMS}	
	シングルエンド入力のフルスケール AC 信号電圧	AC 結合入力		1	V_{RMS}	
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	IN1 差動入力を選択して AC 信号をグランドに短絡、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 0dB	98	104	dB	
		IN1 差動入力を選択して AC 信号をグランドに短絡、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 12dB		98		
DR	ダイナミックレンジ、A 特性補正 ⁽²⁾	IN1 差動入力を選択して -60dB フルスケール AC 信号入力、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 0dB		104	dB	
		IN1 差動入力を選択して -72dB フルスケール AC 信号入力、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 12dB		98		
THD+N	全高調波歪み ^{(2) (3)}	IN1 差動入力を選択して -1dB フルスケール AC 信号入力、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 0dB		-95	-80	dB
		IN1 差動入力を選択して -13dB フルスケール AC 信号入力、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 12dB		-93		
ライン/マイク入力録音の ADC 性能。AVDD 1.8V 動作						
	差動入力のフルスケール AC 信号電圧	AC 結合入力		1	V_{RMS}	
	シングルエンド入力のフルスケール AC 信号電圧	AC 結合入力		0.5	V_{RMS}	
SNR	信号対雑音比、A 特性補正 ^{(1) (2)}	IN1 差動入力を選択して AC 信号をグランドに短絡、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 0dB	98		dB	
DR	ダイナミックレンジ、A 特性補正 ⁽²⁾	IN1 差動入力を選択して -60dB フルスケール AC 信号入力、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 0dB	99		dB	
THD+N	全高調波歪み ^{(2) (3)}	IN1 差動入力を選択して -2dB フルスケール AC 信号入力、10k Ω 入力インピーダンスの選択、チャンネル ゲイン 0dB	-90		dB	
ADC のその他のパラメータ						
	デジタル ボリューム制御範囲	0.5dB ステップでプログラム可能	-100	27	dB	
	出力データのサンプルレート	プログラム可能	7.35	768	kHz	

TAA3020

JAJSVL7A – NOVEMBER 2024 – REVISED FEBRUARY 2026

 $T_A = 25^\circ\text{C}$, $AVDD = 3.3\text{V}$, $IOVDD = 3.3\text{V}$, $f_{IN} = 1\text{kHz}$ の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、 $BCLK = 256 \times f_S$ 、TDM スレーブ モード、PLL がオンのとき (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	出力データ サンプルのワード長	プログラム可能	16		32	ビット
	デジタル ハイパス フィルタのカットオフ周波数	プログラム可能な係数を持つ 1 次 IIR フィルタ、 -3-dB ポイント (デフォルト設定)		12		Hz
	チャンネル間絶縁	非測定チャンネルへの -1dB フルスケール AC 信号入力		-124		dB
	チャンネル間ゲインのミスマッチ	-6dB フルスケール AC 信号入力、チャンネル ゲイン 0dB		0.1		dB
	ゲインドリフト(4)	チャンネル ゲイン 0dB、温度範囲全体 $-40^\circ\text{C} \sim 105^\circ\text{C}$		36.8		ppm/ $^\circ\text{C}$
	チャンネル間位相のミスマッチ	1kHz の正弦波信号		0.02		度
	位相ドリフト(5)	1kHz の正弦波信号、温度範囲全体 $-40^\circ\text{C} \sim 105^\circ\text{C}$		0.0005		度/ $^\circ\text{C}$
PSRR	電源除去比	AVDD に 100mV _{pp} 、1kHz の正弦波信号を入力、差動入力を選択、チャンネル ゲイン 0dB		102		dB
CMRR	同相除去比	差動マイク入力を選択、チャンネル ゲイン 0dB、100mV _{pp} 、両ピンに 1kHz 信号、出力レベルを測定		60		dB
マイク バイアス						
	MICBIAS ノイズ	BW = 20 Hz から 20 kHz、A 特性補正、MICBIAS と AVSS の間に 1 μF コンデンサを接続		2.1		μV_{RMS}
	MICBIAS 電圧	MICBIAS を VREF および VREF にプログラムして、2.75V、2.5V、1.375V のいずれかにプログラム		VREF		V
		MICBIAS を $VREF \times 1.096$ および VREF にプログラムして、2.75V、2.5V、1.375V のいずれかにプログラム		$VREF \times 1.096$		
		5mA 負荷で AVDD にバイパス		AVDD - 0.2		
	MICBIAS 電流ドライブ				5	mA
	MICBIAS 負荷制御	MICBIAS を VREF または $VREF \times 1.096$ にプログラムして、最大負荷まで測定	0	0.6	1	%
	MICBIAS の過電流保護スレッシュホールド		6.1			mA
デジタル I/O						
V_{IL}	Low レベル デジタル入力ロジック電圧スレッシュホールド	IN2P_GPI1 および MICBIAS_GPI2、SDA および SCL を除くすべてのデジタル ピンは、IOVDD 1.8V で動作	-0.3		$0.35 \times \text{IOVDD}$	V
		IN2P_GPI1 および MICBIAS_GPI2、SDA および SCL を除くすべてのデジタル ピンは、IOVDD 3.3V で動作	-0.3		0.8	
V_{IH}	High レベル デジタル入力ロジック電圧スレッシュホールド	IN2P_GPI1 および MICBIAS_GPI2、SDA および SCL を除くすべてのデジタル ピンは、IOVDD 1.8V で動作	$0.65 \times \text{IOVDD}$		$\text{IOVDD} + 0.3$	V
		IN2P_GPI1 および MICBIAS_GPI2、SDA および SCL を除くすべてのデジタル ピンは、IOVDD 3.3V で動作	2		$\text{IOVDD} + 0.3$	

$T_A = 25^\circ\text{C}$, $AVDD = 3.3\text{V}$, $IOVDD = 3.3\text{V}$, $f_{IN} = 1\text{kHz}$ の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、 $BCLK = 256 \times f_S$ 、TDM スレーブ モード、PLL がオンするとき (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OL}	Low レベル デジタル出力電圧	IN2M_GPO1、SDA および SCL を除くすべてのデジタルピンにおいて、 $I_{OL} = -2\text{mA}$ 、 $IOVDD$ は 1.8V で動作			0.45	V
		IN2M_GPO1、SDA および SCL を除くすべてのデジタルピンにおいて、 $I_{OL} = -2\text{mA}$ 、 $IOVDD$ は 3.3V で動作			0.4	
V_{OH}	High レベル デジタル出力電圧	IN2M_GPO1、SDA および SCL を除くすべてのデジタルピンにおいて、 $I_{OH} = 2\text{mA}$ 、 $IOVDD$ は 1.8V で動作	$IOVDD - 0.45$			V
		IN2M_GPO1、SDA および SCL を除くすべてのデジタルピンにおいて、 $I_{OH} = 2\text{mA}$ 、 $IOVDD$ は 3.3V で動作	2.4			
$V_{IL(I2C)}$	Low レベル デジタル入力ロジック電圧スレッシュホールド	SDA および SCL	-0.5		0.3x $IOVDD$	V
$V_{IH(I2C)}$	High レベル デジタル入力ロジック電圧スレッシュホールド	SDA および SCL	0.7x $IOVDD$		$IOVDD + 0.5$	V
$V_{OL1(I2C)}$	Low レベル デジタル出力電圧	SDA, $I_{OL(I2C)} = -3\text{mA}$, $IOVDD > 2\text{V}$			0.4	V
$V_{OL2(I2C)}$	Low レベル デジタル出力電圧	SDA, $I_{OL(I2C)} = -2\text{mA}$, $IOVDD \leq 2\text{V}$			0.2x $IOVDD$	V
$I_{OL(I2C)}$	Low レベル デジタル出力電流	SDA, $V_{OL(I2C)} = 0.4\text{V}$ 、スタンダード モードまたはファスト モード	3			mA
		SDA, $V_{OL(I2C)} = 0.4\text{V}$ 、ファースト モード プラス	20			
I_{IH}	デジタル入力への入力ロジック High リークージ	IN2P_GPI1 および MICBIAS_GPI2 ピンを除くすべてのデジタルピン、入力 = $IOVDD$	-5	0.1	5	μA
I_{IL}	デジタル入力への入力ロジック Low リークージ	IN2P_GPI1 および MICBIAS_GPI2 ピンを除くすべてのデジタルピン、入力 = 0V	-5	0.1	5	μA
$V_{IL(GPIx)}$	Low レベル デジタル入力ロジック電圧スレッシュホールド	IN2P_GPI1 および MICBIAS_GPI2 デジタルピン、 $AVDD$ 1.8V 動作	-0.3		0.35 x $AVDD$	V
		IN2P_GPI1 および MICBIAS_GPI2 デジタルピン、 $AVDD$ 3.3V 動作	-0.3		0.8	
$V_{IH(GPIx)}$	High レベル デジタル入力ロジック電圧スレッシュホールド	IN2P_GPI1 および MICBIAS_GPI2 デジタルピン、 $AVDD$ 1.8V 動作	0.65 x $AVDD$		$AVDD + 0.3$	V
		IN2P_GPI1 および MICBIAS_GPI2 デジタルピン、 $AVDD$ 3.3V 動作	2		$AVDD + 0.3$	
$V_{OL(GPOx)}$	Low レベル デジタル出力電圧	IN2M_GPO2 デジタルピン、 $I_{OL} = -2\text{mA}$ 、 $AVDD$ 1.8V 動作			0.45	V
		IN2M_GPO2 デジタルピン、 $I_{OL} = -2\text{mA}$ 、 $AVDD$ 3.3V 動作			0.4	
$V_{OH(GPOx)}$	High レベル デジタル出力電圧	IN2M_GPO2 デジタルピン、 $I_{OH} = 2\text{mA}$ 、 $AVDD$ 1.8V 動作	$AVDD - 0.45$			V
		IN2M_GPO2 デジタルピン、 $I_{OH} = 2\text{mA}$ 、 $AVDD$ 3.3V 動作	2.4			
$I_{IH(GPIx)}$	デジタル入力への入力ロジック High リークージ	IN2P_GPI1 および MICBIAS_GPI2 デジタルピン、入力 = $AVDD$	-5	0.1	5	μA
$I_{IL(GPIx)}$	デジタル入力への入力ロジック High リークージ	IN2P_GPI1 および MICBIAS_GPI2 デジタルピン、入力 = 0V	-5	0.1	5	μA
C_{IN}	デジタル入力の入力容量	すべてのデジタルピン		5		pF

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ の正弦波信号、 $f_S = 48\text{kHz}$ 、32 ビットのオーディオ データ、 $BCLK = 256 \times f_S$ 、TDM スレーブ モード、PLL がオンのとき (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PD}	デジタル I/O ピンがアサートされている場合のプルダウン抵抗			20		k Ω
標準電源電流消費						
I_{AVDD}		すべての外部クロックが停止、 $AVDD = 3.3\text{V}$ 、内部 AREG		5		μA
I_{AVDD}	スリープ モードでの消費電流 (ソフトウェア シャットダウン モード)	すべての外部クロックが停止、 $AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を $AVDD$ に短絡)		10		
I_{IOVDD}		すべての外部クロックが停止、 $IOVDD = 3.3\text{V}$		0.5		
I_{IOVDD}		すべての外部クロックが停止、 $IOVDD = 1.8\text{V}$		0.5		
I_{AVDD}		ADC 2 チャンネル動作時の消費電流、 $f_S 48\text{kHz}$ 、PLL オフ、 $BCLK = 512 \times f_S$	$AVDD = 3.3\text{V}$ 、内部 AREG		11.1	
I_{AVDD}	$AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を $AVDD$ に短絡)			10.5		
I_{IOVDD}	$IOVDD = 3.3\text{V}$			0.1		
I_{IOVDD}	$IOVDD = 1.8\text{V}$			0.05		
I_{AVDD}	ADC 2 チャンネル動作時の消費電流、 $f_S 16\text{kHz}$ 、PLL オン、 $BCLK = 256 \times f_S$	$AVDD = 3.3\text{V}$ 、内部 AREG		11.3		mA
I_{AVDD}		$AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を $AVDD$ に短絡)		10.6		
I_{IOVDD}		$IOVDD = 3.3\text{V}$		0.05		
I_{IOVDD}		$IOVDD = 1.8\text{V}$		0.02		
I_{AVDD}	ADC 2 チャンネル動作時の消費電流、 $f_S 48\text{kHz}$ 、PLL オン、 $BCLK = 256 \times f_S$	$AVDD = 3.3\text{V}$ 、内部 AREG		12.2		mA
I_{AVDD}		$AVDD = 1.8\text{V}$ 、外部 AREG 電源 (AREG を $AVDD$ に短絡)		11.6		
I_{IOVDD}		$IOVDD = 3.3\text{V}$		0.1		
I_{IOVDD}		$IOVDD = 1.8\text{V}$		0.05		

- 1kHz のフルスケール正弦波入力時の出力レベルと、AC 信号入力がグラウンドにショートされている場合の出力レベルの比率、オーディオアナライザを使用し、20Hz から 20kHz の帯域幅で A 特性補正を測定しました。
- すべての性能測定は、20kHz のローパス フィルタを使用して行い、必要に応じて A 特性補正も使用しています。このようなフィルタを使用しない場合、電気的特性に示されている値よりも THD が高く、信号対雑音比およびダイナミックレンジの読み取り値が低くなる可能性があります。ローパス フィルタは帯域外のノイズを除去します。これらのノイズは聴覚には影響しませんが、ダイナミック仕様値に影響を与える可能性があります。
- 最高の歪み性能を得るには、電圧係数の低い入力 AC カップリング コンデンサを使用してください。
- ゲインドリフト = ゲイン変動 (温度範囲内) / 標準ゲイン値 (室温でのゲイン) / 温度範囲 $\times 10^6$ リニア スケールのゲインで測定。
- 位相ドリフト = 位相偏差 (温度範囲内) / (温度範囲)。

5.6 タイミング要件 : I²C インターフェイス

T_A = 25°C の場合、IOVDD は 3.3V または 1.8V (特に記載がない限り)。タイミング図については、[図 5-1](#) を参照してください

		最小値	公称値	最大値	単位
スタンダード モード					
f _{SCL}	SCL クロック周波数	0		100	kHz
t _{HD,STA}	ホールド時間 (繰り返し) START コンディション。 この期間の後に最初のクロック パルスが生成されます。	4			μs
t _{LOW}	SCL クロックの Low 期間	4.7			μs
t _{HIGH}	SCL クロックの High 期間	4			μs
t _{SU,STA}	反復開始条件のセットアップ時間	4.7			μs
t _{HD,DAT}	データ ホールド時間	0		3.45	μs
t _{SU,DAT}	データ セットアップ時間	250			ns
t _r	SDA と SCL の立ち上がり時間			1000	ns
t _f	SDA と SCL の立ち下がり時間			300	ns
t _{SU,STO}	停止条件のセットアップ時間	4			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	4.7			μs
ファスト モード					
f _{SCL}	SCL クロック周波数	0		400	kHz
t _{HD,STA}	ホールド時間 (繰り返し) START コンディション。 この期間の後に最初のクロック パルスが生成されます。	0.6			μs
t _{LOW}	SCL クロックの Low 期間	1.3			μs
t _{HIGH}	SCL クロックの High 期間	0.6			μs
t _{SU,STA}	反復開始条件のセットアップ時間	0.6			μs
t _{HD,DAT}	データ ホールド時間	0		0.9	μs
t _{SU,DAT}	データ セットアップ時間	100			ns
t _r	SDA と SCL の立ち上がり時間	20		300	ns
t _f	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)		300	ns
t _{SU,STO}	停止条件のセットアップ時間	0.6			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	1.3			μs
ファスト モード プラス					
f _{SCL}	SCL クロック周波数	0		1000	kHz
t _{HD,STA}	ホールド時間 (繰り返し) START コンディション。 この期間の後に最初のクロック パルスが生成されます。	0.26			μs
t _{LOW}	SCL クロックの Low 期間	0.5			μs
t _{HIGH}	SCL クロックの High 期間	0.26			μs
t _{SU,STA}	反復開始条件のセットアップ時間	0.26			μs
t _{HD,DAT}	データ ホールド時間	0			μs
t _{SU,DAT}	データ セットアップ時間	50			ns
t _r	SDA と SCL の立ち上がり時間			120	ns
t _f	SDA と SCL の立ち下がり時間	20 × (IOVDD / 5.5V)		120	ns
t _{SU,STO}	停止条件のセットアップ時間	0.26			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	0.5			μs

5.7 スイッチング特性 : I²C インターフェイス

T_A = 25°C の場合、IOVDD は 3.3V または 1.8V (特に記載がない限り)。タイミング図については、[図 5-1](#) を参照してください

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _d (SDA)	SCL から SDA への遅延	スタンダード モード	250		1250	ns
		ファースト モード	250		850	
		ファースト モード プラス			400	

5.8 タイミング要件 : TDM、I²S または LJ インターフェイス

T_A = 25°C の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については[図 5-2](#) を参照

パラメータ		テスト条件	最小値	公称値	最大値	単位
t _(BCLK)	BCLK 周期		40			ns
t _H (BCLK)	BCLK high パルス持続時間 (1)		25			ns
t _L (BCLK)	BCLK low パルス持続時間 (1)		25			ns
t _{SU} (FSYNC)	FSYNC のセットアップ時間		8			ns
t _{HLD} (FSYNC)	FSYNC のホールド時間		8			ns
t _r (BCLK)	BCLK の立ち上がり時間	10% ~ 90% の立ち上がり時間(2)			10	ns
t _f (BCLK)	BCLK の立ち下がり時間	90% ~ 10% の立ち下がり時間(2)			10	ns

- (1) SDOUT データラインが、デバイスが SDOUT データを送信するために使用するエッジと同様の BCLK エッジ極性でラッチされる場合、BCLK の最小 High/Low パルス幅を (タイミング仕様を満たすため) 14ns まで緩和できます。
- (2) システムで使用される BCLK 周波数が 20MHz を下回る場合、BCLK の最大立ち上がり時間と立ち下がり時間を 13ns に緩和できます。BCLK の立ち上がり時間と立ち下がり時間を緩和すると、クロックのジッタが大きくなるため、ノイズが増加する可能性があります。

5.9 スイッチング特性 : TDM、I²S または LJ インターフェイス

T_A = 25°C の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については[図 5-2](#) を参照

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _d (SDOUT-BCLK)	BCLK から SDOUT への遅延	BCLK の 50% から SDOUT の 50%	3		18	ns
t _d (SDOUT-FSYNC)	TDM または LJ モードにおける FSYNC から SDOUT までの遅延 (TX_OFFSET = 0 の場合、MSB データ用)	FSYNC の 50% から SDOUT の 50%			18	ns
f _(BCLK)	BCLK 出力クロック周波数、マスター モード (1)				24.576	MHz
t _H (BCLK)	BCLK のハイパルスの持続時間、マスター モード		14			ns
t _L (BCLK)	BCLK Low パルス幅、マスター モード		14			ns
t _d (FSYNC)	BCLK から FSYNC までの遅延、マスター モード	BCLK の 50% から FSYNC の 50%	3		18	ns
t _r (BCLK)	BCLK 立ち上がり時間、マスター モード	10% ~ 90% の立ち上がり時間			8	ns
t _f (BCLK)	BCLK 立ち下がり時間、マスター モード	90% ~ 10% の立ち下がり時間			8	ns

- (1) SDOUT データラインが、デバイスが SDOUT データを送信するために使用するエッジとは反対の BCLK エッジ極性でラッチされる場合、BCLK 出力クロック周波数は 18.5MHz 未満である必要があります。

5.10 タイミング要件 : PDM デジタル マイクロフォン インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については図 5-3 を参照

		最小値	公称値	最大値	単位
$t_{\text{SU}}(\text{PDM DINx})$	PDM DINx のセットアップ時間	30			ns
$t_{\text{HLD}}(\text{PDM DINx})$	PDM DINx ホールド時間	0			ns

5.11 スイッチング特性 : PDM デジタル マイクロフォン インターフェイス

$T_A = 25^\circ\text{C}$ の場合、IOVDD = 3.3V または 1.8V、すべての出力に 20pF 負荷 (特に記載がない限り)、タイミング図については図 5-3 を参照

パラメータ	テスト条件	最小値	標準値	最大値	単位
f_{PDMCLK}	PDMCLK クロック周波数	0.768		6.144	MHz
$t_{\text{H}}(\text{PDMCLK})$	PDMCLK High パルスの期間	72			ns
$t_{\text{L}}(\text{PDMCLK})$	PDMCLK Low パルス持続時間	72			ns
$t_{\text{r}}(\text{PDMCLK})$	PDMCLK の立ち上がり時間	10% ~ 90% の立ち上がり時間		18	ns
$t_{\text{f}}(\text{PDMCLK})$	PDMCLK の立ち下がり時間	90% ~ 10% の立ち下がり時間		18	ns

5.12 タイミング図

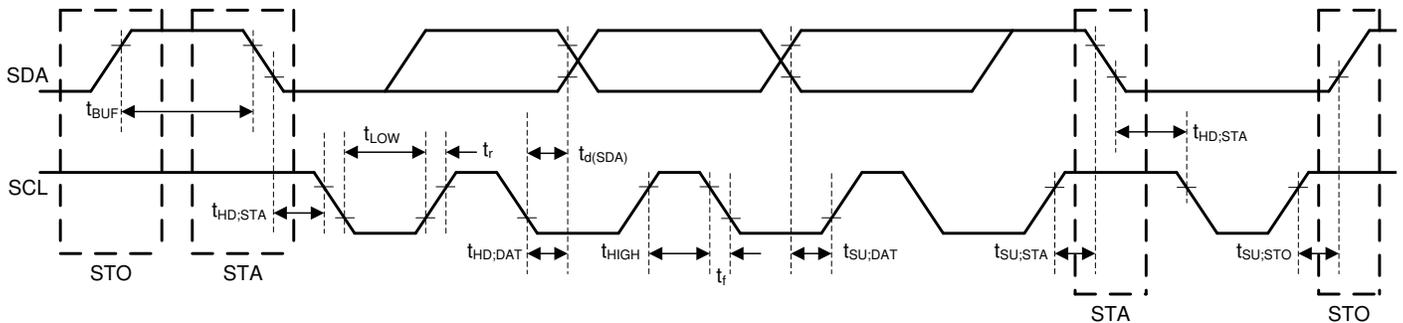


図 5-1. I²C インターフェイス プロトコル図

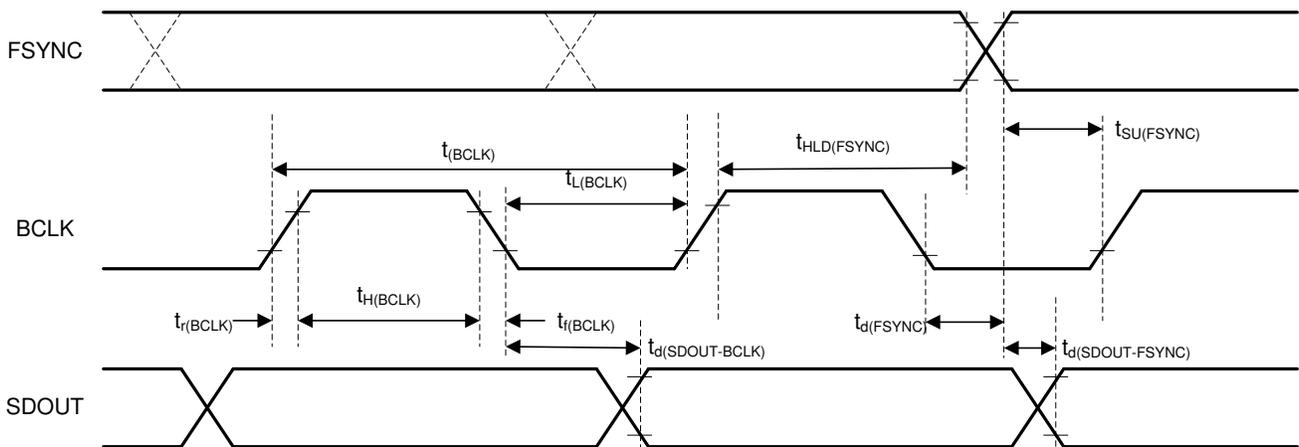


図 5-2. TDM (BCLK_POL = 1)、I²S、LJ インターフェイスのタイミング図

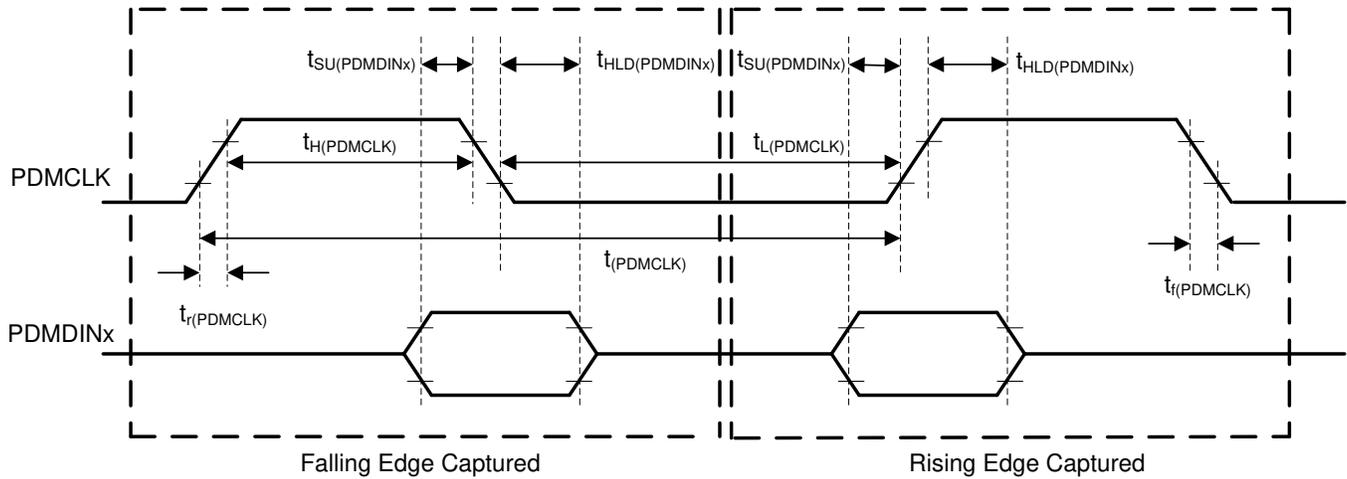


図 5-3. PDM デジタル マイクロフォン インターフェイスのタイミング図

6 詳細説明

6.1 概要

TAA3020 は高性能、低消費電力、高柔軟性の 2 チャンネルのオーディオ A/D コンバータ (ADC) で、豊富な機能を統合しています。デバイスは、音声操作システム、業務用マイク、電話会議、ポータブル コンピューティング、通信、エンターテインメントの各アプリケーションを意図しています。デバイスはダイナミックレンジが広いので、忠実度の高いファーマイルドのオーディオ録音を実現できます。このデバイスには、スペースが制限されたバッテリー駆動の民生用、家庭用、産業用アプリケーションにおけるコスト、基板スペース、電力消費を削減する多数の機能が統合されています。

TAA3020 は以下に示すブロックで構成されています。

- 2 チャンネル、マルチビット、高性能デルタ シグマ ($\Delta\Sigma$) ADC
- 構成可能なシングルエンド入力または差動入力
- 低ノイズのプログラマブル マイク バイアス出力
- 自動ゲイン コントローラ (AGC)
- 線形位相フィルタまたは低レイテンシ フィルタを備えたプログラマブル デシメーション フィルタ
- 各チャンネルにプログラム可能なチャンネル ゲイン、ボリュウム制御、バイクワッド フィルタ
- 各チャンネルごとに、高分解能で位相とゲインの較正をプログラム可能
- プログラマブル ハイパス フィルタ (HPF) およびデジタル チャンネル ミキサ
- パルス密度変調 (PDM) マイク 4 チャンネルインターフェイスと高性能デシメーション フィルタ
- 多様なシステム クロックをサポートする低ジッタのフェーズ ロック ループ (PLL) を内蔵
- 単一電源動作をサポートするデジタルおよびアナログ電圧レギュレータを内蔵

制御レジスタを構成するための TAA3020 との通信は、I²C インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオ・シリアル・インターフェイス[時分割多重化 (TDM)、I²S、左揃え (LJ)]をサポートしており、システムでデバイス間でオーディオ データをシームレスに送信できます。

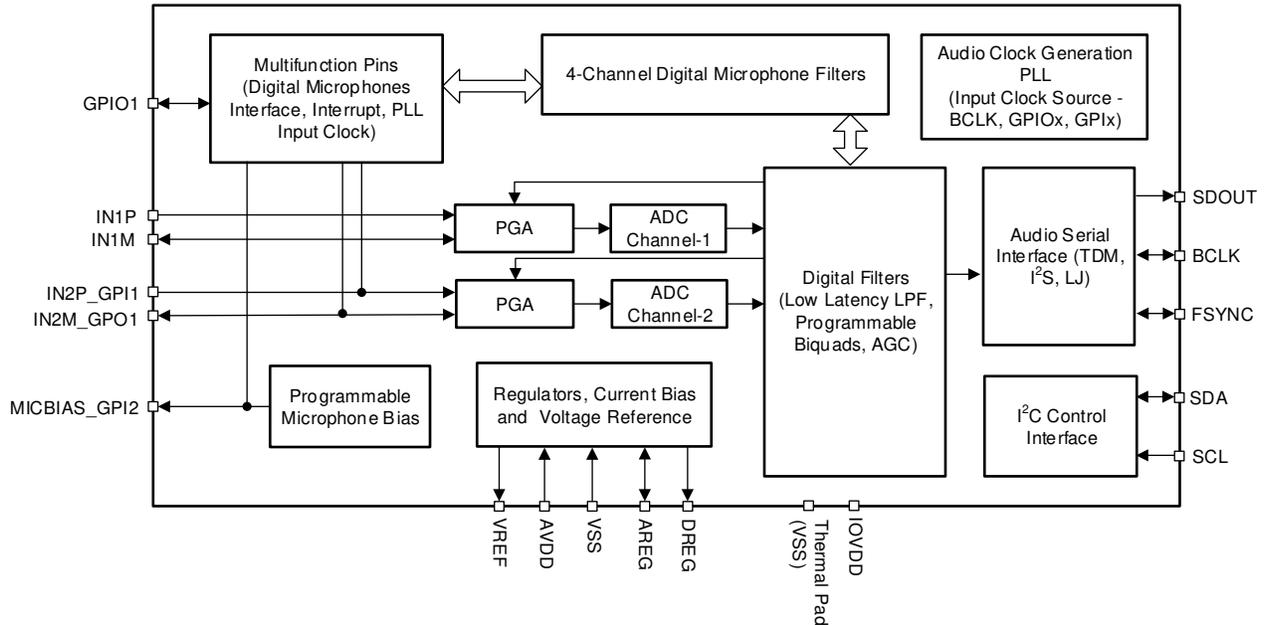
TAA3020 は、複数のデバイス間で共通の TDM バスを共有することで、複数のデバイスをサポートできます。さらに、このデバイスにはデジタイゼーション機能も搭載されています。これらの機能により、高いオーディオ データ帯域幅を必要とするアプリケーションで複数のデバイスを動作させる場合、共有 TDM バスのタイミング要件と基板設計の複雑さが緩和されます。

表 6-1 に、このドキュメント全体を通して、デバイスを制御するレジスタに使用される参照用略語を示します。

表 6-1. レジスタ参照の略語

リファレンス	略語	説明	例
ページ y、登録 z、ビット k	Py_Rz_Dk	シングル データ ビット。レジスタの 1 ビットの値。	ページ 4、レジスタ 36、ビット 0 = P4_R36_D0
ページ y、レジスタ z、ビット k-m	Py_Rz_D[k:m]	データ ビットの範囲。データ ビットの範囲(含む)。	ページ 4、レジスタ 36、ビット 3-0 = P4_R36_D[3:0]
ページ y、登録 z	Py_Rz	レジスタ全体に 1 つ。レジスタ内の 8 ビットすべてをユニットとして使用	ページ 4、レジスタ 36 = P4_R36
ページ y、レジスタ z-n	Py_Rz-Rn	レジスタの範囲。同じページ内のレジスタの範囲。	ページ 4、レジスタ 36、37、38 = P4_R36~R38

6.2 機能ブロック図



6.3 機能説明

6.3.1 シリアル インターフェイス

このデバイスには、制御とオーディオ データの 2 つのシリアル インターフェイスがあります。制御シリアル インターフェイスは、デバイスの構成に使用されます。オーディオ データ シリアル インターフェイスは、オーディオ データをホスト デバイスに送信するために使用されます。

6.3.1.1 制御シリアル インターフェイス

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。レジスタには、デバイスへの I²C 通信を使用してすべてアクセスできます。詳細については、[セクション 6.5](#)を参照してください。

6.3.1.2 オーディオ シリアル インターフェイス

デジタル オーディオ データは、ホスト プロセッサと TAA3020 の間でデジタル オーディオ シリアル インターフェイス (ASI) またはオーディオ バスを通じて流れます。この非常に柔軟な ASI バスには、マルチチャンネル動作用の TDM モード、I²S または左揃えプロトコル フォーマットのサポート、プログラム可能なデータ長オプション、バス クロック ラインのための非常に柔軟なコントローラーのターゲット設定、システム内の複数のデバイスと直接通信する能力が含まれています。

バス プロトコル TDM、I²S、左揃え (LJ) 形式は、ASI_FORMAT[1:0] (P0_R7_D[7:6]) レジスタ ビットを使用して選択できます。表 6-2 と表 6-3 に示すように、これらのモードはすべて最上位ビット (MSB) ファーストのパルス符号変調 (PCM) データフォーマットで、出力チャンネルのデータワード長は、ASI_WLEN[1:0] (P0_R7_D[5:4]) レジスタ ビットを構成することで 16、20、24、または 32 ビットに設定可能です。

表 6-2. オーディオ シリアル インターフェイスのフォーマット

P0_R7_D[7:6]:ASI_FORMAT[1:0]	オーディオ シリアル インターフェイスのフォーマット
00 (デフォルト)	時分割多重化 (TDM) モード
01	インタ IC サウンド (I ² S) モード
10	左揃え (LJ) モード
11	予約済み (この設定は使用しないでください)

表 6-3. オーディオ出力チャンネル データ ワード長

P0_R7_D[5:4]:ASI_WLEN[1:0]	オーディオ出力チャンネル データワード長
00	出力チャンネル データワード長 は 16 ビットに設定
01	出力チャンネル データワード長 は 20 ビットに設定
10	出力チャンネル データワード長 は 24 ビットに設定
11 (デフォルト)	出力チャンネル データワード長 は 32 ビットに設定

フレーム同期ピン (FSYNC) は、このオーディオ バス プロトコルでフレームの開始を定義するために使用され、出力データ サンプル レートと同じ周波数を持っています。ビット クロック ピン (BCLK) は、デジタル オーディオ データをシリアル バス 経由で クロック アウトするために使用されます。フレーム内のビット クロック サイクル数は、プログラムされたデータワード長を持つ複数の デバイス アクティブ出力チャンネルに対応する必要があります。

フレームは、複数の時分割チャンネル スロット (最大 64 個) で構成され、同じオーディオ バスを共有するデバイスまたは複数の TAA3020 デバイスによって、すべての出力チャンネルのオーディオ データ転送がオーディオ バス上で完了するようになっています。このデバイスは、最大 4 つの出力チャンネルをサポートしており、オーディオ データをスロット 0 からスロット 63 まで配置するように設定できます。表 6-4 に、出力チャンネル スロットの設定値を示します。I²S および LJ モードでは、I²S (Inter IC Sound) インターフェイスおよび左揃え (LJ) インターフェイスセクションに記載されているように、スロットは左チャンネル スロットと右チャンネル スロットの 2 つのセットに分割されます。

表 6-4. 出力チャンネル スロット割り当て設定

P0_R11_D[5:0]:CH1_SLOT[5:0]	出力チャンネル 1 のスロット割り当て
00 0000 = 0d (デフォルト)	スロット 0 は TDM 用、または I ² S、LJ 用の左 チャンネル スロット 0。
00 0001 = 1d	スロット 1 は TDM 用、または I ² S、LJ 用の左 チャンネル スロット 1。
...	...
01 1111 = 31d	スロット 31 は TDM 用、または I ² S、LJ 用の左 チャンネル スロット 31。
10 0000 = 32d	TDM の場合はスロット 32、I ² S、LJ の場合は右スロット 0。
...	...
11 1110 = 62d	TDM の場合はスロット 62、I ² S、LJ の場合は右スロット 30。
11 1111 = 63d	TDM の場合はスロット 63、I ² S、LJ の場合は右スロット 31。

同様に、出力チャンネル 2 からチャンネル 8 のスロット割り当て設定は、CH2_SLOT (P0_R12) から CH8_SLOT (P0_R18) のレジスタを使用して、それぞれ構成することができます。

スロット ワード長は、デバイスに設定された出力チャンネル データワード長と同じです。出力チャンネル データワード長は、システム内ですべてのデバイスが同じ ASI バスを共有する場合、すべての TAA3020 デバイスで同じ値に設定する必要があります。システム内の ASI バスで使用可能な最大スロット数は、利用可能なバス帯域幅によって制限されます。この帯域幅は、BCLK 周波数、使用される出力データ サンプル レート、および設定されたチャンネル データワード長に依存します。

このデバイスには、スロット データ転送の開始位置をフレーム同期に対して最大 31 サイクル分、ビット クロックでオフセットする機能も含まれています。表 6-5 に、プログラマブル オフセット構成の設定を示します。

表 6-5. ASI スロット開始のプログラマブル オフセット設定

P0_R8_D[4:0]:TX_OFFSET[4:0]	スロット データ送信開始のプログラム可能なオフセット設定
0 0000 = 0d (デフォルト)	このデバイスは、オフセットなしで標準プロトコルのタイミングに従います。
0 0001 = 1d	スロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。 I ² S または LJ の場合、左チャンネルと右チャンネルのスロット開始は、標準プロトコルのタイミングと比較して、1 回の BCLK サイクル分オフセットされています。
.....
1 1110 = 30d	スロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。 I ² S または LJ の場合、左チャンネルと右チャンネルのスロット開始は、標準プロトコルのタイミングと比較して、30 回の BCLK サイクル分オフセットされています。
1 1111 = 31d	スロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。 I ² S または LJ の場合、左チャンネルと右チャンネルのスロット開始は、標準プロトコルのタイミングと比較して、31 回の BCLK サイクル分オフセットされています。

このデバイスには、オーディオ データを転送するために使用されるフレーム同期ピン (FSYNC) の極性を反転させる機能もあり、これは標準プロトコルのタイミングで使用されるデフォルトの FSYNC 極性と比較されます。この機能は、FSYNC_POL (P0_R7_D3) レジスタ ビットを使用して設定できます。同様に、このデバイスはビット クロック ピン (BCLK) の極性を反転させることができ、これは BCLK_POL (P0_R7_D2) レジスタ ビットを使用して設定できます。

6.3.1.2.1 時分割多重オーディオ (TDM) インターフェイス

DSP モードとも呼ばれる TDM モードでは、FSYNC の立ち上がりエッジで、スロット 0 のデータから最初にデータ転送が開始されます。スロット 0 データの転送直後に、残りのスロット データは順番に送信されます。FSYNC と各データ ビット (TX_OFFSET が 0 のときのスロット 0 の MSB を除く) は、BCLK の立ち上がりエッジで送信されます。図 6-1 ~ 図 6-4 に、TDM 動作のプロトコル タイミングとさまざまな構成を示します。

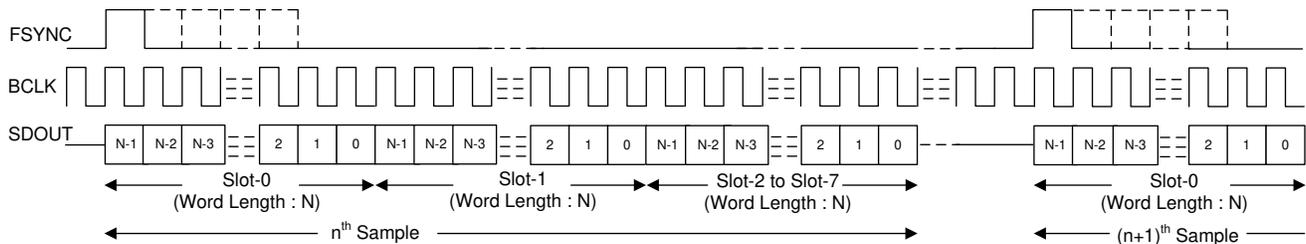


図 6-1. TDM モード標準プロトコル タイミング (TX_OFFSET = 0)

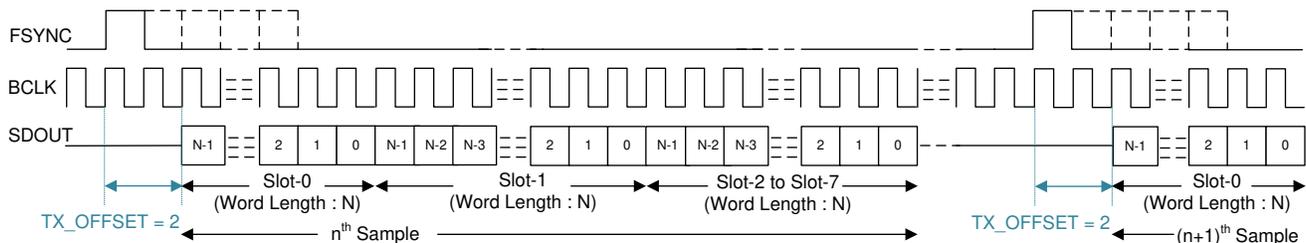


図 6-2. TDM モードのプロトコル タイミング (TX_OFFSET = 2)

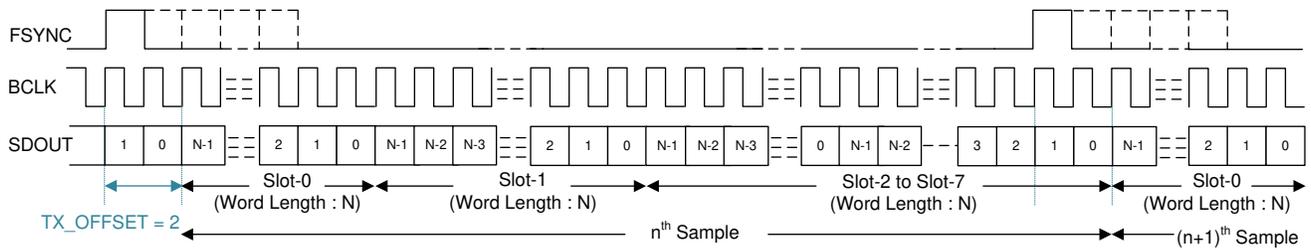


図 6-3. TDM モードのプロトコル タイミング (アイドル BCLK サイクルなし、TX_OFFSET = 2)

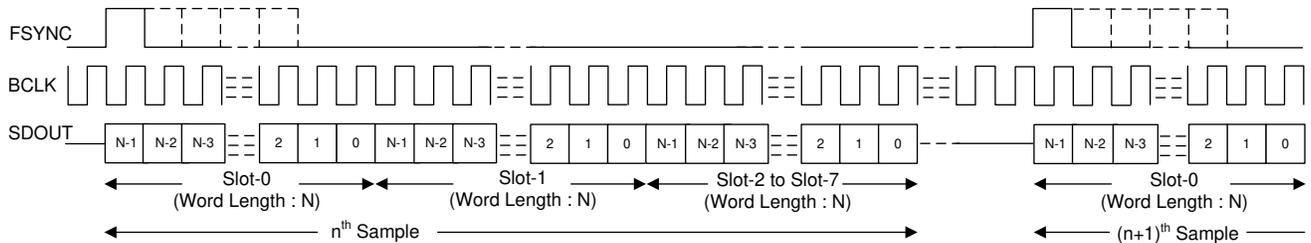


図 6-4. TDM プロトコルのタイミング (TX_OFFSET = 0 および BCLK_POL = 1)

TDM モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャネル数と出力チャネルデータのプログラムされたワード長との積以上の値である必要があります。このデバイスは、1 サイクル幅のビット クロックを使用するパルスとして FSYNC をサポートしますが、同様に複数の倍数にも対応しています。BCLK 周波数を高くして動作させるには、TX_OFFSET 値を 0 より高く設定した TDM モードを使用することを推奨します。

6.3.1.2.2 I²S (Inter IC Sound) インターフェイス

標準の I²S プロトコルは、左と右の 2 つのチャンネルのみに対して定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャンネル動作に拡張しています。I²S モードでは、FSYNC の立ち下がりがエッジの後の 2 番目のサイクルで、左スロット 0 の MSB が BCLK の立ち下がりがエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち上がりエッジの後の 2 番目のサイクルで、BCLK の立ち下がりがエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC と各データ ビットは、BCLK の立ち下がりがエッジで送信されます。図 6-5 ~ 図 6-8 に、I²S 動作のプロトコル タイミングとさまざまな構成を示します。

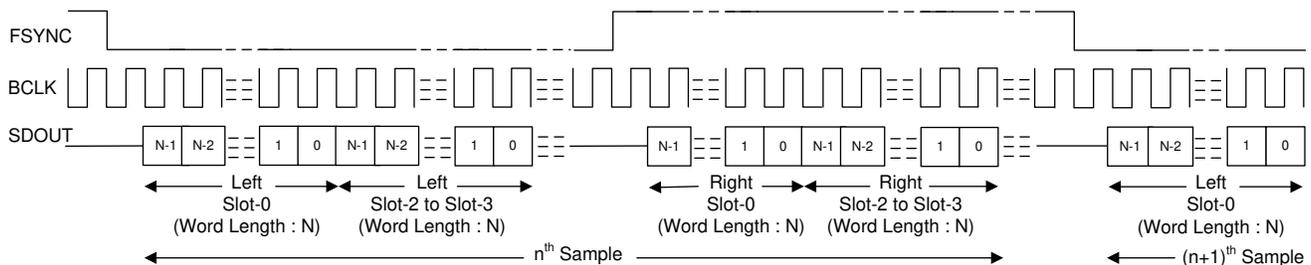
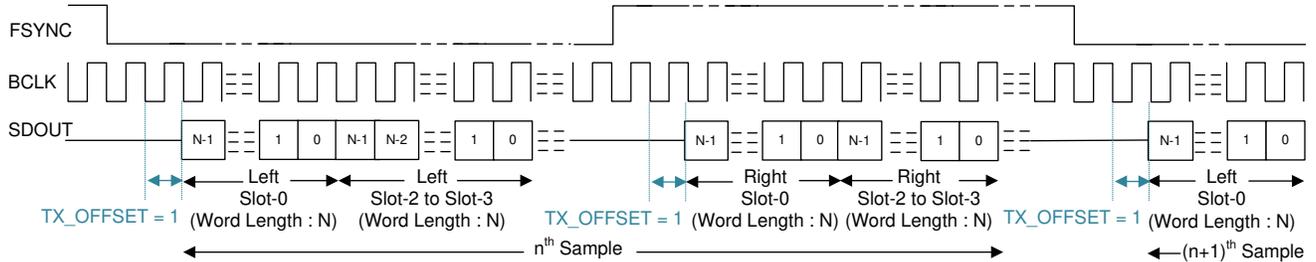
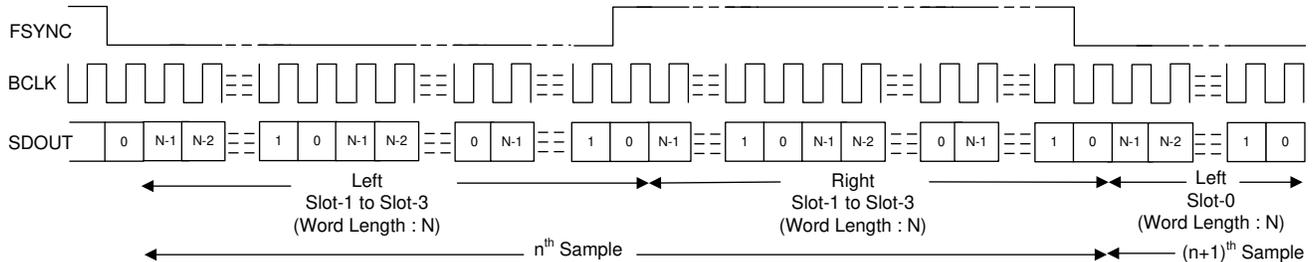
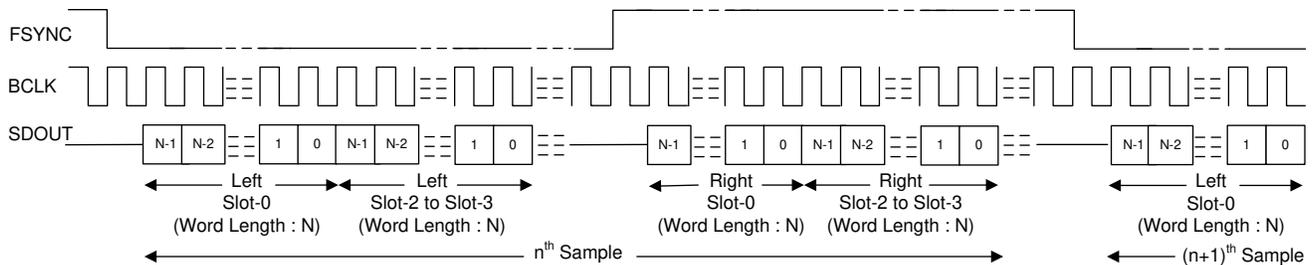


図 6-5. I²S モードの標準プロトコルのタイミング (TX_OFFSET = 0)

図 6-6. I²S プロトコルのタイミング (TX_OFFSET = 1)図 6-7. I²S プロトコルのタイミング (アイドル BCLK サイクルなし、TX_OFFSET = 0)図 6-8. I²S プロトコルのタイミング (TX_OFFSET = 0 および BCLK_POL = 1)

I²S モードでオーディオ バスを正常に動作させるためには、フレームあたりのビット クロック数が、アクティブな出力チャンネル数(左および右スロットを含む)に、出力チャンネル データの設定されたワード長を掛けた値以上でなければなりません。本デバイスの FSYNC の Low パルスは、アクティブな左スロット数に設定されたデータ ワード長を掛けた値以上の BCLK サイクル幅でなければなりません。同様に、FSYNC の High パルスは、アクティブな右スロット数に設定されたデータワード長を掛けた値以上の BCLK サイクル幅でなければなりません。

6.3.1.2.3 左揃え (LJ) インターフェイス

標準的な LJ プロトコルは、左と右の 2 チャンネルのみに定義されています。このデバイスは、同じプロトコルのタイミングをマルチチャンネル動作に拡張しています。LJ モードでは、FSYNC の 立ち上がりエッジの後、左スロット 0 の MSB が同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。左スロット 0 のデータ送信が完了した直後に、残りの左スロットのデータが順番に送信されます。右スロット 0 の MSB は、FSYNC の立ち下がりエッジの後、同じ BCLK サイクルで送信されます。それ以降の各データ ビットは、BCLK の立ち下がりエッジで送信されます。右スロット 0 のデータ送信が完了した直後に、残りの右スロットのデータが順番に送信されます。FSYNC は、BCLK の立ち下がりエッジで送信されます。図 6-9 ~ 図 6-12 に、LJ 動作のプロトコル タイミングとさまざまな構成を示します。

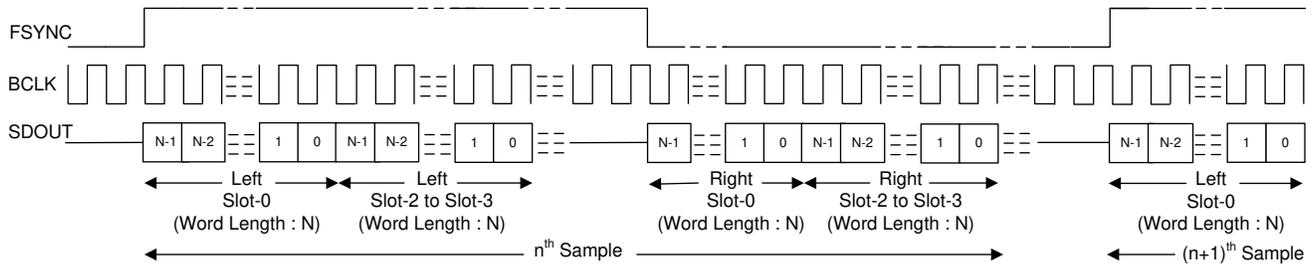


図 6-9. LJ モード標準プロトコル タイミング (TX_OFFSET = 0)

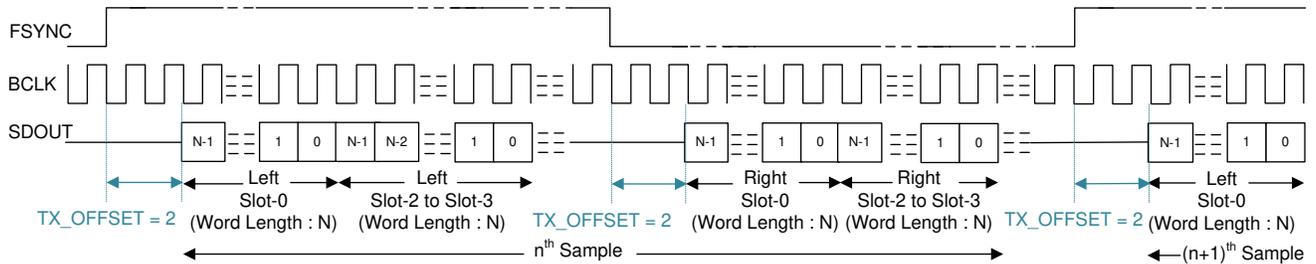


図 6-10. LJ プロトコルのタイミング (TX_OFFSET = 2)

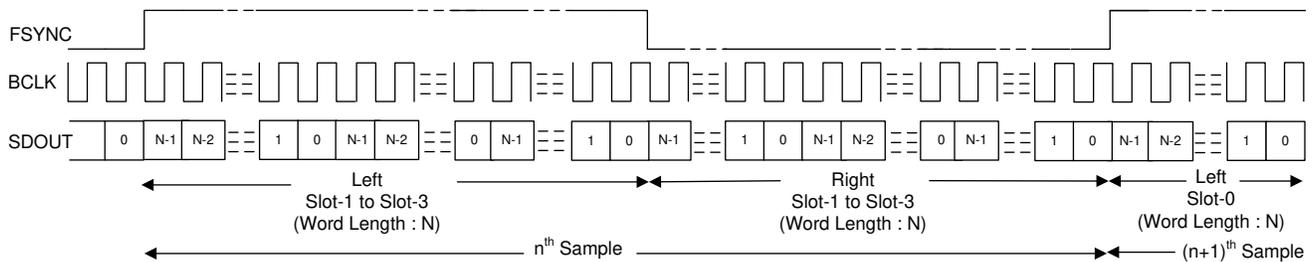


図 6-11. LJ プロトコルのタイミング (アイドル BCLK サイクルなし、TX_OFFSET = 0)

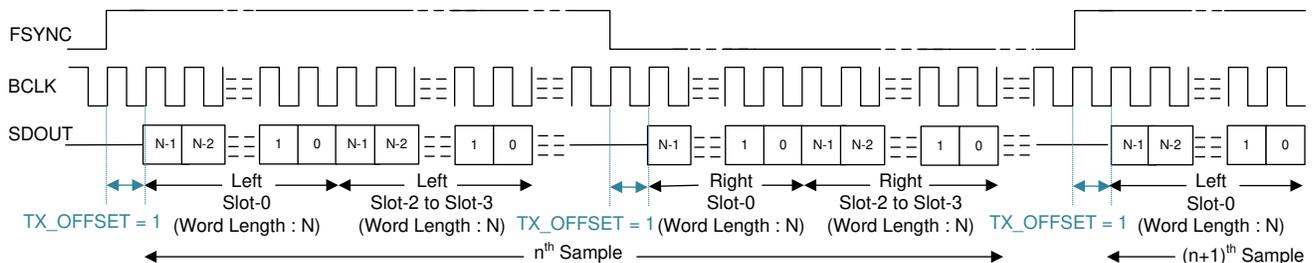


図 6-12. LJ プロトコルのタイミング (TX_OFFSET = 1 および BCLK_POL = 1)

LJ モードでオーディオ バスを適切に動作させるには、1 フレームあたりのビット クロック数が、アクティブな出力チャンネル数(左および右のスロットを含む)に、出力チャンネル データのプログラムされたワード長を掛けた数以上である必要があります。デバイス FSYNC の High パルスは、アクティブな左スロット数に設定されたデータ ワード長を掛けた数以上の BCLK サイクル幅である必要があります。同様に、FSYNC の Low パルスは、アクティブな右スロット数に設定されたデータ ワード長を掛けた数以上の BCLK サイクル幅である必要があります。BCLK 周波数を高くして動作させるには、TX_OFFSET 値を 0 より高く設定した LJ モードを使用することを推奨します。

6.3.1.3 共有バスで複数のデバイスを使用

このデバイスは、複数の機能と柔軟なオプションを備え、単一の共通の I²C 制御バスとオーディオ シリアル インターフェイスバスを共有することで、TAA3020 および他のオーディオ デバイスをシステムでシームレスに接続するために使用できます。このアーキテクチャにより、ビームフォーミング動作、電話会議、ノイズ キャンセルなどにマイク アレイを必要とするシステムに、複数のアプリケーションを適用できます。図 6-13 に、制御データ バスとオーディオ データ バスが共有されている構成における TAA3020 および TLV320ADCx140 デバイスの図を示します。

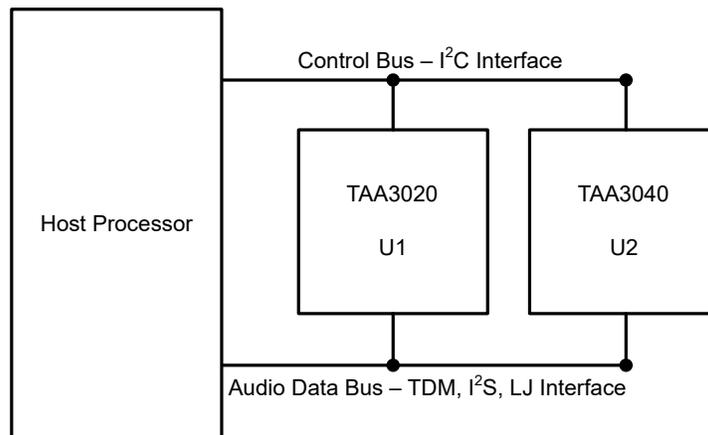


図 6-13. 制御およびオーディオ データ バスを共有する複数のデバイス

TAA3020 は、共有バスを使用して複数のデバイスとのシームレスな接続と相互作用を可能にする以下の機能を備えています。

- I²C ブロードキャストにより、すべての TAA3020 および TLV320ADCx140 デバイスに対して同時に書き込み (またはトリガ)
- オーディオ シリアル インターフェース用の最大 64 構成の出力チャンネル スロットをサポート
- デバイスの未使用のオーディオ データ スロット用のトライステート機能 (有効化と無効化が可能)
- オーディオ バス上の最後の駆動値を保持するためのバス ホルダ機能 (有効化および無効化可能) をサポート
- GPIO1 または GPOx ピンは、オーディオ シリアル インターフェースのセカンダリ出力データ レーンとして構成できません
- GPIO1 または GPIx ピンは、複数のデバイスのデジタイズチェーン構成で使用できます
- 高速インターフェースのタイミング要件を緩和するために、BCLK サイクル 1 回のデータ ラッチング タイミングをサポート
- オーディオ シリアル インターフェース用のプログラマブル コントローラとターゲット オプション
- 複数のデバイスを同期し、複数のデバイス間での同時サンプリング要件に対応できる機能

詳細については、『複数の TLV320ADCx140 デバイスでの TDM と I²C バスの共有』アプリケーション レポートを参照してください。

6.3.2 フェーズロックループ(PLL) とクロック生成

このデバイスには、ADC 変調器および信号処理に使用されるデジタル フィルタ エンジンに必要なすべての内部クロックを生成するスマート自動構成ブロックがあります。この構成は、オーディオ バス上の FSYNC および BCLK 信号の周波数を監視することによって行われます。

デバイスは、さまざまな出力データ サンプル レート (FSYNC 信号周波数) および BCLK と FSYNC の比率をサポートし、ホストプログラミングなしで PLL 構成を含むすべてのクロック ディバイダを内部で構成します。表 6-6 および表 6-7 に、サポートされている FSYNC および BCLK 周波数を示します。

表 6-6. サポートされる FSYNC (48kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK (MHz)								
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)	FSYNC (384kHz)	FSYNC (768kHz)
16	予約済み	0.256	0.384	0.512	0.768	1.536	3.072	6.144	12.288
24	予約済み	0.384	0.576	0.768	1.152	2.304	4.608	9.216	18.432
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144	12.288	24.576
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216	18.432	予約済み
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288	24.576	予約済み
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432	予約済み	予約済み
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576	予約済み	予約済み
192	1.536	3.072	4.608	6.144	9.216	18.432	予約済み	予約済み	予約済み
256	2.048	4.096	6.144	8.192	12.288	24.576	予約済み	予約済み	予約済み
384	3.072	6.144	9.216	12.288	18.432	予約済み	予約済み	予約済み	予約済み
512	4.096	8.192	12.288	16.384	24.576	予約済み	予約済み	予約済み	予約済み
1024	8.192	16.384	24.576	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	16.384	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

表 6-7. サポートされる FSYNC (44.1kHz の倍数またはサブ倍数) および BCLK 周波数

BCLK 対 FSYNC 比	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
16	予約済み	予約済み	0.3528	0.4704	0.7056	1.4112	2.8224	5.6448	11.2896
24	予約済み	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336	8.4672	16.9344
32	予約済み	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448	11.2896	22.5792
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672	16.9344	予約済み
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896	22.5792	予約済み
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344	予約済み	予約済み
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792	予約済み	予約済み
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	予約済み	予約済み	予約済み
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	予約済み	予約済み	予約済み
384	2.8224	5.6448	8.4672	11.2896	16.9344	予約済み	予約済み	予約済み	予約済み
512	3.7632	7.5264	11.2896	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み
1024	7.5264	15.0528	22.5792	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み
2048	15.0528	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み

ステータス レジスタ ASI_STS (P0_R21) は、デバイスの自動検出結果 (FSYNC 周波数と BCLK と FSYNC の比率) をキャプチャします。デバイスがサポートされていない FSYNC 周波数と BCLK と FSYNC の比率の組み合わせを検出した場合、デバイスは ASI クロック エラー割り込みを生成し、それに応じて録音チャンネルをミュートします。

デバイスは、ADC モジュレータやデジタル フィルタ エンジン、その他の制御ブロックに必要な内部クロックを生成するために、統合された低ジッタの位相同期ループ (PLL) を使用しています。このデバイスは、PLL を使用せずに BCLK、GPIO1、または GPIx ピン (MCLK として) をオーディオ クロック ソースとして使用するオプションもサポートしており、これにより消費電力を削減できます。ただし、外部クロック ソースからのジッタにより ADC の性能が低下する可能性があり、外部オーディオ クロック ソースの周波数が十分に高くない場合、一部の処理機能がサポートされない可能性があります。したがって、TI は高性能アプリケーションには PLL の使用を推奨しています。PLL を使用せずに低電力モードでデバイスを構成して使用方法に関する詳細および情報については、『[TLV320ADCx120 さまざまな使用シナリオにおける消費電力マトリックス](#)』アプリケーション レポートを参照してください。

デバイスは、GPIO1 または GPIx ピン (MCLK として) をリファレンス入力クロック ソースとして使用するオーディオ バス コントローラ モード動作もサポートしており、さまざまな柔軟なオプションと広範囲なシステム クロックをサポートしています。コントローラ モードの構成と動作に関する詳細については、『[オーディオ バス マスターとしての TLV320ADCx120 の構成と動作](#)』アプリケーション レポートを参照してください。

オーディオ バス クロック エラー検出および自動検出機能は、すべての内部クロックを自動的に生成しますが、ASI_ERR (P0_R9_D5) および AUTO_CLK_CFG (P0_R19_D6) レジスタ ビットを使用してそれぞれ無効にすることができます。システムでは、この無効化機能を使用して、オート検出方式ではカバーされていないカスタムクロック周波数をサポートすることができます。このようなアプリケーションの使用事例では、複数のクロック分周器がすべて適切に構成されるように注意する必要があります。そのため、TI は、デバイス設定の構成には PPC3 GUI の使用を推奨しています。詳細については、『[ADCx120EVM-PDK 評価基板](#)』ユーザー ガイドおよび『[PurePath™ コンソール グラフィカル開発スイート](#)』を参照してください。

6.3.3 入力チャネルの構成

デバイスは、記録チャネルのために差動入力またはシングルエンド入力として構成できる 2 組のアナログ入力ピン (INxP と INxM) で構成されています。このデバイスは、高性能マルチチャネル ADC を使用した、最大 2 つのチャネルの同時録音をサポートしています。アナログ ピンの入力源は、エレクトレット コンデンサ アナログ マイク、微小電気機械システム (MEMS) アナログ マイク、またはシステム基板からのライン入力 (補助) 入力です。さらに、アプリケーションで録音にデジタル PDM マイクを使用する場合、デバイス内の IN2P_GPI1、IN2M_GPO1、GPIO1、および MICBIAS_GPI2 ピンを再構成して、デジタル マイク録音用に最大 4 つのチャネルをサポートできます。また、このデバイスは 2 つのアナログ マイクおよび 2 つのデジタル マイク チャネルでの同時録音もサポートできます。表 6-8 に、記録チャネルの入力ソース選択を示します。

表 6-8. 記録チャネルの入力ソース選択

P0_R60_D[6:5]:CH1_INSRC[1:0]	入力チャネル 1 記録ソースの選択
00 (デフォルト)	チャネル 1 のアナログ差動入力 (この設定は、GPI1 および GPO1 ピンの機能が無効のときのみ有効です)
01	チャネル 1 のアナログ シングルエンド入力 (この設定は、GPI1 および GPO1 ピンの機能が無効のときのみ有効です)
10	チャネル 1 のデジタル PDM 入力 (PDMDIN1 および PDMCLK については、それに応じて GPIx ピンと GPOx ピンを構成します)
11	予約済み (この設定は使用しないでください)

同様に、入力チャネル 2、チャネル 3、チャネル 4 の入力ソース選択設定は、それぞれ CH2_INSRC[1:0] (P0_R65_D[6:5])、CH3_INSRC[1:0] (P0_R70_D[6:5])、CH4_INSRC[1:0] (P0_R75_D[6:5]) レジスタ ビットを使用して設定できます。

通常、音声またはオーディオ信号入力は、デバイスに容量結合 (AC 結合) されます。しかし、このデバイスは、基板面積を節約するため、DC 結合入力のオプションもサポートしています。この構成は、CH1_DC (P0_R60_D4)、CH2_DC (P0_R65_D4)、CH3_DC (P0_R70_D4)、CH4_DC (P0_R75_D4) レジスタ ビットを設定することにより、各チャネルごとに個別に行うことができます。INxM ピンは、DC 結合モードで直接接地できますが (図 6-14 を参照)、シングルエンド入力構成については、AC 結合モードでの AC カップリング コンデンサの後に INxM ピンを接地する必要があります (図 6-15 を参照)。最高のダイナミックレンジ性能を得るには、差動 AC 結合入力を使用する必要があります。

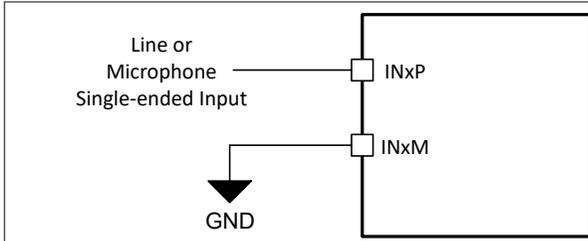


図 6-14. シングルエンド、DC 結合入力接続

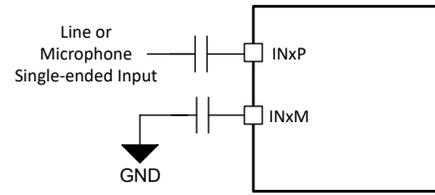


図 6-15. シングルエンド、AC 結合入力接続

デバイスでは、入力ソースのインピーダンスに基づいて、INxP または INxM の標準入力インピーダンスを 2.5kΩ (デフォルト)、10kΩ、20kΩ から柔軟に選択できます。入力インピーダンスが大きいほど、ノイズが多少増加し、ダイナミックレンジは多少低下します。表 6-9 は、記録チャンネルの入力インピーダンスの構成レジスタ設定をリストします。

表 6-9. 記録チャンネルの入力インピーダンス選択

P0_R60_D[3:2]:CH1_IMP[1:0]	チャンネル 1 の入力インピーダンス選択
00 (デフォルト)	チャンネル 1 の入力インピーダンスの標準値は、INxP または INxM の 2.5kΩ です
01	チャンネル 1 の入力インピーダンスの標準値は、INxP または INxM の 10kΩ です
10	チャンネル 1 の入力インピーダンスの標準値は、INxP または INxM の 20kΩ です
11	予約済み(この設定は使用しないでください)

同様に、入力チャンネル 2 の入力インピーダンス選択設定は、CH2_IMP[1:0] (P0_R65_D[3:2]) レジスタビットを使用して設定できます。

AC 結合モードでのカップリング コンデンサの値は、カップリング コンデンサと入力インピーダンスによって形成されるハイパスフィルタが信号成分に影響を与えないように選択する必要があります。適切な記録を開始する前に、このカップリング コンデンサは、パワーアップ時に同相電圧まで充電する必要があります。迅速な充電を可能にするため、このデバイスはカップリング コンデンサの充電を高速化するモードを備えています。クイック充電タイミングのデフォルト値は、最大 1μF のカップリング コンデンサに対して設定されます。ただし、システムでより値の大きいコンデンサを使用する場合は、INCAP_QCHG (P0_R5_D[5:4]) レジスタビットを使用することで、急速充電タイミングを向上させることができます。より優れた歪み性能を実現するため、AC カップリングには電圧係数の小さいコンデンサを使用します。

また、TAA3020 は、より高い入力同相モードの許容誤差にも対応できますが、ノイズ性能は数デシベルです。このデバイスは、さまざまな同相許容範囲を持つ 3 種類のモードをサポートしており、これらは CH1_INP_CM_TOL_CFG[1:0] (P0_R58_D[7:6]) レジスタビットを使用して構成できます。表 6-10 は、記録チャンネルの入力インピーダンスの構成レジスタ設定をリストします。

表 6-10. 記録チャンネルの同相許容範囲モードの選択

P0_R58_D[7:6]: CH1_INP_CM_TOL_CFG[1:0]	チャンネル 1 入力同相許容範囲
00 (デフォルト)	チャンネル 1 入力同相許容範囲:AC 結合入力 = 100mV _{pp} 、DC 結合入力 = 2.82V _{pp} 。
01	チャンネル 1 入力同相許容範囲:AC/DC 結合入力 = 1 V _{pp} 。
10 (高 CMRR モード)	チャンネル 1 入力同相許容範囲:AC/DC 結合入力 = 0 ~ AVDD (10kΩ と 20kΩ の入力インピーダンスでのみサポート)。2.5kΩ の入力インピーダンスでは、入力同相許容範囲は 0.4V ~ 2.6V です。
11	予約済み(この設定は使用しないでください)

同様に、入力チャンネル 2 の同相許容範囲設定は、CH2_INP_CM_TOL_CFG[1:0] (P0_R58_D[5:4]) レジスタビットを使用して設定できます。詳細については、『TLV320ADCx120 デバイスの入力同相許容範囲および高 CMRR モード』アプリケーションレポートを参照してください。

6.3.4 基準電圧

すべてのオーディオ データ コンバータは DC リファレンス電圧を必要とします。TAA3020 は、内部で低ノイズの基準電圧を生成することによって、低ノイズ性能を実現します。このリファレンス電圧は、高い PSRR 性能を持つバンドギャップ回路を使用して生成されます。このオーディオ コンバータのリファレンス電圧は、VREF ピンからアナログ グラウンド (AVSS) に接続された最低 1 μ F のコンデンサを使用して外部でフィルタリングする必要があります。

このリファレンス電圧の値は、P0_R59_D[1:0] レジスタ ビットを使用して設定でき、デバイスの望ましいフルスケール入力およびシステムで利用可能な AVDD 電源電圧に基づいて適切な値に設定する必要があります。デフォルトの VREF 値は 2.75V に設定されており、これによりデバイスに対して 2V_{RMS} の差動フルスケール入力がサポートされます。このモードに必要な最小 AVDD 電圧は 3V です。表 6-11 は、さまざまな VREF 設定をリストしており、それぞれの設定に必要な AVDD 範囲とサポートされているフルスケール入力信号を示しています。

表 6-11. VREF プログラム可能設定

P0_R59_D[1:0]: ADC_FSCALE[1:0]	VREF 出力電圧 (内部 ADC VREF と同じ)	差動フルスケール入力をサ ポート	シングルエンドのフルスケ ール入力をサポート	AVDD 範囲の要件
00 (デフォルト)	2.75V	2V _{RMS}	1V _{RMS}	3V ~ 3.6V
01	2.5V	1.818V _{RMS}	0.909V _{RMS}	2.8V ~ 3.6V
10	1.375V	1V _{RMS}	0.5V _{RMS}	1.7V ~ 1.9V
11	予約済み	予約済み	予約済み	予約済み

スリープ モードまたはソフトウェア シャットダウン セクションに示されているように、低消費電力を実現するため、このオーディオ参照ブロックは電源が切られます。スリープ モードから復帰する際、オーディオ参照ブロックは内部の高速充電方式を使用して電源が供給され、VREF ピンは安定化時間後に定常状態の電圧に安定します (この時間は VREF ピンのデカップリング コンデンサに依存します)。1 μ F デカップリング コンデンサを使用する場合、この時間は約 3.5ms に等しくなります。VREF ピンに値の大きいデカップリング コンデンサが使用されている場合、VREF_QCHG (P0_R2_D[4:3]) レジスタ ビットを使用して、ファスト チャージ設定を再構成する必要があります。このレジスタは、3.5ms (デフォルト)、10ms、50ms、または 100ms のオプションをサポートしています。

6.3.5 プログラム可能なマイクロフォンバイアス

このデバイスは、システム内でエレクトレット コンデンサ マイクのバイアスを供給したり、MEMS アナログまたはデジタル マイクへの電源供給に使用できる、内蔵の低ノイズ マイクロフォン バイアス ポートを統合しています。統合バイアス アンプは、最大 5mA の負荷電流をサポートしており、複数のマイクに使用できるように設計されています。また、高い PSRR、低ノイズ、プログラム可能なバイアス電圧の組み合わせを提供し、特定のマイクロフォンの組み合わせに合わせてバイアスの微調整ができます。

この MICBIAS ピンをバイアスや複数のマイクロフォンへの供給に使用する場合、マイクロフォン間のカップリングを最小限に抑えるために、MICBIAS 接続のための基板レイアウトで同相インピーダンスを避けます。表 6-12 に、マイクロフォンバイアスのプログラム可能なオプションを示します。

表 6-12. MICBIAS プログラム可能設定

P0_R59_D[6:4]:MIBIAS_VAL[2:0]	P0_R59_D[1:0]:ADC_FSCALE[1:0]	MICBIAS 出力電圧
000 (デフォルト)	00 (デフォルト)	2.75V (VREF 出力と同じ)
	01	2.5V (VREF 出力と同じ)
	10	1.375V (VREF 出力と同じ)
001	00 (デフォルト)	3.014V (VREF 出力の 1.096 倍)
	01	2.740V (VREF 出力の 1.096 倍)
	10	1.507V (VREF 出力の 1.096 倍)
010~101	XX	予約済み (これらの設定は使用しないでください)
110	XX	AVDD と同じ
111	XX	予約済み (この設定は使用しないでください)

マイクロフォン バイアス出力は、MICBIAS_PDZ (P0_R117_D7) レジスタ ビットを設定することで、オンまたはオフ (デフォルト) にすることができます。さらに、デバイスは、GPIO1 または GPIx ピンを構成して、マイクロフォン バイアス出力のオンとオフを直接制御するオプションを提供します。この機能は、I²C 通信を行う場合に、ホストを接続せずに、マイクを直接制御するのに役立ちます。GPIO1 または GPIx ピンがマイク バイアスのオン / オフを設定するように構成されている場合、MICBIAS_PDZ (P0_R117_D7) レジスタ ビットの値は無視されます。

6.3.6 シグナル チェーン処理

TAA3020 シングル チェーンは、非常に低ノイズで高性能、低消費電力のアナログブロックと、高度に柔軟でプログラム可能なデジタル処理ブロックで構成されています。高性能で柔軟性が高く、コンパクトなパッケージにより、TAA3020 はマルチチャンネル オーディオ キャプチャを必要とする各種の最終機器およびアプリケーション向けに最適化されています。図 6-16 に、信号チェーンで使用される各種ビルディング ブロックと信号チェーン内でブロックがどのように相互作用するかを示す概念ブロック図を示します。

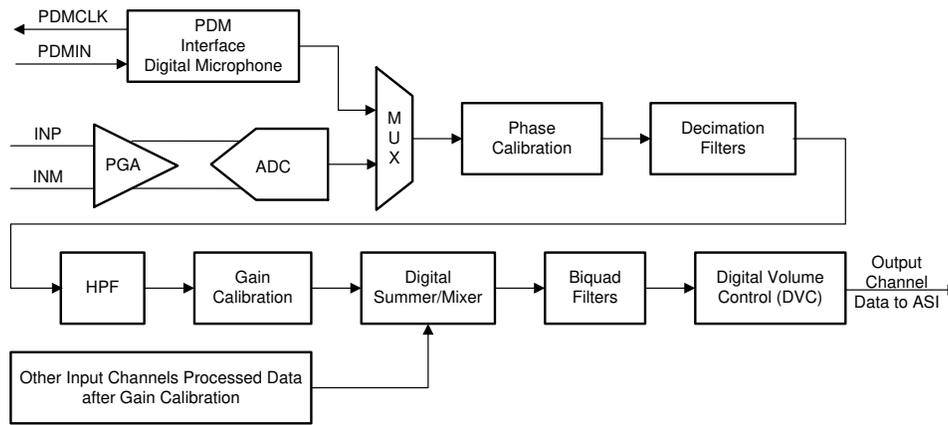


図 6-16. 信号チェーン処理フローチャート

フロントエンド PGA は超低ノイズで、120dB のダイナミックレンジ性能を実現しています。低ノイズで低歪みのマルチビット デルタ シグマ ADC に加え、フロントエンド PGA により、TAA3020 は静かな環境でも騒がしい環境でも、ファーフィールド オーディオ信号を非常に高い忠実度で録音できます。さらに、ADC アーキテクチャには、複数の変調器周波数成分周辺の帯域外周波数ノイズを高いレベルで除去するアンチエイリアス フィルタリングが組み込まれています。したがって、このデバイスは、ADC サンプリング時にノイズがオーディオ帯域にエイリアシングするのを防ぎます。信号チェーンのさらに先では、統合された高性能多段デジタル デシメーション フィルタが、高い阻止帯域減衰量で帯域外の周波数ノイズを鋭く遮断します。

このデバイスには、カスタムのローパス、ハイパス、またはその他の希望する周波数整形を可能にする統合されたプログラム可能なバイキュー フィルタも搭載されています。このため、シグナル チェーン全体のアーキテクチャにより、アンチエイリアス ローパス フィルタリングのための外部コンポーネントを追加する必要がなくなり、外部システムの部品コストと基板面積を大幅に削減できます。詳細については、『TLV320ADCx140 統合アナログ アンチエイリアシング フィルタおよびフレキシブル デジタル フィルタ』アプリケーション レポートを参照してください。

信号チェーンは、位相キャリブレーション、ゲイン キャリブレーション、ハイパス フィルタ、デジタル サマーまたはミキサ、バイクワッド フィルタ、ボリューム コントロールなどの多様で非常にプログラマブルなデジタル処理ブロックで構成されています。これらの処理ブロックの詳細については、このセクションで詳しく説明します。また、このデバイスは、アナログ録音チャンネルを使用しない場合、最大 4 つのデジタル PDM マイクロフォン録音チャンネルをサポートします。図 6-16 の信号チェーンブロック図のチャンネル 1 ~ 2 はこのセクションで説明されているとおりですが、チャンネル 3 ~ 4 はデジタル マイク録音オプションのみをサポートし、デジタル サマーまたはミキサ オプションはサポートしていません。

記録用の入力チャンネルは、IN_CH_EN (P0_R115) レジスタを使用して有効化または無効にすることができ、オーディオシリアル インターフェースの出力チャンネルは、ASI_OUT_EN (P0_R116) レジスタを使用して有効化または無効にすることができます。一般的に、このデバイスはすべてのアクティブ チャンネルの同時パワーアップおよびパワーダウンをサポート

し、同時録音を実現します。しかし、アプリケーションのニーズによっては、他のチャンネルの録音中に、いくつかのチャンネルを動的にパワーアップまたはパワーダウンする必要がある場合、DYN_CH_PUPD_EN (P0_R117_D4) レジスタを 1'b1 に設定することで、その使用事例に対応できます。

このデバイスは、最大 80kHz の入力信号帯域幅をサポートしており、176.4kHz (またはそれ以上) のサンプルレートを 사용하여、高周波数の非音声信号を記録再生できます。

出力サンプル レートが 48kHz 以下の場合、デバイスは 4 チャンネル録音のすべての機能とさまざまなプログラム可能な処理ブロックをサポートします。しかし、出力サンプル レートが 48kHz より高い場合、同時に録音できるチャンネル数や、使用できるバイクワッド フィルタの数などに制限があります。詳細については、『[TLV320ADCx140 サンプルング レートおよびサポートされているプログラム可能な処理ブロック](#)』アプリケーション レポート を参照してください。

6.3.6.1 プログラム可能なチャンネル ゲインおよびデジタル ボリューム制御

デバイスには、各入力チャンネルについて独立したプログラム可能なチャンネル ゲイン設定があり、システムで予測される最大入力信号に基づいて適切な値に設定できます。また、使用される ADC VREF 設定 ([基準電圧](#) セクションを参照) によって ADC のフルスケール信号レベルが決まります。

ADC チャンネルに電源を投入する前に目的のチャンネル ゲイン設定を構成し、ADC の電源がオンの場合はこの設定を変更しないでください。各チャンネル ゲインをサポートするプログラム可能な範囲は、0.5dB ごとに 0dB ~ 42dB です。低ノイズ性能を実現するため、デバイスの内部ロジックは最初にフロントエンド、低ノイズ アナログ PGA のゲインを最大化します。この PGA は、120dB のダイナミックレンジをサポートしてから、プログラムされた残留チャンネル ゲインをデジタル処理ブロックに適用します。

表 6-13 に、チャンネル ゲインに利用可能なプログラマブル オプションを示します。

表 6-13. チャンネル ゲインのプログラマブル設定

P0_R61_D[7:1]:CH1_GAIN[6:0]	入力チャンネル 1 のチャンネル ゲイン設定
000 0000 = 0d (デフォルト)	入力チャンネル 1 のゲインを 0dB に設定
000 0001 = 1d	入力チャンネル 1 のゲインを 0.5dB に設定
000 0010 = 2d	入力チャンネル 1 のゲインを 1dB に設定
...	...
101 0011 = 83d	入力チャンネル 1 のゲインを 41.5dB に設定
101 0100 = 84d	入力チャンネル 1 のゲインを 42dB に設定
101 0101 ~ 111 1111 = 85d ~ 127d	予約済み(これらの設定は使用しないでください)

同様に、入力チャンネル 2 のチャンネル ゲイン設定は、CH2_GAIN (P0_R66_D[7:1]) レジスタ ビットを使用して設定できます。チャンネル ゲイン機能は、デジタル マイク録音パスでは使用できません。

このデバイスは、ADC がイネーブルのときのゲイン変更もサポートしています。このデバイスは、複数の構成をサポートしているため、動的ゲイン変更時に可聴アーティファクトを制限できます。この機能は、OTF_GAIN_CHANGE_CFG (P0_R113_D[7:6]) レジスタ ビットを使用して構成できます。

また、デバイスにはプログラマブル デジタル ボリューム制御機能があり、-100dB ~ +27dB で 0.5dB 刻みの範囲で、チャンネルの録音をミュートすることもできます。デジタル ボリューム コントロールの値は、ADC チャンネルの電源がオンになって記録されている場合に動的に変更できます。ボリューム コントロールの変更中は、ソフトランアップまたはソフトランダウン機能が内部的に使用され、可聴アーティファクトを回避します。ソフトステップは、DISABLE_SOFT_STEP (P0_R108_D4) レジスタ ビットを使用して完全に無効にすることができます。

デジタル ボリューム コントロール設定は、デジタル マイクロフォン レコード チャンネルを含む各出力チャンネルに対して個別に使用できます。ただし、チャンネル 1 の電源オン時と電源オフ時のどちらであっても、チャンネル 1 デジタル ボリューム コントロール設定を使用して、すべてのチャンネルのボリューム コントロール設定を一括でアップするオプションもサポートしています。このギャングアップは、DVOL_GANG (P0_R108_D7) レジスタ ビットを使用して有効化できます。

表 6-14 はデジタル ボリューム コントロール用に利用可能なプログラマブル オプションを示します。

表 6-14. デジタル ボリューム コントロール (DVC) のプログラマブル設定

P0_R62_D[7:0]:CH1_DVOL[7:0]	出力チャンネル 1 の DVC 設定
0000 0000 = 0d	出力チャンネル 1 DVC はミュートに設定されます
0000 0001 = 1d	出力チャンネル 1 の DVC は -100dB に設定されます
0000 0010 = 2d	出力チャンネル 1 の DVC は -99.5dB に設定されます
0000 0011 = 3d	出力チャンネル 1 の DVC は -99dB に設定されます
...	...
1100 1000 = 200d	出力チャンネル 1 の DVC は -0.5dB に設定されます
1100 1001 = 201d (デフォルト)	出力チャンネル 1 の DVC は 0dB に設定されます
1100 1010 = 202d	出力チャンネル 1 の DVC は 0.5dB に設定されます
...	...
1111 1101 = 253d	出力チャンネル 1 の DVC は 26dB に設定されます
1111 1110 = 254d	出力チャンネル 1 の DVC は 26.5dB に設定されます
1111 1111 = 255d	出力チャンネル 1 の DVC は 27dB に設定されます

同様に、出力チャンネル 2 からチャンネル 4 のデジタル ボリューム コントロール設定は、それぞれ CH2_DVOL (P0_R67) から CH4_DVOL (P0_R77) のレジスタ ビットを使用して設定できます。

チャンネルが電源投入されると、内部デジタル処理エンジンがミュート レベルからプログラムされた音量レベルまで音量を徐々に上げます。また、チャンネルが電源オフになると、内部デジタル処理エンジンがプログラムされた音量からミュートまで音量を徐々に下げます。この音量のソフト ステッピングは、レコード チャンネルの急激な電源投入や電源切断を防ぐために行われます。この機能は、DISABLE_SOFT_STEP (P0_R108_D4) レジスタ ビットを使用して完全に無効化することもできます。

6.3.6.2 プログラム可能なチャンネル ゲイン較正

プログラム可能なチャンネル ゲインとデジタル ボリューム機能に加えて、このデバイスはプログラム可能なチャンネル ゲイン較正も提供します。各チャンネルのゲインは、-0.8dB から 0.7dB のゲイン誤差範囲で、0.1dB ごとに微調整または調整することができます。この調整は、外部部品とマイク感度に起因するチャンネル間のゲインを一致させようとする際に役立ちます。この機能は、通常のデジタル ボリューム コントロールと組み合わせることで、0.1dB の解像度で広いゲイン誤差範囲にわたってすべてのチャンネルのゲインを一致させることができます。チャンネル ゲイン較正に利用可能なプログラム可能なオプションを 表 6-15 に示します。

表 6-15. チャンネル ゲイン較正のプログラム可能設定

P0_R63_D[7:4]:CH1_GCAL[3:0]	入力チャンネル 1 のチャンネル ゲイン較正設定
0000 = 0d	入力チャンネル 1 のゲイン較正を -0.8dB に設定します
0001 = 1d	入力チャンネル 1 のゲイン較正を -0.7dB に設定します
...	...
1000 = 8d (デフォルト)	入力チャンネル 1 のゲイン較正を 0dB に設定します
...	...
1110 = 14d	入力チャンネル 1 のゲイン較正を 0.6dB に設定します
1111 = 15d	入力チャンネル 1 のゲイン較正を 0.7dB に設定します

同様に、入力チャンネル 2~4 のチャンネル ゲイン較正設定は、それぞれ CH2_GCAL (P0_R68) ~ CH4_GCAL (P0_R78) レジスタ ビットを使用して構成できます。

6.3.6.3 プログラム可能なチャンネル位相較正

ゲイン較正に加えて、各チャンネルの位相遅延は、アナログマイクの位相誤差に対して 0 ~ 255 のサイクル範囲に対して、1 変調器クロック サイクル ステップで微調整または調整できます。変調器クロックは、ADC_MOD_CLK に使用されるクロックと同じで、6.144MHz (出力データのサンプル レートは 48kHz の倍数または約数) または 5.6448MHz (出力データのサンプル レートは 44.1kHz の倍数または約数) になります。デジタルマイク インターフェイスの場合、位相キャリブレーション クロックは、使用する PDM クロックに依存します。PDM_CLK が 6.144MHz (出力データのサンプル レートは 48kHz の倍数または約数) または 5.6448MHz (出力データのサンプル レートは 44.1kHz の倍数または約数) の場合、位相キャリブレーション クロックは PDM_CLK と同様になります。PDM_CLK が 3.072MHz 以下 (出力データ サンプル レートは 48kHz の倍数または約数) の場合、使用される位相キャリブレーション クロックは 3.072MHz です。同様に、2.8224MHz、1.4112MHz、または 705.6kHz の PDM_CLK の場合 (出力データ サンプル レートは 44.1kHz の倍数または約数) の場合、使用される位相キャリブレーション クロックは 2.8224MHz です。この機能は、外部部品やマイクに起因するチャンネル間の位相の不一致など、各チャンネル間の位相を細かく一致させる必要がある用途に非常に役立ちます。表 6-16 は、6.144MHz または 5.6448MHz の PDM_CLK を使用したアナログまたはデジタルマイクのチャンネル位相キャリブレーション用の利用可能なプログラマブル オプションを示しています。

表 6-16. チャンネル位相較正のプログラム可能設定

P0_R64_D[7:0]:CH1_PCAL[7:0]	入力チャンネル 1 のチャンネル位相較正設定
0000 0000 = 0d (デフォルト)	遅延なしの入力チャンネル 1 位相較正
0000 0001 = 1d	入力チャンネル 1 位相較正遅延は、変調器クロックの 1 サイクルに設定されます
0000 0010 = 2d	入力チャンネル 1 位相較正遅延は、変調器クロックの 2 サイクルに設定されます
...	...
1111 1110 = 254d	入力チャンネル 1 位相較正遅延は、変調器クロックの 254 サイクルに設定されます
1111 1111 = 255d	入力チャンネル 1 位相較正遅延は、変調器クロックの 255 サイクルに設定されます

PDM_CLK 周波数が 3.072MHz 未満のデジタルマイク インターフェイスの場合、位相キャリブレーション範囲は、位相キャリブレーションクロックの 0 ~ 127 です (出力データ サンプル レートの 3.072MHz は 48kHz の倍数または約数、出力データ サンプル レートの 2.8224MHz は 44.1kHz の倍数または約数です)。この範囲は、チャンネル 1 の CH1_PCAL[7:1] を使って設定できます。

同様に、入力チャンネル 2 ~ 4 のチャンネル位相較正設定は、それぞれ CH2_PCAL (P0_R69) ~ CH4_PCAL (P0_R79) レジスタ ビットを使用して構成できます。

アナログ入力と PDM 入力を組み合わせて同時変換する場合、位相較正機能を使用しないでください。

6.3.6.4 プログラム可能なデジタル ハイパス フィルタ

記録データの直流オフセット成分を除去し、不要な低周波ノイズを減衰させるために、本デバイスはプログラム可能なハイパス フィルタ (HPF) をサポートしています。HPF は、チャンネルごとに独立したフィルタ設定ではなく、すべての ADC チャンネルに対してグローバルに適用されます。この HPF は一次のインフィニット インパルス レスポンス (IIR) フィルタを使用して構成されており、信号中の DC 成分を効果的に除去するのに十分な性能を備えています。表 6-17 は、P0_R107 の HPF_SEL[1:0] レジスタ ビットを使用して設定できる、あらかじめ定義された -3dB カットオフ周波数を示しています。さらに、特定の用途に合わせて -3dB のカットオフ周波数をカスタマイズするには、HPF_SEL[1:0] レジスタ ビットを 2'b00 に設定すると、1 次 IIR フィルタ係数をプログラムすることもできます。HPF フィルタの周波数応答プロットを、図 6-17 に示します。

表 6-17. HPF プログラム可能設定

P0_R107_D[1:0]: HPF_SEL[1:0]	-3dB カットオフ周波数設定	16kHz サンプル レートで -3dB カットオフ周波数	48kHz サンプル レートで -3dB カットオフ周波数
00	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ	プログラム可能な 1 次 IIR フィルタ
01 (デフォルト)	$0.00025 \times f_s$	4Hz	12Hz
10	$0.002 \times f_s$	32Hz	96Hz
11	$0.008 \times f_s$	128Hz	384Hz

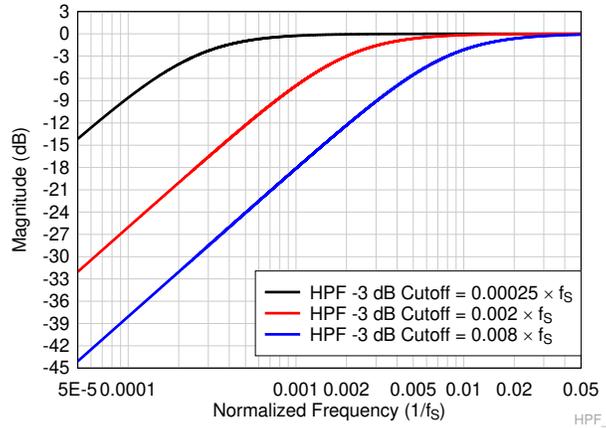


図 6-17. HPF フィルタの周波数応答プロット

式 1 は、1 次プログラマブル IIR フィルタの伝達関数を示しています。

$$H[z] = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \quad (1)$$

この一次プログラム可能な IIR フィルタは、デフォルト係数の場合、周波数応答が 0dB のフラットなゲインとなり、オールパスフィルタとして動作します。ホスト デバイスは、表 6-18 にある IIR 係数をプログラムすることで、ハイパス フィルタリングやその他の必要なフィルタリングに合わせた目的の周波数応答に上書きすることができます。HPF_SEL[1:0] が 2'b00 に設定されている場合、ホスト デバイスは、いずれかの ADC チャンネルを録音用に起動する前に、目的の周波数応答に対応するこれらの係数値を書き込む必要があります。1 次 IIR フィルタのフィルタ係数を、表 6-18 に示します。

表 6-18. 1 次 IIR フィルタの係数

フィルタ	フィルタの係数	デフォルトの係数値	係数レジスタのマッピング
プログラム可能な 1 次 IIR フィルタ (HPF または他の目的のフィルタに割り当て可能)	N ₀	0x7FFFFFFF	P4_R72-R75
	N ₁	0x00000000	P4_R76-R79
	D ₁	0x00000000	P4_R80-R83

6.3.6.5 プログラム可能なデジタル バイクワッド フィルタ

このデバイスは最大 12 個のプログラム可能なデジタル バイクワッド フィルタをサポートしています。これらの高効率フィルタは、所定の周波数応答を達成します。デジタル信号処理において、デジタル バイキュー フィルタは、2 つの極と 2 つのゼロを持つ二次の再帰的線形フィルタです。式 2 は、各バイキュー フィルタの伝達関数を示します。

$$H[z] = \frac{N_0 + 2N_1 z^{-1} + N_2 z^{-2}}{2^{31} - 2D_1 z^{-1} - D_2 z^{-2}} \quad (2)$$

デフォルトの係数を使用したバイキュー フィルタ セクションの周波数応答は、0dB のゲインでフラット(全通フィルタ)です。ホスト デバイスは、バイキュー係数をプログラムすることで周波数応答を上書きし、低域通過、高域通過、またはその他の希望する周波数シェーピングを達成できます。ミキサ操作のためのプログラマブル係数は、セクション 7.4.1 および セクション 7.4.2 セクションに記載されています。バイキュー フィルタリングが必要な場合、ホスト デバイスは録音用のいかなる ADC チャンネルをパワーアップする前に、これらの係数値を書き込む必要があります。表 6-19 に示されているように、これらのバイクワッド フィルタは、P0_R108 の BIQUAD_CFG[1:0] レジスタ設定に基づいて、各出力チャンネルに割り当てることができます。BIQUAD_CFG[1:0] を 2'b00 に設定することで、すべてのレコード チャンネルのバイクワッド フィルタリングが無効になり、システム アプリケーションで追加のフィルタリングが必要ない場合、ホスト デバイスはこの設定を選択できます。詳細については、『TLV320ADCx140 プログラマブル バイクワッド フィルタの構成およびアプリケーション』アプリケーション ノートを参照してください。

表 6-19. バイキュア フィルタの録音出力チャンネルへの割り当て

プログラム可能バイキュア フィルタ	P0_R108_D[6:5] レジスタ設定を使用した録音出力チャンネルの割り当て		
	BIQUAD_CFG[1:0] = 2'b01 (チャンネル ごとに双二次フィルタ 1 つ)	BIQUAD_CFG[1:0] = 2'b10 (デフォルト) (チャンネルごとに双二次フィルタ 2 つ)	BIQUAD_CFG[1:0] = 2'b11 (チャンネル ごとに双二次フィルタ 3 つ)
バイキュア フィルタ 1	出力チャンネル 1 に割り当て	出力チャンネル 1 に割り当て	出力チャンネル 1 に割り当て
バイキュア フィルタ 2	出力チャンネル 2 に割り当て	出力チャンネル 2 に割り当て	出力チャンネル 2 に割り当て
バイキュア フィルタ 3	出力チャンネル 3 に割り当て	出力チャンネル 3 に割り当て	出力チャンネル 3 に割り当て
バイキュア フィルタ 4	出力チャンネル 4 に割り当て	出力チャンネル 4 に割り当て	出力チャンネル 4 に割り当て
バイキュア フィルタ 5	未使用	出力チャンネル 1 に割り当て	出力チャンネル 1 に割り当て
バイキュア フィルタ 6	未使用	出力チャンネル 2 に割り当て	出力チャンネル 2 に割り当て
バイキュア フィルタ 7	未使用	出力チャンネル 3 に割り当て	出力チャンネル 3 に割り当て
バイキュア フィルタ 8	未使用	出力チャンネル 4 に割り当て	出力チャンネル 4 に割り当て
バイキュア フィルタ 9	未使用	未使用	出力チャンネル 1 に割り当て
バイキュア フィルタ 10	未使用	未使用	出力チャンネル 2 に割り当て
バイキュア フィルタ 11	未使用	未使用	出力チャンネル 3 に割り当て
バイキュア フィルタ 12	未使用	未使用	出力チャンネル 4 に割り当て

表 6-20 に、レジスタ空間へのバイキュア フィルタ係数のマッピングを示します。

表 6-20. バイキュア フィルタ係数のレジスタのマッピング

プログラム可能バイキュア フィル タ	バイキュア フィルタ係数のレジスタのマ ッピング	プログラム可能バイキュア フィル タ	バイキュア フィルタ係数のレジスタのマ ッピング
バイキュア フィルタ 1	P2_R8-R27	バイキュア フィルタ 7	P3_R8-R27
バイキュア フィルタ 2	P2_R28-R47	バイキュア フィルタ 8	P3_R28-R47
バイキュア フィルタ 3	P2_R48-R67	バイキュア フィルタ 9	P3_R48-R67
バイキュア フィルタ 4	P2_R68-R87	バイキュア フィルタ 10	P3_R68-R87
バイキュア フィルタ 5	P2_R88-R107	バイキュア フィルタ 11	P3_R88-R107
バイキュア フィルタ 6	P2_R108-R127	バイキュア フィルタ 12	P3_R108-R127

6.3.6.6 プログラム可能なチャンネル サマーおよびデジタル ミキサ

各チャンネルでサポートされている SNR よりもさらに高い SNR を必要とするアプリケーションでは、デバイスのデジタル加算モードを使用できます。このモードでは、デジタル レコードデータが同じ重み係数でチャンネル全体に合計され、有効レコード ノイズの低減に役立ちます。表 6-21 に、チャンネル合計モードで使用可能な構成設定を示します。

表 6-21. チャンネル合計モードのプログラマブル設定

P0_R107_D[3:2]:CH_SUM[1:0]	入力チャンネルのチャンネル合計モード	信号対雑音比およびダイナミックレンジブースト
00 (デフォルト)	チャンネル合計モードは無効	該当なし
01	出力チャンネル 1 = (入力チャンネル 1 + 入力チャンネル 2) / 2 出力チャンネル 2 = (入力チャンネル 1 + 入力チャンネル 2) / 2	信号対雑音比とダイナミックレンジで約 3dB のブースト
10	予約済み(この設定は使用しないでください)	該当なし
11	予約済み(この設定は使用しないでください)	該当なし

デバイスはまた、さまざまな入力チャンネルをカスタム プログラム可能なスケールファクタでミキシングして最終的な出力チャンネルを生成する完全なプログラマブル ミキサ機能をサポートしています。プログラマブル ミキサー機能は、CH_SUM[1:0] が 2'b00 に設定されている場合のみ使用できます。ミキサ機能は、すべての入力チャンネルでサポートされています。出力チャンネル 1 を生成するためのミキサ 1 の動作を説明するブロック図を、図 6-18 に示します。ミキサ操作のためのプログラマブル係数は、セクション 7.4.3 セクションに記載されています。

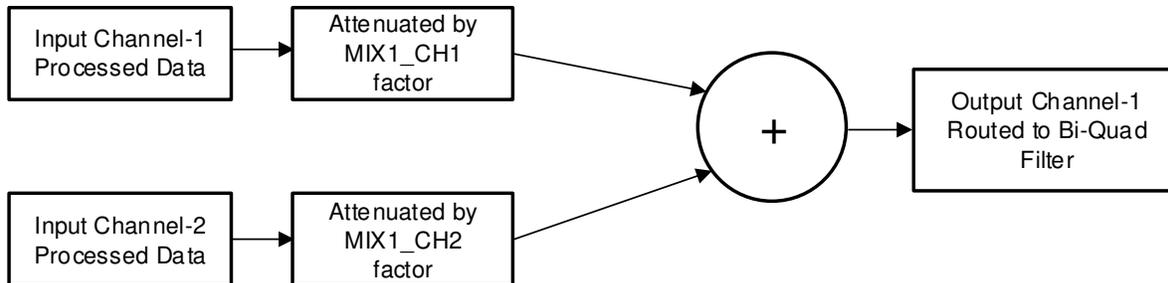


図 6-18. プログラマブル デジタル ミキサのブロック図

ミキサ 2 も同様のミキサ動作を行い、出力チャンネル 2 を生成します。

6.3.6.7 構成可能なデジタル デシメーション フィルタ

デバイスのレコード チャンネルには、広いダイナミックレンジと、マルチビット デルタ シグマ ($\Delta\Sigma$) 変調器からのオーバーサンプリング データを処理するための内蔵デジタル デシメーション フィルタが含まれており、FSYNC レートと同じナイキスト サンプリング レートでデジタル データを生成できます。図 6-16 に示すように、このデシメーション フィルタを使用して、デジタル マイクからオーバーサンプリングされた PDM ストリームを処理することもできます。デシメーション フィルタは、対象アプリケーションに必要な周波数応答、群遅延、位相直線性に応じて、3 つの異なるタイプから選択できます。デシメーション フィルタ オプションの選択は、DECI_FILT (P0_R107_D[5:4]) レジスタ ビットの設定によって行うことができます。記録チャンネルのデシメーション フィルタ モード選択の構成レジスタ設定を、表 6-22 に示します。

表 6-22. レコード チャンネルのデシメーション フィルタ モードの選択

P0_R107_D[5:4]:DECI_FILT[1:0]	デシメーションフィルタ モードの選択
00 (デフォルト)	デシメーションには線形位相フィルタが使用されます
01	デシメーションに低レイテンシフィルタを使用します
10	超低レイテンシのフィルタを使用して、デシメーションを実施します
11	予約済み(この設定は使用しないでください)

6.3.6.7.1 線形位相フィルタ

線形位相のデシメーションフィルタは、デバイスで設定されるデフォルトのフィルタであり、フィルタの通過帯域仕様内でゼロ位相偏差を持つ完全な線形位相が必要なすべてのアプリケーションに使用できます。このセクションでは、サポートされているすべての出力サンプリングレートにおけるフィルタの性能仕様と各種プロットを記載しています。

6.3.6.7.1.1 サンプリングレート：7.35kHz～8kHz

図 6-19 および 図 6-20 に、サンプリングレートが 7.35kHz～8kHz でのデシメーションフィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-23 に、7.35kHz～8kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

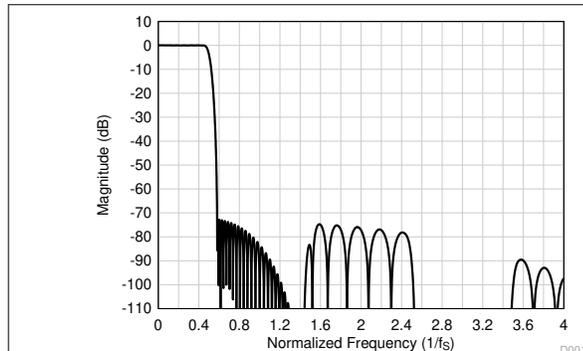


図 6-19. 線形位相デシメーションフィルタの振幅応答

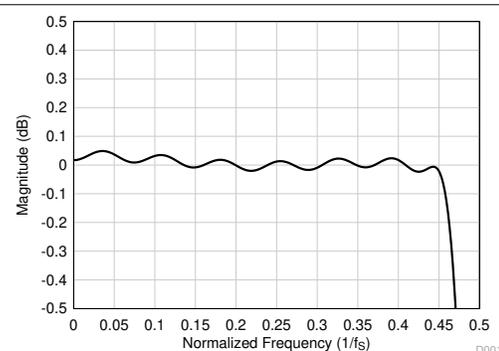


図 6-20. 線形位相デシメーションフィルタのパスバンドリップル

表 6-23. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	72.7			dB
	周波数範囲は $4 \times f_s$ 以降です	81.2			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		17.1		$1/f_s$

6.3.6.7.1.2 サンプリングレート : 14.7kHz ~ 16kHz

図 6-21 および 図 6-22 に、サンプリングレートが 14.7kHz ~ 16kHz でのデシメーションフィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-24 に、14.7kHz ~ 16kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

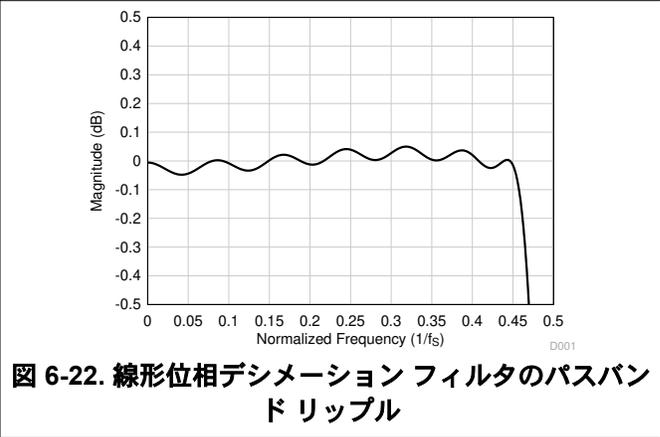
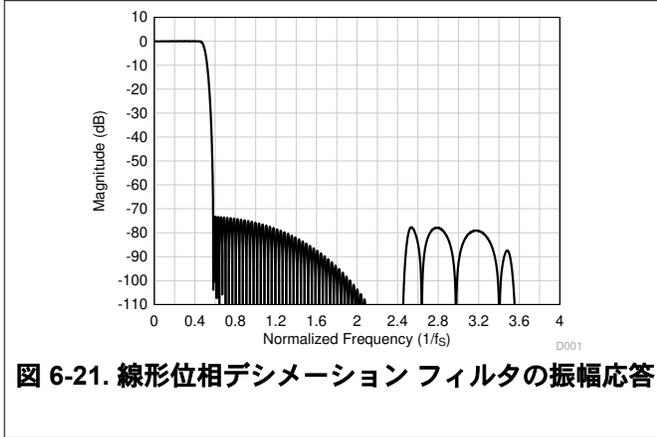


表 6-24. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.3			dB
	周波数範囲は $4 \times f_s$ 以降です	95.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		15.7		$1/f_s$

6.3.6.7.1.3 サンプリングレート : 22.05kHz ~ 24kHz

図 6-23 および 図 6-24 に、サンプリングレートが 22.05kHz ~ 24kHz でのデシメーションフィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-25 に、22.05kHz ~ 24kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

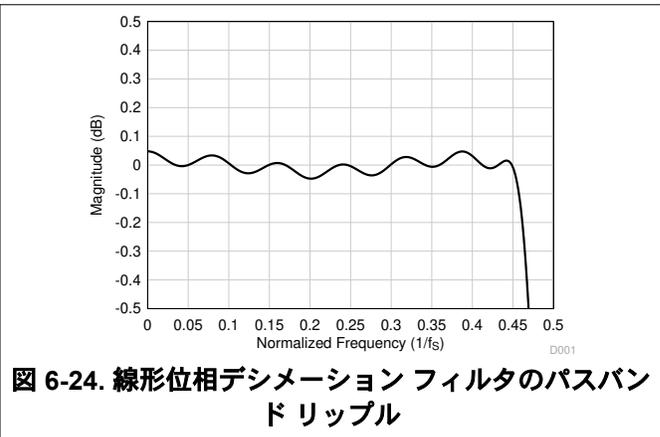
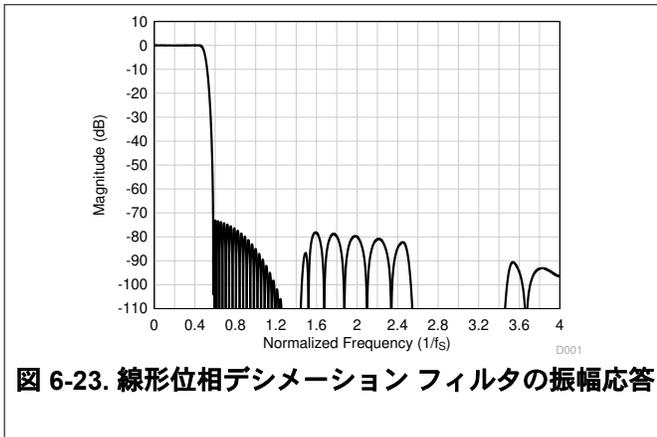


表 6-25. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.0			dB
	周波数範囲は $4 \times f_s$ 以降です	96.4			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		16.6		$1/f_s$

6.3.6.7.1.4 サンプリングレート : 29.4kHz ~ 32kHz

図 6-25 および 図 6-26 に、サンプリングレートが 29.4kHz ~ 32kHz でのデシメーションフィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-26 に、29.4kHz ~ 32kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

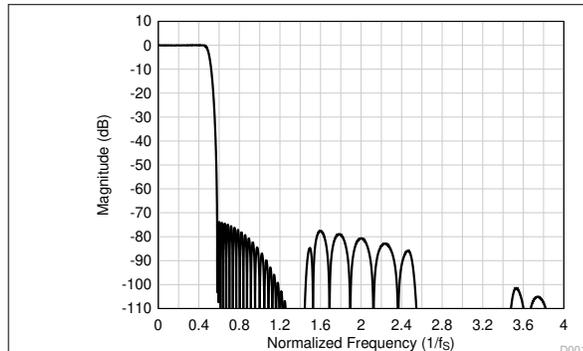


図 6-25. 線形位相デシメーションフィルタの振幅応答

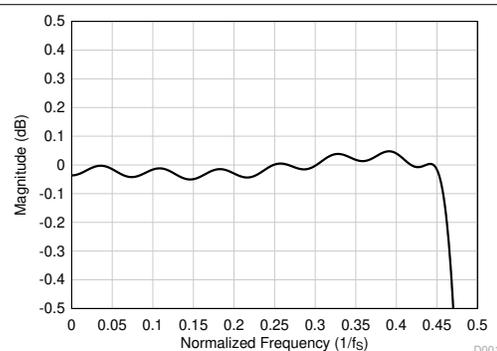


図 6-26. 線形位相デシメーションフィルタのパスバンドリップル

表 6-26. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.7			dB
	周波数範囲は $4 \times f_s$ 以降です	107.2			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		16.9		$1/f_s$

6.3.6.7.1.5 サンプリングレート : 44.1kHz ~ 48kHz

図 6-27 および 図 6-28 に、サンプリングレートが 44.1kHz ~ 48kHz でのデシメーションフィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-27 に、44.1kHz ~ 48kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

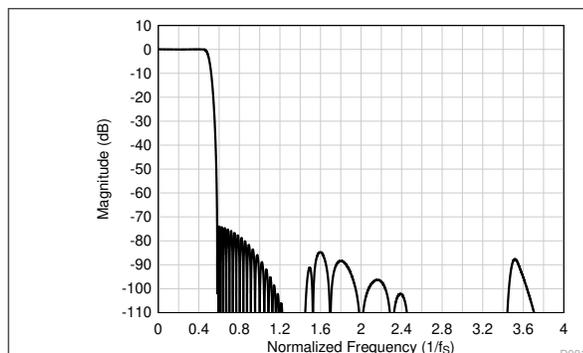


図 6-27. 線形位相デシメーションフィルタの振幅応答

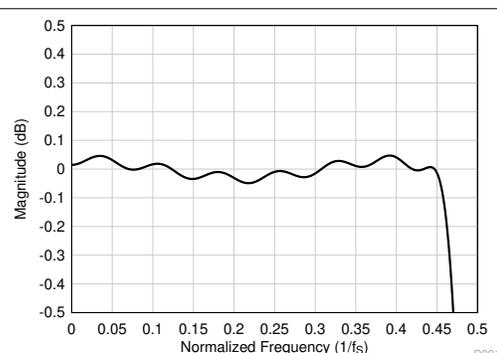


図 6-28. 線形位相デシメーションフィルタのパスバンドリップル

表 6-27. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.8			dB
	周波数範囲は $4 \times f_s$ 以降です	98.1			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		17.1		$1/f_s$

6.3.6.7.1.6 サンプリングレート : 88.2kHz ~ 96kHz

図 6-29 および 図 6-30 に、サンプリングレートが 88.2kHz ~ 96kHz でのデシメーションフィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-28 に、サンプリングレートが 88.2kHz ~ 96kHz のデシメーションフィルタの仕様を示します。

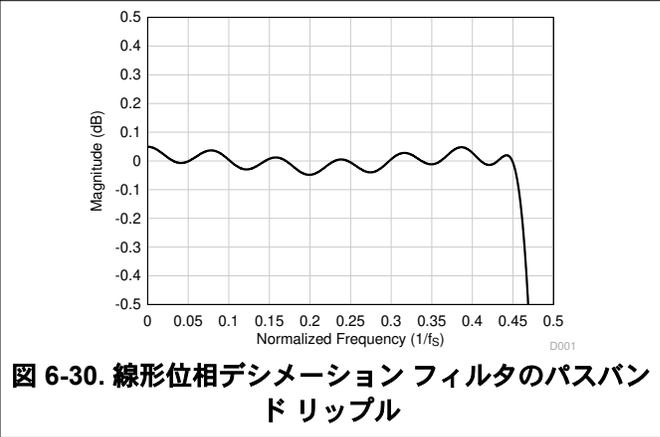
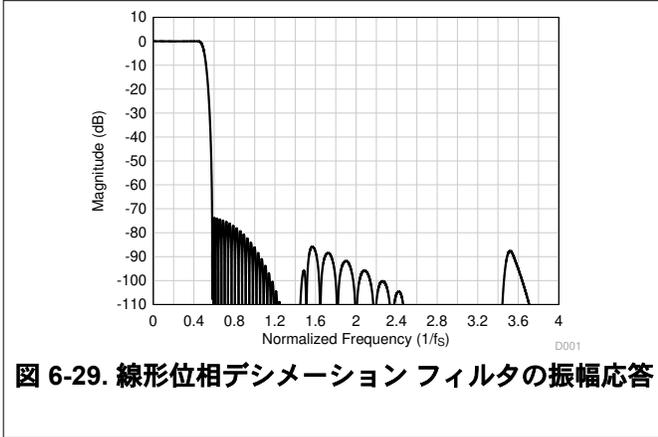


表 6-28. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.454 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	73.6			dB
	周波数範囲は $4 \times f_s$ 以降です	97.9			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.454 \times f_s$		17.1		$1/f_s$

6.3.6.7.1.7 サンプリングレート : 176.4kHz ~ 192kHz

図 6-31 および 図 6-32 に、サンプリングレートが 176.4kHz ~ 192kHz でのデシメーションフィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-29 に、176.4kHz ~ 192kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

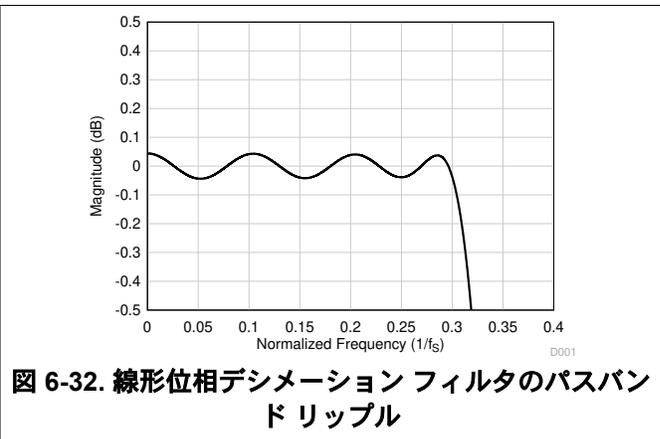
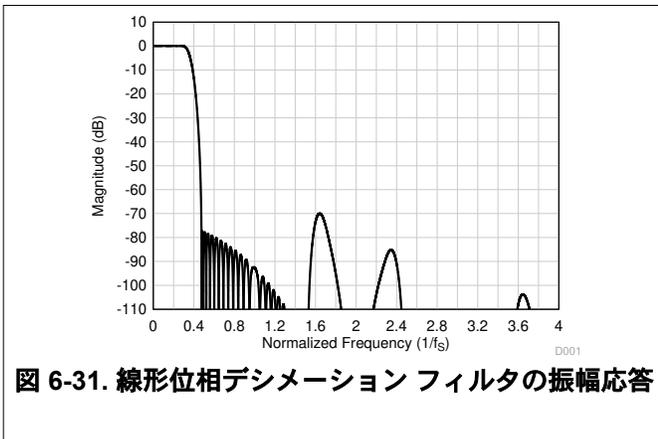


表 6-29. 線形位相デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.3 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.473 \times f_s \sim 4 \times f_s$ です	70.0			dB
	周波数範囲は $4 \times f_s$ 以降です	111.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.3 \times f_s$		11.9		$1/f_s$

6.3.6.7.1.8 サンプリングレート : 352.8kHz ~ 384kHz

図 6-33 および 図 6-34 に、サンプリング レートが 352.8kHz ~ 384kHz でのデシメーション フィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-30 に、352.8kHz ~ 384kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

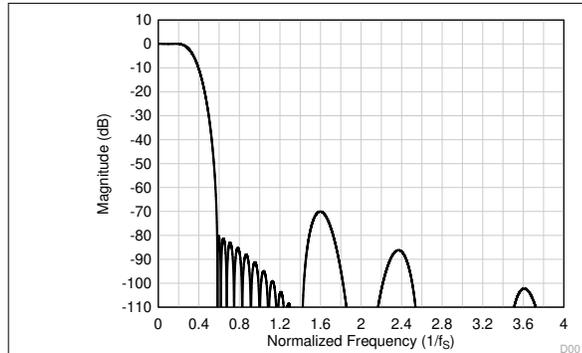


図 6-33. 線形位相デシメーション フィルタの振幅応答

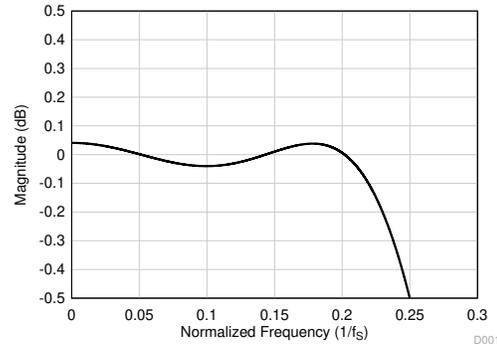


図 6-34. 線形位相デシメーション フィルタのパスバンドリップル

表 6-30. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.212 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 4 \times f_s$ です	70.0			dB
	周波数範囲は $4 \times f_s$ 以降です	108.8			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.212 \times f_s$		7.2		$1/f_s$

6.3.6.7.1.9 サンプリングレート : 705.6kHz ~ 768kHz

図 6-35 および 図 6-36 に、サンプリング レートが 705.6kHz ~ 768kHz でのデシメーション フィルタにおける振幅応答と通過帯域リップルをそれぞれ示します。表 6-31 に、705.6kHz ~ 768kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

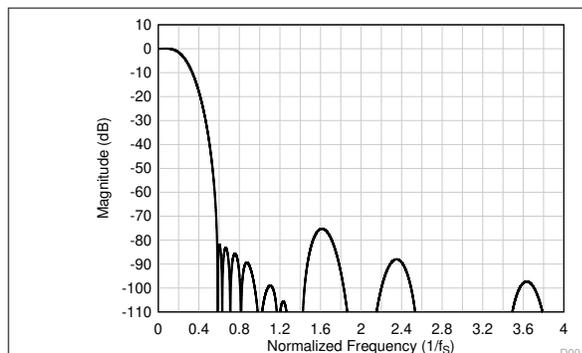


図 6-35. 線形位相デシメーション フィルタの振幅応答

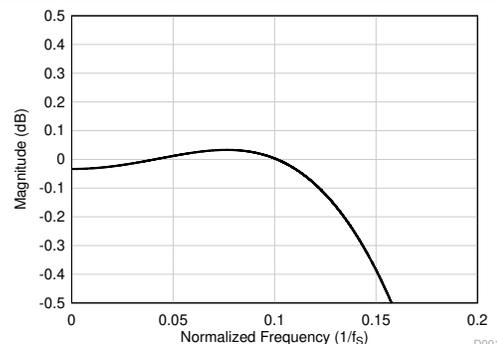


図 6-36. 線形位相デシメーション フィルタのパスバンドリップル

表 6-31. 線形位相デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.113 \times f_s$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.58 \times f_s \sim 2 \times f_s$ です	75.0			dB
	周波数範囲は $2 \times f_s$ 以降です	88.0			
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.113 \times f_s$		5.9		$1/f_s$

6.3.6.7.2 低レイテンシ フィルタ

オーディオ帯域内で最小限の位相偏差と低レイテンシが重要なアプリケーションには、TAA3020 の低レイテンシ デシメーション フィルタを使用できます。このデバイスは、 $0.365 \times f_S$ の周波数帯域内でほぼ線形な位相応答を持つ、約 7 個のサンプルのグループ遅延のフィルタをサポートしています。このセクションでは、低レイテンシ フィルタに対応するすべての出力サンプリング レートに関するフィルタ性能仕様および各種プロットを提供します。

6.3.6.7.2.1 サンプリング レート : 14.7kHz ~ 16kHz

図 6-37 に、振幅応答を示します。図 6-38 に、サンプリング レートが 14.7kHz ~ 16kHz でのデシメーション フィルタの通過帯域リップルと位相偏差を示します。表 6-32 に、14.7kHz ~ 16kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

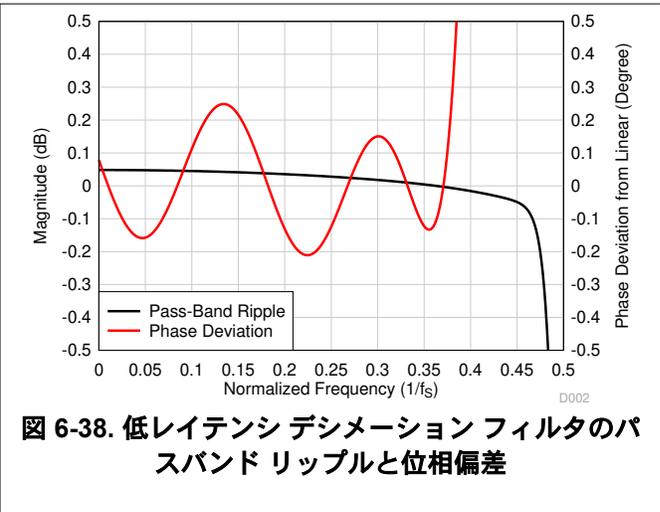
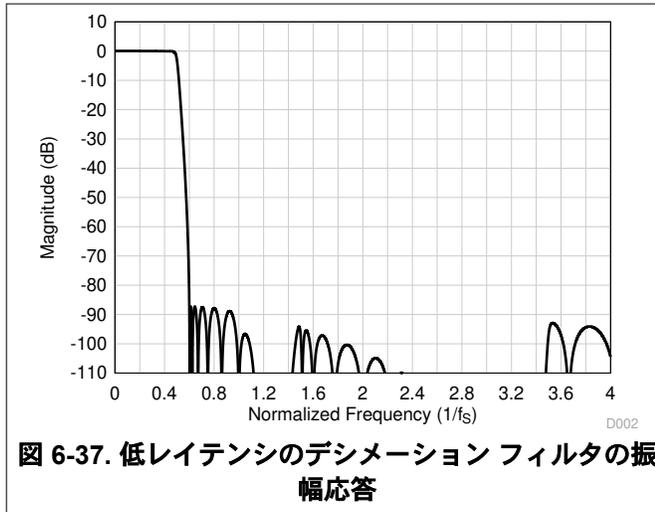


表 6-32. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.451 \times f_S$	-0.05		0.05	dB
ストップ バンド減衰	周波数範囲は $0.61 \times f_S$ 以降です	87.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.363 \times f_S$		7.6		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.363 \times f_S$	-0.022		0.022	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.363 \times f_S$	-0.21		0.25	度

6.3.6.7.2.2 サンプリングレート : 22.05kHz ~ 24kHz

図 6-39 に、振幅応答を示します。図 6-40 に、サンプリングレートが 22.05kHz ~ 24kHz でのデシメーションフィルタの通過帯域リップルと位相偏差を示します。表 6-33 に、22.05kHz ~ 24kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

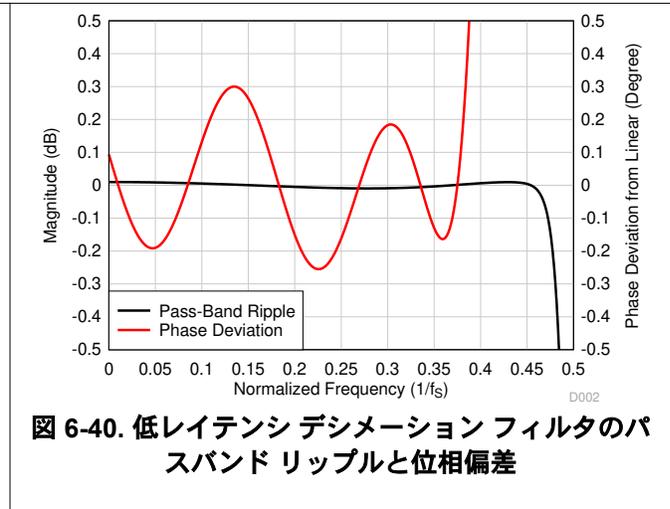
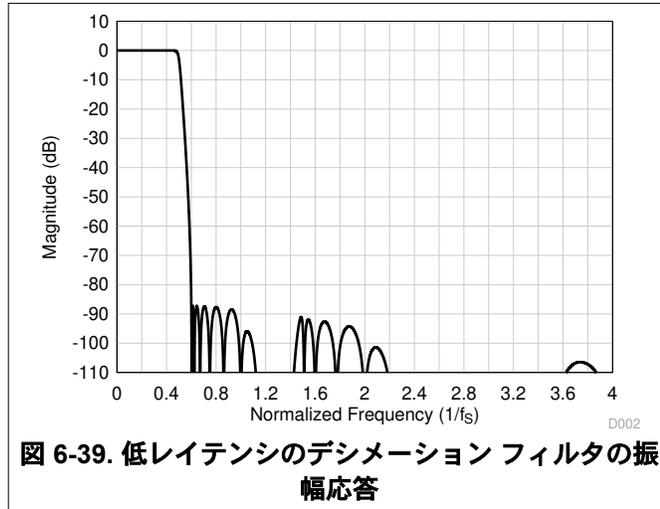


表 6-33. 低レイテンシのデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.459 \times f_s$	-0.01		0.01	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	87.2			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_s$		7.5		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.026		0.026	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.26		0.30	度

6.3.6.7.2.3 サンプリングレート : 29.4kHz ~ 32kHz

図 6-41 に、振幅応答を示します。図 6-42 に、サンプリングレートが 29.4kHz ~ 32kHz でのデシメーションフィルタの通過帯域リップルと位相偏差を示します。表 6-34 に、29.4kHz ~ 32kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

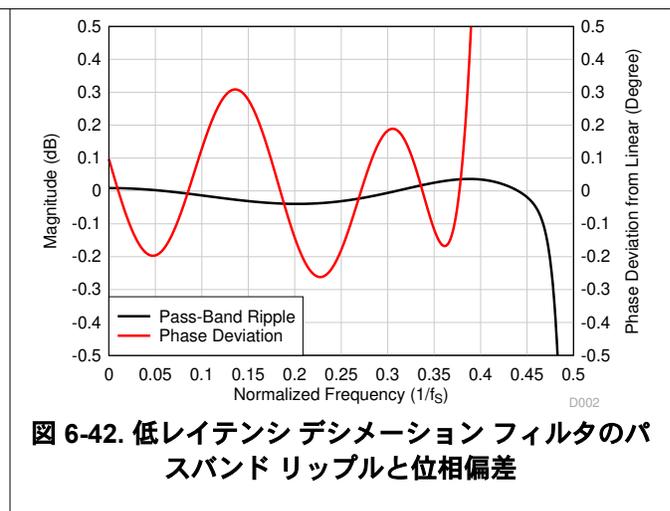
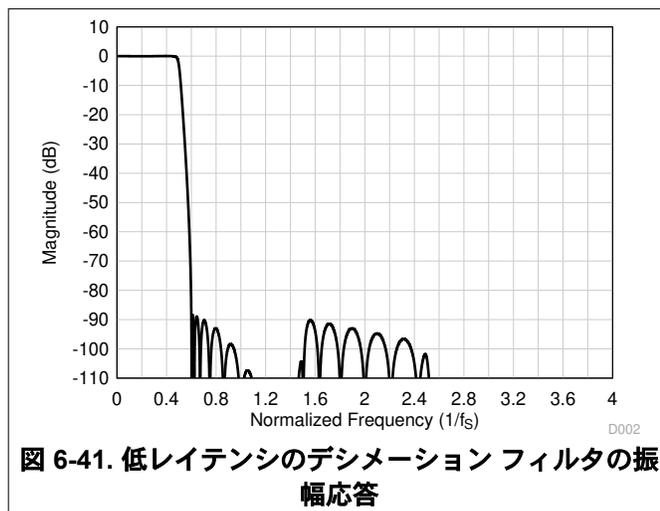


表 6-34. 低レイテンシのデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.457 \times f_S$	-0.04		0.04	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	88.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.368 \times f_S$		8.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.368 \times f_S$	-0.026		0.026	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.368 \times f_S$	-0.26		0.31	度

6.3.6.7.2.4 サンプリングレート : 44.1kHz ~ 48kHz

図 6-43 に、振幅応答を示します。図 6-44 に、サンプリングレートが 44.1kHz ~ 48kHz でのデシメーションフィルタの通過帯域リップルと位相偏差を示します。表 6-35 に、44.1kHz ~ 48kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

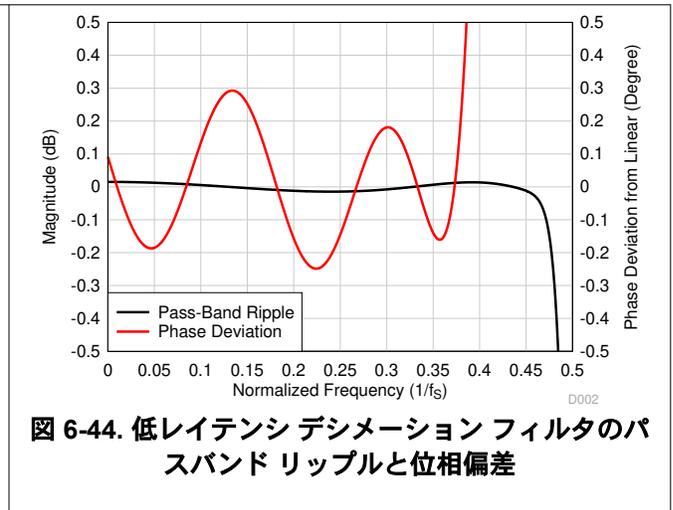
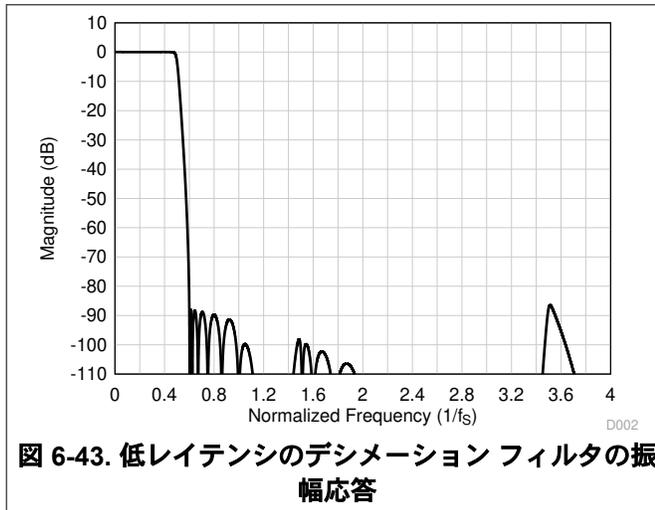


表 6-35. 低レイテンシのデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.452 \times f_S$	-0.015		0.015	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	86.4			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_S$		7.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.027		0.027	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.25		0.30	度

6.3.6.7.2.5 サンプリングレート : 88.2kHz ~ 96kHz

図 6-45 に、振幅応答を示します。図 6-46 に、サンプリング レートが 88.2kHz ~ 96kHz でのデシメーション フィルタの通過帯域リップルと位相偏差を示します。表 6-36 に、サンプリング レートが 88.2kHz ~ 96kHz のデシメーション フィルタの仕様を示します。

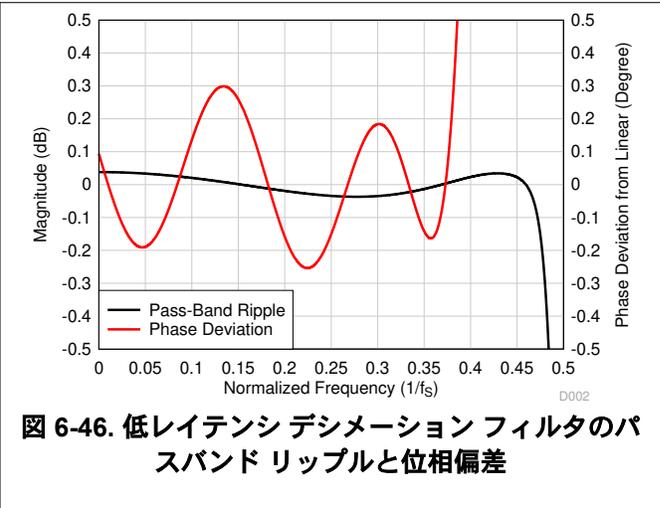
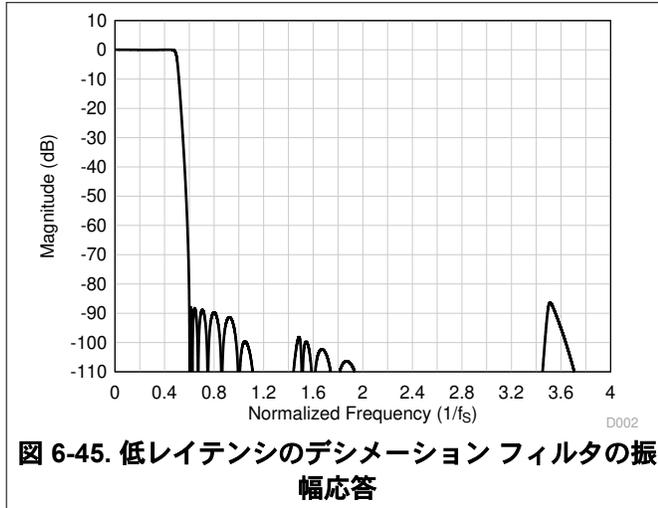


表 6-36. 低レイテンシのデシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.466 \times f_s$	-0.04		0.04	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_s$ 以降です	86.3			dB
グループ 遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_s$		7.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.027		0.027	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_s$	-0.26		0.30	度

6.3.6.7.2.6 サンプリングレート : 176.4kHz ~ 192kHz

図 6-47 に、振幅応答を示します。図 6-48 に、サンプリング レートが 176.4kHz ~ 192kHz でのデシメーション フィルタの通過帯域リップルと位相偏差を示します。表 6-37 に、176.4kHz ~ 192kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

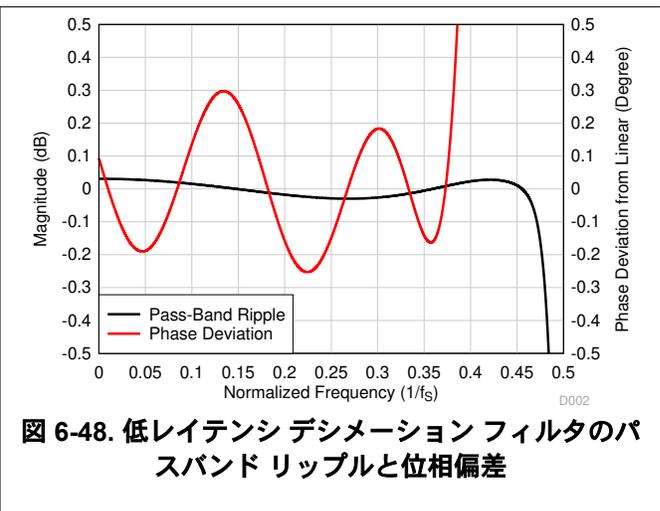
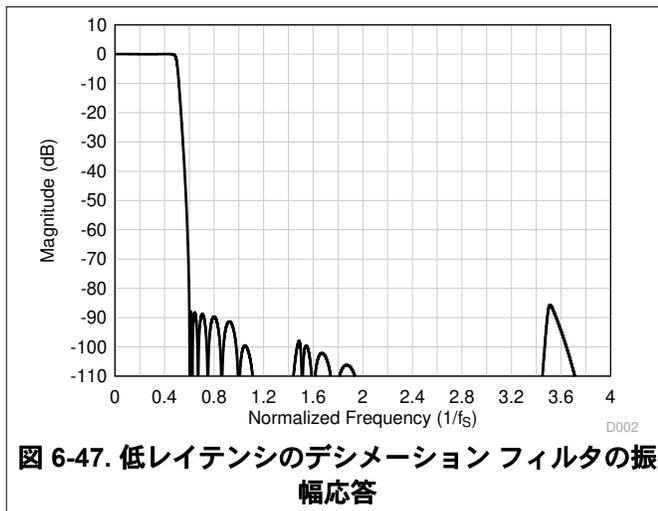


表 6-37. 低レイテンシのデシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 463 \times f_S$	-0.03		0.03	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	85.6			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.365 \times f_S$		7.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.027		0.027	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.365 \times f_S$	-0.26		0.30	度

6.3.6.7.3 超低レイテンシ フィルタ

超低レイテンシ (オーディオ帯域内) が重要なアプリケーションでは、TAA3020 の超低レイテンシ デシメーション フィルタを使用できます。このデバイスは、 $0.325 \times f_S$ の周波数帯域内ではほぼ直線的な位相応答を持つ、約 4 サンプルの群遅延でこれらのフィルタをサポートしています。このセクションでは、超低レイテンシ フィルタのサポートされているすべての出力サンプリング レートにおけるフィルタ性能仕様と各種プロットを提供します。

6.3.6.7.3.1 サンプリング レート : 14.7kHz ~ 16kHz

図 6-49 に、振幅応答を示します。図 6-50 に、サンプリング レートが 14.7kHz ~ 16kHz でのデシメーション フィルタの通過帯域リップルと位相偏差を示します。表 6-38 に、14.7kHz ~ 16kHz のサンプリング レートを使用したデシメーションフィルタの仕様を示します。

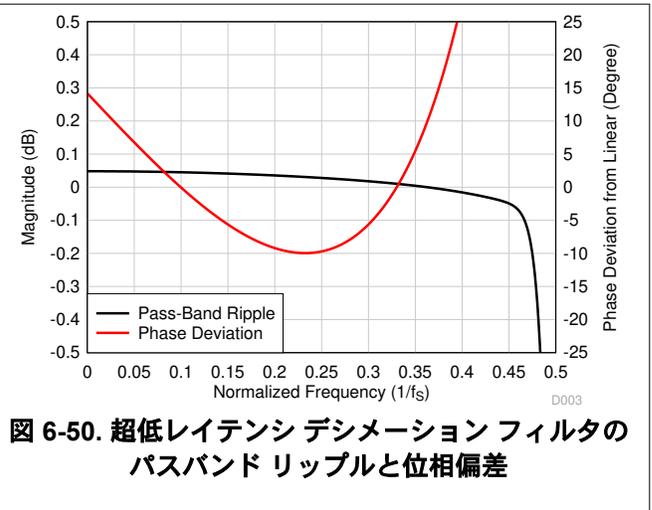
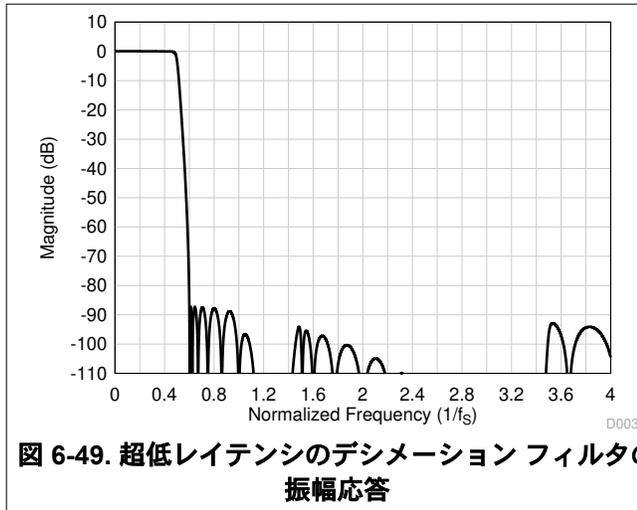


表 6-38. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.45 \times f_S$	-0.05		0.05	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	87.2			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		4.3		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.512		0.512	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-10.0		14.2	度

6.3.6.7.3.2 サンプリングレート : 22.05kHz ~ 24kHz

図 6-51 に、振幅応答を示します。図 6-52 に、サンプリングレートが 22.05kHz ~ 24kHz でのデシメーションフィルタの通過帯域リップルと位相偏差を示します。表 6-39 に、22.05kHz ~ 24kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

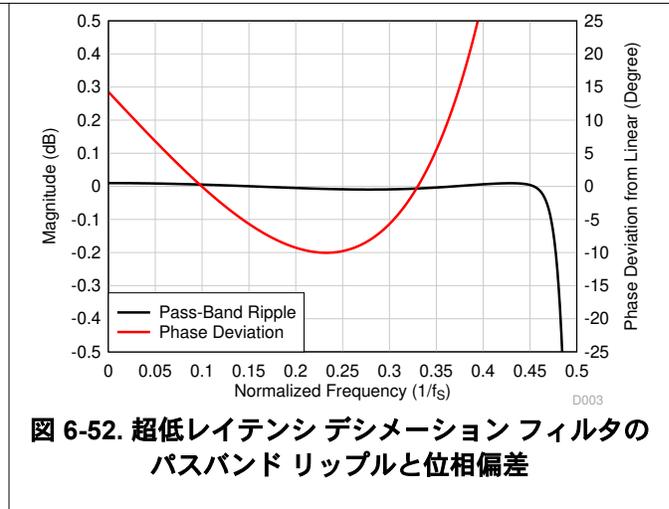
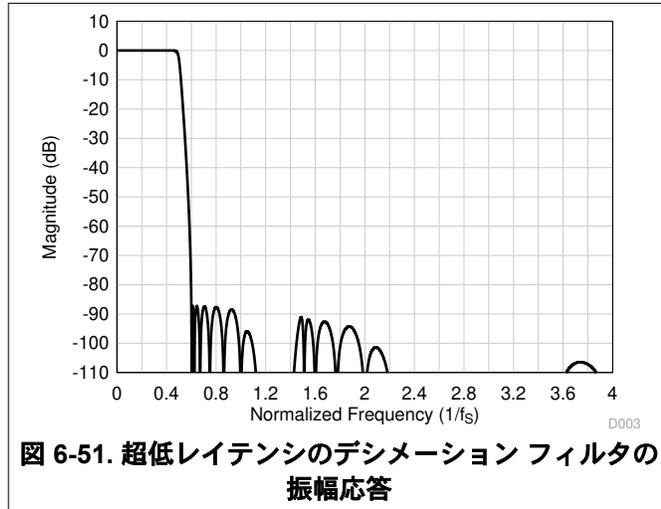


表 6-39. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.46 \times f_s$	-0.01		0.01	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_s$ 以降です	87.1			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_s$		4.1		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-0.514		0.514	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_s$	-10.0		14.3	度

6.3.6.7.3.3 サンプリングレート : 29.4kHz ~ 32kHz

図 6-53 に、振幅応答を示します。図 6-54 に、サンプリングレートが 29.4kHz ~ 32kHz でのデシメーションフィルタの通過帯域リップルと位相偏差を示します。表 6-40 に、29.4kHz ~ 32kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

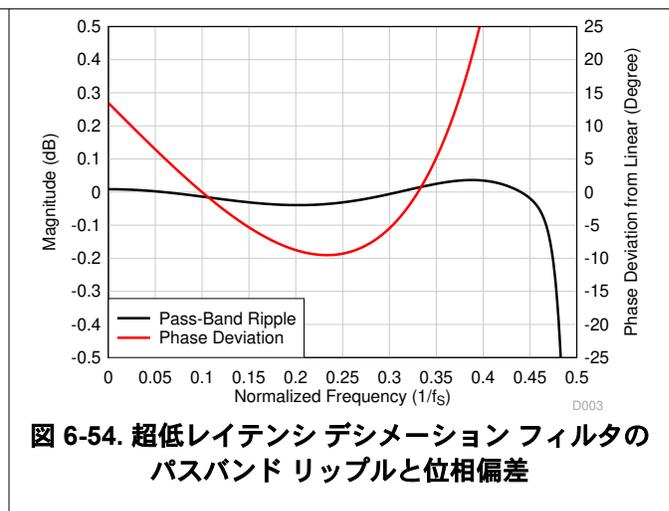
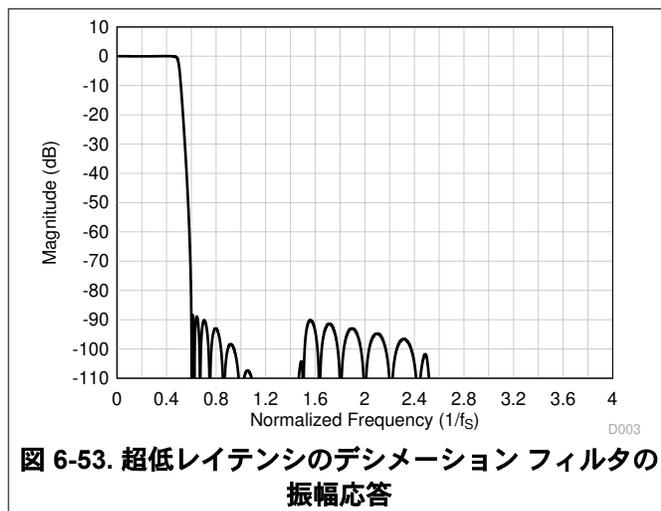


表 6-40. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.457 \times f_S$	-0.04		0.04	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	88.3			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		5.2		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.492		0.492	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-9.5		13.5	度

6.3.6.7.3.4 サンプリングレート : 44.1kHz ~ 48kHz

図 6-55 に、振幅応答を示します。図 6-56 に、サンプリングレートが 44.1kHz ~ 48kHz でのデシメーション フィルタの通過帯域リップルと位相偏差を示します。表 6-41 に、44.1kHz ~ 48kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

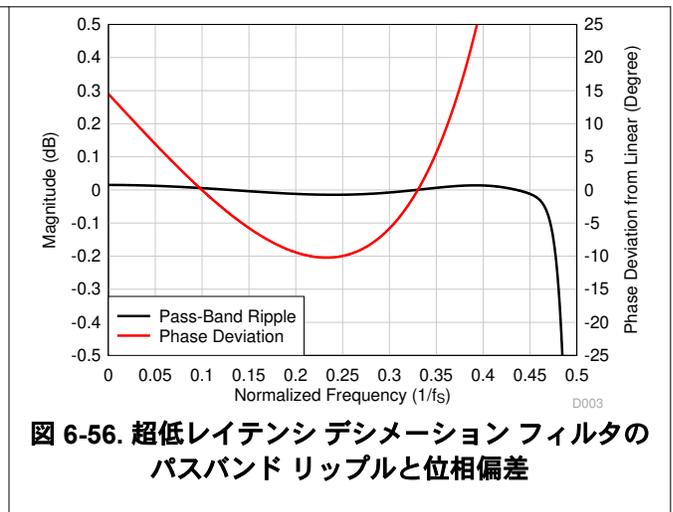
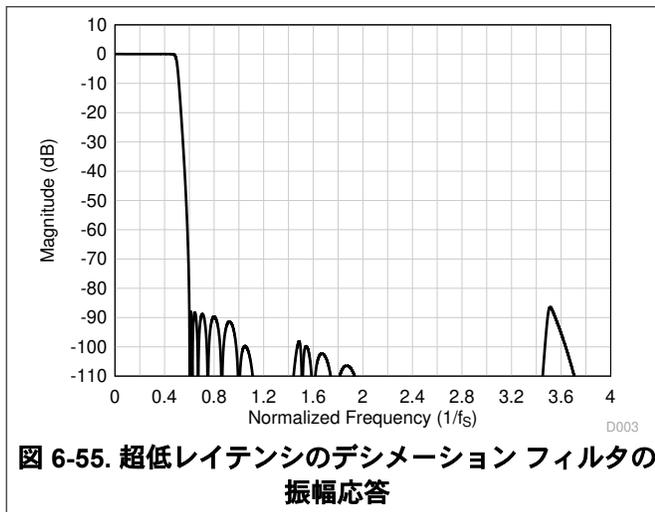


表 6-41. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンドリップル	周波数範囲は $0 \sim 0.452 \times f_S$	-0.015		0.015	dB
ストップ バンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	86.4			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.325 \times f_S$		4.1		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-0.525		0.525	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.325 \times f_S$	-10.3		14.5	度

6.3.6.7.3.5 サンプリングレート : 88.2kHz ~ 96kHz

図 6-57 に、振幅応答を示します。図 6-58 に、サンプリング レートが 88.2kHz ~ 96kHz でのデシメーション フィルタの通過帯域リップルと位相偏差を示します。表 6-42 に、サンプリング レートが 88.2kHz ~ 96kHz のデシメーション フィルタの仕様を示します。

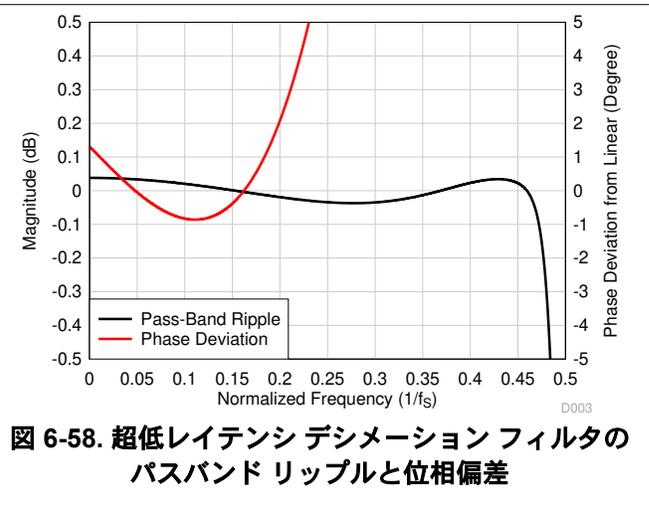
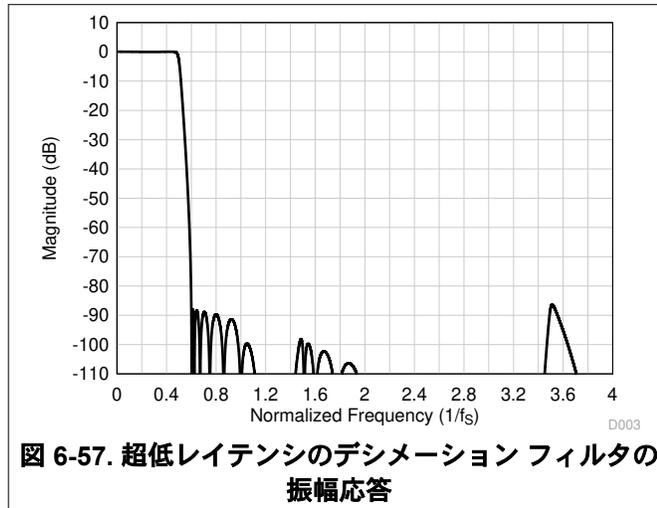


表 6-42. 超低レイテンシ デシメーション フィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パス バンド リップル	周波数範囲は $0 \sim 0.466 \times f_s$	-0.04		0.04	dB
ストップ バンド 減衰	周波数範囲は $0.6 \times f_s$ 以降です	86.3			dB
グループ 遅延またはレイテンシ	周波数範囲は $0 \sim 0.1625 \times f_s$		3.7		$1/f_s$
群遅延の偏差	周波数範囲は $0 \sim 0.1625 \times f_s$	-0.091		0.091	$1/f_s$
位相偏差	周波数範囲は $0 \sim 0.1625 \times f_s$	-0.86		1.30	度

6.3.6.7.3.6 サンプリングレート : 176.4kHz ~ 192kHz

図 6-59 に、振幅応答を示します。図 6-60 に、サンプリング レートが 176.4kHz ~ 192kHz でのデシメーション フィルタの通過帯域リップルと位相偏差を示します。表 6-43 に、176.4kHz ~ 192kHz のサンプリング レートを使用したデシメーション フィルタの仕様を示します。

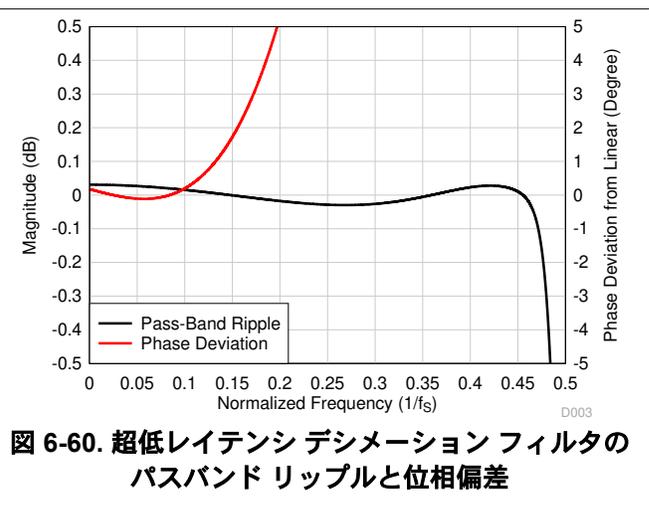
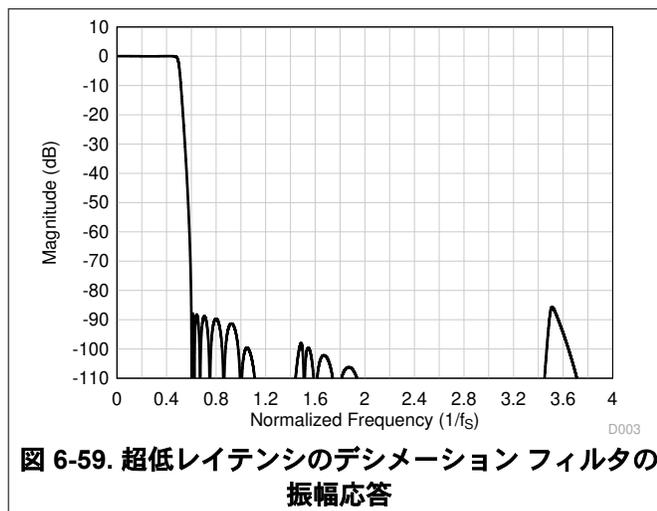


表 6-43. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.463 \times f_S$	-0.03		0.03	dB
ストップバンド減衰	周波数範囲は $0.6 \times f_S$ 以降です	85.6			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.085 \times f_S$		3.7		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.085 \times f_S$	-0.024		0.024	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.085 \times f_S$	-0.12		0.18	度

6.3.6.7.3.7 サンプリングレート : 352.8kHz ~ 384kHz

図 6-61 に、振幅応答を示します。図 6-62 に、サンプリングレートが 352.8kHz ~ 384kHz でのデシメーションフィルタの通過帯域リップルと位相偏差を示します。表 6-44 に、352.8kHz ~ 384kHz のサンプリングレートを使用したデシメーションフィルタの仕様を示します。

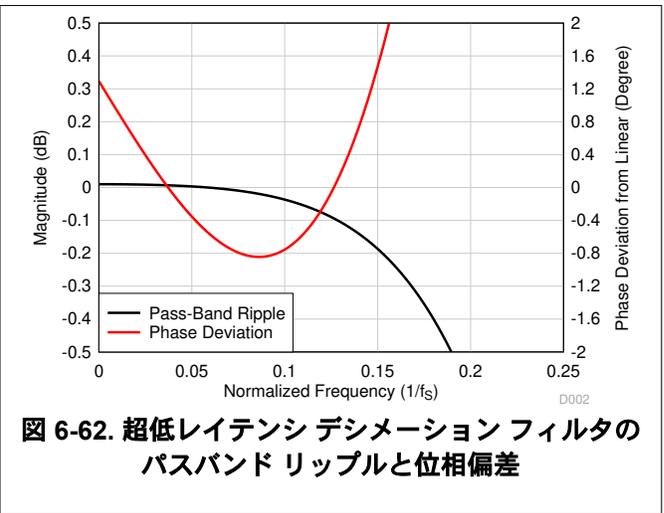
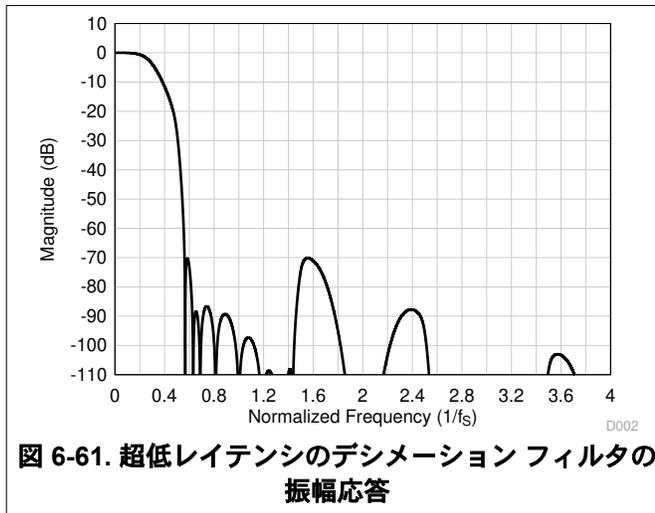


表 6-44. 超低レイテンシ デシメーションフィルタの仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
パスバンドリップル	周波数範囲は $0 \sim 0.1 \times f_S$	-0.04		0.01	dB
ストップバンド減衰	周波数範囲は $0.56 \times f_S$ 以降です	70.1			dB
グループ遅延またはレイテンシ	周波数範囲は $0 \sim 0.157 \times f_S$		4.1		$1/f_S$
群遅延の偏差	周波数範囲は $0 \sim 0.157 \times f_S$	-0.18		0.18	$1/f_S$
位相偏差	周波数範囲は $0 \sim 0.157 \times f_S$	-0.85		2.07	度

6.3.7 自動ゲインコントローラ (AGC)

デバイスには、ADC 記録用の自動ゲインコントローラ (AGC) が内蔵されています。図 6-63 に示すように、AGC を使用して音声録音時に出力レベルを公称値に一定に維持できます。AGC モードでは、チャンネルゲインを手動で設定する代わりに、マイクに向かって話している人がマイクに近づいたり遠ざかったりするなど、入力信号が大きすぎたり、極端に弱くなったりしたときに、回路がチャンネルゲインを自動的に調整します。AGC アルゴリズムには、ターゲットレベル、許容される最大ゲイン、アタックおよびリリース(または減衰)時間定数、ノイズスレッショルドなど、いくつかのプログラミング可能なパラメータがあり、特定の用途に合わせてアルゴリズムを微調整できます。

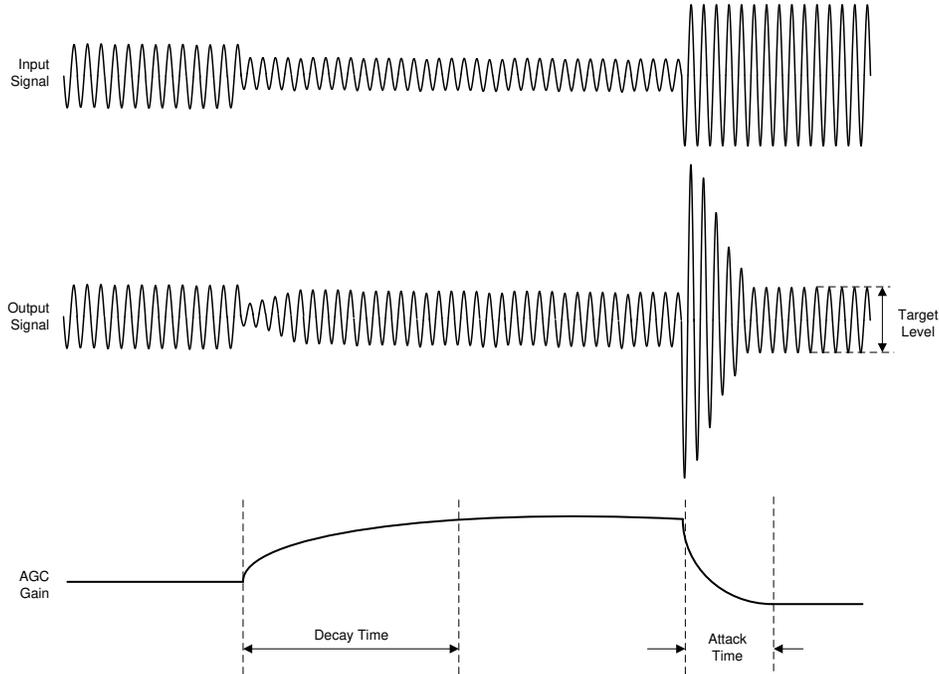


図 6-63. AGC の特性

目標レベル (AGC_LVL) は、AGC が ADC 出力信号レベルの保持を試みるときのおおよその出力レベルを表します。TAA3020 では、フルスケール信号を基準に -6dB ~ -36dB の範囲でさまざまな目標レベルをプログラムできます。AGC_LVL のデフォルト値は -34dB に設定されています。ターゲットレベルは、大きな音が発生したときにクリッピングを防ぐために十分なマージンを設定することをお勧めします。表 6-45 に、AGC のターゲットレベル構成の設定値を示します。

表 6-45. AGC 目標レベルのプログラマブル設定

P0_R112_D[7:4]:AGC_LVL[3:0]	出力 AGC 目標レベル
0000	AGC 目標レベルは、 -6dB の出力信号レベルです
0001	AGC 目標レベルは、 -8dB の出力信号レベルです
0010	AGC 目標レベルは、 -10dB の出力信号レベルです
...	...
1110 (デフォルト)	AGC 目標レベルは、 -34dB の出力信号レベルです
1111	AGC 目標レベルは、 -36dB の出力信号レベルです

許容される最大ゲイン (AGC_MAXGAIN) により、AGC によって印加される最大ゲインを制限する柔軟性が得られます。この機能により、環境ノイズがプログラムされたノイズ スレッショルドよりも高い状態でチャンネル ゲインが制限されます。AGC_MAXGAIN は 3dB 刻みで 3dB ~ 42dB にプログラム可能で、デフォルト値は 24dB に設定されています。表 6-46 に、AGC_MAXGAIN 構成の設定を示します。

表 6-46. AGC 最大ゲイン プログラム可能設定

P0_R112_D[3:0]:AGC_MAXGAIN[3:0]	AGC 最大許容ゲイン
0000	AGC 最大許容ゲインは 3dB です
0001	AGC 最大許容ゲインは 6dB です
0010	AGC 最大許容ゲインは 9dB です
...	...
0111 (デフォルト)	AGC 最大許容ゲインは 24dB です
...	...
1110	AGC 最大許容ゲインは 39dB です
1111	AGC 最大許容ゲインは 42dB です

AGC 各種構成可能パラメータおよびアプリケーションの使用の詳細については、『TLV320ADCx120 ファミリーでの自動ゲインコントローラ (AGC) の使用』アプリケーションレポートを参照してください。

6.3.8 音声アクティビティ検出 (VAD)

TAA3020 は、音声アクティビティ検出 (VAD) モードをサポートしています。このモードでは、TAA3020 は入力チャンネルの 1 つを継続的に監視して音声検出を行います。このモードでは、デバイスは AVDD 電源からの低静止電流を消費します。この機能は、VAD_EN (P0_R117_D0) を 1'b1 に設定することで有効化できます。音声アクティビティを検出すると、TAA3020 は I²C プログラムされた設定に基づいて、ホストに割り込みまたは自動ウェイクアップで通知し、録音を開始します。このアラートは、VAD_MODE (P1_R30_D[7:6]) レジスタビットを通じて設定できます。

この機能は、アナログとデジタルの両方のマイクロフォン インターフェイスでサポートされています。最小消費電力の VAD を実現するには、デジタル マイクインターフェイスを推奨します。VAD の入力チャンネルは、VAD_CH_SEL (P1_R30_D[5:4]) レジスタビットを適切な値に設定することで選択できます。詳細については、『TLV320ADC5120 および TLV320ADC6120 での音声アクティビティ検出 (VAD) の使用』アプリケーションレポートを参照してください。

6.3.9 デジタル PDM マイクロフォン録音チャンネル

アナログ マイクのサポートに加えて、デバイスは、デジタル パルス密度変調 (PDM) マイクへのインターフェイスをもサポートし、高次および高性能のデシメーションフィルタを使用して、ホストへのオーディオ シリアル インターフェイスで伝送可能なパルス符号変調 (PCM) 出力データを生成します。デバイスは最大 4 つのデジタル マイク録音チャンネルをサポートします。セカンド チャンネル アナログ マイクをシステムで使用しない場合、アナログ入力ピン (IN2P および IN2M) をそれぞれ GPIO1 および GPO1 ピンとして転用し、デジタル PDM マイク録音用の PDMDIN1 および PDMCLK クロックに構成できます。GPIO1 または GPIO2 (MICBIAS と多重化) を PDMDIN2 として使用して、4 チャンネルの PDM マイク録音を可能にします。2 チャンネルのアナログ入力録音が必要な場合、MICBIAS (GPIO2 として構成) および GPIO1 をそれぞれ PDMDIN および PDMCLK として使用して、2 チャンネルの AIN 録音とともに 2 チャンネルの DMIC 録音を可能にします。このデバイスは、入力 (アナログおよびデジタル) で合計 4 つのチャンネルをサポートできます。

このデバイスは、内部で PDMCLK を生成します。周波数は、6.144MHz、3.072MHz、1.536MHz、または 768kHz (出力データ サンプル レートが 48kHz の倍数または約数の場合) または 5.6448MHz、2.8224MHz、1.4112MHz、または 705.6kHz (出力データのサンプル レートが 44.1kHz の倍数またはその倍数でない場合) を使用するには、PDMCLK_DIV[1:0] (P0_R31_D[1:0]) レジスタビットを使用します。PDMCLK は GPO1 および GPIO1 ピンで配線できます。このクロックは、外部デジタル マイクロフォン デバイスに接続できます。図 6-64 は、デジタル PDM マイクの接続図を示します。

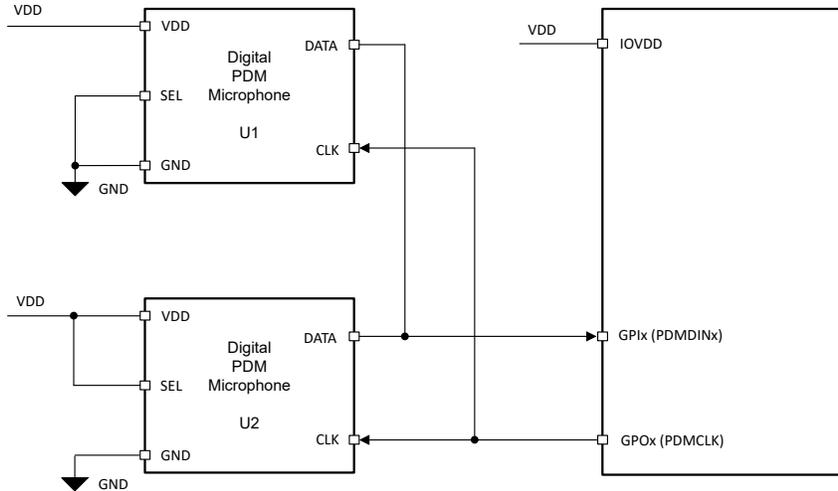


図 6-64. TAA3020 のデジタル PDM マイクの接続図

外部デジタル マイク機器のシングルビット出力を GPIx ピンに接続できます。この単一のデータラインは、2 つのデジタル マイクで共有することができ、PDMCLK の反対側のエッジにデータを配置します。デバイス内部では、P0_R32_D[7:4] に設定された構成レジスタ ビットに基づいて、PDMCLK の立ち上がりエッジまたは立ち下がりエッジのいずれかで、データの安定した値がラッチされます。図 6-65 に、デジタル PDM マイクロフォン インターフェイスのタイミング図を示します。

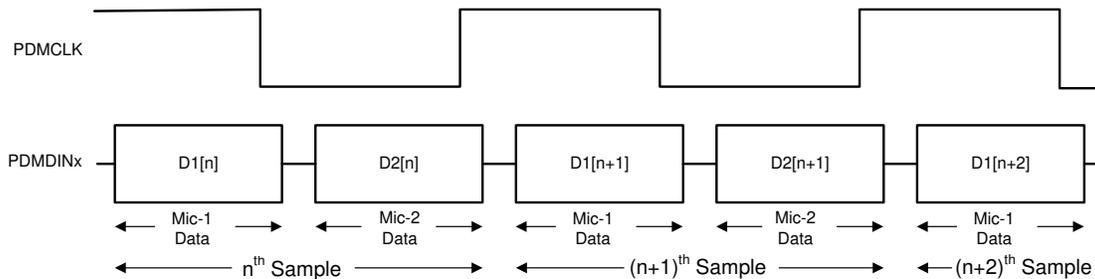


図 6-65. デジタル PDM マイクロフォン プロトコルのタイミング図

デジタル マイクを使用して録音を行うと、各 ADC チャンネルのアナログ ブロックはパワー ダウンしてバイパスされ、電力効率が向上します。チャンネル 1 からチャンネル 2 のアナログ マイクまたはデジタル マイクを選択するには、CH1_INSRC[1:0] (P0_R60_D[6:5]) および CH2_INSRC[1:0] (P0_R65_D[6:5]) レジスタ ビットを使用します。チャンネル 3 とチャンネル 4 は、デジタル マイクロフォン インターフェイスのみをサポートします。

6.3.10 割り込み、ステータス、およびデジタル I/O ピンの多重化

デバイス内の特定のイベントはホスト プロセッサの介入を必要とし、ホスト プロセッサへの割り込みをトリガするために使用できます。そのようなイベントの 1 つに、オーディオ シリアル インターフェイス (ASI) バス エラーがあります。ASI バス エラー クロックに何らかのエラーが検出された場合、デバイスは記録チャンネルをパワーオフにします。

- 無効な FSYNC 周波数
- 無効な SBCLK 対 FSYNC 比
- SBCLK または FSYNC クロックの長い一時停止

ASI バス クロック エラーが検出されると、デバイスは録画チャンネルをできるだけ早くシャットダウンします。ASI バス クロック エラーがすべて解決されると、デバイスの音量が元の状態に戻り、録画チャンネルが回復します。ASI バス クロック エラーが発生している間、クロック エラー割り込みマスクレジスタ ビット INT_MASK0[7] (P0_R51_D7) が Low に設定されている場合、内部割り込み要求 (IRQ) 割り込み信号は Low をアサートします。クロック エラーは、ラッチされたフォルト ステータス

タスレジスタビット INT_LTCH0 (P0_R54)でも読み出しが可能です。これは読み出し専用のレジスタです。ラッチされたフォルトステータスレジスタ INT_LTCH0を読み出すと、ラッチされたフォルトステータスがすべてクリアされます。このデバイスは、内部 IRQ 割り込み信号を GPIO1 または GPOx ピンにルーティングするように追加設定できます。また、これらのピンを他のデバイスのオープンドレイン割り込み出力に配線を削減できるように、オープンドレイン出力として設定することもできます。

IRQ 割り込み信号は、INT_POL (P0_R50_D7) レジスタビットを設定することで、アクティブ Low またはアクティブ High のどちらかに構成できます。この信号は、INT_EVENT[1:0] (P0_R50_D[6:5]) レジスタビットをプログラムすることで、単一パルスまたは一連のパルスとして設定することもできます。割り込みがパルスの一連のシーケンスとして構成されている場合、イベントがパルスの開始をトリガーし、ラッチされたフォルトステータスレジスタが読み取られて割り込みの原因が特定されるとパルスが停止します。

また、このデバイスは、チャンネルがパワーアップまたはパワーダウンの状態であるか、デバイスがスリープモードであるか否かを判断するための読み取り専用のライブステータスレジスタもサポートしています。これらのステータスレジスタは、DEV_STS0 (P0_R118) および DEV_STS1 (P0_R119) レジスタビットにあります。

このデバイスには多機能の GPIO1 ピンがあり、目的の特定の機能に合わせて構成できます。また、チャンネルがアナログ入力の記録に使用されない場合、CHx_CFG0 レジスタの CHx_INSRC[1:0] レジスタビットを構成することで、そのチャンネルのアナログ入力ピン (INxP および INxM) を多機能ピン (GPIx および GPOx) として転用できます。デバイスでサポートされる GPO ピンの最大数は 4 つで、GPI ピンの最大数は 4 つです。表 6-47 に、これらのマルチファンクションピンの、さまざまな機能に対するすべての可能な割り当てをリストアップします。

表 6-47. マルチファンクションピン構成

行	ピン機能 ⁽³⁾	GPIO1	GPO1	GPI1	GPI2
—	—	GPIO1_CFG	GPO1_CFG	GPI1_CFG	GPI2_CFG
—	—	P0_R33[7:4]	P0_R34[7:4]	P0_R43[6:4]	P0_R43[2:0]
A	ピンがディスエーブル時	S ⁽¹⁾	S (デフォルト)	S (デフォルト)	S (デフォルト)
B	汎用出力 (GPO)	S	S	NS ⁽²⁾	NS
C	割り込み出力 (IRQ)	S (デフォルト)	S	NS	NS
D	すべての ADC チャンネルのパワーダウン	S	NS	S	S
E	PDM クロック出力 (PDMCLK)	S	S	NS	NS
F	MICBIAS オン / オフ入力 (BIASEN)	S	NS	NS	NS
G	汎用入力 (GPI)	S	NS	S	S
H	マスタークロック (MCLK)	S	NS	S	S
I	ASI デイジーチェーン入力 (SDIN)	S	NS	S	S
J	PDM データ入力 1 (PDMDIN1)	S	NS	S	S
K	PDM データ入力 2 (PDMDIN2)	S	NS	S	S

- (1) S は、この列に記載されている GPIO1、GPOx、または GPIx ピンで、この行に記載されている機能がサポートされていることを意味します。
- (2) NS は、この列に記載されている GPIOx、GPO1、または GPI1 ピンで、この行に記載されている機能がサポートされていないことを意味します。
- (3) GPIO1 ピンのみが IOVDD 電源を基準としています。他の GPOx および GPIx ピンは AVDD 電源を基準としており、それらの主なピン機能は PDMCLK または PDMDIN 機能用です。

GPOx または GPIOx ピンは、GPOx_DRV[3:0] または GPIO1_DRV[3:0] レジスタビットを使用して、それぞれ独立して希望するドライブ構成設定に設定することができます。表 6-48 に、ドライブ構成の設定を示します。

表 6-48. GPIO または GPOx ピンドライブ構成の設定

P0_R33_D[3:0]: GPIO1_DRV[3:0]	GPIO1 の GPIO 出力ドライブ構成設定
000	GPIO1 ピンが高インピーダンス(フローティング)に設定
001	GPIO1 ピンは、アクティブ Low またはアクティブ High で駆動
010 (デフォルト)	GPIO1 ピンはアクティブ Low または弱 High (オンチッププルアップ) で駆動
011	GPIO1 ピンはアクティブ Low またはハイインピーダンスで駆動(フローティング)。
100	GPIO1 ピンは、弱 Low (オンチッププルダウン) またはアクティブ High で駆動
101	GPIO1 ピンは、ハイインピーダンス(フローティング)またはアクティブ High で駆動

表 6-48. GPIO または GPOx ピンドライブ構成の設定 (続き)

P0_R33_D[3:0]:GPIO1_DRV[3:0]	GPIO1 の GPIO 出力ドライブ構成設定
110 および 111	予約済み(これらの設定は使用しないでください)

同様に、GPIO1 ピンは GPIO1_DRV (P0_R34) レジスタ ビットを使用して構成できます。

汎用出力 (GPO) として構成されている場合、GPIO_VAL または GPOx_VAL (P0_R41) レジスタに書き込むことによって、GPIO1 または GPOx ピンの値を駆動できます。GPIO_MON (P0_R42) レジスタは、汎用入力 (GPI) として構成されている場合、GPIO1 ピンのステータスを読み出すために使用できます。同様に、GPI_MON (P0_R47) レジスタは、汎用入力 (GPI) として構成されている場合に GPIx ピンのステータスを読み戻すために使用できます。

6.4 デバイスの機能モード

6.4.1 スリープモードまたはソフトウェア シャットダウン

スリープモードまたはソフトウェア シャットダウンモードでは、デバイスは AVDD 電源から非常に低い静止電流を消費し、同時に I²C 通信によりデバイスをアクティブ動作に起動することができます。

ホスト デバイスが SLEEP_ENZ (P0_R2_D0) ビットを 1'b0 に設定すると、デバイスはスリープモードに入ります。デバイスがアクティブモードのときに SLEEP_ENZ ビットが Low にアサートされると、デバイスは録音データのボリュームを下げて、アナログおよびデジタル ブロックの電源をオフにして、スリープモードに移行します。しかし、デバイスは依然として、デバイス構成レジスタとプログラマブル係数の最後のプログラムされた値を保持し続けています。

スリープモードでは、アクティブモードに移行するためにスリープモードを終了することを除き、I²C トランザクションを実行しません。スリープモードに移行した後は、10ms 以上待機してから I²C トランザクションを開始してスリープモードを終了します。

スリープモードから復帰するときは、ホスト デバイスは、外部 1.8V AREG 電源 (デフォルト設定) またはオンチップレギュレータで生成される AREG 電源のどちらかを使用するように TAA3020 を構成する必要があります。AREG 電源を構成するには、同じ P0_R2 レジスタの AREG_SELECT、ビット D7 に書き込みます。

6.4.2 アクティブモード

ホスト デバイスが SLEEP_ENZ ビットを 1'b1 に設定してスリープモードを終了すると、デバイスはアクティブモードに入ります。アクティブモードでは、I²C トランザクションを実行して、デバイスを構成しアクティブ動作にパワーアップできます。アクティブモードに移行した後、デバイスが内部ウェークアップシーケンスを完了できるように、I²C トランザクションを開始する前に少なくとも 1ms 待つ必要があります。

ページ 2、ページ 3、ページ 4 のプログラマブル係数レジスタ、およびページ 0 のチャンネル構成レジスタ (CHx_CFG[1:4])、および AGC_CFG0 に対する読み取りおよび書き込み動作は、スリープモードを終了してから 10ms 後に行われる必要があります。

ターゲットアプリケーションとシステム設定の他すべてのレジスタを構成した後、入力チャンネル イネーブル レジスタ IN_CH_EN (P0_R115) と出力チャンネル イネーブル レジスタ ASI_OUT_CH_EN (P0_R116) をそれぞれ構成します。最後に、デバイスのパワーアップ レジスタ PWR_CFG (P0_R117) を構成します。各チャンネルに電源を投入する前に、プログラマブル係数の値をすべて書き込む必要があります。

アクティブモードでは、DEV_STS0 (P0_R117) および DEV_STS1 (P0_R118) レジスタに位置する読み取り専用デバイスステータスビットを読み取ることで、さまざまなブロックの電源投入および電源切断の状態が監視されます。

6.4.3 ソフトウェアリセット

ソフトウェアリセットは、SW_RESET (P0_R1_D0) レジスタ ビットをアサートすることでいつでも実行でき、これは自己クリアビットです。このソフトウェアリセットは、デバイスを即座にシャットダウンし、すべてのデバイス構成レジスタとプログラム可能な係数をデフォルト値に戻します。

6.5 プログラミング

このデバイスには、特定のシステムや用途に合わせて希望する値に設定できる構成レジスタとプログラマブル係数が含まれています。これらのレジスタは **デバイス制御レジスタ** と呼ばれ、ページ方式でマップされて幅が **8 ビット** です。

各ページには **128** の構成レジスタがあります。すべてのデバイス構成レジスタはページ **0** に保存されます。これは、電源投入時およびソフトウェアリセット後のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ **2**、ページ **3**、ページ **4** にあります。デバイスの現在のページは、各ページのレジスタ **0** に位置する **PAGE[7:0]** ビットを使用して、新しい希望のページに切り替えることができます。

6.5.1 制御シリアル インターフェイス

デバイス制御レジスタには、デバイスへの **I²C** 通信を使用してアクセスできます。このデバイスは固定 **I²C** アドレスで動作し、このアドレスを使用して構成できます。

6.5.1.1 I²C 制御インターフェイス

このデバイスは、ターゲット デバイスとして **I²C** 制御プロトコルをサポートし、標準モード、高速モード、高速モードプラスで動作可能です。**I²C** 制御プロトコルには、**7 ビット** のターゲット アドレスが必要です。**7 ビット** のターゲット アドレスは **1001110** に固定されており、変更することはできません。**I2C_BRDCAST_EN (P0_R2_D2)** ビットが **1'b1** に設定されている場合、システム内の複数のデバイス (**TLV320ADCx140**、**PCMD3140**、**PCMD3180** デバイスなど) への同時 **I²C** ブロードキャスト通信を可能にするために、**I²C** ターゲット アドレスは **1001100** に固定されます。表 **6-49** に、この構成によって発生する可能性があるデバイス アドレスを示します。

表 6-49. I²C ターゲット アドレスの設定

I2C_BRDCAST_EN (P0_R2_D2)	I ² C ターゲット アドレス
0 (デフォルト)	1001 110
1	1001 100

6.5.1.1.1 一般的な I²C の動作

I²C バスは、**SDA** (データ) と **SCL** (クロック) の 2 つの信号を使用して、シリアル データ伝送によってシステム内の集積回路間で通信を行います。アドレスおよびデータの **8 ビット** バイトは、**MSB** (最上位ビット) から先に転送されます。さらに、バス上で転送される各バイトは、受信デバイスによってアクノリッジ ビットで確認されます。各転送操作は、コントローラ デバイスがバス上にスタート コンディションを発生させることで開始し、ストップ コンディションを発生させることで終了します。バスは、クロックがロジック ハイの状態データピン (**SDA**) の遷移を使用して、スタートの条件およびストップの条件を示します。**SDA** ラインでのハイからローへの遷移はスタート条件を示し、ローからハイへの遷移はストップ条件を示します。通常のデータビット遷移は、クロック周期の低レベル期間内に発生しなければなりません。

コントローラ デバイスは、スタート コンディションを発行した後、**7 ビット** のターゲット アドレスとリード / ライト (**R/W**) ビットを送信して他のデバイスとの通信を開始し、次にアクノリッジ (**ACK**) コンディションを待機します。ターゲット デバイスは、アクノリッジ クロック期間中に **SDA** を低レベルに保持することで、アクノリッジを示します。これにより、コントローラ デバイスは順に次のバイトを送信します。各ターゲット デバイスは、一意の **7 ビット** のターゲット アドレスに **R/W** ビットを加えた (**1 バイト**) のアドレスによって指定されます。すべての互換デバイスは、ワイヤード-**AND** 接続を使用した双方向バスを介して、同じ信号を共有します。

スタート コンディションとストップ コンディションの間で送信されるバイト数に制限はありません。最後のデータワードが転送されると、コントローラ デバイスはバスを解放するためにストップ コンディションを生成します。一般的なデータ転送シーケンスを、図 **6-66** に示します。

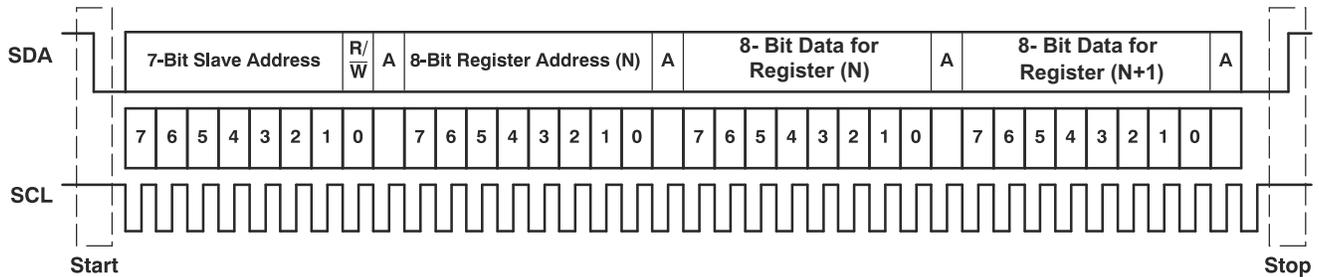


図 6-66. 代表的な I²C シーケンス

システム内では、SDA および SCL 信号に外部プルアップ抵抗を使用して、バスの論理 High レベルを設定します。SDA および SCL の電圧は、デバイスの電源電圧である IOVDD を超えてはなりません。

6.5.1.1.1.1 I²C のシングルバイトおよびマルチバイト転送

デバイスの I²C インターフェイスは、すべてのレジスタに対して、シングルバイトおよびマルチバイトの読み取り / 書き込み操作をサポートしています。マルチバイトの読み取り動作中は、コントローラがアクロリッジで応答を継続している限り、アクセスされたレジスタから始まるデータを 1 バイトずつ返します。

デバイスは、シーケンシャルな I²C アドレッシングに対応しています。書き込みトランザクションの場合、レジスタが発行されて、次にそのレジスタのデータと残りのすべてのレジスタのデータが続いて送信される場合、I²C の書き込みトランザクションはシーケンシャルに実行されます。I²C のシーケンシャルな書き込みトランザクションの場合、発行されたレジスタは開始点となり、その次に停止または開始が送信される前に、データの量が送信され、いくつかのレジスタを書き込むかが決定されます。

6.5.1.1.1.1.1 I²C のシングルバイト書き込み

図 6-67 にあるように、シングルバイトのデータ書き込み転送では、最初にマスター デバイスが開始条件を送信し、次に I²C デバイス アドレスと読み取り / 書き込みビットが続きます。データ転送方向は、R/W ビットによって決定されます。書き込みデータ転送を実行するには、読み取り / 書き込みビットを 0 にセットします。正しい I²C のターゲットアドレスと読み取り / 書き込みビットを受信すると、アクロリッジビット (ACK) を返信します。次に、コントローラ デバイスは、アクセスされているデバイス内部レジスタ アドレスに対応するレジスタ バイトを送信します。デバイスは、レジスタ バイトを受信すると、再度アクロリッジビット (ACK) を返信します。その後、コントローラは指定されたレジスタに書き込むデータのバイトを送信します。完了すると、ターゲット デバイスはアクロリッジビット (ACK) で応答します。最後に、コントローラ デバイスが停止条件を送信すると、シングルバイト データの書き込み転送が完了します。

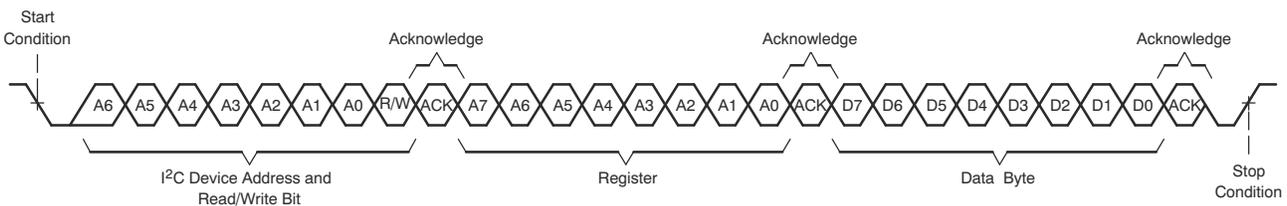


図 6-67. I²C のシングルバイト書き込み転送

6.5.1.1.1.1.2 I²C のマルチバイト書き込み

図 6-68 で示されているように、複数バイトのデータ書き込み転送は、コントローラ デバイスからターゲット デバイ스에複数のデータ バイトが送信されることを除いて、シングルバイトのデータ書き込み転送と同一です。各データ バイトを受信すると、デバイスはアクロリッジビット (ACK) で応答します。最後に、コントローラ デバイスは最後のデータ バイトの書き込み転送後にストップ条件を送信します。

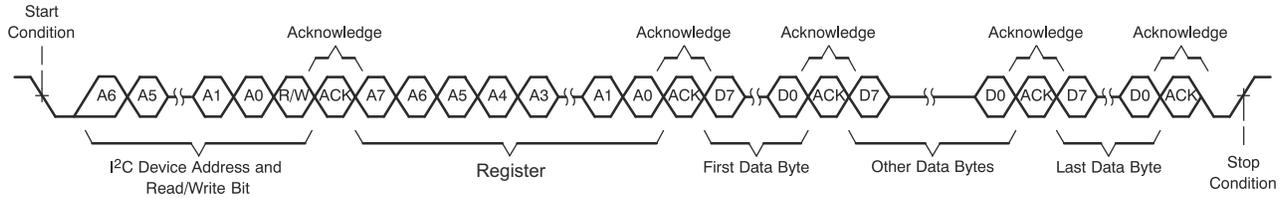


図 6-68. I²C のマルチ バイト書き込み転送

6.5.1.1.1.3 I²C のシングル バイト読み出し

図 6-69 で示されているように、シングルバイトのデータ読み取り転送は、コントローラ デバイスがスタート条件を送信し、それに続いて I²C のターゲット アドレスと読み取り / 書き込みビットが続きます。データ読み取り転送の場合、書き込みとその次の読み取りの両方が行われます。最初に、内部レジスタ アドレスの読み取りに必要なアドレス バイトを転送するために、書き込みが実行されます。その結果、読み取り / 書き込みビットは 0 に設定されます。

ターゲット アドレスと読み書きビットを受信すると、デバイスはアクノリッジビット (ACK) で応答します。その後、コントローラ デバイスは内部レジスタ アドレス バイトを送信し、その後、デバイスがアクノリッジビット (ACK) を発行します。コントローラ デバイスは、ターゲット アドレスと読み取り / 書き込みビットに続いて、もう 1 つのスタート条件を送信します。このとき、R/W ビットは 1 に設定され、読み取り転送が実行されることを示します。次に、デバイスは読み取っているレジスタ アドレスからデータ バイトを送信します。データ バイトを受信後、コントローラ デバイスは、1 バイトのデータ読み取り転送を完了するために、非応答 (NACK) に続いてストップ条件を送信します。

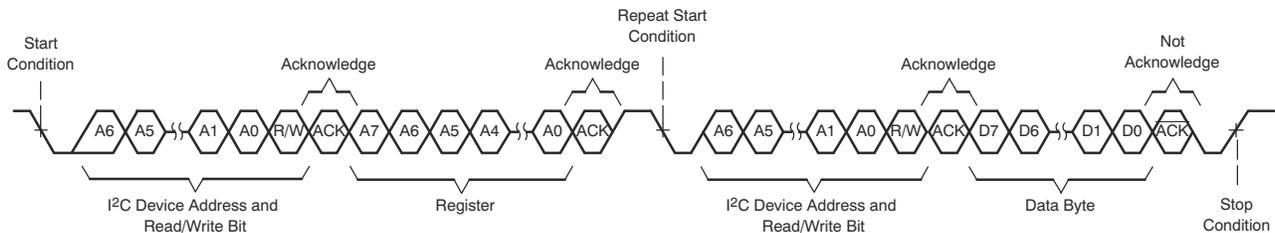


図 6-69. I²C のシングル バイト読み出し転送

6.5.1.1.1.4 I²C のマルチ バイト読み出し

図 6-70 で示されているように、複数バイトのデータ読み取り転送は、単一バイトのデータ読み取り転送と同様ですが、複数のデータ バイトがデバイスからコントローラ デバイスに送信されます。コントローラ デバイスは、データ バイトを受信するごとにアクノリッジビットを返信します。ただし、最後のデータ バイトについては返信しません。最後のデータ バイトを受信した後、コントローラ デバイスは非応答 (NACK) を送信し、その後ストップ条件を送信してデータ読み取り転送を完了します。

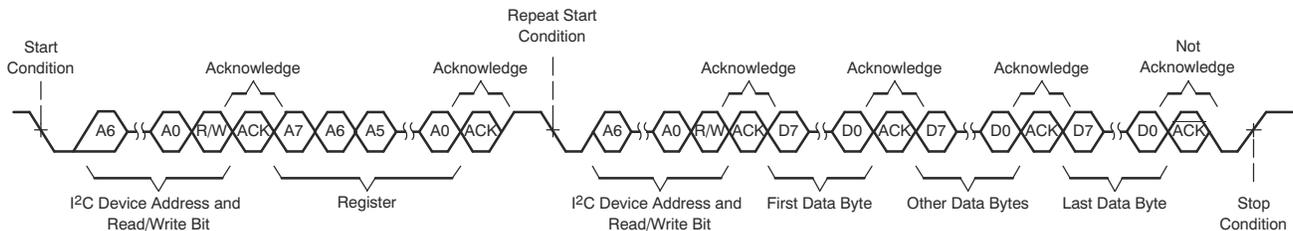


図 6-70. I²C のマルチ バイト読み出し転送

7 レジスタ マップ

このセクションでは、デバイスの制御レジスタについて詳細に説明します。レジスタはすべて 8 ビット幅で、デバイス構成およびプログラマブル係数設定に割り当てられます。これらのレジスタは、デバイスへの I²C 通信を使用して制御可能なページ方式を使用して内部的にマップされます。各ページには 128 バイトのレジスタが含まれます。すべてのデバイス構成レジスタはページ 0 に保存されます。これは、電源投入時 (およびソフトウェア リセット後) のデフォルトのページ設定です。プログラム可能な係数レジスタはすべて、ページ 2、ページ 3、ページ 4 にあります。各ページのレジスタ 0 に位置する PAGE[7:0] ビットを使用することで、デバイスの現在のページを新しい希望のページに切り替えることができます。

予約済みページや予約済みレジスタとの読み書きを行わないでください。有効なレジスタの予約済みビットのデフォルト値のみを書き込みます。

複数のページにわたるレジスタ アクセスの手順は次のとおりです。

- ページ N を選択します (現在のページ番号に関係なくデータ N をレジスタ 0 に書き込みます)
- ページ N の有効なレジスタとの間でデータを読み書きします
- 新しいページ M を選択します (現在のページ番号に関係なくデータ M をレジスタ 0 に書き込みます)
- ページ M の有効なレジスタとの間でデータの読み書きができます
- 必要に応じて繰り返します

7.1 デバイス構成レジスタ

このセクションでは、ページ 0 およびページ 1 のデバイス構成レジスタについて説明します。

7.2 Page_0 のレジスタ

Page_0 レジスタのメモリマップされたレジスタを、表 7-1 に示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. PAGE_0 のレジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページレジスタ	0x00	セクション 7.2.1
0x1	SW_RESET	ソフトウェアリセットレジスタ	0x00	セクション 7.2.2
0x2	SLEEP_CFG	スリープモードレジスタ	0x00	セクション 7.2.3
0x5	SHDN_CFG	シャットダウン構成レジスタ	0x05	セクション 7.2.4
0x7	ASI_CFG0	ASI 構成レジスタ 0	0x30	セクション 7.2.5
0x8	ASI_CFG1	ASI 構成レジスタ 1	0x00	セクション 7.2.6
0x9	ASI_CFG2	ASI 構成レジスタ 2	0x00	セクション 7.2.7
0xA	ASI_MIX_CFG	ASI 入力ミキシング構成レジスタ	0x00	セクション 7.2.8
0xB	ASI_CH1	チャンネル 1 ASI スロット構成レジスタ	0x00	セクション 7.2.9
0xC	ASI_CH2	チャンネル 2 ASI スロット構成レジスタ	0x01	セクション 7.2.10
0xD	ASI_CH3	チャンネル 3 ASI スロット構成レジスタ	0x02	セクション 7.2.11
0xE	ASI_CH4	チャンネル 4 ASI スロット構成レジスタ	0x03	セクション 7.2.12
0x13	MST_CFG0	ASI マスタモード構成レジスタ 0	0x02	セクション 7.2.13
0x14	MST_CFG1	ASI マスタモード構成レジスタ 1	0x48	セクション 7.2.14
0x15	ASI_STS	ASI バスクロック モニタステータス レジスタ	0xFF	セクション 7.2.15
0x16	CLK_SRC	クロック ソース構成レジスタ 0	0x10	セクション 7.2.16
0x1F	PDMCLK_CFG	PDM クロック生成構成レジスタ	0x40	セクション 7.2.17
0x20	PDMIN_CFG	PDM DINx サンプリング エッジ レジスタ	0x00	セクション 7.2.18
0x21	GPIO_CFG0	GPIO 構成レジスタ 0	0x22	セクション 7.2.19
0x22	GPO_CFG0	GPO 構成レジスタ 0	0x00	セクション 7.2.20
0x29	GPO_VAL	GPIO、GPO 出力値レジスタ	0x00	セクション 7.2.21
0x2A	GPIO_MON	GPIO モニタ値レジスタ	0x00	セクション 7.2.22
0x2B	GPI_CFG0	GPI 構成レジスタ 0	0x00	セクション 7.2.23
0x2F	GPI_MON	GPI モニタ値レジスタ	0x00	セクション 7.2.24
0x32	INT_CFG	割り込み構成レジスタ	0x00	セクション 7.2.25
0x33	INT_MASK0	割り込みマスク レジスタ 0	0xFF	セクション 7.2.26
0x36	INT_LTCH0	ラッチ割り込み読み戻しレジスタ 0	0x00	セクション 7.2.27
0x3A	CM_TOL_CFG	ADC 同相モード構成レジスタ	0x00	セクション 7.2.28
0x3B	BIAS_CFG	バイアスおよび ADC 構成レジスタ	0x00	セクション 7.2.29
0x3C	CH1_CFG0	チャンネル 1 構成レジスタ 0	0x00	セクション 7.2.30
0x3D	CH1_CFG1	チャンネル 1 構成レジスタ 1	0x00	セクション 7.2.31
0x3E	CH1_CFG2	チャンネル 1 構成レジスタ 2	0xC9	セクション 7.2.32
0x3F	CH1_CFG3	チャンネル 1 構成レジスタ 3	0x80	セクション 7.2.33
0x40	CH1_CFG4	チャンネル 1 構成レジスタ 4	0x00	セクション 7.2.34
0x41	CH2_CFG0	チャンネル 2 構成レジスタ 0	0x00	セクション 7.2.35
0x42	CH2_CFG1	チャンネル 2 構成レジスタ 1	0x00	セクション 7.2.36
0x43	CH2_CFG2	チャンネル 2 構成レジスタ 2	0xC9	セクション 7.2.37
0x44	CH2_CFG3	チャンネル 2 構成レジスタ 3	0x80	セクション 7.2.38
0x45	CH2_CFG4	チャンネル 2 構成レジスタ 4	0x00	セクション 7.2.39

表 7-1. PAGE_0 のレジスタ (続き)

アドレス	略称	レジスタ名	リセット値	セクション
0x48	CH3_CFG2	チャンネル 3 構成レジスタ 2	0xC9	セクション 7.2.40
0x49	CH3_CFG3	チャンネル 3 構成レジスタ 3	0x80	セクション 7.2.41
0x4A	CH3_CFG4	チャンネル 3 構成レジスタ 4	0x00	セクション 7.2.42
0x4D	CH4_CFG2	チャンネル 4 構成レジスタ 2	0xC9	セクション 7.2.43
0x4E	CH4_CFG3	チャンネル 4 構成レジスタ 3	0x80	セクション 7.2.44
0x4F	CH4_CFG4	チャンネル 4 構成レジスタ 4	0x00	セクション 7.2.45
0x6B	DSP_CFG0	DSP 構成レジスタ 0	0x01	セクション 7.2.46
0x6C	DSP_CFG1	DSP 構成レジスタ 1	0x40	セクション 7.2.47
0x70	AGC_CFG0	AGC 構成レジスタ 0	0xE7	セクション 7.2.48
0x71	GAIN_CFG	ゲイン変更構成	0x00	セクション 7.2.49
0x73	IN_CH_EN	入力チャンネル有効構成レジスタ	0xC0	セクション 7.2.50
0x74	ASI_OUT_CH_EN	ASI 出力チャンネル有効構成レジスタ	0x00	セクション 7.2.51
0x75	PWR_CFG	パワーアップ構成レジスタ	0x00	セクション 7.2.52
0x76	DEV_STS0	デバイス ステータスレジスタ 0	0x00	セクション 7.2.53
0x77	DEV_STS1	デバイス ステータスレジスタ 1	0x80	セクション 7.2.54
0x7E	I2C_CKSUM	I ² C チェックサムレジスタ	0x00	セクション 7.2.55

7.2.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を表 7-2 に示します。

概略表に戻ります。

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

表 7-2. PAGE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ~ 254d = ページ 2 ~ ページ 254 255d = ページ 255

7.2.2 SW_RESET レジスタ (アドレス = 0x1) [リセット = 0x00]

SW_RESET を表 7-3 に示します。

概略表に戻ります。

このレジスタはソフトウェアリセットレジスタです。ソフトウェアリセットをアサートすると、すべてのレジスタ値はデフォルトのパワーオンリセット (POR) 状態になります。

表 7-3. SW_RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	SW_RESET	R/W	0b	ソフトウェアリセット。このビットは自動クリアです。 0d = リセットしない 1d = すべてのレジスタをリセット値にリセットする

7.2.3 SLEEP_CFG レジスタ (アドレス = 0x2) [リセット = 0x00]

SLEEP_CFG を表 7-4 に示します。

概略表に戻ります。

このレジスタは、レギュレータ、VREF クイック充電、I²C ブロードキャストおよびスリープモードを構成します。

表 7-4. SLEEP_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	AREG_SELECT	R/W	0b	内部レギュレータ電源または外部 AREG 電源のいずれかから選択できるアナログ電源。 0d = 外部 1.8V AREG 電源 (AVDD が 1.8V で、AVDD に短絡接続した AREG の場合はこの設定を使用) 1d = オンチップ レギュレータを使用して内部で生成された 1.8V AREG 電源 (AVDD が 3.3V の場合はこの設定を使用)
6-5	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
4-3	VREF_QCHG[1:0]	R/W	00b	VREF 外部コンデンサの急速充電の時間は、200Ω の内部直列インピーダンスを使用して設定されます。 0d = VREF 急速充電時間 3.5ms (標準値) 1d = VREF 急速充電時間 10ms (標準値) 2D = VREF 急速充電時間 50ms (標準値) 3D = VREF 急速充電時間 100ms (標準値)
2	I2C_BRDCAST_EN	R/W	0b	I ² C ブロードキャスト アドレッシング設定。 0D = I ² C ブロードキャスト モードが無効 1d = I ² C ブロードキャスト モードが有効、I ² C ターゲット アドレスは、1001 100 に固定
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	SLEEP_ENZ	R/W	0b	スリープ モード設定。 0D = デバイスはスリープ モード 1d = デバイスはスリープ モードではない

7.2.4 SHDN_CFG レジスタ (アドレス = 0x5) [リセット = 0x05]

SHDN_CFG を表 7-5 に示します。

概略表に戻ります。

このレジスタはデバイスのシャットダウンを構成します。

表 7-5. SHDN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-4	INCAP_QCHG[1:0]	R/W	00b	外部 AC 結合コンデンサの急速充電時間は、内部直列インピーダンス 800Ω を使用して設定されます。 0D = INxP、INxM 急速充電時間 2.5ms (標準値) 1d = INxP、INxM 急速充電時間 12.5ms (標準値) 2D = INxP、INxM 急速充電時間 25ms (標準値) 3D = INxP、INxM 急速充電時間 50ms (標準値)
3-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.2.5 ASI_CFG0 レジスタ (アドレス = 0x7) [リセット = 0x30]

ASI_CFG0 を表 7-6 に示します。

[概略表](#)に戻ります。

このレジスタは ASI 構成レジスタ 0 です。

表 7-6. ASI_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ASI_FORMAT[1:0]	R/W	00b	ASI プロトコル フォーマット。 0d = TDM モード 1d = I ² S モード 2d = LJ (左揃え) モード 3d = 予約済み、使用しないでください
5-4	ASI_WLEN[1:0]	R/W	11b	ASI ワードまたはスロットの長さ。 0d = 16 ビット (10kΩ または 20kΩ 入力インピーダンス構成で使用するため、この設定を推奨) 1d = 20 ビット 2d = 24 ビット 3d = 32 ビット
3	FSYNC_POL	R/W	0b	ASI FSYNC の極性。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
2	BCLK_POL	R/W	0b	ASI BCLK の極性。 0d = 標準プロトコルに基づくデフォルトの極性 1d = 標準プロトコルに対して反転された極性
1	TX_EDGE	R/W	0b	ASI データ出力 (プライマリおよびセカンダリ データピン上) の送信エッジ。 0d = ビット 2 (BCLK_POL) のプロトコル構成設定に従うデフォルトのエッジ 1d = デフォルトのエッジ設定を基準として、後続のエッジ (半周期遅延) を反転
0	TX_FILL	R/W	0b	未使用のサイクルの ASI データ出力 (プライマリおよびセカンダリ データピン) 0d = 未使用のサイクルの場合は常に 0 を送信 1d = 未使用のサイクルの場合は常にハイインピーダンスを使用

7.2.6 ASI_CFG1 レジスタ (アドレス = 0x8) [リセット = 0x00]

ASI_CFG1 を [表 7-7](#) に示します。

[概略表](#)に戻ります。

このレジスタは ASI 構成レジスタ 1 です。

表 7-7. ASI_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TX_LSB	R/W	0b	LSB 送信用の ASI データ出力 (プライマリおよびセカンダリ データピン上)。 0d = フル サイクルの間 LSB を送信 1d = 前半サイクルの間 LSB を、後半サイクルの間、ハイインピーダンスを送信
6-5	TX_KEEPER[1:0]	R/W	00b	ASI データ出力 (プライマリおよびセカンダリ データピン) バス キーパー。 0d = バス キーパーは常にディスエーブル 1d = バス キーパーは常にイネーブル 2d = LSB 送信中に 1 サイクルのみバス キーパーがイネーブル 3d = LSB 送信中にのみバス キーパーは、1 サイクルおよび半サイクルでのみイネーブル

表 7-7. ASI_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	TX_OFFSET[4:0]	R/W	00000b	ASI データの MSB スロット 0 のオフセット (プライマリおよびセカンダリ データピン)。 0D = ASI データの MSB 位置にはオフセットがなく、標準プロトコルに従っている 1d = ASI データの MSB 位置 (TDM モードはスロット 0 または I ² S、LJ モードは左および右スロット 0) 標準プロトコルに対して 2 BCLK サイクルのオフセット 2d = ASI データ MSB 位置 (TDM モードはスロット 0 または I ² S、LJ モードは、標準プロトコルに対する BCLK サイクル 2 つ分の左右スロット 0) オフセット 3d ~ 30d = ASI データ MSB の位置 (TDM モードはスロット 0 または I ² S、LJ モードは、構成に従って割り当てられた左右のスロット 0 のオフセット) 31d = ASI データ MSB 位置 (TDM モードがスロット 0 または I ² S、LJ モードは、標準プロトコルに対する左右のスロット 0 の 31 BCLK サイクルのオフセットです。

7.2.7 ASI_CFG2 レジスタ (アドレス = 0x9) [リセット = 0x00]

ASI_CFG2 を表 7-8 に示します。

[概略表](#)に戻ります。

このレジスタは ASI 構成レジスタ 2 です。

表 7-8. ASI_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ASI_DAISSY	R/W	0b	ASI デイジー チェーン接続。 0d = すべてのデバイスが共通の ASI バスに接続されている 1d = すべてのデバイスが ASI バスに対してデイジーチェーン接続されている。これは、ASI 入力ミキシングが無効の場合にのみサポートされます。ASI 入力ミキシング機能の詳細については、レジスタ 10 を参照してください。
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5	ASI_ERR	R/W	0b	ASI バス エラー検出。 0d = バス エラー検出を有効にする 1d = バス エラー検出を無効にする
4	ASI_ERR_RCOV	R/W	0b	ASI バス エラー自動再開。 0d = バス エラー回復後の自動再開を有効 1d = バス エラー回復後の自動再開を無効にし、ホストがデバイスを構成するまでの間、電源オフのままになります
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.8 ASI_MIX_CFG レジスタ (アドレス = 0xA) [リセット = 0x00]

ASI_MIX_CFG を表 7-9 に示します。

[概略表](#)に戻ります。

このレジスタは、ASI 入力診断データ構成レジスタです。

表 7-9. ASI_MIX_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	ASI_MIX_SEL[1:0]	R/W	00b	ASI 入力 (GPIO または GPIO から) ミキシングとチャンネルデータのミキシング選択。 0d = ミキシングなし 1d = チャンネル 1 およびチャンネル 2 の出力データがチャンネル 1 (スロット 0) の ASI 入力データとミキシング 2d = チャンネル 1 およびチャンネル 2 の出力データがチャンネル 2 (スロット 1) の ASI 入力データとミキシング 3d = 両方のチャンネルデータが個別に ASI 入力データとミキシング。 ASI_IN_CH_1 とチャンネル 1 出力データをミキシング。同様に ASI_IN_CH_2 とチャンネル 2 出力データをミキシング
5-4	ASI_GAIN_SEL[1:0]	R/W	00b	チャンネルデータにミキシングする前の ASI 入力データゲイン選択。 0d = ゲインなし 1d = ASI 入力データを -6dB ゲイン 2d = ASI 入力データを -12dB ゲイン 3d = ASI 入力データを -18dB ゲイン
3	ASI_IN_INVERSE	R/W	0b	チャンネル データにミキシングする前に、ASI 入力データを反転します。 0d = ASI 入力データの反転なし 1d = チャンネルデータとミキシングする前に ASI 入力データを反転
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.9 ASI_CH1 レジスタ (アドレス = 0xB) [リセット = 0x00]

ASI_CH1 を表 7-10 に示します。

[概略表](#)に戻ります。

このレジスタは ASI スロット構成レジスタ チャンネル 1 です。

表 7-10. ASI_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-0	CH1_SLOT[5:0]	R/W	000000b	チャンネル 1 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は右スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM がスロット 63 または I ² S、LJ は右スロット 31

7.2.10 ASI_CH2 レジスタ (アドレス = 0xC) [リセット = 0x01]

ASI_CH2 を表 7-11 に示します。

[概略表](#)に戻ります。

このレジスタは ASI スロット構成レジスタ チャンネル 2 です。

表 7-11. ASI_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-11. ASI_CH2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	CH2_SLOT[5:0]	R/W	000001b	チャンネル 2 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は右スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM がスロット 63 または I ² S、LJ は右スロット 31

7.2.11 ASI_CH3 レジスタ (アドレス = 0xD) [リセット = 0x02]

ASI_CH3 を表 7-12 に示します。

[概略表](#)に戻ります。

このレジスタは ASI スロット構成レジスタ チャンネル 3 です。

表 7-12. ASI_CH3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-0	CH3_SLOT[5:0]	R/W	000010b	チャンネル 3 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は右スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM がスロット 63 または I ² S、LJ は右スロット 31

7.2.12 ASI_CH4 レジスタ (アドレス = 0xE) [リセット = 0x03]

ASI_CH4 を表 7-13 に示します。

[概略表](#)に戻ります。

このレジスタは ASI スロット構成レジスタ チャンネル 4 です。

表 7-13. ASI_CH4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-0	CH4_SLOT[5:0]	R/W	000011b	チャンネル 4 のスロット割り当て。 0d = TDM はスロット 0 または I ² S、LJ は左スロット 0 1d = TDM はスロット 1 または I ² S、LJ は左スロット 1 2d ~ 30d = 構成に従って割り当てられたスロット 31d = TDM はスロット 31 または I ² S、LJ は右スロット 31 32d = TDM はスロット 32 または I ² S、LJ は右スロット 0 33d = TDM はスロット 33 または I ² S、LJ は右スロット 1 34d ~ 62d = 構成に従って割り当てられたスロット 63d = TDM がスロット 63 または I ² S、LJ は右スロット 31

7.2.13 MST_CFG0 レジスタ (アドレス = 0x13) [リセット = 0x02]

MST_CFG0 を表 7-14 に示します。

概略表に戻ります。

このレジスタは ASI マスタ モード構成レジスタ 0 です。

表 7-14. MST_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MST_SLV_CFG	R/W	0b	ASI マスタまたはスレーブの構成レジスタの設定。 0d = デバイスはスレーブ モード (BCLK と FSYNC の両方がデバイスに入力) 1d = デバイスはマスタ モード (BCLK と FSYNC の両方がデバイスから生成されます)
6	AUTO_CLK_CFG	R/W	0b	自動クロック構成設定。 0d = 自動クロック構成がイネーブル (すべての内部クロック分周器および PLL 構成が自動派生) 1d = 自動クロック構成がディセーブル (デバイス構成設定にカスタムモードおよびデバイス GUI を使用する必要があります)
5	AUTO_MODE_PLL_DIS	R/W	0b	自動モード PLL 設定。 0d = 自動クロック構成で PLL が有効 1d = 自動クロック構成では PLL が無効
4	BCLK_FSYNC_GATE	R/W	0b	BCLK および FSYNC クロック ゲート (デバイスがマスタ モードのときに有効)。 0d = BCLK と FSYNC をゲートしない 1d = マスタ モードのデバイスから送信されるときに、ゲート BCLK と FSYNC を強制的にゲートします
3	FS_MODE	R/W	0b	サンプルレート設定 (デバイスがマスタ モードのときに有効)。 0d = サンプリングレートは 48kHz の倍数 (または倍数未満) 1d = サンプリングレートは 44.1kHz の倍数 (または倍数未満)
2-0	MCLK_FREQ_SEL[2:0]	R/W	010b	これらのビットは、PLL ソースクロック入力 MCLK (GPIO または GPIOx) 周波数を選択します (デバイスがマスタモードで MCLK_FREQ_SEL_MODE = 0 のときに有効)。 0d = 12MHz 1d = 12.288MHz 2d = 13MHz 3d = 16MHz 4d = 19.2MHz 5d = 19.68MHz 6d = 24MHz 7d = 24.576MHz

7.2.14 MST_CFG1 レジスタ (アドレス = 0x14) [リセット = 0x48]

MST_CFG1 を表 7-15 に示します。

概略表に戻ります。

このレジスタは ASI マスタ モード構成レジスタ 1 です。

表 7-15. MST_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FS_RATE[3:0]	R/W	0100b	ASI バスのプログラムされたサンプルレート (デバイスがスレーブ ード自動クロック構成で構成されている場合は使用されません)。 0d = 7.35 kHz または 8 kHz 1d = 14.7 kHz または 16 kHz 2d = 22.05 kHz または 24 kHz 3d = 29.4 kHz または 32 kHz 4d = 44.1 kHz または 48 kHz 5d = 88.2 kHz または 96 kHz 6d = 176.4 kHz または 192 kHz 7d = 352.8 kHz または 384 kHz 8d = 705.6 kHz または 768 kHz 9d ~ 15d = 予約済み、使用禁止
3-0	FS_BCLK_RATIO[3:0]	R/W	1000b	ASI バスのプログラムされた BCLK/FSYNC 周波数比率 (デバイスがスレーブ ード自動クロック構成で構成されている場合は使用されません)。 0d = 比率 16 1d = 比率 24 2d = 比率 32 3d = 比率 48 4d = 比率 64 5d = 比率 96 6d = 比率 128 7d = 比率 192 8d = 比率 256 9d = 比率 384 10d = 比率 512 11d = 比率 1024 12d = 比率 2048 13d ~ 15d = 予約済み、使用禁止

7.2.15 ASI_STS レジスタ (アドレス = 0x15) [リセット = 0xFF]

ASI_STS を [表 7-16](#) に示します。

[概略表](#)に戻ります。

このレジスタは、ASI バスクロックモニタステータスレジスタです

表 7-16. ASI_STS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FS_RATE_STS[3:0]	R	1111b	ASI バスのサンプル レートが検出されました。 0d = 7.35 kHz または 8 kHz 1d = 14.7 kHz または 16 kHz 2d = 22.05 kHz または 24 kHz 3d = 29.4 kHz または 32 kHz 4d = 44.1 kHz または 48 kHz 5d = 88.2 kHz または 96 kHz 6d = 176.4 kHz または 192 kHz 7d = 352.8 kHz または 384 kHz 8d = 705.6 kHz または 768 kHz 9d ~ 14d = 予約済みステータス 15d = 無効なサンプル レート

表 7-16. ASI_STS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	FS_RATIO_STS[3:0]	R	1111b	ASI バスの BCLK/FSYNC 周波数比率を検出しました。 0d = 比率 16 1d = 比率 24 2d = 比率 32 3d = 比率 48 4d = 比率 64 5d = 比率 96 6d = 比率 128 7d = 比率 192 8d = 比率 256 9d = 比率 384 10d = 比率 512 11d = 比率 1024 12d = 比率 2048 13d ~ 14d = 予約済みステータス 15d = 無効な比率

7.2.16 CLK_SRC レジスタ (アドレス = 0x16) [リセット = 0x10]

CLK_SRC を表 7-17 に示します。

[概略表](#)に戻ります。

このレジスタはクロック ソース構成レジスタです。

表 7-17. CLK_SRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIS_PLL_SLV_CLK_SRC	R/W	0b	スレーブ モードの自動クロック構成で PLL が無効に設定されているデバイス (AUTO_MODE_PLL_DIS = 1) のオーディオ ルートクロックソース設定。 0d = BCLK はオーディオルートクロックソースとして使用されます 1d = MCLK (GPIO または GPIx) がオーディオ ルートクロックソースとして使用されます (MCLK/FSYNC 比率は MCLK_RATIO_SEL 設定に従います)
6	MCLK_FREQ_SEL_MODE	R/W	0b	マスタ モード MCLK (GPIO または GPIx) 周波数選択モード (デバイスが自動クロック構成の場合に有効)。 0d = MCLK 周波数は MCLK_FREQ_SEL (P0_R19) 構成に基づきます 1d = MCLK 周波数は MCLK_RATIO_SEL (P0_R22) 構成で FSYNC の倍数として指定されます
5-3	MCLK_RATIO_SEL[2:0]	R/W	010b	これらのビットは、マスタ モードの場合、または MCLK がスレーブモードのオーディオルートクロックソースとして使用されている場合、MCLK (GPIO または GPIx) / FSYNC 比率を選択します。 0d = 比率 64 1d = 比率 256 2d = 比率 384 3d = 比率 512 4d = 比率 768 5d = 比率 1024 6d = 比率 1536 7d = 比率 2304
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	INV_BCLK_FOR_FSYNC	R/W	0b	マスタ モード構成における FSYNC 生成の場合のみ、BCLK の極性を反転させます。 0d = FSYNC 生成のための BCLK の極性を反転しない 1d = FSYNC 生成のための BCLK の極性を反転させる
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.17 PDMCLK_CFG レジスタ (アドレス = 0x1F) [リセット = 0x40]

PDMCLK_CFG を表 7-18 に示します。

[概略表](#)に戻ります。

このレジスタは PDM クロック生成構成レジスタです。

表 7-18. PDMCLK_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-2	予約済み	R	0b	予約済みビット。リセット値のみを書き込み
1-0	PDMCLK_DIV[1:0]	R/W	00b	PDMCLK デバイダの値。 0d = PDMCLK は 2.8224 MHz または 3.072 MHz です 1d = PDMCLK は 1.4112 MHz または 1.536 MHz です 2d = PDMCLK は 705.6 kHz または 768 kHz です 3d = PDMCLK は 5.6448 MHz または 6.144 MHz (PDM チャンネル 1 および 2 のみに適用)

7.2.18 PDMIN_CFG レジスタ (アドレス = 0x20) [リセット = 0x00]

PDMIN_CFG を表 7-19 に示します。

[概略表](#)に戻ります。

このレジスタは PDM DINx サンプリング エッジ構成レジスタです。

表 7-19. PDMIN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PDMDIN1_EDGE	R/W	0b	PDMCLK のラッチ エッジは、チャンネル 1 とチャンネル 2 のデータに使用されます。 0D = チャンネル 1 のデータは負のエッジでラッチ、チャンネル 2 のデータは立ち上がりエッジでラッチされます 。1d = チャンネル 1 のデータは立ち上がりエッジでラッチされ、チャンネル 2 のデータは負のエッジでラッチされます
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.19 GPIO_CFG0 レジスタ (アドレス = 0x21) [リセット = 0x22]

GPIO_CFG0 を表 7-20 に示します。

[概略表](#)に戻ります。

このレジスタは GPIO 構成レジスタ 0 です。

表 7-20. GPIO_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPIO1_CFG[3:0]	R/W	0010b	GPIO1 構成。 0d = GPIO1 は無効 1d = GPIO1 は汎用出力 (GPO) として設定されています 2d = GPIO1 はデバイス割り込み出力 (IRQ) として設定されています 3d = 予約済み、使用禁止 4d = GPIO1 は PDM クロック出力 (PDMCLK) として設定されます 5d = 予約済み、使用禁止 6d = 予約済み、使用禁止 7d = PD すべての ADC チャンネル 8d = GPIO1 は MICBIAS のオン/オフを制御するための入力として構成されています MICBIAS_EN) 9d = GPIO1 は汎用入力 (GPI) として構成されています 10d = GPIO1 はマスタ クロック入力 (MCLK) として設定されています 11d = GPIO1 はデジタイゼーション用の ASI 入力またはミキシング用の ASI 入力 (SDIN) として設定されています 12d = GPIO1 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成されています (PDMDIN1) 13d = GPIO1 はチャンネル 3 とチャンネル 4 (PDMDIN2) の PDM データ入力として構成されています 14d ~ 15d = 予約済み、使用禁止
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	GPIO1_DRV[2:0]	R/W	010b	GPIO1 出力ドライブ構成 0D = Hi-Z 出力 1d = アクティブ Low とアクティブ High を駆動 2d = アクティブ Low と弱い High を駆動 3d = アクティブ Low、Hi-Z 4D = 弱い Low、アクティブ High を駆動 5d = Hi-Z とアクティブ High を駆動 6d~7d = 予約済み。使用しないでください。

7.2.20 GPO_CFG0 レジスタ (アドレス = 0x22) [リセット = 0x00]

GPO_CFG0 を表 7-21 に示します。

[概略表](#)に戻ります。

このレジスタは GPO 構成レジスタ 0 です。

表 7-21. GPO_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO1_CFG[3:0]	R/W	0000b	IN2M_GPO1 (GPO1) 構成。 0d = GPO1 は無効 1d = GPO1 は汎用出力 (GPO) として構成されています 2d = GPO1 はデバイス割り込み出力 (IRQ) として構成されています 3d = 予約済み、使用禁止 4d = GPO1 は PDM クロック出力 (PDMCLK) として構成されています 5d ~ 15d = 予約済み、使用禁止
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
2-0	GPO1_DRV[2:0]	R/W	000b	IN2M_GPO1 (GPO1) 出力ドライブ構成。 0d = Hi-Z 出力 1d = アクティブ Low およびアクティブ High を駆動 2d = 予約済み、使用禁止 3d = アクティブ Low と Hi-Z を駆動 4d = 予約済み、使用禁止 5d = Hi-Z およびアクティブ High を駆動 6d ~ 7d = 予約済み、使用禁止

7.2.21 GPO_VAL レジスタ (アドレス = 0x29) [リセット = 0x00]

GPO_VAL を表 7-22 に示します。

概略表に戻ります。

このレジスタは、GPIO および GPO 出力値レジスタです。

表 7-22. GPO_VAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_VAL	R/W	0b	GPO として構成されているときの GPIO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
6	GPO1_VAL	R/W	0b	GPO として構成されているときの GPO1 の出力値。 0d = 値 0 で出力を駆動 1d = 値 1 で出力を駆動
5-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.22 GPIO_MON レジスタ (アドレス = 0x2A) [リセット = 0x00]

GPIO_MON を表 7-23 に示します。

概略表に戻ります。

このレジスタは GPIO モニタ値レジスタです。

表 7-23. GPIO_MON レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO1_MON	R	0b	GPI として構成されている場合は GPIO1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
6-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.23 GPI_CFG0 レジスタ (アドレス = 0x2B) [リセット = 0x00]

GPI_CFG0 を表 7-24 に示します。

概略表に戻ります。

このレジスタは GPI 構成レジスタ 0 です。

表 7-24. GPI_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6-4	GPI1_CFG[2:0]	R/W	000b	IN2P_GPI1 (GPI1) 構成。 0d = GPI1 は無効 1d = GPI1 は汎用目的入力 (GPI) として構成されています 2d = GPI1 はマスタ クロック入力 (MCLK) として構成されています 3d = GPI1 はデジタイゼーション用の ASI 入力またはミキシング用の ASI 入力 (SDIN) として構成されています 4d = GPI1 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成されています (PDMDIN1) 5d = GPI1 はチャンネル 3 とチャンネル 4 の PDM データ入力として構成されています (PDMDIN2) 6d = 予約済み、使用禁止 7d = PD すべての ADC チャンネル
3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-24. GPI_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	GPI2_CFG[2:0]	R/W	000b	GPI2 構成としての MICBIAS。 0d = GPI2 は無効 1d = GPI2 は汎用目的入力 (GPI) として構成されています 2d = GPI2 はマスタクロック入力 (MCLK) として構成されています 3d = GPI2 はデジタイゼーション用の ASI 入力またはミキシング用の ASI 入力 (SDIN) として構成されています 4d = GPI2 はチャンネル 1 とチャンネル 2 の PDM データ入力として構成されています (PDMDIN1) 5d = GPI2 はチャンネル 3 とチャンネル 4 の PDM データ入力として構成されています (PDMDIN2) 6d = 予約済み、使用禁止 7d = PD すべての ADC チャンネル

7.2.24 GPI_MON レジスタ (アドレス = 0x2F) [リセット = 0x00]

GPI_MON を表 7-25 に示します。

概略表に戻ります。

このレジスタは GPI モニタ値レジスタです。

表 7-25. GPI_MON レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPI1_MON	R	0b	GPI として構成されている場合は GPI1 の値を監視します。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
6	GPI2_MON	R	0b	MICBIAS が GPI として構成されている場合は GPI2 モニタ値。 0d = 入力モニタ値 0 1d = 入力モニタ値 1
5-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.25 INT_CFG レジスタ (アドレス = 0x32) [リセット = 0x00]

INT_CFG を表 7-26 に示します。

概略表に戻ります。

このレジスタは割り込み構成レジスタです。

表 7-26. INT_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_POL	R/W	0b	割り込み極性。 0d = アクティブ Low (IRQZ) 1d = アクティブ High (IRQ)
6-5	INT_EVENT[1:0]	R/W	00b	割り込みイベントの設定。 0d = INT は、マスクされていないラッチされた割り込みイベントが発生するとアサート 使用禁止 2d = INT は、マスクされていないラッチされた割り込みイベントが発生するごとに、4ms (標準) ごとに 2ms (標準) 間アサート 3d = INT は、マスクされていない割り込みイベントが発生するたびに、各パルスで 2ms (標準) 間、1 回アサート
4-3	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-26. INT_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	LTCH_READ_CFG	R/W	0b	ラッチ レジスタの読み出し構成を中絶。 0d =すべての割り込みを LTCH レジスタから読み出すことができる 1d = マスクされていない割り込みのみ LTCH レジスタで読み出すことができる
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.26 INT_MASK0 レジスタ (アドレス = 0x33) [リセット = 0xFF]

INT_MASK0 を表 7-27 に示します。

[概略表](#)に戻ります。

このレジスタは割り込みマスク レジスタ 0 です。

表 7-27. INT_MASK0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_MASK0	R/W	1b	ASI クロック エラー マスク。 0d =マスク禁止 1d =マスク
6	INT_MASK0	R/W	1b	PLL ロック割り込みマスク。 0d =マスク禁止 1d =マスク
5	INT_MASK0	R/W	1b	ASI 入力ミキシング飽和アラート マスク。 0d =マスク禁止 1d =マスク
4	INT_MASK0	R/W	1b	VAD パワーアップ検出割り込みマスク。 0d =マスク禁止 1d =マスク
3	INT_MASK0	R/W	1b	VAD パワーダウン検出割り込みマスク。 0d =マスク禁止 1d =マスク
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.27 INT_LTCH0 レジスタ (アドレス = 0x36) [リセット = 0x00]

INT_LTCH0 を表 7-28 に示します。

[概略表](#)に戻ります。

このレジスタはラッチされた割り込み読み戻しレジスタ 0 です。

表 7-28. INT_LTCH0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_LTCH0	R	0b	ASI バス クロック エラー (セルフクリア ビット) によって発生する割り込み。 0d = 割り込みなし 1d = 割り込みあり
6	INT_LTCH0	R	0b	PLL LOCK (セルフ クリア ビット) によって発生する割り込み。 0d = 割り込みなし 1d = 割り込みあり

表 7-28. INT_LTCH0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	INT_LTCH0	R	0b	ASI 入力ミキシング チャネル飽和アラート (セルフ クリア ビット) によって発生する割り込み。 0d = 割り込みなし 1d = 割り込みあり
4	INT_LTCH0	R	0b	VAD パワーアップ検出によって発生する割り込み (セルフ クリア ビット)。 0d = 割り込みなし 1d = 割り込みあり
3	INT_LTCH0	R	0b	VAD パワーダウン検出によって発生する割り込み (セルフ クリア ビット)。 0d = 割り込みなし 1d = 割り込みあり
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.28 CM_TOL_CFG レジスタ (アドレス = 0x3A) [リセット = 0x00]

CM_TOL_CFG を表 7-29 に示します。

概略表に戻ります。

このレジスタは ADC 同相モード構成レジスタです

表 7-29. CM_TOL_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	CH1_INP_CM_TOL_CFG[1:0]	R/W	00b	チャンネル 1 入力同相モード変動許容誤差の構成。 0d = AC 結合時の同相変動許容誤差 = 100mVpp、DC 結合 = 2.82Vpp 1d = 同相許容誤差:AC/DC 結合入力 = 1V ピーク ツー ピーク 2D = 同相許容範囲:AC/DC 結合入力 = 0 ~ AVDD (10kΩ/20kΩ の入力インピーダンスでのみサポート)。2.5kΩ の入力インピーダンスでは、入力同相許容範囲 = 0.4V ~ 2.6V。 3d = 予約済み、使用禁止
5-4	CH2_INP_CM_TOL_CFG[1:0]	R/W	00b	チャンネル 2 入力同相モード変動許容誤差の構成。 0d = AC 結合時の同相変動許容誤差 = 100mVpp、DC 結合 = 2.82Vpp 1d = 同相許容誤差:AC/DC 結合入力 = 1V ピーク ツー ピーク 2D = 同相許容範囲:AC/DC 結合入力 = 0 ~ AVDD (10kΩ/20kΩ の入力インピーダンスでのみサポート)。2.5kΩ の入力インピーダンスでは、入力同相許容範囲 = 0.4V ~ 2.6V。 3d = 予約済み、使用禁止
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.29 BIAS_CFG レジスタ (アドレス = 0x3B) [リセット = 0x00]

BIAS_CFG を表 7-30 に示します。

概略表に戻ります。

このレジスタはバイアスおよび ADC 構成レジスタです

表 7-30. BIAS_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-30. BIAS_CFG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-4	MBIAS_VAL[2:0]	R/W	000b	MICBIAS 値。 0d = マイクロフォン バイアスを VREF (2.750V、2.500V、または 1.375V) に設定 1d = マイクロフォン バイアスを VREF x 1.096 (3.014V、2.740V、または 1.507V) に設定 2d = マイクロフォン バイアスを V _{cm} = IN1M に設定、ADC シングル エンド構成の場合 3d = マイクロフォン バイアスは、VCM = IN2M に設定、ADC シングル エンド構成の場合 4d = マイクロフォン バイアスを VCM = IN1M と IN2M の平均に設定、ADC シングルエンド構成の場合 5d = マイクロフォン バイアスを VCM = 内部クルード同相モードに設定 6d = マイクロフォン バイアスを AVDD に設定 7d = MICBIAS を GPI2 として構成
3-2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1-0	ADC_FSCALE[1:0]	R/W	00b	ADC のフルスケール設定 (この設定は、使用される AVDD 電源の最小電圧に基づいて構成します)。 0d = VREF は 2.75V に設定され、差動入力の場合は 2 V _{RMS} 、シングルエンド入力の場合は 1 V _{RMS} をサポートします 1d = VREF は 2.5V に設定され、差動入力の場合は 1.818 V _{RMS} 、シングルエンド入力の場合は 0.909 V _{RMS} をサポートします 2d = VREF は、差動入力の場合は 1 V _{RMS} 、シングルエンド入力の場合は 0.5 V _{RMS} をサポートするために 1.375 V に設定されます 3d = 予約済み、使用禁止

7.2.30 CH1_CFG0 レジスタ (アドレス = 0x3C) [リセット = 0x00]

CH1_CFG0 を表 7-31 に示します。

概略表に戻ります。

このレジスタは、チャンネル 1 の構成レジスタ 0 です。

表 7-31. CH1_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CH1_INTYP	R/W	0b	チャンネル 1 入力タイプ。 0d = マイクロフォン入力 1d = ライン入力
6-5	CH1_INSRC[1:0]	R/W	00b	チャンネル 1 入力構成。 0d = アナログ差動入力 1d = アナログ シングルエンド入力 2d = デジタル マイクロフォン PDM 入力 (必要に応じて PDMIN1 と PDMCLK に GPO ピンおよび GPI ピンを構成します) 3d = 予約済み、使用禁止
4	CH1_DC	R/W	0b	チャンネル 1 入力カップリング (アナログ入力に適用可能)。 0d = AC 結合入力 1d = DC 結合入力
3-2	CH1_IMP[1:0]	R/W	00b	チャンネル 1 入力カップリング (アナログ入力に適用可能)。 0d = 標準 2.5kΩ 入力インピーダンス 1d = 標準 10kΩ 入力インピーダンス 2d = 標準 20kΩ 入力インピーダンス 3d = 予約済み、使用禁止
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 7-31. CH1_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CH1_AGCEN	R/W	0b	チャンネル 1 の自動ゲインコントローラ (AGC) の設定。 0d = AGC 無効 1d = レジスタ 108 のビット 3 の設定に基づいて AGC 有効 (P0_R108)

7.2.31 CH1_CFG1 レジスタ (アドレス = 0x3D) [リセット = 0x00]

CH1_CFG1 を表 7-32 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 1 の構成レジスタ 1 です。

表 7-32. CH1_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	CH1_GAIN[6:0]	R/W	0000000b	チャンネル 1 ゲイン。 0d = チャンネルゲインを 0dB に設定 1d = チャンネルゲインを 0.5dB に設定 2d = チャンネルゲインを 1dB に設定 3d ~ 83D = チャンネルゲインを構成に従って設定 84d = チャンネルゲインを 42dB に設定 85d ~ 127d = 予約済み、使用禁止
0	CH1_GAIN_SIGN_BIT	R/W	0b	チャンネル 1 ゲイン符号構成。 0d = 正のチャンネル ゲイン 1d = 負のチャンネル ゲイン (-11dB までサポートされる最小チャンネル ゲイン。10kΩ および 20kΩ のチャンネル入力インピーダンスのみサポート)

7.2.32 CH1_CFG2 レジスタ (アドレス = 0x3E) [リセット = 0xC9]

CH1_CFG2 を表 7-33 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 1 の構成レジスタ 2 です。

表 7-33. CH1_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH1_DVOL[7:0]	R/W	11001001b	チャンネル 1 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.2.33 CH1_CFG3 レジスタ (アドレス = 0x3F) [リセット = 0x80]

CH1_CFG3 を表 7-34 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 1 の構成レジスタ 3 です。

表 7-34. CH1_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH1_GCAL[3:0]	R/W	1000b	チャンネル 1 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.34 CH1_CFG4 レジスタ (アドレス = 0x40) [リセット = 0x00]

CH1_CFG4 を表 7-35 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 1 の構成レジスタ 4 です。

表 7-35. CH1_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH1_PCAL[7:0]	R/W	00000000b	変調器クロック分解能による、チャンネル 1 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.2.35 CH2_CFG0 レジスタ (アドレス = 0x41) [リセット = 0x00]

CH2_CFG0 を表 7-36 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 2 の構成レジスタ 0 です。

表 7-36. CH2_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CH2_INTYP	R/W	0b	チャンネル 2 入力タイプ。 0d = マイクロフォン入力 1d = ライン入力
6-5	CH2_INSRC[1:0]	R/W	00b	チャンネル 2 入力構成。 0d = アナログ差動入力 (GPI1 ピンおよび GPO1 ピンの機能を無効する必要があります) 1d = アナログ シングルエンド入力 (GPI1 ピンおよび GPO1 ピンの機能を無効する必要があります) 2d = デジタル マイクロフォンの PDM 入力 (PDMIN1 および PDMCLK の GPO ピンと GPI ピンをそれに応じて構成) 3d = 予約済み、使用禁止
4	CH2_DC	R/W	0b	チャンネル 2 入力カップリング (アナログ入力に適用可能)。 0d = AC 結合入力 1d = DC 結合入力

表 7-36. CH2_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	CH2_IMP[1:0]	R/W	00b	チャンネル 2 入力カップリング (アナログ入力に適用可能)。 0d = 標準 2.5kΩ 入力インピーダンス 1d = 標準 10kΩ 入力インピーダンス 2d = 標準 20kΩ 入力インピーダンス 3d = 予約済み、使用禁止
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	CH2_AGCEN	R/W	0b	チャンネル 2 の自動ゲインコントローラ (AGC) の設定。 0d = AGC 無効 1d = レジスタ 108 のビット 3 の設定に基づいて AGC 有効 (P0_R108)

7.2.36 CH2_CFG1 レジスタ (アドレス = 0x42) [リセット = 0x00]

CH2_CFG1 を表 7-37 に示します。

概略表に戻ります。

このレジスタは、チャンネル 2 の構成レジスタ 1 です。

表 7-37. CH2_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	CH2_GAIN[6:0]	R/W	0000000b	チャンネル 2 ゲイン。 0d = チャンネルゲインを 0dB に設定 1d = チャンネルゲインを 0.5dB に設定 2d = チャンネルゲインを 1dB に設定 3d ~ 83D = チャンネルゲインを構成に従って設定 84d = チャンネルゲインを 42dB に設定 85d ~ 127d = 予約済み、使用禁止
0	CH2_GAIN_SIGN_BIT	R/W	0b	チャンネル 2 のゲイン符号構成。 0d = 正のチャンネル ゲイン 1d = 負のチャンネル ゲイン (-11dB までサポートされる最小チャンネル ゲイン。10kΩ および 20kΩ のチャンネル入力インピーダンスのみサポート)

7.2.37 CH2_CFG2 レジスタ (アドレス = 0x43) [リセット = 0xC9]

CH2_CFG2 を表 7-38 に示します。

概略表に戻ります。

このレジスタは、チャンネル 2 の構成レジスタ 2 です。

表 7-38. CH2_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH2_DVOL[7:0]	R/W	11001001b	チャンネル 2 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.2.38 CH2_CFG3 レジスタ (アドレス = 0x44) [リセット = 0x80]

CH2_CFG3 を表 7-39 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 2 の構成レジスタ 3 です。

表 7-39. CH2_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH2_GCAL[3:0]	R/W	1000b	チャンネル 2 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.39 CH2_CFG4 レジスタ (アドレス = 0x45) [リセット = 0x00]

CH2_CFG4 を表 7-40 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 2 の構成レジスタ 4 です。

表 7-40. CH2_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH2_PCAL[7:0]	R/W	00000000b	変調器クロック分解能による、チャンネル 2 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.2.40 CH3_CFG2 レジスタ (アドレス = 0x48) [リセット = 0xC9]

CH3_CFG2 を表 7-41 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 3 の構成レジスタ 2 です。

表 7-41. CH3_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH3_DVOL[7:0]	R/W	11001001b	チャンネル 3 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリューム コントロールは -100dB に設定 2d = デジタル ボリューム コントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリューム コントロールは設定に従って設定 201d = デジタル ボリューム コントロールを 0dB に設定 202d = デジタル ボリューム コントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリューム コントロールは設定に従って設定 254d = デジタル ボリューム コントロールは 26.5dB に設定 255d = デジタル ボリューム コントロールを 27dB に設定

7.2.41 CH3_CFG3 レジスタ (アドレス = 0x49) [リセット = 0x80]

CH3_CFG3 を表 7-42 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 3 の構成レジスタ 3 です。

表 7-42. CH3_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH3_GCAL[3:0]	R/W	1000b	チャンネル 3 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.42 CH3_CFG4 レジスタ (アドレス = 0x4A) [リセット = 0x00]

CH3_CFG4 を表 7-43 に示します。

[概略表](#)に戻ります。

このレジスタは、チャンネル 3 の構成レジスタ 4 です。

表 7-43. CH3_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH3_PCAL[7:0]	R/W	00000000b	変調器クロック分解能による、チャンネル 3 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.2.43 CH4_CFG2 レジスタ (アドレス = 0x4D) [リセット = 0xC9]

CH4_CFG2 を表 7-44 に示します。

概略表に戻ります。

このレジスタは、チャンネル 4 の構成レジスタ 2 です。

表 7-44. CH4_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH4_DVOL[7:0]	R/W	11001001b	チャンネル 4 デジタル ボリューム制御。 0d = デジタル ボリュームはミュート 1d = デジタル ボリュームコントロールは -100dB に設定 2d = デジタル ボリュームコントロールは -99.5dB に設定 3d ~ 200d = デジタル ボリュームコントロールは設定に従って設定 201d = デジタル ボリュームコントロールを 0dB に設定 202d = デジタル ボリュームコントロールを 0.5dB に設定 203d ~ 253d = デジタル ボリュームコントロールは設定に従って設定 254d = デジタル ボリュームコントロールは 26.5dB に設定 255d = デジタル ボリュームコントロールを 27dB に設定

7.2.44 CH4_CFG3 レジスタ (アドレス = 0x4E) [リセット = 0x80]

CH4_CFG3 を表 7-45 に示します。

概略表に戻ります。

このレジスタは、チャンネル 4 の構成レジスタ 3 です。

表 7-45. CH4_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CH4_GCAL[3:0]	R/W	1000b	チャンネル 4 ゲイン較正。 0d = ゲイン較正を -0.8dB に設定 1d = ゲイン較正を -0.7dB に設定 2d = ゲイン較正を -0.6dB に設定 3d ~ 7d = ゲイン較正を構成どおりに設定 8d = ゲイン較正を 0dB に設定 9d = ゲイン較正を 0.1dB に設定 10d ~ 13d = ゲイン較正を設定どおりに設定 14d = ゲイン較正を 0.6dB に設定 15d = ゲイン較正を 0.7dB に設定
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.45 CH4_CFG4 レジスタ (アドレス = 0x4F) [リセット = 0x00]

CH4_CFG4 を表 7-46 に示します。

概略表に戻ります。

このレジスタは、チャンネル 4 の構成レジスタ 4 です。

表 7-46. CH4_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CH4_PCAL[7:0]	R/W	00000000b	変調器クロック分解能による、チャンネル 4 の位相較正。 0d = 位相キャリブレーションなし 1d = 変調器クロックの 1 サイクルに位相キャリブレーション遅延を設定 2d = 位相キャリブレーション遅延は変調器クロックの 2 サイクルに設定 3d ~ 254d = 設定による位相キャリブレーション遅延 255d = 位相キャリブレーション遅延は変調器クロックの 255 サイクルに設定

7.2.46 DSP_CFG0 レジスタ (アドレス = 0x6B) [リセット = 0x01]

DSP_CFG0 を表 7-47 に示します。

概略表に戻ります。

このレジスタはデジタル信号プロセッサ (DSP) 構成レジスタ 0 です。

表 7-47. DSP_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIS_DVOL_OTF_CHG	R/W	0b	DVOL 設定の実行時の変更を無効にします。 0d = ADC の電源オン時にサポートされるデジタル ボリューム制御の変更 1d = ADC のパワーオン時にデジタル ボリューム制御の変更をサポートしていません。これは複数チャンネル処理が必要な場合に、384kHz 以上のサンプルレートに有用です。
6	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
5-4	DECI_FILT[1:0]	R/W	00b	デシメーション フィルタ応答。 0d = リニア位相 1d = 低レイテンシ 2d = 超低レイテンシ 3d = 予約済み、使用不可
3-2	CH_SUM[1:0]	R/W	00b	より高い SNR のためのチャンネル合計モード 0d = チャンネル合計モードが無効 1d = 2 チャンネル合計モードを有効にして $A (CH1 + CH2)/2$ 出力を有効化 2d = 予約済み、使用禁止 3d = 予約済み、使用禁止
1-0	HPF_SEL[1:0]	R/W	01b	ハイパスフィルタ (HPF) 選択。 0d = P4_R72 ~ P4_R83 のデフォルト係数値がオールパスフィルタとして設定された、カスタム HPF 用のプログラマブルな一次 IIR フィルタ 1d = HPF はカットオフ周波数 $0.00025 \times f_s$ (12Hz (f_s が 48kHz の場合)) を選択 2d = HPF は、カットオフ周波数 $0.002 \times f_s$ (96Hz (f_s が 48kHz の場合)) を選択 3d = HPF はカットオフ周波数 $0.008 \times f_s$ (384Hz (f_s が 48kHz)) を選択

7.2.47 DSP_CFG1 レジスタ (アドレス = 0x6C) [リセット = 0x40]

DSP_CFG1 を表 7-48 に示します。

概略表に戻ります。

このレジスタはデジタル信号プロセッサ (DSP) 構成レジスタ 1 です。

表 7-48. DSP_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DVOL_GANG	R/W	0b	チャンネル全体で一括した DVOL 制御。 0d = 各チャンネルには、ADC_CHx_DVOL ビットでプログラムされた固有の DVOL CTRL 設定が存在 1d = すべてのアクティブなチャンネルは、チャンネル 1 がオンになっているか否かに関わらず、チャンネル 1 の DVOL 設定 (CH1_DVOL) を使用する必要があります
6-5	BIQUAD_CFG[1:0]	R/W	10b	チャンネル構成あたりのバイクワッドの数。 0d = チャンネルごとにバイクワッドなし、バイクワッドはすべてディセーブル 1d = チャンネルごとに 1 バイクワッド 2d = チャンネルごとに 2 バイクワッド 3d = チャンネルごとに 3 バイクワッド

表 7-48. DSP_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	DISABLE_SOFT_STEP	R/W	0b	ソフトステッピング無効化 (DVOL 変更、ミュート、およびミュート解除時)。 0d = ソフト ステッピングを有効化 1d = ソフト ステッピングを無効化
3	AGC_SEL	R/W	0b	任意のチャンネルで AGC 選択が有効になっている場合 0d = AGC が選択されていない 1d = AGC が選択されている
2	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	EN_AVOID_CLIP	R/W	0b	チャンネル ゲイン > 0dB で AGC モードが有効な場合のクリッピング防止機能。 0d = チャンネルゲインはユーザーがプログラムした値に従って維持されます 1d = チャンネル ゲインが 0dB を超え、信号レベルがページ 4 で設定されたプログラムされたスレッシュホールド設定を超えると、クリッピングを回避するために信号レベルが圧縮されます。

7.2.48 AGC_CFG0 レジスタ (アドレス = 0x70) [リセット = 0xE7]

AGC_CFG0 を表 7-49 に示します。

概略表に戻ります。

このレジスタは自動ゲイン制御 (AGC) 構成レジスタ 0 です。

表 7-49. AGC_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	AGC_LVL[3:0]	R/W	1110b	AGC 出力信号の目標レベル。 0d = 出力信号目標レベルは -6dB 1d = 出力信号目標レベルは -8dB 2d = 出力信号目標レベルは -10dB 3d ~ 13d = 出力信号目標レベルは構成に抛ります 14d = 出力信号目標レベルは -34dB 15d = 出力信号目標レベルは -36dB です
3-0	AGC_MAXGAIN[3:0]	R/W	0111b	AGC 最大許容ゲイン。 0d = 最大許容ゲイン 3dB 1d = 最大許容ゲインは 6dB 2d = 最大許容ゲインは 9dB 3d ~ 11d = 構成ごとに使用 12d = 最大許容ゲインは 39dB 13d = 最大許容ゲインは 42dB 14d ~ 15d = 予約済み、使用禁止

7.2.49 GAIN_CFG レジスタ (アドレス = 0x71) [リセット = 0x00]

GAIN_CFG を表 7-50 に示します。

概略表に戻ります。

このレジスタはチャンネル ゲイン変更構成レジスタです。

表 7-50. GAIN_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	OTF_GAIN_CHANGE_CFG[1:0]	R/W	00b	オンザフライのチャンネル ゲイン変更設定 0d = ゲイン変更を即時に適用するため、アーチファクトを伴うオンザフライのゲイン変更 1d = ソフト ステップなしで、アーチファクトを減らしながらオンザフライのゲイン変更が可能 2d = 約 20 μ s あたり 0.5dB のソフトステップによるオンザフライ ゲイン変更が可能で、10k Ω 入力インピーダンス モードで最大 30dB、20k Ω 入力インピーダンス モードで最大 24dB のチャンネル ゲインをサポート 3d = 約 40 μ s あたり 0.5dB のソフト ステップによるオンザフライ ゲイン変更が可能で、10k Ω 入力インピーダンス モードで最大 30dB、20k Ω 入力インピーダンス モードで最大 24dB のチャンネル ゲインをサポート
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.50 IN_CH_EN レジスタ (アドレス = 0x73) [リセット = 0xC0]

IN_CH_EN を表 7-51 に示します。

[概略表](#)に戻ります。

このレジスタは入力チャンネル有効構成レジスタです。

表 7-51. IN_CH_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IN_CH1_EN	R/W	1b	入力チャンネル 1 のイネーブル設定。 0d = チャンネル 1 は無効 1d = チャンネル 1 は有効
6	IN_CH2_EN	R/W	1b	入力チャンネル 2 のイネーブル設定。 0d = チャンネル 2 は無効 1d = チャンネル 2 は有効
5	IN_CH3_EN	R/W	0b	入力チャンネル 3 (PDM のみ) の有効設定。 0d = チャンネル 3 は無効 1d = チャンネル 3 は有効
4	IN_CH4_EN	R/W	0b	入力チャンネル 4 (PDM のみ) の有効設定。 0d = チャンネル 4 は無効 1d = チャンネル 4 は有効
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.51 ASI_OUT_CH_EN レジスタ (アドレス = 0x74) [リセット = 0x00]

ASI_OUT_CH_EN を表 7-52 に示します。

[概略表](#)に戻ります。

このレジスタは ASI 出力チャンネル有効構成レジスタです。

表 7-52. ASI_OUT_CH_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ASI_OUT_CH1_EN	R/W	0b	ASI 出力チャンネル 1 の有効設定。 0d = チャンネル 1 出力スロットはトリステート状態 1d = チャンネル 1 出力スロット有効
6	ASI_OUT_CH2_EN	R/W	0b	ASI 出力チャンネル 2 の有効設定。 0d = チャンネル 2 出力スロットはトリステート状態 1d = チャンネル 2 出力スロット有効

表 7-52. ASI_OUT_CH_EN レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	ASI_OUT_CH3_EN	R/W	0b	ASI 出力チャンネル 3 の有効設定。 0d = チャンネル 3 出力スロットはトライステート状態 1d = チャンネル 3 出力スロット有効
4	ASI_OUT_CH4_EN	R/W	0b	ASI 出力チャンネル 4 の有効設定。 0d = チャンネル 4 出力スロットはトライステート状態 1d = チャンネル 4 出力スロット有効
3-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.52 PWR_CFG レジスタ (アドレス = 0x75) [リセット = 0x00]

PWR_CFG を表 7-53 に示します。

[概略表](#)に戻ります。

このレジスタは起動構成レジスタです。

表 7-53. PWR_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MICBIAS_PDZ	R/W	0b	MICBIAS 向け電源制御。 0d = MICBIAS のパワーダウン 1d = MICBIAS のパワーアップ
6	ADC_PDZ	R/W	0b	ADC と PDM の各チャンネルの電源制御。 0d = すべての ADC および PDM チャンネルをパワーダウン 1d = 有効なすべての ADC および PDM チャンネルをパワーアップ
5	PLL_PDZ	R/W	0b	PLL の電源制御。 0d = PLL パワーダウン 1d = PLL パワーアップ
4	DYN_CH_PUPD_EN	R/W	0b	動的なチャンネル パワーアップ / パワーダウン有効 0d = チャンネルの電源オン、電源オフは、いずれかのチャンネルで録画が実行中の場合はサポートされていません 1d = チャンネル録画がオンの場合でも、チャンネルは個別にパワーアップまたはパワーダウンできます。
3-2	DYN_MAXCH_SEL[1:0]	R/W	00b	ダイナミック モードの最大チャンネル選択構成。 0d = チャンネル 1 とチャンネル 2 は、ダイナミック チャンネルのパワーアップ、パワーダウン機能が有効になっている状態で使用されます 1d = チャンネル 1 からチャンネル 4 は、ダイナミック チャンネルのパワーアップ、パワーダウン機能が有効になっている状態で使用されます 2d = 予約済み、使用禁止 3d = 予約済み、使用禁止
1	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
0	VAD_EN	R/W	0b	Voice Activity Detection (VAD) アルゴリズムをイネーブルにします。 0d = VAD は無効 1d = VAD は有効

7.2.53 DEV_STS0 レジスタ (アドレス = 0x76) [リセット = 0x00]

DEV_STS0 を表 7-54 に示します。

[概略表](#)に戻ります。

このレジスタはデバイス ステータス値レジスタ 0 です。

表 7-54. DEV_STS0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CH1_STATUS	R	0b	ADC または PDM チャンネル 1 の電源ステータス。 0d = ADC または PDM チャンネルがパワーダウン 1d = ADC または PDM チャンネルがパワーアップ
6	CH2_STATUS	R	0b	ADC または PDM チャンネル 2 の電源ステータス。 0d = ADC または PDM チャンネルがパワーダウン 1d = ADC または PDM チャンネルがパワーアップ
5-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.54 DEV_STS1 レジスタ (アドレス = 0x77) [リセット = 0x80]

DEV_STS1 を表 7-55 に示します。

[概略表](#)に戻ります。

このレジスタはデバイス ステータス値レジスタ 1 です。

表 7-55. DEV_STS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	MODE_STS[2:0]	R	100b	デバイスのモード ステータス。 4d = デバイスはスリープ モードまたはソフトウェア シャットダウン モード 予約済み 6d = デバイスはアクティブ モードで、すべての録音および再生チャンネルがオフ 7d = デバイスは、少なくとも一つ一つの ADC または PDM チャンネルがオンになっているアクティブ モード
4-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

7.2.55 I2C_CKSUM レジスタ (アドレス = 0x7E) [リセット = 0x00]

I2C_CKSUM を表 7-56 に示します。

[概略表](#)に戻ります。

このレジスタは、I²C トランザクションのチェックサム値を返します。

表 7-56. I2C_CKSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	I2C_CKSUM[7:0]	R/W	00000000b	これらのビットは、I ² C トランザクションのチェックサム値を返します。このレジスタに書き込むと、チェックサムが書き込んだ値にリセットされます。このレジスタは、すべてのページの他のレジスタへの書き込み時に更新されません。

7.3 Page_1 のレジスタ

Page_1 レジスタのメモリマップされたレジスタを、表 7-57 に示します。表 7-57 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-57. PAGE_1 のレジスタ

アドレス	略称	レジスタ名	リセット値	セクション
0x0	PAGE_CFG	デバイス ページレジスタ	0x00	セクション 7.3.1
0x1E	VAD_CFG1	音声アクティビティ検出構成レジスタ 1	0x20	セクション 7.3.2
0x1F	VAD_CFG2	音声アクティビティ検出構成レジスタ 2	0x08	セクション 7.3.3

7.3.1 PAGE_CFG レジスタ (アドレス = 0x0) [リセット = 0x00]

PAGE_CFG を表 7-58 に示します。

概略表に戻ります。

デバイスのメモリ マップは複数のページに分かれています。このレジスタはページを設定します。

表 7-58. PAGE_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PAGE[7:0]	R/W	00000000b	これらのビットは、デバイスのページを設定します。 0d = ページ 0 1d = ページ 1 2d ~ 254d = ページ 2 ~ ページ 254 255d = ページ 255

7.3.2 VAD_CFG1 レジスタ (アドレス = 0x1E) [リセット = 0x20]

VAD_CFG1 を表 7-59 に示します。

概略表に戻ります。

このレジスタは音声アクティビティ検出用の構成レジスタ 1 です。

表 7-59. VAD_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VAD_MODE[1:0]	R/W	00b	自動 ADC のパワーアップ/パワーダウン構成の選択。 0d = ユーザーが開始する ADC パワーアップと ADC パワーダウン 1d = VAD 割り込みに基づく ADC パワーアップおよび ADC パワーダウン 2d = VAD 割り込みに基づく ADC パワーアップしたが、ユーザーは ADC パワーダウンを開始 3d = ユーザーが ADC のパワーオンを開始したが、VAD 割り込みに基づいて ADC がパワーダウン
5-4	VAD_CH_SEL[1:0]	R/W	10b	VAD チャンネル選択。 0d = チャンネル 1 は VAD アクティビティ用に監視されます 1d = チャンネル 2 は VAD アクティビティ用に監視されます 2d = チャンネル 3 は VAD アクティビティ用に監視されます 3d = チャンネル 4 は VAD アクティビティ用に監視されます
3-2	VAD_CLK_CFG[1:0]	R/W	00b	VAD のクロック選択 0d = 内部発振器クロックを使用した VAD 処理 1d = BCLK 入力の外部クロックを使用した VAD 処理 2d = MCLK 入力の外部クロックを使用した VAD 処理 3d = ページ 0 の CNT_CFG、CLK_SRC、CLKGEN_CFG レジスタに基づくカスタム クロック構成

表 7-59. VAD_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	VAD_EXT_CLK_CFG[1:0]	R/W	00b	VAD に外部クロックを使用するクロック構成。 0d = 外部クロックは 3.072 MHz 1d = 外部クロックは 6.144 MHz 2d = 外部クロックは 12.288 MHz 3d = 外部クロックは 18.432 MHz

7.3.3 VAD_CFG2 レジスタ (アドレス = 0x1F) [リセット = 0x08]

VAD_CFG2 を表 7-60 に示します。

概略表に戻ります。

このレジスタは音声アクティビティ検出用の構成レジスタ 2 です。

表 7-60. VAD_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
6	SDOUT_INT_CFG	R/W	0b	SDOUT 割り込み構成。 0d = 割り込み機能で SDOUT ピンをイネーブルにしない 1d = チャンネル データが記録されていないときに SDOUT ピンをイネーブルにして割り込み出力をサポート
5	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
4	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ
3	VAD_PD_DET_EN	R/W	1b	VAD アクティビティ中の ASI 出力データをイネーブルにします。 0d = ADC 記録中 VAD 処理が有効ではない 1d = ADC の記録中 VAD 処理が有効であり、VAD 割り込みは設定されたとおりに生成されます
2-0	予約済み	R	0b	予約済みビット。リセット値のみを書き込み

7.4 プログラム可能な係数レジスタ

7.4.1 プログラム可能な係数レジスタ : ページ 2

表 7-61 に示すこのレジスタ ページは、バイクワッド 1 ~ バイクワッド 6 フィルタのプログラマブル係数で構成されています。ページ 2、ページ 3、ページ 4 の係数レジスタのトランザクション時間を最適化するために、デバイスは I²C 書き込みおよび読み取り用の自動インクリメント ページも (デフォルトで) サポートしています。レジスタ アドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。

表 7-61. ページ 2 のプログラム可能な係数レジスタ

アドレス	略称	レジスタ名	リセット値
0x00	PAGE[7:0]	デバイス ページレジスタ	0x00
0x08	BQ1_N0_BYT1[7:0]	プログラム可能なバイクワッド 1、N0 係数バイト [31:24]	0x7F
0x09	BQ1_N0_BYT2[7:0]	プログラム可能なバイクワッド 1、N0 係数バイト [23:16]	0xFF
0x0A	BQ1_N0_BYT3[7:0]	プログラム可能なバイクワッド 1、N0 係数バイト [15:8]	0xFF
0x0B	BQ1_N0_BYT4[7:0]	プログラム可能なバイクワッド 1、N0 係数バイト [7:0]	0xFF
0x0C	BQ1_N1_BYT1[7:0]	プログラム可能なバイクワッド 1、N1 係数バイト [31:24]	0x00
0x0D	BQ1_N1_BYT2[7:0]	プログラム可能なバイクワッド 1、N1 係数バイト [23:16]	0x00
0x0E	BQ1_N1_BYT3[7:0]	プログラム可能なバイクワッド 1、N1 係数バイト [15:8]	0x00
0x0F	BQ1_N1_BYT4[7:0]	プログラム可能なバイクワッド 1、N1 係数バイト [7:0]	0x00
0x10	BQ1_N2_BYT1[7:0]	プログラム可能なバイクワッド 1、N2 係数バイト [31:24]	0x00
0x11	BQ1_N2_BYT2[7:0]	プログラム可能なバイクワッド 1、N2 係数バイト [23:16]	0x00
0x12	BQ1_N2_BYT3[7:0]	プログラム可能なバイクワッド 1、N2 係数バイト [15:8]	0x00
0x13	BQ1_N2_BYT4[7:0]	プログラム可能なバイクワッド 1、N2 係数バイト [7:0]	0x00
0x14	BQ1_D1_BYT1[7:0]	プログラム可能なバイクワッド 1、D1 係数バイト [31:24]	0x00
0x15	BQ1_D1_BYT2[7:0]	プログラム可能なバイクワッド 1、D1 係数バイト [23:16]	0x00
0x16	BQ1_D1_BYT3[7:0]	プログラム可能なバイクワッド 1、D1 係数バイト [15:8]	0x00
0x17	BQ1_D1_BYT4[7:0]	プログラム可能なバイクワッド 1、D1 係数バイト [7:0]	0x00
0x18	BQ1_D2_BYT1[7:0]	プログラム可能なバイクワッド 1、D2 係数バイト [31:24]	0x00
0x19	BQ1_D2_BYT2[7:0]	プログラム可能なバイクワッド 1、D2 係数バイト [23:16]	0x00
0x1A	BQ1_D2_BYT3[7:0]	プログラム可能なバイクワッド 1、D2 係数バイト [15:8]	0x00
0x1B	BQ1_D2_BYT4[7:0]	プログラム可能なバイクワッド 1、D2 係数バイト [7:0]	0x00
0x1C	BQ2_N0_BYT1[7:0]	プログラム可能なバイクワッド 2、N0 係数バイト [31:24]	0x7F
0x1D	BQ2_N0_BYT2[7:0]	プログラム可能なバイクワッド 2、N0 係数バイト [23:16]	0xFF
0x1E	BQ2_N0_BYT3[7:0]	プログラム可能なバイクワッド 2、N0 係数バイト [15:8]	0xFF
0x1F	BQ2_N0_BYT4[7:0]	プログラム可能なバイクワッド 2、N0 係数バイト [7:0]	0xFF
0x20	BQ2_N1_BYT1[7:0]	プログラム可能なバイクワッド 2、N1 係数バイト [31:24]	0x00
0x21	BQ2_N1_BYT2[7:0]	プログラム可能なバイクワッド 2、N1 係数バイト [23:16]	0x00
0x22	BQ2_N1_BYT3[7:0]	プログラム可能なバイクワッド 2、N1 係数バイト [15:8]	0x00
0x23	BQ2_N1_BYT4[7:0]	プログラム可能なバイクワッド 2、N1 係数バイト [7:0]	0x00
0x24	BQ2_N2_BYT1[7:0]	プログラム可能なバイクワッド 2、N2 係数バイト [31:24]	0x00
0x25	BQ2_N2_BYT2[7:0]	プログラム可能なバイクワッド 2、N2 係数バイト [23:16]	0x00
0x26	BQ2_N2_BYT3[7:0]	プログラム可能なバイクワッド 2、N2 係数バイト [15:8]	0x00
0x27	BQ2_N2_BYT4[7:0]	プログラム可能なバイクワッド 2、N2 係数バイト [7:0]	0x00
0x28	BQ2_D1_BYT1[7:0]	プログラム可能なバイクワッド 2、D1 係数バイト [31:24]	0x00
0x29	BQ2_D1_BYT2[7:0]	プログラム可能なバイクワッド 2、D1 係数バイト [23:16]	0x00
0x2A	BQ2_D1_BYT3[7:0]	プログラム可能なバイクワッド 2、D1 係数バイト [15:8]	0x00
0x2B	BQ2_D1_BYT4[7:0]	プログラム可能なバイクワッド 2、D1 係数バイト [7:0]	0x00
0x2C	BQ2_D2_BYT1[7:0]	プログラム可能なバイクワッド 2、D2 係数バイト [31:24]	0x00
0x2D	BQ2_D2_BYT2[7:0]	プログラム可能なバイクワッド 2、D2 係数バイト [23:16]	0x00

表 7-61. ページ 2 のプログラム可能な係数レジスタ (続き)

アドレス	略称	レジスタ名	リセット値
0x2E	BQ2_D2_BYT3[7:0]	プログラム可能なバイクワッド 2、D2 係数バイト [15:8]	0x00
0x2F	BQ2_D2_BYT4[7:0]	プログラム可能なバイクワッド 2、D2 係数バイト [7:0]	0x00
0x30	BQ3_N0_BYT1[7:0]	プログラム可能なバイクワッド 3、N0 係数バイト [31:24]	0x7F
0x31	BQ3_N0_BYT2[7:0]	プログラム可能なバイクワッド 3、N0 係数バイト [23:16]	0xFF
0x32	BQ3_N0_BYT3[7:0]	プログラム可能なバイクワッド 3、N0 係数バイト [15:8]	0xFF
0x33	BQ3_N0_BYT4[7:0]	プログラム可能なバイクワッド 3、N0 係数バイト [7:0]	0xFF
0x34	BQ3_N1_BYT1[7:0]	プログラム可能なバイクワッド 3、N1 係数バイト [31:24]	0x00
0x35	BQ3_N1_BYT2[7:0]	プログラム可能なバイクワッド 3、N1 係数バイト [23:16]	0x00
0x36	BQ3_N1_BYT3[7:0]	プログラム可能なバイクワッド 3、N1 係数バイト [15:8]	0x00
0x37	BQ3_N1_BYT4[7:0]	プログラム可能なバイクワッド 3、N1 係数バイト [7:0]	0x00
0x38	BQ3_N2_BYT1[7:0]	プログラム可能なバイクワッド 3、N2 係数バイト [31:24]	0x00
0x39	BQ3_N2_BYT2[7:0]	プログラム可能なバイクワッド 3、N2 係数バイト [23:16]	0x00
0x3A	BQ3_N2_BYT3[7:0]	プログラム可能なバイクワッド 3、N2 係数バイト [15:8]	0x00
0x3B	BQ3_N2_BYT4[7:0]	プログラム可能なバイクワッド 3、N2 係数バイト [7:0]	0x00
0x3C	BQ3_D1_BYT1[7:0]	プログラム可能なバイクワッド 3、D1 係数バイト [31:24]	0x00
0x3D	BQ3_D1_BYT2[7:0]	プログラム可能なバイクワッド 3、D1 係数バイト [23:16]	0x00
0x3E	BQ3_D1_BYT3[7:0]	プログラム可能なバイクワッド 3、D1 係数バイト [15:8]	0x00
0x3F	BQ3_D1_BYT4[7:0]	プログラム可能なバイクワッド 3、D1 係数バイト [7:0]	0x00
0x40	BQ3_D2_BYT1[7:0]	プログラム可能なバイクワッド 3、D2 係数バイト [31:24]	0x00
0x41	BQ3_D2_BYT2[7:0]	プログラム可能なバイクワッド 3、D2 係数バイト [23:16]	0x00
0x42	BQ3_D2_BYT3[7:0]	プログラム可能なバイクワッド 3、D2 係数バイト [15:8]	0x00
0x43	BQ3_D2_BYT4[7:0]	プログラム可能なバイクワッド 3、D2 係数バイト [7:0]	0x00
0x44	BQ4_N0_BYT1[7:0]	プログラム可能なバイクワッド 4、N0 係数バイト [31:24]	0x7F
0x45	BQ4_N0_BYT2[7:0]	プログラム可能なバイクワッド 4、N0 係数バイト [23:16]	0xFF
0x46	BQ4_N0_BYT3[7:0]	プログラム可能なバイクワッド 4、N0 係数バイト [15:8]	0xFF
0x47	BQ4_N0_BYT4[7:0]	プログラム可能なバイクワッド 4、N0 係数バイト [7:0]	0xFF
0x48	BQ4_N1_BYT1[7:0]	プログラム可能なバイクワッド 4、N1 係数バイト [31:24]	0x00
0x49	BQ4_N1_BYT2[7:0]	プログラム可能なバイクワッド 4、N1 係数バイト [23:16]	0x00
0x4A	BQ4_N1_BYT3[7:0]	プログラム可能なバイクワッド 4、N1 係数バイト [15:8]	0x00
0x4B	BQ4_N1_BYT4[7:0]	プログラム可能なバイクワッド 4、N1 係数バイト [7:0]	0x00
0x4C	BQ4_N2_BYT1[7:0]	プログラム可能なバイクワッド 4、N2 係数バイト [31:24]	0x00
0x4D	BQ4_N2_BYT2[7:0]	プログラム可能なバイクワッド 4、N2 係数バイト [23:16]	0x00
0x4E	BQ4_N2_BYT3[7:0]	プログラム可能なバイクワッド 4、N2 係数バイト [15:8]	0x00
0x4F	BQ4_N2_BYT4[7:0]	プログラム可能なバイクワッド 4、N2 係数バイト [7:0]	0x00
0x50	BQ4_D1_BYT1[7:0]	プログラム可能なバイクワッド 4、D1 係数バイト [31:24]	0x00
0x51	BQ4_D1_BYT2[7:0]	プログラム可能なバイクワッド 4、D1 係数バイト [23:16]	0x00
0x52	BQ4_D1_BYT3[7:0]	プログラム可能なバイクワッド 4、D1 係数バイト [15:8]	0x00
0x53	BQ4_D1_BYT4[7:0]	プログラム可能なバイクワッド 4、D1 係数バイト [7:0]	0x00
0x54	BQ4_D2_BYT1[7:0]	プログラム可能なバイクワッド 4、D2 係数バイト [31:24]	0x00
0x55	BQ4_D2_BYT2[7:0]	プログラム可能なバイクワッド 4、D2 係数バイト [23:16]	0x00
0x56	BQ4_D2_BYT3[7:0]	プログラム可能なバイクワッド 4、D2 係数バイト [15:8]	0x00
0x57	BQ4_D2_BYT4[7:0]	プログラム可能なバイクワッド 4、D2 係数バイト [7:0]	0x00
0x58	BQ5_N0_BYT1[7:0]	プログラム可能なバイクワッド 5、N0 係数バイト [31:24]	0x7F
0x59	BQ5_N0_BYT2[7:0]	プログラム可能なバイクワッド 5、N0 係数バイト [23:16]	0xFF
0x5A	BQ5_N0_BYT3[7:0]	プログラム可能なバイクワッド 5、N0 係数バイト [15:8]	0xFF
0x5B	BQ5_N0_BYT4[7:0]	プログラム可能なバイクワッド 5、N0 係数バイト [7:0]	0xFF

表 7-61. ページ 2 のプログラム可能な係数レジスタ (続き)

アドレス	略称	レジスタ名	リセット値
0x5C	BQ5_N1_BYT1[7:0]	プログラム可能なバイクワッド 5、N1 係数バイト [31:24]	0x00
0x5D	BQ5_N1_BYT2[7:0]	プログラム可能なバイクワッド 5、N1 係数バイト [23:16]	0x00
0x5E	BQ5_N1_BYT3[7:0]	プログラム可能なバイクワッド 5、N1 係数バイト [15:8]	0x00
0x5F	BQ5_N1_BYT4[7:0]	プログラム可能なバイクワッド 5、N1 係数バイト [7:0]	0x00
0x60	BQ5_N2_BYT1[7:0]	プログラム可能なバイクワッド 5、N2 係数バイト [31:24]	0x00
0x61	BQ5_N2_BYT2[7:0]	プログラム可能なバイクワッド 5、N2 係数バイト [23:16]	0x00
0x62	BQ5_N2_BYT3[7:0]	プログラム可能なバイクワッド 5、N2 係数バイト [15:8]	0x00
0x63	BQ5_N2_BYT4[7:0]	プログラム可能なバイクワッド 5、N2 係数バイト [7:0]	0x00
0x64	BQ5_D1_BYT1[7:0]	プログラム可能なバイクワッド 5、D1 係数バイト [31:24]	0x00
0x65	BQ5_D1_BYT2[7:0]	プログラム可能なバイクワッド 5、D1 係数バイト [23:16]	0x00
0x66	BQ5_D1_BYT3[7:0]	プログラム可能なバイクワッド 5、D1 係数バイト [15:8]	0x00
0x67	BQ5_D1_BYT4[7:0]	プログラム可能なバイクワッド 5、D1 係数バイト [7:0]	0x00
0x68	BQ5_D2_BYT1[7:0]	プログラム可能なバイクワッド 5、D2 係数バイト [31:24]	0x00
0x69	BQ5_D2_BYT2[7:0]	プログラム可能なバイクワッド 5、D2 係数バイト [23:16]	0x00
0x6A	BQ5_D2_BYT3[7:0]	プログラム可能なバイクワッド 5、D2 係数バイト [15:8]	0x00
0x6B	BQ5_D2_BYT4[7:0]	プログラム可能なバイクワッド 5、D2 係数バイト [7:0]	0x00
0x6C	BQ6_N0_BYT1[7:0]	プログラム可能なバイクワッド 6、N0 係数バイト [31:24]	0x7F
0x6D	BQ6_N0_BYT2[7:0]	プログラム可能なバイクワッド 6、N0 係数バイト [23:16]	0xFF
0x6E	BQ6_N0_BYT3[7:0]	プログラム可能なバイクワッド 6、N0 係数バイト [15:8]	0xFF
0x6F	BQ6_N0_BYT4[7:0]	プログラム可能なバイクワッド 6、N0 係数バイト [7:0]	0xFF
0x70	BQ6_N1_BYT1[7:0]	プログラム可能なバイクワッド 6、N1 係数バイト [31:24]	0x00
0x71	BQ6_N1_BYT2[7:0]	プログラム可能なバイクワッド 6、N1 係数バイト [23:16]	0x00
0x72	BQ6_N1_BYT3[7:0]	プログラム可能なバイクワッド 6、N1 係数バイト [15:8]	0x00
0x73	BQ6_N1_BYT4[7:0]	プログラム可能なバイクワッド 6、N1 係数バイト [7:0]	0x00
0x74	BQ6_N2_BYT1[7:0]	プログラム可能なバイクワッド 6、N2 係数バイト [31:24]	0x00
0x75	BQ6_N2_BYT2[7:0]	プログラム可能なバイクワッド 6、N2 係数バイト [23:16]	0x00
0x76	BQ6_N2_BYT3[7:0]	プログラム可能なバイクワッド 6、N2 係数バイト [15:8]	0x00
0x77	BQ6_N2_BYT4[7:0]	プログラム可能なバイクワッド 6、N2 係数バイト [7:0]	0x00
0x78	BQ6_D1_BYT1[7:0]	プログラム可能なバイクワッド 6、D1 係数バイト [31:24]	0x00
0x79	BQ6_D1_BYT2[7:0]	プログラム可能なバイクワッド 6、D1 係数バイト [23:16]	0x00
0x7A	BQ6_D1_BYT3[7:0]	プログラム可能なバイクワッド 6、D1 係数バイト [15:8]	0x00
0x7B	BQ6_D1_BYT4[7:0]	プログラム可能なバイクワッド 6、D1 係数バイト [7:0]	0x00
0x7C	BQ6_D2_BYT1[7:0]	プログラム可能なバイクワッド 6、D2 係数バイト [31:24]	0x00
0x7D	BQ6_D2_BYT2[7:0]	プログラム可能なバイクワッド 6、D2 係数バイト [23:16]	0x00
0x7E	BQ6_D2_BYT3[7:0]	プログラム可能なバイクワッド 6、D2 係数バイト [15:8]	0x00
0x7F	BQ6_D2_BYT4[7:0]	プログラム可能なバイクワッド 6、D2 係数バイト [7:0]	0x00

7.4.2 プログラム可能な係数レジスタ : ページ 3

表 7-62 に示すこのレジスタ ページは、バイクワッド 7 ~ バイクワッド 12 フィルタのプログラマブル係数で構成されています。ページ 2、ページ 3、ページ 4 の係数レジスタのトランザクション時間を最適化するために、デバイスは I²C 書き込みおよび読み取り用の自動インクリメント ページも (デフォルトで) サポートしています。レジスタ アドレス 0x7F のトランザクションの後、デバイスは自動的に次のページのレジスタ 0x08 に移動し、次の係数値を処理します。

表 7-62. ページ 3 のプログラム可能な係数レジスタ

アドレス	略称	レジスタ名	リセット値
0x00	PAGE[7:0]	デバイス ページレジスタ	0x00
0x08	BQ7_N0_BYT1[7:0]	プログラム可能なバイクワッド 7、N0 係数バイト [31:24]	0x7F
0x09	BQ7_N0_BYT2[7:0]	プログラム可能なバイクワッド 7、N0 係数バイト [23:16]	0xFF
0x0A	BQ7_N0_BYT3[7:0]	プログラム可能なバイクワッド 7、N0 係数バイト [15:8]	0xFF
0x0B	BQ7_N0_BYT4[7:0]	プログラム可能なバイクワッド 7、N0 係数バイト [7:0]	0xFF
0x0C	BQ7_N1_BYT1[7:0]	プログラム可能なバイクワッド 7、N1 係数バイト [31:24]	0x00
0x0D	BQ7_N1_BYT2[7:0]	プログラム可能なバイクワッド 7、N1 係数バイト [23:16]	0x00
0x0E	BQ7_N1_BYT3[7:0]	プログラム可能なバイクワッド 7、N1 係数バイト [15:8]	0x00
0x0F	BQ7_N1_BYT4[7:0]	プログラム可能なバイクワッド 7、N1 係数バイト [7:0]	0x00
0x10	BQ7_N2_BYT1[7:0]	プログラム可能なバイクワッド 7、N2 係数バイト [31:24]	0x00
0x11	BQ7_N2_BYT2[7:0]	プログラム可能なバイクワッド 7、N2 係数バイト [23:16]	0x00
0x12	BQ7_N2_BYT3[7:0]	プログラム可能なバイクワッド 7、N2 係数バイト [15:8]	0x00
0x13	BQ7_N2_BYT4[7:0]	プログラム可能なバイクワッド 7、N2 係数バイト [7:0]	0x00
0x14	BQ7_D1_BYT1[7:0]	プログラム可能なバイクワッド 7、D1 係数バイト [31:24]	0x00
0x15	BQ7_D1_BYT2[7:0]	プログラム可能なバイクワッド 7、D1 係数バイト [23:16]	0x00
0x16	BQ7_D1_BYT3[7:0]	プログラム可能なバイクワッド 7、D1 係数バイト [15:8]	0x00
0x17	BQ7_D1_BYT4[7:0]	プログラム可能なバイクワッド 7、D1 係数バイト [7:0]	0x00
0x18	BQ7_D2_BYT1[7:0]	プログラム可能なバイクワッド 7、D2 係数バイト [31:24]	0x00
0x19	BQ7_D2_BYT2[7:0]	プログラム可能なバイクワッド 7、D2 係数バイト [23:16]	0x00
0x1A	BQ7_D2_BYT3[7:0]	プログラム可能なバイクワッド 7、D2 係数バイト [15:8]	0x00
0x1B	BQ7_D2_BYT4[7:0]	プログラム可能なバイクワッド 7、D2 係数バイト [7:0]	0x00
0x1C	BQ8_N0_BYT1[7:0]	プログラム可能なバイクワッド 8、N0 係数バイト [31:24]	0x7F
0x1D	BQ8_N0_BYT2[7:0]	プログラム可能なバイクワッド 8、N0 係数バイト [23:16]	0xFF
0x1E	BQ8_N0_BYT3[7:0]	プログラム可能なバイクワッド 8、N0 係数バイト [15:8]	0xFF
0x1F	BQ8_N0_BYT4[7:0]	プログラム可能なバイクワッド 8、N0 係数バイト [7:0]	0xFF
0x20	BQ8_N1_BYT1[7:0]	プログラム可能なバイクワッド 8、N1 係数バイト [31:24]	0x00
0x21	BQ8_N1_BYT2[7:0]	プログラム可能なバイクワッド 8、N1 係数バイト [23:16]	0x00
0x22	BQ8_N1_BYT3[7:0]	プログラム可能なバイクワッド 8、N1 係数バイト [15:8]	0x00
0x23	BQ8_N1_BYT4[7:0]	プログラム可能なバイクワッド 8、N1 係数バイト [7:0]	0x00
0x24	BQ8_N2_BYT1[7:0]	プログラム可能なバイクワッド 8、N2 係数バイト [31:24]	0x00
0x25	BQ8_N2_BYT2[7:0]	プログラム可能なバイクワッド 8、N2 係数バイト [23:16]	0x00
0x26	BQ8_N2_BYT3[7:0]	プログラム可能なバイクワッド 8、N2 係数バイト [15:8]	0x00
0x27	BQ8_N2_BYT4[7:0]	プログラム可能なバイクワッド 8、N2 係数バイト [7:0]	0x00
0x28	BQ8_D1_BYT1[7:0]	プログラム可能なバイクワッド 8、D1 係数バイト [31:24]	0x00
0x29	BQ8_D1_BYT2[7:0]	プログラム可能なバイクワッド 8、D1 係数バイト [23:16]	0x00
0x2A	BQ8_D1_BYT3[7:0]	プログラム可能なバイクワッド 8、D1 係数バイト [15:8]	0x00
0x2B	BQ8_D1_BYT4[7:0]	プログラム可能なバイクワッド 8、D1 係数バイト [7:0]	0x00
0x2C	BQ8_D2_BYT1[7:0]	プログラム可能なバイクワッド 8、D2 係数バイト [31:24]	0x00
0x2D	BQ8_D2_BYT2[7:0]	プログラム可能なバイクワッド 8、D2 係数バイト [23:16]	0x00
0x2E	BQ8_D2_BYT3[7:0]	プログラム可能なバイクワッド 8、D2 係数バイト [15:8]	0x00

表 7-62. ページ 3 のプログラム可能な係数レジスタ (続き)

アドレス	略称	レジスタ名	リセット値
0x2F	BQ8_D2_BYT4[7:0]	プログラム可能なバイクワッド 8、D2 係数バイト [7:0]	0x00
0x30	BQ9_N0_BYT1[7:0]	プログラム可能なバイクワッド 9、N0 係数バイト [31:24]	0x7F
0x31	BQ9_N0_BYT2[7:0]	プログラム可能なバイクワッド 9、N0 係数バイト [23:16]	0xFF
0x32	BQ9_N0_BYT3[7:0]	プログラム可能なバイクワッド 9、N0 係数バイト [15:8]	0xFF
0x33	BQ9_N0_BYT4[7:0]	プログラム可能なバイクワッド 9、N0 係数バイト [7:0]	0xFF
0x34	BQ9_N1_BYT1[7:0]	プログラム可能なバイクワッド 9、N1 係数バイト [31:24]	0x00
0x35	BQ9_N1_BYT2[7:0]	プログラム可能なバイクワッド 9、N1 係数バイト [23:16]	0x00
0x36	BQ9_N1_BYT3[7:0]	プログラム可能なバイクワッド 9、N1 係数バイト [15:8]	0x00
0x37	BQ9_N1_BYT4[7:0]	プログラム可能なバイクワッド 9、N1 係数バイト [7:0]	0x00
0x38	BQ9_N2_BYT1[7:0]	プログラム可能なバイクワッド 9、N2 係数バイト [31:24]	0x00
0x39	BQ9_N2_BYT2[7:0]	プログラム可能なバイクワッド 9、N2 係数バイト [23:16]	0x00
0x3A	BQ9_N2_BYT3[7:0]	プログラム可能なバイクワッド 9、N2 係数バイト [15:8]	0x00
0x3B	BQ9_N2_BYT4[7:0]	プログラム可能なバイクワッド 9、N2 係数バイト [7:0]	0x00
0x3C	BQ9_D1_BYT1[7:0]	プログラム可能なバイクワッド 9、D1 係数バイト [31:24]	0x00
0x3D	BQ9_D1_BYT2[7:0]	プログラム可能なバイクワッド 9、D1 係数バイト [23:16]	0x00
0x3E	BQ9_D1_BYT3[7:0]	プログラム可能なバイクワッド 9、D1 係数バイト [15:8]	0x00
0x3F	BQ9_D1_BYT4[7:0]	プログラム可能なバイクワッド 9、D1 係数バイト [7:0]	0x00
0x40	BQ9_D2_BYT1[7:0]	プログラム可能なバイクワッド 9、D2 係数バイト [31:24]	0x00
0x41	BQ9_D2_BYT2[7:0]	プログラム可能なバイクワッド 9、D2 係数バイト [23:16]	0x00
0x42	BQ9_D2_BYT3[7:0]	プログラム可能なバイクワッド 9、D2 係数バイト [15:8]	0x00
0x43	BQ9_D2_BYT4[7:0]	プログラム可能なバイクワッド 9、D2 係数バイト [7:0]	0x00
0x44	BQ10_N0_BYT1[7:0]	プログラム可能なバイクワッド 10、N0 係数バイト [31:24]	0x7F
0x45	BQ10_N0_BYT2[7:0]	プログラム可能なバイクワッド 10、N0 係数バイト [23:16]	0xFF
0x46	BQ10_N0_BYT3[7:0]	プログラム可能なバイクワッド 10、N0 係数バイト [15:8]	0xFF
0x47	BQ10_N0_BYT4[7:0]	プログラム可能なバイクワッド 10、N0 係数バイト [7:0]	0xFF
0x48	BQ10_N1_BYT1[7:0]	プログラム可能なバイクワッド 10、N1 係数バイト [31:24]	0x00
0x49	BQ10_N1_BYT2[7:0]	プログラム可能なバイクワッド 10、N1 係数バイト [23:16]	0x00
0x4A	BQ10_N1_BYT3[7:0]	プログラム可能なバイクワッド 10、N1 係数バイト [15:8]	0x00
0x4B	BQ10_N1_BYT4[7:0]	プログラム可能なバイクワッド 10、N1 係数バイト [7:0]	0x00
0x4C	BQ10_N2_BYT1[7:0]	プログラム可能なバイクワッド 10、N2 係数バイト [31:24]	0x00
0x4D	BQ10_N2_BYT2[7:0]	プログラム可能なバイクワッド 10、N2 係数バイト [23:16]	0x00
0x4E	BQ10_N2_BYT3[7:0]	プログラム可能なバイクワッド 10、N2 係数バイト [15:8]	0x00
0x4F	BQ10_N2_BYT4[7:0]	プログラム可能なバイクワッド 10、N2 係数バイト [7:0]	0x00
0x50	BQ10_D1_BYT1[7:0]	プログラム可能なバイクワッド 10、D1 係数バイト [31:24]	0x00
0x51	BQ10_D1_BYT2[7:0]	プログラム可能なバイクワッド 10、D1 係数バイト [23:16]	0x00
0x52	BQ10_D1_BYT3[7:0]	プログラム可能なバイクワッド 10、D1 係数バイト [15:8]	0x00
0x53	BQ10_D1_BYT4[7:0]	プログラム可能なバイクワッド 10、D1 係数バイト [7:0]	0x00
0x54	BQ10_D2_BYT1[7:0]	プログラム可能なバイクワッド 10、D2 係数バイト [31:24]	0x00
0x55	BQ10_D2_BYT2[7:0]	プログラム可能なバイクワッド 10、D2 係数バイト [23:16]	0x00
0x56	BQ10_D2_BYT3[7:0]	プログラム可能なバイクワッド 10、D2 係数バイト [15:8]	0x00
0x57	BQ10_D2_BYT4[7:0]	プログラム可能なバイクワッド 10、D2 係数バイト [7:0]	0x00
0x58	BQ11_N0_BYT1[7:0]	プログラム可能なバイクワッド 11、N0 係数バイト [31:24]	0x7F
0x59	BQ11_N0_BYT2[7:0]	プログラム可能なバイクワッド 11、N0 係数バイト [23:16]	0xFF
0x5A	BQ11_N0_BYT3[7:0]	プログラム可能なバイクワッド 11、N0 係数バイト [15:8]	0xFF
0x5B	BQ11_N0_BYT4[7:0]	プログラム可能なバイクワッド 11、N0 係数バイト [7:0]	0xFF
0x5C	BQ11_N1_BYT1[7:0]	プログラム可能なバイクワッド 11、N1 係数バイト [31:24]	0x00

表 7-62. ページ 3 のプログラム可能な係数レジスタ (続き)

アドレス	略称	レジスタ名	リセット値
0x5D	BQ11_N1_BYT2[7:0]	プログラム可能なバイクワッド 11、N1 係数バイト [23:16]	0x00
0x5E	BQ11_N1_BYT3[7:0]	プログラム可能なバイクワッド 11、N1 係数バイト [15:8]	0x00
0x5F	BQ11_N1_BYT4[7:0]	プログラム可能なバイクワッド 11、N1 係数バイト [7:0]	0x00
0x60	BQ11_N2_BYT1[7:0]	プログラム可能なバイクワッド 11、N2 係数バイト [31:24]	0x00
0x61	BQ11_N2_BYT2[7:0]	プログラム可能なバイクワッド 11、N2 係数バイト [23:16]	0x00
0x62	BQ11_N2_BYT3[7:0]	プログラム可能なバイクワッド 11、N2 係数バイト [15:8]	0x00
0x63	BQ11_N2_BYT4[7:0]	プログラム可能なバイクワッド 11、N2 係数バイト [7:0]	0x00
0x64	BQ11_D1_BYT1[7:0]	プログラム可能なバイクワッド 11、D1 係数バイト [31:24]	0x00
0x65	BQ11_D1_BYT2[7:0]	プログラム可能なバイクワッド 11、D1 係数バイト [23:16]	0x00
0x66	BQ11_D1_BYT3[7:0]	プログラム可能なバイクワッド 11、D1 係数バイト [15:8]	0x00
0x67	BQ11_D1_BYT4[7:0]	プログラム可能なバイクワッド 11、D1 係数バイト [7:0]	0x00
0x68	BQ11_D2_BYT1[7:0]	プログラム可能なバイクワッド 11、D2 係数バイト [31:24]	0x00
0x69	BQ11_D2_BYT2[7:0]	プログラム可能なバイクワッド 11、D2 係数バイト [23:16]	0x00
0x6A	BQ11_D2_BYT3[7:0]	プログラム可能なバイクワッド 11、D2 係数バイト [15:8]	0x00
0x6B	BQ11_D2_BYT4[7:0]	プログラム可能なバイクワッド 11、D2 係数バイト [7:0]	0x00
0x6C	BQ12_N0_BYT1[7:0]	プログラム可能なバイクワッド 12、N0 係数バイト [31:24]	0x7F
0x6D	BQ12_N0_BYT2[7:0]	プログラム可能なバイクワッド 12、N0 係数バイト [23:16]	0xFF
0x6E	BQ12_N0_BYT3[7:0]	プログラム可能なバイクワッド 12、N0 係数バイト [15:8]	0xFF
0x6F	BQ12_N0_BYT4[7:0]	プログラム可能なバイクワッド 12、N0 係数バイト [7:0]	0xFF
0x70	BQ12_N1_BYT1[7:0]	プログラム可能なバイクワッド 12、N1 係数バイト [31:24]	0x00
0x71	BQ12_N1_BYT2[7:0]	プログラム可能なバイクワッド 12、N1 係数バイト [23:16]	0x00
0x72	BQ12_N1_BYT3[7:0]	プログラム可能なバイクワッド 12、N1 係数バイト [15:8]	0x00
0x73	BQ12_N1_BYT4[7:0]	プログラム可能なバイクワッド 12、N1 係数バイト [7:0]	0x00
0x74	BQ12_N2_BYT1[7:0]	プログラム可能なバイクワッド 12、N2 係数バイト [31:24]	0x00
0x75	BQ12_N2_BYT2[7:0]	プログラム可能なバイクワッド 12、N2 係数バイト [23:16]	0x00
0x76	BQ12_N2_BYT3[7:0]	プログラム可能なバイクワッド 12、N2 係数バイト [15:8]	0x00
0x77	BQ12_N2_BYT4[7:0]	プログラム可能なバイクワッド 12、N2 係数バイト [7:0]	0x00
0x78	BQ12_D1_BYT1[7:0]	プログラム可能なバイクワッド 12、D1 係数バイト [31:24]	0x00
0x79	BQ12_D1_BYT2[7:0]	プログラム可能なバイクワッド 12、D1 係数バイト [23:16]	0x00
0x7A	BQ12_D1_BYT3[7:0]	プログラム可能なバイクワッド 12、D1 係数バイト [15:8]	0x00
0x7B	BQ12_D1_BYT4[7:0]	プログラム可能なバイクワッド 12、D1 係数バイト [7:0]	0x00
0x7C	BQ12_D2_BYT1[7:0]	プログラム可能なバイクワッド 12、D2 係数バイト [31:24]	0x00
0x7D	BQ12_D2_BYT2[7:0]	プログラム可能なバイクワッド 12、D2 係数バイト [23:16]	0x00
0x7E	BQ12_D2_BYT3[7:0]	プログラム可能なバイクワッド 12、D2 係数バイト [15:8]	0x00
0x7F	BQ12_D2_BYT4[7:0]	プログラム可能なバイクワッド 12、D2 係数バイト [7:0]	0x00

7.4.3 プログラム可能な係数レジスタ : ページ 4

このレジスタ ページ (表 7-63 を参照) は、ミキサ 1 ~ ミキサ 4 のプログラマブル係数と 1 次 IIR フィルタで構成されています。

表 7-63. ページ 4 のプログラム可能な係数レジスタ

アドレス	略称	レジスタ名	リセット値
0x00	PAGE[7:0]	デバイス ページレジスタ	0x00
0x08	MIX1_CH1_BYT1[7:0]	デジタル ミキサ 1、チャンネル 1 係数バイト [31:24]	0x7F
0x09	MIX1_CH1_BYT2[7:0]	デジタル ミキサ 1、チャンネル 1 係数バイト [23:16]	0xFF
0x0A	MIX1_CH1_BYT3[7:0]	デジタル ミキサ 1、チャンネル 1 係数バイト [15:8]	0xFF
0x0B	MIX1_CH1_BYT4[7:0]	デジタル ミキサ 1、チャンネル 1 係数バイト [7:0]	0xFF
0x0C	MIX1_CH2_BYT1[7:0]	デジタル ミキサ 1、チャンネル 2 係数バイト [31:24]	0x00
0x0D	MIX1_CH2_BYT2[7:0]	デジタル ミキサ 1、チャンネル 2 係数バイト [23:16]	0x00
0x0E	MIX1_CH2_BYT3[7:0]	デジタル ミキサ 1、チャンネル 2 係数バイト [15:8]	0x00
0x0F	MIX1_CH2_BYT4[7:0]	デジタル ミキサ 1、チャンネル 2 係数バイト [7:0]	0x00
0x10	MIX1_CH3_BYT1[7:0]	デジタル ミキサ 1、チャンネル 3 係数バイト [31:24]	0x00
0x11	MIX1_CH3_BYT2[7:0]	デジタル ミキサ 1、チャンネル 3 係数バイト [23:16]	0x00
0x12	MIX1_CH3_BYT3[7:0]	デジタル ミキサ 1、チャンネル 3 係数バイト [15:8]	0x00
0x13	MIX1_CH3_BYT4[7:0]	デジタル ミキサ 1、チャンネル 3 係数バイト [7:0]	0x00
0x14	MIX1_CH4_BYT1[7:0]	デジタル ミキサ 1、チャンネル 4 係数バイト [31:24]	0x00
0x15	MIX1_CH4_BYT2[7:0]	デジタル ミキサ 1、チャンネル 4 係数バイト [23:16]	0x00
0x16	MIX1_CH4_BYT3[7:0]	デジタル ミキサ 1、チャンネル 4 係数バイト [15:8]	0x00
0x17	MIX1_CH4_BYT4[7:0]	デジタル ミキサ 1、チャンネル 4 係数バイト [7:0]	0x00
0x18	MIX2_CH1_BYT1[7:0]	デジタル ミキサ 2、チャンネル 1 係数バイト [31:24]	0x00
0x19	MIX2_CH1_BYT2[7:0]	デジタル ミキサ 2、チャンネル 1 係数バイト [23:16]	0x00
0x1A	MIX2_CH1_BYT3[7:0]	デジタル ミキサ 2、チャンネル 1 係数バイト [15:8]	0x00
0x1B	MIX2_CH1_BYT4[7:0]	デジタル ミキサ 2、チャンネル 1 係数バイト [7:0]	0x00
0x1C	MIX2_CH2_BYT1[7:0]	デジタル ミキサ 2、チャンネル 2 係数バイト [31:24]	0x7F
0x1D	MIX2_CH2_BYT2[7:0]	デジタル ミキサ 2、チャンネル 2 係数バイト [23:16]	0xFF
0x1E	MIX2_CH2_BYT3[7:0]	デジタル ミキサ 2、チャンネル 2 係数バイト [15:8]	0xFF
0x1F	MIX2_CH2_BYT4[7:0]	デジタル ミキサ 2、チャンネル 2 係数バイト [7:0]	0xFF
0x20	MIX2_CH3_BYT1[7:0]	デジタル ミキサ 2、チャンネル 3 係数バイト [31:24]	0x00
0x21	MIX2_CH3_BYT2[7:0]	デジタル ミキサ 2、チャンネル 3 係数バイト [23:16]	0x00
0x22	MIX2_CH3_BYT3[7:0]	デジタル ミキサ 2、チャンネル 3 係数バイト [15:8]	0x00
0x23	MIX2_CH3_BYT4[7:0]	デジタル ミキサ 2、チャンネル 3 係数バイト [7:0]	0x00
0x24	MIX2_CH4_BYT1[7:0]	デジタル ミキサ 2、チャンネル 4 係数バイト [31:24]	0x00
0x25	MIX2_CH4_BYT2[7:0]	デジタル ミキサ 2、チャンネル 4 係数バイト [23:16]	0x00
0x26	MIX2_CH4_BYT3[7:0]	デジタル ミキサ 2、チャンネル 4 係数バイト [15:8]	0x00
0x27	MIX2_CH4_BYT4[7:0]	デジタル ミキサ 2、チャンネル 4 係数バイト [7:0]	0x00
0x28	MIX3_CH1_BYT1[7:0]	デジタル ミキサ 3、チャンネル 1 係数バイト [31:24]	0x00
0x29	MIX3_CH1_BYT2[7:0]	デジタル ミキサ 3、チャンネル 1 係数バイト [23:16]	0x00
0x2A	MIX3_CH1_BYT3[7:0]	デジタル ミキサ 3、チャンネル 1 係数バイト [15:8]	0x00
0x2B	MIX3_CH1_BYT4[7:0]	デジタル ミキサ 3、チャンネル 1 係数バイト [7:0]	0x00
0x2C	MIX3_CH2_BYT1[7:0]	デジタル ミキサ 3、チャンネル 2 係数バイト [31:24]	0x00
0x2D	MIX3_CH2_BYT2[7:0]	デジタル ミキサ 3、チャンネル 2 係数バイト [23:16]	0x00
0x2E	MIX3_CH2_BYT3[7:0]	デジタル ミキサ 3、チャンネル 2 係数バイト [15:8]	0x00
0x2F	MIX3_CH2_BYT4[7:0]	デジタル ミキサ 3、チャンネル 2 係数バイト [7:0]	0x00
0x30	MIX3_CH3_BYT1[7:0]	デジタル ミキサ 3、チャンネル 3 係数バイト [31:24]	0x7F

表 7-63. ページ 4 のプログラム可能な係数レジスタ (続き)

アドレス	略称	レジスタ名	リセット値
0x31	MIX3_CH3_BYT2[7:0]	デジタル ミキサ 3、チャンネル 3 係数バイト [23:16]	0xFF
0x32	MIX3_CH3_BYT3[7:0]	デジタル ミキサ 3、チャンネル 3 係数バイト [15:8]	0xFF
0x33	MIX3_CH3_BYT4[7:0]	デジタル ミキサ 3、チャンネル 3 係数バイト [7:0]	0xFF
0x34	MIX3_CH4_BYT1[7:0]	デジタル ミキサ 3、チャンネル 4 係数バイト [31:24]	0x00
0x35	MIX3_CH4_BYT2[7:0]	デジタル ミキサ 3、チャンネル 4 係数バイト [23:16]	0x00
0x36	MIX3_CH4_BYT3[7:0]	デジタル ミキサ 3、チャンネル 4 係数バイト [15:8]	0x00
0x37	MIX3_CH4_BYT4[7:0]	デジタル ミキサ 3、チャンネル 4 係数バイト [7:0]	0x00
0x38	MIX4_CH1_BYT1[7:0]	デジタル ミキサ 4、チャンネル 1 係数バイト [31:24]	0x00
0x39	MIX4_CH1_BYT2[7:0]	デジタル ミキサ 4、チャンネル 1 係数バイト [23:16]	0x00
0x3A	MIX4_CH1_BYT3[7:0]	デジタル ミキサ 4、チャンネル 1 係数バイト [15:8]	0x00
0x3B	MIX4_CH1_BYT4[7:0]	デジタル ミキサ 4、チャンネル 1 係数バイト [7:0]	0x00
0x3C	MIX4_CH2_BYT1[7:0]	デジタル ミキサ 4、チャンネル 2 係数バイト [31:24]	0x00
0x3D	MIX4_CH2_BYT2[7:0]	デジタル ミキサ 4、チャンネル 2 係数バイト [23:16]	0x00
0x3E	MIX4_CH2_BYT3[7:0]	デジタル ミキサ 4、チャンネル 2 係数バイト [15:8]	0x00
0x3F	MIX4_CH2_BYT4[7:0]	デジタル ミキサ 4、チャンネル 2 係数バイト [7:0]	0x00
0x40	MIX4_CH3_BYT1[7:0]	デジタル ミキサ 4、チャンネル 3 係数バイト [31:24]	0x00
0x41	MIX4_CH3_BYT2[7:0]	デジタル ミキサ 4、チャンネル 3 係数バイト [23:16]	0x00
0x42	MIX4_CH3_BYT3[7:0]	デジタル ミキサ 4、チャンネル 3 係数バイト [15:8]	0x00
0x43	MIX4_CH3_BYT4[7:0]	デジタル ミキサ 4、チャンネル 3 係数バイト [7:0]	0x00
0x44	MIX4_CH4_BYT1[7:0]	デジタル ミキサ 4、チャンネル 4 係数バイト [31:24]	0x7F
0x45	MIX4_CH4_BYT2[7:0]	デジタル ミキサ 4、チャンネル 4 係数バイト [23:16]	0xFF
0x46	MIX4_CH4_BYT3[7:0]	デジタル ミキサ 4、チャンネル 4 係数バイト [15:8]	0xFF
0x47	MIX4_CH4_BYT4[7:0]	デジタル ミキサ 4、チャンネル 4 係数バイト [7:0]	0xFF
0x48	IIR_N0_BYT1[7:0]	プログラム可能な 1 次 IIR、N0 係数バイト [31:24]	0x7F
0x49	IIR_N0_BYT2[7:0]	プログラム可能な 1 次 IIR、N0 係数バイト [23:16]	0xFF
0x4A	IIR_N0_BYT3[7:0]	プログラム可能な 1 次 IIR、N0 係数バイト [15:8]	0xFF
0x4B	IIR_N0_BYT4[7:0]	プログラム可能な 1 次 IIR、N0 係数バイト [7:0]	0xFF
0x4C	IIR_N1_BYT1[7:0]	プログラム可能な 1 次 IIR、N1 係数バイト [31:24]	0x00
0x4D	IIR_N1_BYT2[7:0]	プログラム可能な 1 次 IIR、N1 係数バイト [23:16]	0x00
0x4E	IIR_N1_BYT3[7:0]	プログラム可能な 1 次 IIR、N1 係数バイト [15:8]	0x00
0x4F	IIR_N1_BYT4[7:0]	プログラム可能な 1 次 IIR、N1 係数バイト [7:0]	0x00
0x50	IIR_D1_BYT1[7:0]	プログラム可能な 1 次 IIR、D1 係数バイト [31:24]	0x00
0x51	IIR_D1_BYT2[7:0]	プログラム可能な 1 次 IIR、D1 係数バイト [23:16]	0x00
0x52	IIR_D1_BYT3[7:0]	プログラム可能な 1 次 IIR、D1 係数バイト [15:8]	0x00
0x53	IIR_D1_BYT4[7:0]	プログラム可能な 1 次 IIR、D1 係数バイト [7:0]	0x00

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

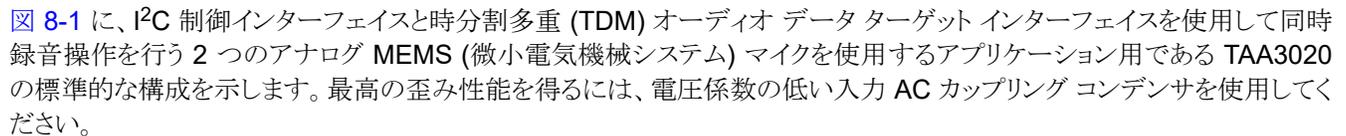
8.1 使用上の注意

TAA3020 は、最大 768kHz の出力サンプル レートをサポートするマルチチャンネルの高性能オーディオ A/D コンバータ (ADC) です。このデバイスは、同時録音アプリケーション用に最大 2 つのアナログ マイクまたは最大 4 つのデジタル パルス密度変調 (PDM) マイクをサポートしています。

制御レジスタを構成するための TAA3020 との通信は、I²C インターフェイスを使用してサポートされています。このデバイスは、柔軟性の高いオーディオ シリアル インターフェイス (TDM、I²S、LJ) をサポートしており、システム内でデバイス間でオーディオ データをシームレスに送信できます。

8.2 代表的なアプリケーション

8.2.1 2 チャンネルのアナログ マイク録音

 **図 8-1** に、I²C 制御インターフェイスと時分割多重 (TDM) オーディオ データ ターゲット インターフェイスを使用して同時録音操作を行う 2 つのアナログ MEMS (微小電気機械システム) マイクを使用するアプリケーション用である TAA3020 の標準的な構成を示します。最高の歪み性能を得るには、電圧係数の低い入力 AC カップリング コンデンサを使用してください。

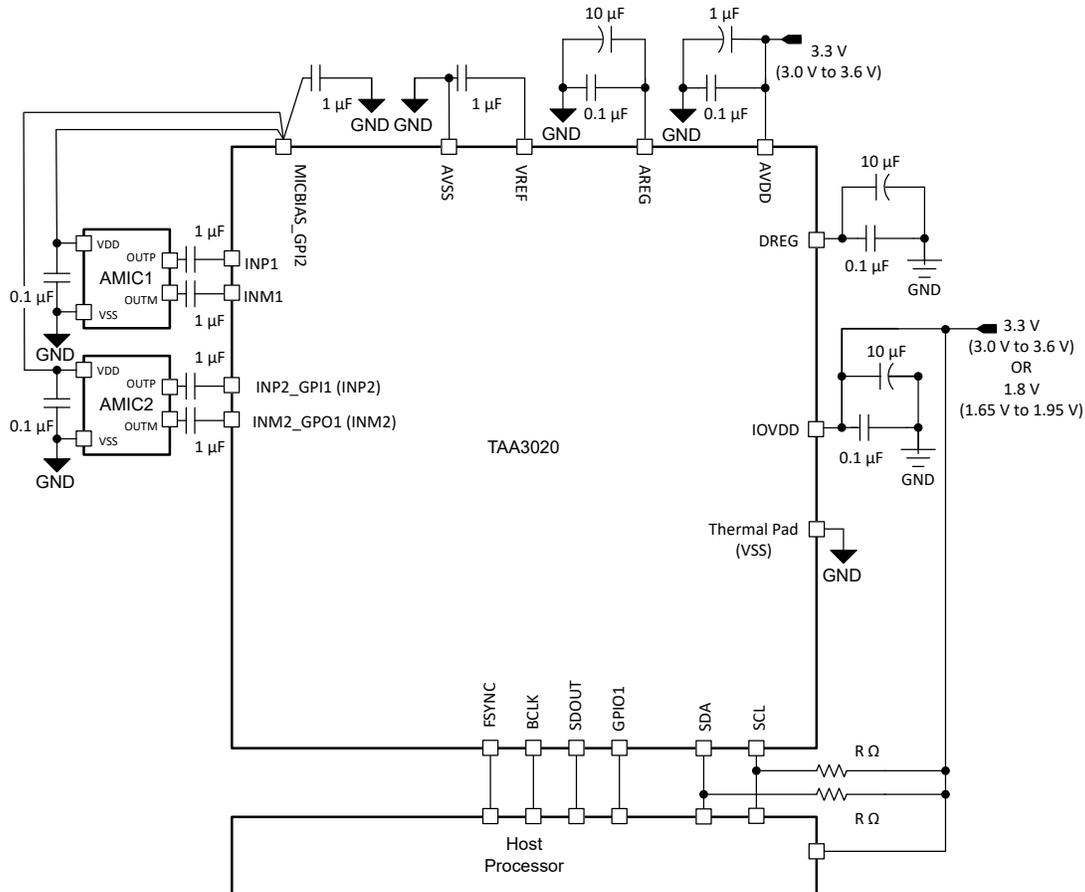


図 8-1.2 チャンネルのアナログマイク録音図

8.2.1.1 設計要件

このアプリケーションの設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

主要なパラメータ	仕様
AVDD	3.3V
AVDD 供給電流消費	> 14mA (PLL オン、2 チャンネル録音、 $f_S = 48\text{kHz}$)
IOVDD	1.8V または 3.3V
最大 MICBIAS 電流	5mA (MICBIAS 電圧は AVDD と同じ)

8.2.1.2 詳細な設計手順

このセクションでは、この特定のアプリケーション用に TAA3020 を設定するために必要な手順について説明します。以下の手順では、デバイスに電源を投入してから、デバイスからデータを読み取るか、または 1 つのモードから別の動作モードに移行するまでの間に実行する必要がある一連の項目を示します。

- ボードに電源を供給します。
 - IOVDD と AVDD の電源をオンにします
 - デバイスが内部レジスタを初期化できるよう、少なくとも 1 ミリ秒待ちます
 - デバイスがスリープモードに移行します (低消費電力モード $10\mu\text{A}$)
- 録音動作に必要な場合に次のようにスリープモードからアクティブモードに遷移します。

- a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
- b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
- c. 必要に応じて、デフォルトの構成レジスタまたはプログラム可能な係数値を上書きします (このステップはオプションです)
- d. P0_R115 に書き込んで、必要なすべての入力チャンネルを有効にします
- e. P0_R116 に書き込むことで、必要なオーディオ シリアル インターフェースの出力チャンネルをすべて有効にします
- f. P0_R117 に書き込んで ADC、MICBIAS、および PLL を起動します
- g. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。

この特定のステップは、ステップ a 以降のシーケンスの任意の時点で実行できます。

サポートされているサンプルレートと BCLK 対 FSYNC 比については、[フェーズロックループ \(PLL\) とクロック生成](#) セクションを参照してください。

- h. デバイスの記録データは、TDM オーディオ シリアル データ バス経由でホストプロセッサへ送信されます
3. 低消費電力動作のためにシステムの必要に応じて、アクティブ モードからスリープ モードに(再度)遷移します。
 - a. P0_R2 に書き込んでスリープ モードに移行し、スリープ モードをイネーブルにします
 - b. ボリュームが下降し、すべてのブロックがパワーダウンするまで、少なくとも 6ms (FSYNC = 48kHz のとき) 待ちます
 - c. P0_R119 を読み出して、デバイスのシャットダウンおよびスリープ モードのステータスを確認します
 - d. デバイス P0_R119_D7 のステータス ビットが 1'b1 の場合、システム内の FSYNC と BCLK を停止します
 - e. この時点で、デバイスはスリープ モード (低消費電力モード < 10µA) に移行し、すべてのレジスタ値が保持されます
 4. 記録動作に必要な場合に、スリープ モードからアクティブ モードに(再度)遷移します。
 - a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
 - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
 - c. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。
 - d. デバイスの記録データは、TDM オーディオ シリアル データ バス経由でホストプロセッサへ送信されます
 5. 必要に応じて、設定変更の場合は手順 2 から手順 4 を、モード遷移の場合は手順 3 から 4 を繰り返します

8.2.1.2.1 EVM セットアップ用のデバイス レジスタ構成スクリプトの例

このセクションでは、差動入力を備えた 2 チャンネル アナログ マイク録音モードで TAA3020 を設定する方法を示す標準的な評価基板 I²C レジスタ制御スクリプトを紹介します。

```
# Key: w 9C XX YY ==> write to I2C address 0x9C, to register 0xxx, data 0xyY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. There are
# other valid sequences depending on which features are used.
#
# See the TAA3020EVM user guide for jumper settings and audio connections.
#
# Differential 2-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 44.1kHz (output data sample rate), BCLK = 11.2896MHz (BCLK/FSYNC = 256)
#####
#
# Power-up the IOVDD and AVDD power supplies
# wait for the IOVDD and AVDD power supplies to settle to a steady-state operating voltage range.
# wait for 1ms.
#
# Wake-up the device with an I2C write into P0_R2 using an internal AREG
w 9C 02 81
#
# Enable input Ch-1 and Ch-2 by an I2C write into P0_R115
w 9C 73 C0
#
# Enable ASI output Ch-1 and Ch-2 slots by an I2C write into P0_R116
w 9C 74 C0
#
# Power-up the ADC, MICBIAS, and PLL by an I2C write into P0_R117
w 9C 75 E0
#
# Apply FSYNC = 44.1kHz and BCLK = 11.2896MHz and
# Start recording data via the host on the ASI bus with a TDM protocol 32-bits channel wordlength
```

8.2.2.4 チャンルのデジタルPDM マイク録音

図 8-2 に、I²C 制御インターフェイスと TDM オーディオ データ ターゲット インターフェイスを使用して同時録音操作を実行する 4 つのデジタル PDM MEMS マイクを使用するアプリケーションにおける TAA3020 の一般的な構成を示します。システムで MICBIAS 出力を使用しない場合、MICBIAS ピンの 1 μ F コンデンサは必須ではありません。

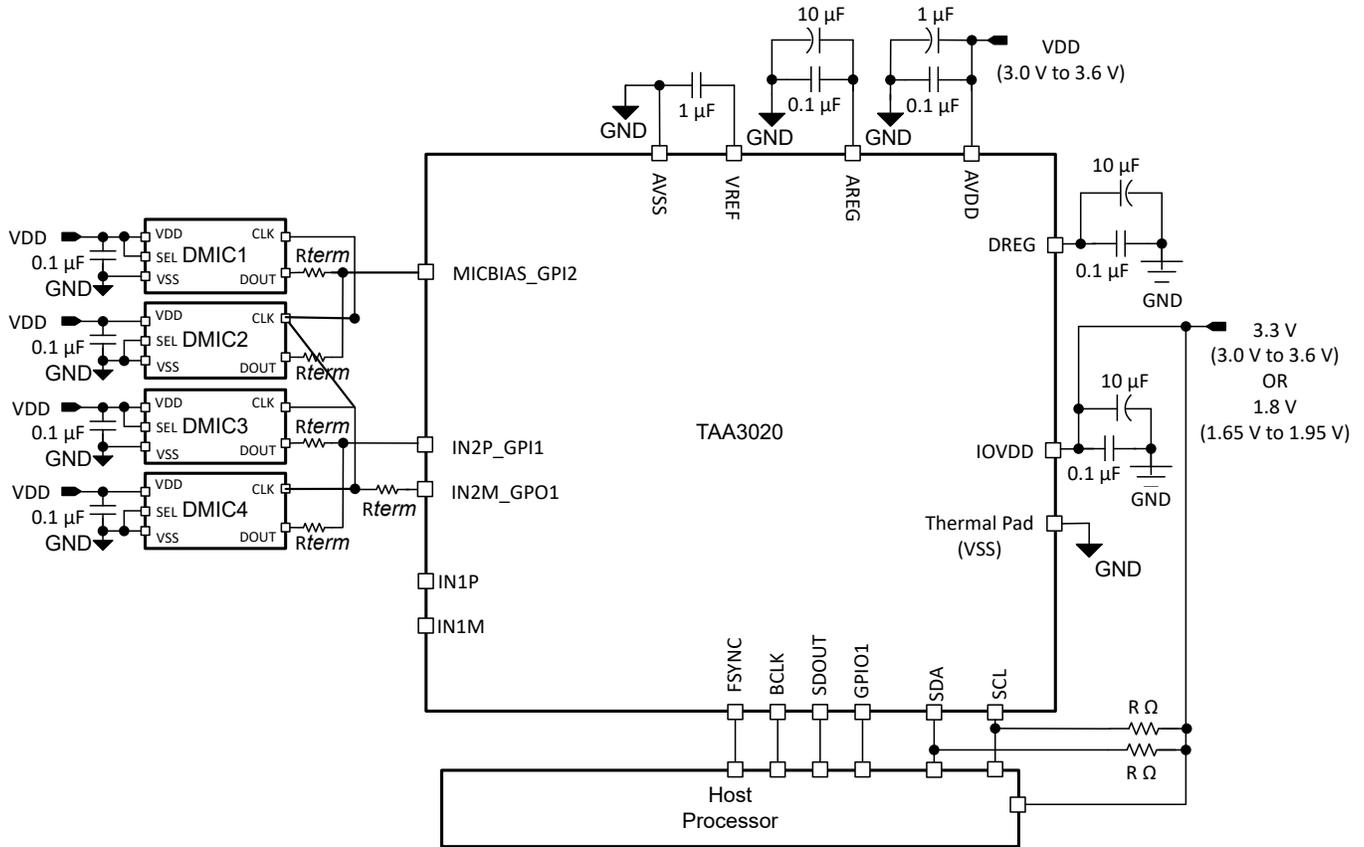


図 8-2. 4 チャンルのデジタル PDM マイク録音図

8.2.2.1 設計要件

このアプリケーションの設計パラメータを、表 8-2 に示します。

表 8-2. 設計パラメータ

主要なパラメータ	仕様
AVDD	3.3V
AVDD 供給電流消費	> 8mA (PLL オン、4 チャンネル録音、 $f_s = 48\text{kHz}$)
IOVDD	1.8V または 3.3V

8.2.2.2 詳細な設計手順

このセクションでは、この特定のアプリケーション用に TAA3020 を設定するために必要な手順について説明します。以下の手順では、デバイスに電源を投入してから、デバイスからデータを読み取るか、または 1 つのモードから別の動作モードに移行するまでの間に実行する必要がある一連の項目を示します。

1. ボードに電源を供給します。
 - a. IOVDD と AVDD の電源をオンにします
 - b. デバイスが内部レジスタを初期化できるよう、少なくとも 1 ミリ秒待ちます
 - c. デバイスがスリープ モードに移行します (低消費電力モード < 10 μ A)
2. 録音動作に必要な場合に次のようにスリープ モードからアクティブ モードに遷移します。
 - a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
 - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
 - c. 必要に応じて、デフォルトの構成レジスタまたはプログラム可能な係数値を上書きします (このステップはオプションです)
 - d. デジタル マイク用のチャンネル 1 からチャンネル 2 (CHx_INSRC) を録音の入力ソースとして構成します
 - e. GPO1 (GPO1_CFG) および GPIO1 (GPIO1_CFG) を PDMCLK 出力として構成します
 - f. GPIx (GPI1x_CFG) を PDMDINx として構成します
 - g. P0_R115 に書き込んで、必要なすべての入力チャンネルを有効にします
 - h. P0_R116 に書き込むことで、必要なオーディオ シリアル インターフェースの出力チャンネルをすべて有効にします
 - i. P0_R117 に書き込んで ADC と PLL を起動します
 - j. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。

この特定のステップは、ステップ a 以降のシーケンスの任意の時点で実行できます。

サポートされているサンプルレートと BCLK 対 FSYNC 比については、[フェーズロックループ \(PLL\) とクロック生成](#) セクションを参照してください。

- k. デバイスの記録データは、TDM オーディオ シリアル データ バスを使用してホスト プロセッサに送信されます
3. 低消費電力動作のためにシステムの必要に応じて、アクティブ モードからスリープ モードに (再度) 遷移します。
 - a. P0_R2 に書き込んでスリープ モードに移行し、スリープ モードをイネーブルにします
 - b. ボリュームが下降し、すべてのブロックがパワーダウンするまで、少なくとも 6ms (FSYNC = 48kHz のとき) 待ちます
 - c. P0_R119 を読み出して、デバイスのシャットダウンおよびスリープ モードのステータスを確認します
 - d. デバイス P0_R119_D7 のステータス ビットが 1'b1 の場合、システム内の FSYNC と BCLK を停止します
 - e. この時点で、デバイスはスリープ モード (低消費電力モード < 10 μ A) に移行し、すべてのレジスタ値が保持されます
4. 記録動作に必要な場合に、スリープ モードからアクティブ モードに (再度) 遷移します。
 - a. P0_R2 に書き込んでスリープ モードを無効にすることで、デバイスを起動します
 - b. デバイスが内部ウェイクアップ シーケンスを完了できるように、少なくとも 1 ミリ秒待ちます
 - c. 希望する出力サンプルレートと BCLK と FSYNC の比率で FSYNC と BCLK を適用します。
 - d. デバイスの記録データは、TDM オーディオ シリアル データ バスを使用してホスト プロセッサに送信されます
5. 必要に応じて、モード遷移の場合は手順 3 と手順 4 を、設定変更の場合は手順 2 から手順 4 を繰り返します

8.2.2.2.1 EVM セットアップ用のデバイス レジスタ構成スクリプトの例

このセクションでは、4 チャンネル デジタル PDM マイク録音モードで TAA3020 を設定する方法を示す標準的な評価基板 I²C レジスタ制御スクリプトを紹介します。

```
# Key: w 9C XX YY ==> write to I2C address 0x9C, to register 0xxx, data 0xYY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. There are
# other valid sequences depending on which features are used.
#
# See the TAA3020EVM user guide for jumper settings and audio connections.
#
# PDM 4-channel : PDMDIN1 - Ch1 and Ch2, PDMDIN2 - Ch3 and Ch4
#
# FSYNC = 44.1kHz (output data sample rate), BCLK = 11.2896MHz (BCLK/FSYNC = 256)
#####
#
# Power-up the IOVDD and AVDD power supplies
# wait for the IOVDD and AVDD power supplies to settle to a steady state operating voltage range.
# wait for 1ms.
#
# wake-up the device by an I2C write into P0_R2 using an internal AREG
w 9C 02 81
#
# Configure CH2_INSRC as a digital PDM input by an I2C write into P0_R65
w 9C 41 40
#
# Configure MICBIAS_GPI2 as a digital PDM input by an I2C write into P0_R59
w 9C 3B 70
#
# Configure GP01 as PDMCLK by an I2C write into P0_R34
w 9C 22 41
#
# Configure GPI1 and GPI2 as PDMDIN1 and PDMDIN2 by an I2C write into P0_R43
w 9C 2B 45
#
# Enable input Ch-1 to Ch-4 by an I2C write into P0_R115
w 9C 73 F0
#
# Enable ASI output Ch-1 to Ch-4 slots by an I2C write into P0_R116
w 9C 74 F0
#
# Power-up the ADC and PLL by an I2C write into P0_R117
w 9C 75 60
#
# Apply FSYNC = 44.1kHz and BCLK = 11.2896MHz and
# Start recording data via the host on the ASI bus with a TDM protocol 32-bits channel wordlength
```

8.3 設計のベスト プラクティス

VAD 動作モードでは、自動ウェークアップが有効なときの割り込み生成にいくつかの制限があります。これらの制限の詳細については、『TLV320ADC5120 および TLV320ADC6120 の音声アクティビティ検出器 (VAD) の使用』アプリケーション ノートを参照してください。

44.1kHz 未満のサンプリング レートを使用する場合、自動ゲイン コントローラ (AGC) 機能にはいくつかの制限があります。この制限の詳細については、『TLV320ADCx120 ファミリーでの自動ゲイン コントローラ (AGC) の使用』アプリケーション ノートを参照してください。

8.4 電源に関する推奨事項

IOVDD と AVDD レール間の電源供給シーケンスは、任意の順序で適用できます。ただし、すべての電源が安定した後で、デバイスを初期化するために I²C トランザクションのみを開始します。

電源の起動要件については、デバイスが内部レジスタを初期化できるようにするには、 t_1 、 t_2 が 2ms 以上である必要があります。デバイスの電源が推奨動作電圧レベルに安定した後で、各種モードでデバイスが動作する方法の詳細については、セクション 6.4 セクションを参照してください。電源のパワーダウン要件では、 t_3 および t_4 が 10ms 以上必要です。このタイミング (図 8-3 を参照) により、デバイスは記録再生データのボリュームを下げて、アナログ ブロックとデジタル ブロックをパワーダウンして、デバイスをシャットダウン モードに移行できます。また、電源を徐々に落とすことで、この装置を即座にシャットダウン モードにすることもできますが、そうすると急激なシャットダウンが発生します。

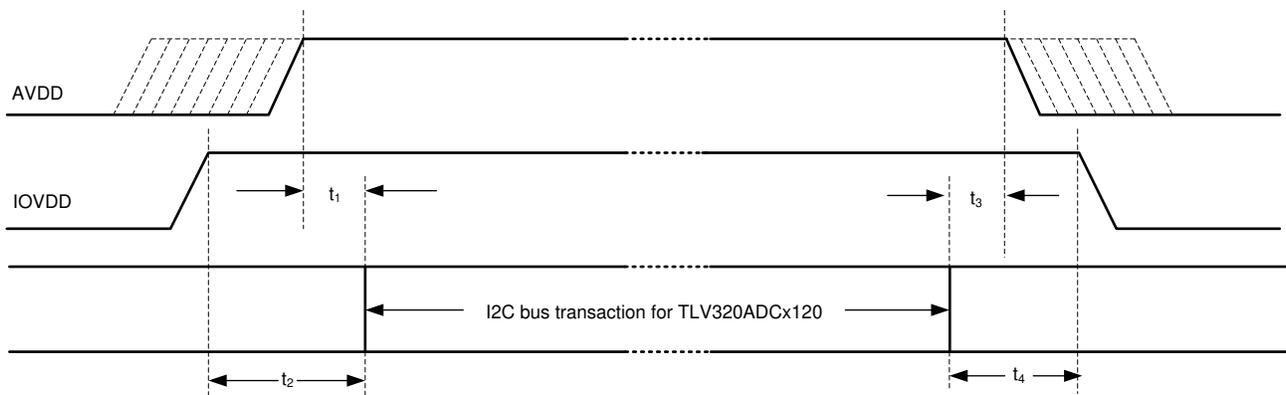


図 8-3. 電源シーケンス要件のタイミング図

電源ランプ レートが 1V/ μ s より遅いこと、およびパワーダウンとパワーアップ イベント間の待機時間が少なくとも 100ms であることを確認してください。供給ランプ レートが 0.1V/ms より遅い場合、ホスト デバイスは、デバイス構成を行う前に、最初のトランザクションとしてソフトウェア リセットを適用する必要があります。すべてのデジタル入力ピンが有効な入力レベルにあり、電源シーケンス中にトグルしていないことを確認してください。

TAA3020 は、オンチップのデジタル レギュレータ DREG とアナログ レギュレータ AREG を統合することで、単一 AVDD 電源供給動作をサポートします。しかし、システムで AVDD 電圧が 1.98V 未満の場合、AREG ピンと AVDD ピンをオンボードで短絡し、AREG_SELECT ビットを P0_R2 の 1b'0 (デフォルト値) に維持して内部 AREG を有効にしません。システムで使用される AVDD 電源が 2.7V よりも高い場合、ホスト デバイスはスリープ モードを終了しながら AREG_SELECT を 1b'1 に設定して、デバイスの内部レギュレータが AREG 電源を生成できるようにします。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

それぞれのシステム設計とプリント回路基板 (PCB) レイアウトは独自です。レイアウトは、特定の PCB 設計のコンテキストで慎重に確認する必要があります。ただし、デバイスの性能を最適化するには、以下のガイドラインを使用します。

- サーマル パッドをグラウンドに接続します。デバイスの真下にあるデバイスの熱パッドをグラウンド プレーンに接続するために、ビア パターンを使用します。この接続は、デバイスからの熱を放散するのに役立ちます。

- 電源用のデカップリング コンデンサは、デバイスのピンに近づけて配置する必要があります。
- 電源デカップリング コンデンサには、低 ESR のセラミック タイプを使用する必要があります。
- ノイズ耐性を向上させるため、アナログ差動オーディオ信号は PCB 上で差動形式で配線します。望ましくないクロストークを防止するため、デジタル信号とアナログ信号の交差は避けてください。
- デバイスの内部電圧リファレンスは、外付けのコンデンサを使用してフィルタ処理する必要があります。最適な性能を得るため、フィルタ コンデンサは VREF ピンの近くに配置します。
- 複数のマイクのバイアス線や供給線を配線する際に、マイク間でのカップリングを避けるために、MICBIAS ピンに直接接続して共通インピーダンスを避けます。
- VREF および MICBIAS の外部コンデンサのグランド端子を AVSS ピンに直接短絡します。この接続トレースにはビアを使用しないでください。
- MICBIAS コンデンサ (低い等価直列抵抗を持つもの) を、デバイスにできるだけ近く、トレース インピーダンスが最小となるように配置します。
- デバイスとデカップリング キャパシタの間で電力および信号電流の最小インピーダンスを提供するために、グランドプレーンを使用します。デバイスの真下の領域を、デバイスのための中央グラウンド エリアとして扱い、すべてのデバイスのグラウンドをそのエリアに直接接続します。

8.5.2 レイアウト例

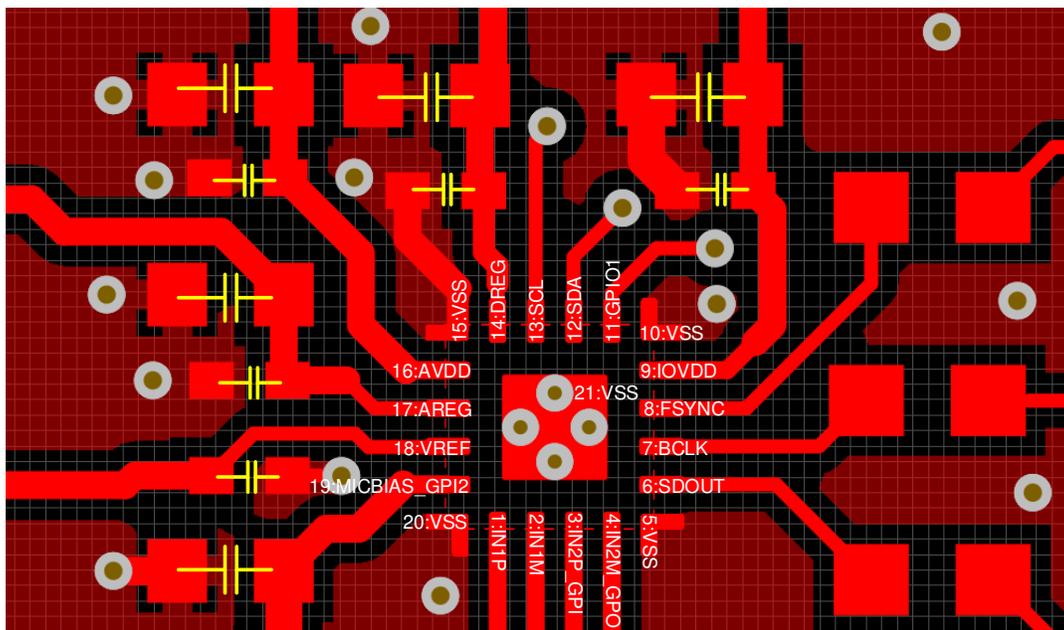


図 8-4. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『ADCx120EVM-PDK 評価モジュール』ユーザー ガイド
- テキサス インスツルメンツ、『オーディオ バス マスターとしての TLV320ADCx120 の構成と動作』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx120 デバイスの入力同相許容範囲と高 CMRR モード』アプリケーション ノート
- テキサス インスツルメンツ、『複数の TLV320ADCx140 および TLV320ADCx120、複数の TLV320ADCx140 デバイスでの TDM と I²C バスの共有』アプリケーション ノート
- テキサス インスツルメンツ、『オーディオ システム設計/開発向け PurePath™ Console グラフィカル開発スイート』
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx120 ささまざまな使用シナリオにおける消費電力マトリックス』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx120 サンプリング レートとサポートされるプログラマブル処理ブロック』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx140/PCMX140-Q1 プログラマブル バイクワッド フィルタの構成およびアプリケーション』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx140 および TLV320ADCx120 統合アナログ アンチエイリアシング フィルタとフレキシブル デジタル フィルタ』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx120 ファミリでの自動ゲイン コントローラ (AGC) の使用』アプリケーション ノート
- テキサス インスツルメンツ、『TLV320ADCx120 および PCMD3140 デバイスでの音声区間検出器 (VAD) の使用』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

PurePath™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2024) to Revision A (February 2026)	Page
• ドキュメント全体を通して、I ² S インスタンスにおける従来の用語を「マスタ」から「コントローラ」に、「スレーブ」から「ターゲット」に更新.....	1
• ドキュメント全体を通して、I ² C インスタンスにおける従来の用語を「マスタ」から「コントローラ」に、「スレーブ」から「ターゲット」に更新.....	1
• セクションのタイトルを以下のように更新: 推奨事項および禁止事項: 設計のベスト プラクティス.....	102

11 メカニカル、パッケージ、および注文情報

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAA3020IRTER	Active	Production	WQFN (RTE) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	AD3120

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

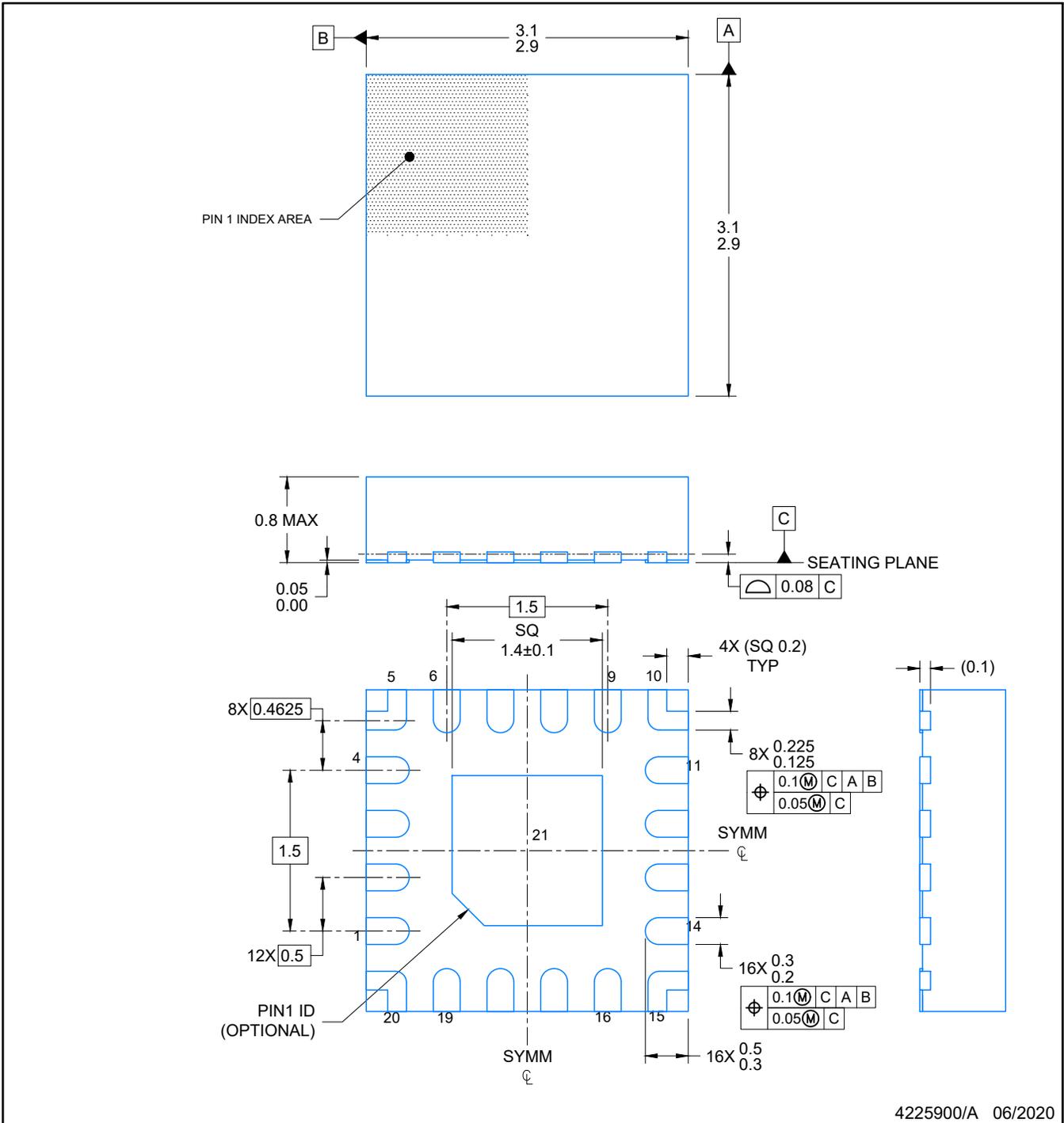
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

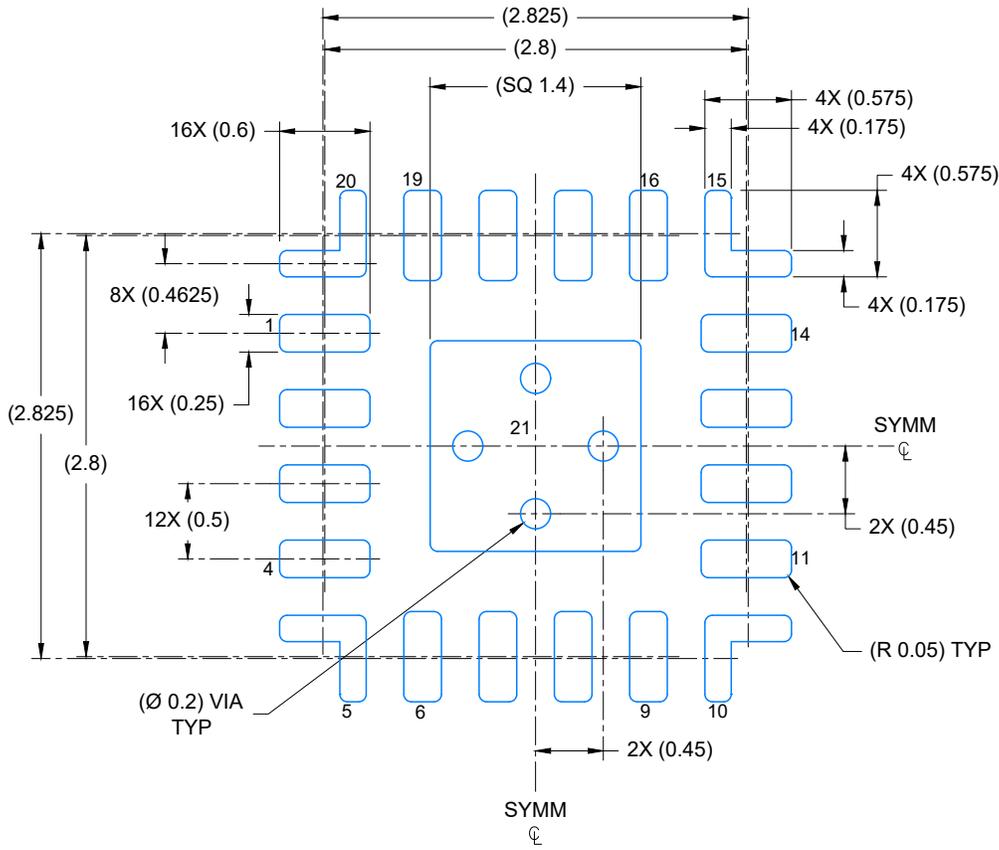
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

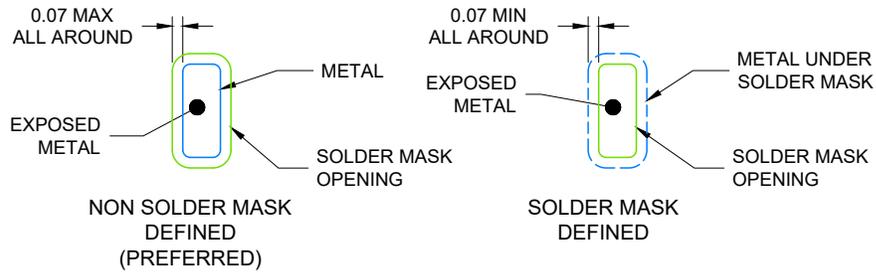


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4225900/A 06/2020

NOTES: (continued)

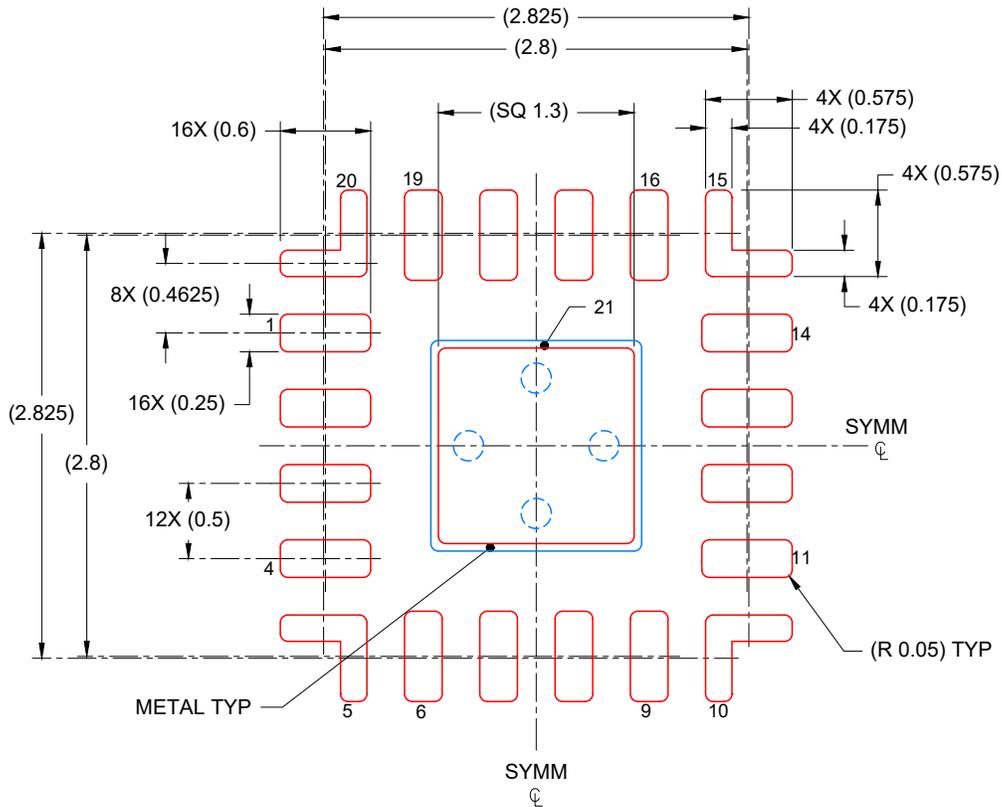
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0020A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
86% PRINTED COVERAGE BY AREA
SCALE: 20X

4225900/A 06/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月