

# TCA9847 超低電圧 8 チャンネル、1MHz 対応 I<sup>2</sup>C マルチプレクサ

## 1 特長

- 1 対 8 双方向変換マルチプレクサ、超低電圧変換対応 (0.65V まで)
- I<sup>2</sup>C バスおよび SMBus 互換
- アクティブ LOW のリセット入力
- 2 個のアドレスピンにより、最大 16 個のデバイスを I<sup>2</sup>C バスに接続可能
- I<sup>2</sup>C バス経由で、任意の組み合わせのチャンネルを選択可能
- 電源オン時にすべてのスイッチ チャンネルの接続解除
- 低い R<sub>ON</sub> のスイッチ
- 0.65V、0.8、1.2V、1.8V、2.5V、3.3V のバス間での電圧レベル変換が可能
- 電源オン時のグリッチなし
- 活線挿抜をサポート
- 低いスタンバイ電流
- 1.65V~3.6V の動作電源電圧範囲
- 3.6V 許容の入力
- 0~1MHz のクロック周波数
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - ±2000V、人体モデル (A114-A)
  - ±500V、デバイス帯電モデル (C101)

## 2 アプリケーション

- サーバー
- ルーター (テレコム スイッチング機器)
- [ファクトリオートメーション](#)
- I<sup>2</sup>C ターゲット アドレス競合がある製品 (例: 複数の同じ温度センサ)

## 3 説明

TCA9847 デバイスは、I<sup>2</sup>C バス経由で制御可能な 8 チャンネルの双方向変換マルチプレクサです。アップストリームの SCL/SDA ペアは、8 個のダウンストリーム ペアまたはチャンネルへと分岐します。プログラム可能な制御レジスタの設定により、どのような個別の SCn/SDn チャンネルでも、あるいは、チャンネルの組み合わせでも選択できます。これらのダウンストリーム チャンネルを使用して、I<sup>2</sup>C ターゲットアドレスの競合を解決できます。たとえば、アプリケーションで 8 つの同じデジタル温度センサを必要とする場合、0-7。

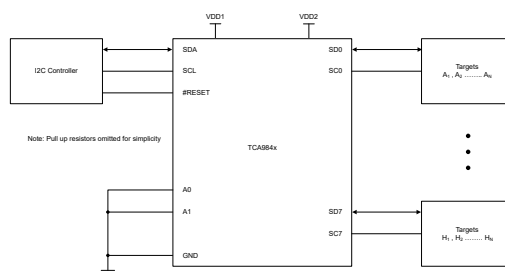
システム コントローラは、タイムアウトまたはその他の不適切な動作が発生した場合、**RESET** 入力を Low にアサートすることで TCA9847 をリセットできます。同様に、パワーオンリセットではすべてのチャンネルが選択解除され、I<sup>2</sup>C/SMBus ステートマシンが初期化されます。**RESET** をアサートすると、デバイスを電源オフせずに、同じリセットと初期化が行われます。これにより、いずれかのダウンストリーム I<sup>2</sup>C バスが Low 状態で停止した場合でも回復できます。

スイッチのパスゲートは、TCA9847 から渡される最高電圧を、VDD1/VDD2 ピンを使用して制限できるように構成されています。最大 HIGH 電圧の制限により、ペアごとに異なるバス電圧を使用できるため、0.65V、0.8V、1.2V、または 1.8V の部品が、追加保護の必要なしに 3.3V の部品と通信できます。外付けのプルアップ抵抗により、各チャンネルに求められる電圧レベルにバスをプルアップします。すべての I/O ピンは 3.6V 許容です。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TCA9847	PW (TSSOP, 24)	7.8mm × 6.4mm
	RGE (VQFN, 24)	4mm × 4mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション概略図



## 目次

1 特長.....	1	7.4 デバイスの機能モード.....	14
2 アプリケーション.....	1	7.5 プログラミング.....	14
3 説明.....	1	8 アプリケーションと実装.....	21
4 ピン構成および機能.....	3	8.1 使用上の注意.....	21
5 仕様.....	5	8.2 代表的なアプリケーション.....	21
5.1 絶対最大定格.....	5	8.3 電源に関する推奨事項.....	23
5.2 ESD 定格.....	5	8.4 レイアウト.....	25
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート.....	26
5.4 熱に関する情報.....	6	9.1 ドキュメントのサポート.....	26
5.5 電気的特性 (グローバル).....	7	9.2 ドキュメントの更新通知を受け取る方法.....	26
5.6 I <sup>2</sup> C インターフェイス タイミングの要件.....	7	9.3 サポート・リソース.....	26
5.7 リセット タイミング要件.....	9	9.4 商標.....	26
5.8 スイッチング特性.....	9	9.5 静電気放電に関する注意事項.....	26
6 パラメータ測定情報.....	10	9.6 用語集.....	26
7 詳細説明.....	12	10 改訂履歴.....	26
7.1 概要.....	12	11 メカニカル、パッケージ、および注文情報.....	26
7.2 機能ブロック図.....	13	11.1 テープおよびリール情報.....	27
7.3 機能説明.....	14	11.2 メカニカル データ.....	29

## 4 ピン構成および機能

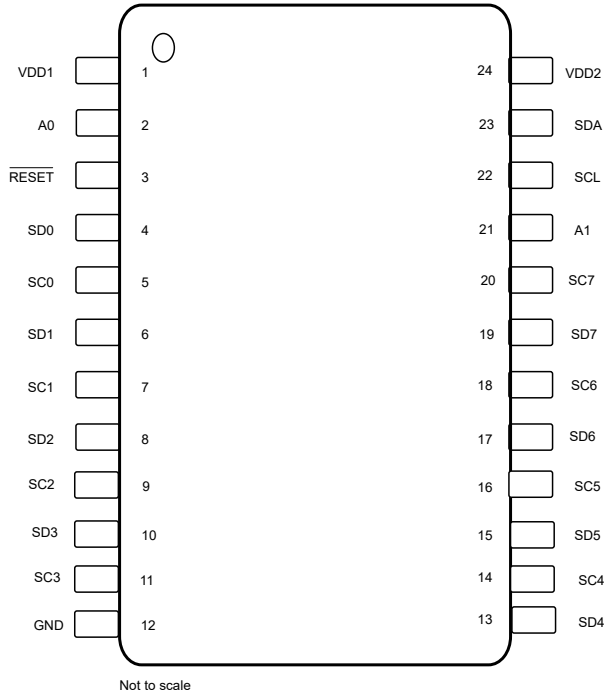


図 4-1. PW パッケージ、24 ピン TSSOP (上面図)

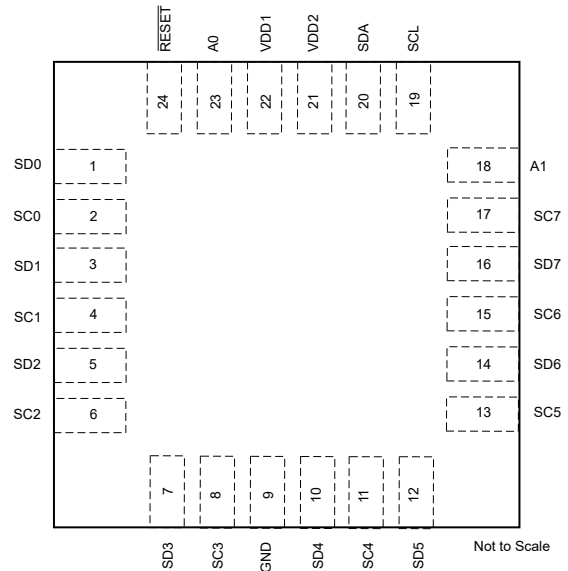


図 4-2. RGE パッケージ、24 ピン VQFN (上面図)

表 4-1. ピンの機能

名称	ピン		タイプ <sup>(1)</sup>	説明
	TSSOP (PW)	VQFN (RGE)		
A0	2	23	I	アドレス入力 0。V <sub>DD2</sub> またはグラウンドに直接接続します。
A1	21	18	I	アドレス入力 1。V <sub>DD2</sub> またはグラウンドに直接接続します。
VDD1	1	22	電源	ロジックレベル電源
VDD2	24	21	電源	コア ロジック電源
RESET	3	24	I	アクティブ Low のリセット入力。使用しない場合は、プルアップ抵抗を介して V <sub>DD2</sub> または V <sub>DPUM</sub> <sup>(2)</sup> に接続します。
SD0	4	1	I/O	シリアル データ 0。プルアップ抵抗を介して V <sub>DPU0</sub> <sup>(2)</sup> に接続します。
SC0	5	2	I/O	シリアル クロック 0。プルアップ抵抗を介して V <sub>DPU0</sub> <sup>(2)</sup> に接続します。
SD1	6	3	I/O	シリアル データ 1。プルアップ抵抗を介して V <sub>DPU1</sub> <sup>(2)</sup> に接続します。
SC1	7	4	I/O	シリアル クロック 1。プルアップ抵抗を介して V <sub>DPU1</sub> <sup>(2)</sup> に接続します。
SD2	8	5	I/O	シリアル データ 2。プルアップ抵抗を介して V <sub>DPU2</sub> <sup>(2)</sup> に接続します。
SC2	9	6	I/O	シリアル クロック 2。プルアップ抵抗を介して V <sub>DPU2</sub> <sup>(2)</sup> に接続します。
SD3	10	7	I/O	シリアル データ 3。プルアップ抵抗を介して V <sub>DPU3</sub> <sup>(2)</sup> に接続します。
SC3	11	8	I/O	シリアル クロック 3。プルアップ抵抗を介して V <sub>DPU3</sub> <sup>(2)</sup> に接続します。
SD4	13	10	I/O	シリアル データ 4。プルアップ抵抗を介して V <sub>DPU4</sub> <sup>(2)</sup> に接続します。
SC4	14	11	I/O	シリアル クロック 4。プルアップ抵抗を介して V <sub>DPU4</sub> <sup>(2)</sup> に接続します。
SD5	15	12	I/O	シリアル データ 5。プルアップ抵抗を介して V <sub>DPU5</sub> <sup>(2)</sup> に接続します。
SC5	16	13	I/O	シリアル クロック 5。プルアップ抵抗を介して V <sub>DPU5</sub> <sup>(2)</sup> に接続します。
SD6	17	14	I/O	シリアル データ 6。プルアップ抵抗を介して V <sub>DPU6</sub> <sup>(2)</sup> に接続します。
SC6	18	15	I/O	シリアル クロック 6。プルアップ抵抗を介して V <sub>DPU6</sub> <sup>(2)</sup> に接続します。
SD7	19	16	I/O	シリアル データ 7。プルアップ抵抗を介して V <sub>DPU7</sub> <sup>(2)</sup> に接続します。
SC7	20	17	I/O	シリアル クロック 7。プルアップ抵抗を介して V <sub>DPU7</sub> <sup>(2)</sup> に接続します。

表 4-1. ピンの機能 (続き)

名称	ピン		タイプ <sup>(1)</sup>	説明
	TSSOP (PW)	VQFN (RGE)		
SCL	22	19	I/O	シリアル クロック バス。プルアップ抵抗を介して $V_{DPUM}$ <sup>(2)</sup> に接続します。
SDA	23	20	I/O	シリアル データ バス。プルアップ抵抗を介して $V_{DPUM}$ <sup>(2)</sup> に接続します。
GND	12	9	—	電源グランド

(1) I = 入力、O = 出力

(2)  $V_{DPUX}$  は、関連するデータラインのプルアップ リファレンス電圧です。 $V_{DPUM}$  はコントローラ I<sup>2</sup>C のリファレンス電圧、 $V_{DPU0} \sim V_{DPU7}$  はターゲット チャンネルのリファレンス電圧です。

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧	-0.5	4	V
V <sub>I</sub>	入力電圧 <sup>(2)</sup>	-0.5	4	V
I <sub>I</sub>	入力電流	-20	20	mA
I <sub>O</sub>	出力電流	-25	25	mA
I <sub>CC</sub>	電源電流	-100	100	mA
T <sub>amb</sub>	周囲温度	-40	125	°C
T <sub>stg</sub>	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±500

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

T<sub>amb</sub> = -40°C ~ 125°C (特に記述のない限り)

		最小値	標準値	最大値	単位	
VDD1	電源電圧 1	0.65		3.6	V	
VDD2	電源電圧 2	1.65		3.6	V	
IDD (VDD2)	VDD2 の消費電流	VDD1 = 3.6. VDD2 = 3.6. SC0-7 および SD0-7 は接続されていません (RESET = VDD1, A0 = A1 = SCL。連続レジスタの読み取り / 書き込み)				
IDD (VDD2)	VDD2 の消費電流	SCL = 0kHz	5	12	µA	
IDD (VDD2)	VDD2 の消費電流	SCL = 100kHz	8	20	µA	
IDD (VDD2)	VDD2 の消費電流	SCL = 1000kHz	65	150	µA	
IDD (VDD1)	VDD1 の消費電流	VDD1 = 3.6. VDD2 = 3.6. SC0-7 および SD0-7 は接続されていません (RESET = VDD1, A0 = A1 = SCL。連続レジスタの読み取り / 書き込み)				
		SCL = 0kHz	-5	-2	+2	µA
		SCL = 100kHz		5	15	µA
		SCL = 1000kHz		45	100	µA
VPOR	パワーオンリセット電圧		1.2	1.5	V	
T <sub>A</sub>	外気温度での動作時	-40		125	°C	

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TCA984x		単位
		PW (TSSOP)	RGE(VQFN)	
		24 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	未定	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	未定	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	未定	未定	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	未定	未定	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	未定	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	未定	未定	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

## 5.5 電気的特性 (グローバル)

T<sub>A</sub> = 25°C (特に記述のない限り)

パラメータ	テスト条件	T <sub>A</sub>	最小値	標準値	最大値	単位
<b>推奨される電源シーケンシングとランプレート</b>						
(dV/dt) <sub>f</sub>	電圧変化の立ち下がりレート	-40°C ~ +125°C	0.1	2000		ms
(dV/dt) <sub>r</sub>	電圧変化の立下がりレート	-40°C ~ +125°C	0.1	2000		ms
t <sub>d(rst)</sub>	リセット遅延時間	-40°C ~ +125°C	10			us
ΔV <sub>DD(gl)</sub>	グリッチ供給電圧差	-40°C ~ +125°C			1	V
t <sub>w(gl)VDD</sub>	電源電圧のグリッチ パルス幅	-40°C ~ +125°C			10	us
V <sub>POR(trip)</sub>	パワーオン リセットトリップ電圧	立ち下がり VDD2	-40°C ~ +125°C	0.7		V
		立ち上がり VDD2	-40°C ~ +125°C		1.5	V
<b>SCL/SDA</b>						
V <sub>IH</sub>	ロジック電圧 High	-40°C ~ +125°C	0.7V <sub>DD1</sub>		3.6	V
V <sub>IL</sub>	ロジック電圧 Low	-40°C ~ +125°C	-0.5	+0.3V <sub>D1</sub>		V
I <sub>OL</sub>	Low レベル出力電流	V <sub>OL</sub> = 0.4V	-40°C ~ +125°C	20		mA
I <sub>IL</sub>	入力リーク電流	V <sub>I</sub> = VDD または 0	-40°C ~ +125°C	-1	1	μA
C <sub>IN</sub>	ロジック入力容量	V <sub>I</sub> = VSS、すべてのチャネルが無効	-40°C ~ +125°C		10 12	pF
<b>SEL 入力: A0-A1, RESET</b>						
V <sub>IH</sub>	ロジック電圧 High	-40°C ~ +125°C	0.7V <sub>DD1</sub>		3.6	V
V <sub>IL</sub>	ロジック電圧 Low	-40°C ~ +125°C	-0.5	+0.3V <sub>D1</sub>		V
I <sub>IL</sub>	入力リーク電流	V <sub>I</sub> = VDD または 0	-40°C ~ +125°C	-1	1	μA
C <sub>IN</sub>	ロジック入力容量	V <sub>I</sub> = VSS、すべてのチャネルが無効	-40°C ~ +125°C		2 4	pF
<b>パス ゲート</b>						
R <sub>ON</sub>	オン状態抵抗	VDD1 = 0.8V、VDD2 ≥ 1.65V、Vi(sw) = 0.16V、IO = 3mA	-40°C ~ +125°C		10 24	Ω
		VDD1 = 0.65V、VDD2 ≥ 1.65V、Vi(sw) = 0.16V、IO = 3mA	-40°C ~ +125°C		10 24	Ω
		VDD1 = 1.2V、VDD2 ≥ 1.8V、Vi(sw) = 0.24V、IO = 6mA	-40°C ~ +125°C		7 18	Ω
		VDD1 > 2V、VDD2 ≥ 2.5V、Vi(sw) = 0.4V、IO = 20mA	-40°C ~ +125°C		5 12	Ω
I <sub>o(sw)</sub>	スイッチング出力電流	VDD2 = 1.65V ~ 3.6V、Vi(sw) = VDD1 ~ 3.6V、Vo(sw) = VDD1 ~ 3.6V	-40°C ~ +125°C	0	100	μA
I <sub>L</sub>	リーク電流	V <sub>I</sub> = VDD または GND	-40°C ~ +125°C	-1	+1.5	μA
COFF	入力 / 出力容量	V <sub>I</sub> = GND、すべてのスイッチが無効	-40°C ~ +125°C		3 5	pF

## 5.6 I<sup>2</sup>C インターフェイス タイミングの要件

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

		最小値	最大値	単位
<b>標準モード</b>				
f <sub>scl</sub>	I <sup>2</sup> C クロック周波数	0	100	kHz
t <sub>sch</sub>	I <sup>2</sup> C クロックの High 時間	4		μs

## 5.6 I<sup>2</sup>C インターフェイス タイミングの要件 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

		最小値	最大値	単位	
t <sub>scl</sub>	I <sup>2</sup> C クロックの Low 時間	4.7		μs	
t <sub>sp</sub>	I <sup>2</sup> C スパイク時間	50		ns	
t <sub>sds</sub>	I <sup>2</sup> C シリアル データ セットアップ時間	250		ns	
t <sub>sdh</sub>	I <sup>2</sup> C シリアル データ ホールド時間	0 <sup>(1)</sup>		μs	
t <sub>icr</sub>	I <sup>2</sup> C 入力の立ち上がり時間		1000	ns	
t <sub>icf</sub>	I <sup>2</sup> C 入力の立ち下がり時間		300	ns	
t <sub>ocf</sub>	I <sup>2</sup> C 出力 (SDn) の立ち下がり時間 (10pF ~ 400pF バス)		300	ns	
t <sub>buf</sub>	STOP と START 間の I <sup>2</sup> C バスのフリー時間	4.7		μs	
t <sub>sts</sub>	I <sup>2</sup> C START または反復 START 条件の設定	4.7		μs	
t <sub>sth</sub>	I <sup>2</sup> C START または反復 START 条件ホールド	4		μs	
t <sub>sps</sub>	I <sup>2</sup> C STOP 条件の設定	4		μs	
t <sub>vdL(Data)</sub>	有効データ時間 (High から Low) <sup>(2)</sup>	SCL Low から SDA 出力 Low 有効まで	1	μs	
t <sub>vdH(Data)</sub>	有効データ時間 (Low から High) <sup>(2)</sup>	SCL Low から SDA 出力 High 有効まで	0.6	μs	
t <sub>vd(ack)</sub>	ACK 条件の有効データ時間	SCL Low から SDA 出力 Low への ACK 信号	1	μs	
C <sub>b</sub>	I <sup>2</sup> C バスの容量性負荷		400	pF	
<b>高速モード</b>					
f <sub>scl</sub>	I <sup>2</sup> C クロック周波数	0	400	kHz	
t <sub>sch</sub>	I <sup>2</sup> C クロックの High 時間	0.6		μs	
t <sub>scl</sub>	I <sup>2</sup> C クロックの Low 時間	1.3		μs	
t <sub>sp</sub>	I <sup>2</sup> C スパイク時間	50		ns	
t <sub>sds</sub>	I <sup>2</sup> C シリアル データ セットアップ時間	100		ns	
t <sub>sdh</sub>	I <sup>2</sup> C シリアル データ ホールド時間	0 <sup>(1)</sup>		μs	
t <sub>icr</sub>	I <sup>2</sup> C 入力の立ち上がり時間	20 + 0.1C <sub>b</sub> <sup>(3)</sup>	300	ns	
t <sub>icf</sub>	I <sup>2</sup> C 入力の立ち下がり時間	20 + 0.1C <sub>b</sub> <sup>(3)</sup>	300	ns	
t <sub>ocf</sub>	I <sup>2</sup> C 出力 (SDn) の立ち下がり時間 (10pF ~ 400pF バス)	20 + 0.1C <sub>b</sub> <sup>(3)</sup>	300	ns	
t <sub>buf</sub>	STOP と START 間の I <sup>2</sup> C バスのフリー時間	1.3		μs	
t <sub>sts</sub>	I <sup>2</sup> C START または反復 START 条件の設定	0.6		μs	
t <sub>sth</sub>	I <sup>2</sup> C START または反復 START 条件ホールド	0.6		μs	
t <sub>sps</sub>	I <sup>2</sup> C STOP 条件の設定	0.6		μs	
t <sub>vdL(Data)</sub>	有効データ時間 (High から Low) <sup>(2)</sup>	SCL Low から SDA 出力 Low 有効まで	1	μs	
t <sub>vdH(Data)</sub>	有効データ時間 (Low から High) <sup>(2)</sup>	SCL Low から SDA 出力 High 有効まで	0.6	μs	
t <sub>vd(ack)</sub>	ACK 条件の有効データ時間	SCL Low から SDA 出力 Low への ACK 信号	1	μs	
C <sub>b</sub>	I <sup>2</sup> C バスの容量性負荷		400	pF	
<b>高速モード プラス</b>					
f <sub>scl</sub>	I <sup>2</sup> C クロック周波数	I <sup>2</sup> C クロック周波数	0	1000	kHz
t <sub>sch</sub>	I <sup>2</sup> C クロックの High 時間	I <sup>2</sup> C クロックの High 時間	0.26		μs
t <sub>scl</sub>	I <sup>2</sup> C クロックの Low 時間	I <sup>2</sup> C クロックの Low 時間	0.5		μs
t <sub>sp</sub>	I <sup>2</sup> C スパイク時間	I <sup>2</sup> C スパイク時間		50	ns
t <sub>sds</sub>	I <sup>2</sup> C シリアル データ セットアップ時間	I <sup>2</sup> C シリアル データ セットアップ時間	100		ns
t <sub>sdh</sub>	I <sup>2</sup> C シリアル データ ホールド時間	I <sup>2</sup> C シリアル データ ホールド時間	0 <sup>(1)</sup>		μs
t <sub>icr</sub>	I <sup>2</sup> C 入力の立ち上がり時間	I <sup>2</sup> C 入力の立ち上がり時間		120	ns
t <sub>icf</sub>	I <sup>2</sup> C 入力の立ち下がり時間	I <sup>2</sup> C 入力の立ち下がり時間	20 x (VDD / 5.5V) <sup>(3)</sup>	120	ns
t <sub>buf</sub>	STOP と START 間の I <sup>2</sup> C バスのフリー時間	STOP と START 間の I <sup>2</sup> C バスのフリー時間	0.5		μs

## 5.6 I<sup>2</sup>C インターフェイス タイミングの要件 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

			最小値	最大値	単位
t <sub>sts</sub>	I <sup>2</sup> C START または反復 START 条件の設定	I <sup>2</sup> C START または反復 START 条件の設定	0.26		μs
t <sub>sth</sub>	I <sup>2</sup> C START または反復 START 条件ホールド	I <sup>2</sup> C START または反復 START 条件ホールド	0.26		μs
t <sub>sps</sub>	I <sup>2</sup> C STOP 条件の設定	I <sup>2</sup> C STOP 条件の設定	0.6		μs
t <sub>vdL(Data)</sub>	有効データ時間 (High から Low) <sup>(2)</sup>	SCL Low から SDA 出力 Low 有効まで		0.45	μs
t <sub>vdH(Data)</sub>	有効データ時間 (Low から High) <sup>(2)</sup>	SCL Low から SDA 出力 High 有効まで		0.45	μs
t <sub>vd(ack)</sub>	ACK 条件の有効データ時間	SCL Low から SDA 出力 Low への ACK 信号		0.45	μs
C <sub>b</sub>	I <sup>2</sup> C バスの容量性負荷	I <sup>2</sup> C バスの容量性負荷		550	pF

- (1) SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の V<sub>IH</sub> 最小を参照して) 300ns 以上のホールド時間を内部的に確保する必要があります。
- (2) 1kΩ プルアップ抵抗と 50pF 負荷を使用して取得したデータ
- (3) C<sub>b</sub> = 1 つのバスラインの合計バス容量 (pF 単位)

## 5.7 リセット タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り)

	パラメータ	最小値	最大値	単位
t <sub>wrs(L)</sub>	Low レベルのリセット時間	100		ns
t <sub>REC(STA)</sub>	RESET から開始への復帰時間	0		ns

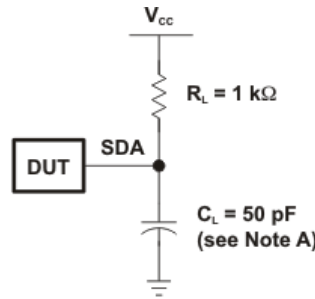
## 5.8 スイッチング特性

自由気流での推奨動作温度範囲内、C<sub>L</sub> ≤ 100pF (特に記述のない限り) (図 6-1 を参照)

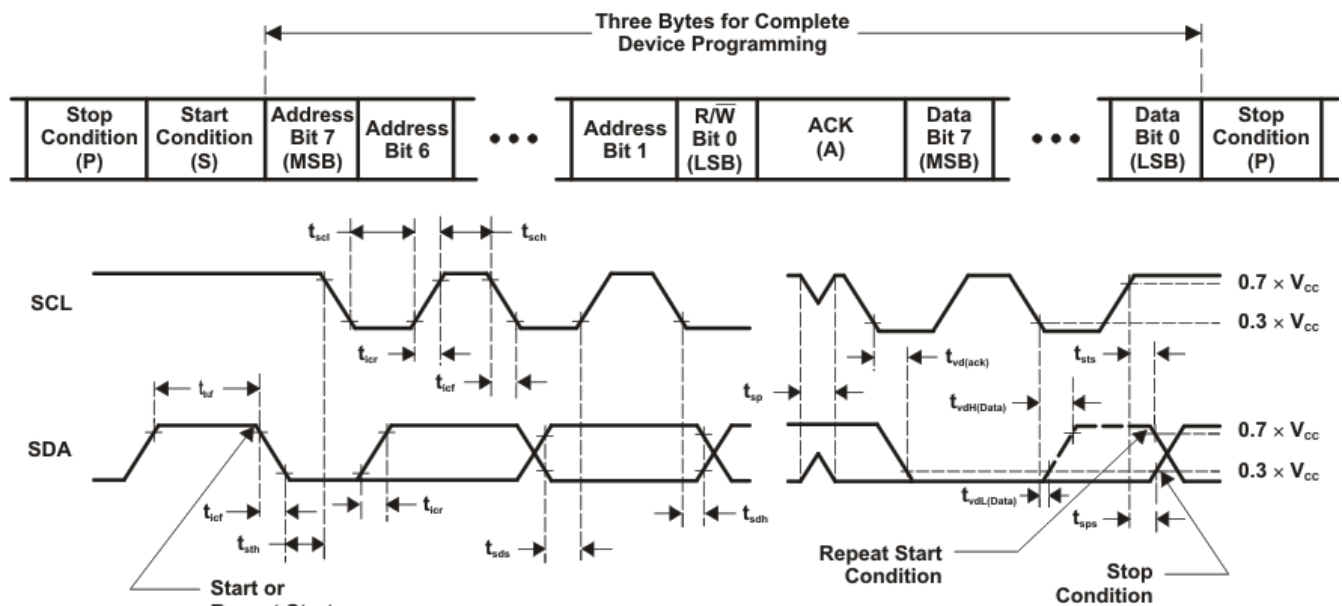
	パラメータ		始点 (入力)	終点 (出力)	最小値	最大値	単位
t <sub>pd</sub> <sup>(1)</sup>	伝搬遅延時間	R <sub>ON</sub> = 20Ω, C <sub>L</sub> = 50pF	SDA または SCL	SDn または SCn		1	ns
t <sub>rst</sub> <sup>(2)</sup>	RESET 時間 (SDA クリア)		RESET	SDA	500		ns

- (1) 伝搬遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン状態の抵抗と指定された負荷容量の RC 時定数から算出されます。
- (2) t<sub>rst</sub> は、RESET ピンが最初に Low にアサートされてから、SDA ピンが high にアサートされ、stop 条件を通知するまでの伝搬遅延です。t<sub>rst</sub> は最小でも t<sub>WL</sub> でなければなりません。

## 6 パラメータ測定情報



SDA LOAD CONFIGURATION

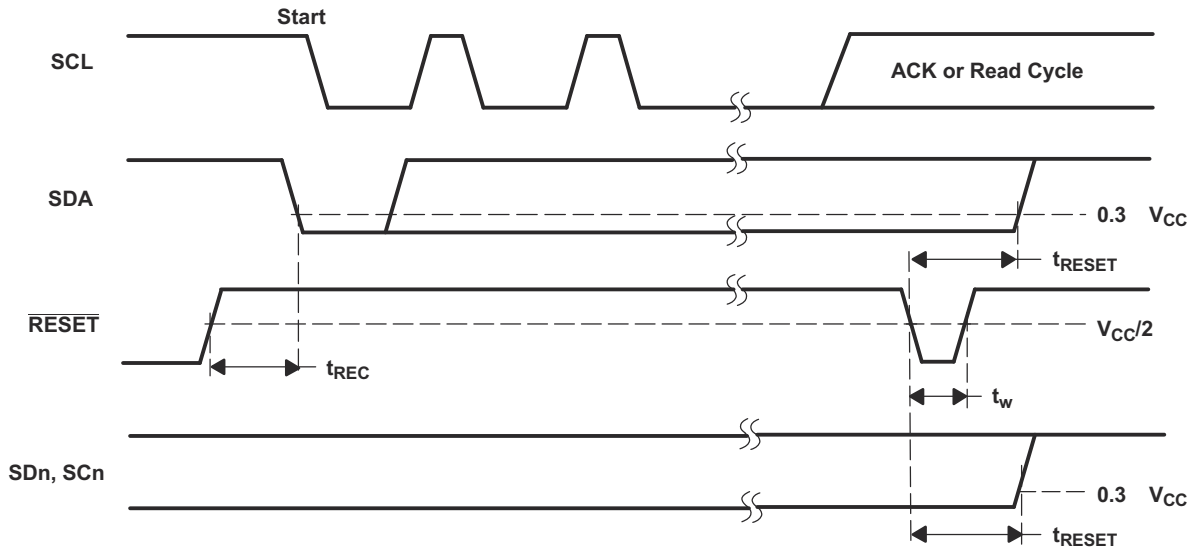
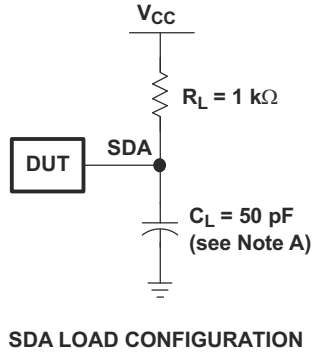


VOLTAGE WAVEFORMS

BYTE	DESCRIPTION
1	I <sup>2</sup> C address
2, 3	P-port data

- A.  $C_L$ にはプローブと治具の容量が含まれます。
- B. すべての入力、以下の特性を持つジェネレータから供給されます:  $PRR \leq 10\text{MHz}$ ,  $Z_O = 50\Omega$ ,  $t_r/t_f \leq 30\text{ns}$ 。
- C. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. I<sup>2</sup>C の負荷回路と電圧波形



- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. すべての入力は、以下の特性を持つジェネレータから供給されます:  $PRR \leq 10\text{MHz}$ ,  $Z_O = 50\Omega$ ,  $t_r/t_f \leq 30\text{ns}$ 。
- C. I/O は入力として構成されます。
- D. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-2. リセット負荷回路および電圧波形

## 7 詳細説明

### 7.1 概要

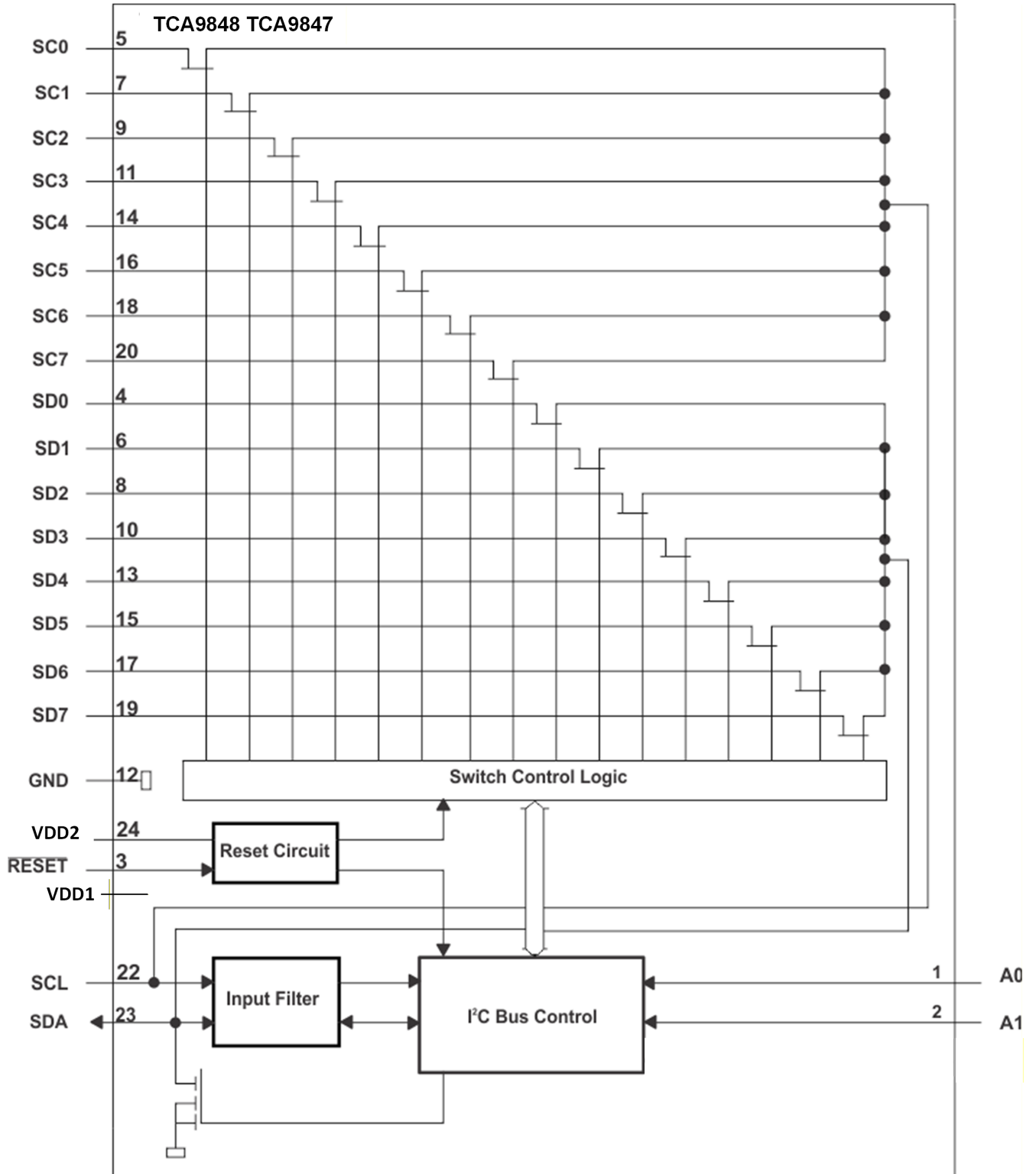
TCA9847 は、8 チャンネル双方向変換 I<sup>2</sup>C マルチプレクサです。コントローラ SCL/SDA 信号ペアは、ターゲット デバイスの 8 チャンネルである SC0/SD0-SC7/SD7 に送られます。任意の個別のダウンストリーム チャンネルと、8 チャンネルの任意の組み合わせを選択できます。

このデバイスはアクティブ Low の  $\overline{\text{RESET}}$  入力を備えており、ステート マシンをリセットし、ダウンストリームの I<sup>2</sup>C バスの 1 つが Low 状態に固着した場合に TCA9847 を回復できます。このデバイスのステート マシンは、パワーオンリセット (POR) とも呼ばれ、電源 V<sub>CC</sub> を一度オフにして再度オンにすることでリセットできます。 $\overline{\text{RESET}}$  機能と POR の両方で、すべてのチャンネルが選択解除されます。

I<sup>2</sup>C データ バスの接続は、複数の I<sup>2</sup>C ターゲットとの通信に合わせて切り替わる同一の I<sup>2</sup>C コントローラ デバイスによって制御されます。ターゲット アドレス (A0 ピンおよび A1 ピンでハードウェアを選択可能) のアクノリッジが成功すると、単一の 8 ビット制御レジスタに書き込まれるか、そこから読み出されて、選択されたチャンネルが決定されます。

TCA9847 は電圧変換にも使用できるため、0.65V、0.8V、1.2V、1.8V の部品が 3.3V 部品と通信できるように、各 SCn/SDn ペアで異なるバス電圧を使用できます。これは、外付けのプルアップ抵抗を使用して、コントローラと各ターゲットチャンネルに必要な電圧にバスをプルアップすることで実現されます。

## 7.2 機能ブロック図



ADVANCE INFORMATION

## 7.3 機能説明

TCA9847 は、I<sup>2</sup>C バス用の 8 チャネル双方向変換マルチプレクサで、標準モード (100kHz)、高速モード (400kHz)、高速モード プラス (1MHz) 動作をサポートしています。TCA9847 は、単一の 8 ビット制御レジスタを使用した I<sup>2</sup>C 制御機能を備えており、各ビットが I<sup>2</sup>C データ フロー用の対応する 8 個のマルチプレクサ チャネルのいずれかの有効と無効を制御します。アプリケーションに応じて、TCA9847 を使用して I<sup>2</sup>C バスの電圧変換を行うこともでき、0.65V、0.8V、1.2V、1.8V の部品が 3.3V 部品と通信することができます。さらに、I<sup>2</sup>C バスでの通信がフォルト状態に移行した場合、TCA9847 は、**RESET** ピン機能を使用するか、パワーオンリセットによってデバイスの電源を再度オンにして通常動作を再開することができます。

## 7.4 デバイスの機能モード

### 7.4.1 **RESET** 入力

**RESET** 入力はアクティブ Low 信号で、バスフォルト状態からの回復に使用できます。この信号が  $t_{WL}$  の最小時間 Low にアサートされると、TCA9847 はレジスタと I<sup>2</sup>C 状態のマシンをリセットし、すべてのチャネルを選択解除します。**RESET** 入力は、プルアップ抵抗を介して V<sub>CC</sub> に接続する必要があります。

### 7.4.2 **パワーオンリセット**

V<sub>CC</sub> ピンに電源が印加されると、内部のパワーオンリセット回路により、V<sub>CC</sub> が V<sub>PORR</sub> に到達するまで TCA9847 はリセット状態に保たれます。この時点で、リセット状態が解除され、TCA9847 のレジスタと I<sup>2</sup>C のステートマシンがデフォルト状態に初期化されます。すべて 0 になり、すべてのチャネルが選択解除されます。その後、デバイスをリセットするには、V<sub>CC</sub> を V<sub>PORF</sub> よりも低くする必要があります。

## 7.5 プログラミング

### 7.5.1 I<sup>2</sup>C インターフェイス

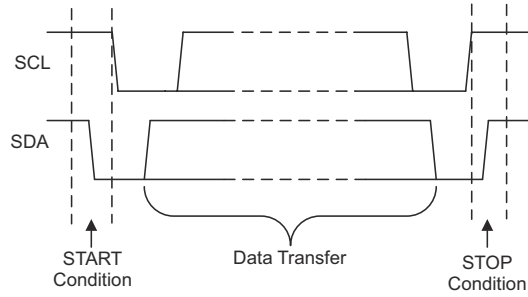
TCA9847 には標準の双方向 I<sup>2</sup>C インターフェイスがあり、このデバイスのステータスを構成または読み取りするためにコントローラデバイスによって制御されます。I<sup>2</sup>C バスの各ターゲットには特定のデバイスアドレスがあり、同じ I<sup>2</sup>C バスにある他のターゲットデバイスと区別できます。多くのターゲットデバイスでは、スタートアップ時にデバイスの動作を設定するための構成が必要です。これは通常、一意のレジスタアドレスを持つターゲットの内部レジスタマップにコントローラがアクセスするときに行われます。デバイスには 1 つまたは複数のレジスタがあり、データの保存、書き込み、読み取りが行われます。

物理的な I<sup>2</sup>C インターフェイスは、シリアルクロック (SCL) ラインとシリアルデータ (SDA) ラインで構成されます。SDA ラインおよび SCL ラインは、どちらもプルアップ抵抗を介して V<sub>CC</sub> に接続する必要があります。プルアップ抵抗のサイズは、I<sup>2</sup>C ラインの容量によって決まります。『I<sup>2</sup>C バスのプルアップ抵抗値の計算』アプリケーションノートも参照してください。データ転送は、バスがアイドル状態のときのみ開始できます。STOP 条件の後に SDA ラインと SCL ラインの両方が High になると、バスはアイドルと見なされます (図 7-1 および 図 7-2 を参照)。

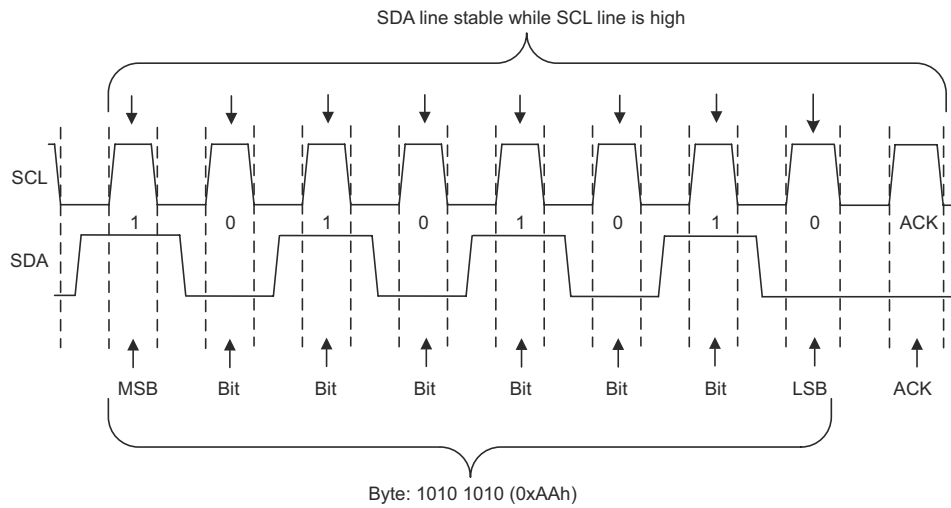
コントローラがターゲットデバイスにアクセスするための、一般的な手順を以下に示します。

1. コントローラがデータをターゲットに送信する場合:
  - コントローラのトランスミッタは **START** 条件を送信し、ターゲットのレシーバをアドレス指定します。
  - コントローラのトランスミッタは、ターゲットのレシーバにデータを送信します。
  - コントローラのトランスミッタは、**STOP** 条件で転送を終了します。
2. コントローラがターゲットからデータを受信または読み取る場合:
  - コントローラのレシーバは **START** 条件を送信し、ターゲットのトランスミッタをアドレス指定します。
  - コントローラのレシーバは、ターゲットのトランスミッタから読み出すため必要なレジスタを送信します。
  - コントローラのレシーバは、ターゲットのトランスミッタからデータを受信します。

- コントローラのレシーバは、STOP 条件で転送を終了します。



**図 7-1. START 条件と STOP 条件の定義**



**図 7-2. ビット転送**

## 7.5.2 デバイス アドレス

ターゲットのアドレスの最後のビットにより、実行する動作 (読み取りまたは書き込み) が定義されます。High (1) を選択すると読み取りが選択され、Low (0) を選択すると書き込み動作が選択されます。

表 7-1 に、TCA9847 のアドレス参照を示します。

表 7-1. アドレス参照

入力		I <sup>2</sup> C バス ターゲット アドレス
A1	A0	
L	SCL	0xE0h (16 進数)
L	L	0xE2h (16 進数)
L	SDA	0xE4h (16 進数)
L:	H	0xE6h (16 進数)
H	SCL	0xE8h (16 進数)
H	L	0xEAh (16 進数)
H	SDA	0xECh (16 進数)
H	H	0xEEh (16 進数)
SCL	SCL	0xB0h (16 進数)
SCL	L	0xB2h (16 進数)
SCL	SDA	0xB4h (16 進数)
SCL	H	0xB6h (16 進数)
SDA	SCL	0xB8h (16 進数)
SDA	L	0xBAh (16 進数)
SDA	SDA	0xBCh (16 進数)
SDA	1	0xBEh (16 進数)

## 7.5.3 バス トランザクション

データはターゲット デバイスとの間で送受信する必要があり、ターゲット デバイスのレジスタとの間で読み取りまたは書き込みすることで、この処理を実現できます。

レジスタは、ターゲットのメモリの情報を含む場所で、構成情報が含まれていることも、サンプリングされたデータをコントローラに返送するため保持していることもあります。コントローラは、これらのレジスタに情報を書き込んで、ターゲット デバイスにタスクの実行を指示する必要があります。

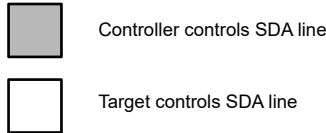
I<sup>2</sup>C ターゲット内にレジスタがあるのは一般的ですが、すべてのターゲット デバイスにレジスタがあるとは限らないことに注意してください。デバイスによっては単純で、1 つのレジスタのみを含み、レジスタのアドレス指定ではなく、ターゲット アドレスの直後にレジスタ データを送信することにより、直接書き込むことができます。TCA9847 は、I<sup>2</sup>C コマンドで制御されるシングル レジスタ デバイスの例です。チャンネルを有効または無効にするための 1 ビットがあるため、必要なレジスタは 1 つのみです。コントローラはターゲット アドレスの後にレジスタ データを書き込み、レジスタ番号を省略します。

### 7.5.3.1 書き込み

コントローラが I<sup>2</sup>C バスに書き込むときは、ターゲットのアドレスを指定して START 条件をバスに送信し、最後のビット (R/W ビット) を 0 に設定して書き込みを行うことを示します。ターゲットはアクノリッジを行い、準備が整っていることをコントローラに通知します。この動作後、コントローラは制御レジスタ データのターゲットへの送信を開始し、必要なすべてのデータ (通常は単一バイトのみ) を送信し終わったら、STOP 条件で送信を終了します。

送信されるバイト数に制限はありませんが、最後に送信されるバイトはレジスタ内のものです。

図 7-3 に、ターゲット レジスタに単一バイトを書き込む例を示します。



Write to one register in a device

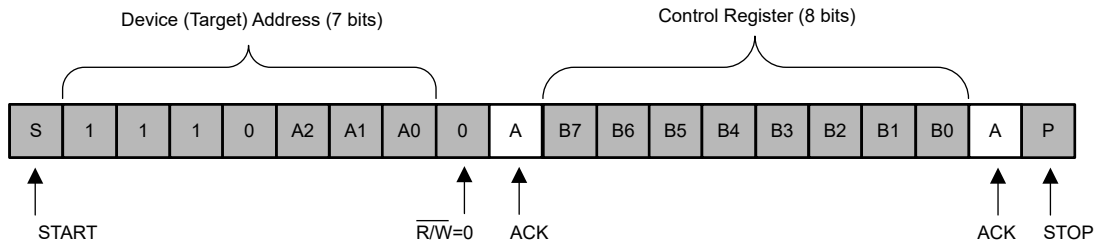


図 7-3. レジスタへの書き込み

### 7.5.3.2 読み取り

ターゲットからの読み取りは書き込みと非常に似ていますが、コントローラは **START** 条件を送信した後、 $\overline{R/W}$  ビットを 1 に設定したターゲット アドレス (読み取りを意味します) を送信します。ターゲットは読み出し要求をアクノリッジし、コントローラは **SDA** バスを解放しますが、ターゲットへのクロック供給は続けます。トランザクションのこの部分では、コントローラがコントローラ レシーバになり、ターゲットがターゲット トランスミッタになります。

コントローラは引き続きクロック パルスを送信しますが、**SDA** ラインを解放して、ターゲットがデータを送信できるようにします。データのすべてのバイトが終了すると、コントローラは **ACK** をターゲットに送信し、さらに多くのデータを送信する準備ができたことをターゲットに通知します。コントローラは、予期されていたバイト数を受信した後、**NACK** を送信し、ターゲットに対して通信を停止してバスを解放するよう指示します。コントローラは、この動作に続いて **STOP** 条件を発行します。

図 7-4 に、ターゲット レジスタから単一のバイトを読み取る例を示します。

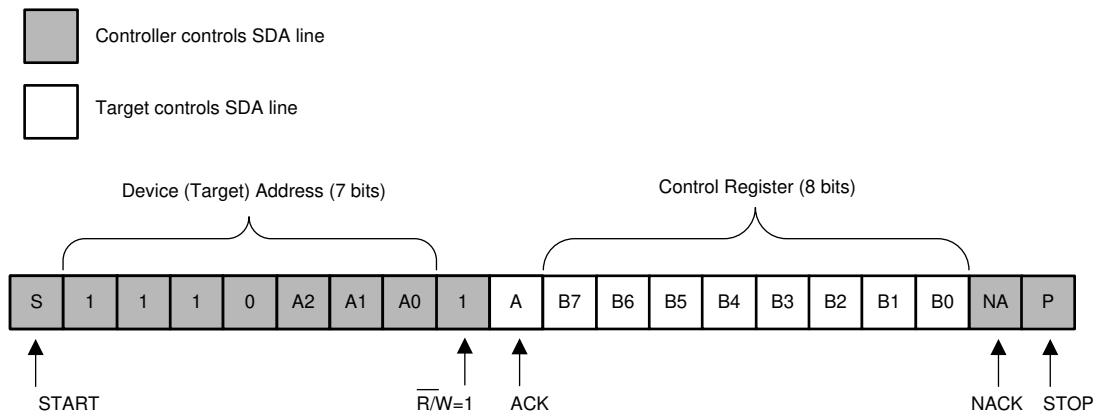


図 7-4. コントロール レジスタからの読み取り

### 7.5.4 制御レジスタ

アドレス バイトのアクノリッジが成功すると、バス コントローラはコマンド バイトを送信します。このバイトは **TCA9847** の制御レジスタに保存されます (図 7-5 を参照)。このレジスタは、**I<sup>2</sup>C** バスを介した書き込みと読み出しが可能です。コマンド バイトの各ビットは **SCn/SDn** チャネルに対応し、**High** (または 1) でこのチャネルが選択されます。複数の **SCn/SDn** チャネルを同時に選択できます。チャネルを選択すると、**I<sup>2</sup>C** バスに **stop** 条件が印加された後、そのチャネルはアクティブ

になります。この動作により、チャンネルがアクティブになったときにすべての SCn/SDn 回線が High 状態になり、接続時に誤った条件が発生しないようになります。STOP 条件は、常にアクノリッジ サイクルの直後に発生する必要があります。TCA9847 が複数のバイトを受信すると、TCA9847 は最後に受信したバイトを保存します。

Channel Selection Bits (Read/Write)

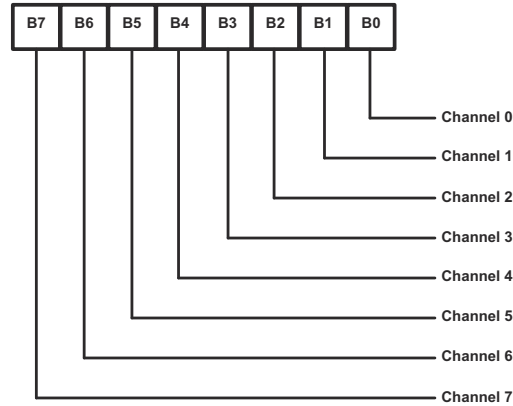


図 7-5. 制御レジスタ

表 7-2 に、TCA9847 コマンド バイトの定義を示します。

表 7-2. コマンド バイトの定義

制御レジスタ ビット								コマンド
B7	B6	B5	B4	B3	B2	B1	B0	
X	X	X	X	X	X	X	0	チャンネル 0、ディスエーブル
							1	チャンネル 0、イネーブル
X	X	X	X	X	X	0	X	チャンネル 1、ディスエーブル
							1	チャンネル 1、イネーブル
X	X	X	X	X	0	X	X	チャンネル 2、ディスエーブル
							1	チャンネル 2、イネーブル
X	X	X	X	0	X	X	X	チャンネル 3、ディスエーブル
				1				チャンネル 3、イネーブル
X	X	X	0	X	X	X	X	チャンネル 4、ディスエーブル
			1					チャンネル 4、イネーブル
X	X	0	X	X	X	X	X	チャンネル 5、ディスエーブル
		1						チャンネル 5、イネーブル
X	0	X	X	X	X	X	X	チャンネル 6、ディスエーブル
	1							チャンネル 6、イネーブル
0	X	X	X	X	X	X	X	チャンネル 7、ディスエーブル
1								チャンネル 7、イネーブル
0	0	0	0	0	0	0	0	チャンネルが選択されていない、電源オン/リセット デフォルト状態

### 7.5.5 RESET 入力

RESET 入力はアクティブ Low 信号で、バス フォルト状態からの回復に使用できます。この信号が  $t_{WL}$  の最小時間 Low にアサートされると、TCA9847 はレジスタと I<sup>2</sup>C 状態のマシンをリセットし、すべてのチャンネルを選択解除します。RESET 入力は、プルアップ抵抗を介して V<sub>CC</sub> に接続する必要があります。

### 7.5.6 パワーオン リセット

$V_{DD}$  に電源 (0V から) が印加されると、内部のパワーオン リセット回路により、 $V_{DD}$  が  $V_{POR}$  に到達するまで TCA9847 はリセット状態に保たれます。このとき、リセット状態は解除され、TCA9847 のレジスタと I<sup>2</sup>C のステート マシンはそれぞれのデフォルト状態に初期化されます。パワーリセット サイクルを行うには、その後で  $V_{CC}$  を  $V_{POR}$  未満に下げた後から、再び動作電圧まで戻す必要があります。

### 7.5.7 ソフトウェア リセット

ソフトウェア リセット呼び出しには、特別な形式の I<sup>2</sup>C コマンドを発行して、I<sup>2</sup>C バス上のすべてのデバイスを電源オンのデフォルト状態に戻すメカニズムがあります。この動作は、I<sup>2</sup>C バスが正常に動作しており、ラッチされた状態または「ハングした」状態でバスを保持していないことを想定しています。ソフトウェア リセット シーケンスは、次のように定義されます。

1. I<sup>2</sup>C コントローラが START 条件を発行します。
2. コントローラは、R/W ビットが 0 (書き込み) に設定された状態で、予約済みのゼネラル コール アドレス「0000 000」を送信します。
3. デバイスは、ゼネラル コール アドレス「0000 0000 (00h)」全体を検出した場合のみアクノリッジを行います。R/W ビットが 1 (読み出し) に設定されている場合、アクノリッジは生成されません。
4. ゼネラル コール アドレスの送信がアクノリッジされた後、コントローラは値 06h の 1 つのデータ バイトを送信します。
  - a. デバイスは、このデータ バイトが 06h と等しい場合のみアクノリッジを行います。
  - b. データバイトが 06h でない場合、または複数のデータ バイトが送信された場合、デバイスはそれ以上アクノリッジを行いません。
  - c. 正しいバイトを受信してアクノリッジすると、コントローラはソフトウェア リセット シーケンスを完了するために STOP 条件を発行する必要があります。この時点で、デバイスはレジスタを電源投入時のデフォルト値にリセットし、所定のバス フリー時間の経過後に、後続のバストランザクションに対する準備が完了します。
  - d. STOP ではなく反復 START 条件が発行された場合、リセットは実行されません。
  - e. このシーケンスのいずれかの時点でデバイスから受信したアクノリッジがない場合、コントローラはソフトウェア リセット中止として処理されます。このような場合、デバイスはレジスタ リセットを開始しません。

### 7.5.8 デバイス ID

デバイス ID は 24 ビット (3 バイト) の読み取り専用値で、以下のフィールドが含まれます。

- 12 ビット: メーカー識別子 (たとえば、TI など、メーカーごとに一意)
- 9 ビット: 型番 (メーカーによって割り当て)
- 3 ビット: ダイ改訂 (メーカーによって割り当て)

デバイス ID はハードワイヤードされており、次の手順でアクセスできます。

1. START コマンドを送信します。
2. コントローラは、予約済みデバイス ID I<sup>2</sup>C アドレス (1111 1000) を R/W = 0 (書き込み) で送信します。
3. コントローラは、LSB を「don't care」(影響なし) として、ターゲット デバイスのアドレスを送信します。一致したデバイスのみがアクノリッジを行います。
4. 反復 START 条件を発行します。
  - a. STOP コマンドに続いて START コマンドを発行すると、ターゲットのステート マシンがリセットされ、デバイス ID の読み出しを実行することができません。また、STOP コマンドまたは Re-START コマンドと、その後別のターゲット デバイスへのアクセスが続くと、ターゲットのステート マシンがリセットされ、デバイス ID の読み出しを実行することができません。
5. コントローラは、予約済みデバイス ID I<sup>2</sup>C アドレス (1111 1001) を R/W = 1 (読み取り) で送信します。
6. デバイスは、デバイス ID を次の順序で送信します。
  - a. 最初のバイト + 2 番目のバイトの 4 MSB: メーカー ID (12 ビット)
  - b. 2 番目のバイトの 4 LSB + 3 番目のバイトの 5 MSB: 部品識別 (9 ビット)
  - c. 3 番目のバイトの 3 LSB: ダイ改訂 (3 ビット)

7. コントローラは、最後のバイトの後に **NACK** を送信し、デバイスの内部ステート マシンをリセットしてから、**STOP** コマンドを発行することで読み取りを完了します。

コントローラが 3 番目のバイトの後に追加のアクノリッジを送信すると、デバイスは最初のバイトからデータ シーケンスを再開します。

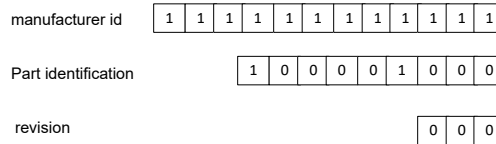
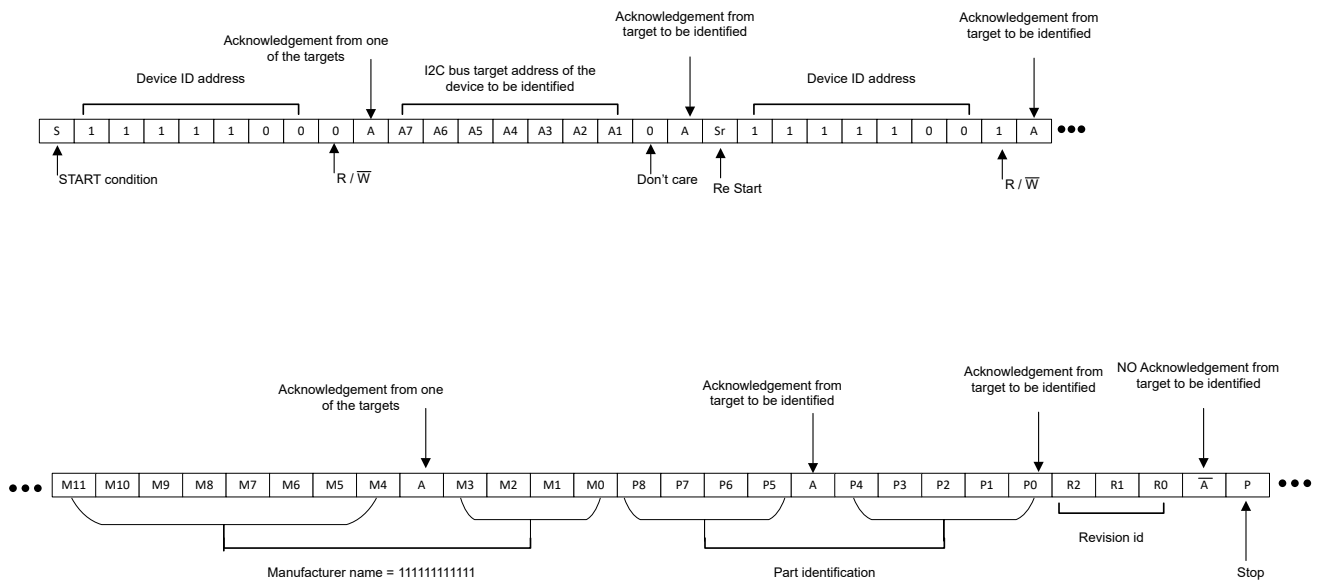


図 7-6. デバイス ID



If more than 3 bytes are read, the target device loops back to the first byte (manufacturer byte) and keeps sending data until the controller generates a 'no acknowledge'.

図 7-7. デバイス ID シーケンス

ADVANCE INFORMATION

## 8 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

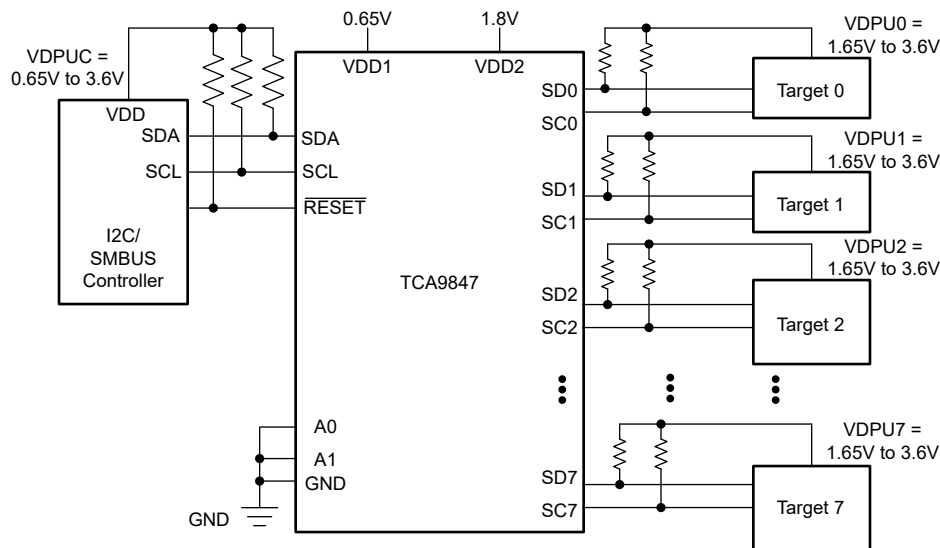
### 8.1 使用上の注意

TCA9847 のアプリケーションには、 $I^2C$  (または **SMBus**) コントローラ デバイスと最大 8 つの  $I^2C$  ターゲット デバイスが含まれます。これらのダウンストリーム チャンネルを使用して、 $I^2C$  ターゲット アドレスの競合を解決します。たとえば、アプリケーションで 8 つの同じデジタル温度センサを必要とする場合、0-7。特定の場所の温度が読み取られると、適切なチャンネルをイネーブルにして、他のすべてのチャンネルをオフにでき、データを取得できます。また、 $I^2C$  コントローラは次のチャンネルに進み、読み取ることができます。

$I^2C$  バスに、 $I^2C$  ターゲット アドレスの競合が発生しない多くの追加のターゲット デバイスが含まれているアプリケーションでは、これらのターゲット デバイスを任意のチャンネルに接続して、合計バス容量を複数のチャンネルに分配できます。複数のスイッチが同時にイネーブルになる場合は、追加の設計要件を考慮する必要があります ([設計要件](#)セクションおよび[詳細な設計手順](#)セクションを参照)。

### 8.2 代表的なアプリケーション

図 8-1 は、TCA9847 を使用可能なアプリケーションを示します。



ここに示すピン番号は、PW パッケージのものであります。

図 8-1. 代表的なアプリケーション回路図

### 8.2.1 設計要件

TCA9847 の代表的なアプリケーションには、1 つまたは複数のデータ プルアップ電圧  $V_{DPUX}$  が含まれます。コントローラ デバイス用に 1 つ ( $V_{DPUM}$ )、各選択可能なターゲット チャンネルに 1 つずつ ( $V_{DPU0} \sim V_{DPU7}$ ) 割り当てます。コントローラ デバイスとすべてのターゲット デバイスが同じ電圧で動作している場合、 $V_{DPUM} = V_{DPUX} = V_{CC}$  となります。電圧変換が必要なアプリケーションでは、適切な  $V_{CC}$  電圧を決定するために、追加の設計要件を考慮する必要があります。

A0、A1 ピンは、TCA9847 のターゲット アドレスを制御するためにハードウェアで選択できます。アプリケーションでは、これらのピンを GND または  $V_{CC}$  に直接接続できます。

アプリケーション内で複数のターゲット チャンネルが同時にアクティブになる場合、コントローラ側の SCL/SDA から GND への  $I_{OL}$  の合計は、すべてのプルアップ抵抗  $R_p$  を流れる電流の合計になります。

TCA9847 のパスゲートトランジスタは、 $V_{CC}$  電圧を用いて、ある I<sup>2</sup>C バスから別に伝達される最大電圧を制限できるように構成されています。

TCA9847 を電圧変換機能として動作させるには、 $V_{pass}$  電圧を最小バス電圧と同じ、またはそれ以下にする必要があります。

#### 8.2.1.1 電圧変換の要件

アップストリーム バス電圧またはコントローラ プルアップ抵抗電圧 $V_{DPUC}$	TCA98xx VDD1 の電源電圧	チャンネル パストランジスタ クランプ電圧	TCA98xx VDD2 の電源電圧	最小ダウンストリーム バス電圧 $V_{DPUX}$	コメント
0.65	0.65	0.65	1.65-3.6	0.65-3.6	OK
1.8-3.6	0.65	0.65	1.65-3.6	0.65	OK
1.8	1.8	1.8	1.8-3.6	1.8-3.6	OK
2.5	2.5	1.8	1.8	1.8	OK
2.5	2.5	2.5	2.3-3.6	2.3-3.6	OK
3.6	3.6	1.8	1.8	1.8	OK
3.6	3.6	2.5	2.5	2.5	OK
3.6	3.6	3.6	3.6	3.6	OK
1.8	1.8	1.8	1.8	0.65	NOT OK
2.5	2.5	1.8	1.8	0.65	NOT OK
3.6	3.6	1.8	1.8	0.65	NOT OK

アップストリームとダウンストリームのバス間にバッファ機能はありません。これは単なるパストランジスタであり、これらのバス セグメント間にあって、マルチプレクサおよび直列抵抗として機能します

### 8.2.2 詳細な設計手順

すべてのターゲットを適切なターゲット チャンネルに割り当て、バス電圧を特定したら、各バスのプルアップ抵抗  $R_p$  を適切に選択する必要があります。式 1 に示されているように、最小プルアップ抵抗は、 $V_{DPUX}$ 、 $V_{OL(max)}$ 、 $I_{OL}$  の関数です。

$$R_{p(min)} = \frac{V_{DPUX} - V_{OL(max)}}{I_{OL}} \quad (1)$$

式 2 に示されているように、最大プルアップ抵抗は、最大立ち上がり時間  $t_r$  (高速モード動作時は 300ns、 $f_{SCL} = 400kHz$ ) とバス容量  $C_b$  の関数です。

$$R_{p(max)} = \frac{t_r}{0.8473 \times C_b} \quad (2)$$

I<sup>2</sup>C バスの最大バス容量は、高速モード動作の場合、400pF を超えないものとします。バス容量は、TCA9847 の容量 C<sub>io(OFF)</sub>、配線、接続、配線の容量、および特定チャンネル上の各ターゲットの容量を合計することで近似値を求めることができる。複数のチャンネルが同時にアクティブになると、すべてのチャンネルの各ターゲットが合計バス容量に寄与します。

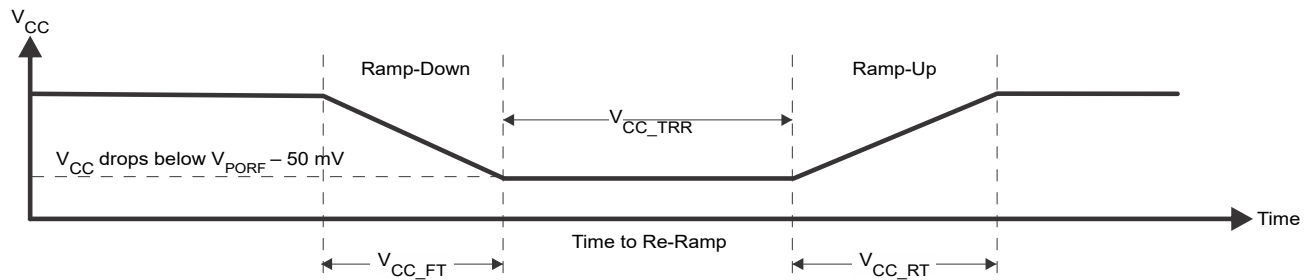
### 8.3 電源に関する推奨事項

TCA9847 の動作電源電圧範囲は、VDD1 が 0.65V ~ 3.6V、VDD2 が 1.65V ~ 3.6V です。TCA9847 の電源が投入されるたびに、デバイスはパワーオンリセットを実行します。電源シーケンスが、以下のパワーオンリセット要件に従っていることを確認してください。I<sup>2</sup>C バス ロジックが正しく初期化されるように、パワーオンリセット要件に従う必要があります。

#### 8.3.1 パワーオンリセットの要件

グリッチやデータ破損が発生した場合、パワーオンリセット機能を使用して TCA9847 をデフォルト状態にリセットできます。パワーオンリセットを実行するには、デバイスを完全にリセットするためにパワー サイクルを完了させる必要があります。このリセットは、アプリケーションでデバイスの電源を初めてオンにしたときにも発生します。

図 8-2 に、パワーオンリセットを示します。



V<sub>CC</sub> は POR スレッシュホールドを下回るまで低下してから、再度 V<sub>CC</sub> まで上昇します

図 8-2. パワーオンリセットの波形

表 8-1 に、両方のタイプのパワーオンリセットについて、TCA9847 のパワーオンリセット機能の性能を規定します。

表 8-1. 推奨される電源シーケンシングとランプレート (1)

パラメータ		最小値	最大値	単位
V <sub>CC_FT</sub>	立ち下がり時間	0.1	2000	ms
V <sub>CC_RT</sub>	立ち上がり時間	0.1	2000	ms
V <sub>CC_TRR</sub>	再ランプレート時間 (V <sub>CC</sub> が V <sub>PORF(min)</sub> - 50mV を下回る場合、または V <sub>CC</sub> が GND まで低下する場合)	10		μs
V <sub>CC_GH</sub>	V <sub>CC</sub> にグリッチが発生することはあるが、V <sub>CC_GW</sub> = 1μs のときに機能が途絶しないレベル		1	V
V <sub>CC_GW</sub>	V <sub>CC_GH</sub> = 0.5 × V <sub>CC</sub> のときに、機能が途絶しないグリッチ幅		10	μs

(1) すべての電源シーケンシングおよびランプレートの値は、T<sub>A</sub> = 25°C で測定されます

電源のグリッチは、このデバイスのパワーオンリセット性能にも影響を及ぼす可能性があります。グリッチ幅 (V<sub>CC\_GW</sub>) と高さ (V<sub>CC\_GH</sub>) は互いに依存します。バイパス容量、ソース インピーダンス、デバイス インピーダンスは、パワーオンリセット性能に影響を及ぼす要因です。これらの仕様を測定する方法の詳細については、図 8-3 および表 8-1 を参照してください。

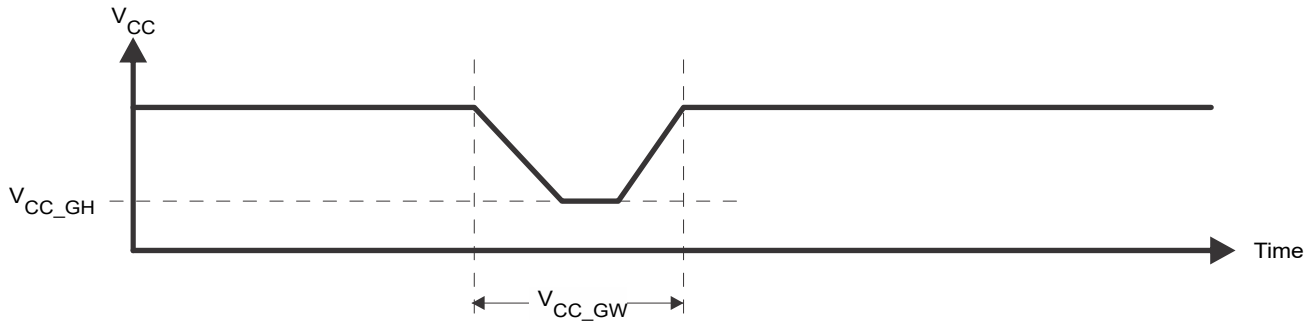


図 8-3. グリッチ幅とグリッチ高さ

$V_{POR}$  は、パワーオンリセットに不可欠です。 $V_{POR}$  は、リセット条件が解放され、すべてのレジスタと I<sup>2</sup>C/SMBus ステートマシンがデフォルト状態に初期化される電圧レベルです。 $V_{POR}$  の値は、0 に低下するか、または 0 から低下した  $V_{CC}$  に応じて変わります。この仕様の詳細については、図 8-4 および表 8-1 を参照してください。

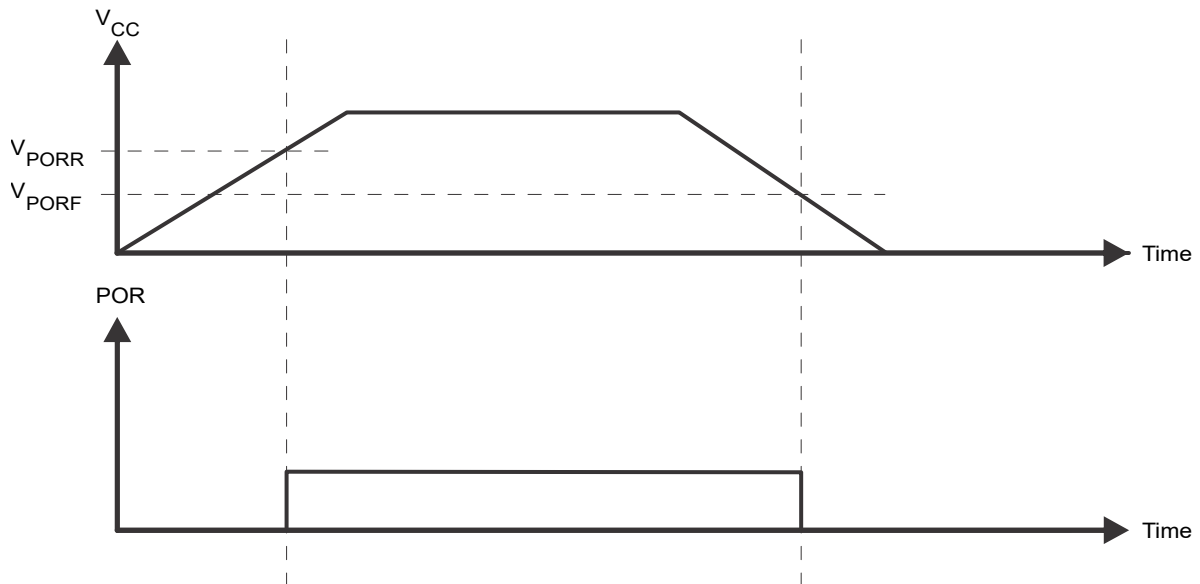


図 8-4.  $V_{POR}$

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

TCA9847 の PCB レイアウトでは、一般的な PCB レイアウトの慣例に従う必要がありますが、適合したインピーダンスや差動ペアなどの高速データ転送は、I<sup>2</sup>C 信号速度では大きな問題にはなりません。基板の内層に専用のグランドプレーンを配置するのが一般的で、グランドに接続されるピンは、広いポリゴンパターンと複数のビアの形で、グランドプレーンへの低インピーダンスパスを持つ必要があります。バイパスコンデンサとデカップリングコンデンサは、一般的に VCC ピンの電圧の制御に使用されます。大容量コンデンサを使用すると、短時間の電源グリッチ時に追加電力を供給し、容量の小さいコンデンサを使用すると、高周波リップルをフィルタリングできます。

電圧変換が不要なアプリケーションでは、すべての V<sub>DPUX</sub> 電圧と V<sub>CC</sub> を同じ電位にでき、1 つの銅プレーンですべてのプルアップ抵抗を適切なリファレンス電圧に接続できます。電圧変換が必要なアプリケーションでは、V<sub>DPUM</sub> と V<sub>DPU0</sub> ~ V<sub>DPU7</sub> を、異なる電圧電位を絶縁するために分割プレーンを持つ基板の同じ層上に配置できます。

PCB の寄生成分によって追加される I<sup>2</sup>C バスの合計容量を低減するには、データライン (SCn と SDn) をできるだけ短くし、配線の幅を最小化する必要があります (たとえば、銅の重量に応じて 5 ~ 10mil)。

### 8.4.2 レイアウト例

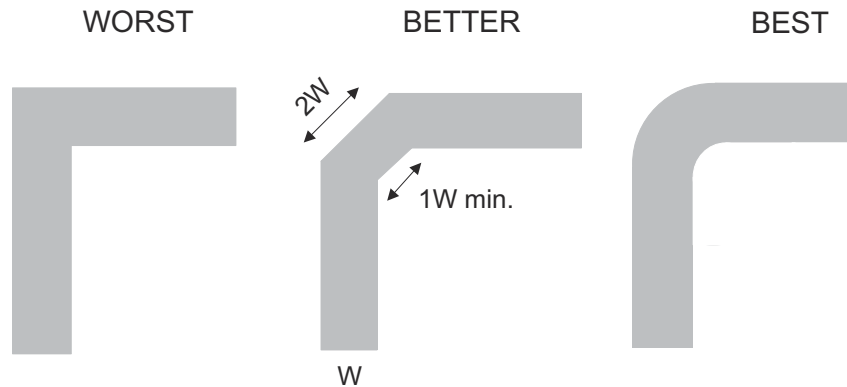


図 8-5. レイアウト回路図

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[I2C バスのプルアップ抵抗値の計算](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[リピータを使用する I2C バスの最大クロック周波数](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[I2C バスの理解](#)』アプリケーション ノート [SLVA704](#)
- テキサス インスツルメンツ、『[新規設計に適した I2C デバイスの選択](#)』アプリケーション ノート
- テキサス インスツルメンツ、『[TCA9548AEVM](#)』評価基板ユーザー ガイド

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

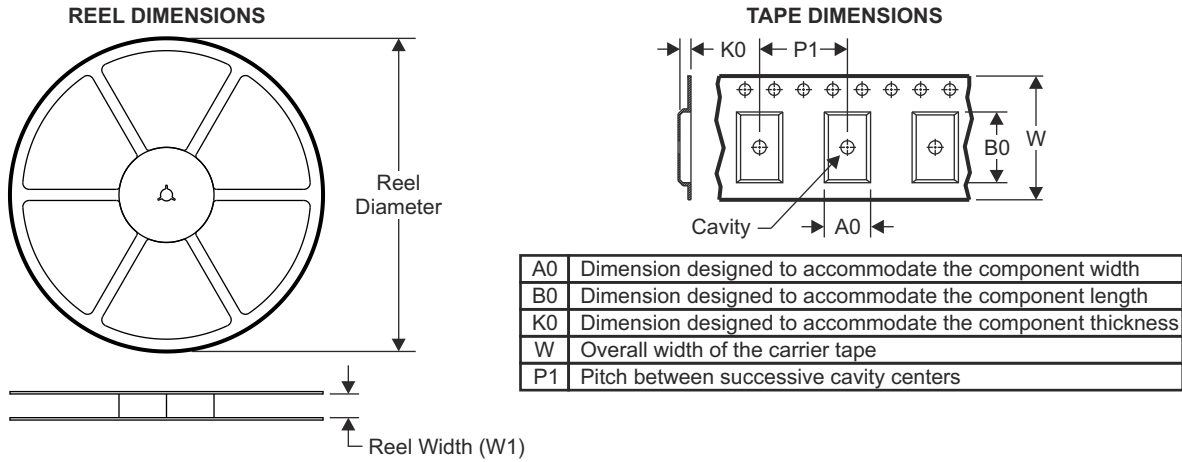
## 10 改訂履歴

日付	改訂	注
April 2026	*	初版リリース

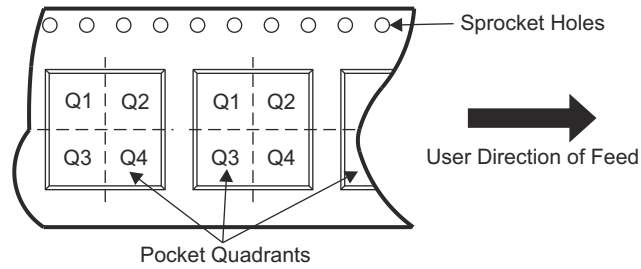
## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

### 11.1 テープおよびリール情報

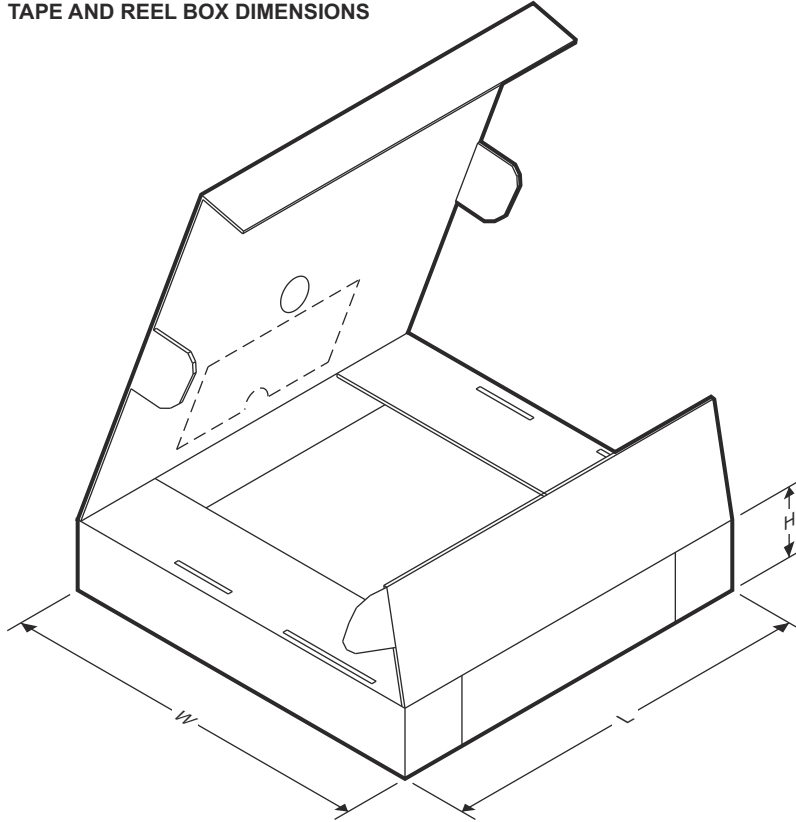


#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の象限
TCA9847RGER	VQFN	RGE	24	3000	330	12.4	4.25	4.25	1.15	8	12	Q2
TCA9847PWR	TSSOP	PW	24	3000	330	16.4	6.95	8.30	1.60	8	16	Q1

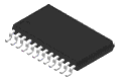
TAPE AND REEL BOX DIMENSIONS

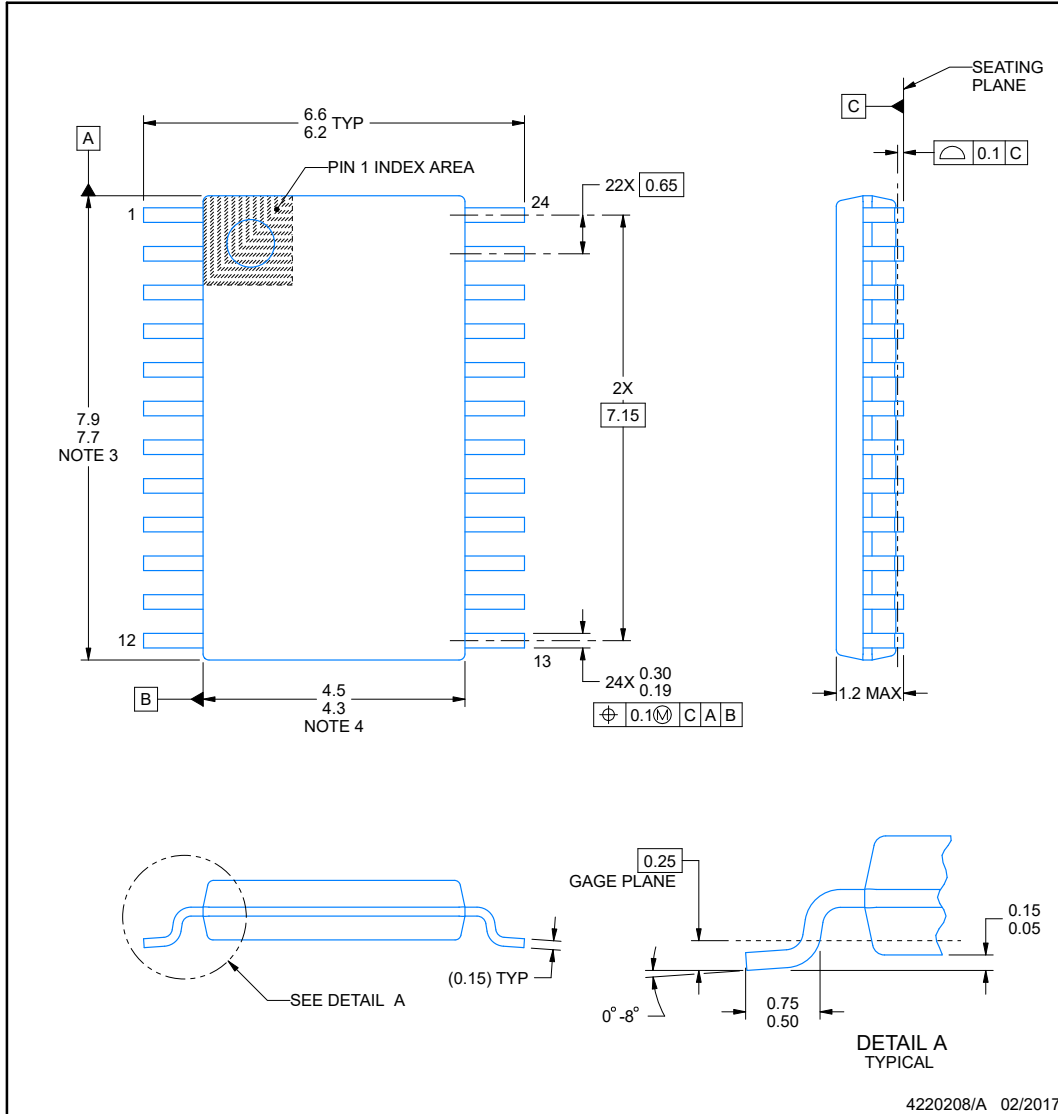


デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TCA9847RGER	VQFN	RGE	24	3000	346	346	33
TCA9847PWR	TSSOP	PW	24	3000	353	353	32

ADVANCE INFORMATION

## 11.2 メカニカル データ

**PW0024A**  **PACKAGE OUTLINE**  
**TSSOP - 1.2 mm max height**  
 SMALL OUTLINE PACKAGE



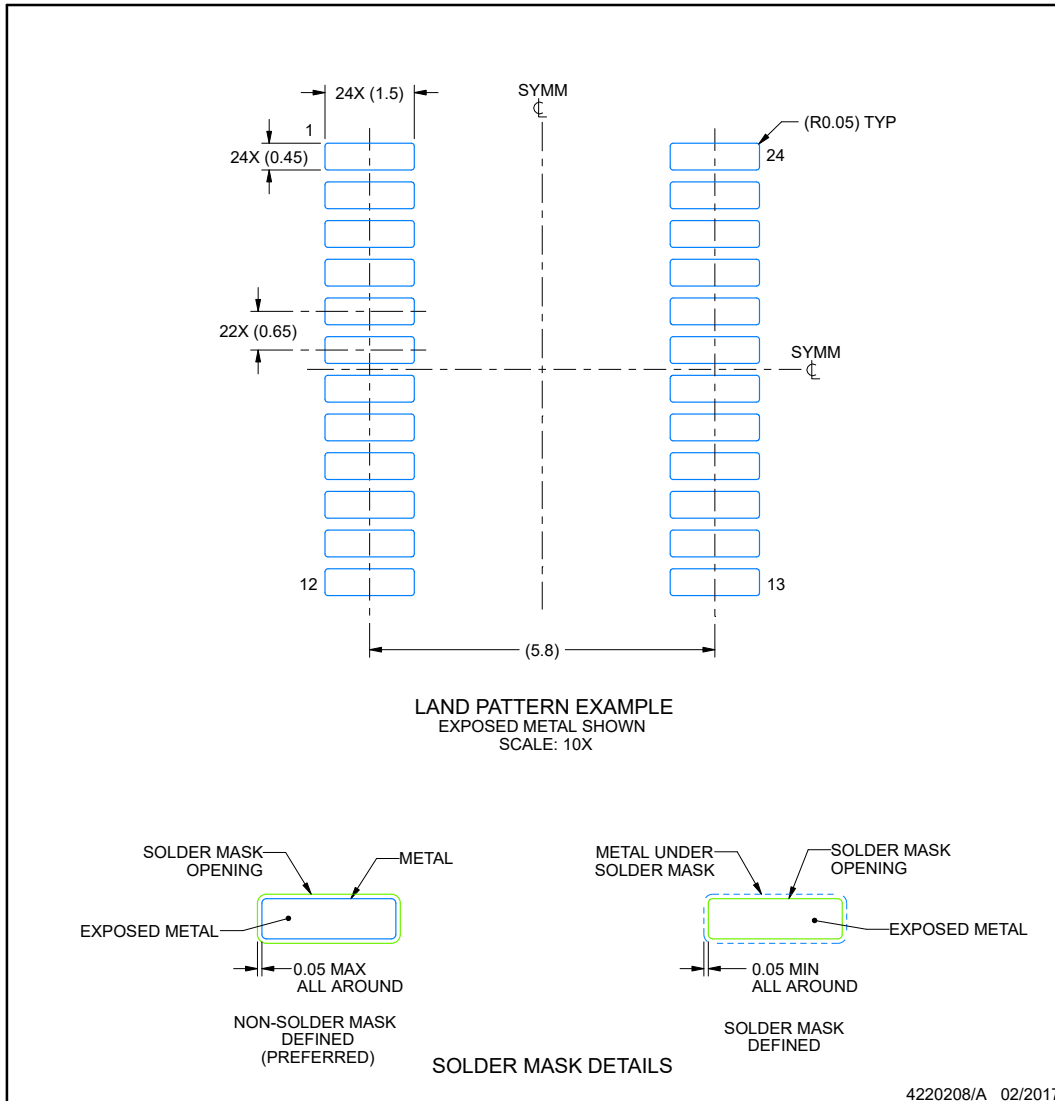
ADVANCE INFORMATION

**EXAMPLE BOARD LAYOUT**

**PW0024A**

**TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

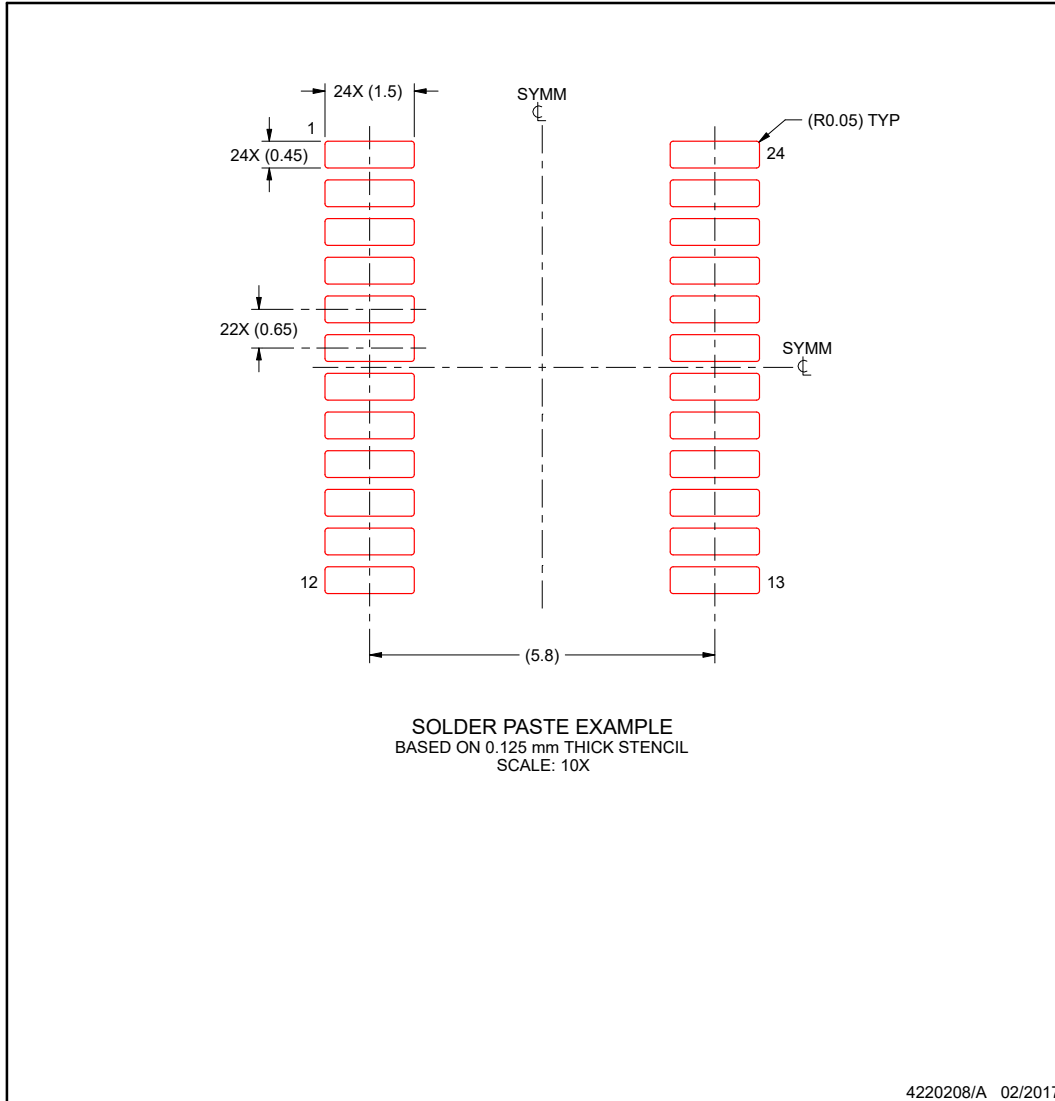
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

**PW0024A**

**TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



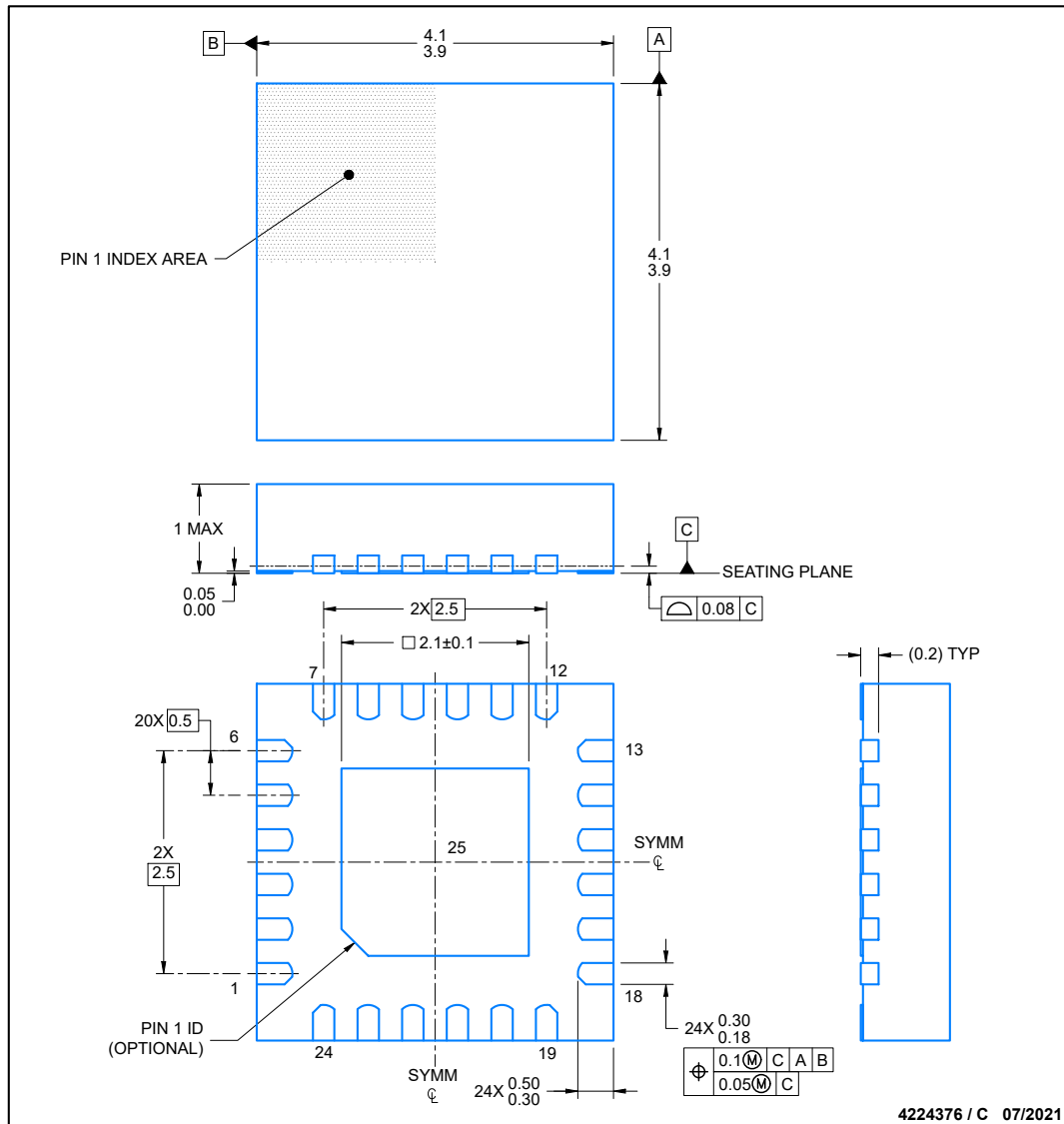
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

**PACKAGE OUTLINE**  
**VQFN - 1 mm max height**

**RGE0024C**

PLASTIC QUAD FLATPACK- NO LEAD



4224376 / C 07/2021

NOTES:

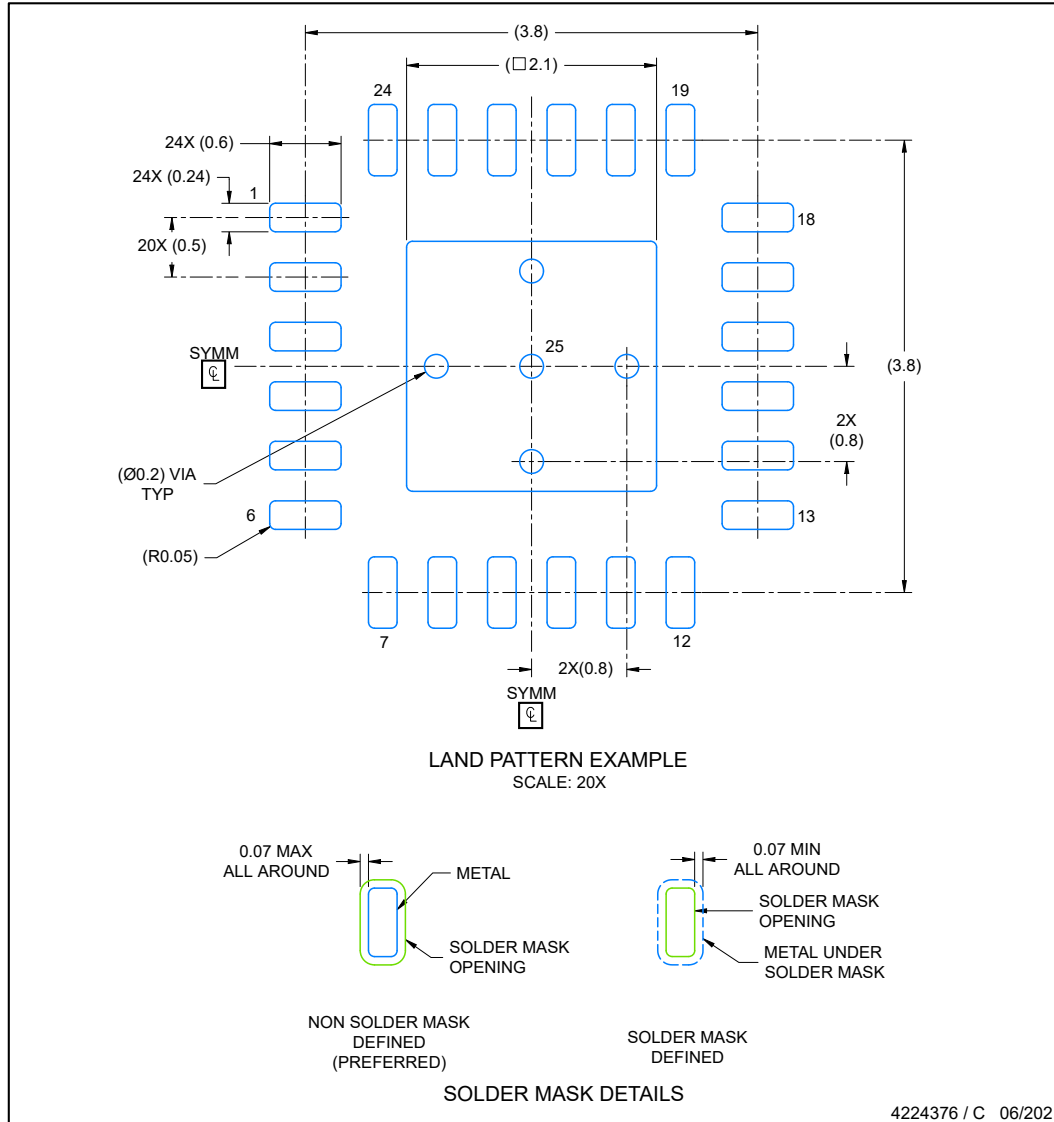
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

**EXAMPLE BOARD LAYOUT**

**RGE0024C**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

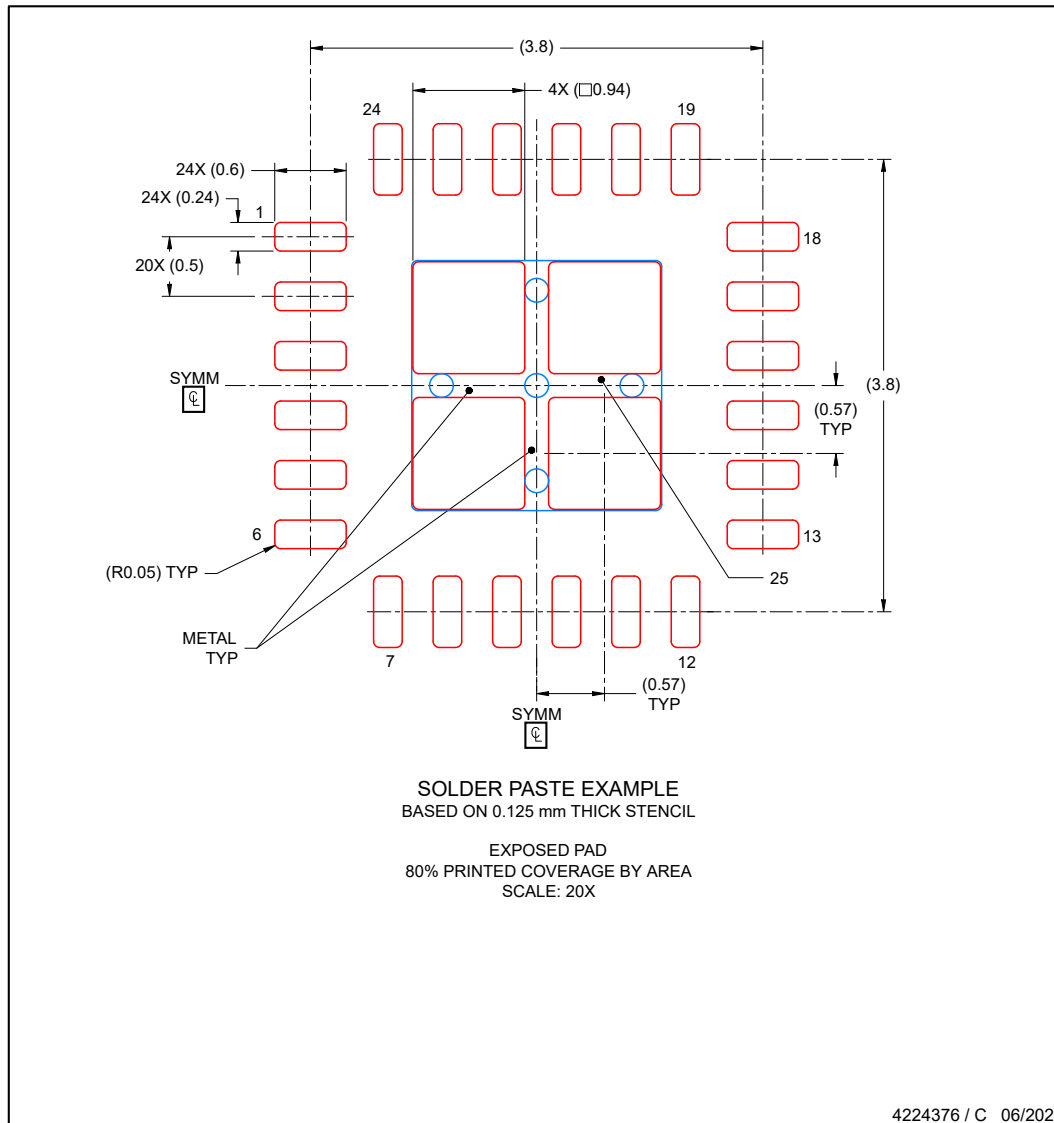
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

**EXAMPLE STENCIL DESIGN**

**RGE0024C**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">PTCA9847PWR</a>	Active	Preproduction	TSSOP (PW)   24	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">PTCA9847RGER</a>	Active	Preproduction	VQFN (RGE)   24	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">TCA9847PWR</a>	Active	Production	TSSOP (PW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCA9847

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

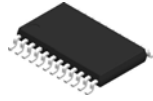
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

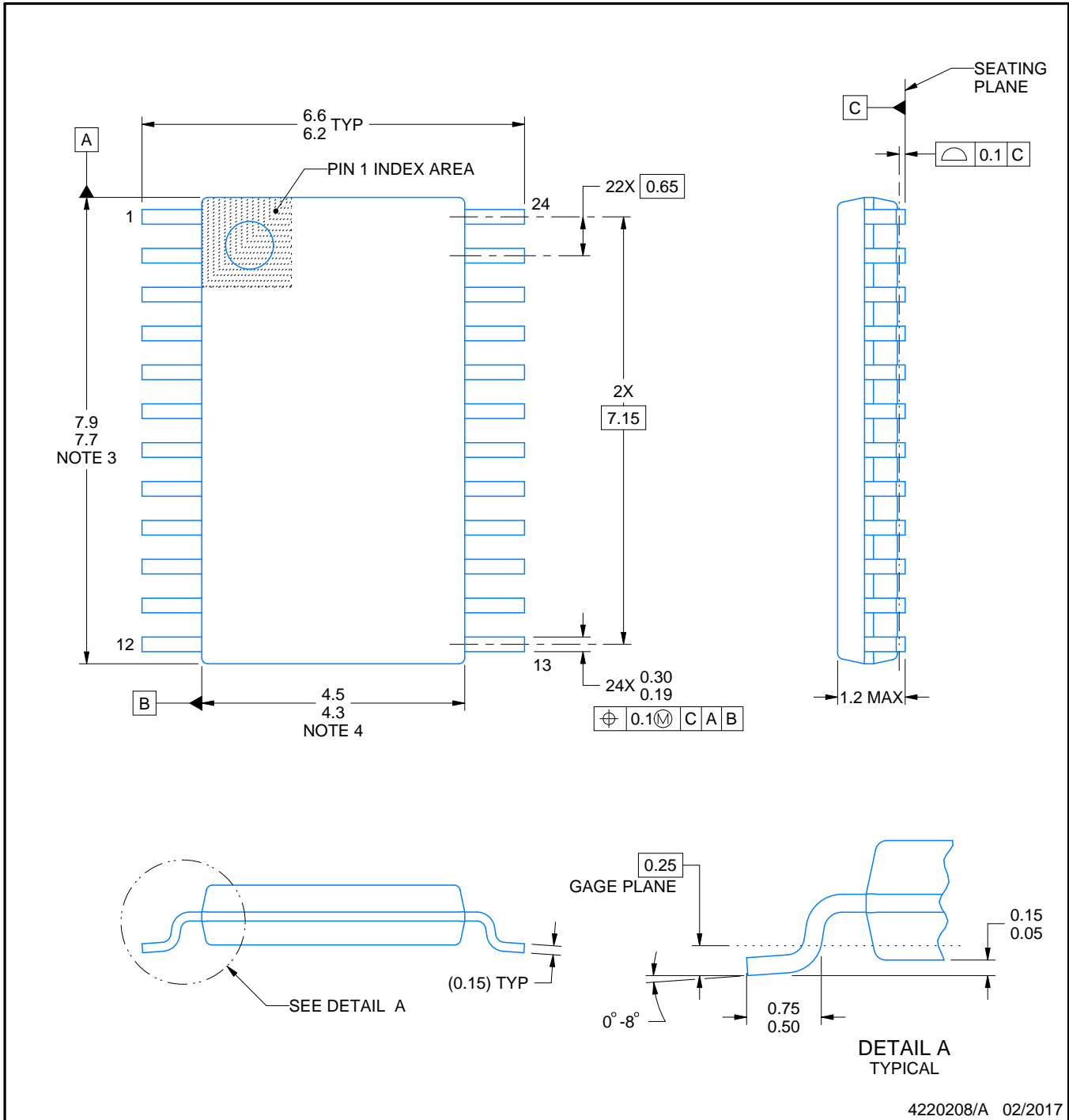
PW0024A



# PACKAGE OUTLINE

## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220208/A 02/2017

NOTES:

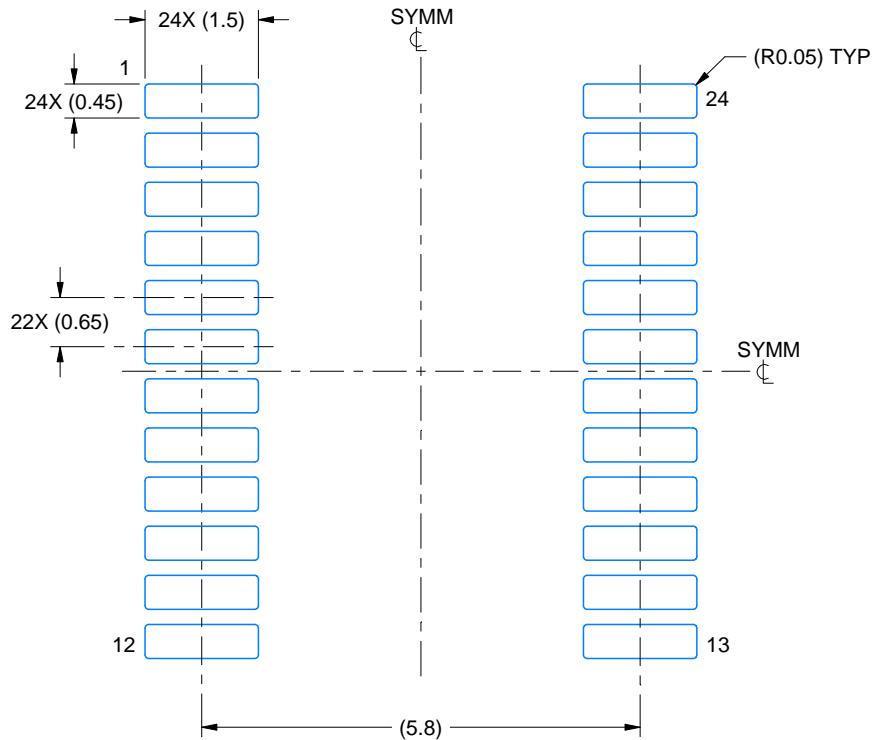
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

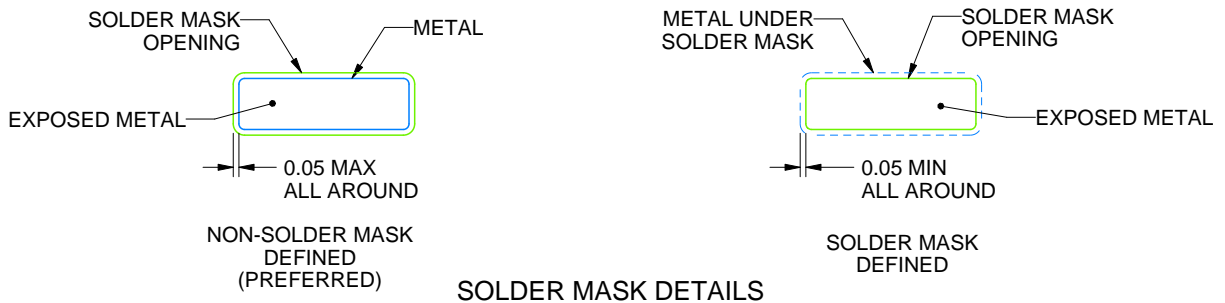
PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

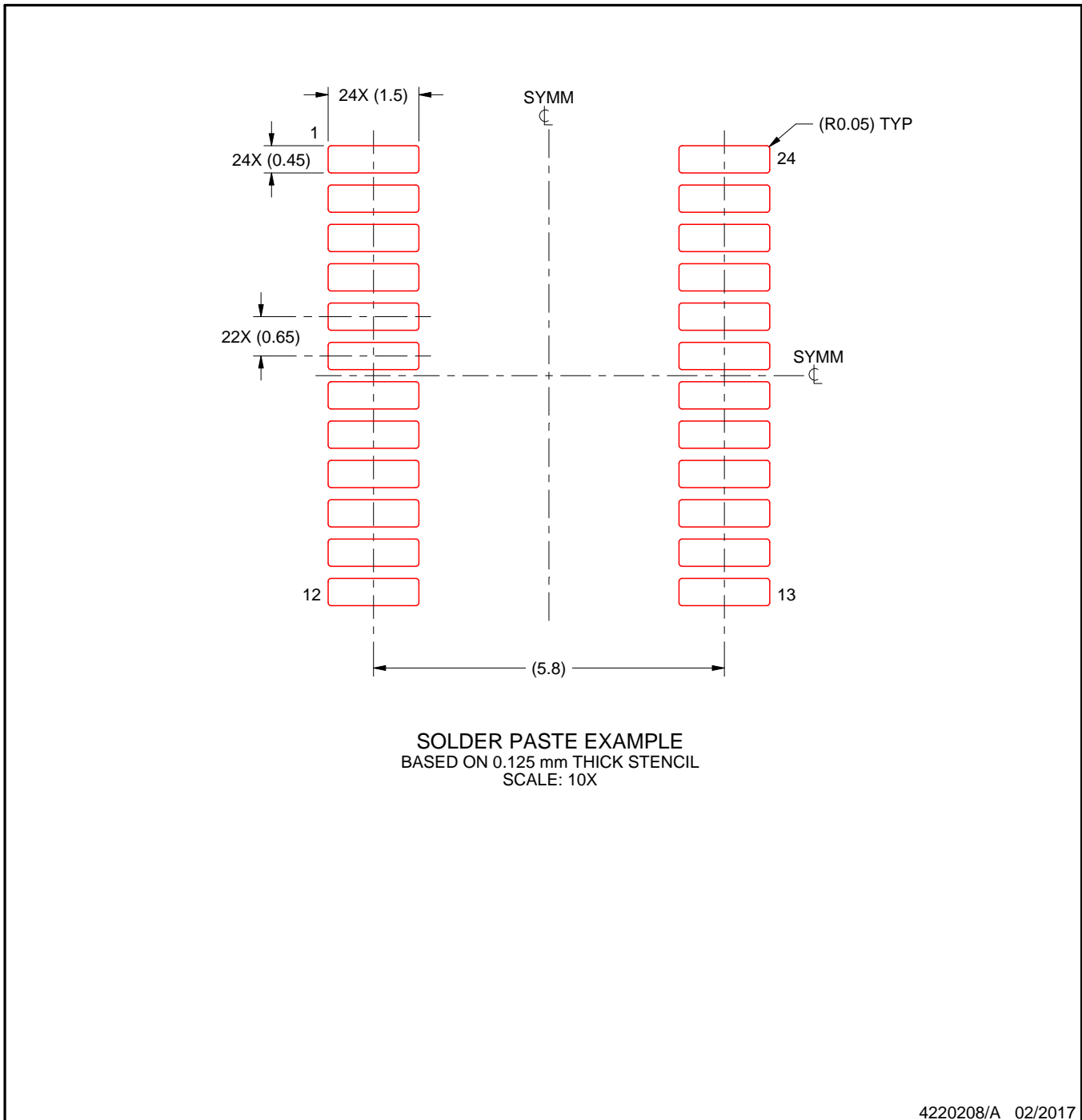
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

**RGE 24**

**GENERIC PACKAGE VIEW**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4204104/H

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月