

TCAN157x-Q1 車載用 CAN FD SIC トランシーバ、パーシャルネットワーク対応

1 特長

- AEC-Q100 (グレード 1): 車載アプリケーション認定済み
- ISO 11898-2:2024 附属書 A に規定される信号改善機能を備えた CAN バスの 2Mbps および 5Mbps 通信の要件への適合
- 最高 8Mbps の CAN FD 通信レート
- エラーフリーの従来 CAN または CAN FD データの送受信で選択的ウェークとパーシャルネットワークをサポート
- [機能安全品質管理: TCAN1576-Q1](#)
- [機能安全対応: TCAN1575-Q1](#)
- TCAN157x-Q1 はプロセッサの IO 公称電圧 1.8V ~ 5V に対応
- 広い動作範囲:
 - $\pm 58V$ のバスフォルト保護
 - $\pm 12V$ 同相モード
- TCAN1576-Q1 は以下をサポート:
 - ウォッチドッグ: タイムアウト、ウィンドウ、Q&A
 - バスフォルト診断および報告
 - プログラマブルの INH/LIMP ピン
- 14 ピン SOIC、VSON、SOT23 パッケージ
 - 自動光学検査 (AOI) 性能を向上させた VSON パッケージ

2 アプリケーション

- [ボディエレクトロニクス / 照明](#)
- [車載用インフォテインメントおよびクラスタ](#)
- [ハイブリッド、電動、パワートレインシステム](#)
- [産業用輸送](#)

3 説明

TCAN157x-Q1 は、拡張型の高速度 CAN FD に対応した SIC トランシーバです。データレート最大 8Mbps をサポートする高速 CAN SIC 仕様について ISO 11898-2:2024 (附属書 A) の物理層要件に準拠します。これらのデバイスは SPI により設定を行い、全機能へアクセスできます。V_{IO} 端子に印加する電圧に合わせて 1.8V ~ 5V のプロセッサ I/O 公称電圧をサポートし、低電力プロセッサの採用を可能にします。

これらのトランシーバは選択的ウェークをサポートしていません (WUF 識別に基づいてウェークアップできます)。この機能により、システムにパーシャルネットワークを実装し、アクティブ状態のノード数が少ない状態で動作させることができます (残りのノードは低消費電力スリープモードに留まります)。選択的ウェーク付きトランシーバ機能は ISO 11898-2:2024 規格の仕様を満たしています。

TCAN1576-Q1 は、ウォッチドッグと先進バス診断をサポートするフル機能のデバイスです。デバッグを簡単にするため、先進バスフォルト診断および通信機能を使用して特定のバスフォルトを判定できます。

TCAN157x-Q1 は、ファミリ内および TCAN1145-Q1 と TCAN1146-Q1 CAN FD パーシャルネットワーク対応トランシーバとレジスタ互換性があります。TCAN157x-Q1 は、ハードウェアの変更なし、かつ最小限のソフトウェア変更で機能を実装できる柔軟性をシステム設計者に提供します。TCAN1576-Q1 の inhibit ピン (INH) は、ノード電力を有効にするために使えます。または、ウォッチドッグエラーが発生した際のリンプホームピンとして構成できます。

パッケージ情報

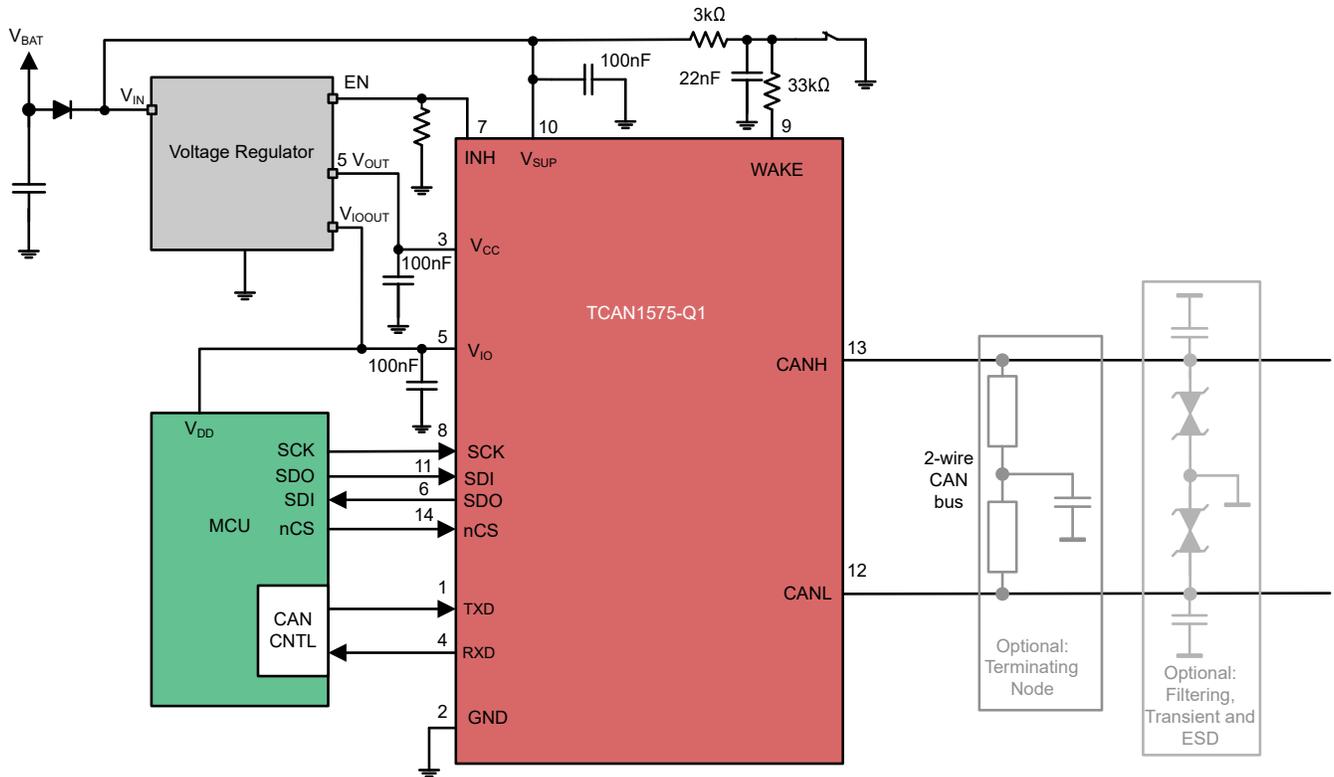
部品番号	パッケージ (1)	パッケージサイズ (2)
TCAN1575-Q1 TCAN1576-Q1	SOIC (D) (14)	8.65 mm × 3.9mm
	VSON (DMT) (14)	4.5 mm × 3mm
	SOT23 (DYY) (14)	4.2 mm × 2mm

- (1) 詳細については、[セクション 13](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

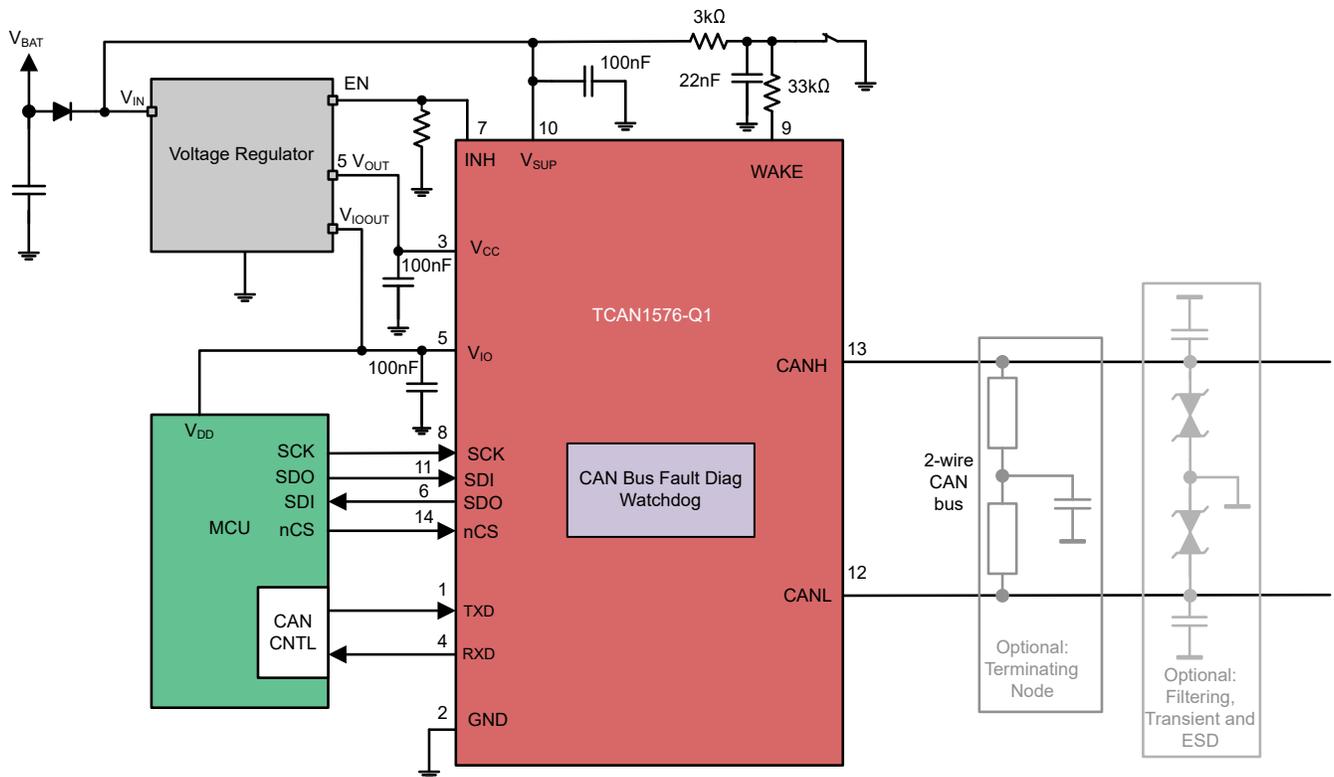


TCAN1575-Q1, TCAN1576-Q1

JAJSNX3B – FEBRUARY 2024 – REVISED OCTOBER 2025



概略回路図



概略回路図

目次

1 特長.....	1	8.3 機能説明.....	26
2 アプリケーション.....	1	8.4 デバイスの機能モード.....	31
3 説明.....	1	8.5 プログラミング.....	75
4 デバイス比較表.....	3	9 アプリケーション情報に関する免責事項.....	78
5 ピン構成および機能.....	4	9.1 アプリケーション情報.....	78
6 仕様.....	5	9.2 代表的なアプリケーション.....	82
6.1 絶対最大定格.....	5	9.3 電源に関する推奨事項.....	85
6.2 ESD 定格.....	5	9.4 レイアウト.....	85
6.3 推奨動作条件.....	5	10 レジスタ.....	87
6.4 熱に関する情報.....	6	10.1 レジスタ マップ.....	87
6.5 電源の特性.....	6	11 デバイスおよびドキュメントのサポート.....	116
6.6 電氣的特性.....	7	11.1 ドキュメントのサポート.....	117
6.7 タイミング要件.....	9	11.2 ドキュメントの更新通知を受け取る方法.....	117
6.8 スイッチング特性.....	10	11.3 サポート・リソース.....	117
6.9 代表的特性.....	13	11.4 商標.....	117
7 パラメータ測定情報.....	15	11.5 静電気放電に関する注意事項.....	117
8 詳細説明.....	22	11.6 用語集.....	118
8.1 概要.....	22	12 改訂履歴.....	119
8.2 機能ブロック図.....	23	13 メカニカル、パッケージ、および注文情報.....	119

4 デバイス比較表

デバイス番号	CAN FD SIC トランシーバ	選択式ウェークアップ機能	ウォッチドッグ	バス フォルト診断機能	リンプホーム対応	SOIC	VSON	SOT
TCAN1575D-Q1	X	X				X		
TCAN1575DMT-Q1	X	X					X	
TCAN1575DYY-Q1	X	X						X
TCAN1576D-Q1	X	X	X	X	X	X		
TCAN1576DMT-Q1	X	X	X	X	X		X	
TCAN1576DYY-Q1	X	X	X	X	X			X

5 ピン構成および機能

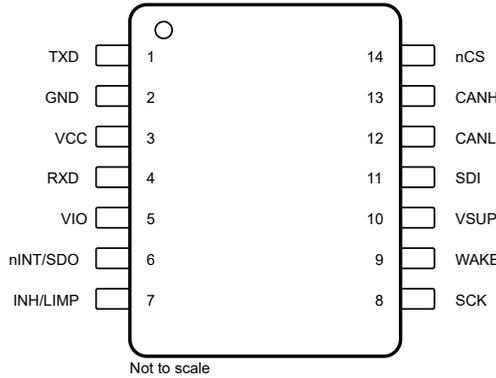


図 5-1. D パッケージ、14 ピン (SOIC)、上面図

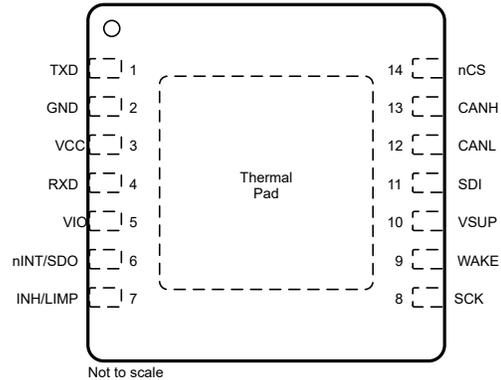


図 5-2. DMT パッケージ、14 ピン (VSON)、上面図

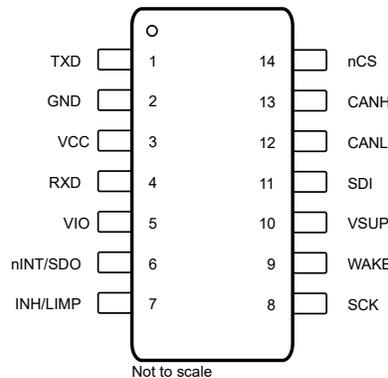


図 5-3. DYY パッケージ、14 ピン (SOT-23)、上面図

表 5-1. ピンの機能

ピン		タイプ ⁽²⁾	説明
番号	名称		
1	TXD	DI	CAN 送信データ入力 (ドミナント バス状態の場合は Low、リセッパ バス状態の場合は High)
2	GND	GND	グラウンド接続 ⁽¹⁾
3	V _{CC}	P	5V CAN バス電源電圧
4	RXD	DO	CAN 受信データ出力 (ドミナント・バス状態の場合は Low、リセッパ バス状態の場合は High)
5	VIO	P	デジタル I/O 電源電圧
6	nINT/SDO	DO	nCS が Low のときはシリアルデータ出力、nCS が High のときは nINT
7	INH/LIMP	HVO	デフォルトでは、システム電圧レギュレータと電源を制御する Inhibit ピンとして動作します。TCAN1576-Q1 では、このピンを LIMP ホーム機能用に設定できます
8	SCK	DI	SPI クロック入力。
9	WAKE	HVI	ローカル WAKE 入力端子
10	VSUP	HVP	バッテリーからの高電圧供給
11	SDI	DI	シリアル データ入力
12	CANL	BI/O	Low レベル CAN バス I/O ライン
13	CANH	BI/O	High レベル CAN バス I/O ライン
14	nCS	DI	チップ セレクト (アクティブ "Low")

(1) GND ピンは GND に半田付けされています。DMT パッケージのパッドは、放熱性向上のため、グラウンドプレーンに半田付けすることを推奨します

(2) DI = デジタル入力、DO = デジタル出力、HVI = 高電圧入力、HVO = 高電圧出力、HVP = 高電圧電源、P = 電源、BI/O = バス入出力

6 仕様

6.1 絶対最大定格

動作周囲温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{SUP}	デバイス電源電圧	-0.3	42	V
V _{CC}	CAN 電源電圧	-0.3	6	V
V _{IO}	電源電圧 I/O レベル シフト	-0.3	6	V
V _{BUS}	CAN バス I/O 電圧 (CANH, CANL)	-58	58	V
V _{DIFF}	CAN バス差動電圧 (V _{DIFF} = V _{CANH} - V _{CANL})	-58	58	V
V _{WAKE}	WAKE 入力電圧	-18	42	V
V _{INH}	INH ピン電圧	-0.3	42 および VO ≤ V _{SUP} +0.3	V
V _{LOGIC}	ロジックピン電圧 (RXD, TXD, SPI)	-0.3	6	V
I _{O(LOGIC)}	ロジックピン出力電流 (RXD, SDO)		4	mA
I _{O(INH/LIMP)}	Inhibit/LIMP ピン出力電流		6	mA
I _{O(WAKE)}	WAKE ピン出力電流		3	mA
T _J	接合部温度	-40	165	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位	
V _(ESD)	静電放電	人体モデル (HBM) 分類レベル H2、V _{SUP} 、CANL/H、WAKE ピン、AEC Q100-002 準拠 ⁽¹⁾	±8000	V	
		人体モデル (HBM) 分類レベル 3A、その他のすべてのピン、AEC Q100-002 に準拠 ⁽¹⁾	±4000		
		荷電デバイス モデル (CDM) 分類レベル C5、AEC Q100-011 準拠	コーナー ピン (1、7、8、14)		±750
			その他のピン		±750

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V _{SUP}	電源電圧	4.5		28	V
V _{IO}	I/O 電源電圧	1.71		5.5	V
V _{CC}	CAN トランシーバ電源電圧	4.75		5.25	V
I _{OH(DO)}	デジタル出力 High レベル電流	-2			mA
I _{OL(DO)}	デジタル出力 Low レベル電流			2	mA
I _{O(INH/LIMP)}	Inhibit/LIMP ピン電流			1	mA
T _J	接合部温度	-40		150	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TCAN157x-Q1			単位
		D (SOIC)	DMT (VSON)	DYY (SOT-23)	
		14-PINS	14-PINS	14-PINS	
R _{θJA}	接合部から周囲への熱抵抗	82.6	37.5	91.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	37.3	37.8	33.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	39.4	13.9	30.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	6.6	0.7	0.8	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	38.9	13.9	30.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	4.7	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電源の特性

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
バッテリーからの電源供給						
I _{SUP}	バッテリー電源電流	スリープ モード: 選択的ウェークオフ、4.5V ≤ V _{SUP} ≤ 28V		20	35	μA
		スタンバイ モード: 選択的ウェークオフ、4.5V ≤ V _{SUP} ≤ 28V		60	95	μA
		CAN バスのリスニング時、バイアスを 2.5V に接続した場合の追加電流。		15	40	μA
		WAKE ピンからの追加電流		1	2	μA
		通常モード		1	1.5	mA
		選択的ウェークアップ機能が有効でバスがアクティブのときの追加電流		400	550	μA
V _{SUP(PU)R}	電源オン検出	V _{SUP} 立ち上がり	1.9		3.9	V
V _{SUP(PU)F}	電源オフ検出	V _{SUP} 立ち下がり	1.8		3.5	V
UV _{SUPR}	電源低電圧からの復帰	V _{SUP} 立ち上がり	3.75		4.4	V
UV _{SUPF}	電源低電圧検出	V _{SUP} 立ち下がり	3.4		4.25	V
V_{CC} からの電源供給						
I _{CC}	電源電流	通常モード: リセッシブ、V _{TXD} = V _{IO}		3	5	mA
		通常モード: ドミナント、V _{TXD} = 0V、R _L = 60Ω、C _L = 開放、典型的なバス負荷			60	mA
		通常モード: ドミナント、V _{TXD} = 0V、R _L = 50Ω、C _L = 開放、バス高負荷			70	mA
		通常モード: ドミナント (バス フォルト時)、V _{TXD} = 0V、CANH = -25V、R _L および C _L = 開放			110	mA
		スタンバイ モード: 選択的ウェークオフ、V _{TXD} = V _{IO} 、R _L = 50Ω、C _L = 開放		3.5	8	μA
		スリープ モード		2.5	5	μA
UV _{CCR}	電源低電圧からの復帰	V _{CC} 立ち上がり		4.2	4.5	V
UV _{CCF}	電源低電圧検出	V _{CC} 立ち下がり	3.5	4		V
V_{IO} からの電源供給						
I _{IO}	V _{IO} からの I/O 電源電流	スリープ モード: V _{TXD} = V _{IO} 、1.71V < V _{IO} < 5.5V の条件			10	μA
I _{IO}	V _{IO} からの I/O 電源電流	スタンバイ モード: V _{TXD} = V _{IO}			10	μA
		通常モード: リセッシブ			10	μA
		通常モード: ドミナント			40	μA
UV _{IOR}	電源低電圧からの復帰	V _{IO} 立ち上がり		1.4	1.65	V

6.5 電源の特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
UV _{IOF}	電源低電圧検出	V _{IO} 立ち下がり	1	1.25	V

6.6 電氣的特性

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$, $4.75\text{V} \leq V_{\text{CC}} \leq 5.25\text{V}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
CAN ドライバの電氣的特性						
V _{O(D)}	バス出力電圧 (ドミナント) CANH	レシーバのテスト回路と測定を参照してください。 V _{TXD} = 0V, R _L = 45Ω ~ 65Ω, C _L = 開放, R _{CM} = 開放	3		4.26	V
	バス出力電圧 (ドミナント) CANL		0.75		2.01	V
V _{O(R)}	CANH, CANL のリセッパ時のバス出力電圧	バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。V _{TXD} = V _{IO} , R _L = 開放 (無負荷), R _{CM} = 開放	2	2.5	3	V
V _(DIFF)	差動電圧		-42		42	V
V _{OD(R)}	CANH, CANL の終端済みバスにおける出力電圧 (リセッパ)	V _{TXD} = V _{IO} , 45Ω ≤ R _L ≤ 65Ω, スプリット終端容量 4.7nF	2.256		2.756	V
V _{OD(D)}	差動出力電圧 (ドミナント)、拡張バス負荷	バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。V _{TXD} = 0V, 45Ω ≤ R _L ≤ 65Ω, C _L = 開放, R _{CM} = 開放	1.5		3	V
		バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。V _{TXD} = 0V, 45Ω ≤ R _L = 70Ω, C _L = 開放, R _{CM} = 開放	1.5		3.3	V
		バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。V _{TXD} = 0V, R _L = 2.24kΩ, C _L = 開放, R _{CM} = 開放	1.5		5	V
V _{OD(R)}	差動出力電圧 (リセッパ)	バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。V _{TXD} = V _{IO} , R _L = 60Ω, C _L = 開放, R _{CM} = 開放	-120		12	mV
		バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。V _{TXD} = V _{IO} , R _L = 開放 (無負荷), C _L = 開放, R _{CM} = 開放	-50		50	mV
V _{O(INACT)}	バス バイアス無効 (STBY) 時の CANH バス出力電圧		-0.1		0.1	V
	バス バイアス無効 (STBY) 時の CANL バス出力電圧	バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。V _{TXD} = V _{IO} , R _L = 開放, C _L = 開放, R _{CM} = 開放	-0.1		0.1	V
	バス バイアス無効 (STBY) 時の CANH - CANL (リセッパ) のバス出力電圧		-0.2		0.2	V
V _{SYM}	出力対称性 (ドミナントまたはリセッパ) (V _{O(CANH)} + V _{O(CANL)}) / V _{REC}	バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。45Ω ≤ R _L ≤ 65Ω, C _L = 開放, R _{CM} = 開放, C ₁ = 4.7nF, TXD = 250kHz, 1MHz, 2.5MHz	0.95		1.05	V/V
V _{SYM_DC}	出力対称性 (ドミナントまたはリセッパ) (V _{CC} - V _{O(CANH)} - V _{O(CANL)}), HS-PMA 実装の想定最高ビットレートに対応する周波数 <1MHz または <2Mbit/s	バスの状態 (物理的ビット表現) およびレシーバのテスト回路と測定を参照してください。45Ω ≤ R _L ≤ 65Ω, C _L = オープン, R _{CM} = オープン, C ₁ = 4.7nF	-300		300	mV
I _{OS_DOM}	短絡定常状態出力電流、ドミナント、図 9-1 および 図 9-8 を参照してください	-3.0V ≤ V _{CANH} ≤ +18.0V, CANL = 開放, V _{TXD} = 0V	-115			mA
		-3.0V ≤ V _{CANL} ≤ +18.0V, CANH = 開放, V _{TXD} = 0V			115	mA
I _{OS_REC}	短絡定常状態出力電流、リセッパ。図 9-1 および 図 9-8 を参照してください	-27V ≤ V _{BUS} ≤ +42V, V _{BUS} = CANH = CANL	-5		5	mA

6.6 電気的特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ 、 $4.75\text{V} \leq V_{\text{CC}} \leq 5.25\text{V}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位		
$R_{\text{SE_ACT_REC}}$	アクティブリセッパ駆動位相時のシングルエンド SIC インピーダンス (CANH から同相バイアス、CANL から同相バイアス)			37.5	66.5	Ω	
$R_{\text{DIFF_ACT_REC}}$	アクティブリセッパ駆動位相の差動入力抵抗 (CANH から CANL)			75	133	Ω	
CAN レシーバの電気的特性							
V_{ITDOM}	レシーバがドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12\text{V} \leq V_{\text{CANL}} \leq +12\text{V}$ $-12\text{V} \leq V_{\text{CANH}} \leq +12\text{V}$ 、レシーバのテスト回路と測定 および 通常およびサイレントモードのレシーバ機能表を参照		0.9	8	V	
V_{ITREC}	レシーバリセッパ状態の差動入力電圧範囲、バスバイアスがアクティブ			-3	0.5	V	
V_{HYS}	入力スレッシュホールドのヒステリシス電圧、通常モードおよび選択的ウェイクモード				120	mV	
$V_{\text{DIFF_DOM}}$	レシーバドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ時	$12\text{V} \leq V_{\text{CANL}} \leq +12\text{V}$ $-12\text{V} \leq V_{\text{CANH}} \leq +12\text{V}$ 、レシーバのテスト回路と測定 および 通常およびサイレントモードのレシーバ機能表を参照		1.15	8	V	
$V_{\text{DIFF_REC}}$	レシーバリセッパ状態の差動入力電圧範囲、バスバイアスがアクティブ中			-3	0.4	V	
V_{CM}	同相モードの範囲: 通常モードおよびスタンバイモード			-12	12	V	
$I_{\text{OFF(LKG)}}$	パワーオフ (電源オフ) バス入力リーク電流	$\text{CANH} = \text{CANL} = 5\text{V}$ 、 $V_{\text{CC}} = V_{\text{IO}} = V_{\text{SUP}}$ を 0Ω および $47\text{k}\Omega$ の抵抗を介して GND に接続		-5	5	μA	
C_{I}	グラウンドに対する入力容量 (CANH または CANL) ⁽¹⁾				40	pF	
C_{ID}	差動入力容量 ⁽¹⁾				20	pF	
$R_{\text{DIFF_PAS_REC}}$	パッシブ・リセッパ期間中の差動入力抵抗	$V_{\text{TXD}} = V_{\text{IO}}$ 、通常モード。 $-2\text{V} \leq V_{\text{CANH}} \leq +7\text{V}$ 、 $-2\text{V} \leq V_{\text{CANL}} \leq +7\text{V}$		12	100	k Ω	
$R_{\text{SE_CANH/L}}$	パッシブリセッパ期間中のシングルエンド入力抵抗 (CANH または CANL)	$-2\text{V} \leq V_{\text{CANH}} \leq +7\text{V}$ $-2\text{V} \leq V_{\text{CANL}} \leq +7\text{V}$		6	50	k Ω	
$R_{\text{IN(M)}}$	入力抵抗マッチング: $[2 \times (R_{\text{IN(CANH)}} - R_{\text{IN(CANL)}}) / (R_{\text{CANH}} + R_{\text{IN(CANL)}})]$	$V_{\text{CANH}} = V_{\text{CANL}} = 5\text{V}$		-1	1	%	
INH 出力端子 (高電圧出力)							
ΔV_{H}	V_{SUP} から INH への高レベル電圧降下	$I_{\text{INH}} = -6\text{mA}$		0.5	1	V	
R_{pd}	プルダウン抵抗	スリープモード		7	10	13	M Ω
WAKE 入力端子							
V_{IH}	High レベル入力電圧	選択的ウェークアップまたはスタンバイモード、WAKE ピン有効		4		V	
V_{IL}	Low レベル入力電圧	選択的ウェークアップまたはスタンバイモード、WAKE ピン有効			2	V	
I_{IL}	Low レベル入力電流	WAKE = 1V		1	2	μA	
SDI, SCK, nCS, TXD 入力端子							
V_{IH}	High レベル入力電圧			0.7		V_{IO}	
V_{IL}	Low レベル入力電圧				0.3	V_{IO}	
I_{IH}	High レベル入力リーク電流	$1.71\text{V} \leq V_{\text{IO}} \leq 5.5\text{V}$		-1	1	μA	
I_{IL}	Low レベル入力リーク電流	入力 = 0V、 $1.71\text{V} \leq V_{\text{IO}} \leq 5.5\text{V}$		-30	-2	μA	
C_{IN}	入力容量	20MHz 時		2	15	pF	
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	入力 = 5.5V、 $V_{\text{IO}} = V_{\text{SUP}} = 0\text{V}$		-1	0	1	μA
R_{pu}	プルアップ抵抗			250	350	450	k Ω
RXD, SDO 出力端子							

6.6 電気的特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ 、 $4.75\text{V} \leq V_{\text{CC}} \leq 5.25\text{V}$ で有効 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{OH}	High レベル出力電圧	I _{OH} = -1.5mA, V _{IO} = 1.71V	0.8			V _{IO}
		I _{OH} = -2mA, V _{IO} ≥ 2.5 V	0.8			
V _{OL}	Low レベル出力電圧	I _{OL} = 2mA			0.2	V _{IO}
I _{LKG(OFF)}	無電源時リーク電流 - SDO ピン	V _{nCS} = V _{IO} , V _O = 0V ~ V _{IO}	-5		5	μA
R _{RXD(PU)}	RXD ピンのプルアップ抵抗	UV _{SUP} および POR 状態、ならびにスリープ モード時にアクティブ	40	60	80	kΩ
I _{LKG(RXD)}	V _{IO} 印加時、R _{RXD(PU)} 有効時の RXD 電流	V _{RXD} = V _{IO} , V _O = 0V ~ V _{IO}	-1		1	μA
		V _{RXD} = GND, UV _{SUP} および POR 状態、ならびにスリープ モード時にアクティブ	-140		-20	μA
サーマル シャットダウン						
T _{SDR}	サーマル シャットダウン		175			°C
T _{SDF}	サーマル シャットダウン解除		160			°C
T _{SDW}	サーマル シャットダウン警告		150			°C
T _{SDHYS}	サーマル シャットダウンヒステリシス			10		°C

(1) ISO 11898-2:2024 に準拠したテスト

6.7 タイミング要件

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ で有効 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源					
t _{PWRUP}	V _{SUP} が 4.4V を超えてから INH がアクティブになるまでの時間、 起動タイミング を参照		2	4	ms
t _{UVFLTR}	低電圧検出遅延時間	3		50	μs
t _{UVSLP}	UV _{CC} や UV _{IO} の低電圧状態が解除されてから、スリープ モードまたはフェイルセーフ モードへ移行するまでの時間	200		400	ms
モード変更					
t _{MODE_STBY_NOM}	SPI を介してこのコマンドを受信した後、スタンバイ モードから通常モードに移行するのに要する時間、 セクション 7 を参照			70	μs
t _{MODE_NOM_SLP}	SPI を介してこのコマンドを受信した後、通常モードからスリープ モードに移行するのに要する時間、 通常からスリープへのタイミング を参照			200	μs
t _{MODE_SLP_STBY}	INH がオンになった後、UV _{CC} および UV _{IO} 解除から RXD ピンが Low にプルダウンされるまでの時間、 (3) スリープからスタンバイへのタイミング を参照			100	μs
t _{MODE_NOM_STBY}	SPI を介してこのコマンドを受信した後、通常モードからスタンバイ モードに移行するのに要する時間、 通常からスタンバイへのタイミング を参照			70	μs
t _{INH_SLP_STBY}	WUP、LWU または WUF イベント後、INH アサートまでの時間、 スリープからスタンバイへのタイミング を参照			100	μs
t _{INH_NOM_SLP}	通常モードからスリープ モードへ移行するための SPI 書き込み実行から、INH がオフになるまでの時間、 通常からスリープへのタイミング を参照			50	μs
デバイス タイミング					
t _{WAKE}	WAKE 端子のエッジからのウェークアップ時間、スタンバイ、選択式ウェーク、スリープ モード、 ローカル ウェークアップ - 立ち上がりエッジ および ローカル ウェークアップ - 立ち下がりエッジ を参照	40			μs
t _{WAKE_INVALID}	この値より短い WAKE 端子パルスはフィルタによって除去されます、 ローカル ウェークアップ - 立ち上がりエッジ および ローカル ウェークアップ - 立ち下がりエッジ を参照			10	μs
t _{WK_TIMEOUT}	バス ウェークアップ タイムアウト値、 ウェークアップ パターン (WUP) と RXD 要求によるバス ウェーク (BWRR) を参照	0.5		2	ms
t _{WK_FILTER}	ウェイクアップ要求に対するフィルタ付きバス要件を満たすために必要なバス時間、 $4.75\text{V} \leq V_{\text{CC}} \leq 5.25\text{V}$ 、 ウェークアップ パターン (WUP) と RXD 要求によるバス ウェーク (BWRR) を参照	0.5		0.95	μs

TCAN1575-Q1, TCAN1576-Q1

JAJSNX3B – FEBRUARY 2024 – REVISED OCTOBER 2025

6.7 タイミング要件 (続き)

 パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ で有効 (特に記述のない限り)

		最小値	公称値	最大値	単位
$t_{\text{WK_WIDTH_MIN}}$ (4)	WAKE ピンの最小パルス幅 レジスタ(1) (2) 11h[3:2] = 00b、WAKE ピンのパルス動作を参照	10			ms
	WAKE ピンの最小パルス幅 レジスタ(1) (2) 11h[3:2] = 01b、WAKE ピンのパルス動作を参照	20			ms
	WAKE ピンの最小パルス幅 レジスタ(1) (2) 11h[3:2] = 10b、WAKE ピンのパルス動作を参照	40			ms
	WAKE ピンの最小パルス幅 レジスタ(1) (2) 11h[3:2] = 11b、WAKE ピンのパルス動作を参照	80			ms
$t_{\text{WK_WIDTH_INVALID}}$	無効と見なされる最大 WAKE 端子パルス幅(1) (2) レジスタ 11h[3:2] = 00b、WAKE ピンのパルス動作を参照			5	ms
	無効と見なされる最大 WAKE 端子パルス幅(1) (2) レジスタ 11h[3:2] = 01b、WAKE ピンのパルス動作を参照			10	ms
	無効と見なされる最大 WAKE 端子パルス幅(1) (2) レジスタ 11h[3:2] = 10b、WAKE ピンのパルス動作を参照			20	ms
	無効と見なされる最大 WAKE 端子パルス幅(1) (2) レジスタ 11h[3:2] = 11b、WAKE ピンのパルス動作を参照			40	ms
$t_{\text{WK_WIDTH_MAX}}$	最大 WAKE 端子パルス ウィンドウ(1) レジスタ 11h[1:0] = 00b、WAKE ピンのパルス動作を参照	750		950	ms
	最大 WAKE 端子パルス ウィンドウ(1) レジスタ 11h[1:0] = 01b、WAKE ピンのパルス動作を参照	1000		1250	ms
	最大 WAKE 端子パルス ウィンドウ(1) レジスタ 11h[1:0] = 10b、WAKE ピンのパルス動作を参照	1500		1875	ms
	最大 WAKE 端子パルス ウィンドウ(1) レジスタ 11h[1:0] = 11b、WAKE ピンのパルス動作を参照	2000		2500	ms
t_{SILENCE}	バス非アクティビティ タイムアウト時間。バスがドミナントからリセッピに、またはその逆に変化すると、タイマがリセットされ、再起動されます。	0.6		1.2	s
t_{INACTIVE}	スリープ ウェーク エラー (SWE) タイマ	3.75		5	最小値
t_{Bias}	ドミナント、リセッピ、ドミナントのシーケンスが開始してからの経過時間です。Vsym ≥ 0.1 までの各フェーズ 6μs、バイアス応答時間測定のためのテスト信号の定義を参照			250	μs
$t_{\text{TXD_DTO}}$	ドミナント タイムアウト、 $R_L = 60\Omega$ 、 $C_L =$ 開放、TXD ドミナント タイムアウトのテスト回路と測定を参照	1		5	ms
t_{TOGGLE}	WUP 後にプログラムされた場合の RXD ピンのトグルタイミング、ウェークアップパターン (WUP) と RXD 要求によるバスウェーク (BWRR) を参照	5	10	15	μs

- (1) このパラメータは、レジスタ 11h[7:6] = 11b の場合にのみ有効です
- (2) これは、デバイスがグッド パルスとして検出する WAKE ピン入力の最小パルス幅です。最小 $t_{\text{WK_WIDTH_MIN}}$ と最大 $t_{\text{WK_WIDTH_INVALID}}$ の間の値は不定であり、有効と見なされる場合と見なされない場合があります。このパラメータは、 $t_{\text{WK_WIDTH_MIN}}$ と組み合わせて WAKE 入力パルスが有効かどうかを判定します
- (3) INH がノード電力をオンにした後、 V_{CC} および V_{IO} が UV_{CC} および UV_{IO} を上回っていることに依存します。
- (4) $t_{\text{WK_WIDTH_INVALID}}$ はレジスタ 11h[3:2] を用いてこの値を設定します

6.8 スイッチング特性

 パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CAN トランシーバのスイッチング特性					
$t_{\text{prop(TxD-busdom)}}$	伝搬遅延時間、High から Low TXD エッジからバスドミナントまで (リセッピからドミナントまで)			80	ns
$t_{\text{prop(TxD-busrec)}}$	伝搬遅延時間、Low から High TXD エッジからバスリセッピまで (ドミナントからリセッピ)			80	ns
$t_{\text{sk(p)}}$	パルス スキュー ($ t_{\text{pHR}} - t_{\text{pLD}} $)		10	40	ns
$t_{\text{R/F}}$	差動出力信号の立ち上がり時間	5	55	75	ns

6.8 スイッチング特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{\text{prop(busdom-RxD)}}$	伝搬遅延時間、バスドミナント入力から RxD Low 出力まで			110	ns
$t_{\text{prop(busrec-RxD)}}$	伝搬遅延時間、バスからリセッсп入力、リセッсп入力から RXD High 出力まで			110	ns
$t_{\text{PROP(LOOP1)}}$	合計ループ遅延、ドライバ入力 (TXD) からレシーバ出力 (RXD) までドミナントからリセッспまで	$45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$	100	190	ns
$t_{\text{PROP(LOOP2)}}$	合計ループ遅延、ドライバ入力 (TXD) からレシーバ出力 (RXD) までリセッспからドミナントまで	$45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$	110	190	ns
CAN FD ビットのタイミング					
$t_{\text{BIT(BUS)}}^{(1)}$	$t_{\text{BIT(TXD)}} = 500\text{ns}$ の CAN バス出力ピンの 2Mbps ビット時間	$45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	490	510	ns
	$t_{\text{BIT(TXD)}} = 200\text{ns}$ の CAN バス出力ピンの 5Mbps ビット時間	トランスミッタとレシーバのタイミング動作テスト回路と測定を参照	190	210	
$t_{\text{BIT(BUS)}}^{(1)}$	$t_{\text{BIT(TXD)}} = 125\text{ns}$ の CAN バス出力ピンの 8Mbps ビット時間 ⁽²⁾	$R_L = 60\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	115	135	ns
$t_{\text{BIT(RXD)}}^{(1)}$	$t_{\text{BIT(TXD)}} = 500\text{ns}$ の CAN バス出力ピンの 2Mbps ビット時間	$45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	470	520	ns
	$t_{\text{BIT(TXD)}} = 200\text{ns}$ の CAN バス出力ピンの 5Mbps ビット時間	トランスミッタとレシーバのタイミング動作テスト回路と測定を参照	170	220	
$t_{\text{BIT(RXD)}}^{(1)}$	$t_{\text{BIT(TXD)}} = 125\text{ns}$ の CAN バス出力ピンの 8Mbps ビット時間 ⁽²⁾	$R_L = 60\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	95	145	ns
$\Delta t_{\text{REC}}^{(1)}$	$t_{\text{BIT(TXD)}} = 500\text{ns}$ の 2Mbps 受信タイミング対称性	$45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	-20	15	ns
	$t_{\text{BIT(TXD)}} = 200\text{ns}$ の 5Mbps 受信タイミング対称性	トランスミッタとレシーバのタイミング動作テスト回路と測定を参照	-20	15	
$\Delta t_{\text{REC}}^{(1)}$	$t_{\text{BIT(TXD)}} = 125\text{ns}$ ⁽²⁾ の 8Mbps 受信タイミング対称性	$R_L = 60\Omega$, $C_L = 100\text{pF}$, $C_{L(\text{RXD})} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	-20	15	ns
信号改善特性					
$t_{\text{PAS_REC_START}}$	パッシブリセッсп位相の信号改善開始時間	50% スレッシュホールドでスロープが 5ns 未満の TXD 立ち上がりエッジから信号改善フェーズ終了までの測定、 $R_{\text{DIFF_PAS_REC}} \geq \text{MIN } R_{\text{DIFF_ACT_REC}}$, $R_{\text{SE_CANH/L}} \geq \text{MIN } R_{\text{SE_SIC_REC}}$		530	ns
$t_{\text{ACT_REC_START}}$	アクティブ信号改善位相の開始時間	50% スレッシュホールドでスロープが 5ns 未満の TXD 立ち上がりエッジを測定、		120	ns
$t_{\text{ACT_REC_END}}$	アクティブ信号改善位相の終了時間	50% スレッシュホールドでスロープが 5ns 未満の TXD 立ち上がりエッジを測定、	355		ns
SPI スイッチング特性					
f_{SCK}	SCLK, SPI クロック周波数	通常モード、スタンバイモード、リッスンモード、フェイルセーフモード		4	MHz
		スリープモード: V_{IO} が存在する場合		10	kHz
t_{SCK}	SCLK, SPI クロック周期	通常モード、スタンバイモード、リッスンモード、フェイルセーフモード、SPI AC 特性読み取りを参照		250	ns
		スリープモード: V_{IO} が存在する場合、SPI AC 特性読み取りを参照		1	μs

6.8 スイッチング特性 (続き)

パラメータは $-40^{\circ}\text{C} \leq T_j \leq 150^{\circ}\text{C}$ で有効 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RSCK}	SCK の立ち上がり時間	SPI AC 特性書き込みを参照			40	ns
t_{FSCK}	SCK の立ち下がり時間	SPI AC 特性書き込みを参照			40	ns
t_{SCKH}	SCK, SPI クロック high	通常モード、スタンバイモード、リッスンモード、フェイルセーフモード、SPI AC 特性読み取りを参照	125			ns
		スリープモード: V_{IO} が存在する場合、SPI AC 特性読み取りを参照	500			ns
t_{SCKL}	SCK, SPI クロック low	通常モード、スタンバイモード、リッスンモード、フェイルセーフモード、SPI AC 特性読み取りを参照	125			ns
		スリープモード: V_{IO} が存在する場合	500			ns
t_{CSS}	チップ セレクト セットアップ時間	SPI AC 特性書き込みを参照	100			ns
t_{CSH}	チップ セレクトのホールド時間	SPI AC 特性書き込みを参照	100			ns
t_{CSD}	チップ セレクトのディスエーブル時間	SPI AC 特性書き込みを参照	50			ns
t_{SISU}	セットアップ時間のデータ	通常モード、スタンバイモード、リッスンモード、フェイルセーフモード、SPI AC 特性書き込みを参照	50			ns
		スリープモード: V_{IO} が存在する場合、SPI AC 特性書き込みを参照	200			ns
t_{SIH}	ホールド時間のデータ	通常モード、スタンバイモード、リッスンモード、フェイルセーフモード、SPI AC 特性書き込みを参照	50			ns
		スリープモード: V_{IO} が存在する場合、SPI AC 特性書き込みを参照	200			ns
t_{SOV}	データ出力有効	通常モード、スタンバイモード、リッスンモード、フェイルセーフモード、SPI AC 特性読み取りを参照			80	ns
		スリープモード: V_{IO} が存在する場合、SPI AC 特性読み取りを参照			200	ns
t_{RSO}	データ出力の立ち上がり時間	SPI AC 特性読み取りを参照			40	ns
t_{FSO}	データ出力の立ち下がり時間	SPI AC 特性読み取りを参照			40	ns

- (1) TXD の入力信号の立ち上がり時間と立ち下がり時間 (10% ~ 90%) は 10ns 未満とするものとします
- (2) ISO 11898-2 パラメータ、ベンチ検証済み

6.9 代表的特性

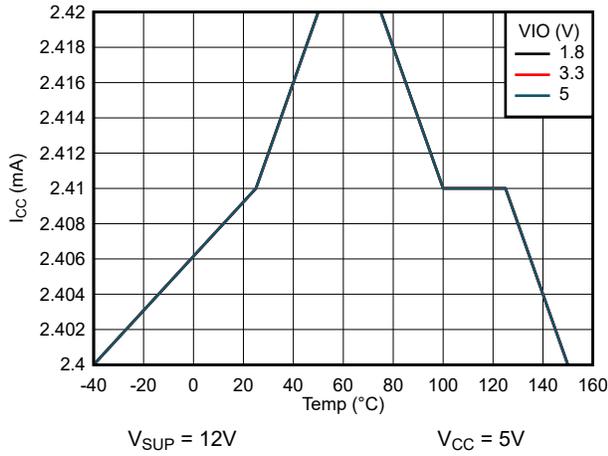


図 6-1. 通常モード リセッシブ I_{CC} と温度の関係

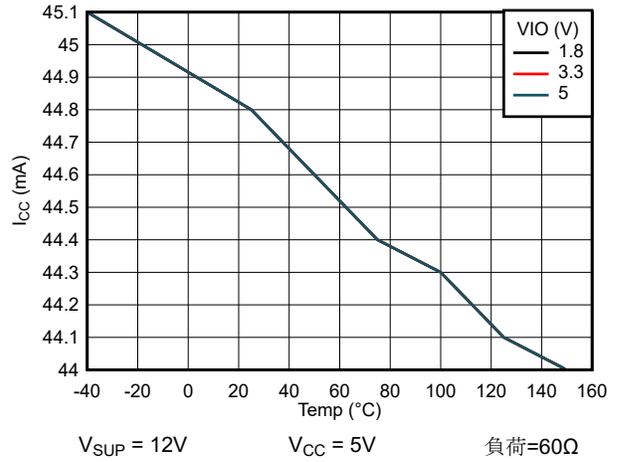


図 6-2. 通常モード ドミナント I_{CC} と温度の関係

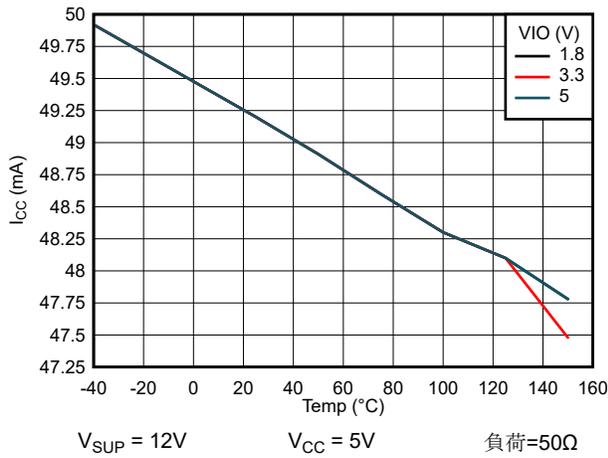


図 6-3. 通常モード ドミナント I_{CC} と温度の関係

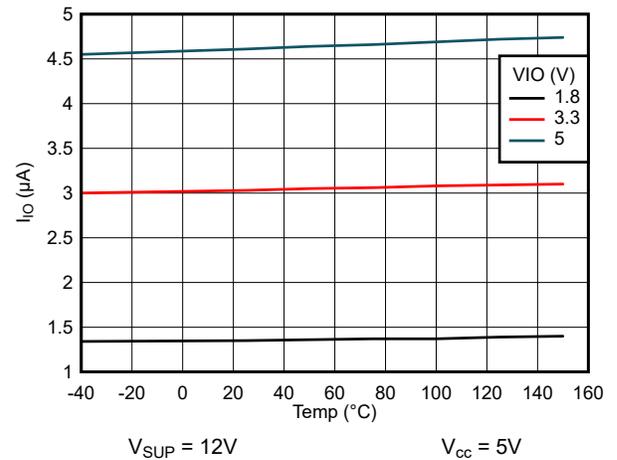


図 6-4. 通常モード リセッシブ I_{IO} と温度の関係

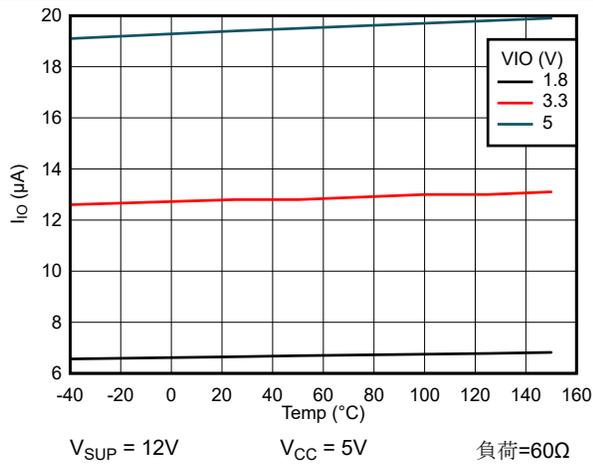


図 6-5. 通常モード ドミナント : I_{IO} vs 温度

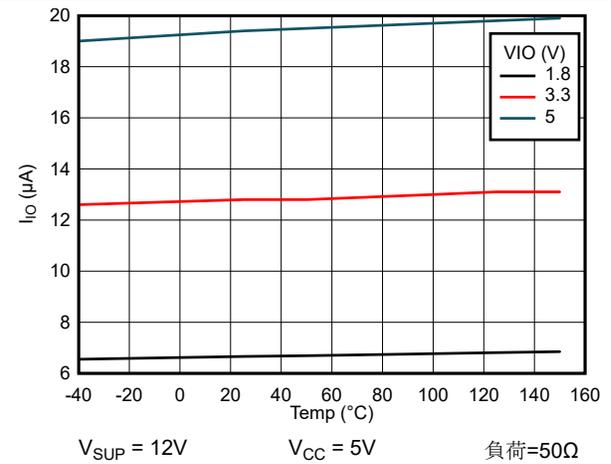
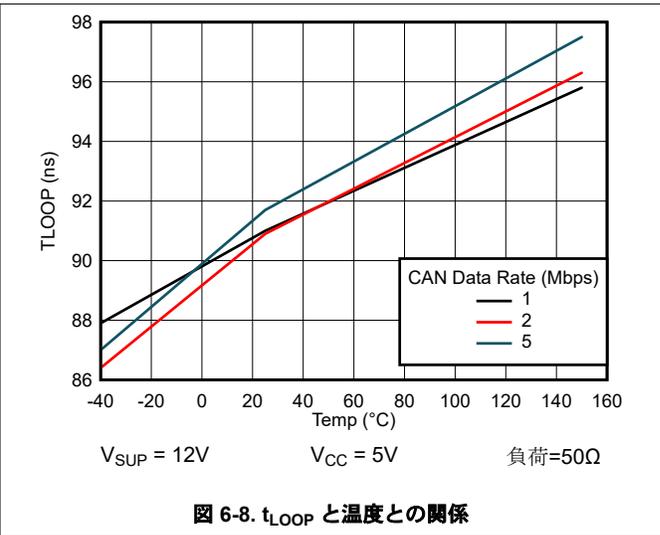
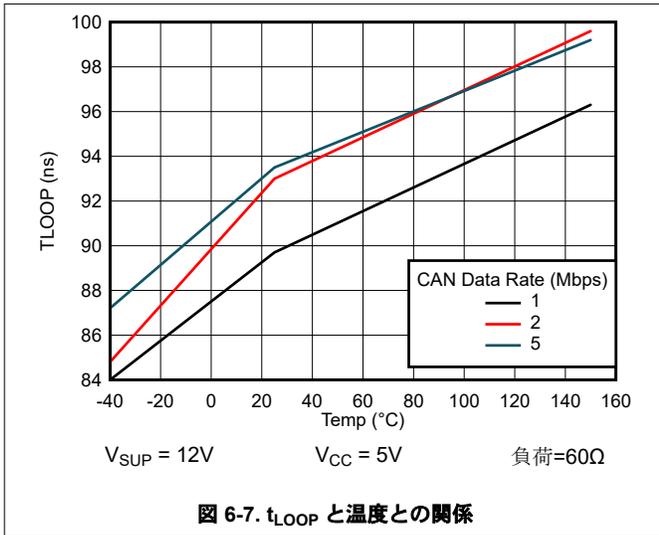


図 6-6. 通常モード ドミナント : I_{IO} vs 温度

6.9 代表的特性 (続き)



7 パラメータ測定情報

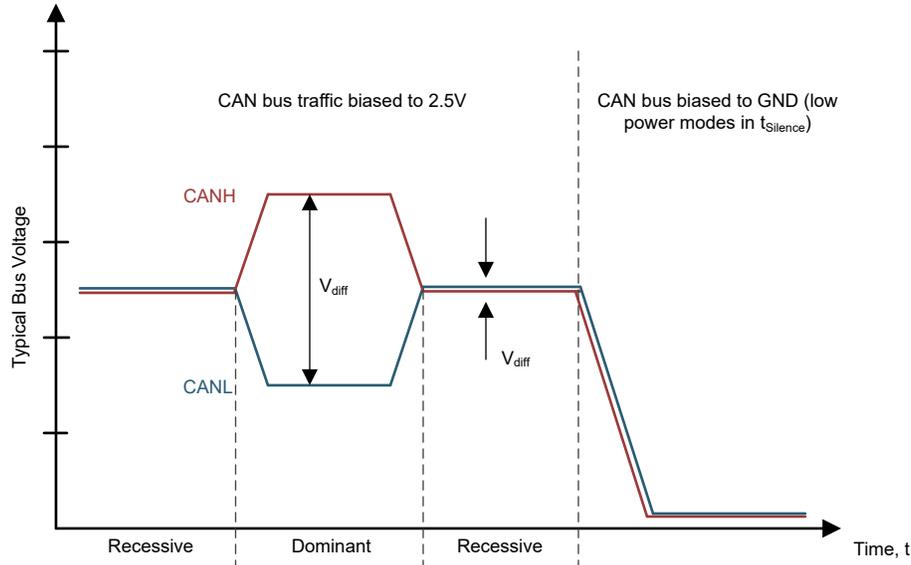


図 7-1. バスの状態 (物理的ビット表現)

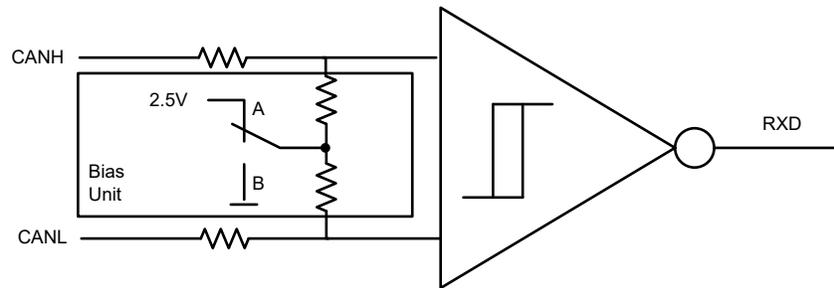


図 7-2. 簡略化されたリセッシブ同相バイアスユニットおよびレシーバ

注

A: 通常モードおよびリッスンモード、または t_{Silence} 状態にないその他のすべてのモード

B: t_{Silence} 状態にある通常モードおよびリッスンモード以外のすべてのモード

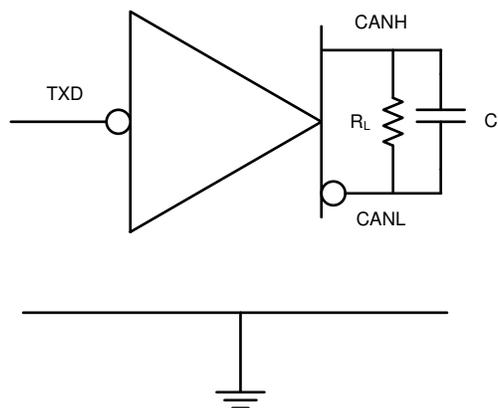


図 7-3. 電源テスト回路

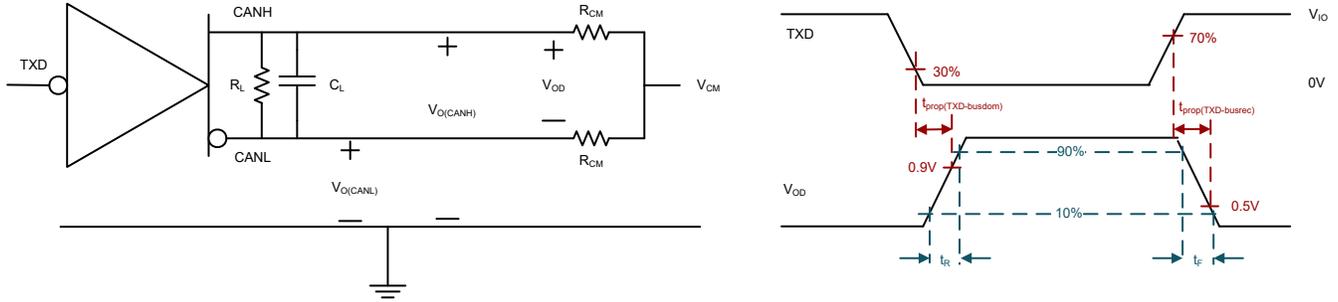


図 7-4. ドライバテスト回路と測定

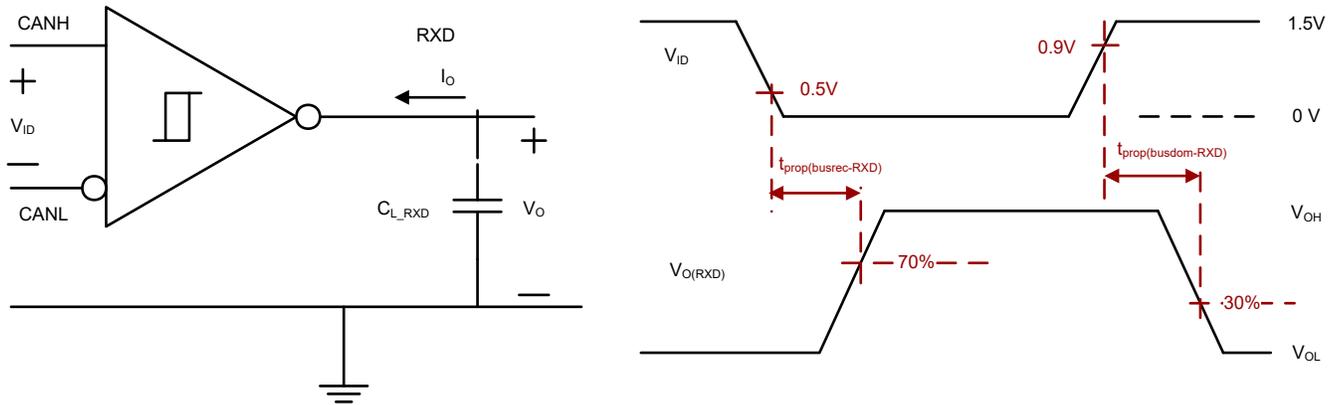


図 7-5. レシーバのテスト回路と測定

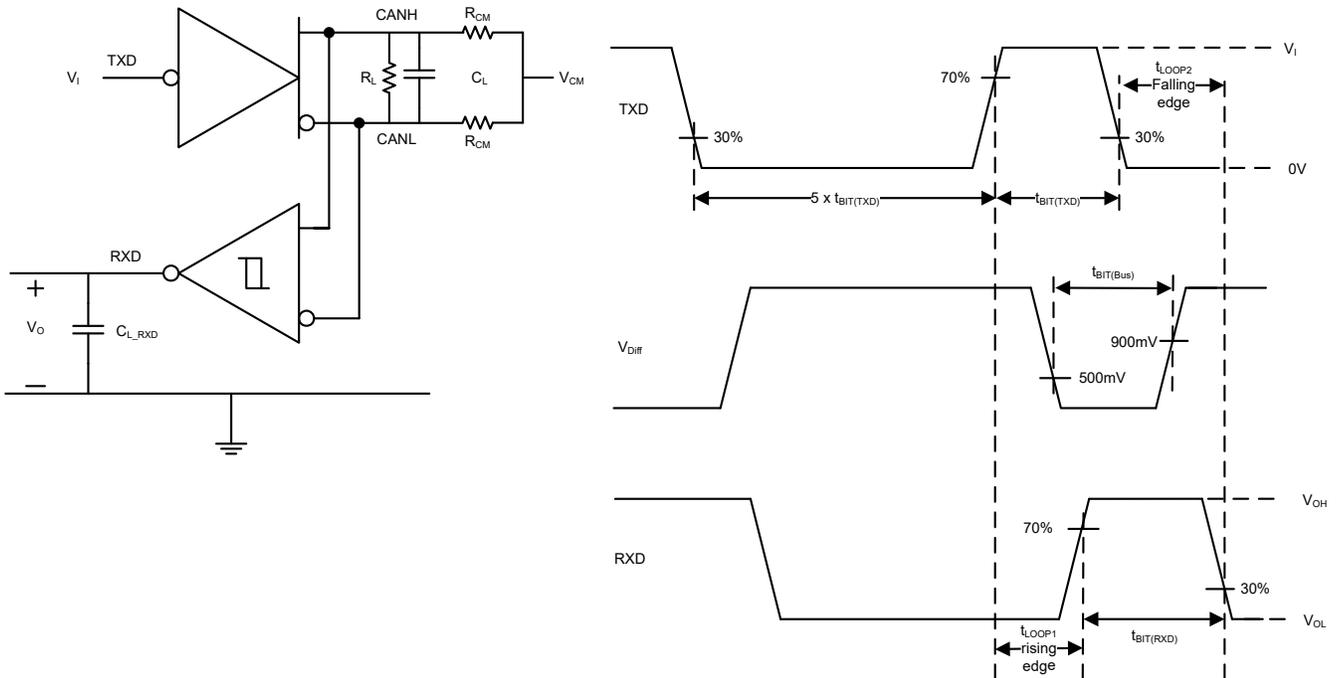


図 7-6. トランスミッタとレシーバのタイミング動作テスト回路と測定

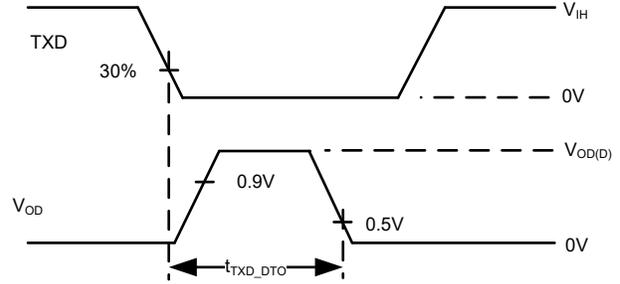
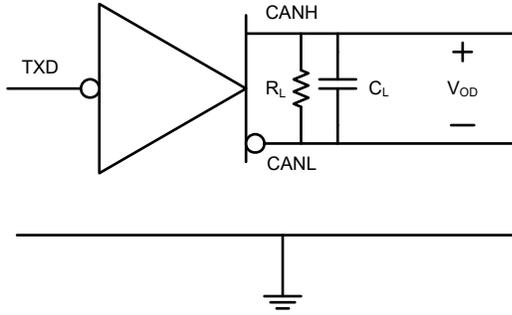


図 7-7. TXD ドミナント タイムアウトのテスト回路と測定

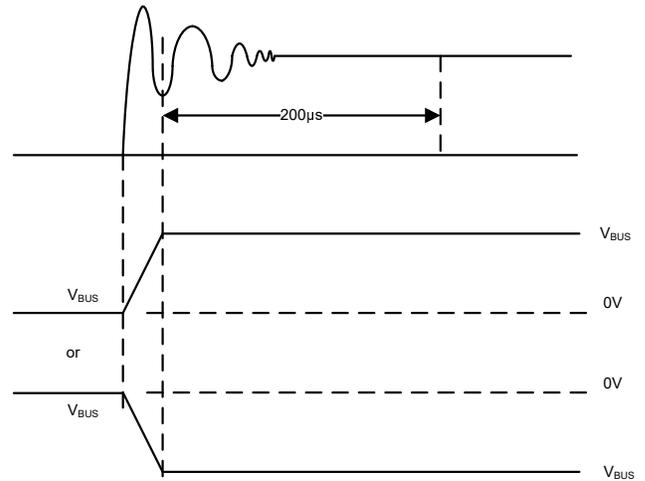
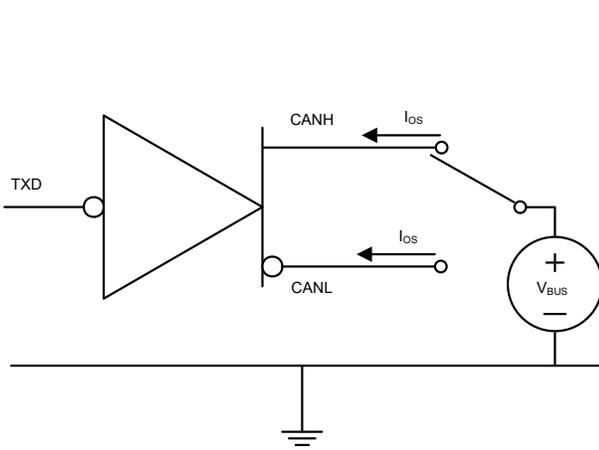


図 7-8. ドライバ短絡電流テスト回路と測定

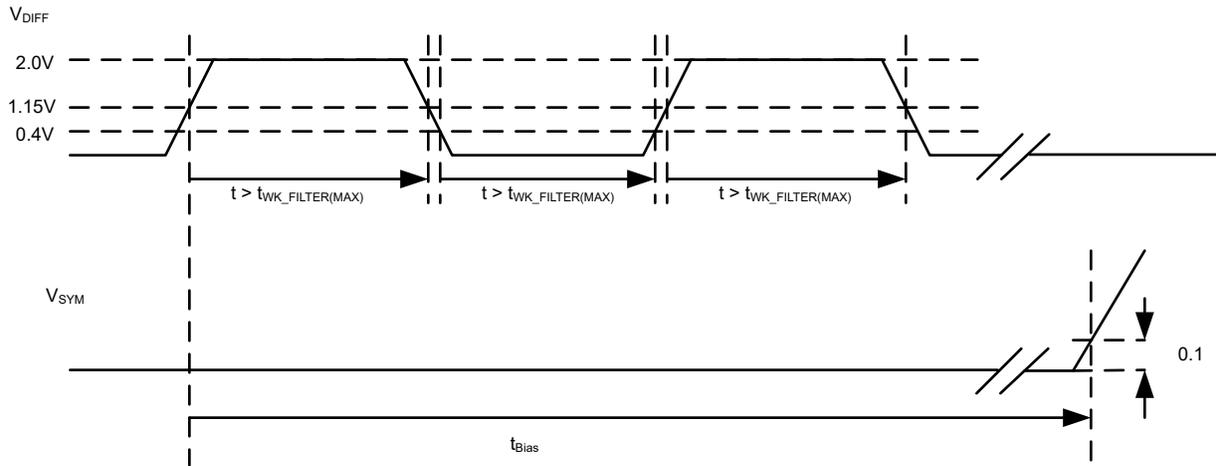


図 7-9. バイアス応答時間測定のテスト信号の定義

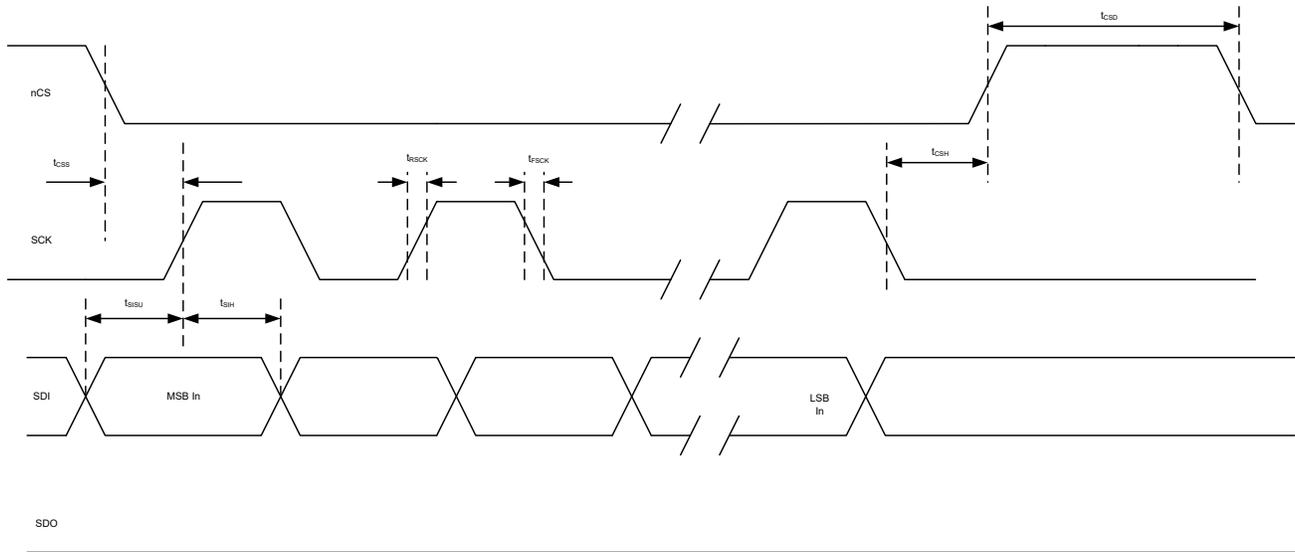


図 7-10. SPI AC 特性書き込み

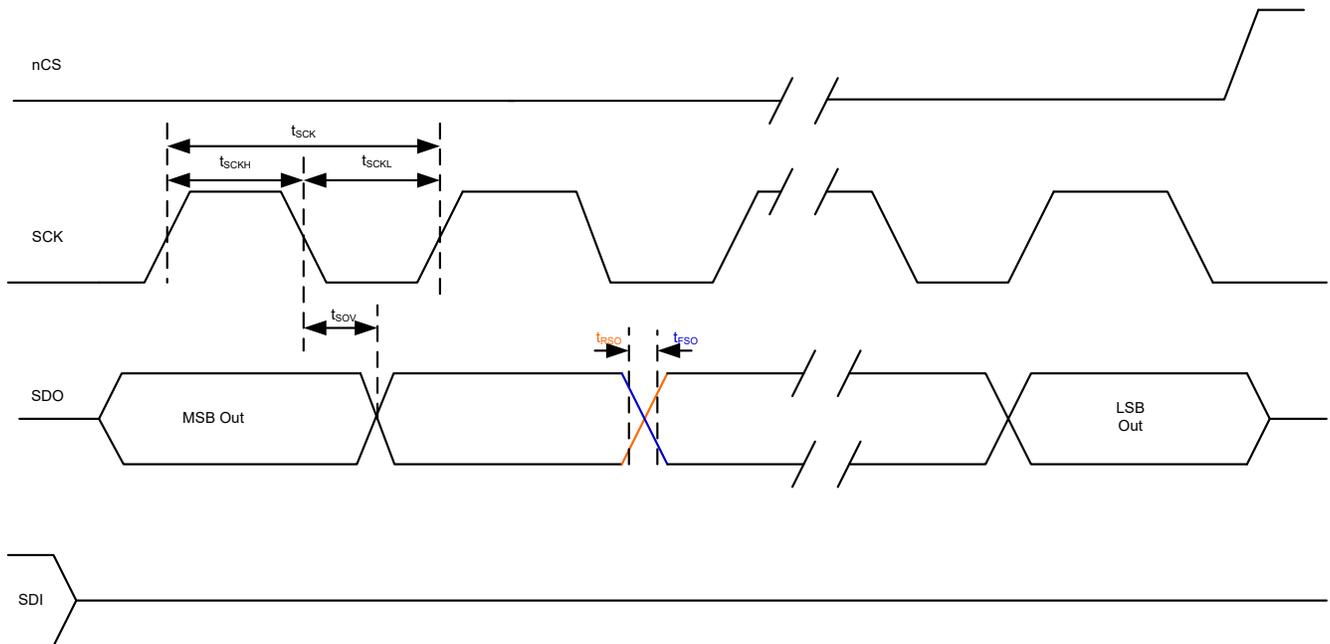


図 7-11. SPI AC 特性読み取り

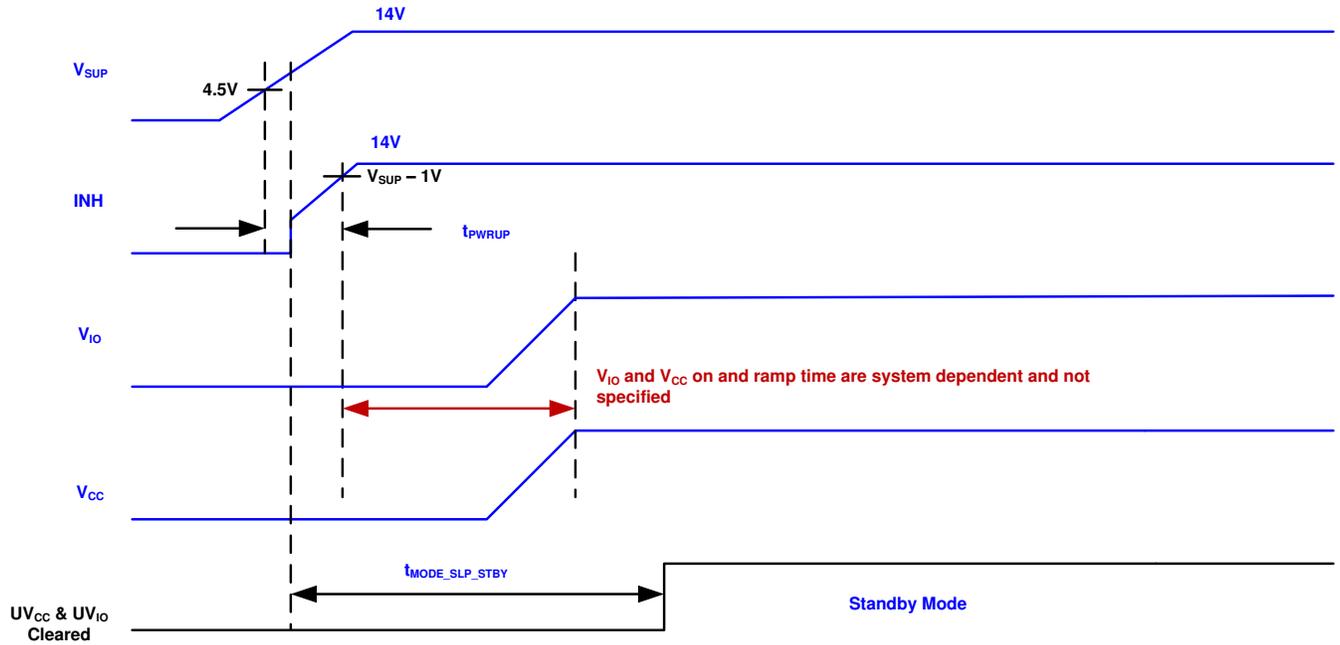


図 7-12. 起動タイミング

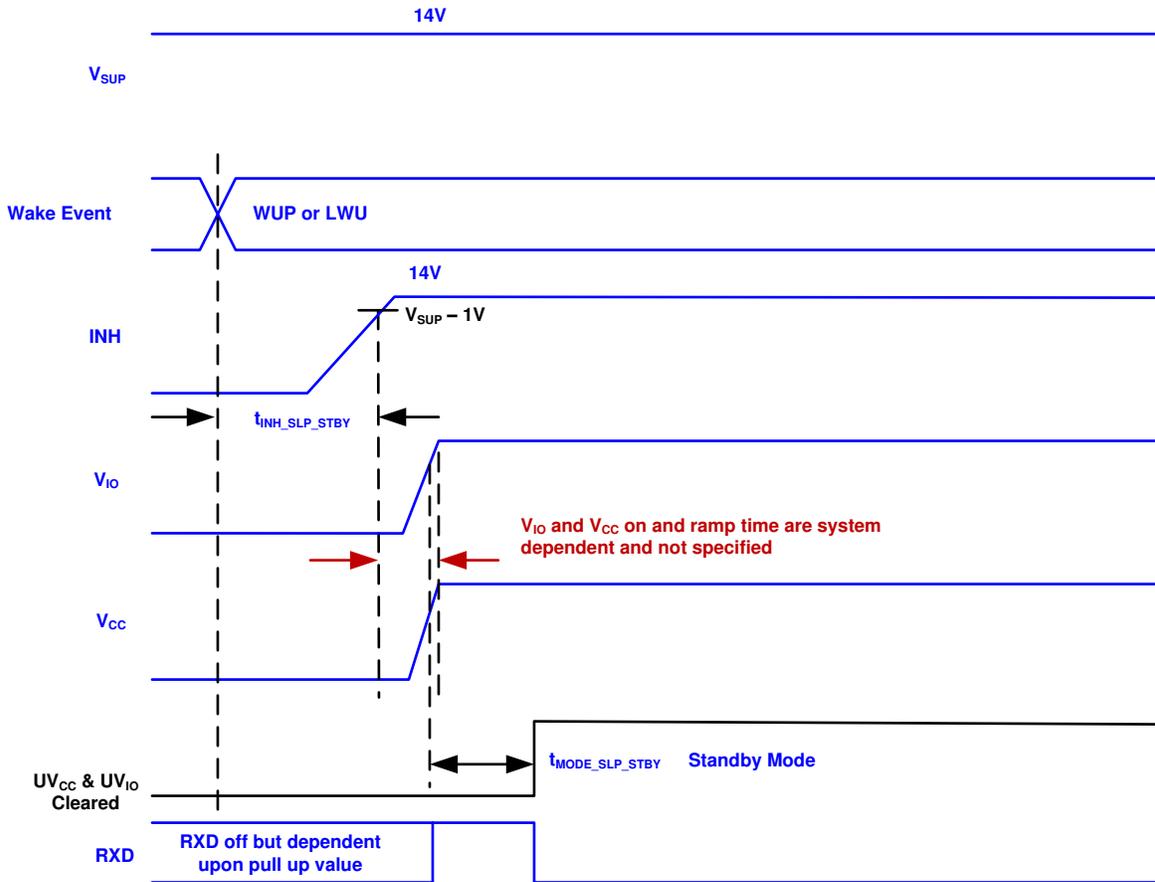


図 7-13. スリープからスタンバイへのタイミング

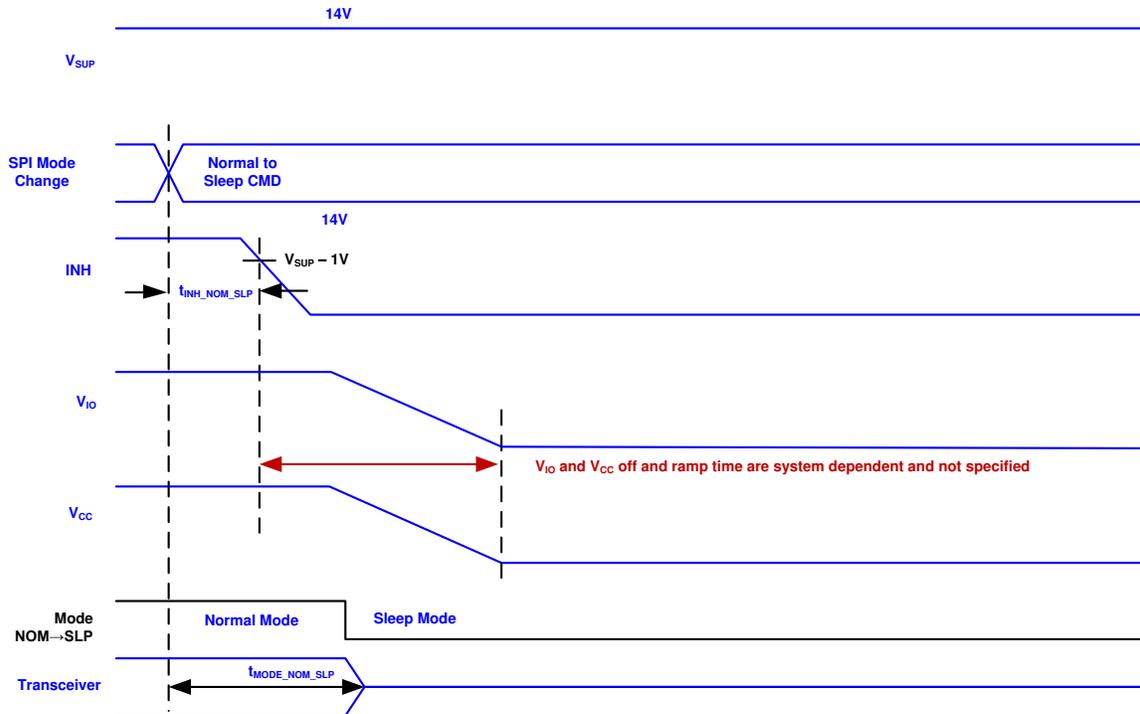


図 7-14. 通常からスリープへのタイミング

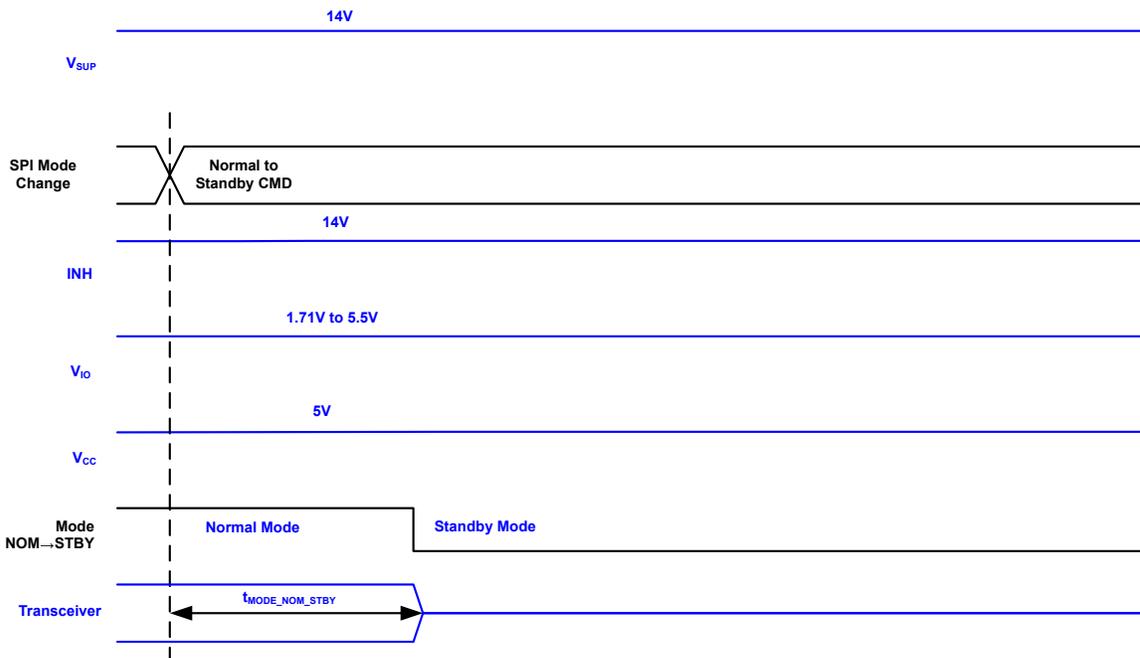


図 7-15. 通常からスタンバイへのタイミング

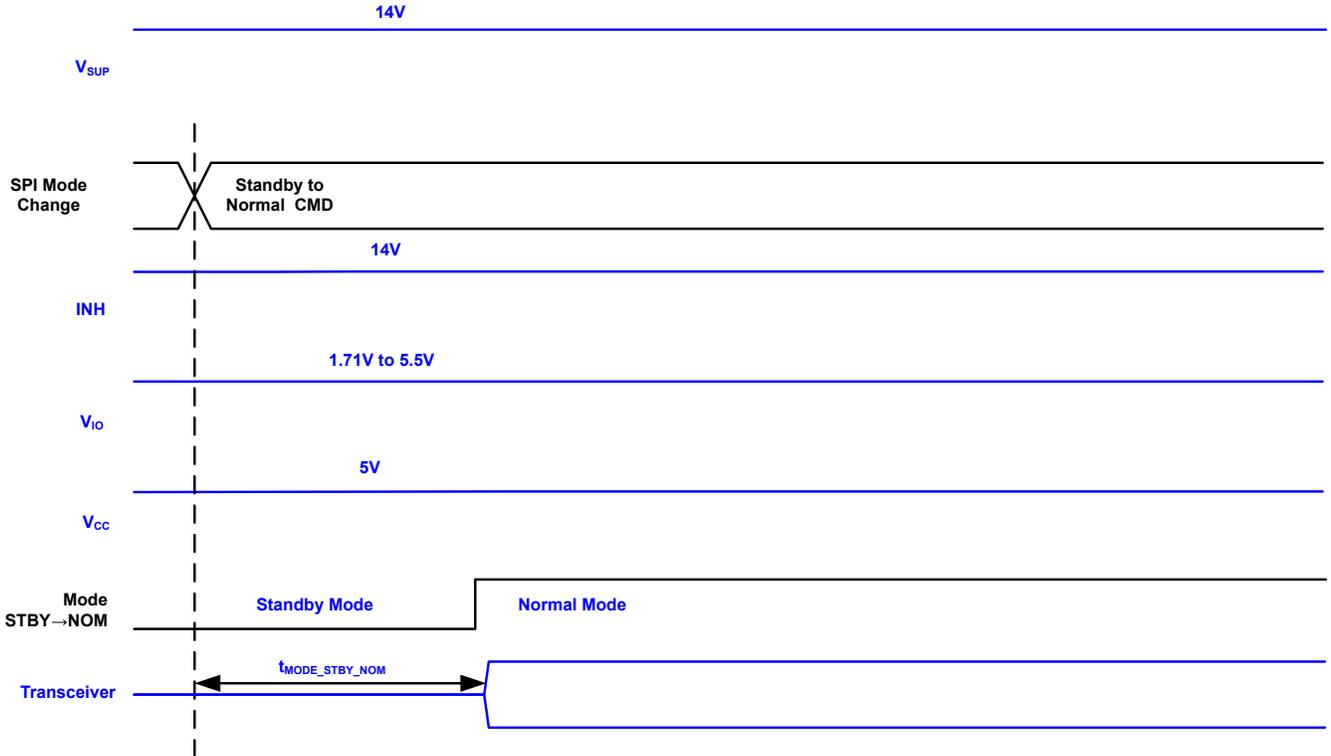


図 7-16. スタンバイから通常へのタイミング

注

青色の信号は TCAN157x-Q1 の入力または出力信号です。黒の信号は TCAN157x-Q1 の内部にあります。タイミング図 図 7-12、図 7-13、図 7-14、図 7-15、図 7-16 には色分けがされています。

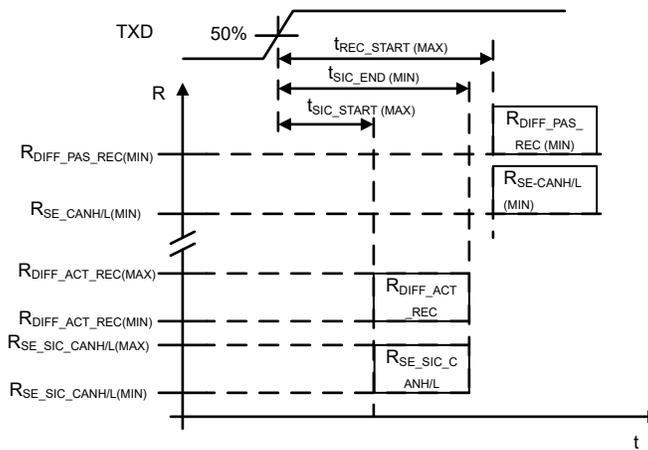


図 7-17. 信号改善機能におけるアクティブ リセッシブ フェーズ期間中の抵抗値

8 詳細説明

8.1 概要

TCAN1576-Q1 は、最大 8Mbps のデータレートに対応し、信号改善機能 (SIC) を備えた CAN FD トランシーバです。ISO 11898-2:2024 附属書 A に準拠した高速 CAN の物理層要件および最大 5Mbps までの信号改善 (SIC) 仕様を満たしています。このデバイスは、専用 CAN フレームでの選択的ウェークアップ機能をサポートしています。さらに、このデバイスは、ISO 11898-2:2024 附属書 A に定義されたウェークアップパターン (WUP) を実装している CAN バス経由での遠隔ウェークアップも可能です。TCAN1576-Q1 は、V_{IO} ピンを使用して 1.8V、3.3V、5V のプロセッサをサポートしています。プロセッサ インターフェイスは、SPI、RXD、TXD 端子を経由して行います。このデバイスは、構成のためにローカル マイクロプロセッサに接続するシリアル パリフェラル インターフェイス (SPI) を備えており、SPI は、最大 4MHz のクロックレートをサポートします。システム設計の柔軟性を高めるため、チップ セレクト ピンが High のときは、シリアルデータ出力 (SDO) ピンを割り込み出力ピンとして構成できます。

TCAN1576-Q1 は、CAN FD トランシーバ機能を提供しており、バスへの差動送信およびバスからの差動受信に対応します。さらに、さまざまな保護機能を備えており、デバイスおよび CAN ネットワークの堅牢性を高めています。

CAN バスは、動作中に 2 つの論理状態を持ちます (図 7-1 および 図 7-2 を参照)。

リセツブ バス状態とは、各ノードのレシーバにある高抵抗の内部入力抵抗を介して、終端抵抗間でバスが約 2.5V の同相モード電圧にバイアスされている状態を指します。リセツブはロジック High に相当し、通常はバス上の差動電圧がほぼ 0V です。リセツブ状態もアイドル状態です。

ドミナント バス状態とは、1 つ以上のドライバによってバスが差動駆動される場合をいいます。電流が終端抵抗を流れることで、バス上に差動電圧が発生します。ドミナント状態はロジック Low に相当し、バス上の差動電圧が CAN ドミナントの最小スレッショルドを超える状態を指します。ドミナント状態はリセツブ状態を上書きします。

アービトレーション中は、複数の CAN ノードが同時に支配的なビットを送信することがあります。この時のバスの差動電圧は、単一ドライバの差動電圧よりも大きくなります。

トランシーバには 3 つ目の状態として、バス端子が内部レシーバの高抵抗によってグラウンドに弱くバイアスされる状態もあります。図 7-1 と 図 7-2 を参照してください。

TCAN1576-Q1 は、『機能説明』に示されている多くの拡張機能を備えています。高度なバスフォルト検出、フェイルセーフ機能、ウォッチドッグなどの拡張機能は、プロセッサ割り込みが提供されます。これについては、各サブセクションで説明します。

8.2 機能ブロック図

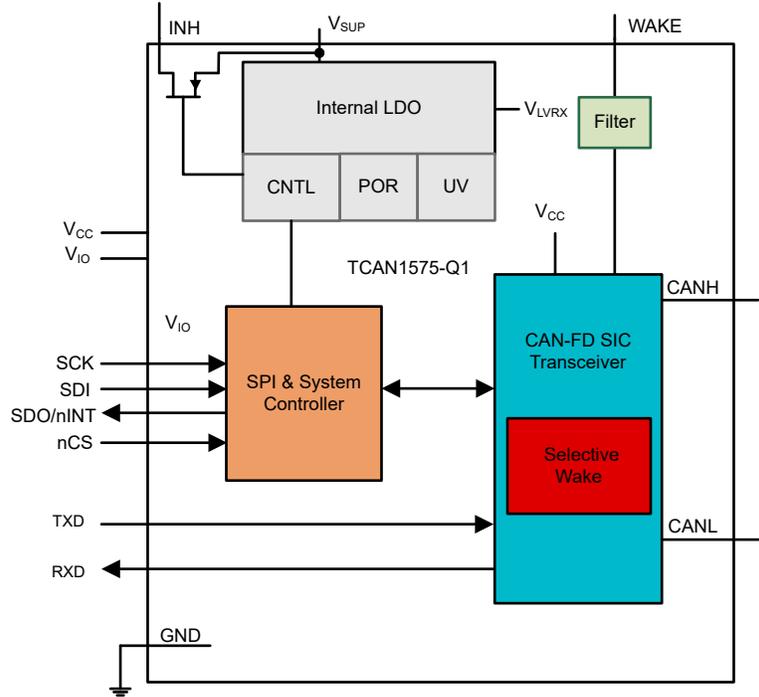


図 8-1. TCAN1575-Q1 機能ブロック図

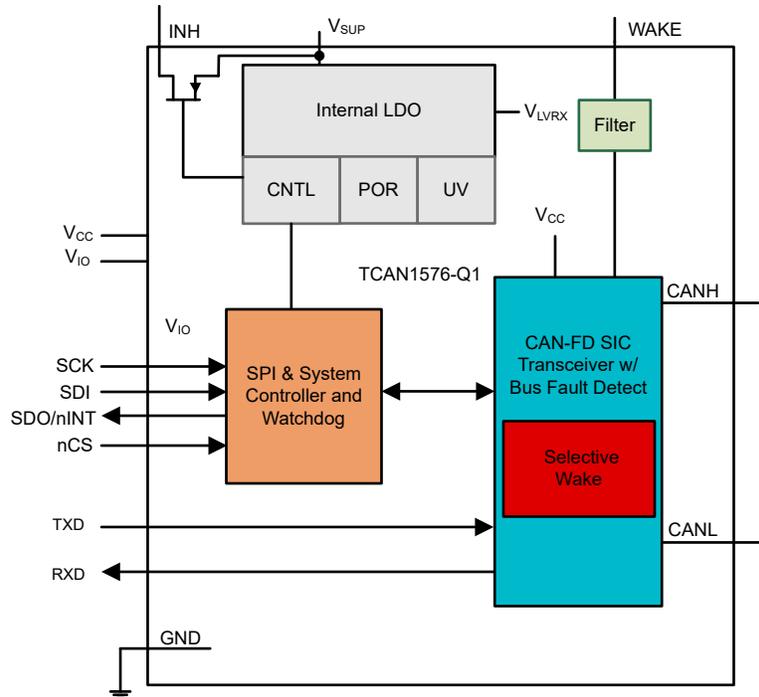


図 8-2. TCAN1576-Q1 機能ブロック図

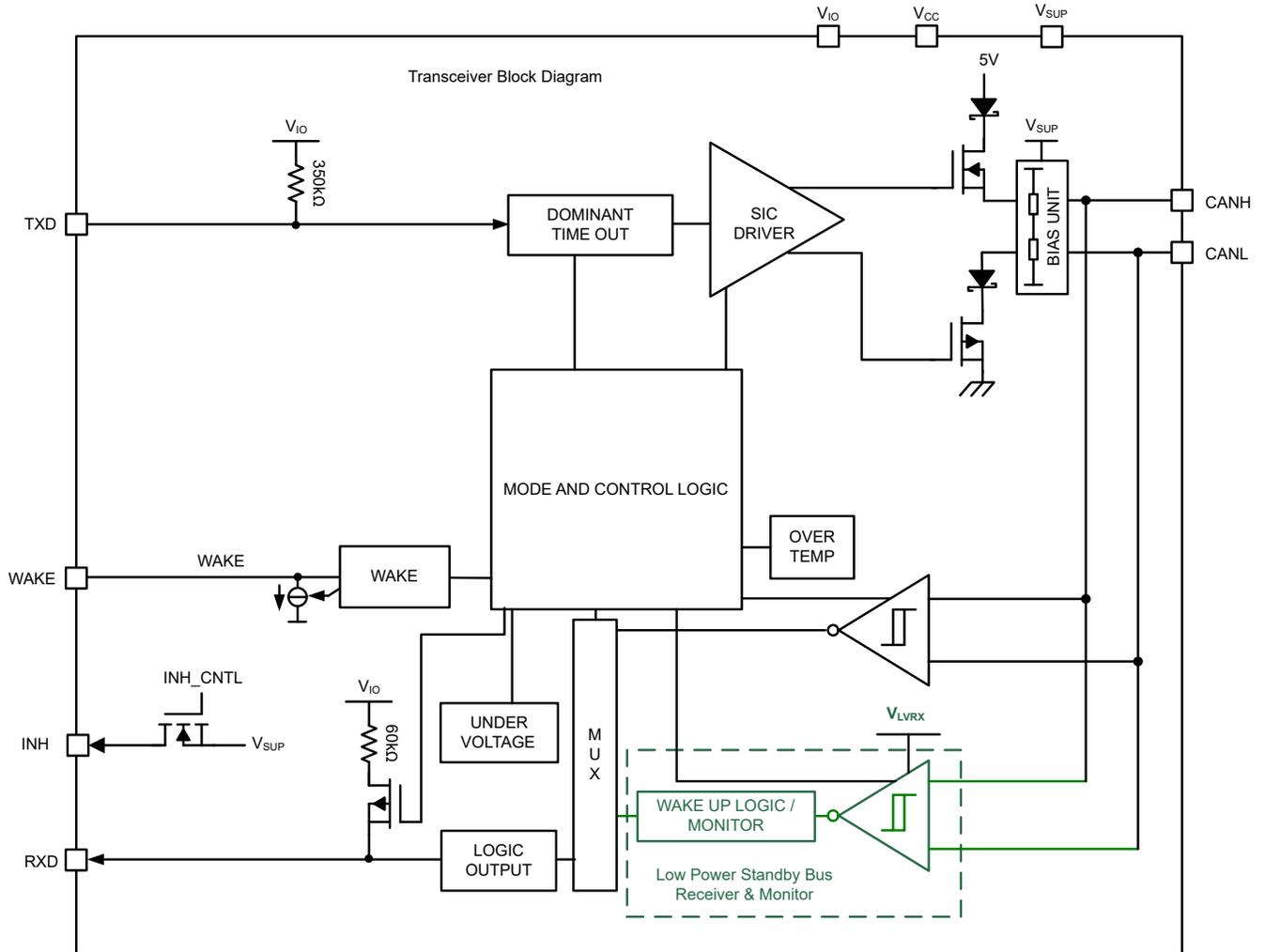


図 8-3. TCAN1575-Q1 トランシーバのブロック図

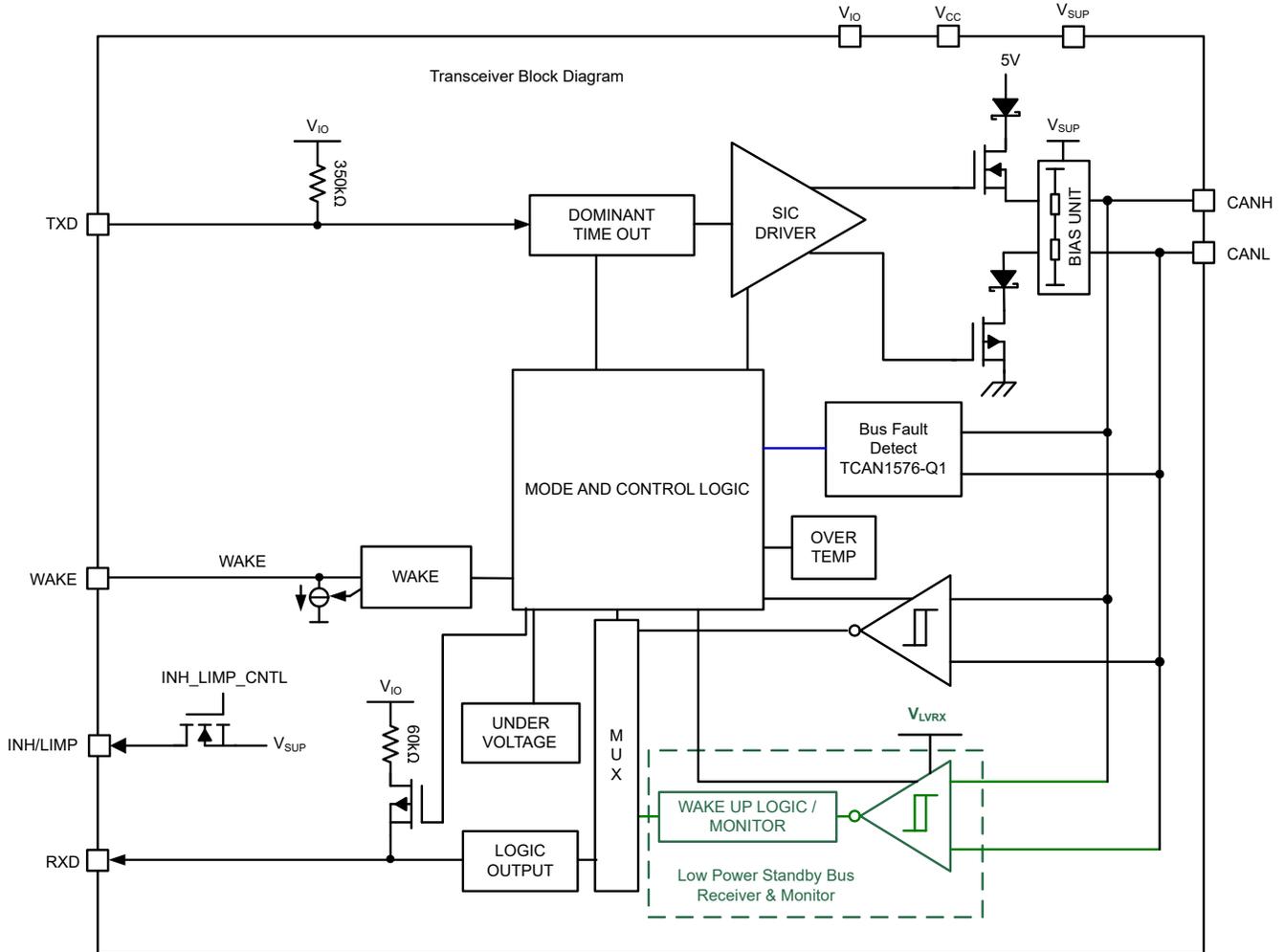


図 8-4. TCAN1576-Q1 トランシーバのブロック図

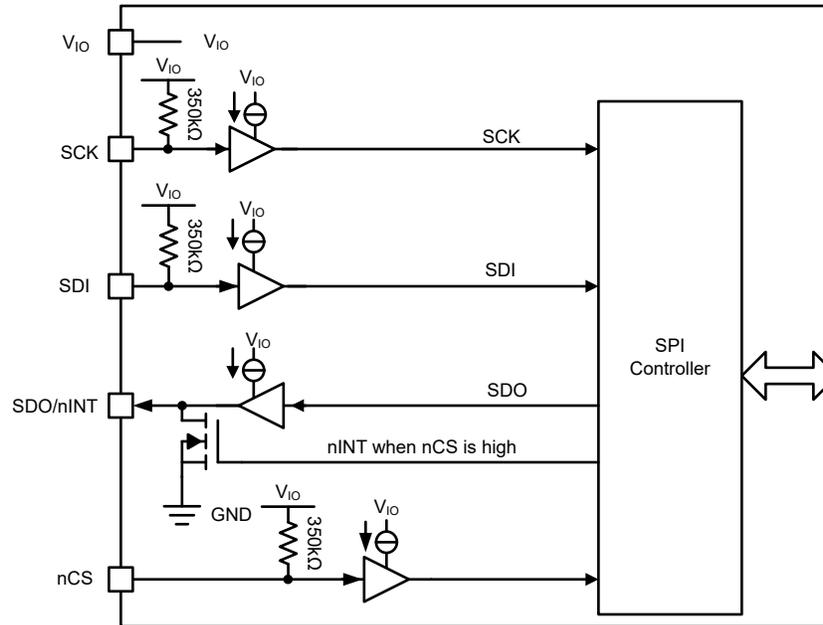


図 8-5. TCAN157x-Q1 およびデジタル IO のブロック図

8.3 機能説明

8.3.1 V_{SUP} ピン

この V_{SUP} ピンは、バッテリー電源に接続されます。このピンは、デジタル コアと低電力 CAN レシーバーをサポートする内部レギュレータに電源を供給します。

8.3.2 V_{IO} ピン

V_{IO} ピンは、マイクロプロセッサの IO 電圧に合わせたデジタル IO 電圧を供給するため、レベルシフトを必要とせずに接続することができます。 V_{IO} は SPI ピンをサポートしています。TCAN157x-Q1 ファミリーは 1.8V、3.3V、5V の入出力電圧に対応したプロセッサをサポートしており、非常に広範なコントローラに対応できます。

8.3.3 V_{CC} ピン

V_{CC} ピンは、内部の CAN トランシーバに 5V を供給します。

8.3.4 GND ピン

GND ピンはグラウンド用です。放熱のために DMT パッケージのサーマル パッドを GND プレーンに接続することを推奨しますが、必須ではありません。

8.3.5 INH/LIMP ピン

INH ピンは高電圧出力ピンで、 V_{SUP} からダイオード電圧降下分を差し引いた電圧を出力し、外部の高電圧レギュレータを有効にします。これらのレギュレータは通常、マイクロプロセッサおよび V_{IO} ピンをサポートするために使用されます。INH 機能は、スリープ モードを除くすべてのモードでオンになります。スリープ モードでは、INH ピンは無効となり、ハイインピーダンス状態に移行します。これにより、スリープ モード中はノードを最小消費電力状態にすることが可能です。INH 機能が不要な場合は、SPI インターフェイスを使用してレジスタ 8'h1A[6]=1b を設定し、この機能を無効にすることができます。TCAN1576-Q1 は、レジスタ 8'h1A[5]=1b を設定することで、このピンを LIMP ホームピンとして構成可能です。LIMP ピンとして構成した場合は、LIMP ホームモードの外部回路に接続されます。ウォッチドッグエラーが発生し、プログラムされたエラー カウンタを超えた場合、デバイスは LIMP ピンをオンにします。フェイルセーフモードが有効な場合は、モード遷移時に LIMP ピンがオンになります。LIMP ピンが一度オンになると、LIMP_SEL_RESET のレジスタ 8'h1A[3:2] に従って、ウォッチドッグのエラーなし状態が所定期間継続されるまで、LIMP ピンはオンのままになります。LIMP_RESET のレジスタ 8'h1A[1] に 1b を書き込むと、LIMP ピンがオフになります。

注

INH や LIMP ピンは「高電圧ロジック端子」として扱われ、電源出力端子ではありません。そのため、このピンは通常、システムの電源管理デバイスの EN ピンを駆動するために使用され、電源供給自体のスイッチ用途には使われません。この端子は逆バッテリー保護されていないため、システム モジュール外部に接続しないでください。

8.3.6 WAKE ピン

WAKE ピンはローカル ウェークアップ (LWU) に使用されます。この機能については、[セクション 8.4.4.2](#) にて説明しています。このピンはデフォルトで双方向エッジトリガとして構成されており、WAKE ピンにおける立ち上がりまたは立ち下がりエッジのどちらかの遷移によってローカル ウェークアップ (LWU) が認識されます。このデフォルト値は SPI コマンドによって変更することができます。設定は、立ち上がりエッジのみ、立ち下がりエッジのみ、特定の幅とタイミングを持つパルス、またはフィルタ処理された立ち上がりまたは立ち下がりエッジのいずれかに構成できます。これらの設定は、レジスタ 8'h11[7:0] を使用して行います。このピンは、2 つの抵抗の間に接続された 22nF のコンデンサをグラウンドに対して接続する必要があります。

8.3.7 TXD ピン

TXD ピンは、プロセッサから CAN バスへの入力です。

8.3.8 RXD ピン

RXD ピンは CAN バスからプロセッサへの出力です。ウェーク イベントが発生すると、このピンはデフォルトで Low にプルダウンされます。レジスタ 8'h12[2]= 1b、RXD_WK_CONFIG に設定することで、ウェークアップ動作をパルスに変更します。電源投入時、 $V_{IO} \geq UV_{IO}$ 、 $V_{CC} \geq UV_{CC}$ となると、デバイスはスタンバイ モードに入るため RXD ピンは Low にプルダウンされます。 $V_{CC} \geq UV_{CC}$ の要件を解除するには、VCC_DIS レジスタ 8'h4B[0] に 1b を書き込みます。RXD ピンには V_{IO} に対する 60k Ω の内部プルアップがあり、 $V_{SUP} \leq UV_{SUP}$ 、POR またはデバイスがスリープ モードのときに有効になります。

8.3.9 SDO または nINT 割り込みピン

nINT は SPI シリアルデータ出力 (SDO) 機能とピンを共有し、デフォルトは SDO のみとなります。このピンを nINT として使用する場合、レジスタ 8'h29[0] SDO_CONFIG を 1b に設定する必要があります。nINT をサポートするよう設定した場合、nCS ピンが High のとき、このピンは割り込み出力として機能します。デフォルトでは、グローバル割り込み 8'h50[7:0] に対して Low にプルされます。nCS が Low の場合、デバイスは SPI ポートを使用しており、このピンは TCAN1576-Q1 からのシリアル データ出力となります。[図 8-6](#) と [図 8-7](#) に、nINT 機能を使用した場合の高レベル システム例およびタイミング図を示しています。

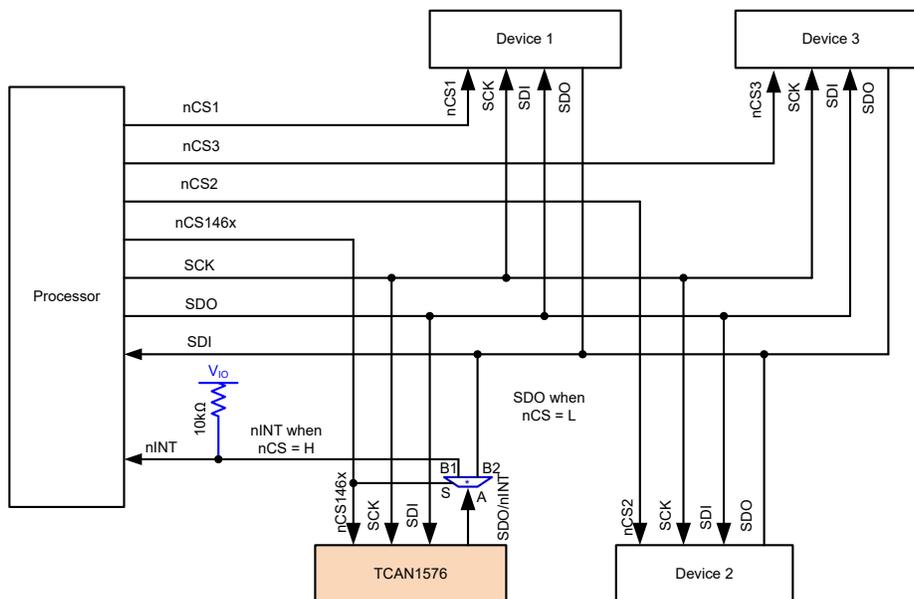
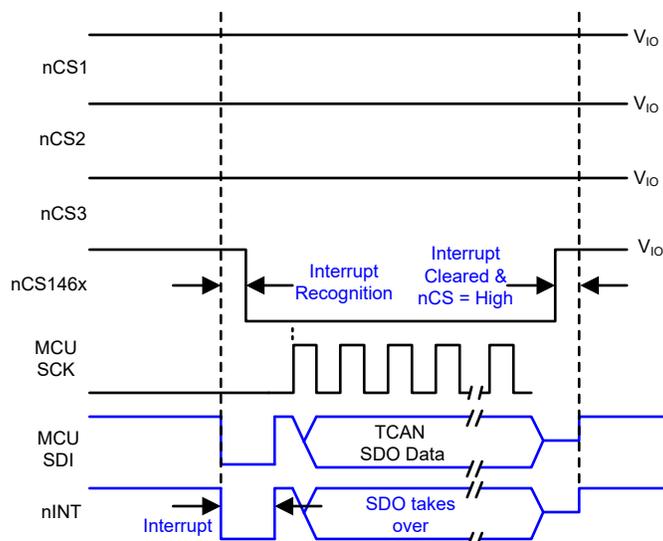


図 8-6. nINT 機能を使用したシステム例



* This shows an interrupt and how SDO would behave
 * Device recognizes nCS pulled low and releases nINT function for SDO
 * See SPI section for overall SPI bus timing

図 8-7. nINT のタイミング図

注

- nINT 機能を使用する場合、SPI バスはポイント ツー ポイント アーキテクチャを推奨しますが、必須ではありません。
- マルチドロップ システムで nINT 機能を使用するときに、割り込みが SDO ラインを乱さないようにするには、まず別のデバイスと SPI 通信を行う前に nINT 機能を無効化し、通信終了後に再度有効化することを推奨します。
- nINT は、マスクされていないレジスタ 8'h50 ~ 8'h54 のすべてのフォルトのロジカル OR です。

8.3.10 nCS ピン

nCS ピンは、SPI チップ セレクト ピンです。クロックが存在し、このピンが Low にプルされると、デバイスの書き込みと読み取りが行われます。

8.3.11 SCK

SCK ピンは、TCAN1576-Q1 に対する SPI のシリアル入力クロックです。最大クロック レートは 4MHz です。スリープ モード中でも VIO が供給されていれば、SPI アクセスは可能ですが、動作速度が制限されます。nCS を Low にしてから読み取りまたは書き込みを開始するまでに 10 μ s 以上の遅延を設けた場合、最大 SPI クロック レートで通信することが可能です。

8.3.12 SDI

nCS が low のとき、このピンは、デバイスのプログラミングまたはデータの要求に使用される SPI シリアル データ入力ピンです。

8.3.13 CANH およびCANL バス ピン

これらは CAN High と CAN Low の差動バスピンです。これらのピンは、CAN トランシーバおよび低電圧 WUP CAN レシーバに接続されています。バス ピンの機能については、本書全体で順次説明されています。CAN WUP レシーバは、CAN ウェークアップ パターンでデバイスをスリープ モードから起動するために使用します (セクション 8.4.4.1 を参照)。システムが CAN バスからのウェークアップを必要としない場合は、レジスタ 8'h1B[0] に 1b を設定することで CAN ウェークアップを無効化できます (図 8-8 を参照)。CAN バスのバイアスは ISO 11898-2:2024 の要件に準拠しています (『CAN バスのバイアス印加』を参照)。

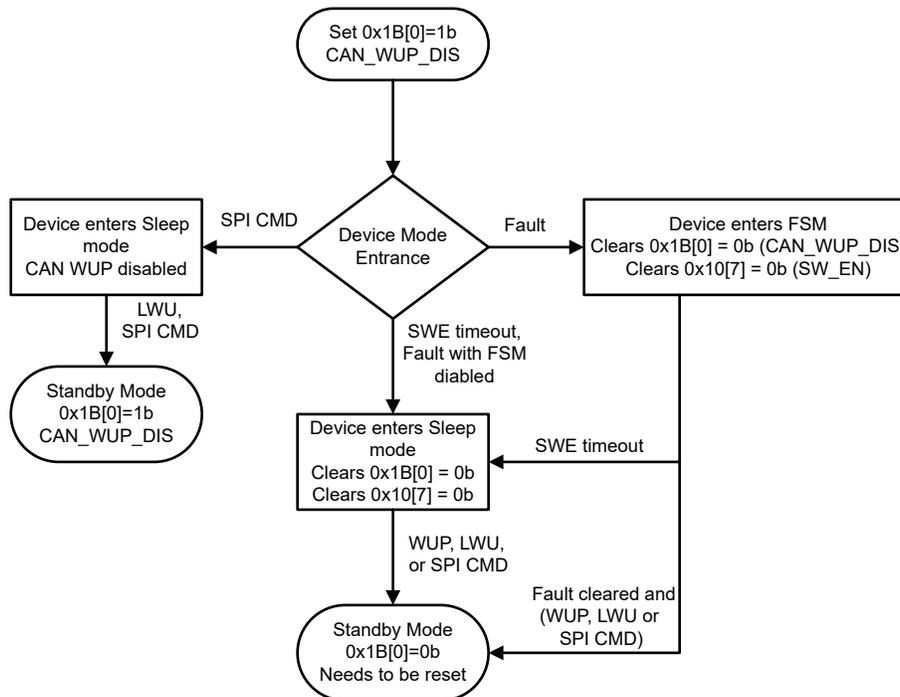


図 8-8. CAN バス ウェークアップ パターンの無効化

注

SWE のタイムアウト参照値は、SWE_EN = 1b のときに有効となります

8.3.14 CAN FD SIC トランシーバ

信号の改善は、CAN FD トランシーバに追加される付加的な機能であり、複雑なスタートポロジで信号のリングングを最小化し、実現可能な最大データレートを改善します。信号のリングングは、スタブとして機能するノードのために CAN ネットワーク内のさまざまなポイントでインピーダンスの不整合が発生することに起因する、反射の結果です。図 8-9 に、複雑なネットワークの例を示します。

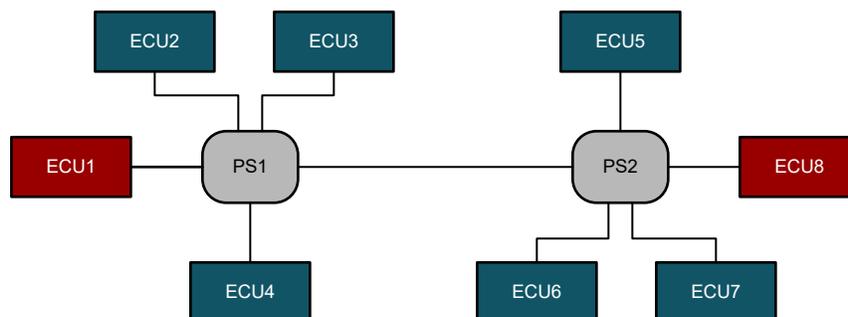


図 8-9. CAN FD 信号改善トポロジ

リセッピブからドミナントへの信号エッジは、バスがトランスミッタによって強く駆動されるため、通常はクリーンです。CAN トランシーバのトランスミッタ出力インピーダンスは約 50Ω であり、ネットワーク特性インピーダンスと一致しています。通常の CAN FD トランシーバの場合、ドミナントからリセッピブへのエッジにおいて、ドライバの出力インピーダンスが約 $60k\Omega$ になり、信号は反射によるインピーダンス不整合の影響を受け、リングングが発生します。TCAN157x-Q1 は、この問題を TX ベースの信号改善機能 (SIC) によって解決します。TCAN157x-Q1 は、 t_{REC_START} までバスのリセッピブ状態を強く駆動し続けることで、反射を減衰させ、リセッピブ ビットがサンプリング ポイントでクリーンになります。アクティブなリセッピブ フェーズでは、トランスミッタの出力インピーダンスが低くなります (約 100Ω)。このフェーズが終了し、デバイスがパッシブ リセッピブ フェーズになると、ドライバの出力インピーダンスはハイ インピーダンスに移行します。この現象については、図 7-17 で説明しています。

8.4 デバイスの機能モード

TCAN1576-Q1 には、通常、スタンバイ、リッスン、スリープ、フェイルセーフといった複数の機能モードがと、2 つの保護モードがあります。最初の 4 つのモードは、SPI レジスタ 8h10[2:0] によって設定されます。フェイルセーフ モードは、有効の場合、さまざまなフォルト条件によって遷移します。保護モードは、フェイルセーフ モードが無効の場合、デバイスまたはバスを保護するために使用される変更されたスタンバイ モードです。TCAN1576-Q1、WUP または LWU イベントを受信すると、自動的にスリープ モードからスタンバイ モードに移行します。選択的ウェークが有効な場合、デバイスは WUP を受信後にウェークアップ フレーム (WUF) を検出しようとします。WUF が検出されない場合、デバイスは再びスリープ モードに戻ります。各モードにおいて、デバイスのどの機能ブロックが動作しているかについては、表 8-1 を参照してください。

TCAN1576-Q1 の状態図および各機能モードにおける CAN バスのバイアス状態については、[図 8-10](#)、[図 8-11](#)

表 8-1. モードの概要

ブロック	通常	スタンバイ	リッスン	スリープ	フェイルセーフ	UV _{IO} 保護 (フェイルセーフ無効)	TSD 保護 (フェイルセーフ無効)
nINT (有効の場合)	オン	オン	オン	オフ	フォルトにより決定	オフ	オン
INH	オン	オン	オン	オフ	オン	オン	オン
LIMP (有効の場合): TCAN1576-Q1	WD エラーが発生した場合、または前モードの状態がクリアされるまでオン	WD エラーが発生した場合、または前モードの状態がクリアされるまでオン	前モードの状態がクリアされるまで	前モードの状態がクリアされるまで	オン	前モードの状態がクリアされるまで	前モードの状態がクリアされるまで
WAKE	オフ	オン	オフ	オン	注記を参照	オフ	オフ
SPI	オン	オン	オン	VIO が存在する場合はオン	フォルトにより決定	オフ	オン
ウォッチドッグ (有効の場合): TCAN1576-Q1	オン	オン	オフ	オフ	オフ	オフ	オフ
低消費電 CAN RX	オフ	オン	オフ	オン	オン	オン	オン
CAN トランスミッタ	オン	オフ	オフ	オフ	オフ	オフ	オフ
CAN レシーバ	オン	オフ	オン	オフ	オフ	オフ	オフ

注

フェイルセーフ モードには、「フォルトにより決定」と記載されるブロックが複数あります。以下に説明を示します。

- フォルト条件が UV_{CC} または TSD の場合、nINT および SPI はアクティブです。フォルト条件が UV_{IO} 場合、これらのブロックはオフです。
- フェイルセーフモードの INH (デフォルト) はオンのため、プロセッサには電源が供給され、発生したフォルトを読み取ることができます。フェイルセーフ カウンタを使用している場合、指定回数のウェークアップとフェイルセーフ復帰のサイクルが発生すると、INH はいったんオフにされ、その後オンに設定されます。
- 低消費電力 CAN (WUP) レシーバは、V_{SUP} から給電されます。UV_{SUP} イベントが発生すると、このレシーバはオフになります。
- フェイルセーフ カウンタの上限に達し、かつレジスタ 8'h17[6:4] = 100b、FS_CNTR_ACT の場合、デバイスはスリープ モードに移行し、ウェーク要求に応答しません。デバイスを通常動作に戻すには、ハードリセット (パワーサイクル) が必要です。
- フェイルセーフ モードでは、SWE タイマ (有効な場合) が起動し、フォルトがクリアされるまでは WAKE イベントは無視されます。フォルトがクリアされると、WAKE ピンはアクティブになります。
 - 有効化されており、SWE タイマがタイムアウトとした場合、デバイスはスリープ モードに入ります。これは、たとえフォルトがクリアされていても、ウェイク イベントが発生していない、あるいはモード変更のような SPI 通信が行われていない場合に発生します。
- UV_{CC} イベント中は、CAN トランスミッタとレシーバはオフで、低電力 CAN レシーバはオンです。

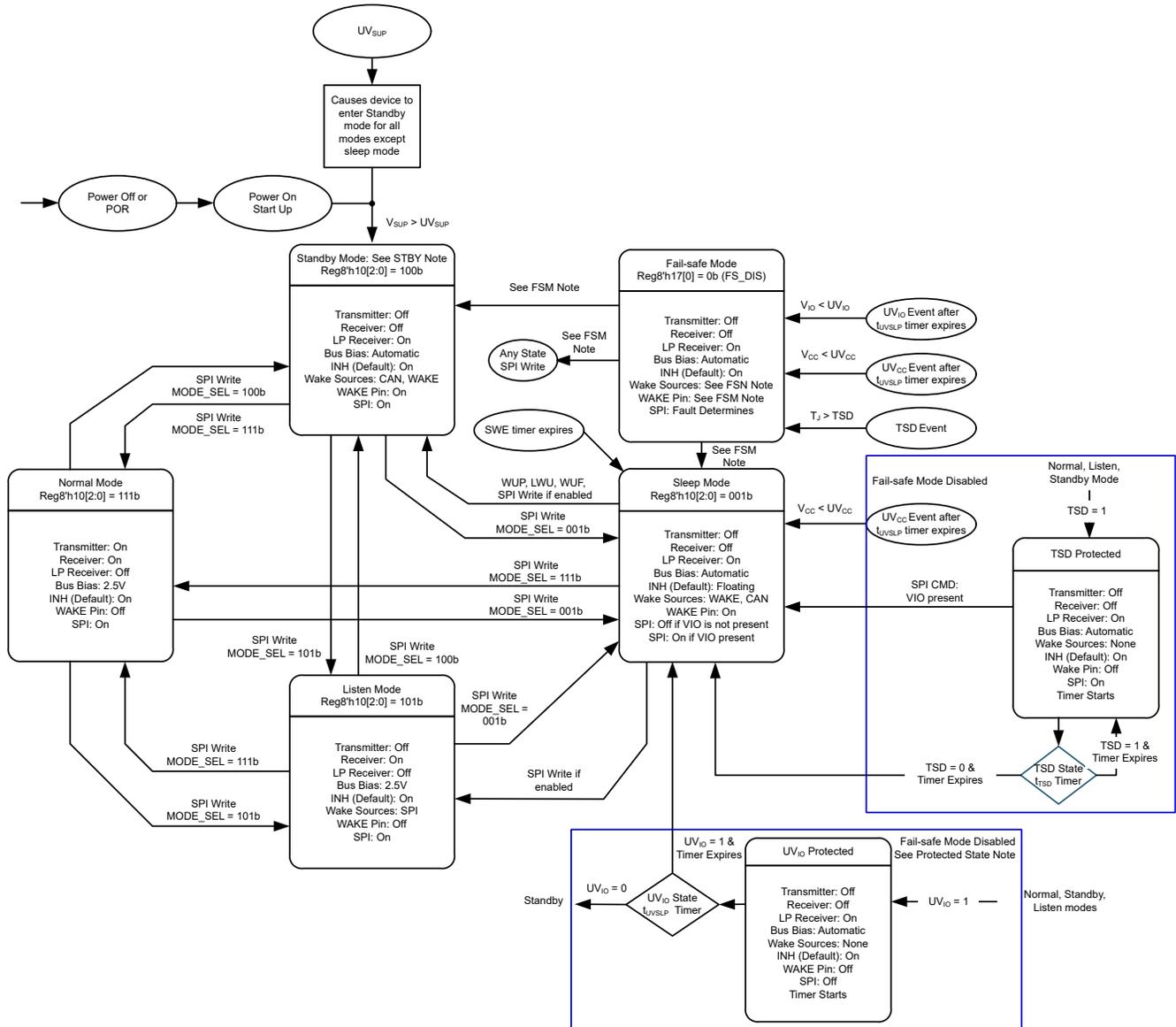


図 8-10. TCAN1575-Q1 デバイス状態図

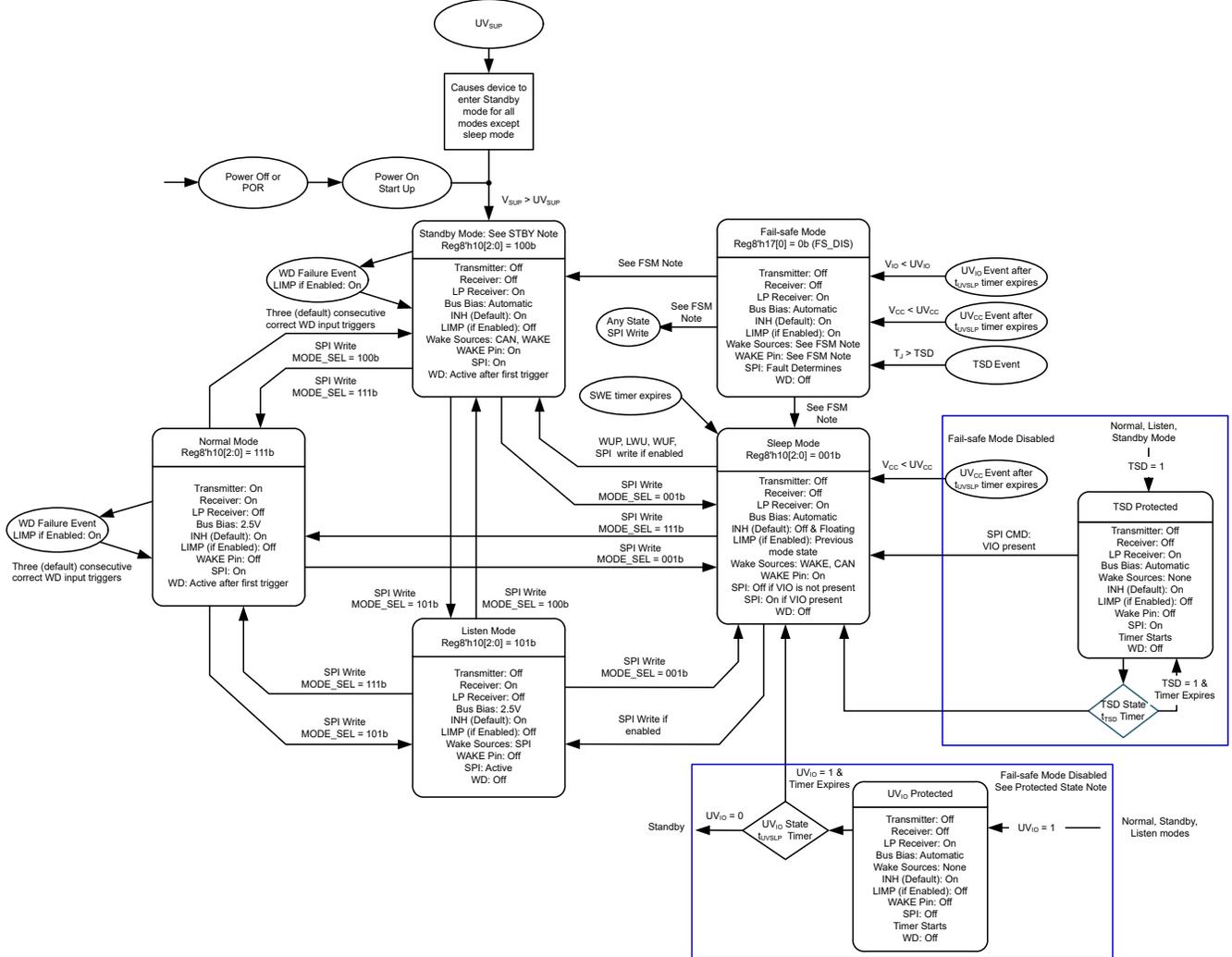


図 8-11. TCAN1576-Q1 デバイス状態図

注

3 つのデバイス状態図すべてに関する注記

- スタンバイ モードの注記 (STBY の注記)
 - スリープ モード、フェイルセーフ モードからの移行、または電源投入時からスタンバイモードに移行する際、SWE タイマが開始します。
 - SWE タイマが満了する前に、モード変更または割り込みクリアを行う必要があります。
- フェイルセーフ モードの注記 (FSM 注記)
 - フェイルセーフモードから復帰するには、フォルトがクリアされている必要があります。
 - そのうえで、ウェイクイベントが発生しスタンバイに入るか、または
 - もしくは、SPI 書き込みにより、(フォルトがクリアされていれば) 任意の状態へ移行できます。
 - 有効化されている場合、フェイルセーフ モードに移行すると SWE タイマが開始します。
 - SWE タイマがタイムアウトすると、デバイスはスリープ モードに移行します。
 - SWE タイマがタイムアウトし、かつフォルトがクリアされていても、ウェイク イベントがない場合には、デバイスはスリープ モードに入ります。
- 保護状態の注記
 - UVIO 保護ステータスは、デバイスに整合する IO 電圧レールが取り除かれたときに発生します。これによりデバイスとプロセッサ間に電圧の不整合が生じ、タイマがタイムアウトして UVIO = 1 の場合、デバイスはスリープ モードへ移行します。
 - サーマルシャットダウンおよび UVIO イベントが同時に発生した場合、デバイスはスリープ モードに移行します。
- UV_{SUP} が発生すると UV_{SUP} モードに移行し、V_{SUP} > UV_{SUPR} になると、デバイスはスタンバイ モードに移行します。ただしスリープ モード中に発生した場合を除きます。スリープモード中の場合はスリープ モードへ戻ります。

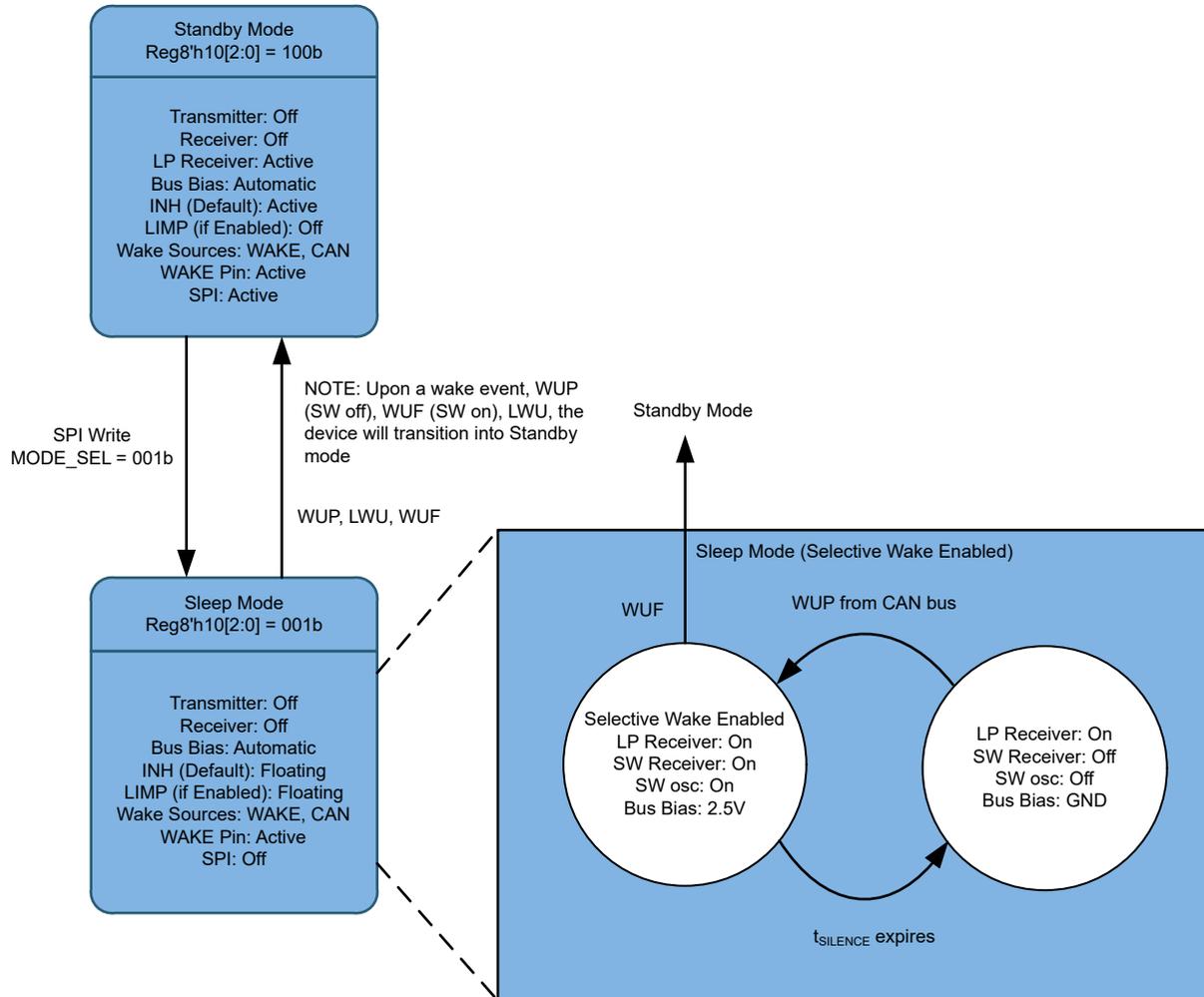


図 8-12. 選択的ウェーク有効時のスリープモード

注

状態図のデフォルトでは、スリープモード中 SPI はオフです。V_{IO} が存在する場合、SPI はスリープモードでも動作しますが、データレートは低下します。これには、図 8-12 に示すように、選択的ウェークのサブ状態が含まれます。

8.4.1 通常モード

これは、本デバイスの通常の動作モードです。CAN ドライバとレシーバは完全に動作し、CAN 通信は双方向です。ドライバは、CAN FD コントローラの TXD 信号に入力されたデジタル信号を、CANH および CANL の差動出力へ変換します。レシーバは、CANH および CANL の差動信号を RXD 信号のデジタル出力へ変換し、CAN FD コントローラへ出力します。通常モードは、SPI を介してイ有効と無効を切り替えます。

フェイルセーフモードおよび SWE タイマが有効な場合、通常モードへ移行する SPI コマンドを実行すると SWE タイマは停止します。スタンバイモード中には、割り込みをクリアすることを推奨します。通常モード中 (SWE タイマ有効時) に SWE タイマが開始されるケースは次の 2 つです。

- CANSLNT_SWE_DIS = 0b は、CANSLNT 割り込みが設定された後、SWE タイマを開始します。タイマを停止するには、CANSLNT 割り込みをクリアする必要があります。

- CANS_LNT_SWE_DIS = 1b (デフォルト) は、バス アクティビティが $t_{SILENCE}$ を越えて存在しない場合に SWE タイマを開始します。バス アクティビティは $t_{SILENCE}$ タイマをクリアし、SWE タイマをリセットします。

SWE タイマがタイムアウトすると、デバイスはスリープ モードに移行します。

注

SWE タイマは、デフォルトで無効になっています

8.4.2 スタンバイ モード

スタンバイモードでは、バス トランスミッタはデータを送信せず、通常モードのレシーバもデータを受信しません。このモードでアクティブなブロックがいくつかあります。低電力 CAN レシーバは、バスのウェークアップ パターン (WUP) を監視します。WAKE ピンの監視も有効です。SPI は有効で、マイクロプロセッサがステータスおよび構成のメモリでレジスタの読み書きができます。INH ピンは有効で、この機能を使用する場合、 V_{IO} コントローラに対するイネーブル信号を供給します。デバイスは、バス WUP イベント、WUF イベント、または WAKE ピンからのローカル ウェークアップにより、スリープモードからスタンバイ モードに自動的に移行します。 V_{IO} が存在する場合、デバイスは SPI のモード変更コマンドによってもウェークアップできます。

スリープ モードからのウェーク イベント発生時、TCAN1576-Q1 はスタンバイ モードに移行します。有効化されている場合、この遷移によって SWE タイマ $t_{INACTIVE}$ が開始され、プロセッサは割り込みフラグをリセットするか、デバイスを通常モードまたはリスン モードに構成する必要があります。この機能により、プロセッサが正常に起動しない場合でもノードを最小消費電力モードに維持することができます。この自動モード変更は、デバイスがスリープ モードに移行し、ウェーク イベント、WUP、WUF、LWU を受信するときにも行われます。スリープ イベントに対してこの機能を有効にするには、レジスタ 8'h1C[7] (SWE_EN) を 1b に設定する必要があります。

以下に、選択的ウェークがスリープ モードとスタンバイ モードとの間でどのように相互作用するかを示します。

- 電源投入時、デバイスはスタンバイ状態になります。すべてのウェーク フラグ (PWRON、WUP/LWU) をクリアし、選択的ウェークレジスタを構成した後、選択的ウェーク構成 (SWCFG = 1b) と選択的ウェーク有効化 (SW_EN = 1b) を設定します。
- SWCFG = 1 で、デバイスをスリープ モードにすると、低消費電力の WUP レシーバがアクティブになり、WUP を待機します。
- WUP を受信すると、WUF レシーバがアクティブになります。
- デバイスはウェークアップ フレームを受信し、ノードがウェイクアップ要求されているかを判定します。
 - WUF が有効と判定されると、デバイスはノードを起動しスタンバイ モードへ遷移します。
 - WUF が無効と判定されると、デバイスはスリープ モードに留まります。
- WUF (CANINT)、FRAME_OVF、LWU (有効化されている場合) のいずれかによるウェーク割り込みが発生すると、デバイスはスタンバイ モードに入ります。

注

スタンバイ モード中は、PWRON、LWU、CANINT、FRAME_OVF の割り込みがクリアされると、RXD ピンは High へ戻されます。

8.4.3 リスン オンリー モード

このモードでは、CAN トランスミッタは無効化され、レシーバのみが有効になります。CAN バス上のデータは RXD ピンに出力されますが、TXD ピンに入力された信号は CAN バスへは出力されません。その他の機能は通常モードと同じです。フェイルセーフ モードと SWE タイマが有効な場合、リスン オンリー モードの動作は通常モードと同じです。

8.4.4 スリープモード

スリープ モードは、スタンバイ モードに類似しますが、SPI インターフェースと INH が通常は無効になります。低消費電力 CAN レシーバは V_{SUP} から給電されるため、実装者は V_{IO} をオフにすることができます。スリープ モード中でも V_{IO} が供給されていれば、SPI アクセスは可能ですが、動作速度が制限されます。nCS を Low にしてから読み取りまたは書き

込みを開始するまでに 10 μ s 以上の遅延を設けた場合、最大 SPI クロック レートで通信することが可能です。V_{IO} がオフの場合、SPI インターフェイスは無効になり、スリープ モードからの復帰方法はウェークアップ イベントまたは電源再投入 (パワーサイクル) のみとなります。デバイスが通常動作によってスリープ モードに移行したか、フォルトによりモード変更されたかを判定するため、スリープ モード ステータス フラグが用意されています。レジスタ 8'h52[7] にそのステータスがあります。フォルトによってデバイスがスリープ モードに移行した場合、このフラグが 1 に設定されます。

注

スリープ モードとスタンバイ モードの違い

- スリープ モードは、INH をオフにして VREG のイネーブル ピンを遮断し、結果としてノード全体の電源を停止して消費電力を低減します。
- スタンバイ モードは、通常モードより TCAN1576-Q1 の消費電力を低減しますが、INH が有効であるためノード側プロセッサ用 VREG がオンになり、スリープより消費電力は高くなります。

フェイルセーフ モードが無効 (8'h17[0]=0b) の場合、フォルトによりスリープ モードへ遷移した場合は、CAN_SUP_DIS および SW_EN ビットがクリアされます。これらを使用する場合は再設定が必要です。

8.4.4.1 スリープ モードでの RXD 要求によるバス ウェーク (BWRR)

TCAN1576-Q1 は、低消費電力のスリープおよびスタンバイ モードをサポートし、RXD 要求によるバス ウェーク (BWRR) と呼ばれる CAN バスからのウェークアップ機能を使用します。このパターンを受信すると、TCAN1576-Q1 は、スリープ モードからスタンバイ モードへ自動的に移行し、nINT 端子 (有効な場合) に割り込みを出力して、ホスト マイクロプロセッサにバスがアクティブであることを知らせます。プロセッサは起動して TCAN1576-Q1 の処理を行います。スリープ モード中は、低消費電力レシーバとバス モニタが有効化され、CAN バス経由の RXD ウェーク要求を許可します。ウェークアップ要求は RXD に Low を出力して通知します (図 8-13 を参照)。外部の CAN FD コントローラは、RXD の遷移 (High から Low) を監視し、RXD ウェーク要求に基づいてデバイスを通常モードへ再起動します。このモードでは、t_{SILENCE} が満了している場合、BWRR 以前に CAN バス端子は弱く GND にプルダウンされます (図 7-2 を参照)。

このデバイスは、ISO 11898-2: 2024 付属書 A に規定されたウェークアップ パターン (WUP) を用いて、バス上のトラフィックをホスト マイクロプロセッサへのウェーク要求として認識します。バスのウェーク要求は、RXD 端子の立ち下がりがエッジと LOW によって、内蔵 CAN FD コントローラへ通知されます (BWRR)。

ウェークアップ パターン (WUP) は以下で構成されています

- 少なくとも t_{WK_FILTER} のフィルタされたドミナントバスと、その後続くドミナント バス
- 少なくとも t_{WK_FILTER} のフィルタされたリセッシブ バス時間の後に続きます
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタされたドミナント バス時間
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタされたリセッシブ バス時間

WUP を検出すると、デバイスは RXD ピンでウェークアップ要求 (BWRR) の出力を開始します。このピンの動作は、レジスタ 8'h12[2] により決定されます。8'h12[2]= 0b の場合、ドミナント→リセッシブ→ドミナント→リセッシブの各フィルタ時間を満たす WUP パターンを受信し、かつ V_{IO} ≥ UV_{IO} および V_{CC} ≥ UV_{CC} の条件を満たすと、RXD ピンは Low にプルダウンされます。V_{IO} が供給されている、または V_{CC} ≥ UV_{CC} を要件としないケースでは、VCC_DIS を 8'h4B[0] = 1b に設定して、V_{CC} ≥ UV_{CC} の要件を無効化します。最初のフィルタされたドミナントが WUP を開始し、バス モニタは次のフィルタされたリセッシブを待機します。他のバストラフィックでは、バス モニタはリセットされません。フィルタされたリセッシブを受信すると、バス モニタは 2 番目のフィルタされたドミナントを待機します。他のバストラフィックでは、バス モニタはリセットされません。2 番目のフィルタされたドミナントを受信すると、バス モニタは 2 番目のフィルタされたリセッシブを待機します。他のバストラフィックでは、バス モニタはリセットされません。2 番目のフィルタされたリセッシブを受信した直後、バス モニタは WUP を認識し、BWRR 出力へ遷移します。

ドミナントまたはリセッシブを「フィルタ処理」と見なすには、バスが t_{WK_FILTER} 時間より長い間、その状態にある必要があります。t_{WK_FILTER} に変動があるため、以下のシナリオが適用されます。

- t_{WK_FILTER(MIN)} より短いバス状態は、WUP の一部として検出されることはないため、BWRR は生成されません。

- $t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、BWRR が生成される可能性があります。
- $t_{WK_FILTER(MAX)}$ を超えるバス状態が常に WUP の一部として検出されるため、BWRR は必ず生成されます。

WUP のタイミング図については、[図 8-13](#) を参照してください。

WUP と BWRR に用いるパターンおよび t_{WK_FILTER} 時間により、ノイズやバス固着ドミナント フォルトによる誤ったウェーク要求を防止しながら、任意の CAN または CAN FD メッセージで BWRR を開始できるようにします。デバイスが通常モードに切り替わるか、 V_{CC} で低電圧イベントが発生すると、BWRR は失われます。WUP パターンは、 $t_{WK_TIMEOUT}$ 時間内に実行する必要があります。そうでない場合、デバイスは次のリセッブを待ち、その後有効な WUP パターンを待機する状態になります。

8h'12[2]= 1b の場合、デバイスが通常モードまたはリッスン モードに移行するまで、RXD ピンは Low→High→Low に $t_{TOGGLE} = 10\mu s$ でトグルします。BWRR は、電源投入直後のスタンバイ モードでアクティブであり、スリープ モードからの復帰または特定のフェイルセーフ モードの条件からの復帰時にもアクティブになります。SPI 書き込みによってデバイスをスタンバイ モードにした場合、ウェーク イベントが発生するまで RXD ピンは High を維持します。その後、スリープ モードからのウェイク時と同様に RXD ピンが動作します。

注

CAN バスのウェークアップ機能が不要な場合は、CAN_WUP_DIS 8'h1B[0]= 1b に設定することで、無効化することができます。

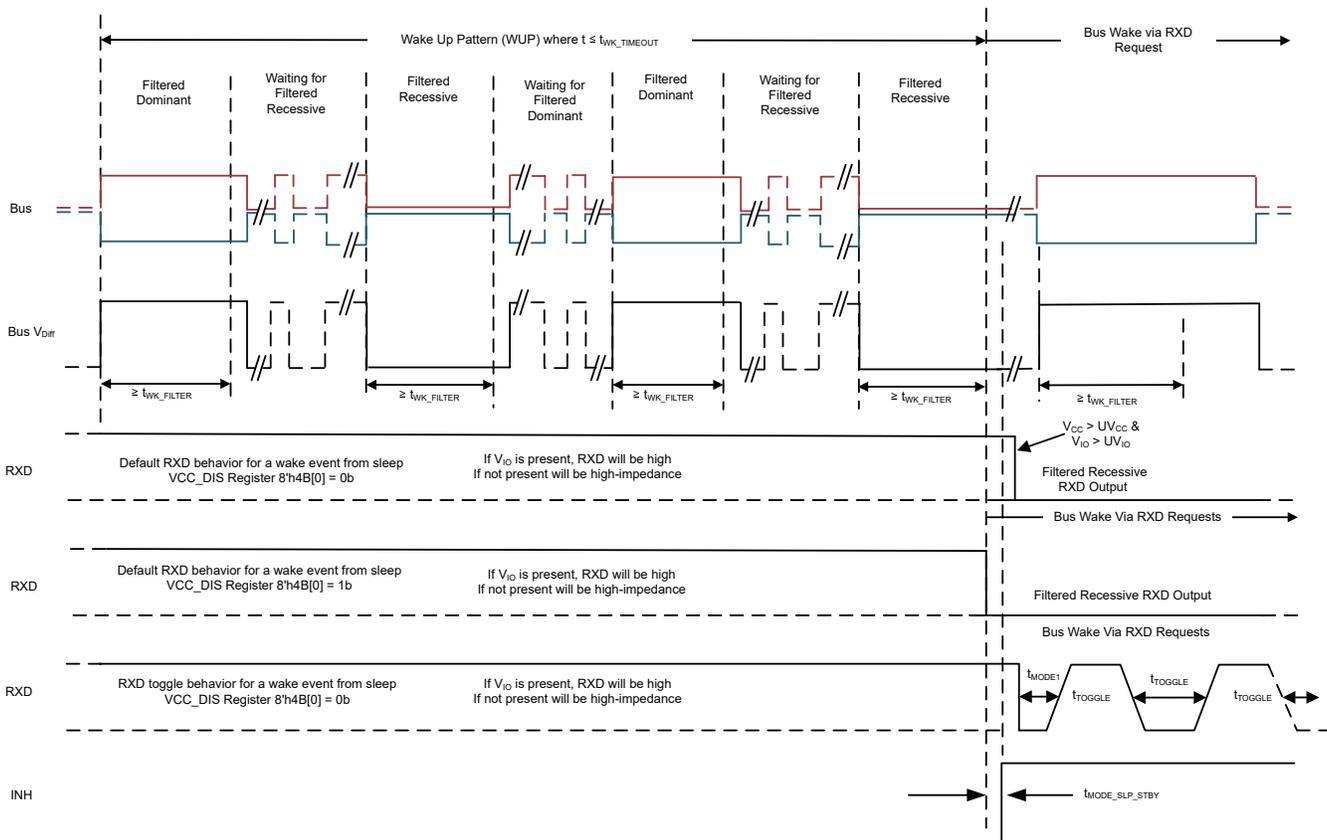


図 8-13. ウェークアップパターン (WUP) と RXD 要求によるバス ウェーク (BWRR)

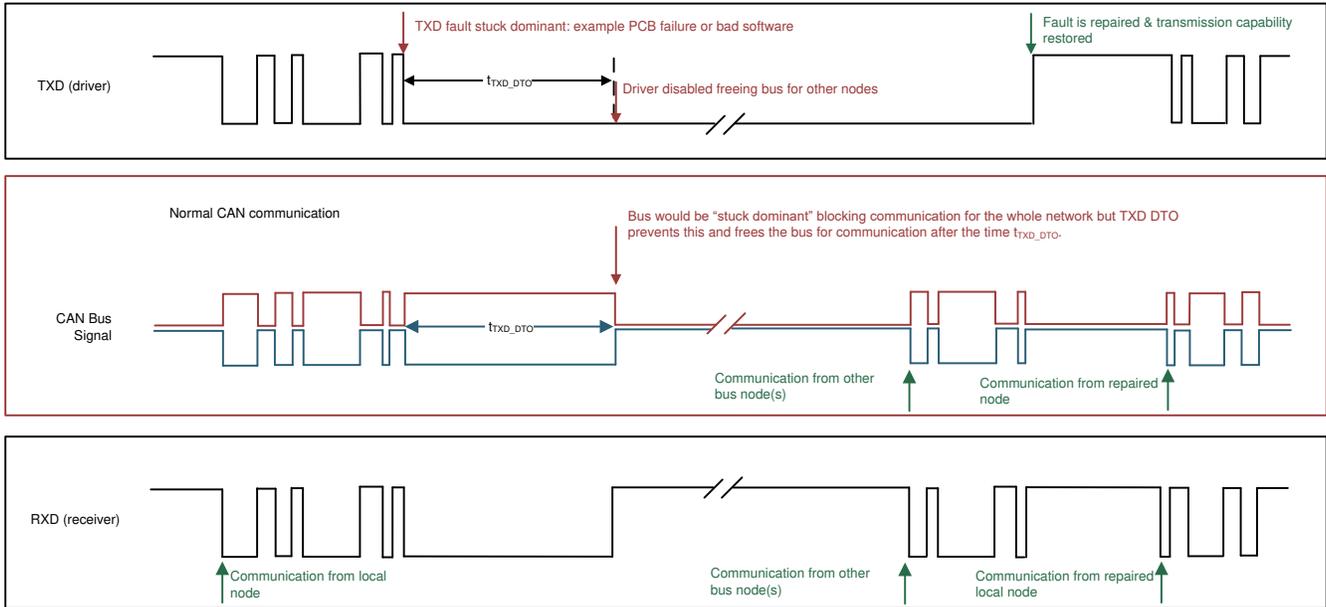


図 8-14. TXD DTO を備えたタイミング図の例

8.4.4.2 WAKE 入力端子によるローカル ウェークアップ (LWU)

WAKE 端子はグラウンド バイアスの入力端子で、電圧遷移によるローカル ウェークアップ (LWU) 要求に使用される高電圧ウェーク入力をサポートします。この端子は、双方向の入力スレッシュホールドを有するため、Low から high、または high から low のいずれの遷移でも LWU イベントをトリガします。この端子は、 V_{SUP} またはグラウンドに接続されたスイッチと併用できます。端子を使用しない場合は、不要な寄生ウェークアップ イベントを回避するために、グラウンドにプルしてください。

WAKE 端子はデフォルトで双方向入力ですが、WAKE_CONFIG レジスタ 11h[7:6] を使用して、立ち上がりエッジおよび立ち下がりエッジ遷移に構成できます (図 8-15 および 図 8-16 を参照)。デバイスがスリープ モードに移行すると、WAKE 入力の状態遷移を判定する前に、WAKE 端子電圧が t_{WAKE} の間 Low または High のいずれか一定状態にある必要があります。

WAKE ピンを使用した他の 2 つのウェーク方法には、パルス ウェークとフィルタ ウェークがあります。パルス ウェーク入力では、WAKE ピンのパルスが有効と見なされるには、指定された時間内にある必要があります。 $t_{WAKE_INVALID}$ 未満のパルス幅は、パルスおよびフィルタの構成いずれの場合でもフィルタされます。パルス構成については、パルス幅は $t_{WK_WIDTH_MIN} \sim t_{WK_WIDTH_MAX}$ の範囲である必要があります (図 8-17 を参照)。この図には、3 つのパルスの例と、デバイスがウェークアップするかどうかを示します。 $t_{WK_WIDTH_MIN}$ は、 $t_{WK_WIDTH_INVALID}$ の値によって決まり、これはレジスタ 11h[3:2] で設定されます。パルスが検出される場合と検出されない場合がある領域が 2 つあります。レジスタ 1Bh[1]、WAKE_WIDTH_MAX_DIS を使用すると、パルス モードはフィルタ ウェーク入力として構成可能です。このビットに 1b を書き込むと $t_{WK_WIDTH_MAX}$ が無効になり、WAKE 入力は $t_{WK_WIDTH_INVALID}$ および $t_{WK_WIDTH_MIN}$ 値を選択するレジスタ 11h[3:2] の構成に基づきます。 $t_{WK_WIDTH_INVALID}$ 未満の WAKE 入力はフィルタによって除去され、 $t_{WK_WIDTH_MIN}$ を超えると、INH がオンになり、デバイスはスタンバイ モードに移行します。2 つの間の領域は認識される場合と認識されない場合があります (図 8-18 を参照)。レジスタ 12h[7] は、認識されるパルスまたはフィルタのエッジ方向を決定します。WAKE ピンのステータスは、レジスタ 11h[5:4] により決定されます。WAKE ピンの変更が行われると、デバイスはこれを立ち上がりエッジまたは立ち下がりエッジとして登録します。これは、ビットに 00b が書き込まれるまでラッチされます。

LWU 回路は、スリープ モード、スタンバイ モード、およびスリープ状態への遷移中にアクティブです。有効な LWU イベントが発生すると、デバイスはスリープ モードからスタンバイ モードに遷移します。LWU 回路は、通常モードではアクティブではありません。WAKE が常時 High レベルには、 V_{SUP} への内部プルアップがあり、常時 Low レベルには GND への内部プルダウンがあります。電源投入時には、これが LWU イベントのように見えるため、そのようにフラグが付けられません。

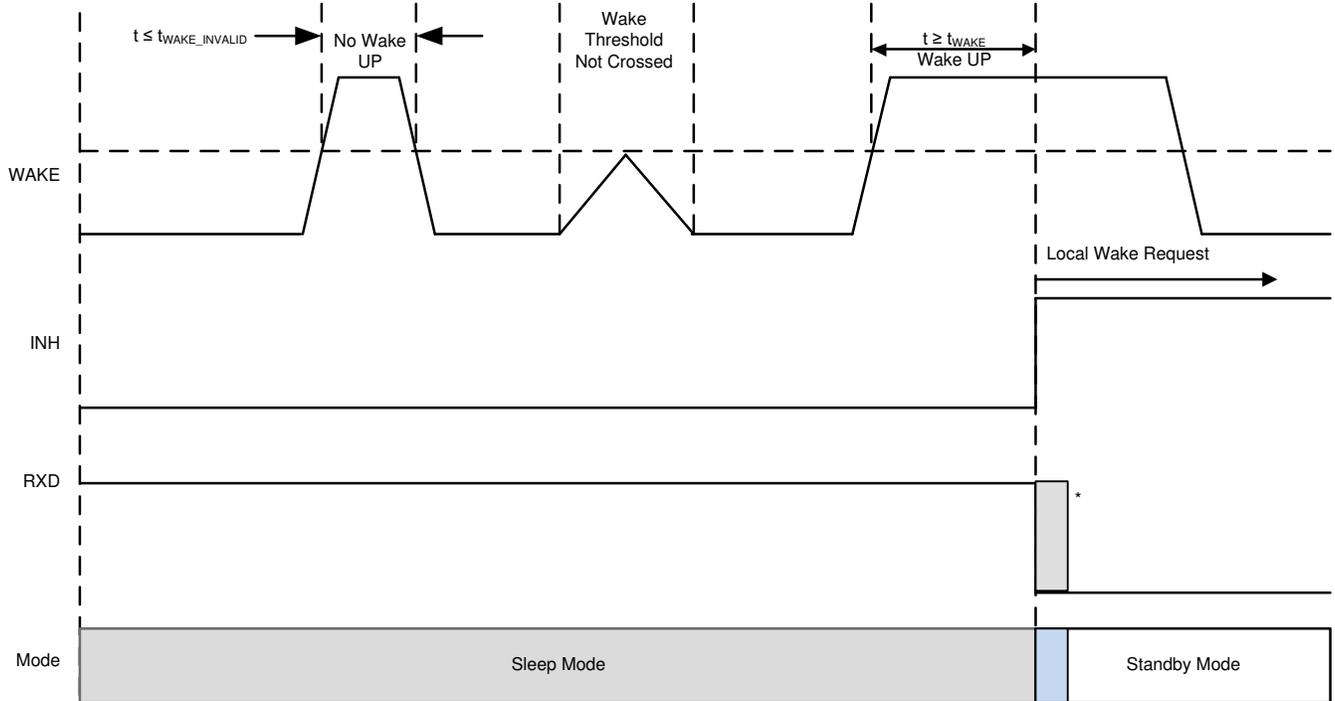


図 8-15. ローカル ウェーク アップ – 立ち上がりエッジ

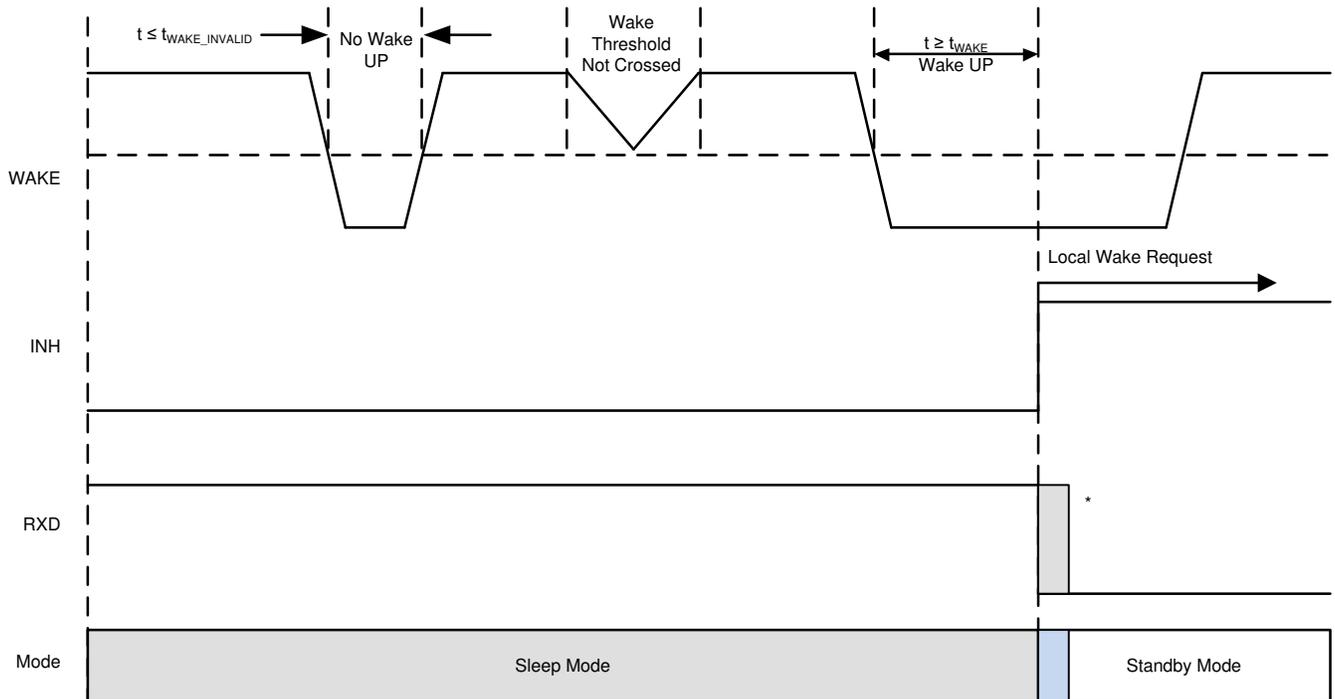


図 8-16. ローカル ウェーク アップ – 立ち下がりエッジ

注

WAKE ピンに立ち上がりエッジまたは立ち下がりエッジを選択する場合、エッジ前の状態に t_{WAKE} 期間が必要です。

- 立ち上がりエッジを選択し、WAKE が High の状態でスリープモードに移行する場合、立ち上がりエッジのウェークイベントの前に、少なくとも t_{WAKE} の間 Low が存在している必要があります
- 立ち下がりエッジを選択し、WAKE が Low の状態でスリープモードに移行する場合、立ち下がりエッジのウェークイベントの前に、少なくとも t_{WAKE} の間 Low が存在している必要があります
- この要件は、双方向エッジには必要ありません (デフォルト)
- 図 8-15 と 図 8-16 は、立ち上がりエッジまたは立ち下がりエッジによる WAKE 入力の例を示します。 t_{WAKE} は、有効な WUP から INH がオンになるまでの時間に基づきます。 $V_{IO} > UV_{IO}$ および $V_{CC} > UV_{CC}$ を満たしスタンバイモードへ入ると、RXD は Low にプルされます。

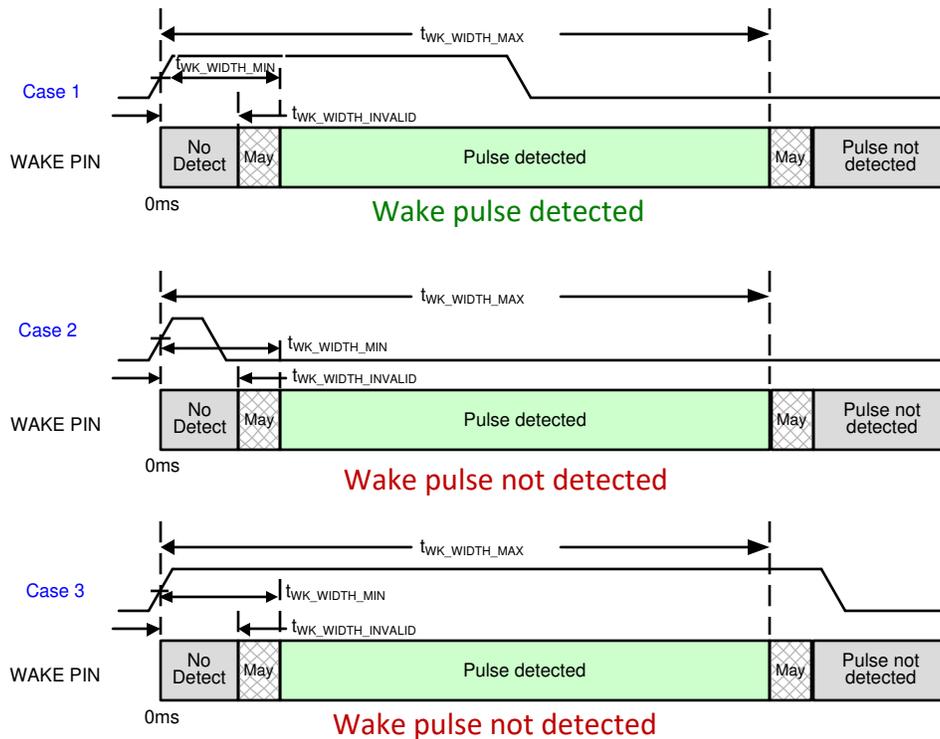


図 8-17. WAKE ピンのパルス動作

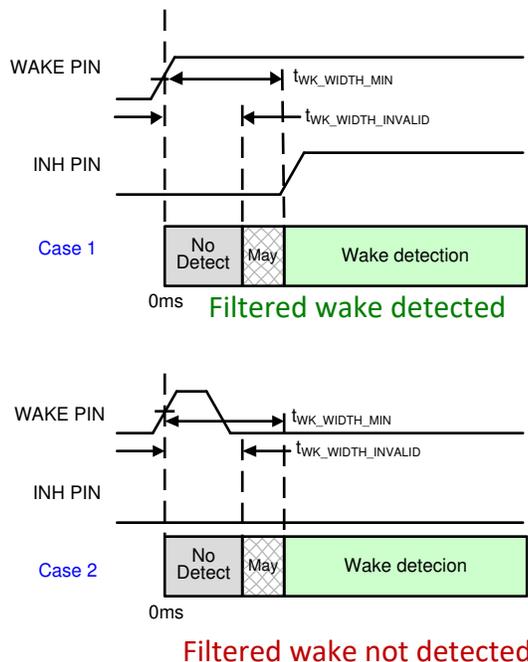


図 8-18. WAKE ピンのフィルタ動作

8.4.5 選択的ウェークアップ

これらのデバイスは、ISO 11898-2:2024 に準拠し、選択的ウェークアップをサポートしています。

8.4.5.1 選択的ウェーク モード

これは、このデバイスの中レベルの省電力モードです。WUF レシーバはオンになり、データシートの「フレーム検出」セクションに記載されているように、ウェークアップ フレーム (WUF) を探索するフレーム検出ロジックに内部接続されます。この状態では、CAN バスのデータは RXD ピンに出力されません。デバイスは、システム バッテリからの V_{SUP} 電源から給電されます。

選択的ウェークモードでの有効なウェークアップソースは次のとおりです。

- ウェークアップ フレーム (WUF)
- WAKE ピンのローカル ウェークアップ (LWU)。WAKE ピンでのイベントは、レジスタ 8'h11[7:6] に設定した WAKE ピンの要件に一致している必要があります
- フレーム オーバーフロー (FRAME_OVF)
- SPI コマンドによる他モードへの遷移

WUF または LWU イベントが発生すると、対応するウェーク イベント フラグ (WUF または LWU) のウェーク要求が設定されます。この時点で、nINT ピン (有効な場合) と、RXD ピンをプルダウンすることによって、マイコンに割り込みが提供されます。

選択的ウェークモードに移行するには、以下の条件を満たす必要があります。

- 選択的ウェーク構成 (SWCFG) フラグがセットされていること
 - 適切なフレーム検出と選択的ウェーク構成の設定がされ、すべてのレジスタが正しくプログラムされていることを確認するには、すべての選択的ウェークレジスタに書き込みを行った直後に読み取りを行う必要があります。構成後、SWCFG ビットを 1b に設定してください。
- 選択的ウェーク エラー (SWERR) フラグがクリアされていること
- 選択的ウェーク イネーブル (SW_EN) = 1b レジスタ 8'h10[7] = 1b であること

注

フォルト条件または **FRAME_OVF** によってデバイスが強制的にスリープ モード、フェイルセーフ モード無効、またはフェイルセーフ モードに移行した場合、**SW_EN** は無効化され、選択的ウェイク機能はオフになります。

注

選択的ウェイクを正常に動作させるには、**WUP** 信号が必要なため、デバイスをスリープ モードに移行させる前に、**DEVICE_CONFIG2** レジスタで **CAN_WUP_DIS** を **0b** に設定 (セクション 10.1.17 を参照) しておくことを推奨します。

8.4.5.2 フレーム検出

フレーム検出ロジックは、CAN バスからのシリアル データまたは CAN フレームの処理を可能にする要素です。デバイスには選択的ウェイク制御レジスタがあり、CAN ID (11 ビットまたは 29 ビット) のみ、または CAN ID とデータ フレーム (データ マスキングを含む) の両方を使用して、設定された一致条件を検出するよう構成できます。バスから受信した CAN フレームが、フレーム検出ロジックで設定した条件に一致した場合、そのフレームはウェイクアップ フレーム (WUF) と呼ばれます。

フレーム検出を有効にして使用する前に、WUF の検証または一致に必要なデータを、デバイスのレジスタ内に正しく設定しておく必要があります。デバイスでフレーム検出または選択的ウェイク機能を使用できるよう正しく構成された後、WUF のパラメータをデバイスに読み込むために、**SWCFG** (選択的ウェイク構成) を設定する必要があります。有効な WUF が検出されると、**CANINT** フラグがこれを示し、選択的ウェイクアップを含みます。

フレーム検出が有効で、有効な WUP によってバスが 2.5V にバイアスされているとき、ロジックがバス上の CAN フレームをデコードする過程でいくつかの動作が行われます。これには、エラー検出、カウント、および **CAN_SYNC** と **CAN_SYNC_FD** フラグを通じた CAN フレーム受信の指示が含まれます。

フレーム検出モード中にフレーム オーバーフロー (**FRAME_OVF**) が発生すると、選択的ウェイクは無効化され、**SW_EN** ビットがクリアされます。

フレーム検出が有効な状態で、レシーバ バイアスが無効のモードから遷移する場合、フレーム検出が安定するまで、500kbps 以下のデータ レートでは最大 4 フレームまで、500kbps を超えるデータ レートでは最大 8 フレームまでの CAN フレームをデバイスは無視します。

フレーム検出と選択的ウェイクアップを使用するようにデバイスを正しく構成する手順は次のとおりです：

- フレーム検出用のすべての制御レジスタ (選択的ウェイク)、選択的ウェイク構成 1-4 (レジスタ 8'h44 ~ 8'h47)、ID および ID マスク (レジスタ 8'h30 ~ 8'h40) に書き込みます。
- すべての選択的ウェイクレジスタの読み取りを推奨します。これにより、ソフトウェアがデバイスに書き込みが行われ、設定が正しいことを確認できます。
- 選択的ウェイク構成 (**SWCFG**) ビットを **1b** に設定し、レジスタ 8'4F[7]= **1b** に設定します。
- 選択的ウェイク イネーブルを **1b**、レジスタ 8'h10[7] を **1b** に設定します。

フレーム オーバーフロー フラグから **SWERR** 割り込みが発生すると、フレーム オーバーフロー割り込みをクリアする必要があり、**SWCFG** ビットを再度 **1b** にセットする必要があります。

8.4.5.3 ウェイクアップ フレーム (WUF) の検証

次の条件がすべて満たされる場合、受信フレームはウェイクアップ フレーム (WUF) として有効になります。

- **DLC** (データ長コード) の照合が無効化されていない場合、受信したフレームは従来の CAN データ フレームであること。DLC 照合が無効の場合、フレームはリモート フレームにすることもできます。
- 受信した従来の CAN フレームの ID (ISO 11898-1:2024 の 8.4.2.2 で定義) が、該当ビット位置で設定済み ID と完全一致していること。該当ビット位置は、WUF の DLC 検証に示す ID マスクによって与えられます

- 受信した従来の CAN データフレームの DLC (ISO 11898-1:2024 の 8.4.2.4 で定義) が、設定された DLC と完全に一致していること。照合方式は、[図 8-20](#) を参照してください。オプションとして、この DLC 照合条件は、実装の設定によって無効化できます。
- DLC が 0 より大きく、DLC 照合が有効な場合、受信したフレームのデータフィールド (ISO 11898-1:2024 の 8.4.2.5 で定義) において、設定済みデータマスクで 1 の位置に対応するビットのうち少なくとも 1 ビットが 1 になっていること。照合方式は、[WUF の DLC 検証](#) を参照してください。
- 巡回冗長検査 (CRC) が正しく受信されており (リセシブの CRC デリミタを含む)、アクリッジ (ACK) スロットより前に ISO 11898-1:2024、10.11 に基づくエラーが検出されていないこと。

8.4.5.4 WUF ID の検証

受信したフレームの ID は、要求されるすべてのビット位置において、設定済みの ID と一致している必要があります。該当ビット位置は、8'h30 ~ 8'h33 に設定された ID と、8'h34 ~ 8'h38 に設定された ID マスクによって決定されます。従来標準フレームフォーマット (CBFF) の 11 ビット標準 ID、従来拡張フレームフォーマット (CEFF) の 29 ビット拡張 ID、ID マスクがサポートされています。WUF 検証においては、「do not care」(どれでも可) を除く、マスクされたすべての ID ビットが設定済みの ID ビットと完全一致していなければなりません。ID マスクビットが「do not care」に設定されている場合、そのビット位置の ID は 1 と 0 のいずれも受け付けられません。ID マスクレジスタではビット値 1 が「do not care」を表します。

[図 8-19](#) に、有効な WUF の ID とそれに対応する ID マスクレジスタの例を示しています

Configured ID	1	0	0	0	1	0	1	0	0	1	0
Mask Register	c	c	c	c	c	c	c	c	c	d	d
d = don't care c = care											
Valid WUF IDs	1	0	0	0	1	0	1	0	0	0	0
	1	0	0	0	1	0	1	0	0	0	1
	1	0	0	0	1	0	1	0	0	1	0
	1	0	0	0	1	0	1	0	0	1	1
Non - valid WUF IDs	1	0	0	0	1	0	1	0	1	x	x
	1	0	0	0	1	0	1	1	0	x	x
	1	0	0	0	1	0	1	1	1	x	x
	1	0	0	0	1	0	0	0	0	x	x

図 8-19. WUF の ID および ID マスクの例

8.4.5.5 WUF の DLC 検証

受信フレームの DLC (データ長コード) は、データ マスクビットが設定されている場合、設定済みの DLC と完全に一致している必要があります。DLC は 8'h38[4:1] に設定します。データ マスク ビットは 8'h38[0] に設定します。本表には FD の DLC も含まれていますが、選択的ウェークアップ機能は従来の CAN フレームでのみ動作するため、WUF の検証では CAN FD のコードは使用しません。

表 8-2. DLC

フレーム	データ長コード				データバイト数
	DLC3	DLC2	DLC1	DLC0	
従来フレームと FD フレーム	0	0	0	0	0
	0	0	0	1	1
	0	0	1	0	2
	0	0	1	1	3
	0	1	0	0	4
	0	1	0	1	5
	0	1	1	0	6
	0	1	1	1	7
	1	0	0	0	8
従来フレーム	1	0 または 1	0 または 1	0 または 1	8
FD フレーム	1	0	0	1	12
	1	0	1	0	16
	1	0	1	1	20
	1	1	0	0	24
	1	1	0	1	32
	1	1	1	0	48
	1	1	1	1	64

8.4.5.6 WUF データ検証

データ マスク ビットによってデータ マスクが有効化されている場合、受信フレームのデータは設定されたデータと一致している必要があります。具体的には、受信フレームのデータ フィールド内にある論理 High (1) のビットのうち、少なくとも 1 つが設定済みデータのデータ フィールド内の論理 High (1) ビットと一致している必要があります。該当ビット位置は、8'h39 ~ 8'h40 に設定されたデータで決まり、8'h38[0] のデータ マスク有効ビットで有効化されます。図 8-20 に、一致するデータと一致しないデータの例を示しています

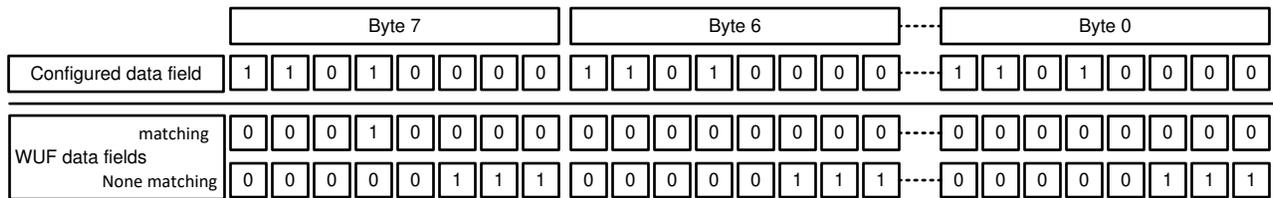


図 8-20. WUF のデータ フィールド検証の例

選択的ウェーク データ検証により、バス上で送信される最後のバイトがデータ マスクのバイト 0 として解釈されるようになります。これは、8 バイトのデータについては、送信される最初のバイトがデータ マスクのバイト 7 として解釈されることを意味します。DLC が 3 の場合、バス上で送信される最後のバイトはデータ マスク バイト 0 として解釈され、送信される最初のバイトはデータ マスク バイト 2 として解釈されます。送受信される各バイトに対してどのマスクバイトが用いられるかの例は、以下を参照してください。

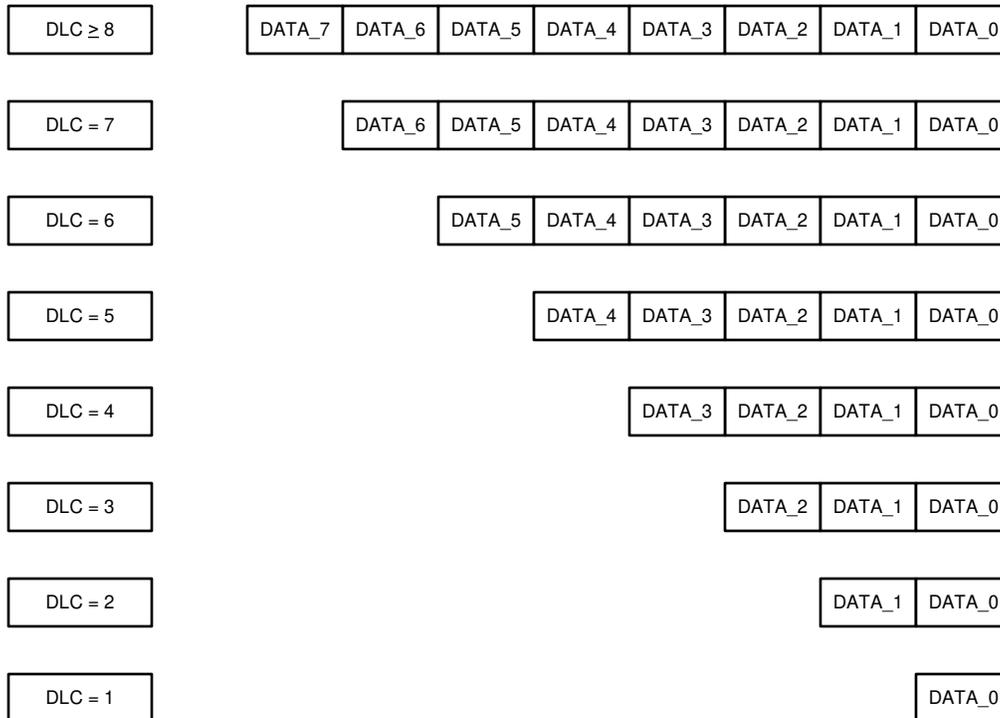


図 8-21. 各 DLC 値のデータレジスタのマスク値

8.4.5.7 フレームエラーカウンタ

選択的ウェイクアップ機能が有効化され、 $t_{SILENCE}$ が満了すると、CAN フレームエラーカウンタは 0 にリセットされます。このエラーカウンタは、デバイスが検出した CAN フレームエラーを集計します。エラーカウンタは 8'h45 に配置され、FRAME_CNTx と呼ばれます。

初期値は 0 で、受信フレームエラー (スタッフビット、CRC、または CRC デリミタの形式エラー) が検出されるたびに 1 増加します。カウンタが 0 でない場合、正しく受信された CAN フレームごとに 1 減少します。デバイスが CAN FD フレームに対してパッシブ設定の場合、CAN FD と判定されたフレームはフレームエラーカウンタに影響しません (増加または減少なし)。有効な従来の CAN フレームが受信され、かつカウンタが 0 でない場合、カウンタは 1 減少します。CRC デリミタとインターミッション終端の間に現れるドミナントビットは、フレームエラーカウンタを増加させません。

エラーカウンタが増減するたびに、デコーダユニットは nBits_idle 個のリセッパビットを待機してから、ドミナントビットをフレーム開始 (SOF) として認識します。従来の CAN フレーム受信後およびエラーシナリオにおける必須 SOF 検出の位置については、図 8-22 を参照してください。

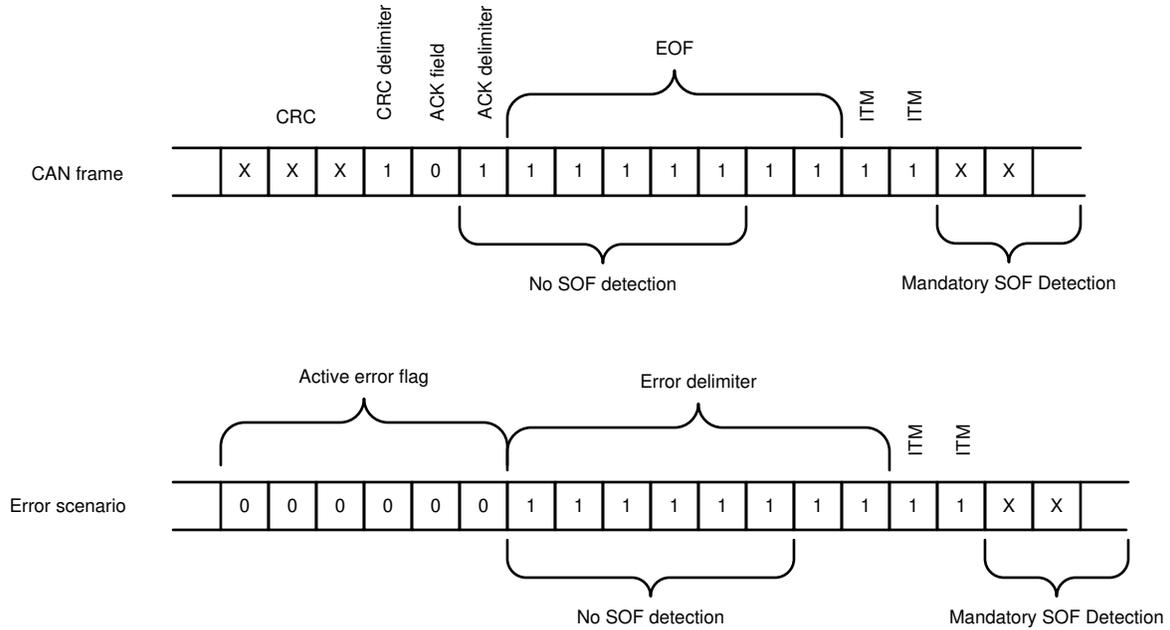


図 8-22. 従来 CAN フレーム後およびエラー シナリオにおける必須 SOF 検出

フレーム エラー カウンタ スレッシュホールドのデフォルト値は 31 であり、32 回目のエラーでフレーム オーバーフロー フラグ (FRAME_OVF) が設定されます。

WUP が送信されると、CAN バスはリセッスティブ レベルへバイアスされ、WUF 受信器がアクティブになります。ビットレートが 500kbps 超の場合は最大 8 フレーム、それ以外は最大 4 フレームまでの連続する従来 CAN のデータやリモートフレームで、バイアス応答時間 t_{Bias} 経過後に開始したものは無視されます。これらのフレームについては、エラー カウンタは増加せず、故障扱いにもなりません。エラーがないのにエラーと判定されて (エラーカウンタが増える) こともありません。

CEFF で受診したフレームについては、予約済みビット (SRR、r0) が公称値以外でも、エラー カウンタは増加しません。

フレーム エラー カウンタは 8'h46 のフレーム エラー カウンタ スレッシュホールド (FRAME_CNT_THRESHOLD) と比較されます。カウンタがスレッシュホールドをオーバーフローすると、フレーム エラー オーバーフロー フラグ (FRAME_OVF) が設定されます。フレーム エラー カウンタのスレッシュホールドのデフォルト値は 31 で、32 回目のエラーでオーバーフロー フラグが設定されます。但し、アプリケーションで異なるオーバーフローのスレッシュホールドが必要な場合は、FRAME_CNT_THRESHOLD レジスタに必要な値を書き込んでください。

カウンタのリセットは、フレーム検出の無効化、CANSLNT フラグのセット、およびレジスタ 8'h46 = 1b の設定によって行われます。

検出されるエラーの説明は以下のとおりです。

- **スタップ ビット エラー:** 同一状態 (同レベル) のビットが 6 連続で受信された場合に検出されます。CAN のメッセージコーディングでは、データ ストリームの当該ビット位置にスタップ ビットが挿入されているはずですが。
- **CRC エラー:** CRC シーケンスは、送信ノードで計算された CRC の結果です。このデバイスも送信ノードと同一の多項式で CRC を計算します。CRC シーケンスの結果と計算結果が一致しない場合、CRC エラーが検出されます。
- **CRC デリミタ エラー:** CRC デリミタのビット位置は 論理 High (リセッスティブ) と定義されています。この位置で誤った状態 (論理 Low/ドミナント) が受信された場合、CRC デリミタ エラーを検出します。

8.4.5.8 CAN-FD フレーム許容

FD フォーマット インジケータ (FDF) の後にドミナントの予約済みビットを受信すると、デコーダは n_{Bits_idle} のリセッスティブ ビットを待機し、次に現れるドミナントビットを図 8-22 に従って SOF と見なします。表 8-3 に、 n_{Bits_idle} の定義を示しています。

表 8-3. 次の SOF までに要するリセッパ・ビット数

パラメータ	表記	値	
		最小値	最大値
新しい SOF を受け付ける前に必要なリセッパ ビット数	nBits_idle	6	10

異なるアービトレーション フェーズとデータ フェーズのビットレート組み合わせをサポートするため、2 種類のビット フィルタが用意されています。レジスタ 8'h47[4] で pBitfilter のオプションを選択します。

- ビット フィルタ 1: データ フェーズのビットレートは、アービトレーション レートの 4 倍、または 2Mbps のいずれか小さい方までサポートします
- ビット フィルタ 2: データ フェーズのビットレートは、アービトレーション レートの 10 倍、または 5Mbps のいずれか小さい方までサポートします

ドミナント信号の継続時間が、アービトレーション フェーズのビット時間に対する pBitfilter の最小値以下 (表 8-4 参照) の場合は無効とみなし、リセッパ ビット カウンタはリスタートしません。一方、ドミナント信号の継続時間が pBitfilter の最大値以上であれば、リセッパ ビット カウンタはリスタートします。

表 8-4. 次の SOF までに要するリセッパ・ビット数

パラメータ	表記	値	
		最小値	最大値
CAN FD データ フェーズ ビットフィルタ 1	pBitfilter1	5.00%	17.50%
CAN FD データ フェーズ ビットフィルタ 2	pBitfilter2	2.50%	8.75%

8.4.6 フェイルセーフ機能

TCAN1576-Q1 は、ノード側のシステム不具合発生時にノードの消費電力を低減するためのフェイルセーフ機能を備えています。本機能はスリープとフェイルセーフの 2 つの動作モードに分かれます。

8.4.6.1 スリープ ウェーク エラーによるスリープ モード

スリープ ウェーク エラー (SWE) タイマは、特定の外部および内部機能が動作しているかを判定するためのタイマで、デフォルトでは無効です。図 8-23 は、フェイルセーフ モードが有効なときに SWE タイマがオンになって開始する場合、またはオフになる場合の概要を示しています。この機能は、8'h1C[7] SWE_EN を 1b に設定すると有効になります。

有効にしている場合、デバイスが CAN バスの WUP でウェークアップするか、ローカル ウェークの後にスタンバイ・モードへ入ります。スタンバイ モードに入ると、t_{SILENCE} および t_{INACTIVE} タイマが起動し、t_{INACTIVE} が満了するとデバイスはスリープ・モードに再移行します。さらに、CANINT、LWU、または FRAME_OVF を受信してスリープ モードからスタンバイモードへ遷移した場合、プロセッサは t_{INACTIVE} が満了するまでに該当フラグをクリアし、デバイスを通常モードへ移行させる必要があります。これが行われないと、デバイスはスリープ モードに入ります。スタンバイ、通常、またはリッスン モード中に、t_{SILENCE} (SWE_EN=1b) または CANSLNT (SWE_DIS=0b) が t_{INACTIVE} の間継続すると、デバイスはスリープ・モードに入ります。これを発生させるイベントの例として、プロセッサが動作しておらず SPI バスを操作できない場合、あるいはスリープ指示コマンドが入力されてもプロセッサがそのコマンドを受信できない、または応答できない場合が挙げられます。

注

TCAN1576-Q1 で INH/LIMP ピンを LIMP ピンとして構成している場合は、t_{INACTIVE} が満了すると LIMP ピンがアサートされ、プロセッサがオフにするまでその状態が維持されます。

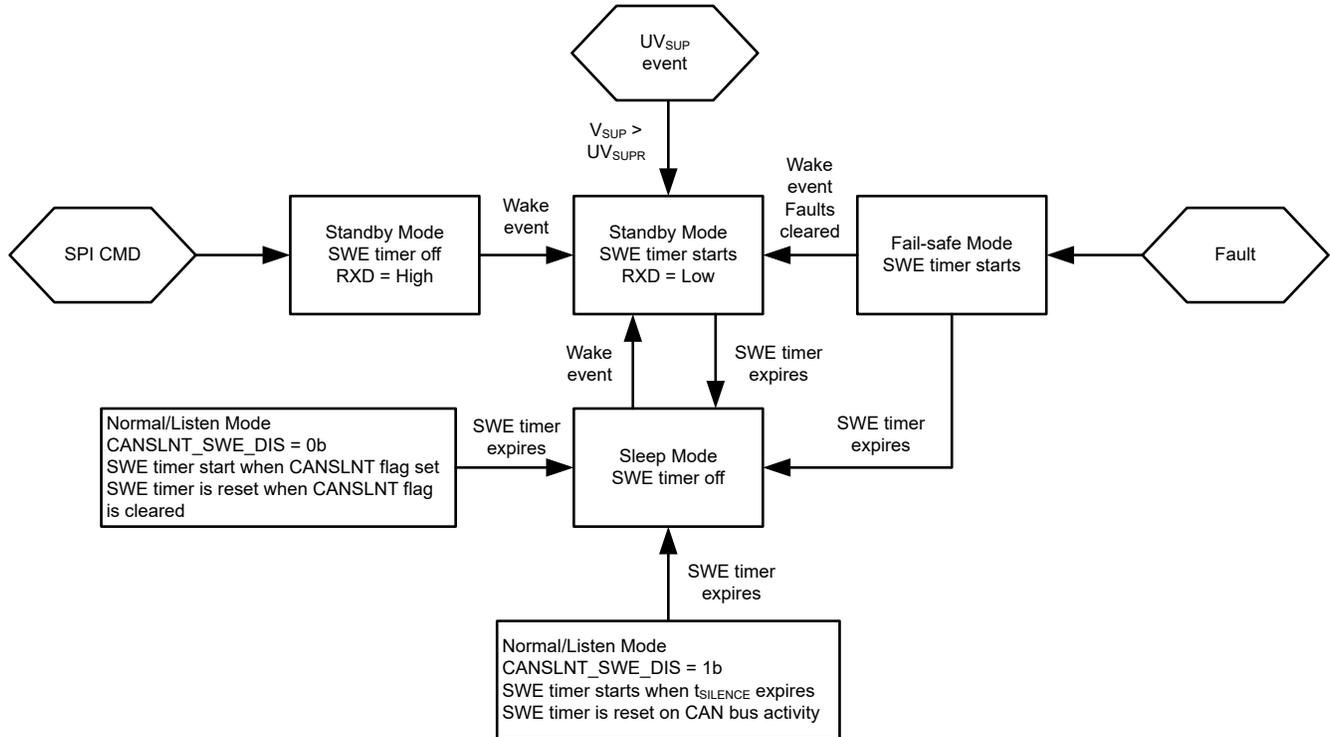


図 8-23. スリープ ウェーク エラー (SWE) タイマ有効時の動作

8.4.6.2 フェイルセーフ モード

フェイルセーフ モードは、さまざまなフォルトによって、デバイスが移行する可能性のある低消費電力モードです。このモードに入ると、SWE を有効にしている場合は SWE タイマが開始します。これにより、フォルトをクリアして、ウェーク イベントを受信するための猶予時間が与えられます。 $t_{INACTIVE}$ の前にフォルトがクリアされない、あるいはウェーク イベントが発生しない場合、消費電力を低減するためにデバイスはスリープ モードへ移行します。デバイスが正しい動作モードに移行するためには、ウェーク イベントが認識される前にフォルトをクリアしておく必要があります。このモードはデフォルトで有効になっており、レジスタ 8'h17[0]= 1b に設定すると無効化されます。また、イベントが連続して一定回数以上発生した場合、あらかじめ設定されたアクション (スリープへの移行など) を実行するフェイルセーフ モード カウンタも用意されています。なお、この状態では WUP や LWU のイベントではデバイスはウェークしません。パワーオンリセットが必要です。カウンタは既定では無効で、レジスタ 8'h17[7] で有効化されます。8'h17[6:4] でカウンタ満了時のアクションを指定し、設定したアクション実行までのイベント回数は 8'h18[7:4] で設定します (最大 15 回)。8'h18[3:0] は、読み取りおよびクリアが可能なフェイルセーフ イベントの加減算カウンタとして動作します。

フェイルセーフ モードに入ると、8'h53[5] でグローバル割り込みが発行され、フェイルセーフ モードに移行する理由は、レジスタ 8'h17[3:1] によって示されます。

注

- フェイルセーフ カウンタは発生する各イベントをカウントします。「連続して」とは、カウンタがクリアされないままイベントが発生し続けることを意味し、一定時間内に発生するという意味ではありません。
- フェイルセーフ カウンタは、デバイスがフェイルセーフ モードに入るたびにリセットを行い、意図しないアクションが実行されないようにします。
- フェイルセーフ モードに移行すると、CAN_WUP_DIS ビットおよび SW_EN ビットがクリアされます。これらを使用する場合は、再設定が必要です。

8.4.7 保護機能

TCAN1576-Q1 には、以下のとおり複数の保護機能が備わっています。

8.4.7.1 ドライバおよびレシーバ機能

TXD ピンおよび RXD ピンは、プロセッサと CAN 物理層トランシーバ間の入出力ピンです。これらのデバイスのデジタルロジックの入出力レベルは、TTL レベルで、1.8V、3.3V、5V のロジックまたは I/O を持つプロトコル コントローラと互換性があります。表 8-5 および 表 8-6 に、各モードでの CAN ドライバと CAN レシーバの状態を示します。

表 8-5. ドライバ機能表

デバイス モード	TXD 入力	バス出力		駆動されているバスの状態
		CANH	CANL	
通常	L	H	L	ドミナント
	H または開放	Z	Z	バイアスリセッシブ
スタンバイ	X	Z	Z	弱プルダウン (GND 方向)
リッスン	X	Z	Z	約 2.5V にバイアス
スリープ	X	Z	Z	弱プルダウン (GND 方向)

表 8-6. 通常およびサイレント モードのレシーバ機能表

デバイス モード	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD 端子
通常 / リッスン	$V_{ID} \geq 0.9 V$	ドミナント	L
	$0.5V < V_{ID} < 0.9 V$	未定義	未定義
	$V_{ID} \leq 0.5V$	リセッシブ	H
スタンバイ / スリープ	$V_{ID} \geq 1.15 V$	ドミナント	図 8-13 を参照してください。
	$0.4V < V_{ID} < 1.15 V$	未定義	
	$V_{ID} \leq 0.4V$	リセッシブ	
任意	開放 ($V_{ID} \approx 0 V$)	開放	H

8.4.7.2 端子のフローティング

重要な端子には内部プルアップがあり、端子がフローティングした場合でも、デバイスを既知の状態に保持するようになっています。端子バイアスの条件の詳細については、表 8-7 を参照してください。

表 8-7. 端子バイアス

端子	プルアップまたはプルダウン	備考
SCK	プルアップ	弱いバイアス入力
SDI	プルアップ	弱いバイアス入力
nCS	プルアップ	デバイスを選択しないように、入力を弱くバイアスします
RXD	プルアップ	CAN トランシーバがオフのときに有効です。
TXD	プルアップ	弱いバイアス入力

注

内部バイアスは、特にノイズの多い環境では唯一の終端として依存すべきではありませんが、フェイルセーフ保護として考慮されます。オープンドレイン出力を使用する MCU と組み合わせてこのデバイスを使用する場合には、特に注意が必要です。

8.4.7.3 TXD ドミナント タイムアウト (DTO)

TCAN1576-Q1 は、ドミナント状態のタイムアウトをサポートしています。これは、TXD バスに基づく内部機能です。TXD DTO 回路は、TXD がタイムアウト期間 t_{TXD_DTO} よりも長くドミナント (LOW) に保持されるハードウェアまたはソフトウェア

の障害が発生した場合に、ローカル ノードがネットワーク通信をブロックすることを防ぎます。TXD DTO 回路は、TXD の立ち下がりエッジでトリガされます。TXD 端子に立ち上がりエッジが検出されず、回路のタイムアウト定数 t_{TXD_DTO} がクリアされない場合、CAN ドライバは無効化されます。これにより、ネットワーク上の他のノード間の通信のためにバスが解放されます。TXD 端子にリセッパ信号 (HIGH) が検出されると、CAN ドライバは再び有効になり、ドミナント タイムアウトがクリアされます。レシーバはアクティブに維持され、RXD 端子は CAN バスのアクティビティを反映し、TXD DTO の故障中、バス端子はリセッパ レベルにバイアスされます。この機能は、レジスタ 8'h10[6]= 1b、DTO_DIS に設定することで無効化されます。

注

TXD DTO 回路で許容される最小ドミナント TXD タイムにより、デバイスの可能な最小送信データ レートが制限されます。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナント ビットを許容しています。この場合、5 個の連続したドミナント ビットの直後にエラー フレームが発生します。

8.4.7.4 CAN バスの短絡電流制限

これらのデバイスには、CAN バス ラインが短絡したときに短絡電流を制限するいくつかの保護機能があります。これらには、CAN ドライバの電流制限 (ドミナントとリセッパ) が含まれます。このデバイスには TXD ドミナント タイムアウト機能があり、システム障害によってドミナント状態が固定されて高い短絡電流が恒常的に流れ続けることを防止します。CAN 通信中、バスはドミナント状態とリセッパ状態の間で切り替わります。したがって、短絡電流は、各バス状態における電流として、または DC 平均電流として見ることができます。終端抵抗や同相モード チョークの定格において、システムの電流・電力を考慮する場合、平均短絡電流を使用します。パーセンテージドミナントは、TXD ドミナント タイムアウト、ビット スタッフィング、制御フィールド、インタフレーム スペースといった強制的に状態変化やリセッパ ビットを挿入する CAN プロトコルの仕様によって制限されます。これにより、たとえデータ フィールド内にドミナント ビットが高い割合で含まれていたとしても、バス上には最低限のリセッパ時間が必ず確保されます。

注

バスの短絡電流は、リセッパ ビットとドミナントビットの比率と、それぞれの短絡電流に依存します。平均短絡電流は、式 1 で計算できます。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times IOS(SS)_REC) + (\%DOM_Bits \times IOS(SS)_DOM)] + [\%Receive \times IOS(SS)_REC] \quad (1)$$

ここで

- $I_{OS(AVG)}$ は平均短絡電流です。
- %Transmit は、ノードが CAN メッセージを送信している割合です。
- %Receive は、ノードが CAN メッセージを受信している割合です。
- %REC_Bits は、送信された CAN メッセージ内のリセッパ ビットの割合です。
- %DOM_Bits は、送信された CAN メッセージ内のドミナント・ビットの割合です。
- IOS (SS) _REC はリセッパ定常状態の短絡電流、IOS (SS) _DOM はドミナント定常状態の短絡電流です。

注

ネットワークの短絡電流および想定されるフォルト事例は、終端抵抗の電力定格、その他のネットワーク部品の定格、ならびに V_{SUP} を生成する電源の定格を決める際に考慮されます。

8.4.7.5 サーマル シャットダウン

TCAN1576-Q1 には、熱イベントに対して 2 つのトリガ ポイントがあります。1 つ目はサーマル シャットダウン警告で、温度がこの制限値を超えると、割り込みが発生します。2 つ目は、実際のサーマルシャットダウン (TSD) イベントで、デバイス保護のための動作です。デバイスの接合部温度がサーマル シャットダウンのスレッシュホールドを超えると、デバイスは CAN トランシーバおよび関連回路をオフにし、バスへの送信経路をブロックします。サーマル シャットダウンの割り込みフラグが設定され、マイクロプロセッサに通知するように割り込みが挿入されます。このイベントが発生した場合、たとえば CAN バ

スが V_{BAT} に短絡するなどのバス フォルトに対応する他の割り込みフラグが同時に設定されることがあります。この場合、デジタル コアと SPI インターフェイスは引き続き動作しています。約 300ms の時間が経過した後、デバイスは接合温度を再確認します。サーマル シャットダウン タイマ t_{TSD} は、TSD フォルト発生時に開始し、TSD タイマの満了時点で TSD フォルトが解消されていれば、デバイスはスリープ モードへ移行します。サーマル シャットダウン プロテクト モードは、デバイスを通常モードまたはスタンバイ モードに変更するための SPI 書き込みは無視されますが、スリープ モードへの変更の書き込みは受け付けられます。

TSD イベントが発生し、フェイルセーフ モードが有効になっている場合は、基本的な処理は同様ですが、サーマル シャットダウン保護状態に入る代わりに、フェイルセーフ モードに入ります。

注

デバイスが V_{IO} の低電圧状態にある間にサーマル シャットダウン イベントが発生した場合、フェイルセーフ モードが無効であれば、スリープ モードに入ります。

8.4.7.6 低電圧誤動作防止 (UVLO) および電源オフのデバイス

TCAN1576-Q1 では、 V_{SUP} 、 V_{IO} 、 V_{CC} の 3 系統について低電圧イベントが監視されています。各電源端子は TCAN1576-Q1 には、 UV_{SUP} 、 UV_{CC} 、 UV_{IO} の 3 つの電源端子が入力源として存在し、それぞれに低電圧検出回路が搭載されています。いずれかの電源で低電圧障害が発生した場合、本デバイスは保護状態に移行します。これにより、これらの端子で低電圧が生じた際にもバスが保護されます。スタンバイ モード中に V_{SUP} で低電圧イベントが発生すると、デバイスは内部レギュレータを維持するための電源を失い、マイクロプロセッサと TCAN1576-Q1 間の通信が無効になる状態に移行します。この状態では、TCAN1576-Q1 はバスから情報を受信できず、BWRR 信号によるバス ウェークなど、バスからマイクロプロセッサにいかなる信号も中継しません。表 8-9 を参照してください。低電圧イベントについては、 t_{UVFLTR} というフィルタ時間が設定されており、事象の継続時間がこのフィルタを超えると t_{UVSLP} タイマが起動します。 t_{UVSLP} が満了した時点で低電圧状態が継続している場合、デバイスはスリープ モード、またはフェイルセーフ モードが有効な場合はそちらへ移行します。

8.4.7.6.1 UV_{SUP} 、 UV_{CC}

UV_{SUP} が UV_{SUPF} を下回った場合、デバイスは通常スタンバイ・モードに移行します (ただし、すでにスリープ・モードにある場合を除きます)。スリープモード中に UV_{SUP} イベントが発生しても、デバイスはスタンバイ モードへは遷移しません。 UV_{SUP} イベントが発生すると、INH ピンはオフになります。 V_{SUP} が UV_{SUP} を上回ると、INH ピンがオンになり、SWE タイマが (有効時には) 開始されます。さらに、 V_{SUP} が $V_{SUP(PUF)}$ を下回ると、POR レベルに到達し、TCAN1576-Q1 は全ての機能をシャットダウンします。 V_{SUP} が復帰すると、デバイスは初期の電源投入と同じ状態で起動します。すべてのレジスタがクリアされるため、再設定が必要です。 V_{CC} ピンに低電圧イベントが発生した場合、デバイスは t_{UVSLP} タイマを開始して、それが実際のイベントであるかどうかを判定します。タイマが満了すると、デバイスの設定に応じてフェイルセーフモードまたはスリープ モードに移行します。(図 8-24 を参照)。TCAN1576-Q1 は、 V_{CC} 入力に過電圧保護機能も備えています。過電圧を検出すると、デバイスの設定に応じてフェイルセーフ モードまたはスリープ モードに移行します。表 8-8 に、 V_{SUP} と V_{CC} の関係を示しています。

表 8-8. UV_{SUP} 、 UV_{CC}

V_{SUP}	V_{CC}	デバイスの状態	BUS	RXD
$> UV_{SUP}$	$> UV_{CC}$	通常	TXD ごと	ミラー・バス
$> UV_{SUP}$	$< UV_{CC}$	フェイルセーフまたはスリープ	高インピーダンス	High (リセッパ)
$< UV_{SUP}$	該当なし	電源オフ	高インピーダンス	高インピーダンス

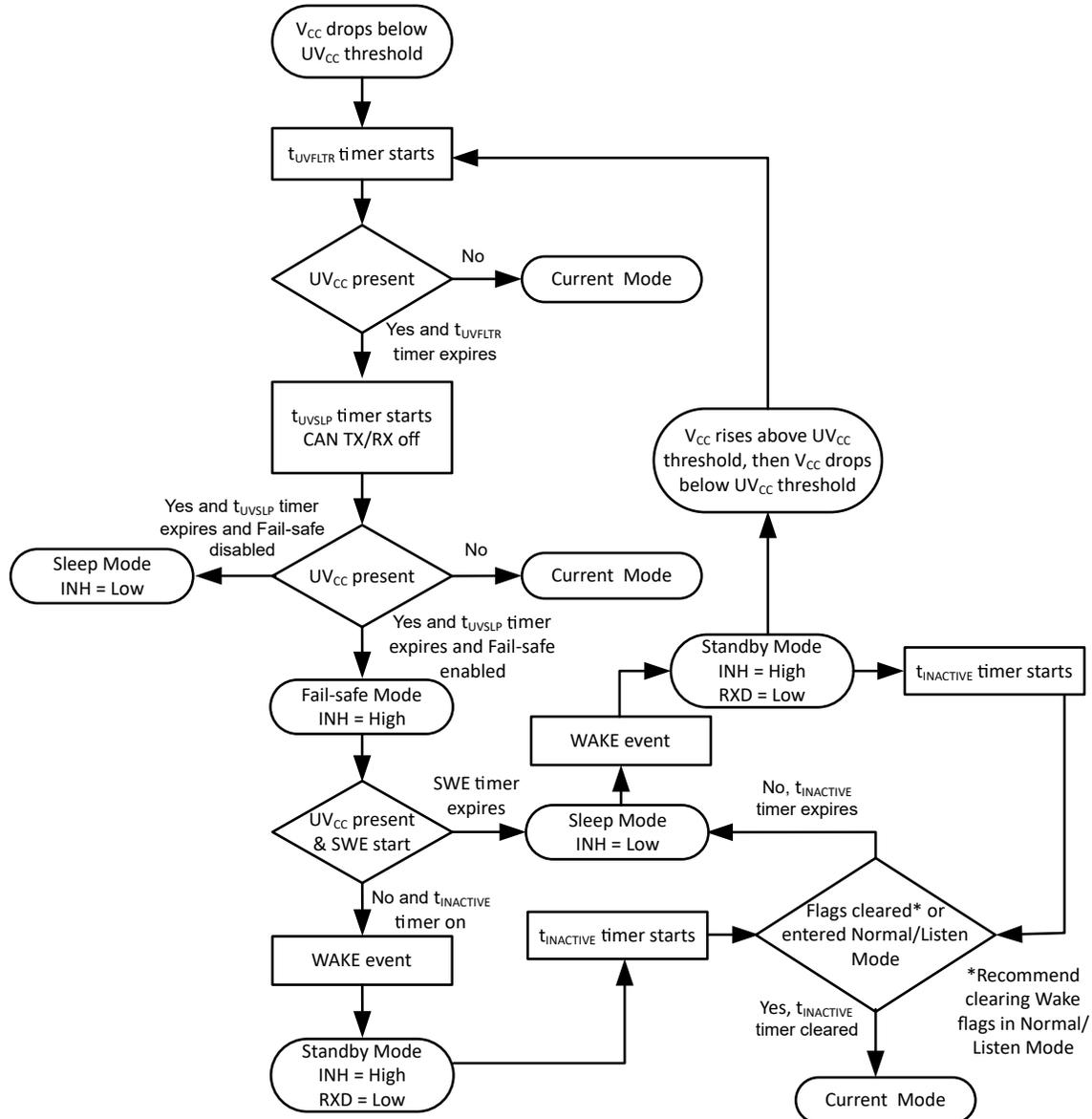


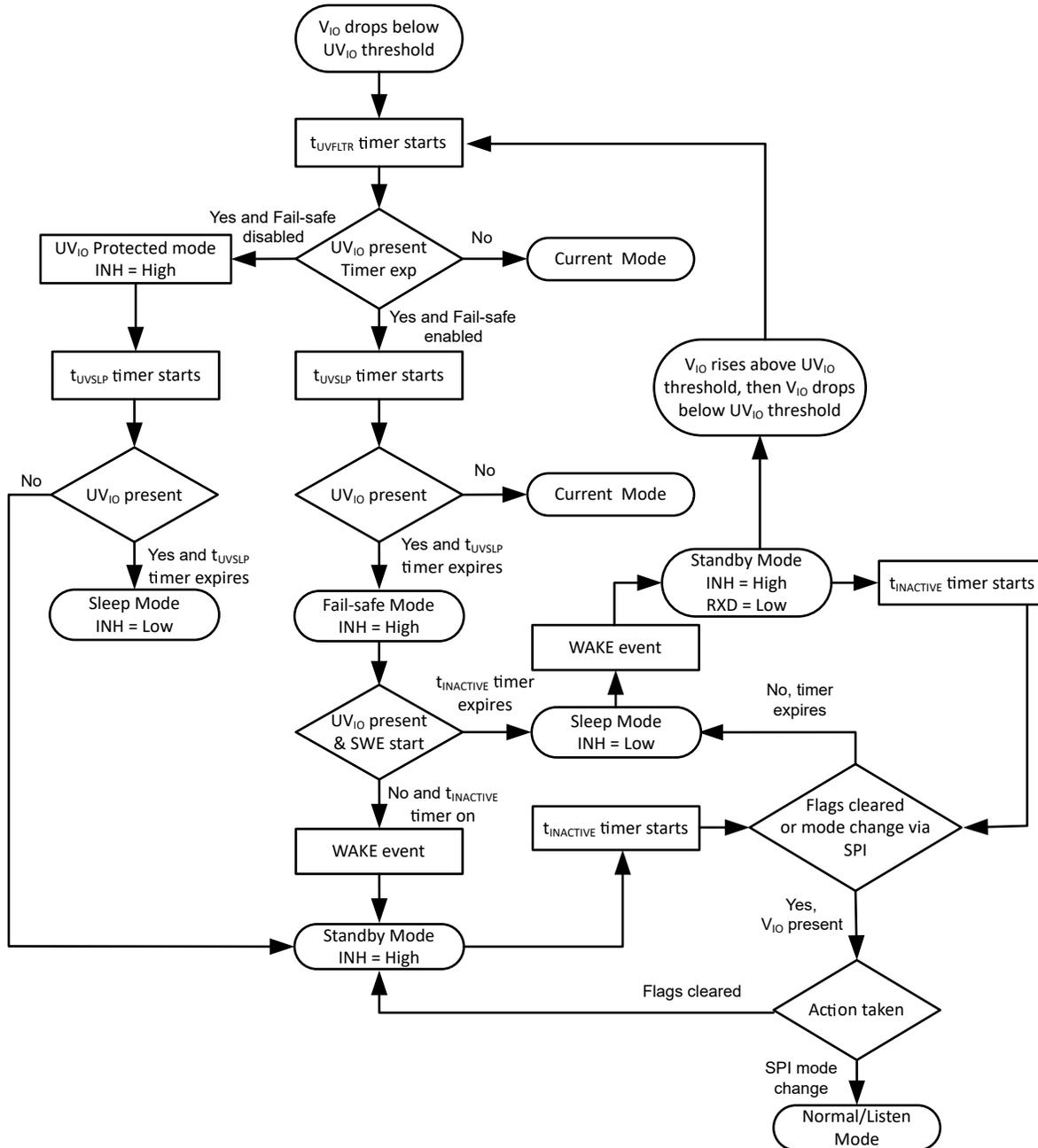
図 8-24. UV_{CC} の状態図

注

SWE タイマおよび $t_{INACTIVE}$ に関する分岐処理は、レジスタ 8'h1C[7] SWE_EN = 1b に設定されている場合に有効です

8.4.7.6.2 UV_{IO}

V_{IO} が UV_{IO} の低電圧検出を下回ると、いくつかの機能が無効化されます。トランシーバのスイッチがオフになり、V_{IO} が回復するまでバスから切り離されます。UV_{IO} がトリガされると、 t_{UV} タイマが開始します。タイマが満了しても、UV_{IO} 状態が継続している場合、デバイスはスリープモードに移行します。(図 8-10、図 8-11 を参照)。一度、スリープモードに入ると、TCAN1576-Q1 をスタンバイモードに移行させ、INH ピンを有効にするにはウェイクイベントが必要です。スリープモードでレジスタがクリアされるため、UV_{IO} 割り込みフラグは失われます。UV_{IO} イベントが継続している場合は、このサイクルが繰り返されます。サーマルシャットダウンイベント中に UV_{IO} イベントが発生すると、デバイスは自動的にスリープモードに移行します。図 8-25 に UV_{IO} の動作を示しています。

図 8-25. UV_{IO} の状態図

注

SWE タイマおよび t_{INACTIVE} に関する分岐処理は、レジスタ 8'h1C[7] SWE_EN = 1b に設定されている場合に有効です。

デバイスに電源が供給されていないときは、CAN バスに対してパッシブまたは無負荷となるように設計されています。デバイスが無給電のとき、バス端末 (CANH、CANL) のリーク電流は非常に小さく、バスに負荷をかけません。この特性は、ネットワーク内の一部のノードが無給電でも、他のノードが動作を継続している状況において非常に重要です。また、ロジック端子も無給電時のリーク電流が小さく、他の給電中の回路への負荷を避けます。

UVLO 回路は、電源レールの立ち上がり時と立ち下がり時の両方を監視します。

8.4.7.6.2.1 フォルト動作

UV_{IO} 、 UV_{CC} 、または TSD フォルトの間 TCAN1576-Q1 は自動的に以下を実行して、デジタル コアを既知の状態に維持します。

表 8-9. 低電圧ロックアウトおよび I/O レベル シフトデバイス

V_{SUP}	V_{IO}	V_{CC}	デバイスの状態	BUS	RXD
$> UV_{SUP}$	$> UV_{IO}$	$> UV_{CC}$	通常	TXD ごと	ミラー・バス
$> UV_{SUP}$	$> UV_{IO}$	$< UV_{CC}$	フェイルセーフまたはスリープ	高インピーダンス	High (リセッシブ)
$< UV_{SUP}$	$> UV_{IO}$	該当なし	電源オフ	高インピーダンス	High (リセッシブ)
$> UV_{SUP}$	$< UV_{IO}$	$> UV_{CC}$	フェイルセーフまたは UV_{IO} 保護→スリープ	高インピーダンス	高インピーダンス
$> UV_{SUP}$	$< UV_{IO}$	$< UV_{CC}$	フェイルセーフまたはスリープ	高インピーダンス	高インピーダンス
$< UV_{SUP}$	$< UV_{IO}$	該当なし	電源オフ	高インピーダンス	高インピーダンス

注

低電圧状態および割り込みフラグがクリアされ、 V_{SUP} 電源が正常なレベルに戻った後、デバイスは通常動作へ移行するために t_{MODE_x} の時間が必要です。この遷移時間が完了するまで、ホスト プロセッサはメッセージの送受信を行わないようにします。 V_{SUP} に低電圧イベントが発生した場合、デバイスはプロテクト モードに移行し、ウェイクアップレシーバがディセーブルを無効化し、RXD 出力を高インピーダンス状態にします。

8.4.7.7 ウォッチドッグ (TCAN1576-Q1)

TCAN1576-Q1 は、ウィンドウ ウォッチドッグ、タイムアウト ウォッチドッグ、Q&A (質問と回答による) ウォッチドッグという 3 種類のウォッチドッグ機能を統合しています。これらの機能は、SPI ピンを用いて高度に構成可能です。この機能はデフォルトでは無効です。ウォッチドッグが有効な場合、通常モードまたはスタンバイ モード (有効な場合) で、レジスタ 8'h15 に最初の入力トリガ イベントがあるまで、ウォッチドッグ タイマは開始しません。ウォッチドッグ タイマはスリープモード中はオフです。スリープモード中はウォッチドッグ機能が無効になっており、許可された動作モードのいずれかに移行した後、最初のウォッチドッグトリガーによって再び起動されます。これは、フェイルセーフ モードに移行した場合も同様です。

INH ピンは、ノードの電源をオフにしてから、300ms 後に再度オンにすることで、ノードリセットとして使用されます。この機能には、2 つのプログラム可能な構成があります。この機能を有効にするには、WD_CONFIG1 レジスタ 8'h13[1:0] の WD_ACT ビットを設定します (図 8-26 を参照)。INH ピンは LIMP 機能としてプログラムされており、外部回路と接続してリンプホーム機能を提供するように構成することもできます。それ以外の場合、nINT ピンがウォッチドッグ障害プログラムされた特定の動作を反映します。スリープ モード中、LIMP ピンは通常オフですが、オンの状態でスリープ モードに入った場合はそのままオンを維持します。LIMP ピンのオフ方法は、DEVICE_CONFIG1 レジスタ 8'h1A[3:2] の LIMP_SEL_RESET を用いてプログラムされます。エラー カウンタがウォッチドッグトリガーのイベントレベルに達すると、LIMP ピンがオンになり、 V_{SUP} がピンに接続されます (詳細は LIMP ピンの項を参照してください)。図 8-27 のウォッチドッグフローチャートでは、3 種類すべてのウォッチドッグ構成に共通する基本的な動作の流れと、INH ピンの代わりに LIMP ピンが有効化されている場合の一般的な動作を示しています。

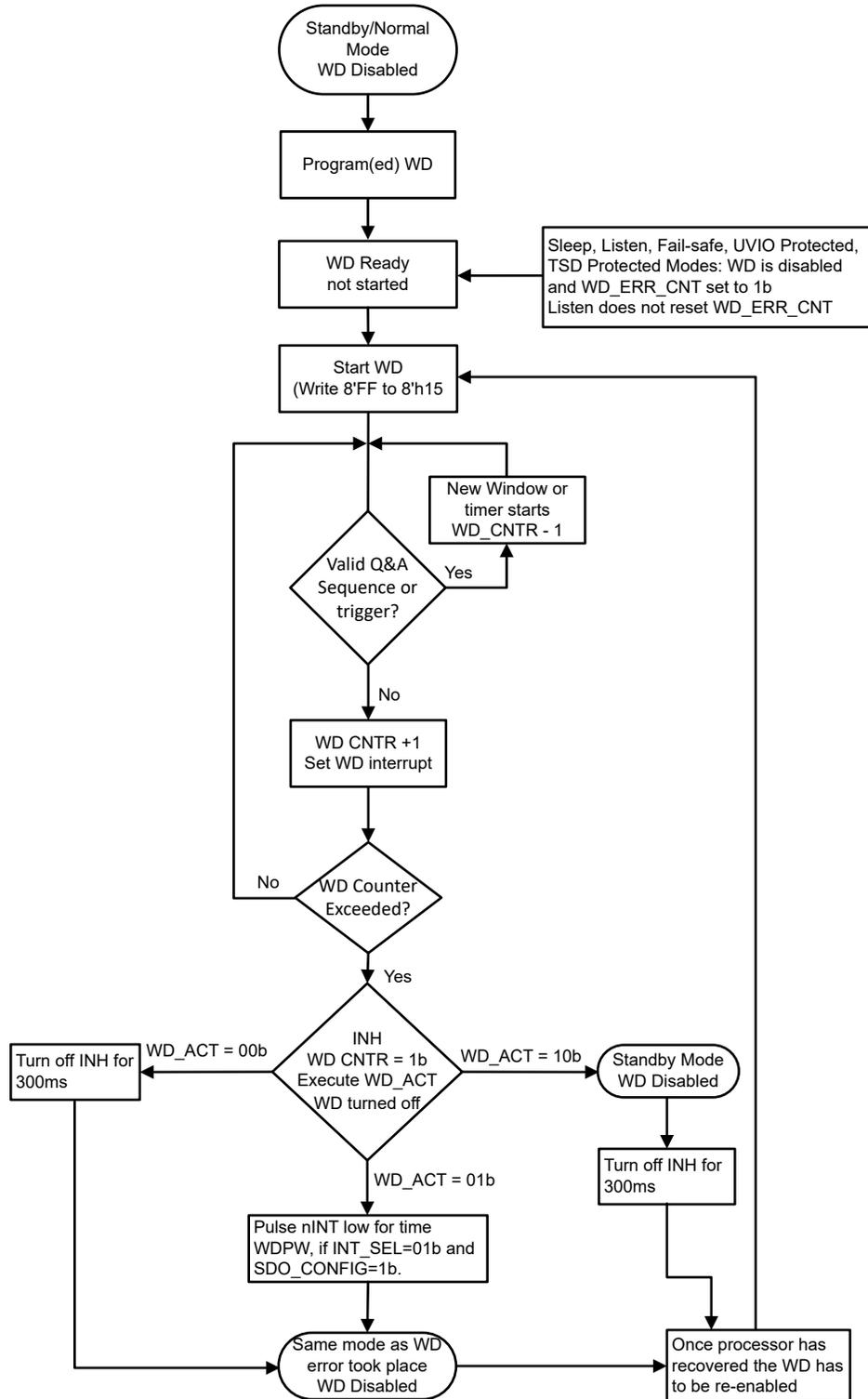


図 8-26. ウォッチドッグのフローチャート (INH ピン)

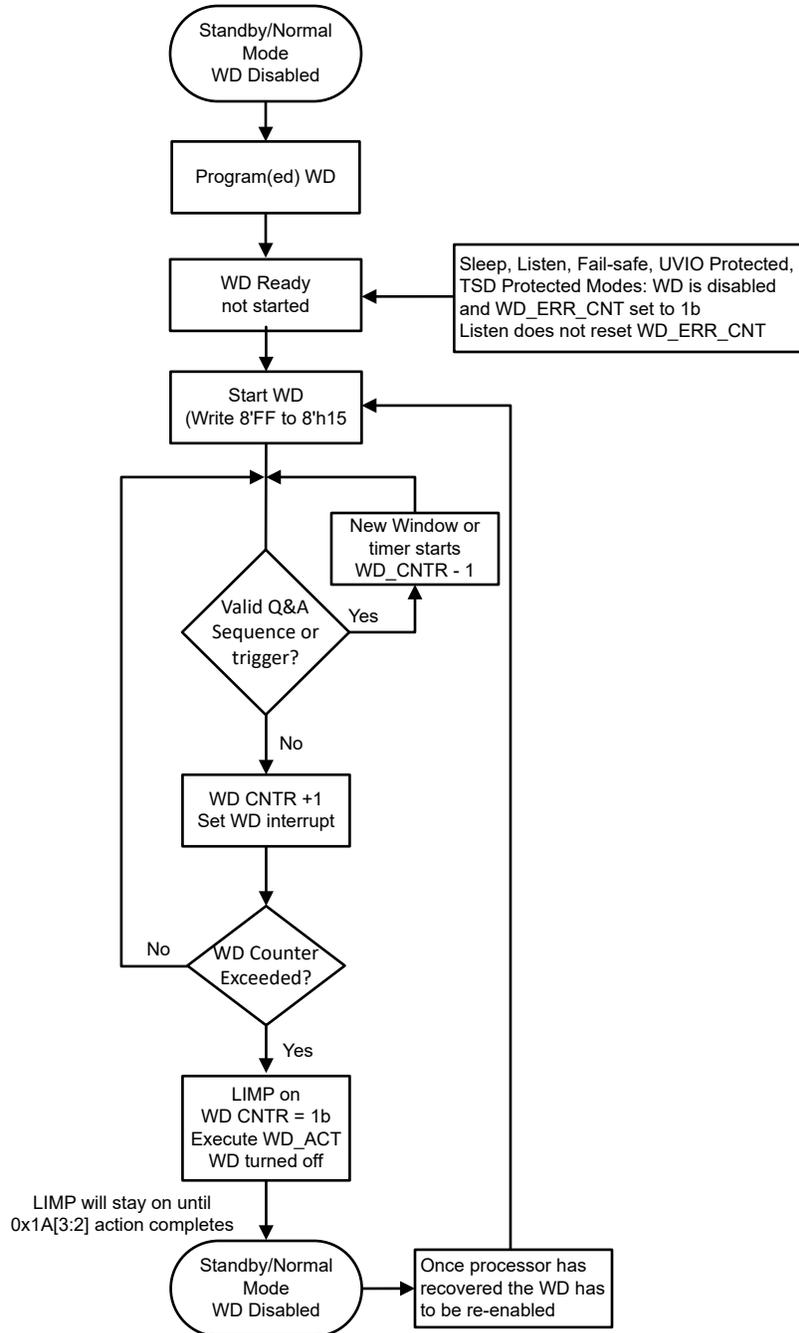


図 8-27. ウォッチドッグフローチャート (LIMP ピン)

8.4.7.7.1 ウォッチドッグエラーカウンタ

TCAN1576-Q1 にはウォッチドッグ エラー カウンタがあります。このカウンタはアップダウン カウンタで、ウィンドウを逃した場合やウォッチドッグの入力トリガーが不正であった場合にカウントアップします。正しい入力トリガーが行われた場合には、カウントダウンしますが、カウント値はゼロ未満にはなりません。このカウンタのデフォルトのトリガは、ウォッチドッグ エラー イベントをトリガするように設定されています。カウンタは、5 番目または 9 番目のエラーに変更できます。エラー カウンタは、レジスタ 8'h13[3:2] で読み取ることができます。

8.4.7.7.2 ウォッチドッグ SPI 制御プログラミング

ウォッチドッグはレジスタ 8'h13 ~ 8'h15 を使用して設定および制御されます。これらのレジスタの内容は、表 8-10. に記載します。TCAN1576-Q1 ウォッチドッグは、8'h13[7:6] を選択方式に設定することで、タイムアウト、ウィンドウまたは Q&A (質問と回答による) ウォッチドッグとして設定できます。タイムアウトおよびウィンドウ ウォッチドッグ タイマは、レジスタ 8'h13[5:4] WD プリスケールおよび 8'h14[7:5] WD タイマに基づいており、単位は ms です。設定可能な時間については、表 8-10 を参照してください。より短い時間ウィンドウを使用する場合は、タイムアウト方式のウォッチドッグを使用することを推奨します。これは、4ms ~ 64ms の時間です。

表 8-10. ウォッチドッグ ウィンドウおよびタイムアウト タイマの構成 (ms)

WD_TIMER (ms)	8'h13[5:4] WD_PRE			
	00	01 (デフォルト)	10	11
8'h14[7:5]	00	01 (デフォルト)	10	11
000 (デフォルト)	4	8	12	16
001	32	64	96	128
010	128	256	384	512
011	256	384	512	768
100	512	1024	1536	2048
101	2048	4096	6144	8192
110	10240	20240	RSVD	RSVD
1111	RSVD	RSVD	RSVD	RSVD

注

ウォッチドッグの動作中にタイミング パラメータが変更された場合、WD は新しいパラメータがプログラムされた後の最初の入力トリガイベントまで停止します。その時点で、WD は新しいタイミング パラメータに基づいて動作します。

8.4.7.7.2.1 ウォッチドッグ構成レジスタのロックとロック解除

TCAN1576-Q1 には、ウォッチドッグ構成レジスタの不意な変更を防ぐために、ウォッチドッグ構成レジスタのロックおよびロック解除機能が実装されています。この対象となるレジスタは、8'h13、8'h14、8'h16、8'h2D です。これらのレジスタは、スタンバイ モードでのみプログラムが可能です。8'h15 への WD トリガ書き込みによって、これらのレジスタは自動的にロックされます。一度これらのレジスタがロックされると、それらへの SPI 書き込みは WD 障害と見なされます。これらのレジスタのロックを解除するには、デバイスが通常モードまたはリッスン モードからスタンバイ モードに遷移する必要があります (図 8-28 を参照)。ロック解除は、各レジスタへの 1 回の書き込みに対して有効です。

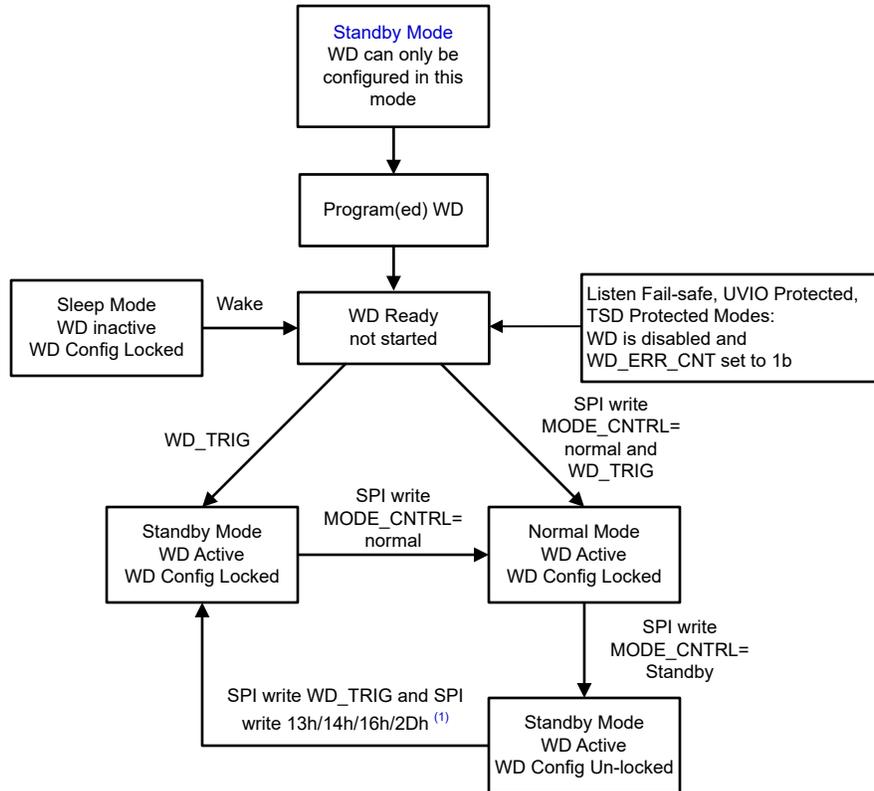


図 8-28. ウォッチドッグのロック / ロック解除フローチャート

注

(1) レジスタ 8'h13、8'h14、8'h16、8'h2D では、スタンバイモードに移行した後、再ロックされる前に各 1 回の書き込みが許可されます。

8.4.7.7.3 ウォッチドッグ タイミング

TCAN1576-Q1 には、ウォッチドッグを設定するための 3 つの方法があります。64ms 未満の、より高頻度な入力トリガ イベントが必要な場合は、タイムアウト タイマの使用が推奨されます。これは、タイムアウト タイマが特定のオープン ウィンドウに依存せず、時間内にイベントが発生するかどうかで動作するためです。

ウィンドウウォッチ ドッグを使用する場合、クローズ ウィンドウとオープン ウィンドウの特徴を理解しておくことが重要です。TCAN1576-Q1 は、内部発振器を基準として±10% の精度範囲を持ち、50%/50% のオープン ウィンドウおよびクローズド ウィンドウで設定されています。入力トリガを提供するタイミングを決定するには、このばらつきを考慮する必要があります。公称合計 60ms のウィンドウを使用すると、それぞれ 30ms のクローズ ウィンドウとオープン ウィンドウが得られます。±10% の内部発振器を考慮すると、合計ウィンドウは 54ms、 t_{WINDOW} 、MIN または 66ms、 t_{WINDOW} MAX になります。閉およびオープン ウィンドウは 27ms、 T_{WDOUT} 最小値または 33ms、 T_{WDOUT} 最小値になります。合計 54ms、クローズ ウィンドウ 33ms から、オープン ウィンドウの合計は 21ms になります。トリガ イベントは、43.5ms±10.5ms の安全トリガ領域で発生する必要があります。他のウィンドウ値にも同じ方法が使用されます。図 8-29 は、上記の情報を図示しています。WD トリガが書き込まれると、現在のウィンドウは終了し、新しいクローズ ウィンドウが開始されます。

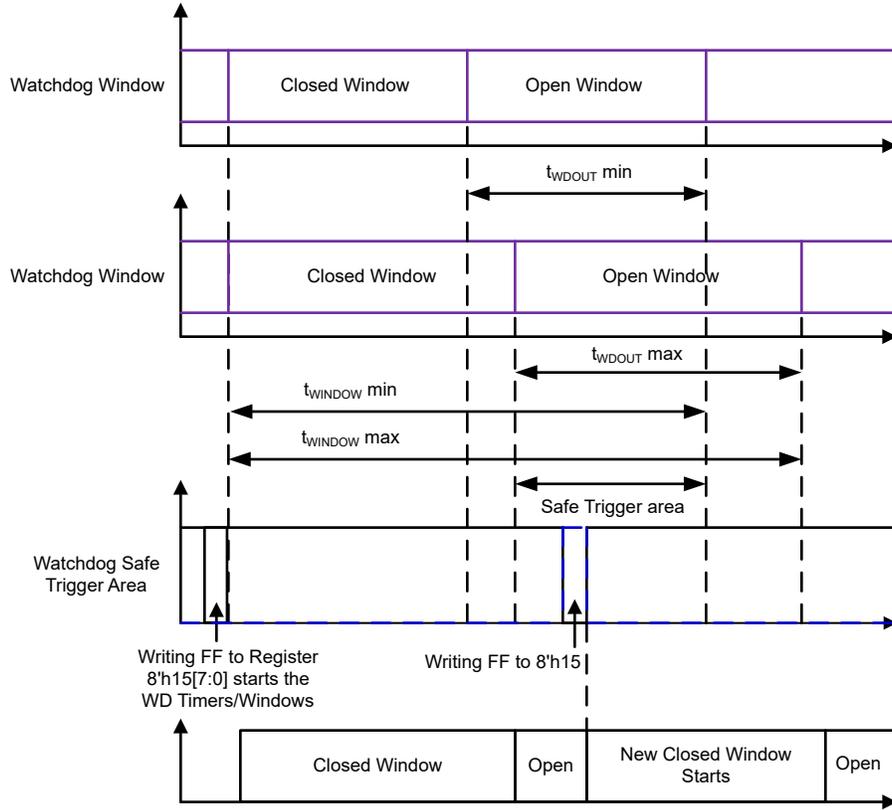


図 8-29. ウィンドウ ウォッチドッグのタイミング図

8.4.7.7.4 Q&A ウォッチドッグ

TCAN1576-Q1 には、SPI から選択可能な Q&A 方式のウォッチドッグ機能が搭載されています。この機能はデフォルトでは無効になっています。

『Q&A WD の例』では、WD の初期化イベントについて説明します。

8.4.7.7.4.1 WD Q&A 基本情報

Q&A ウォッチドッグは、単に SPI 書き込みでウォッチドッグをリセットするのではなく、マイコンが TCAN1576-Q1 から「質問」を読み取り、その質問に基づいて計算を行い、求めた「回答」を TCAN1576-Q1 に書き戻す必要があるタイプのウォッチドッグです。正しい回答は 4 バイトの応答で構成されます。正しい答えを得るには、各バイトを順番に正しいタイミングで書き込む必要があります。

ウォッチドッグのウィンドウは 2 つあり、WD 応答ウィンドウ #1 および WD 応答ウィンドウ #2 (例は、[図 8-31 WD Q&A ウィンドウ](#)を参照) と呼ばれます。各ウィンドウの大きさはウォッチドッグの総ウィンドウ時間 $t_{WD_RESP_WIN1} + t_{WD_RESP_WIN2}$ の 50% で、WD_TIMER および WD_PRE レジスタビットから選択されます。

ウォッチドッグの質問と回答は、完全なウォッチドッグ サイクルです。一般的なプロセスは、まず、マイコンが WD 応答ウィンドウ #1 の間に質問を読み取ります。CPU はこの質問に対して数学的な関数を実行する必要があり、結果として 4 バイトの回答を得ます。4 バイトのうち 3 バイトの回答は WD 応答ウィンドウ #1 内の回答レジスタに正しい順序で書き込む必要があります。残りの最後の 1 バイトは、最初の応答ウィンドウの後、WD 応答ウィンドウ #2 の内部で回答レジスタに書き込む必要があります。4 バイトの回答すべてが正しく、かつ正しい順序であれば、その応答は良好とみなされ、エラー カウンタはデクリメントされ、新しい質問が生成されてサイクルが再開されます。WD 応答ウィンドウ #2 に 4 番目の回答が書き込まれると、そのウィンドウは終了し、新しい WD 応答ウィンドウ #1 が開始されます。[図 8-30](#) の『一般的な Q&A のタイミング図』には、どのように応答ウィンドウが配置されるかを示しています。ウォッチドッグのタイミング図では、応答ウィンドウ 1 は クローズド ウィンドウに対応し、応答ウィンドウ 2 は オープン ウィンドウに対応しています。両ウィンドウは、同じルールおよびタイミング情報に基づいて動作します。

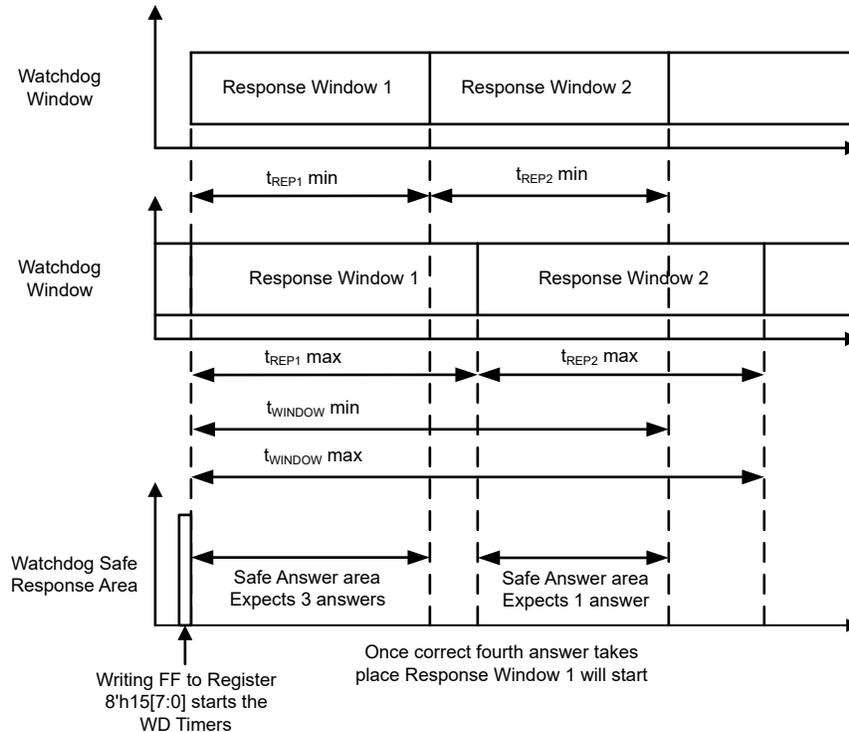
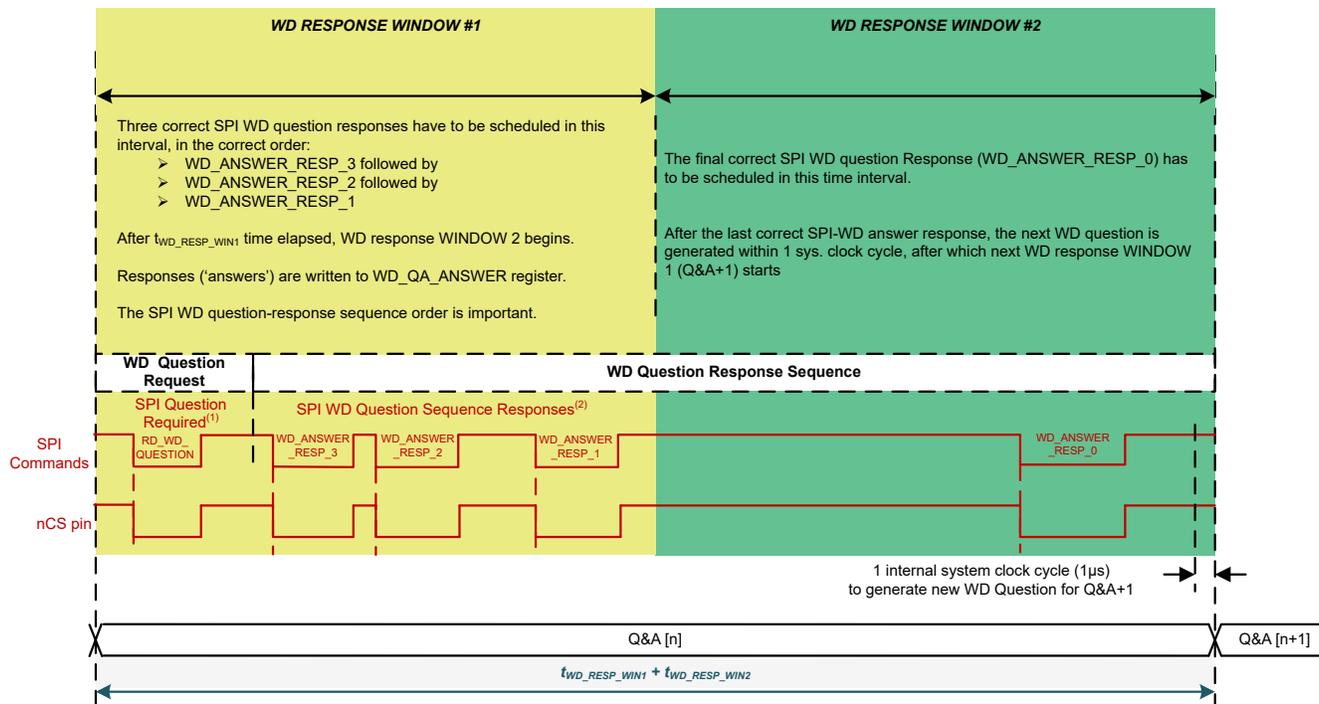


図 8-30. 一般的な Q&A のタイミング図

正しくない、または欠落している場合、その応答は不正とみなされ、ウォッチドッグの質問は変更されません。また、エラーカウンタがインクリメントされます。エラーカウンタがスレッシュホールド (WD_ERR_CNT_SET レジスタ フィールドで定義) を超えた場合、ウォッチドッグのフォールト処理が実行されます。アクションの例としては、割り込みやリセットトグルなどがあります。



- A. MCU は WD 質問を要求する必要はありません。MCU は、正しい回答から開始できます。応答ウィンドウ 1 内の任意の場所で `WD_ANSWER_RESP_x` バイトから始めることができます。新しい WD 質問は、前の WD Q&A シーケンス実行中に最後の `WD_ANSWER_RESP_0` 回答が発生した後、常に 1 システム クロック サイクル以内に生成されます。
- B. マイコンは `WD_ANSWER_RESP_x` の応答バイトの間に他の SPI コマンド (WD クエスチョンを要求するコマンドも含まれます) をスケジューリングすることができます。ただし、`WD_ANSWER_RESP_[3:1]` バイトが応答ウィンドウ 1 内に送信され、`WD_ANSWER_RESP_0` バイトが応答ウィンドウ 2 内に送信される限り、ウォッチドッグ機能に影響はありません。

図 8-31. WD Q&A シーケンスの実行

8.4.7.7.4.2 Q&A レジスタおよび設定

ウォッチドッグ レジスタの構成には、いくつかのレジスタが使用されています。表 8-11 を参照してください。

表 8-11. ウォッチドッグ関連レジスタの一覧

レジスタ・アドレス	レジスタ名	説明
0x13	WD_CONFIG_1	フォルト発生時のウォッチドッグの設定とアクション
0x14	WD_CONFIG_2	ウィンドウの時刻を設定し、現在のエラー カウンタ値を表示します
0x15	WD_INPUT_TRIG	ウォッチドッグをリセットまたは開始するためのレジスタ
0x16	WD_RST_PULSE	エラー カウンタ スレッシュホールドを設定します
0x2D	WD_QA_CONFIG	QA 設定に関連する設定
0x2E	WD_QA_ANSWER	計算された回答を書き込むための登録
0x2F	WD_QA_QUESTION	現在の QA 質問を読んでください

WD_CONFIG_1 および WD_CONFIG_2 レジスタは主に、ウォッチドッグ ウィンドウ時間長の設定に対処します。ウィンドウ サイズのオプション、および WD_TIMER 値と WD_PRE 値に必要な値については、『タイムアウト、ウィンドウ、Q&A

ウォッチドッグ タイマの構成 (ms)』を参照してください。2 つの応答ウィンドウのそれぞれが、選択した値の半分であることに注意してください。各ウォッチドッグ QA イベントに対して複数バイトの SPI 通信が必要となるため、QA ウォッチドッグ機能を使用する場合は、ウィンドウ時間を 64ms 以上に設定することが推奨されます。

また、ウォッチドッグ エラー カウンタがエラー カウンタ スレッシュホールドを超えた場合に実行されるアクションも複数存在します。

8.4.7.7.4.3 WD Q&A 値の生成

4 ビット WD の質問 WD_QA_QUESTION[3:0] は、4 ビット マルコフ連鎖プロセスによって生成されます。マルコフ連鎖はマルコフ性質を持つ確率過程であり、状態変化は確率的であり、将来の状態は現在の状態にのみ依存することを意味します。各 WD Q&A モードで有効かつ完全な WD 回答シーケンスは、次のとおりです。

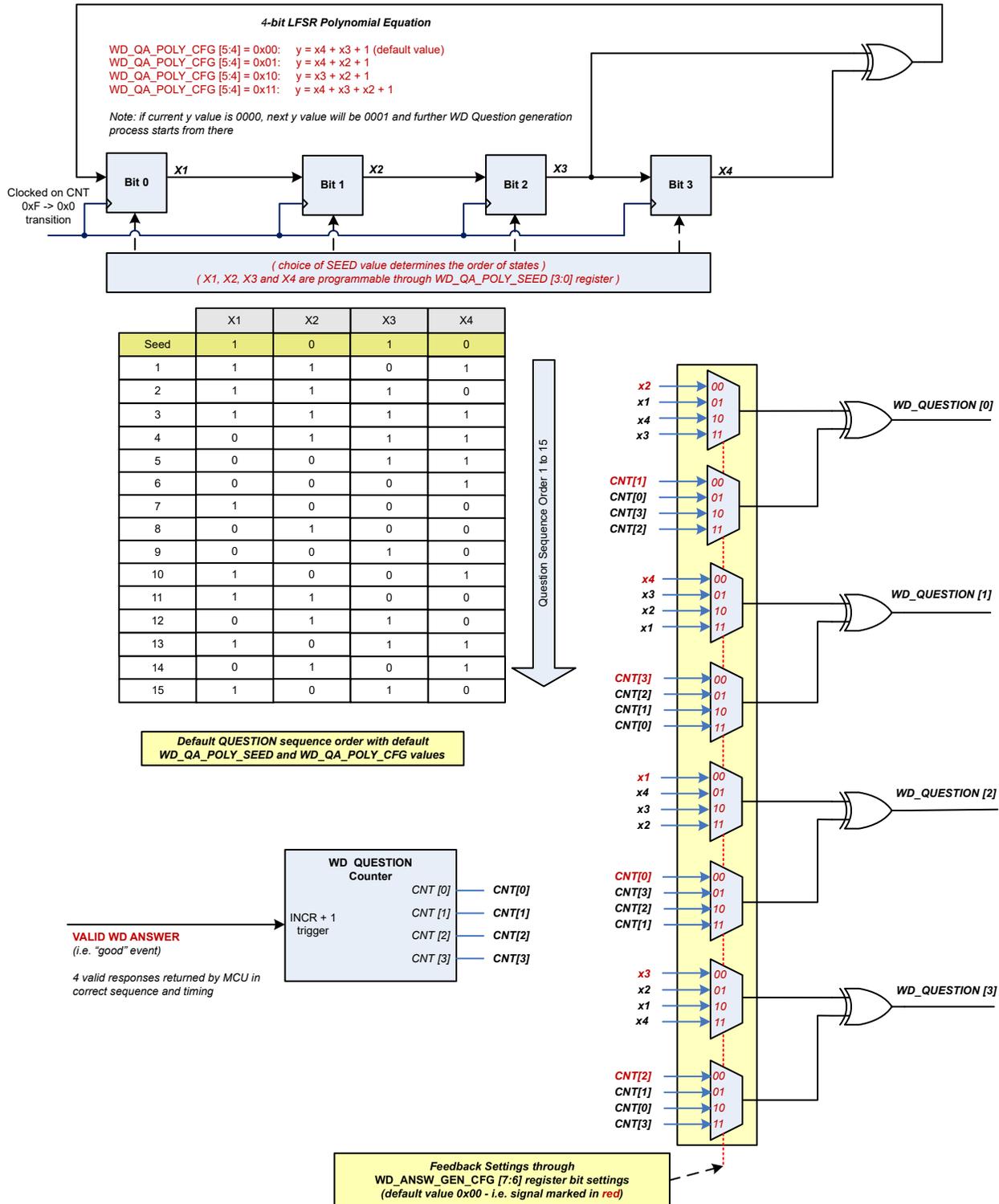
- WD Q&A マルチアンサー モードでは:
 1. 応答ウィンドウ 1 では、3 つの正しい SPI WD 回答を受信します。
 2. 応答ウィンドウ 2 では、正しい SPI WD 回答 1 つを受信します。
 3. 前述のタイミングに加えて、4 つの応答のシーケンスは正しいものとします。

WD 質問値は WD_QA_QUESTION レジスタの WD_QUESTION ビットにラッチされ、いつでも読み出すことができます。

マルコフ連鎖プロセスは、1111b から 0000b への遷移時に 4 ビットの質問カウンタによってクロックされます。これには、正解の状態が含まれます (正解値と正しいタイミング応答)。4 ビットの質問 WD_QA_QUESTION [3:0] 生成ロジックの組み合わせは、[図 8-32](#) に示しています。ウォッチドッグ エラーによりデバイスがスタンバイ モードに移行すると、質問カウンタはデフォルト値の 0000b にリセットされ、マルコフ連鎖はプログラムされているレジスタ値に再初期化されます。

TCAN1575-Q1, TCAN1576-Q1

JAJSNX3B – FEBRUARY 2024 – REVISED OCTOBER 2025



- A.
- レジスタ 8'h2D[3:0] の WD_QA_POLY_SEED は、ビット 3 = X1、ビット 2 = X2、ビット 1 = X3、ビット 0 = X4 に対応しています。
 - 現在の y 値が 0000b の場合、次の y 値は 0001b です。ウォッチドッグ質問生成プロセスはこの値から開始します。スタンバイモードで WD_QA_CONFIG レジスタに変更が加えられると、マルコフ連鎖は現在の現在のレジスタ値に基づいて再初期化されます。質問カウンタには影響しません。

図 8-32. ウォッチドッグ質問生成

8.4.7.7.4.3.1 回答の比較

2 ビット ウォッチドッグ回答カウンタである `WD_ANSW_CNT[1:0]` は、受信した回答バイト数をカウントし、[図 8-33](#) で示すように参照回答バイトの生成を制御します。各ウォッチドッグシーケンスの開始時に、`WD_ANSW_CNT[1:0]` カウンタのデフォルト値は `11b` に設定されており、これはマイコンが `WD_QA_ANSWER[7:0]` に正しい回答 `-3` を書き込むことをウォッチドッグが予測していることを示しています。

デバイスは、1 バイトでも不正解の回答バイトを受信した時点で、ステータスビット `WD_QA_ERR` を設定します。このステータスビットは、マイコンがこのビットに「`1b`」を書き込んだ場合にのみクリアされます。

8.4.7.7.4.3.2 2 ビット ウォッチドッグ回答カウンタのシーケンス

カウンタ値ごとの、2 ビット ウォッチドッグ回答カウンタのシーケンスは次の通りです。

- `WD_ANSW_CNT[1:0] = 11b` の場合：
 1. ウォッチドッグは参照回答 `3` を計算します。
 2. 書き込みアクセスが発生します。マイコンは `WD_QA_ANSWER[7:0]` に回答 `3` バイトを書き込みます。
 3. ウォッチドッグは参照回答 `3` と `WD_QA_ANSWER[7:0]` の回答 `3` バイトを比較します。
 4. 回答 `3` バイトが正しくない場合、ウォッチドッグは `WD_ANSW_CNT[1:0]` を `10b` にデクリメントし、`WD_QA_ERR` ステータスビットを `1` に設定します。
- `WD_ANSW_CNT[1:0] = 10b` の場合：
 1. ウォッチドッグは参照回答 `2` を計算します。
 2. 書き込みアクセスが発生します。マイコンは `WD_QA_ANSWER[7:0]` に回答 `2` バイトを書き込みます。
 3. ウォッチドッグは参照回答 `2` と `WD_QA_ANSWER[7:0]` の回答 `2` バイトを比較します。
 4. 回答 `2` バイトが正しくない場合、ウォッチドッグは `WD_ANSW_CNT[1:0]` を `01b` にデクリメントし、`WD_QA_ERR` ステータスビットを `1` に設定します。
- `WD_ANSW_CNT[1:0] = 01b` の場合：
 1. ウォッチドッグは参照回答 `1` を計算します。
 2. 書き込みアクセスが発生します。マイコンは `WD_QA_ANSWER[7:0]` に回答 `1` バイトを書き込みます。
 3. ウォッチドッグは参照回答 `1` と `WD_QA_ANSWER[7:0]` の回答 `1` バイトを比較します。
 4. 回答 `1` バイトが正しくない場合、ウォッチドッグは `WD_ANSW_CNT[1:0]` を `00b` にデクリメントし、`WD_QA_ERR` ステータスビットを `1` に設定します。
- `WD_ANSW_CNT[1:0] = 00b` の場合：
 1. ウォッチドッグは参照回答 `0` を計算します。
 2. 書き込みアクセスが発生します。マイコンは `WD_QA_ANSWER[7:0]` に回答 `0` バイトを書き込みます。
 3. ウォッチドッグは参照回答 `0` と `WD_QA_ANSWER[7:0]` の回答 `0` バイトを比較します。
 4. 回答 `0` バイトが正しくない場合、ウォッチドッグは `WD_QA_ERR` ステータスビットを `1` に設定します。
 5. ウォッチドッグは新しいウォッチドッグシーケンスを開始し、`WD_ANSW_CNT[1:0]` を `11b` に設定します。

マイコンは `WD_QA_ERR` ビットに「`1`」を書き込んで、このビットをクリアする必要があります。

表 8-12. デフォルト設定を使用した WD 質問と対応する WD 回答のセット

WD_QA_QUESTION レジスタにおける質問値	WD 回答バイト (各バイトは WD_QA_ANSWER レジスタに書き込まれる)			
	WD_ANSWER_RESP_3	WD_ANSWER_RESP_2	WD_ANSWER_RESP_1	WD_ANSWER_RESP_0
WD_QUESTION	WD_ANSW_CNT[1:0] 11b	WD_ANSW_CNT[1:0] 10b	WD_ANSW_CNT[1:0] 01b	WD_ANSW_CNT[1:0] 00b
0x0	FF	0F	F0	00
0x1	B0	40	BF	4F
0x2	E9	19	E6	16
0x3	A6	56	A9	59
0x4	75	85	7A	8A
0x5	3A	CA	35	C5
0x6	63	93	6C	9C
0x7	2C	DC	23	D3
0x8	D2	22	DD	2D
0x9	9D	6D	92	62
0xA	C4	34	CB	3B
0xB	8B	7B	84	74
0xC	58	A8	57	A7
0xD	17	E7	18	E8
0xE	4E	BE	41	B1
0xF	01	F1	0E	FE

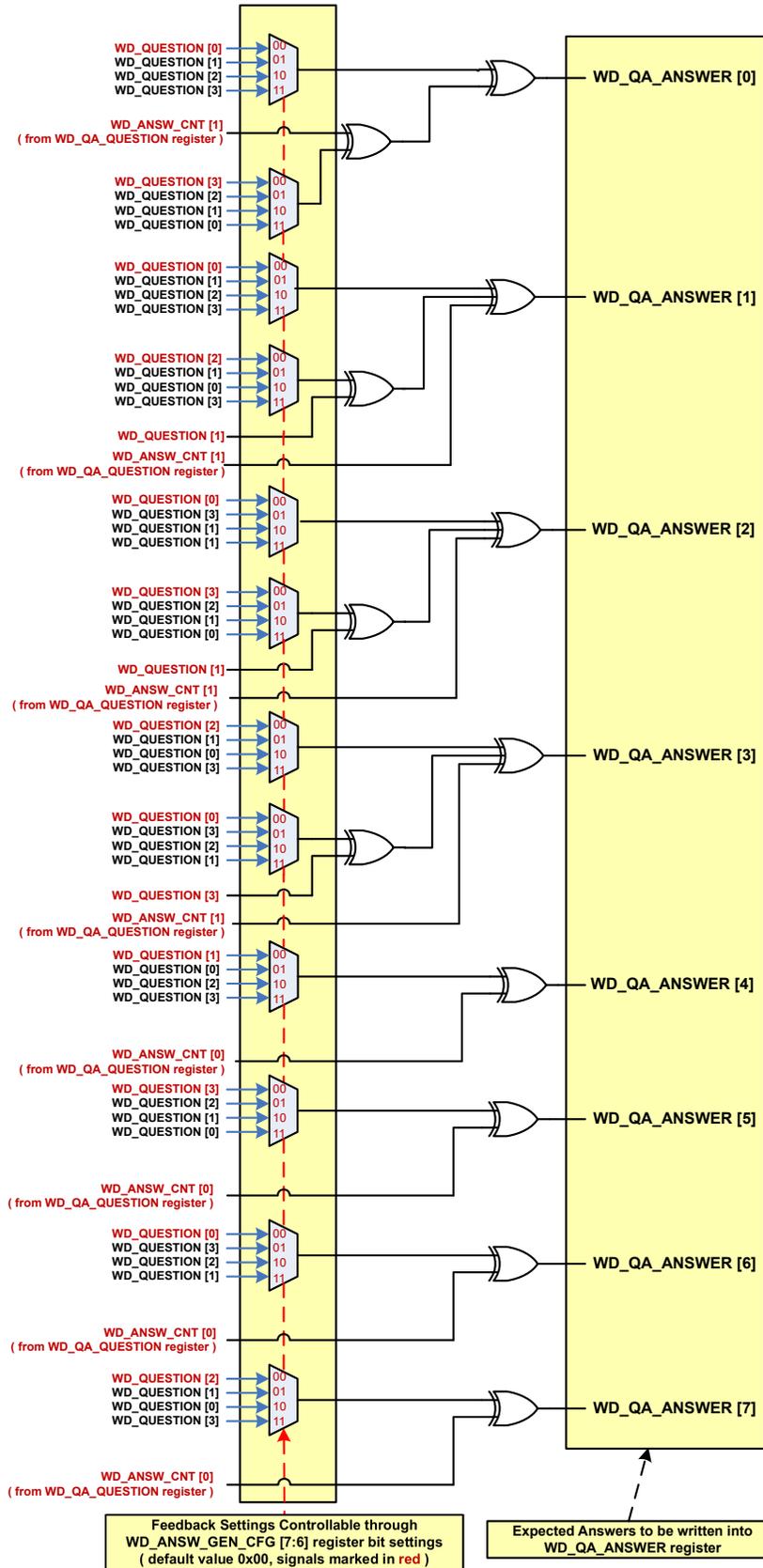


図 8-33. WD 予期される回答生成

表 8-13. WD Q&A シーケンスの正しい実行例と誤った実行例における動作シナリオ

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUESTION レジスタ) ⁽¹⁾	備考
応答 ウィンドウ 1	応答 ウィンドウ 2			
回答 0	回答 0	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	回答なし
回答 0	正しくない回答 4	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した合計回答数 = 4
回答 0	正しい回答 4	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した合計回答数 = 4
回答 0	正しい回答 1	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しい回答が 3 つ未満、かつ応答ウィンドウ 2 における正しい回答が 1 つ (合計 WD_ANSW_CNT[1:0] < 4)
正しい回答 1	正しい回答 1			
正しい回答 2	正しい回答 1			
回答 0	正しくない回答 1	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しい回答が 3 つ未満、かつ応答ウィンドウ 2 における正しくない回答が 1 つ (合計 WD_ANSW_CNT[1:0] < 4)
正しい回答 1	正しくない回答 1			
正しい回答 2	正しくない回答 1			
回答 0	正しい回答 4	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しい回答が 3 つ未満、かつ応答ウィンドウ 2 における正しい回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0] = 4)
正しい回答 1	正しい回答 3			
正しい回答 2	正しい回答 2			
回答 0	正しくない回答 4	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しい回答が 3 つ未満、かつ応答ウィンドウ 2 における正しくない回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0] = 4)
正しい回答 1	正しくない回答 3			
正しい回答 2	正しくない回答 2			
回答 0	正しい回答 3	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しくない回答が 3 つ未満、かつ応答ウィンドウ 2 における正しい回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0] < 4)
正しくない回答 1	正しい回答 2			
正しくない回答 2	正しい回答 1	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	
回答 0	正しくない回答 3	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しくない回答が 3 つ未満、かつ応答ウィンドウ 2 における正しくない回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0] < 4)
正しくない回答 1	正しくない回答 2			
正しくない回答 2	正しくない回答 1			
回答 0	正しい回答 4	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しくない回答が 3 つ未満、かつ応答ウィンドウ 2 における正しい回答が 1 つ以上 (Total WD_ANSW_CNT[1:0] = 4)
正しくない回答 1	正しい回答 3			
正しくない回答 2	正しい回答 2	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	
回答 0	正しくない回答 4	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しくない回答が 3 つ未満、かつ応答ウィンドウ 2 における正しくない回答が 1 つ以上 (Total WD_ANSW_CNT[1:0] = 4)
正しくない回答 1	正しくない回答 3			
正しくない回答 2	正しくない回答 2			
正しい回答 3	回答 0	-応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 における正しい回答が 4 つ未満、かつ応答ウィンドウ 2 における回答が 0 つ以上 (合計 WD_ANSW_CNT[1:0] < 4)
正しい回答 2	回答 0			
正しい回答 1	回答 0			
正しい回答 3	正しい回答 1	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの減算 - 新しい WD サイクルは新しい WD 質問から開始されます	0b	正しいシーケンス

表 8-13. WD Q&A シーケンスの正しい実行例と誤った実行例における動作シナリオ (続き)

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUESTION レジスタ) ⁽¹⁾	備考
応答 ウィンドウ 1	応答 ウィンドウ 2			
正しい回答 3	正しくない回答 1	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した合計回答数 = 4
正しくない回答 3	回答 0	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した合計回答数 < 4
正しくない回答 3	正しい回答 1	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した合計回答数 = 4
正しくない回答 3	正しくない回答 1	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した合計回答数 = 4
正しい回答 4	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	
正しい回答 3+ 正しくない回答 1	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始	1b	応答ウィンドウ 1 における正しい回答または正しくない回答が 4 つ
正しい回答 2+ 正しくない回答 2	該当なし	- WD 故障カウンタの増分		
正しい回答 1+ 正しくない回答 3	該当なし	- 新しい WD サイクルは同じ WD 質問から開始されます		

(1) WD_QA_ERR は、すべての QA ウォッチドッグ エラーの論理 OR です

8.4.7.7.4.4 Q&A WD の例

この例では、以下の構成設定での単一シーケンスを示しています。

表 8-14. WD 機能の初期化

項目	値	説明
ウォッチドッグ ウィンドウ サイズ	1024ms	ウィンドウ サイズは 1024ms
応答生成オプション	0 (デフォルト)	応答生成設定
質問多項式	0 (デフォルト)	質問の生成に使われる多項式
多項式シードに質問します	A (デフォルト)	質問を生成するために使用される多項式シード
WD エラー カウンタ制限	15	15 番目のフェイル イベントでは、ウォッチドッグ アクションを実行します

8.4.7.7.4.4.1 望ましい動作のための構成例

例示された動作を実現するための構成内容を [表 8-15](#) に示しています。ほとんどの設定は、電源オン時のデフォルト設定です。

表 8-15. レジスタ構成の書き込みの例

ステップ	登録	データ
1	WD_CONFIG_1 (0x13)	[W] 0b11011101 / 0xDD
2	WD_CONFIG_2 (0x14)	[W] 0b10000000 / 0x80
3	WD_RST_PULSE (0x16)	[W] 0b00000111 / 0x07
4	WDT_QA_CONFIG (0x2D)	[W] 0b00001010 / 0x0A

8.4.7.7.4.4.2 Q&A シーケンスの実行例

通常のシーケンスの概要は、次のとおりです。

1. 質問を読み取ります
2. 4 バイトの回答を計算します
3. 最初の応答ウィンドウ内にその内の 3 バイトを送信します
4. 2 番目の応答ウィンドウで、最後のバイトを待機して送信します

最初のループ シーケンスの例については、[表 8-16](#) を参照してください。

表 8-16. 最初のループの例

ステップ	登録	データ	説明
1	WD_INPUT_TRIG (0x15)	[W] 0xFF	ウォッチドッグを起動し、応答ウィンドウ 1 が終了してウィンドウ 2 が開始するときにフラグを立てるように内部タイマを維持します。
2	WD_QA_QUESTION (0x2F)	[R] 0x3C	質問を読み取ります。質問は 0x3C です
3	WD_QA_ANSWER (0x2E)	[W] 0x58	回答 3 を書き込みます (回答内容については 表 8-12 のデフォルト設定での質問に対する回答の例を参照してください)
4	WD_QA_ANSWER (0x2E)	[W] 0xA8	回答 2 を書き込みます
5	WD_QA_ANSWER (0x2E)	[W] 0x57	回答 1 を書き込みます
6	WD_QA_ANSWER (0x2E)	[W] 0xA7	ウィンドウ 2 が開始したら、回答 0 を書き込みます

この時点で、ユーザーは WD_QA_QUESTION[6] (0x2F) レジスタを読み出して、WD_QA_ERR がセットされているかどうかを確認できます。

8.4.8 バス フォルト検出および通信 (TCAN1576-Q1)

TCAN1576-Q1 は先進のバス フォルト検出機能を備えています。デバイスは、特定の故障状態を判定し、ステータス / 割り込みフラグを設定して、マイコンがフォルトの内容を理解できるようにします。検出が実行され、各ドミナントビットが $2\mu\text{s}$ 以上で、4 つのドミナントからリセッシブへの遷移中にフォルトが存在する場合に記録されます。終端抵抗が両端にある他のバス アーキテクチャと同様に、すべてのフォルトを最小レベル、つまり正確な位置に指定できるわけではありません。フォルト検出回路は、CANH および CANL ピン (電流) を監視して、バッテリーへの短絡、グランドへの短絡、相互への短絡、開放の有無を判定しています。システム全体の観点から見ると、デバイスの設置場所によって検出されるフォルトの種類が変わる可能性があります。ノードの配置例と、それらが実際のフォルトの場所を決定する能力にどのように影響するかについては、図 8-34 を参照してください。図 8-35 から 図 8-39 に、3 ノード構成に基づく各種バス フォルトを示しています。表 8-17 に、何を検出できるのか、どのデバイスにより検出できるのかを示しています。

バス フォルト検出は、システム レベルの状況です。ECU でフォルトが発生している場合、バスの一般的な通信が損なわれます。ノードを完全にカバレッジするには、各ノードにシステム レベルの診断ステップと、それらを中央ポイントに送り返す機能が必要です。

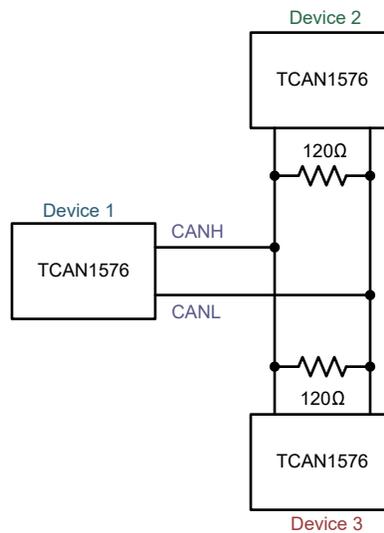


図 8-34. 3 ノードの例

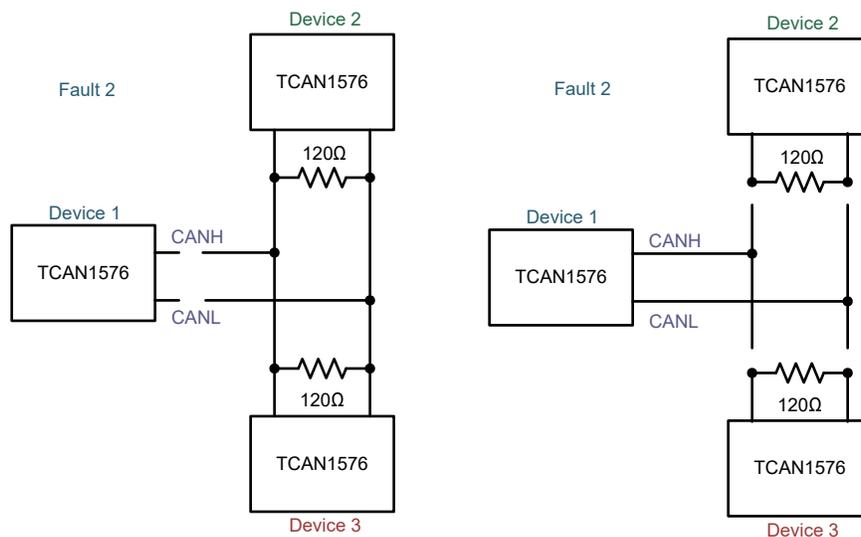


図 8-35. 開放フォルト 2 の例

- フォルト 2 は、終端が確認されないすべてのケースを指します

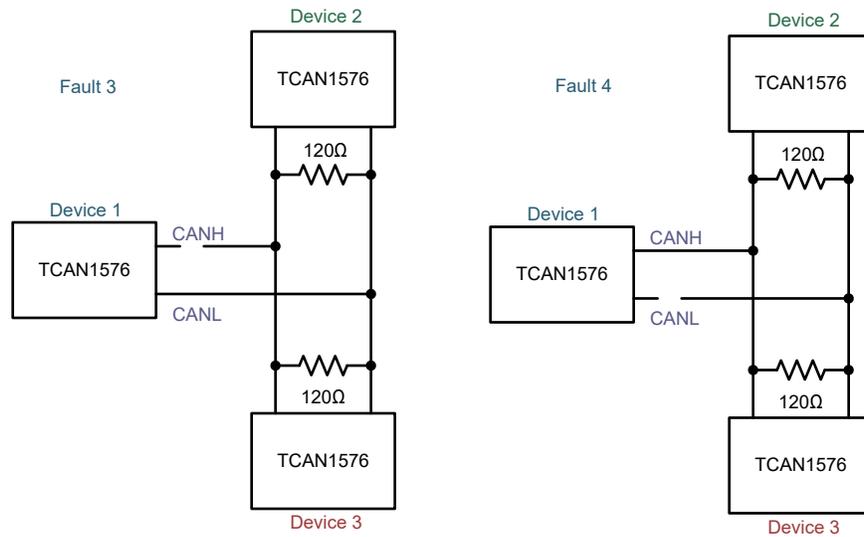


図 8-36. 開放フォルト 3 と 4 の例

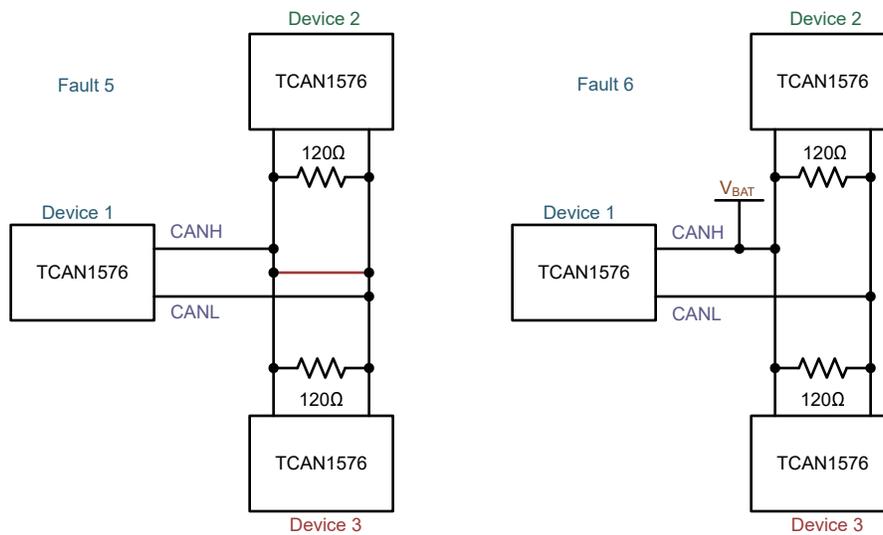


図 8-37. フォルト 5 と 6 の例

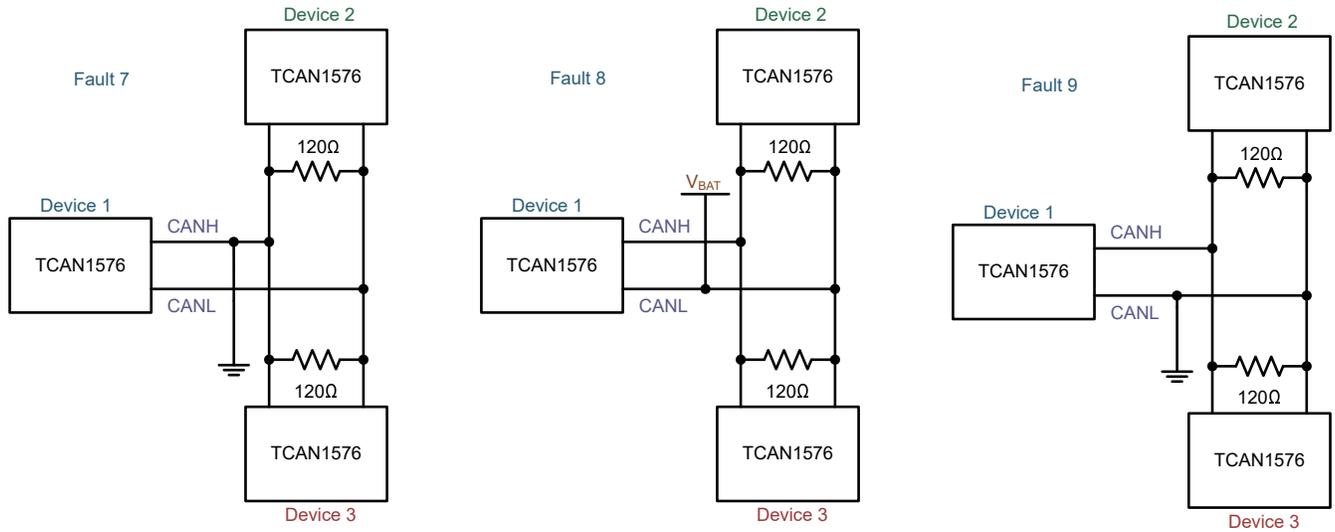


図 8-38. フォルト 7、8、9 の例

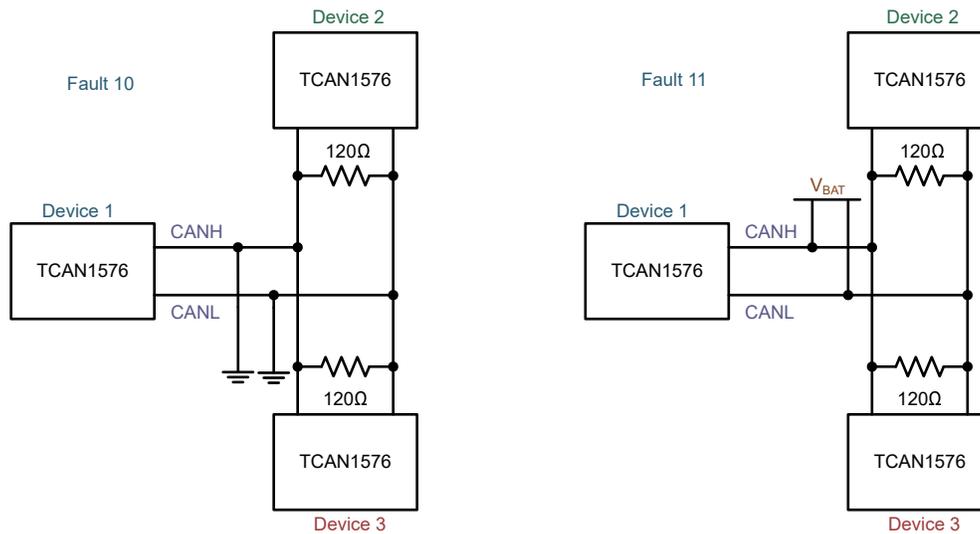


図 8-39. フォルト 10 と 11 の例

表 8-17. バス フォルト ピンの状態および検出表

フォルト番号	CANH	CANL	フォルト検出
2	開放	開放	開放の位置に応じて、デバイスはこれを終端なしと検出します。
3	開放	正常	はい、ただし、フォルト 3 とフォルト 2 およびフォルト 4 の違いを判別できません。デバイス 2 とデバイス 3 はこのフォルトを検出しません
4	正常	開放	はい、ただし、フォルト 4 とフォルト 2 およびフォルト 3 の違いを判別できません。デバイス 2 とデバイス 3 はこのフォルトを検出しません
5	CANL へ短絡	CANH へ短絡	はい。ただし、位置までは判別できません
6	V _{bat} と短絡	正常	はい。ただし、位置までは判別できません
7	GND へ短絡	正常	はい、ただし、このフォルトとフォルト 10 の違いを判別できません
8	正常	V _{bat} と短絡	はい、ただし、このフォルトとフォルト 11 の違いを判別できません
9	正常	GND へ短絡	はい。ただし、位置までは判別できません
10	GND へ短絡	GND へ短絡	はい、ただし、このフォルトとフォルト 7 の違いを判別できません

表 8-17. バス フォルト ピンの状態および検出表 (続き)

フォルト番号	CANH	CANL	フォルト検出
11	V _{bat} と短絡	V _{bat} と短絡	はい、ただし、このフォルトとフォルト 8 の違いを判別できません

表 8-18. バス フォルト割り込みフラグからフォルト検出番号へのマッピング

アドレス	ビット (S)	デフォルト	FLAG	説明	フォルト検出	アクセス
8'h54	7	1'b0	RSVD	予約済み		
	6	1'b0	RSVD	予約済み		
	5	1'b0	CANHCANL	CANH と CANL が同時に短絡	フォルト 5	R/WC
	4	1'b0	CANHBAT	CANH を V _{BAT} に短絡	フォルト 6	R/WC
	3	1'b0	CANLGND	CANL を GND に短絡	フォルト 9	R/WC
	2	1'b0	CANBUSOPEN	CAN バス開放 (3 箇所の中の 1 つ)	フォルト 2、3、4	R/WC
	1	1'b0	CANBUSGND	CANH が GND に短絡、または CANH と CANL の両方が GND に短絡	フォルト 7 と 10	R/WC
	0	1'b0	CANUSBAT	CANL が V _{BAT} に短絡、または CANH および CANL の両方が V _{BAT} に短絡	フォルト 8 と 11	R/WC

8.5 プログラミング

TCAN1576-Q1 は、7 ビットアドレスに続けて読み取り / 書き込みビットを使用し、その後 1 ~ 3 バイトのデータが続く形式で通信を行います。

8.5.1 SPI 通信

シリアル パリフェラル インターフェイス (SPI) は、標準的な構成を使用します。物理的には、デジタル インターフェイスピンは nCS (チップ セレクト Not)、SDI (シリアル データ入力)、SDO (シリアル データ出力)、SCK (シリアル クロック) です。各 SPI トランザクションは 16 ビット、24 ビット、または 32 ビットで構成され、アドレスおよび読み取り / 書き込みコマンドビットに続いて、1 ~ 3 バイトのデータを含みます。2 バイトおよび 3 バイトのデータ転送をサポートするためには、バースト読み取りおよび書き込みを使用します。この場合、各ビットのクロック サイクル数は同じままで、データに対応するアドレスが自動的にインクリメントされます。トランザクションの SDO ピンでシフトアウトされたデータは、常にグローバル ステータスレジスタ (バイト) から開始されます。

SDI 上の SPI データ入力データは、クロック (SCK) の立ち上がりエッジでサンプリングされます。SDO 上の SPI 出力データは、クロック (SCK) の立ち下がりエッジで変更されます。

デバイスがスリープ モード中にプログラムする場合は、出力の内容を正しく理解しておく必要があります。たとえば、デバイスがフェイルセーフ モードをオフにプログラムされている状態で、UV_{CC} ようなデバイスをスリープ モードに移行させるいずれかのフォルト条件が発生することがあります。スリープ モード中にフェイルセーフ モードが有効化されている場合でも、デバイスはスリープ モードのままであり、フェイルセーフ モードには移行しません。

8.5.1.1 ノットチップセレクト (nCS) :

この入力ピンは、SPI トランザクション時にデバイスを選択するために使用されます。このピンはアクティブ "Low" で動作するため、nCS がハイの状態では、デバイスのシリアル データ出力 (SDO) ピンはハイインピーダンスとなり、SPI バスの設計が可能になります。nCS が "Low" になると、SDO ドライバが有効となり、通信が開始できる状態になります。SPI トランザクション中は、nCS ピンを "Low" のままに保持します。デバイスには、特別な機能として、nCS の立ち下りエッジで SDO ピンが即座にグローバル フォールト フラグを表示する機能があります。

8.5.1.2 SPI クロック入力 (SCK) :

この入力ピンを使用して、SPI にクロックを入力し、入力および出力のシリアル データ ビット ストリームを同期します。SPI データ入力は、SCK の立ち上がりエッジでサンプリングされ、SPI データ出力は、SCK の立ち下がりエッジでデータが変更されます。図 8-40 を参照してください。

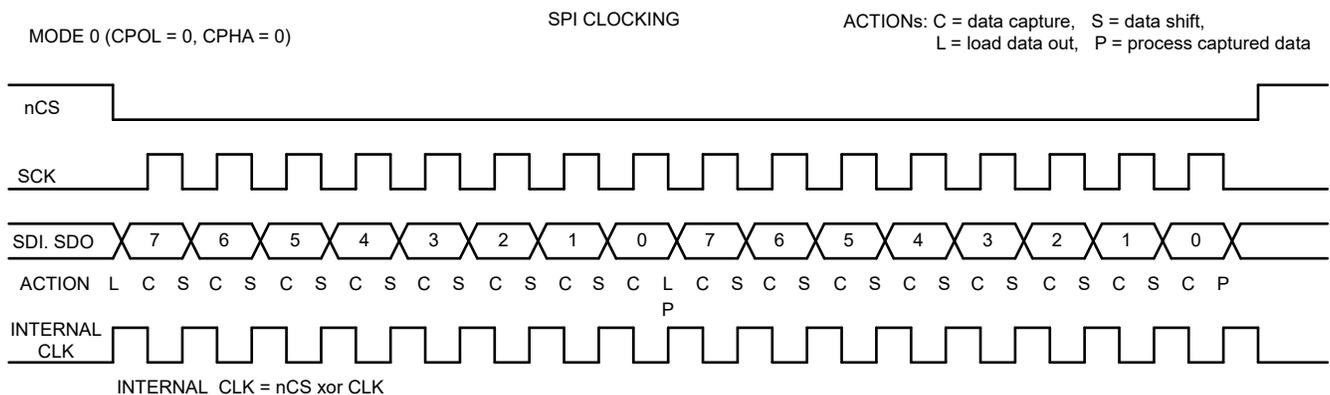


図 8-40. SPI クロック

8.5.1.3 SPI シリアル データ入力 (SDI) :

SDI ピンは、どのアドレスに対して読み取りまたは書き込みが行われるかをデバイスに知らせるために使用されます。書き込み時には、クロック サイクル数に応じて、最大 3 バイトまでのデータが連続したアドレスにロードされます。書き込みに必要な最小のクロック サイクル数は 16 クロックであり、これは初期アドレスおよび書き込みコマンドに続いて 1 バイトのデ

ータを送信する構成をサポートします(図 8-41 を参照)。TCAN1576-Q1 は、バースト読み取りと書き込みをサポートしています。図 8-42 は、初期の 7 ビットアドレス、書き込みビット、および 3 バイトのデータを含む 32 ビット書き込みの例を示しています。これらはすべて、32 クロック サイクルを必要とします。nCS が "Low" になることで SPI が有効化されると、SPI クロック (SCK) の立ち上がりエッジごとに SDI が入力データをサンプリングします。データは、適切なサイズのシフトレジスタに順次シフトインされ、正確なクロック サイクル数に達するとシフトレジスタが満杯となり、SPI トランザクションが完了します。書き込みコマンドでは、新しいデータは、SCK によって正確なクロック サイクル数がシフトインされ、その後 nCS の立ち上がりエッジでデバイスの選択が解除された後にのみ、指定されたレジスタに書き込まれます。バースト書き込みでは、SCK が 31 クロック サイクル (3 バイトの書き込みより 1 クロック サイクル少ない) である場合、最初の 2 バイトの書き込みは実行されますが、3 バイト目の書き込みは行われません。1 回の SPI トランザクション (nCS が "Low" の状態) 中に、正確なクロック サイクル数とデータがシフトインされない場合、SPIERR フラグが設定されます。

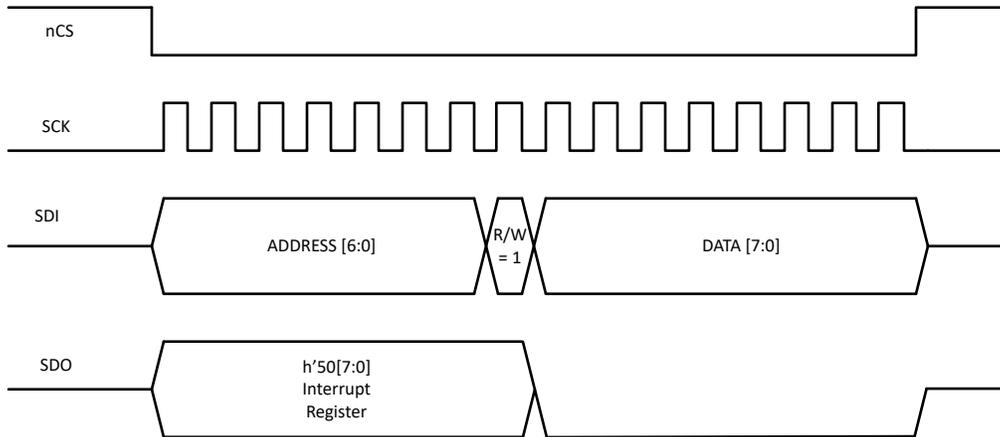


図 8-41. SPI 書き込み

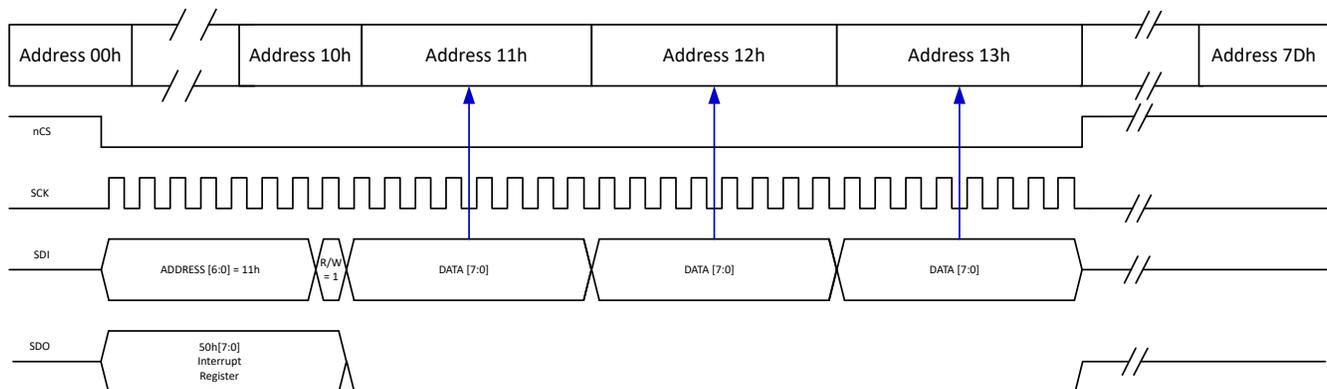


図 8-42. 32 ビット SPI バースト書き込み

8.5.1.4 SPI シリアル データ出力 (SDO) :

このピンは、nCS 信号によって SPI 出力が有効になるまで、ハイインピーダンスの状態になります。nCS が "Low" になることで SPI が有効になると、SDO ピンはただちにハイまたはローに駆動され、グローバル割り込みレジスタ 8'h50、ビット 7 の値を示します。グローバル割り込みレジスタ INT_GLOBAL は、最初にシフトアウトされるバイトです。SDO ピンは、デバイスからプロセッサへのデータ出力を提供します。書き込みコマンドの場合、SDO ピンで提供されるのはこのデータのみです。読み取りコマンドの場合、連続するアドレスからの 1 ~ 3 バイトのデータが SDO ラインに出力されます。図 8-43 と 図 8-44 は、それぞれ単一アドレスの読み出しと、32 ビットバースト読み取りを用いた 3 つの連続するアドレスの読み取り例を示しています。32 ビットのバースト読み取りでは、まずグローバル割り込みレジスタが出力され、その後必要とされた 3 バイトのデータが続きます。

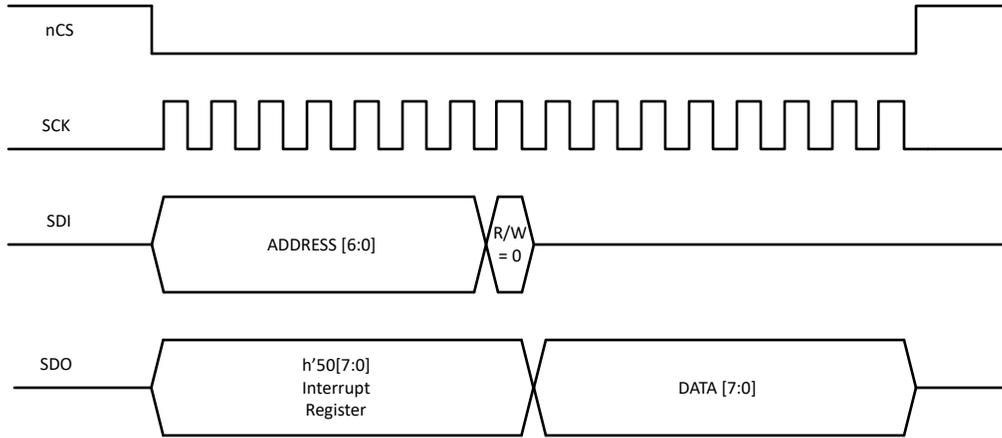


図 8-43. SPI 読み取り

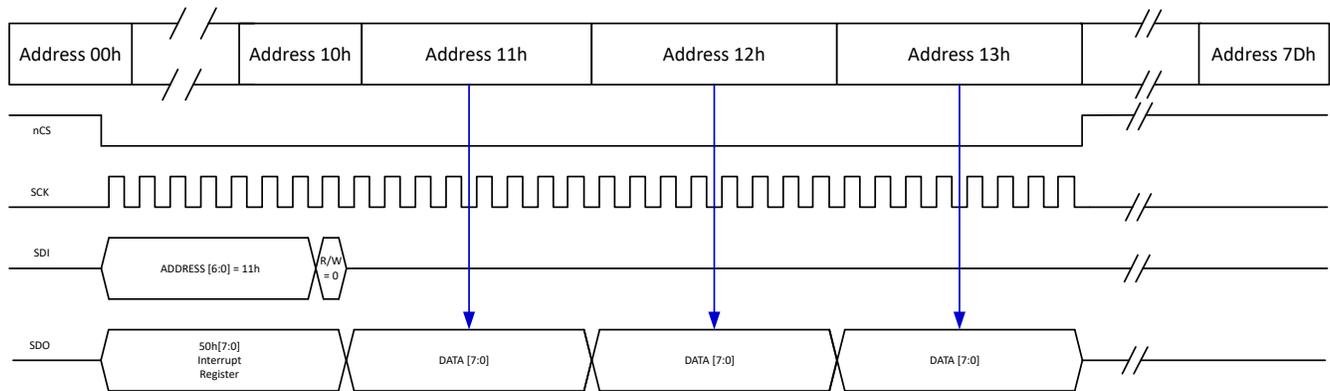


図 8-44. 32 ビット SPI バースト読み取り

注

書き込み後に 2µs よりも高速に読み取りが行われた場合、グローバル フォルト フラグのステータスは、その書き込みによって引き起こされたステータスの変化を反映しない可能性があります。

9 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

9.1.1 信号改善機能 (SIC)

TCAN157x-Q1 ファミリーは、ISO 11898-2:2024 CAN 規格の信号改善機能要件を満たすように設計された CAN SIC トランシーバのグループで、大規模または複雑な CAN ネットワークにおけるバスリンギングの抑制を目的とします。信号改善機能 (SIC) は、CIA 規格として始まり、「set C」と呼ばれる規格本文に取り込まれました。既存の CAN FD ネットワークで使用されている設計手法と整合するように SIC 動作が概説されています。公称差動負荷として 60Ω (並列に 2 つの 120Ω 終端抵抗) の継続使用、ドミナントーリセッシブドミナントのパターンからなるウェークアップ パターン (WUP) の継続使用が示されています。この CAN 規格の実装は、リンギングを抑制した CAN ネットワークを提供するとともに、終端方式、値、配置や標準的な WUP の使用といった他のネットワーク設計要件への影響を最小限に保つことを意図しています。

ISO 11898-2:2024 CAN 規格は、SIC モード機能を備えた新しい CAN 物理層「CAN XL」を付属書 A に取り込み、標準 CAN および CAN XL の双方で動作可能で、SIC モードと呼ばれる、より厳格な SIC トランシーバを紹介しています。付属書 A では、主に CAN XL の使用を対象とした仕様が定義されています。この実装では、CAN XL は CAN SIC も使用しますが、スタンドアロンの CAN SIC トランシーバよりも、ドライバの SIC 部分に対して、より厳格な仕様を定義しています。これには、CAN XL システムで使用される 100Ω の特性インピーダンスと終端値に対応できるように、50Ω 公称負荷でのドライバの動作の規定が含まれます。TCAN157x-Q1 は、CAN SIC ノードを使用するシステムで使用され、Set C の拡張負荷範囲での動作も規定されています。

付属書 A は、標準 CAN バスのウェークアップ パターン (WUP) を改訂し、ドミナントーリセッシブー リセッシブドミナントと続く 2 番目のフィルタ期間を含めています。TCAN157x-Q1 は、この新しい WUP を実装し、set C に準拠したシステムでも動作します。

9.1.2 CAN の終端

ISO 11898-2:2024 付属書 A では、相互接続は 100Ω の特性インピーダンス (ZO) を持つシングル ツイストペア ケーブル (シールド付きまたはシールドなし) と規定されています。また、本デバイスは、Set C 規格に含まれる従来の 120Ω 環境でも動作します。

9.1.2.1 終端

信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端する必要があります。ノードをバスに接続する未終端のドロップ ライン (スタブ) は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端は、バスから取り外すことができないよう慎重に配置する必要があります。

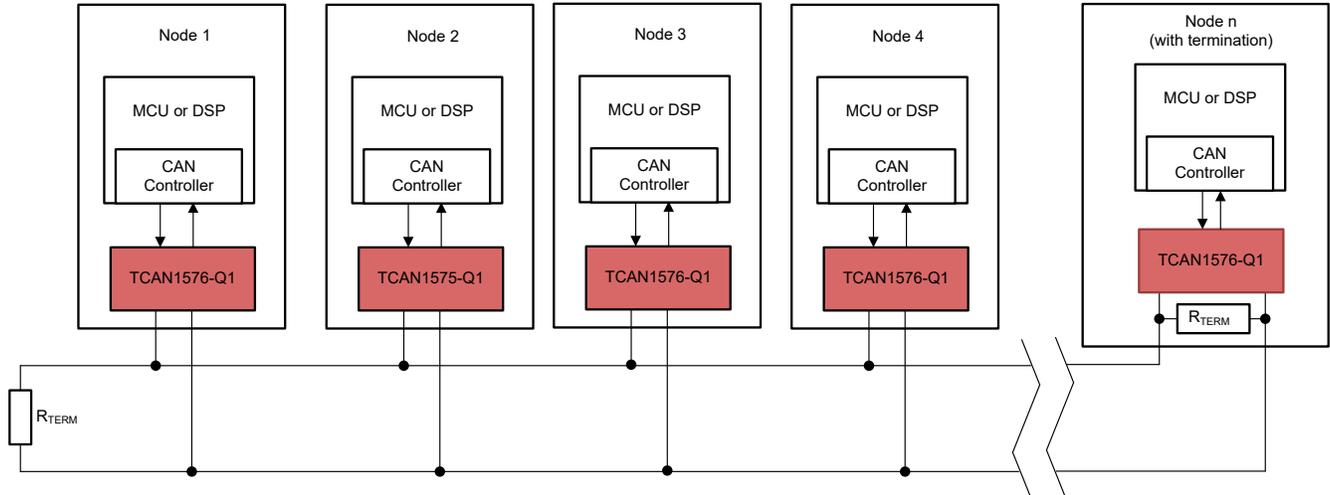


図 9-1. 代表的な CAN バス

終端は、ケーブルの端または終端ノード内のいずれかで、バスの端に単一の 100Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、「分割終端」を使用できます (図 9-2 を参照してください)。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

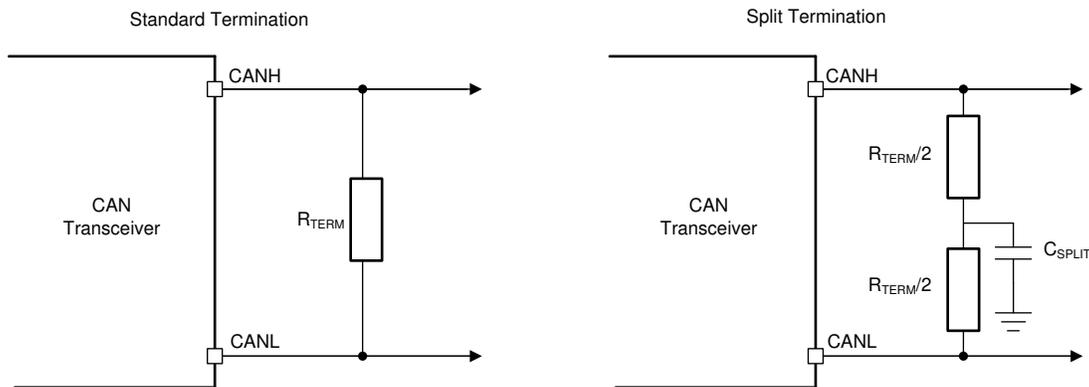


図 9-2. CAN バス終端の概念

9.1.2.2 CAN バスのバイアス印加

バス バイアスは通常のバイアスで、通常モードではアクティブ、低消費電力モードでは非アクティブとなります。自動電圧バイアスとは、通常モードでバスがアクティブである状態で、低消費電力モードでは CANH と CANL の間の電圧に応じて制御されます。図 9-3 では、TCAN1576-Q1 が自動バイアスを行う方法の状態図を示しています。

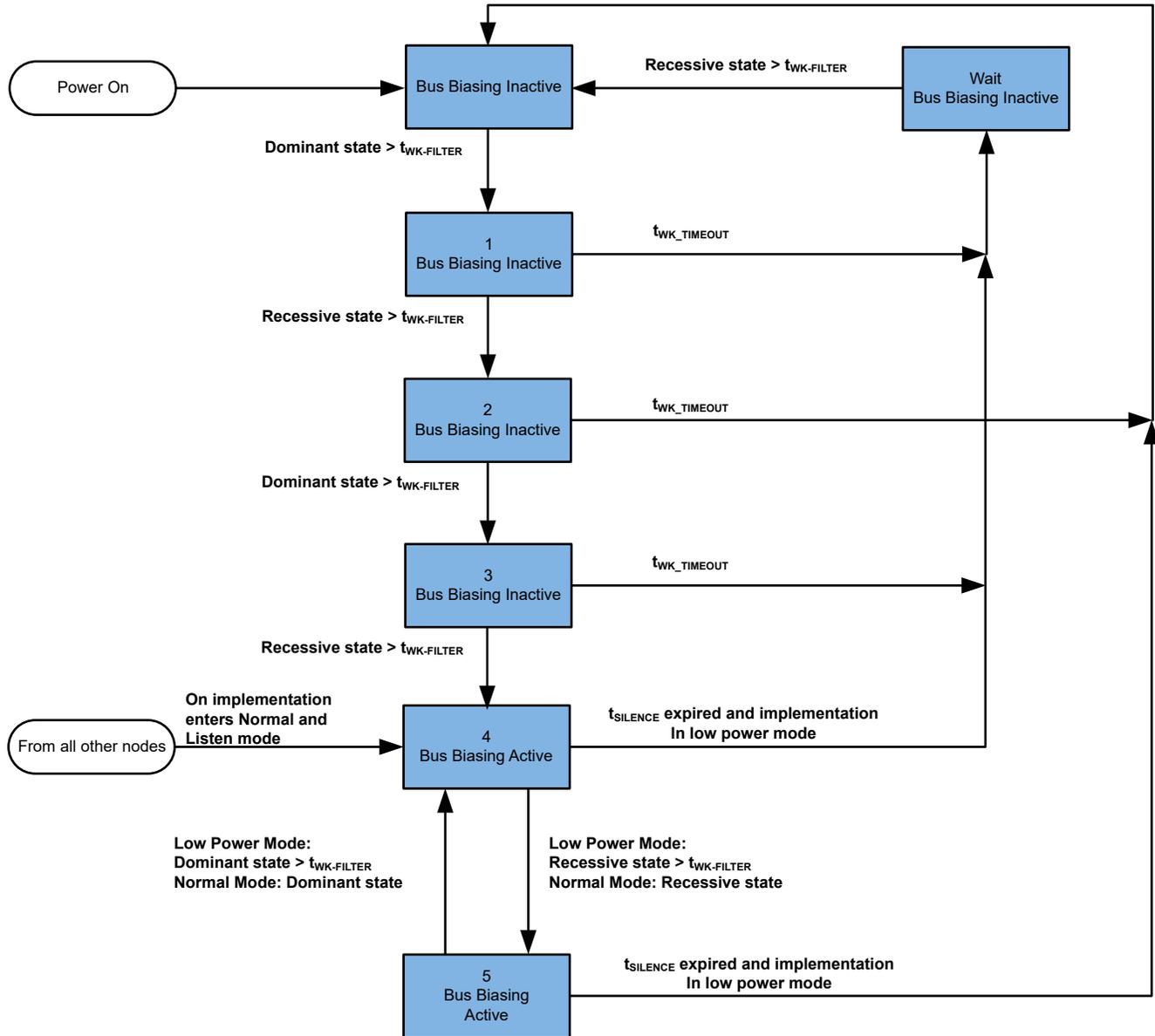


図 9-3. 自動バス バイアスの状態図

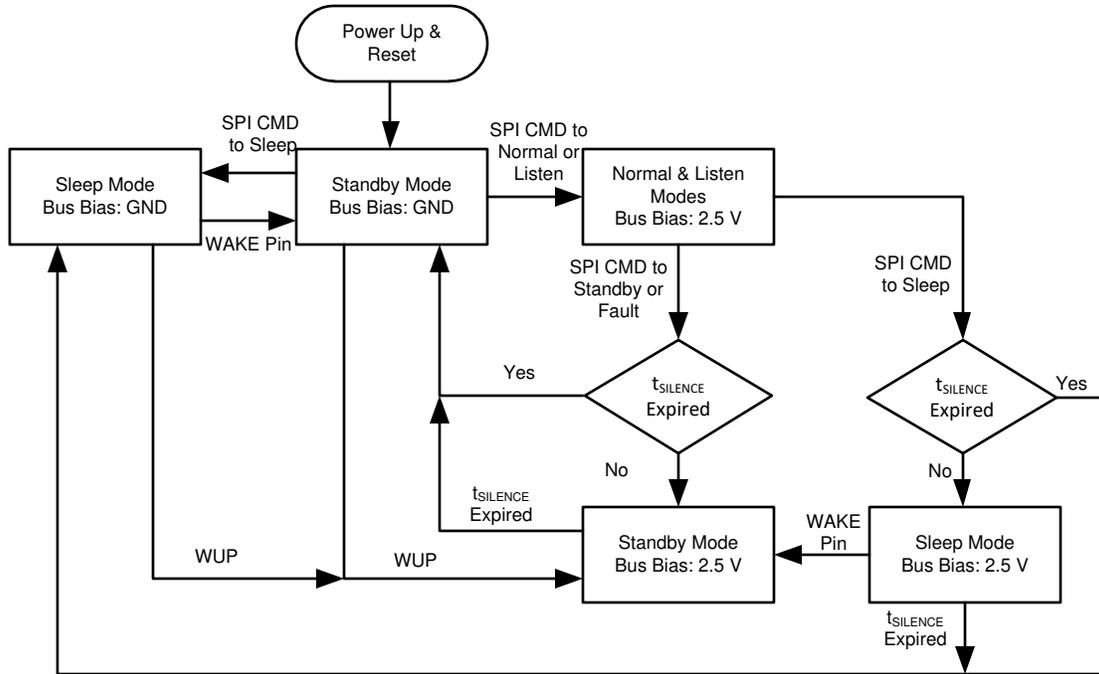


図 9-4. モードによるバス バイアス

注

フェイルセーフ、TSD、VIO 保護モードは、スタンバイモードと同様の自動バス バイアスが適用されています。

9.2 代表的なアプリケーション

TCAN1576-Q1 は、通常、CAN コントローラをサポートするホスト マイクロプロセッサまたは FPGA に CAN トランシーバが内蔵されていない場合に、CAN FD トランシーバとして使用されます。3.3V マイクロプロセッサ向けの代表的なアプリケーション構成を示します。TCAN1576-Q1 は、マイクロプロセッサの電圧レギュレータからの V_{IO} ピンを使用することで、1.8V、3.3V、5V のマイクロプロセッサと動作します。バス終端を、説明のために示します。

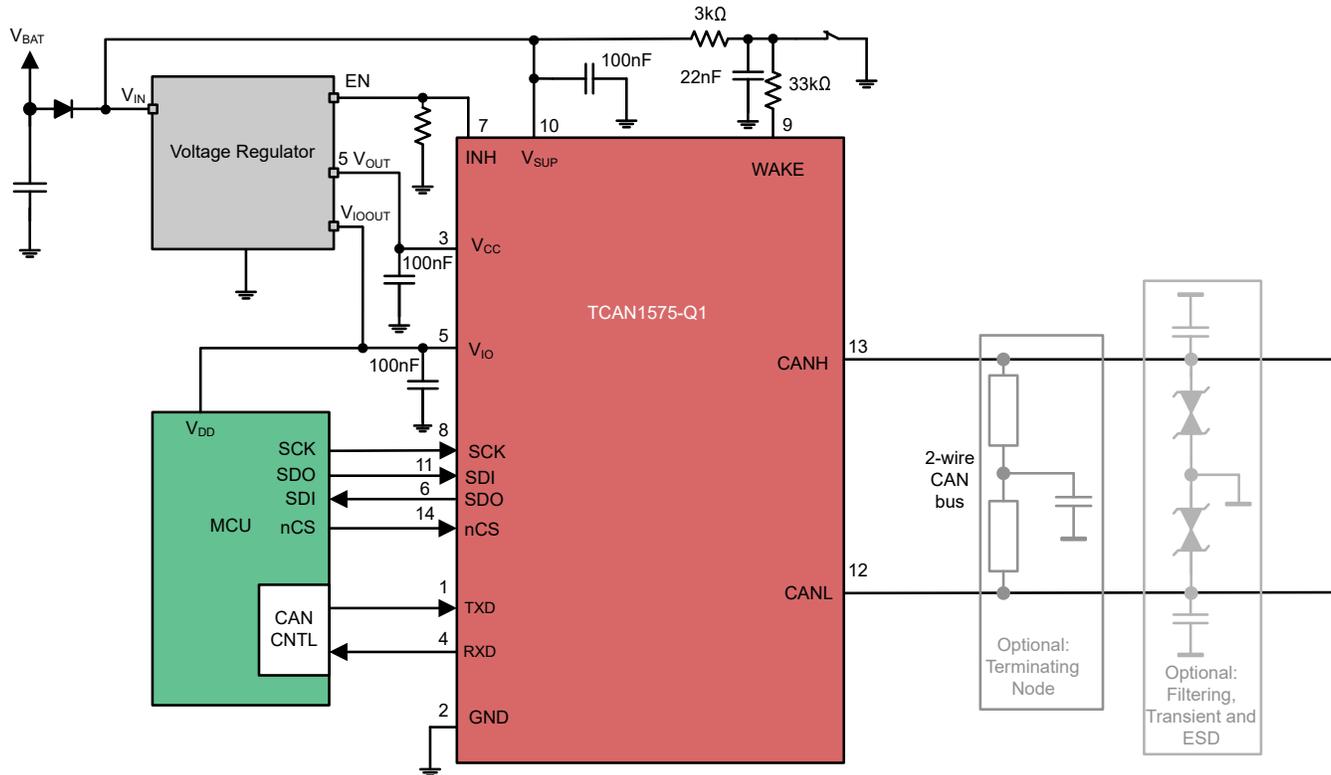


図 9-5. TCAN1575-Q1 の代表的な CAN アプリケーション

注記: 必要に応じて、デカップリング コンデンサを追加します。

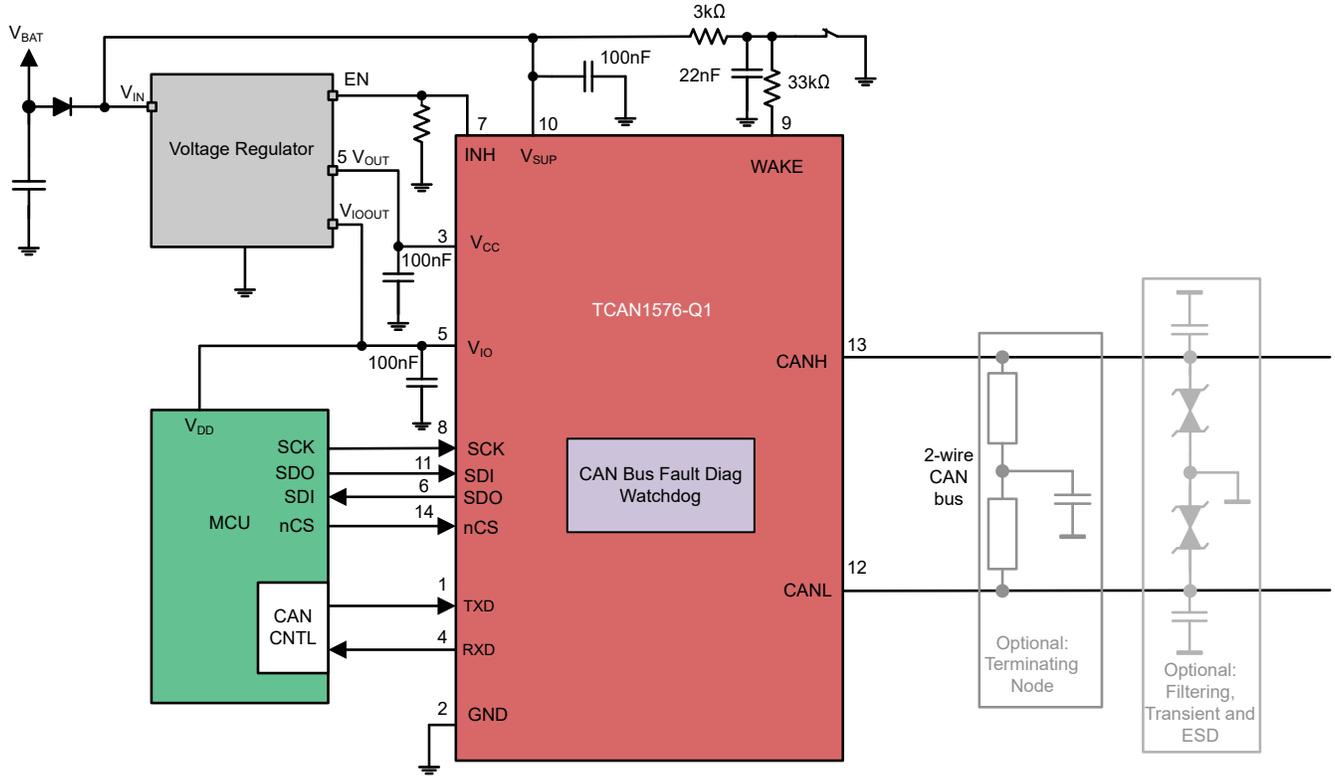


図 9-6. TCAN1576-Q1 の代表的な CAN アプリケーション

9.2.1 設計要件

ISO 11898-2:2016 規格では、最大バス長 40m、最大スタブ長 0.3m と規定されています。ただし、入念な設計を行えば、より長いケーブルやスタブ、より多くのノードをバスに接続することも可能です。ノード数が多い場合には、TCAN1576-Q1 のような高入力インピーダンスのトランシーバが必要になります。多くの CAN の関連団体や規格は、本来の ISO 11898-2:2016 規格外のアプリケーションへと CAN の使用を拡大してきました。システム設計では、データレート、ケーブル長、バスの寄生負荷の間でトレードオフが生じます。TCAN1576-Q1 は、並列接続されたトランシーバなどの最悪条件を織り込んだうえで、50Ω 負荷で 1.5V の要件を満たすように規定されています。TCAN1576-Q1 の差動入力抵抗は最小 30kΩ です。たとえば、100 個の TCAN1576-Q1 を並列にバスへ接続した場合、最悪条件の 300Ω の差動負荷となります。この 300Ω のトランシーバ負荷と並列に 60Ω の終端抵抗が接続されると、実効的な負荷は 50Ω になります。そのため、TCAN1576-Q1 最大 100 個まで単一のバス セグメントに接続可能とされています。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、ネットワークの不均衡、グラウンド オフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、はるかに少なくなります。また、バス長は、慎重なシステム設計およびデータレートとのトレードオフにより、本来の ISO 11898-2:2016 規格の 40m を超えて延長することが可能です。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。CAN ネットワーク設計におけるこの柔軟性は、本来の ISO 11898-2:2016 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。この柔軟性を活かすには、適切なネットワーク設計に対する責任と前述のトレードオフのバランスを取ることが求められます。

9.2.2 詳細な設計手順

ISO 11898-2:2024 付属書 A では、相互接続は 100Ω の特性インピーダンス (Z_0) を持つツイストペア ケーブル (シールド付きまたはシールドなし) を使用することが規定されています。信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端します。ノードをバスに接続する終端されていないドロップ ライン (スタブ) は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端抵抗は、ケーブル自体またはノード内にあっても構いませんが、ノードがバスから取り除かれる可能性がある場合、ネットワークに常に 2 つの終端が確保されるように配置を工夫する必要があります。終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 100Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用することができます。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

9.2.2.1 ブラウンアウト

図 9-7 に、ブラウンアウト イベント中の INH ピン動作を示しています。ブラウンアウトとは、 V_{SUP} が UV_{SUP} 以下で POR 状態を上回っている場合を指します。このイベントの間、RXD ピンの内部プルアップ抵抗がアクティブになり、RXD ピンの出力は V_{IO} の電圧レベルにプルアップされます。

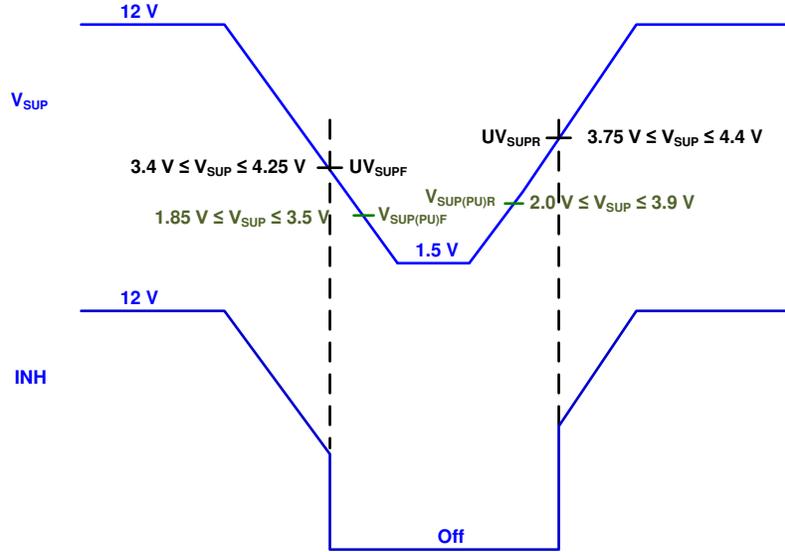


図 9-7. ブラウンアウト時の INH 動作

注

TCAN1576-Q1 で UV_{SUP} イベントが発生すると、CAN バスはグランドにバイアスされます。

9.2.3 アプリケーション曲線

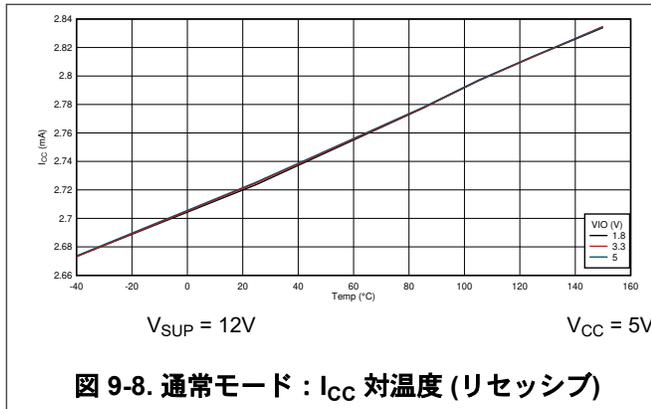


図 9-8. 通常モード : I_{CC} 対温度 (リセッシブ)

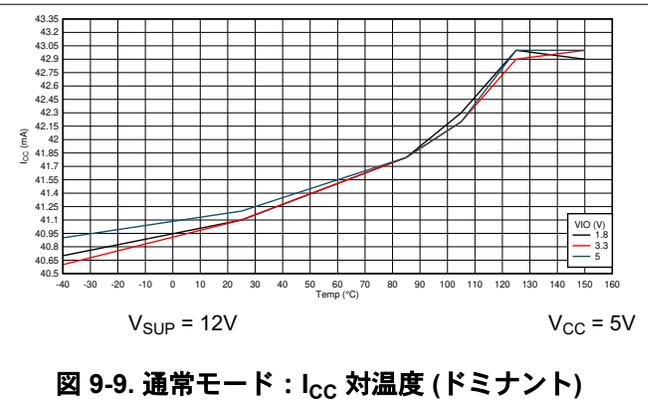


図 9-9. 通常モード : I_{CC} 対温度 (ドミナント)

9.3 電源に関する推奨事項

TCAN1576-Q1 は、バッテリー V_{bat} と、CAN トランシーバと低電圧 CAN レシーバをサポートする 5V V_{CC} で動作するように設計されています。広範なマイクロプロセッサに対応するため、SPI インターフェースは V_{IO} ピンから電源供給され、1.8V、3.3V、5V のレベルをサポートします。 V_{SUP} 電源の近くには、通常 $10\mu F$ のバルク容量を配置し、さらに V_{SUP} 端子の近くに $100nF$ のコンデンサを配置します。 V_{IO} 供給源の近くに配置するバルク キャパシタに加えて、CAN トランシーバの V_{IO} 電源の近くにも通常 $1\mu F$ のバルク キャパシタを配置します。

9.4 レイアウト

堅牢で信頼性の高いバス ノード設計には、工業環境で発生し得る EFT やサージ過渡から保護するために、外付けの過渡保護デバイスを使用が必要になることがよくあります。ESD およびトランジェントは、概ね 3MHz から 3GHz にわたる広い周波数帯域を持つため、PCB 設計時には高周波レイアウト技術を適用する必要があります。このファミリーは IEC 規格に準拠した高耐性のオンチップ ESD 保護を内蔵していますが、より高いシステムレベル耐性が求められる場合は、外付け

の TVS ダイオードを併用します。TVS ダイオードとバス フィルタリング コンデンサは、オンボード コネクタのできるだけ近くに配置し、過渡ノイズ事象が PCB やシステム内へ伝搬するのを防止します。

9.4.1 レイアウトのガイドライン

過渡現象、ESD、ノイズがボード上に伝播するのを防ぐため、保護およびフィルタリング回路をバス コネクタ J1 のできるだけ近くに配置します。このレイアウト例では、デバイスの周囲のコンポーネントに関する情報を提供します。過度電圧サプレッサ (TVS) を追加することで、D1 に示すように保護を強化できます。量産ソリューションは、アプリケーション要件に一致する定格を持つ、双方向の TVS ダイオードまたはバリスタのいずれかになります。この例では、オプションのバスフィルタ コンデンサ C10、および C11 も示しています。直列同相モード チョーク (CMC) を、TCAN1576-Q1 とコネクタ J1 の間の CANH ラインおよび CANL ラインに配置します。

信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。電源およびグランド プレーンを使用して、低インダクタンスを実現します。

注

高周波電流は、抵抗が最小ではなく、インピーダンスが最小であるパスに追従する傾向があることに注意してください。

実効ピア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの VCC およびグランド接続には少なくとも 2 つのピアを使用します。

- バイパス キャパシタおよびバルク キャパシタは、トランシーバの電源端子にできるだけ近い場所に配置する必要があります。例として、V_{CC} には C1、V_{IO} ピンには C2、V_{SUP} には C4 と C5 を配置します。
- バス終端: このレイアウト例では、分割終端を示します。終端は 2 つの抵抗 R4 と R5 に分割され、終端の中央タップまたは分割タップはコンデンサ C6 を介してグランドに接続されます。分割終端は、バス同相モードのフィルタリングを提供します。終端をバスに直接ではなく基板上に配置する場合、終端ノードがバスから取り外されて終端が失われないう、細心の注意を払う必要があります。
- 端子 6 (SDO/nINT) はオープンドレインであるため、nINT として動作させる場合は V_{IO} への外付けプルアップ抵抗が必要です。抵抗値は 2k Ω ~ 10k Ω の範囲で使用できます。
- 端子 7 (INH) は未使用の場合、100k Ω 抵抗をグランドに接続できます。
- 端子 9 (WAKE) は、通常外部スイッチに接続されている双方向ウェークアップです。ピンは、図に示すように、C3 (22nF コンデンサ) GND に接続し、R2=33k Ω 、R3=3k Ω で構成します。
- 端子 14 は nCS ピンです。

9.4.2 レイアウト例

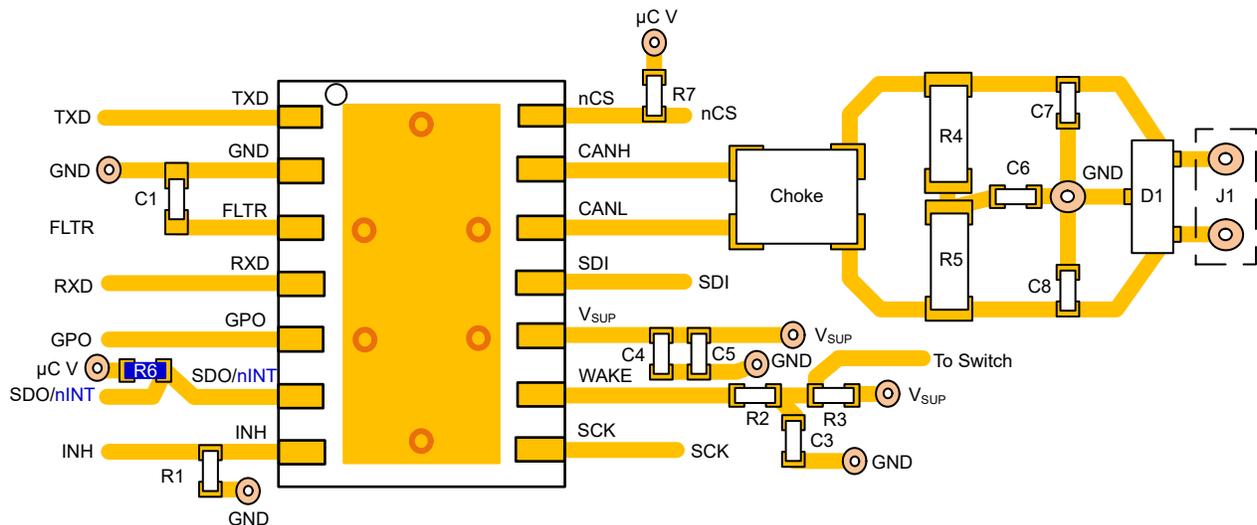


図 9-10. レイアウト例

10 レジスタ

10.1 レジスタ マップ

TCAN1576-Q1 には、7 ビット アドレスリングを持つ包括的なレジスタ セットがあります。

表 10-1 に、デバイスのレジスタに対するメモリマップト レジスタを示しています。表 10-1 にリストされていないすべてのレジスタ オフセット アドレスは予約領域と見なされます。レジスタの内容は変更しないでください。

表 10-1. デバイスのレジスタ

アドレス	略称	レジスタ名	セクション
0h + 式	DEVICE_ID_y	デバイス部品番号	セクション 10.1.1
8h	REV_ID_MAJOR	メジャー リビジョン	セクション 10.1.2
9h	REV_ID_MINOR	マイナー リビジョン	セクション 10.1.3
Ah + 式	SPI_RSVD_x	SPI 予約済みレジスタ	セクション 10.1.4
Fh	Scratch_Pad_SPI	読み取り / 書き込みテストレジスタ SPI	セクション 10.1.5
10h	MODE_CNTRL	モード構成	セクション 10.1.6
11h	WAKE_PIN_CONFIG	WAKE ピンの構成	セクション 10.1.7
12h	PIN_CONFIG	ピン構成	セクション 10.1.8
13h	WD_CONFIG_1 ⁽¹⁾	ウォッチドッグ構成 1	セクション 10.1.9
14h	WD_CONFIG_2 ⁽¹⁾	ウォッチドッグ構成 2	セクション 10.1.10
15h	WD_INPUT_TRIG ⁽¹⁾	ウォッチドッグ入力トリガ	セクション 10.1.11
16h	WD_RST_PULSE ⁽¹⁾	リセット出力パルス幅	セクション 10.1.12
17h	FSM_CONFIG	フェイルセーフ モード構成	セクション 10.1.13
18h	FSM_CNTR	フェイルセーフ モード カウンタ	セクション 10.1.14
19h	DEVICE_RST	デバイスリセット。	セクション 10.1.15
1Ah	DEVICE_CONFIG1	デバイス構成	セクション 10.1.16
1Bh	DEVICE_CONFIG2	デバイス構成	セクション 10.1.17
1Ch	SWE_EN	スリープ ウェーク エラー タイマ イネーブル	セクション 10.1.18
29h	SDO_CONFIG	SDO が nINT 機能もサポートできるようにします	セクション 10.1.19
2Dh	WD_QA_CONFIG ⁽¹⁾	Q&A ウォッチドッグ構成	セクション 10.1.20
2Eh	WD_QA_ANSWER ⁽¹⁾	Q&A ウォッチドッグ回答	セクション 10.1.21
2Fh	WD_QA_QUESTION ⁽¹⁾	Q&A ウォッチドッグ質問	セクション 10.1.22
30h	SW_ID1	選択的ウェーク ID 1	セクション 10.1.23
31h	SW_ID2	選択的ウェーク ID 2	セクション 10.1.24
32h	SW_ID3	選択的ウェーク ID 3	セクション 10.1.25
33h	SW_ID4	選択的ウェーク ID 4	セクション 10.1.26
34h	SW_ID_MASK1	選択的ウェーク ID マスク 1	セクション 10.1.27
35h	SW_ID_MASK2	選択的ウェーク ID マスク 2	セクション 10.1.28
36h	SW_ID_MASK3	選択的ウェーク ID マスク 3	セクション 10.1.29
37h	SW_ID_MASK4	選択的ウェーク ID マスク 4	セクション 10.1.30
38h	SW_ID_MASK_DLC	ID マスク、DLC、データ マスク イネーブル	セクション 10.1.31
39h + 式	DATA_y	CAN データバイト 7 ~ 0	セクション 10.1.32
41h + 式	SW_RSVD_y	SW_RSVD0~SW_RSVD4	セクション 10.1.33
44h	SW_CONFIG_1	CAN および CAN FD DR と動作	セクション 10.1.34
45h	SW_CONFIG_2	フレーム カウンタ	セクション 10.1.35

表 10-1. デバイスのレジスタ (続き)

アドレス	略称	レジスタ名	セクション
46h	SW_CONFIG_3	フレームカウンタのスレッシュホールド	セクション 10.1.36
47h	SW_CONFIG_4	モード構成	セクション 10.1.37
48h + 式	SW_CONFIG_RSVD_y	SW_CONFIG_RSVD_0~SW_CONFIG_RSVD_2	セクション 10.1.38
4Bh	DEVICE_CONFIGx	デバイス構成	セクション 10.1.39
50h	INT_GLOBAL	グローバル割り込み	セクション 10.1.40
51h	INT_1	割り込み	セクション 10.1.41
52h	INT_2	割り込み	セクション 10.1.42
53h	INT_3	割り込み	セクション 10.1.43
54h	INT_CANBUS ⁽¹⁾	CAN バス フォルトの割り込み	セクション 10.1.44
55h	INT_GLOBAL_ENABLE	INT_GLOBAL の割り込みイネーブル	セクション 10.1.45
56h	INT_ENABLE_1	INT_1 の割り込みイネーブル	セクション 10.1.46
57h	INT_ENABLE_2	INT_2 の割り込みイネーブル	セクション 10.1.47
58h	INT_ENABLE_3	INT_3 の割り込みイネーブル	セクション 10.1.48
59h	INT_ENABLE_CANBUS ⁽¹⁾	INT_CANBUS の割り込みイネーブル	セクション 10.1.49
5Ah + 式	INT_RSVD_y	割り込み予約済みレジスタ INT_RSVD0 ~ INT_RSVD5	セクション 10.1.50

(1) TCAN1576-Q1

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 10-2 このセクションでアクセスタイプに使用しているコードを示します。

表 10-2. デバイスのアクセス タイプ コード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	H R	ハードウェアによってセットまたはクリア 読み取り
書き込みタイプ		
H	H	ハードウェアによる設定またはクリア
W	W	書き込み
W1C	1C W	1 でクリア 書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i, j, k, l, m, n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタグループの一部であるレジスタアレイの値を示します。レジスタグループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタアレイの値を示します。

10.1.1 DEVICE_ID_y レジスタ (アドレス = 0h + 式) [リセット = 値]

図 10-1 に DEVICE_ID_y を示し、表 10-3 に、説明を示します。

概略表に戻ります。

デバイス型番 - 説明フィールドに記載されているリセット値。

オフセット = 0h + y (ただし、y = 0h ~ 7h)

図 10-1. DEVICE_ID_y レジスタ

7	6	5	4	3	2	1	0
DEVICE_ID							
R 値							

表 10-3. DEVICE_ID_y レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEVICE_ID	R	値	DEVICE_ID[1:8] レジスタは、デバイスの型番を決定します。 対応するレジスタ アドレスごとに、各 DEVICE_ID レジスタのリセット値および値を以下に示します。 アドレス 00h = 54h アドレス 01h = 43h アドレス 02h = 41h アドレス 03h = 4Eh アドレス 04h = 31h アドレス 05h = 34h アドレス 06h = 36h アドレス 07h = 35h (TCAN1575-Q1) アドレス 07h = 39h (TCAN1576-Q1)

10.1.2 REV_ID_MAJOR レジスタ (アドレス = 8h) [リセット = 00h]

図 10-2 に REV_ID_MAJOR を示し、表 10-4 に、説明を示します。

概略表に戻ります。

メジャー リビジョン

図 10-2. REV_ID_MAJOR レジスタ

7	6	5	4	3	2	1	0
Major_Revision							
R-00h							

表 10-4. REV_ID_MAJOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Major_Revision	R	00h	メジャー ダイリビジョン

10.1.3 REV_ID_MINOR レジスタ (アドレス = 9h) [リセット = 01h]

図 10-3 に REV_ID_MINOR を示し、表 10-5 に、説明を示します。

概略表に戻ります。

マイナー リビジョン

図 10-3. REV_ID_MINOR レジスタ

7	6	5	4	3	2	1	0
Minor_Revision							

図 10-3. REV_ID_MINOR レジスタ (続き)

R-01h

表 10-5. REV_ID_MINOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Minor_Revision	R	01h	マイナー ダイリビジョン

10.1.4 SPI_RSVD_x レジスタ (アドレス = Ah + 式) [リセット = 00h]

図 10-4 に SPI_RSVD_x を示し、表 10-6 に、説明を示します。

概略表に戻ります。

構成予約済みビット Ah ~ Eh

オフセット = Ah + x (ただし x = 0h to 4h)

図 10-4. SPI_RSVD_x レジスタ

7	6	5	4	3	2	1	0
SPI_RSVD_x							
R-00h							

表 10-6. SPI_RSVD_x レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SPI_RSVD_x	R	0b	SPI 予約済みレジスタ 0 ~ 4

10.1.5 Scratch_Pad_SPI レジスタ (アドレス = Fh) [リセット = 00h]

図 10-5 に Scratch_Pad_SPI を示し、表 10-7 に、説明を示します。

概略表に戻ります。

読み取り / 書き込みテストレジスタ SPI

図 10-5. Scratch_Pad_SPI レジスタ

7	6	5	4	3	2	1	0
Scratch_Pad							
R/W-00h							

表 10-7. Scratch_Pad_SPI レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Scratch_Pad	R/W	00h	読み取り / 書き込みテストレジスタ SPI

10.1.6 MODE_CNTRL レジスタ (アドレス = 10h) [リセット = 04h]

図 10-6 に MODE_CNTRL を示し、表 10-8 に、説明を示します。

概略表に戻ります。

モード選択および機能の有効化・無効化

図 10-6. MODE_CNTRL レジスタ

7	6	5	4	3	2	1	0
SW_EN	DTO_DIS	FD_EN	RSVD		MODE_SEL		
R/W-0b	R/W-0b	R/W-0b	R-00b		R/W-100b		

表 10-8. MODE_CNTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SW_EN	R/W	0b	選択的ウェーク イネーブル 0b = 無効 1b = 有効
6	DTO_DIS	R/W	0b	ドミナント タイムアウト機能の無効化 0b = 有効 1b = 無効
5	FD_EN	R/W	0b	TCAN1576-Q1 の CAN バス フォルト検出の有効化それ以外の場合は予約済み 0b = 無効 1b = 有効
4-3	RSVD	R	00b	予約済み
2-0	MODE_SEL	R/W	100b	動作モード選択 001b = スリープ 100b = スタンバイ 101b = リスス 111b = 通常 注 注記: 現在のモードはリードバックで、それ以外の値は予約済みです

10.1.7 WAKE_PIN_CONFIG レジスタ (アドレス = 11h) [リセット = 4h]

図 10-7 に WAKE_PIN_CONFIG を示し、表 10-9 に、説明を示します。

概略表に戻ります。

WAKE ピンの動作を構成するためのレジスタ。

図 10-7. WAKE_PIN_CONFIG レジスタ

7	6	5	4	3	2	1	0
WAKE_CONFIG		WAKE_STAT		WAKE_WIDTH_INVALID		WAKE_WIDTH_MAX	
R/W-00b		R/W0C/H-00b		R/W-01b		R/W-00b	

表 10-9. WAKE_PIN_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WAKE_CONFIG	R/W	00b	WAKE ピンの構成。注記: パルスは追加のプログラミングが必要です 00b = 双方向、どちらかのエッジ 01b = 立ち上がりエッジ 10b = 立ち下がりエッジ 11b = パルス
5-4	WAKE_STAT	R/W0C/H	00b	WAKE ピンのステータス 00b = 変更なし 01b = 立ち上がりエッジ 10b = 立ち下がりエッジ 11b = パルス 注 状態変更後の WAKE ピンのステータスがここに表示されます。この変更をクリアするには、これらのビットに 00 を書き込む必要があります。フィルタされた WAKE の場合、レジスタ 12h[7] で選択した方法に応じて、立ち上がりエッジまたは立ち下がりエッジが表示されます

表 10-9. WAKE_PIN_CONFIG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	WAKE_WIDTH_INVALID	R/W	01b	これ以下のパルスは無効と見なされます 00b = 5ms、 $t_{WAKE_WIDTH_MIN}$ を 10ms に設定します 01b = 10ms、 $t_{WAKE_WIDTH_MIN}$ を 20ms に設定します 10b = 20ms、 $t_{WAKE_WIDTH_MIN}$ を 40ms に設定します 11b = 40ms、 $t_{WAKE_WIDTH_MIN}$ を 80ms に設定します
1-0	WAKE_WIDTH_MAX	R/W	00b	有効と見なされる WAKE ピンの最大入力パルス幅。 00b = 750ms 01b = 1000ms 10b = 1500ms 11b = 2000ms

10.1.8 PIN_CONFIG レジスタ (アドレス = 12h) [リセット = 00h]

図 10-8 に、PIN_CONFIG を示し、表 10-10 に、その説明を示します。

概略表に戻ります。

デバイス構成レジスタ

図 10-8. PIN_CONFIG レジスタ

7	6	5	4	3	2	1	0
WAKE_PULSE_CONFIG	RSVD		nINT_SEL		RXD_WK_CONFIG		RSVD
R/W-0b	R-00b		R/W-00b		R/W-0b		R-00b

表 10-10. PIN_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE_PULSE_CONFIG	R/W	0b	WAKE ピンの予想パルス / フィルタ方向を設定 0b = Low -> High -> Low (パルス)、Low -> High (フィルタ処理済み) 1b = High -> Low -> High (パルス)、High -> Low (フィルタ処理済み)
6-5	RSVD	R	00b	予約済み
4-3	nINT_SEL	R/W	00b	nINT 構成の選択: アクティブ "Low" 00b = グローバル割り込み 01b = ウォッチドッグ エラー出力 10b = バスフォルト割り込み 11b = ウェーク要求
2	RXD_WK_CONFIG	R/W	0b	ウェーク イベントからの RXD ピン動作を設定 0b = Low にプル 1b = トグル
1-0	RSVD	R	00b	予約済み

10.1.9 WD_CONFIG_1 レジスタ (アドレス = 13h) [リセット = 15h]

図 10-9 に、WD_CONFIG_1 レジスタを示し、表 10-11 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

TCAN1576-Q1 のウォッチドッグ構成セットアップ 1

図 10-9. WD_CONFIG_1 レジスタ

7	6	5	4	3	2	1	0
WD_CONFIG		WD_PRE		WD_ERR_CNT_SET		WD_ACT	
R/W-00b		R/W-01b		R/W-01b		R/W-01b	

表 10-11. WD_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_CONFIG	R/W	00b	ウォッチドッグ構成 00b = 無効 01b = タイムアウト 10b = ウィンドウ 11b = Q&A
5-4	WD_PRE	R/W	01b	ウォッチドッグ プリスケーラ 00b = 係数 1 01b = 係数 2 10b = 係数 3 11b = 係数 4
3-2	WD_ERR_CNT_SET	R/W	01b	ウォッチドッグ イベントのエラー カウンタを設定 (このカウンタがオーバーフローすると、ウォッチドッグ出力がトリガされます) 00b = 各 WD イベントごとに即時トリガ 01b = 5 回目のエラー イベントでトリガ 10b = 9 回目のエラー イベントでトリガ 11b = 15 回目のエラー イベントでトリガ
1-0	WD_ACT	R/W	01b	ウォッチドッグ出力トリガのイベントアクション 00b = INH を 300ms 間オフにし、WD 割り込みを設定 01b = WD 割り込みを設定 10b = INH を 300ms 間オフにし、WD 割り込みを設定し、スタンバイモードに遷移 11b = 予約済み

注

WD_ACT の場合、01b が選択され、nINT_SEL = 01b (8'h12[4:3]) および SDO_CONFIG = 1b (8'h29[0]) の場合、nINT ピンは WDPW, 8'h16[3:0] で規定される時間だけ Low パルス駆動されます。

10.1.10 WD_CONFIG_2 レジスタ (アドレス = 14h) [リセット = 02h]

図 10-10 に、WD_CONFIG_2 レジスタを示し、表 10-12 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

TCAN1576-Q1 のウォッチドッグ構成セットアップ 2

図 10-10. WD_CONFIG_2 レジスタ

7	6	5	4	3	2	1	0
WD_TIMER			WD_ERR_CNT			RSVD	
R/W-000b			RH-0001b			R-0b	

表 10-12. WD_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	WD_TIMER	R/W	000b	WD_PRE 設定に基づいてウィンドウ時間またはタイムアウト時間を設定 詳細は WD_TIMER 表を参照
4-1	WD_ERR_CNT	RH	0001b	ウォッチドッグ エラー カウンタ 最大 15 回のエラーをカウント
0	RSVD	R	0b	予約済み

10.1.11 WD_INPUT_TRIG レジスタ (アドレス = 15h) [リセット = 00h]

図 10-11 に WD_INPUT_TRIG を示し、表 10-13 に説明を示します。

概略表に戻ります。

FFh を書き込むと、TCAN1576-Q1 の適切なタイミングで WD タイマがリセットされます

図 10-11. WD_INPUT_TRIG レジスタ

7	6	5	4	3	2	1	0
WD_INPUT							
W1C-00h							

表 10-13. WD_INPUT_TRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_INPUT	R/W1C	00h	WD をトリガするには、FFh を書き込みます

10.1.12 WD_RST_PULSE レジスタ (アドレス = 16h) [リセット = 07h]

図 10-12 に WD_RST_PULSE を示し、表 10-14 に、説明を示します。

概略表に戻ります。

TCAN1576-Q1 で、この機能の出力に nINT を選択した場合に、WD トリガ イベントのパルス幅を選択します。

図 10-12. WD_RST_PULSE レジスタ

7	6	5	4	3	2	1	0
予約済み				WDPW			
R-0000b				R/W-0111b			

表 10-14. WD_RST_PULSE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0000b	予約済み
3-0	WDPW	R/W	0111b	選択した場合のウィンドウ WD リセットパルス幅 (ms) 0001b = 3.6 ~ 5 0010b = 10 ~ 12.5 0100b = 40 ~ 50 0111b = 150 ~ 190 1000b = 1 ~ 1.5 1011b = 20 ~ 25 1101b = 60 ~ 75 1110b = 100 ~ 125

10.1.13 FSM_CONFIG レジスタ (アドレス = 17h) [リセット = 00h]

図 10-13 に FSM_CONFIG を示し、表 10-15 に、説明を示します。

概略表に戻ります。

フェイルセーフ モードを設定します。

図 10-13. FSM_CONFIG レジスタ

7	6	5	4	3	2	1	0
FS_CNTR_EN	FS_CNTR_ACT			FS_STAT		FS_DIS	
R/W-0b	R/W-000b			RH-000b		R/W-0b	

表 10-15. FSM_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FS_CNTR_EN	R/W	0b	フェイルセーフ モード カウンタを有効化 0b = 無効 1b = 有効

表 10-15. FSM_CONFIG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-4	FS_CNTR_ACT	R/W	000b	フェイルセーフ カウンタが設定値を超えた場合の動作 000b = 動作なし 001b = INH を 1 秒間 Low に駆動 010b = ソフトリセットを実行 011b = ハードリセット (POR) を実行 100b = ウェーク イベントへの応答を停止し、パワー サイクルリセットまでスリープ 101b = 予約済み 110b = 予約済み 111b = 予約済み <div style="text-align: center;">注</div> <ul style="list-style-type: none"> 001b を選択した場合、有効な場合、動作が実行された後に SWE タイマが開始されます。 010b および 011b を選択した場合、使用する場合は SWE タイマを再有効化する必要があります。
3-1	FS_STAT	RH	000b	フェイルセーフ モードに移行する理由 000b = FS モードではない 001b = サーマル シャットダウン イベント 010b = 予約済み 011b = UV _{CC} 他のすべての組み合わせは予約済み <div style="text-align: center;">注</div> <p>これらの値は、FSM_CNTR_STAT に 0h を書き込むことでクリアされるまで保持されます</p>
0	FS_DIS	R/W	0b	フェイルセーフの無効化: 電源投入時のフェイルセーフを除外 0b = 有効 1b = 無効

10.1.14 FSM_CNTR レジスタ (アドレス = 18h) [リセット = 00h]

図 10-14 に FSM_CNTR を示し、表 10-16 に、説明を示します。

概略表に戻ります。

フェイルセーフ カウンタとステータスを設定します。

図 10-14. FSM_CNTR レジスタ

7	6	5	4	3	2	1	0
FSM_CNTR_SET				FSM_CNTR_STAT			
R/W-0h				RH-0h			

表 10-16. FSM_CNTR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FSM_CNTR_SET	R/W	0h	動作が実行される前に FS モードが開始する回数を設定します。値は、FS モードに移行した回数より -1 を設定します。範囲は 0 ~ 15 で、フェイルセーフ モードに 1 ~ 16 回入ることを表します
3-0	FSM_CNTR_STAT	RH	0h	FSM に入った回数を最大 15 回まで読み取ります。0h を書き込むことでクリアされます。

10.1.15 DEVICE_RST レジスタ (アドレス = 19h) [リセット = 00h]

図 10-15 に DEVICE_RST を示し、表 10-17 に、説明を示します。

概略表に戻ります。

ソフトリセットまたはハードリセットを強制します。

図 10-15. DEVICE_RST レジスタ

7	6	5	4	3	2	1	0
予約済み						SF_RST	HD_RST
R-000000b						R/W1C-0b	R/W1C-0b

表 10-17. DEVICE_RST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	00000b	予約済み
1	SF_RST	R/W1C	0b	ソフトリセット: 1b を書き込むと、ソフトリセットが実行されます。INH をオンに維持し、デバイスレジスタはデフォルト値に戻ります。
0	HD_RST	R/W1C	0b	ハードリセット: 1b を書き込むと、強制的にパワーオンリセットが実行されます。
注 注記: これにより、PWRON 割り込みフラグが設定されます。				

10.1.16 DEVICE_CONFIG1 レジスタ (アドレス = 1Ah) [リセット = 00h]

図 10-16 に、DEVICE_CONFIG1 レジスタを示し、表 10-18 にこのレジスタのフィールドの説明を示します

概略表に戻ります。

VIO が有効な場合、SPI がスリープモードで動作できるようにします。

LIMP ピンは TCAN1576-Q1 のみ有効で、TCAN1575-Q1 では予約済みとなります。

図 10-16. DEVICE_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
RSVD	INH_DIS	INH_LIMP_SEL	LIMP_DIS	LIMP_SEL_RESET		LIMP_RESET	RSVD
R-0b	R/W-0b	R/W - 0b	R/W - 0b	R/W - 00b		R/W1C - 0b	R - 0b

表 10-18. DEVICE_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0b	予約済み
6	INH_DIS	R/W	0b	INH ピンの無効化 0b = 有効 1b = 無効
5	INH_LIMP_SEL	R/W	0b	ピン機能選択 0b = INH 1b = LIMP
4	LIMP_DIS	R/W	0b	LIMP 機能が選択されている場合の LIMP ピンの無効化 0b = 有効 1b = 無効
3-2	LIMP_SEL_RESET	R/W	00b	LIMP ピンをリセット / オフする方法を選択 00b = 3 回目の WD 入力トリガが正常に動作した時点で、エラーカウンタが受け取ります。 01b = 最初の正しい WD 入力トリガ 10b = WD 入力トリガは使用しない 11b = 予約済み

表 10-18. DEVICE_CONFIG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	LIMP_RESET	R/W1C	0b	LIMP リセット / オフ: この位置に 1 を書き込むと、LIMP ピンがオフ状態にリセットされ、ビットは自動的にクリアされます
0	RSVD	R	0b	予約済み

10.1.17 DEVICE_CONFIG2 レジスタ (アドレス = 1Bh) [リセット = 0h]

図 10-17 に、DEVICE_CONFIG2 レジスタを示し、表 10-19 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

WAKE ピンのパルス設定から $t_{WK_WIDTH_MAX}$ を無効化し、 $t_{WK_WIDTH_INVALID}$ と $t_{WK_WIDTH_MIN}$ に基づいて WAKE ピンをフィルタされた WAKE ピンとして動作させます

CAN_WUP_DIS を使用して、CAN バスのウェークアップ (WUP) 機能をマスクします

図 10-17. DEVICE_CONFIG2 レジスタ

7	6	5	4	3	2	1	0
予約済み						WAKE_WIDTH_MAX_DIS	CAN_WUP_DIS
R-00000b						R/W-0b	R/W-0b

表 10-19. DEVICE_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	00000b	予約済み
1	WAKE_WIDTH_MAX_DIS	R/W	0b	WAKE パルスの最大幅を無効化。 $t_{WK_WIDTH_MAX}$ を無効化し、デバイスを WAKE フィルタ構成にします。 0b = イネーブル 1b = ディセーブル
0	CAN_WUP_DIS	R/W	0b	CAN バスのグリッチによる不要なウェークアップを防ぐため、CAN バスのウェークアップ (WUP) 機能をマスクします 0b = WUP 有効 1b = WUP 無効

10.1.18 SWE_EN レジスタ (アドレス = 1Ch) [リセット = 04h]

図 10-18 に SWE_EN を示し、表 10-20 に、説明を示します。

概略表に戻ります。

スリープ ウェーク エラー タイマを有効化します。電源投入時はタイマを有効にしません。

図 10-18. SWE_EN レジスタ

7	6	5	4	3	2	1	0
SWE_EN	予約済み				CANSLNT_SW_E_DIS	予約済み	
R/W-0b	R-0000b				R/W-1b	R-00b	

表 10-20. SWE_EN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SWE_EN	R/W	0b	スリープ ウェーク エラーの有効化:注記:これにより、ウェーク イベントでスリープ モードから復帰したときに SWE タイマが有効になります。これが有効な場合、SWE タイマの有効時間内に SPI の読み取りまたは書き込みを行う必要があり、行われない場合はデバイスが再びスリープに移行します。 0b = 無効 1b = 有効
6-3	RSVD	R	0000b	予約済み
2	CANSLNT_SWE_DIS	R/W	1b	SWE タイマは CANSLNT フラグには連動せず、t _{Silence} のみに基づいて無効化 0b = 有効 1b = 無効
1-0	RSVD	R	00b	予約済み

10.1.19 SDO_CONFIG レジスタ (アドレス = 29h) [リセット = 00h]

図 10-19 に SDO_CONFIG を示し、表 10-21 に、説明を示します。

概略表に戻ります。

SDO ピンを SDO のみとして構成するか、割り込みピン nINT としても動作できるように設定します。

図 10-19. SDO_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み							SDO_CONFIG
R-0000000b							R/W-0b

表 10-21. SDO_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0000000b	予約済み
0	SDO_CONFIG	R/W	0b	SDO ピンの設定:注記:SDO および nINT として構成されている場合、nCS が Low のときは SDO として動作し、nCS が High のときは nINT として動作します 0b = SDO のみ 1b = SDO および nINT

10.1.20 WD_QA_CONFIG レジスタ (アドレス = 2Dh) [リセット = 00h]

図 10-20 に WD_QA_CONFIG を示し、表 10-22 に、説明を示します。

概略表に戻ります。

Q&A ウォッチドッグ構成ビット (TCAN1576-Q1 のみ)

図 10-20. WD_QA_CONFIG レジスタ

7	6	5	4	3	2	1	0
WD_ANSW_GEN_CFG		WD_Q&A_POLY_CFG		WD_Q&A_POLY_SEED			
R/W-00b		R/W-00b		R/W-0000b			

表 10-22. WD_QA_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_ANSW_GEN_CFG	R/W	00b	WD 回答生成の構成
5-4	WD_Q&A_POLY_CFG	R/W	00b	WD Q&A 多項式の構成
3-0	WD_Q&A_POLY_SEED	R/W	0000b	リセット状態では、WD Q&A の多項式シード値がロードされます

注

電源投入直後、WD_Q&A_POLY_SEED のリードバック値は 0000b ですが、実際のシード値は 1010b です。一度書き込みを行うと、リードバック値と実際の値は一致します。

10.1.21 WD_QA_ANSWER レジスタ (アドレス = 2Eh) [リセット = 00h]

図 10-21 に WD_QA_ANSWER を示し、表 10-23 に、説明を示します。

概略表に戻ります。

Q&A ウォッチドッグ回答ビット (TCAN1576-Q1 のみ)

図 10-21. WD_QA_ANSWER レジスタ

7	6	5	4	3	2	1	0
WD_QA_ANSWER							
R-00h							

表 10-23. WD_QA_ANSWER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_QA_ANSWER	R/W	00h	マイコン ウォッチドッグに関する Q&A 回答バイト

10.1.22 WD_QA_QUESTION レジスタ (アドレス = 2Fh) [リセット = 3Ch]

図 10-22 に WD_QA_QUESTION を示し、表 10-24 に、説明を示します。

概略表に戻ります。

Q&A ウォッチドッグ質問ビット (TCAN1576-Q1 のみ)

図 10-22. WD_QA_QUESTION レジスタ

7	6	5	4	3	2	1	0
RSVD	QA_ANSW_ER R	WD_ANSW_CNT		WD_QUESTION			
R-0b	W1C-0b	R-11b		R-1100b			

表 10-24. WD_QA_QUESTION レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0b	予約済み
6	QA_ANSW_ERR	W1C	0b	ウォッチドッグ Q&A 回答エラー フラグ
5-4	WD_ANSW_CNT	R	11b	受信したウォッチドッグ Q&A エラーカウンタの現在の状態
3-0	WD_QUESTION	R	1100b	ウォッチドッグ質問の現在値

10.1.23 SW_ID1 レジスタ (アドレス = 30h) [リセット = 00h]

図 10-23 に、SW_ID1 レジスタを示し、表 10-25 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

拡張 ID ビット 17:10

図 10-23. SW_ID1 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_17:10							
R/W-00h							

表 10-25. SW_ID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_17:10	R/W	00h	拡張 ID ビット 17:10

10.1.24 SW_ID2 レジスタ (アドレス = 31h) [リセット = 00h]

図 10-24 に、SW_ID2 レジスタを示し、表 10-26 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

拡張 ID ビット 9:2

図 10-24. SW_ID2 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_9:2							
R/W-00h							

表 10-26. SW_ID2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_9:2	R/W	00h	拡張 ID ビット 9:2

10.1.25 SW_ID3 レジスタ (アドレス = 32h) [リセット = 00h]

図 10-25 に、SW_ID3 レジスタを示し、表 10-27 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

拡張 ID ビット 1:0、拡張 ID フィールド、ID[10:6] および 拡張 ID[28:24]

図 10-25. SW_ID3 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_1:0		IDE		ID_10:6__EXT_ID_28:24			
R/W-00b		R/W-0b		R/W-00000b			

表 10-27. SW_ID3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	EXT_ID_1:0	R/W	00b	拡張 ID ビット 1:0
5	IDE	R/W	0b	拡張 ID フィールド 0b = 標準 ID (11 ビット) 1b = 拡張 ID (29 ビット)
4-0	ID_10:6__EXT_ID_28:24	R/W	00000b	ID[10:6] および拡張 ID[28:24]

10.1.26 SW_ID4 レジスタ (アドレス = 33h) [リセット = 00h]

図 10-26 に、SW_ID4 レジスタを示し、表 10-28 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ID[5:0] および拡張 ID[23:18]

図 10-26. SW_ID4 レジスタ

7	6	5	4	3	2	1	0
ID_5:0__EXT_ID_23:18						予約済み	
R/W-000000b						R-00b	

表 10-28. SW_ID4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	ID_5:0__EXT_ID_23:18	R/W	000000b	ID[5:0] および拡張 ID[23:18]
1-0	予約済み	R	00b	予約済み

10.1.27 SW_ID_MASK1 レジスタ (アドレス = 34h) [リセット = 00h]

図 10-27 に、SW_ID_MASK1 レジスタを示し、表 10-29 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

拡張 ID マスク 17:16

図 10-27. SW_ID_MASK1 レジスタ

7	6	5	4	3	2	1	0
予約済み						EXT_ID_MASK_17:16	
R-000000b						R/W-00b	

表 10-29. SW_ID_MASK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	000000b	予約済み

表 10-29. SW_ID_MASK1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	EXT_ID_MASK_17:16	R/W	00b	拡張 ID マスク 17:16

10.1.28 SW_ID_MASK2 レジスタ (アドレス = 35h) [リセット = 00h]

図 10-28 に、SW_ID_MASK2 レジスタを示し、表 10-30 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

拡張 ID マスク 15:8

図 10-28. SW_ID_MASK2 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_MASK_15:8							
R/W-00h							

表 10-30. SW_ID_MASK2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_MASK_15:8	R/W	00h	拡張 ID マスク 15:8

10.1.29 SW_ID_MASK3 レジスタ (アドレス = 36h) [リセット = 00h]

図 10-29 に、SW_ID_MASK3 レジスタを示し、表 10-31 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

拡張 ID マスク 7:0

図 10-29. SW_ID_MASK3 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_MASK_7:0							
R/W-00h							

表 10-31. SW_ID_MASK3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_MASK_7:0	R/W	00h	拡張 ID マスク 7:0

10.1.30 SW_ID_MASK4 レジスタ (アドレス = 37h) [リセット = 00h]

図 10-30 に、SW_ID_MASK4 レジスタを示し、表 10-32 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

ID マスク 10:3 および拡張 ID マスク 28:21 (ベース ID)

図 10-30. SW_ID_MASK4 レジスタ

7	6	5	4	3	2	1	0
ID_MASK_10:3_EXT_ID_MASK_28:21							
R/W-00h							

表 10-32. SW_ID_MASK4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ID_MASK_10:3_EXT_ID_MASK_28:21	R/W	00h	ID マスク 10:3 および拡張 ID マスク 28:21 (ベース ID)

10.1.31 SW_ID_MASK_DLC レジスタ (アドレス = 38h) [リセット = 00h]

図 10-31 に SW_ID_MASK_DLC を示し、表 10-33 に、説明を示します。

概略表に戻ります。

ID Mask 2:0 および拡張 ID マスク 20:18 (標準 ID)、DLC[3:0]、データ マスク有効

図 10-31. SW_ID_MASK_DLC レジスタ

7	6	5	4	3	2	1	0
SW_ID_MASK_5			DLC			DATA_MASK_EN	
R/W-000b			R/W-0000b			R/W-0b	

表 10-33. SW_ID_MASK_DLC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	SW_ID_MASK_5	R/W	000b	ID マスク 2:0 および拡張 ID マスク 20:18 (標準 ID)
4-1	DLC	R/W	0000b	DLC[3:0]
0	DATA_MASK_EN	R/W	0b	データ マスクの有効化 0b = DLC フィールドとデータ フィールドは比較されず、有効と見なします。リモート フレームは許可されます。 1b = DLC フィールドは DLC[3:0] レジスタと一致する必要があり、一致の 1 を得るために DATAx レジスタと比較されます。リモートフレームは無視されます

10.1.32 DATA_y レジスタ (アドレス = 39h + 式) [リセット = 00h]

図 10-32 に DATA_y を示し、表 10-34 に、説明を示します。

概略表に戻ります。

レジスタ アドレス 39h ~ 40h

オフセット = 39h + (y * 1h)、ここで y = 0h ~ 7h

図 10-32. DATA_y レジスタ

7	6	5	4	3	2	1	0
DATAx							
R/W-00h							

表 10-34. DATA_y レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATAx	R/W	00h	CAN データバイト x

10.1.33 SW_RSVD_y レジスタ (アドレス = 41h + 式) [リセット = 00h]

図 10-33 に SW_RSVD_y を示し、表 10-35 に説明を示します。

概略表に戻ります。

レジスタ アドレス 41h ~ 43F

オフセット = 41h + (y * 1h)、ここで y = 0h~2h

図 10-33. SW_RSVD_y レジスタ

7	6	5	4	3	2	1	0
RSVD							
R-00h							

表 10-35. SW_RSVD_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RSVD	R	00h	予約済み

10.1.34 SW_CONFIG_1 レジスタ (アドレス = 44h) [リセット = 50h]

図 10-34 に、SW_CONFIG_1 レジスタを示し、表 10-36 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

CAN および CAN FD DR と動作

図 10-34. SW_CONFIG_1 レジスタ

7	6	5	4	3	2	1	0
SW_FD_PASSIVE	CAN_DR			FD_DR		RSVD	
R/W-0b	R/W-101b			R/W-00b		R-00b	

表 10-36. SW_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SW_FD_PASSIVE	R/W	0b	選択的ウェーク FD パッシブ: このビットは、CAN FD フレームが検出されたときのエラー カウンタの動作を変更します。 0b = CAN FD はエラー フレームとしてカウントされる 1b = CAN FD は無視される (パッシブ)
6-4	CAN_DR	R/W	101b	CAN バスのデータレート 000b = 50Kbps 001b = 100Kbps 010b = 125Kbps 011b = 250Kbps 100b = 予約済み 101b = 500Kbps 110b = 予約済み 111b = 1Mbps
3-2	FD_DR	R/W	00b	CAN バス FD データレート比の、CAN データレートに対する比 00b = CAN FD ≤ 4×CAN データレート 01b = CAN FD ≥ 5× かつ ≤ 10×CAN データレート 10b = 予約済み 11b = 予約済み
1-0	RSVD	R	0b	予約済み

10.1.35 SW_CONFIG_2 レジスタ (アドレス = 45h) [リセット = 00h]

図 10-35 に、SW_CONFIG_2 レジスタを示し、表 10-37 にこのレジスタのフィールドの説明を示します。

概略表 に戻ります

フレームエラーカウンタ:受信フレームエラー (S スタッブ ビット、CRC、または CRC デリミタの形式 エラー) が検出されるごとに、このエラー カウンタが 1 ずつインクリメントされます。カウンタが 0 でない場合、正しく受信された CAN フレームごとに 1 減少します。デバイスが CAN FD フレームに対してパッシブ設定の場合、CAN FD と判定されたフレームはフレーム エラー カウンタに影響しません (増加または減少なし)。フレームカウンタが FRAME_CNT_THRESHOLD[7:0] の値に到達すると、次の増分でカウンタがオーバーフローし、FRAME_OVF フラグが設定されます。このカウンタは、フレーム検出を有効化、または t_{SILENCE} 検出を有効化するとリセットされます。

図 10-35. SW_CONFIG_2 レジスタ

7	6	5	4	3	2	1	0
FRAME_CNTx							
RH-00h							

表 10-37. SW_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FRAME_CNTx	RH	00h	フレームエラーカウンタ:受信フレームエラー (S スタッブ ビット、CRC、または CRC デリミタの形式 エラー) が検出されるごとに、このエラー カウンタが 1 ずつインクリメントされます。カウンタが 0 でない場合、正しく受信された CAN フレームごとに 1 減少します。デバイスが CAN FD フレームに対してパッシブ設定の場合、CAN FD と判定されたフレームはフレーム エラー カウンタに影響しません (増加または減少なし)。フレームカウンタが FRAME_CNT_THRESHOLD[7:0] の値に到達すると、次の増分でカウンタがオーバーフローし、FRAME_OVF フラグを設定します。このカウンタは、フレーム検出を有効化、または t _{SILENCE} 検出を有効化するとリセットされます。

10.1.36 SW_CONFIG_3 レジスタ (アドレス = 46h) [リセット = 1Fh]

図 10-36 に、SW_CONFIG_3 レジスタを示し、表 10-38 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

フレーム エラー カウンタのスレッシュホールド:これらのビットは、エラー カウンタが最大設定値に到達する点を設定します。以降、次のエラー フレームでカウンタがオーバーフローし、FRAME_OVF フラグが設定されます。デフォルトは 31 であるため、32 回目のエラーでオーバーフロー フラグが設定されます

図 10-36. SW_CONFIG_3 レジスタ

7	6	5	4	3	2	1	0
FRAME_CNT_THRESHOLD							
R/W-1Fh							

表 10-38. SW_CONFIG_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FRAME_CNT_THRESHOLD	R/W	1Fh	フレーム エラー カウンタのスレッシュホールド:これらのビットは、エラー カウンタが最大値に到達する点を設定し、次のエラー フレームでオーバーフローが発生して FRAME_OVF フラグが設定されます。デフォルトは 31 であるため、32 回目のエラーでオーバーフロー フラグが設定されます。

10.1.37 SW_CONFIG_4 レジスタ (アドレス = 47h) [リセット = 00h]

図 10-37 に、SW_CONFIG_4 レジスタを示し、表 10-39 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 10-37. SW_CONFIG_4 レジスタ

7	6	5	4	3	2	1	0
SWCFG	CAN_SYNC_FD	CAN_SYNC	RSVD				
RH/W-0b	RH-0b	RH-0b	R-00000b				

表 10-39. SW_CONFIG_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SWCFG	RH/W	0b	<p>選択的ウェーク設定の完了 0b = SW レジスタ未設定 1b = SW レジスタ設定済み 注記:選択的ウェークを設定して有効化する最終ステップとして実行してください。</p> <p style="text-align: center;">注</p> <p>注記:これらのウェーク構成レジスタ (8'h30 ~ 8'h44、8'h46) のいずれかに書き込むと、SWCFG ビットはクリアされます。</p>
6	CAN_SYNC_FD	RH	0b	フレーム検出が有効な場合、デバイスが CAN FD フレームを正しくデコードしていることを示します。このフラグは、受信フレームごとに更新されます。このフラグをポーリングすることで、データ フィールド手前までデバイスが CAN FD フレームを正しくデコードしているかをシステムは判断できます。このフィールドは自動クリアです。
5	CAN_SYNC	RH	0b	CAN データに同期:このフラグは、フレーム検出が有効な場合、デバイスが CAN フレームを正しくデコードしていることを示します。このフラグは、受信フレームごとに更新されます。このフラグをポーリングすることで、デバイスが CAN フレームを正しくデコードしているかをシステムは判断できます。このフィールドは自動クリアです。
4-0	RSVD	R	00000b	予約済み

10.1.38 SW_CONFIG_RSVD_y レジスタ (アドレス = 48h + 式) [リセット = 00h]

図 10-38 に SW_CONFIG_RSVD_y を示し、表 10-40 に、説明を示します。

概略表に戻ります。

レジスタ アドレス 48h ~ 4Ah

オフセット = 48h + (y * 1h)、ここで y = 0h~2h

図 10-38. SW_CONFIG_RSVD_y レジスタ

7	6	5	4	3	2	1	0
RSVD							
R-00h							

表 10-40. SW_CONFIG_RSVD_y レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RSVD	R	00h	予約済み

10.1.39 DEVICE_CONFIGx レジスタ (アドレス = 4Bh) [リセット = 0h]

図 10-39 に DEVICE_CONFIGx を示し、表 10-41 に、説明を示します。

概略表に戻ります。

ウェーク中に RXD を LOW にトグルさせる際の V_{CC} 要件を無効化します。RXD での WAKE イベントは VIO のみで駆動されます。

図 10-39. DEVICE_CONFIGx レジスタ

7	6	5	4	3	2	1	0
予約済み							VCC_DIS
R-00000b							R/W-0b

表 10-41. DEVICE_CONFIGx レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	00000b	予約済み
0	VCC_DIS	R/W	0b	ウェーク中に RXD を LOW にトグルさせる際の VCC 要件を無効化します。 0b = VCC 要件有効 1b = VCC 要件無効

10.1.40 INT_GLOBAL レジスタ (アドレス = 50h) [リセット = 00h]

図 10-40 に INT_GLOBAL を示し、表 10-42 に、説明を示します。

概略表に戻ります。

特定の割り込みのロジカル OR

図 10-40. INT_GLOBAL レジスタ

7	6	5	4	3	2	1	0
GLOBALERR	INT_1	INT_2	INT_3	INT_CANBUS	RSVD		
RH-0b	RH-0b	RH-0b	RH-0b	RH-0b	R-000b		

表 10-42. INT_GLOBAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GLOBALERR	RH	0b	すべての割り込みのロジカル OR
6	INT_1	RH	0b	INT_1 レジスタのロジカル OR

表 10-42. INT_GLOBAL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	INT_2	RH	1b	INT_2 レジスタのロジカル OR
4	INT_3	RH	0b	INT_3 レジスタのロジカル OR
3	INT_CANBUS	RH	0b	INT_CANBUS レジスタのロジカル OR
2-0	RSVD	R	0000b	予約済み

10.1.41 INT_1 レジスタ (アドレス = 51h) [リセット = 00h]

図 10-41 に、INT_1 レジスタを示し、表 10-43 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

割り込みはデバイスに依存します。すべての割り込みは TCAN1576-Q1 のみ対象です。選択的ウェーク割り込みは TCAN157x-Q1 のみ対象です。

図 10-41. INT_1 レジスタ

7	6	5	4	3	2	1	0
WD	CANINT	LWU	WKERR	FRAME_OVF	CANSLNT	CANTO	CANDOM
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 10-43. INT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD	R/W1C	0b	ウォッチドッグ イベント割り込み。 注 この割り込みビットは、ウォッチドッグのエラー イベントごとに設定され、ウォッチドッグ エラー カウンタには依存しません
6	CANINT	R/W1C	0b	CAN バスのウェーク アップ割り込み
5	LWU	R/W1C	0b	ローカル ウェークアップ
4	WKERR	R/W1C	0b	SWE タイマが満了し、ステート マシンがスリープ モードに戻ると、ウェーク エラー ビットが設定されます
3	FRAME_OVF	R/W1C	0b	フレーム エラー カウンタのオーバフロー
2	CANSLNT	R/W1C	0b	CAN バスが $t_{SILENCE}$ の間非アクティブ
1	CANTO	R/W1C	0b	選択的ウェークが有効およびスリープ モードのとき、 $t_{SILENCE}$ の間 CAN バスが非アクティブ
0	CANDOM	R/W1C	0b	CAN バスがドミナント状態に固着

10.1.42 INT_2 レジスタ (アドレス = 52h) [リセット = 40h]

図 10-42 に、INT_2 レジスタを示し、表 10-44 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

すべての割り込みは TCAN1576-Q1 用です。選択的ウェーク割り込みは TCAN157x-Q1 のみ対象です

図 10-42. INT_2 レジスタ

7	6	5	4	3	2	1	0
SMS	PWRON	RSVD	UVSUP	UVIO	UVCC	TSD	TSDW
R/W1C-0b	R/W1C-1b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 10-44. INT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SMS	R/W1C	0b	スリープ モード ステータス フラグ。WKERR、UVIO タイムアウト、または UVIO+TSD フォルトによりスリープ モードに移行した場合のみ設定されます
6	PWRON	R/W1C	1b	電源オン
5	RSVD	R-0b	0b	予約済み
4	UVSUP	R/W1C	0b	V _{SUP} 低電圧
3	UVIO	R/W1C	0b	V _{IO} 低電圧
2	UVCC	R/W1C	0b	V _{CC} 低電圧
1	TSD	R/W1C	0b	サーマル シャットダウン
0	TSDW	R/W1C	0b	サーマル シャットダウン警告

10.1.43 INT_3 レジスタ (アドレス = 53h) [リセット = 00h]

図 10-43 に、INT_3 レジスタを示し、表 10-45 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

すべての割り込みは TCAN1576-Q1 のみ対象です。選択的ウェーク割り込みは TCAN157x-Q1 のみ対象です。

トリミングに使用する内部 EEPROM に CRC エラーがあると、CRC_EEPROM 割り込みが設定されます。電源投入時、デバイスは EEPROM から内部レジスタをロードし、CRC チェックを実行します。有効データのロードを 8 回試行してもエラーが解消しない場合、CRC_EEPROM 割り込みがセットされます。この割り込みは、デバイス性能に影響し得るエラーを示します。ウェイク イベントによりスリープ モードまたはフェイルセーフ モードから復帰した際も同じプロセスを繰り返します。デバイスは、EEPROM からロードされた内部レジスタに対して CRC チェックを実行します。エラーがある場合、デバイスは EEPROM からレジスタを再ロードします。CRC エラーが発生した場合、内部レジスタのロードを最大 8 回試行します。8 回目の試行後、CRC_EEPROM 割り込みフラグが設定されます。これはデバイス性能に影響し得るエラーを示します。

図 10-43. INT_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR	SWERR	FSM	RSVD			CRC_EEPROM	
R/W1C-0b	RH-0b	R/W1C-0b	R-0000b			R/W1C-0b	

表 10-45. INT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR	R/W1C	0b	SPI ステータス ビットが設定されると設定されます
6	SWERR	RH	0b	(SW_EN=1 および NOT(SWCFG)) と FRAME_OVF のロジカル OR。SWERR が設定されている間は、選択的ウェークが有効にならない場合があります
5	FSM	R/W1C	0b	フェイルセーフ モードに入ったことを示します。フェイルセーフモード中にクリアされます。
4-1	RSVD	R	0000b	予約済み
0	CRC_EEPROM	R/W1C	0b	EEPROM CRC エラー

10.1.44 INT_CANBUS レジスタ (アドレス = 54h) [リセット = 00h]

図 10-44 に INT_CANBUS を示し、表 10-46 に、説明を示します。

概略表に戻ります。

TCAN1576-Q1 における、短絡および開放を含む CAN バス フォルト

図 10-44. INT_CANBUS レジスタ

7	6	5	4	3	2	1	0
RSVD	RSVD	CANHCANL	CANHBAT	CANLGND	CANBUSOPEN	CANBUSGND	CANBUSBAT
R-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 10-46. INT_CANBUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	予約済み	R	0b	予約済み
5	CANHCANL	R/W1C	0b	CANH と CANL が同時に短絡
4	CANHBAT	R/W1C	0b	CANH を Vbat に短絡
3	CANLGND	R/W1C	0b	CANL を GND に短絡
2	CANBUSOPEN	R/W1C	0b	CAN バス開放
1	CANBUSGND	R/W1C	0b	CAN バスが GND に短絡している、または CANH が GND に短絡
0	CANBUSBAT	R/W1C	0b	CAN バスを Vbat に短絡または CANL を Vbat に短絡

10.1.45 INT_GLOBAL_ENABLE (アドレス = 55h) [リセット = 00h]

図 10-45 に INT_GLOBAL_ENABLE を示し、表 10-47 に、説明を示します。

概略表に戻ります。

グローバル割り込みの割り込みマスク

図 10-45. INT_GLOBAL_ENABLE レジスタ

7	6	5	4	3	2	1	0
RSVD							
R-00h							

表 10-47. INT_GLOBAL_ENABLE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RSVD	R	00h	予約済み

10.1.46 INT_ENABLE_1 レジスタ (アドレス = 56h) [リセット = FFh]

図 10-46 に、INT_ENABLE_1 レジスタを示し、表 10-48 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

INT_1 の割り込みマスク。すべての割り込みは TCAN1576-Q1 のみ対象です。選択的ウェーク割り込みマスクは TCAN157x-Q1 のみ対象です

図 10-46. INT_ENABLE_1 レジスタ

7	6	5	4	3	2	1	0
WD_ENABLE	CANINT_ENABLE	LWU_ENABLE	WKERR_ENABLE	FRAME_OVF_ENABLE	CANSLNT_ENABLE	CANTO_ENABLE	CANDOM_ENABLE
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 10-48. INT_ENABLE_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD_ENABLE	R/W	1b	ウォッチドッグ イベント割り込み有効化
6	CANINT_ENABLE	R/W	1b	CAN バスのウェーク アップ割り込み有効化
5	LWU_ENABLE	R/W	1b	ローカル ウェークアップ有効化
4	WKERR_ENABLE	R/W	1b	ウェーク エラー有効化
3	FRAME_OVF_ENABLE	R/W	1b	フレーム エラー カウンタのオーバーフロー有効化
2	CANSLNT_ENABLE	R/W	1b	CAN サイレント有効化
1	CANTO_ENABLE	R/W	1b	CAN タイムアウト有効化
0	CANDOM_ENABLE	R/W	1b	CAN バスドミナント固着有効化

10.1.47 INT_ENABLE_2 レジスタ (アドレス = 57h) [リセット = 1Fh]

図 10-47 に、INT_ENABLE_2 レジスタを示し、表 10-49 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

INT_2 の割り込みマスク

図 10-47. INT_ENABLE_2 レジスタ

7	6	5	4	3	2	1	0
RSVD		UVSUP_ENABLE		UVIO_ENABLE	UVCC_ENABLE	TSD_ENABLE	TSDW_ENABLE
R-000b		R/W-1b		R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 10-49. INT_ENABLE_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	RSVD	R	000b	予約済み
4	UVSUP_ENABLE	R/W	1b	V _{SUP} 低電圧有効化
3	UVIO_ENABLE	R/W	1b	V _{IO} 低電圧有効化
2	UVCC_ENABLE	R/W	1b	V _{CC} 低電圧有効化
1	TSD_ENABLE	R/W	1b	サーマル シャットダウン有効化
0	TSDW_ENABLE	R/W	1b	サーマル シャットダウン警告有効化

10.1.48 INT_ENABLE_3 レジスタ (アドレス = 58h) [リセット = 0h]

図 10-48 に、INT_ENABLE_3 レジスタを示し、表 10-50 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

INT_3 の割り込みマスク

図 10-48. INT_ENABLE_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR_ENABLE	SWERR_ENABLE	FSM_ENABLE	RSVD				
R/W-1b	R/W-0b	R/W-1b	R-00000b				

表 10-50. INT_ENABLE_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR_ENABLE	R/W	1b	SPI エラー割り込み有効化
6	SWERR_ENABLE	R/W	0b	選択的ウェーク エラー有効化
5	FSM_ENABLE	R/W	1b	フェイルセーフ モード有効化
4-0	RSVD	R	00000b	予約済み

10.1.49 INT_ENABLE_CANBUS レジスタ (アドレス = 59h) [リセット = 7Fh]

INT_ENABLE_CANBUS レジスタ に INT_ENABLE_CANBUS を示し、INT_ENABLE_CANBUS レジスタ フィールドの説明 に、説明を示します。

概略表に戻ります。

INT_CANBUS の割り込みマスク

図 10-49. INT_ENABLE_CANBUS レジスタ

7	6	5	4	3	2	1	0
RSVD	RSVD	CANHCANL_ENABLE	CANHBAT_ENABLE	CANLGND_ENABLE	CANBUSOPEN_ENABLE	CANBUSGND_ENABLE	CANBUSBAT_ENABLE
R-0b	R-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 10-51. INT_ENABLE_CANBUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	予約済み	R	1b	予約済み
5	CANHCANL_ENABLE	R/W	1b	CANH と CANL 同時短絡有効化
4	CANHBAT_ENABLE	R/W	1b	CANH の Vbat への短絡有効化
3	CANLGND_ENABLE	R/W	1b	CANL を GND に短絡有効化
2	CANBUSOPEN_ENABLE	R/W	1b	CAN バス開放有効化
1	CANBUSGND_ENABLE	R/W	1b	CAN バスの GND への短絡有効化
0	CANBUSBAT_ENABLE	R/W	1b	CAN バスの Vbat への短絡有効化

10.1.50 INT_RSVD_y レジスタ (アドレス = 5Ah + 式) [リセット = 00h]

図 10-50 に INT_RSVD_y を示し、表 10-52 に、説明を示します。

概略表に戻ります。

レジスタ アドレス 58h ~ 5Fh

オフセット = 58h + (y * 1h)、ここで y = 0h~7h

図 10-50. INT_RSVD_y レジスタ

7	6	5	4	3	2	1	0
RSVD							
R-00h							

表 10-52. INT_RSVD_y レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	RSVD	R	00h	予約済み

11 デバイスおよびドキュメントのサポート

このデバイスは、次の CAN 規格に準拠しています。主要な必要事項は、このシステム仕様に含まれていますが、これらの規格を参照し、不一致部分は指摘して検討する必要があります。このドキュメントには、必要なすべての基本事項が記載されています。しかし、CAN プロトコルの詳細はこの物理層 (トランシーバ) 仕様の範囲外であるため、プロトコルも含めて CAN を完全に理解するには以下の追加資料が非常に役立ちます。

11.1 ドキュメントのサポート

11.1.1 CAN トランシーバの物理層の規格：

- ISO 11898-2:2016:低消費電力モード付きの高速メディア アクセス ユニットの (複数の仕様における -2 規格の電氣的なスーパーセットであり、低消費電力モードでバスにより元のウェークアップ機能を追加)
- ISO 8802-3:CSMA/CD は- ISO11898-2 から衝突検出用に参照。
- CAN FD 1.0 仕様と資料
- Bosch、『CAN のビットタイミングの構成』、第 6 回国際 CAN 会議(ICC)、1999 年からの資料。これは、このシステム仕様にコピーされた DCAN IP CAN コントローラ仕様で繰り返し行われます。
- GMW3122:HS CAN の GM 要件
- SAE J2284-2:250kbps の車載用アプリケーション向けの高速度 CAN (HSC)
- SAE J2284-3:500kbps の車載用アプリケーション向けの高速度 CAN (HSC)
- Bosch M_CAN コントローラ エリア ネットワーク リビジョン 3.2.1.1 (2016/3/24)

11.1.2 EMC 要件：

- SAE J2962-2:通信トランシーバ認定要件 - CAN
- CAN、LIN、FR V1.3 の HW 要件:HS CAN のドイツ OEM 要件

11.1.3 適合テストの要件：

- HS_TRX_Test_Spec_V_1_0:高速物理層用の GIFT/ICT CAN テストの要件

11.1.4 関連資料

- 『A Comprehensive Guide to Controller Area Network』、Wilfried Voss、Copperhill Media Corporation
- 『CAN System Engineering: From Theory to Practical Applications』、第 2 版、2013 年、Dr. Wolfhard Lawrenz、Springer

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (February 2025) to Revision B (August 2025)

Page

- 本書は量産版データシートの初版です。..... 1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN1575DMTRQ1	Active	Production	VSON (DMT) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	TCAN 1575
TCAN1575DRQ1	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1575
TCAN1575DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1575
TCAN1576DMTRQ1	Active	Production	VSON (DMT) 14	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	TCAN 1576
TCAN1576DRQ1	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1576
TCAN1576DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1576

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

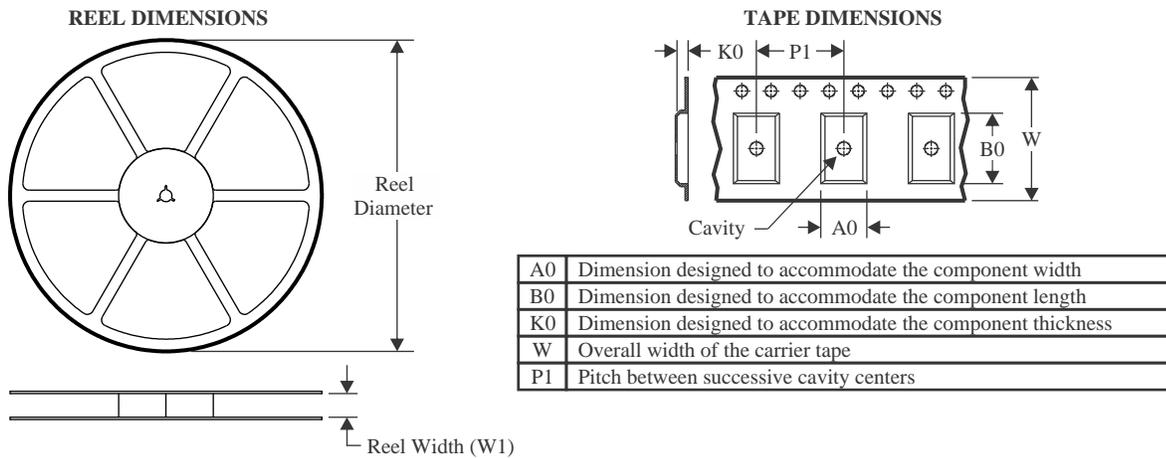
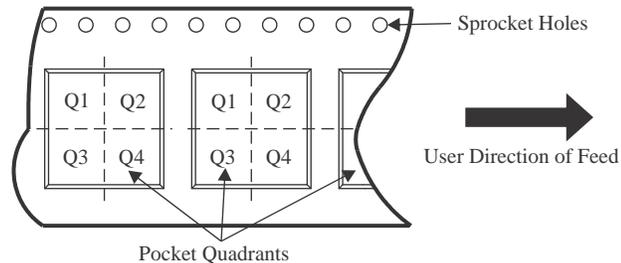
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

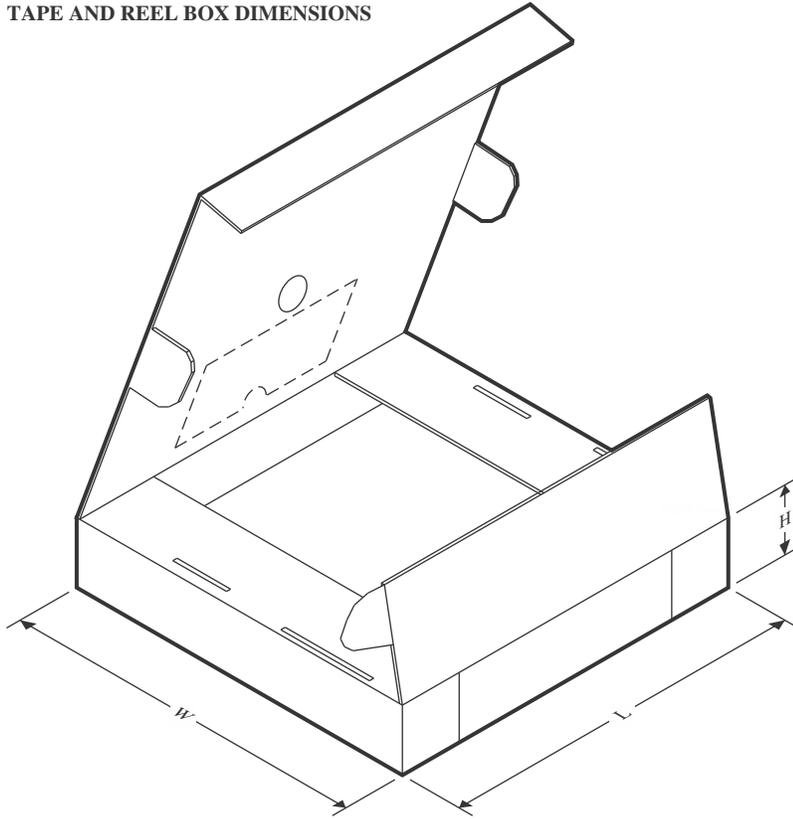
and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


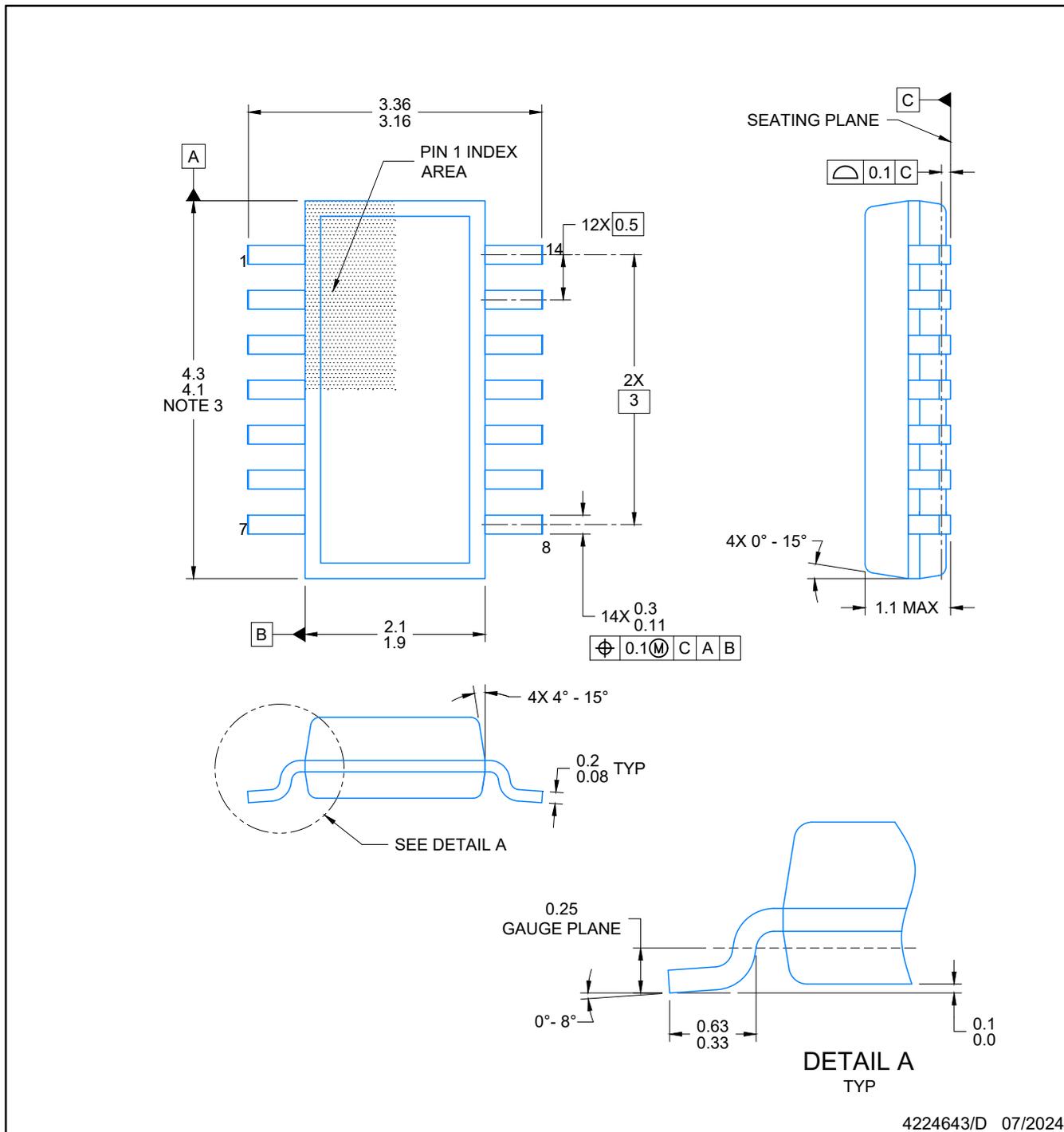
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN1575DMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
TCAN1575DRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TCAN1575DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TCAN1576DMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
TCAN1576DRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TCAN1576DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

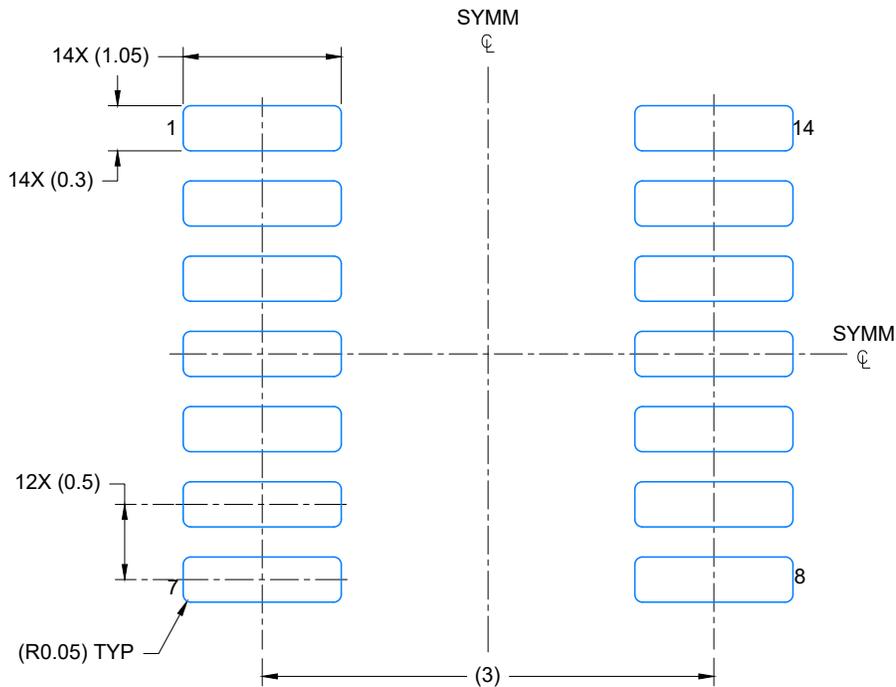
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN1575DMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
TCAN1575DRQ1	SOIC	D	14	2500	340.5	336.1	32.0
TCAN1575DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TCAN1576DMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
TCAN1576DRQ1	SOIC	D	14	2500	340.5	336.1	32.0
TCAN1576DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8



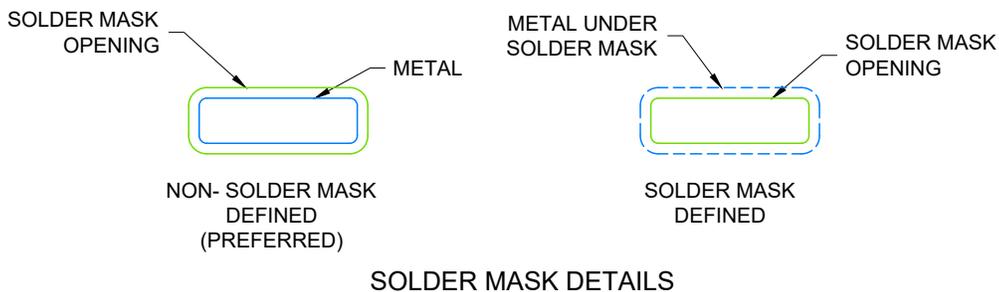
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



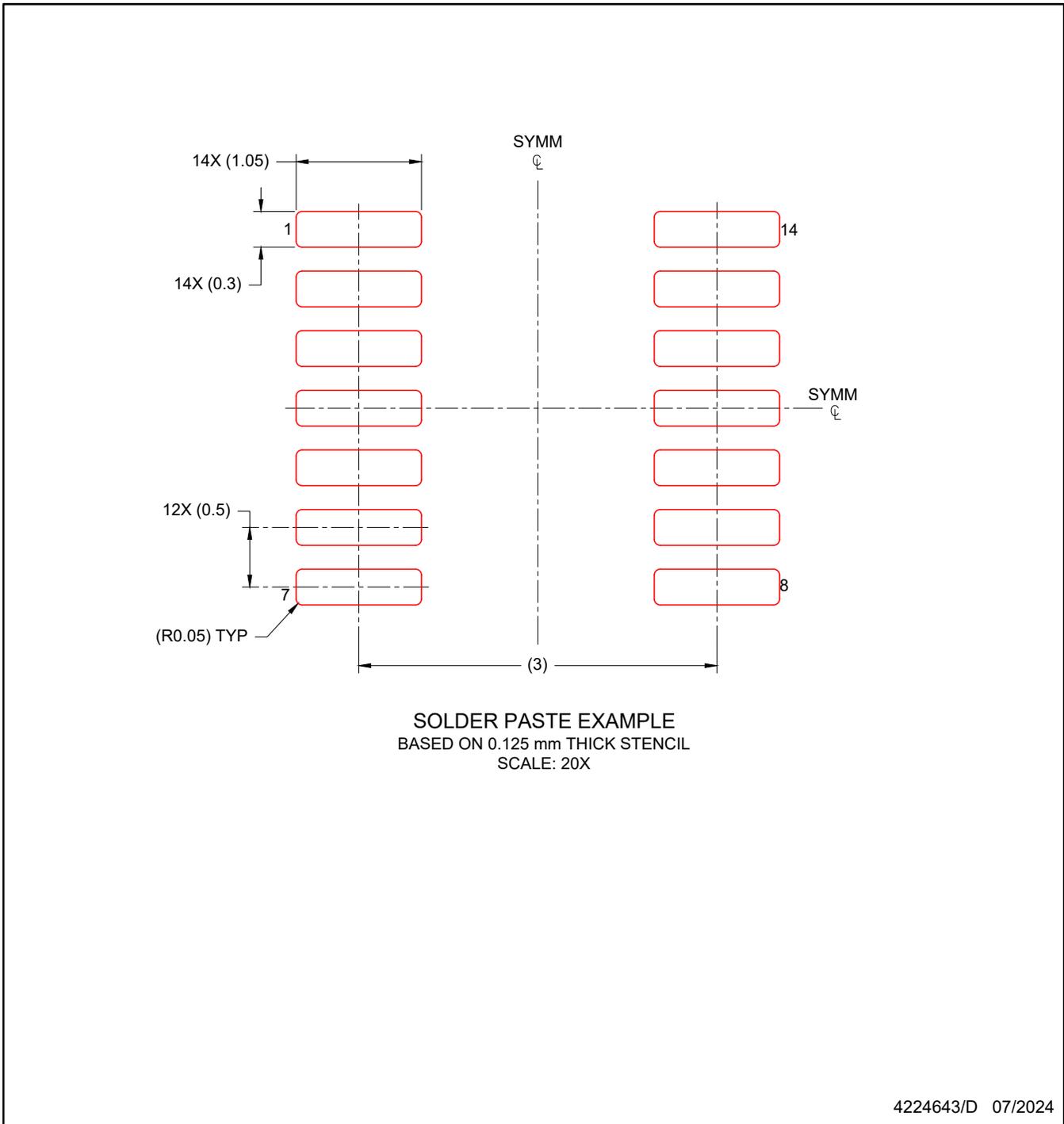
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224643/D 07/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

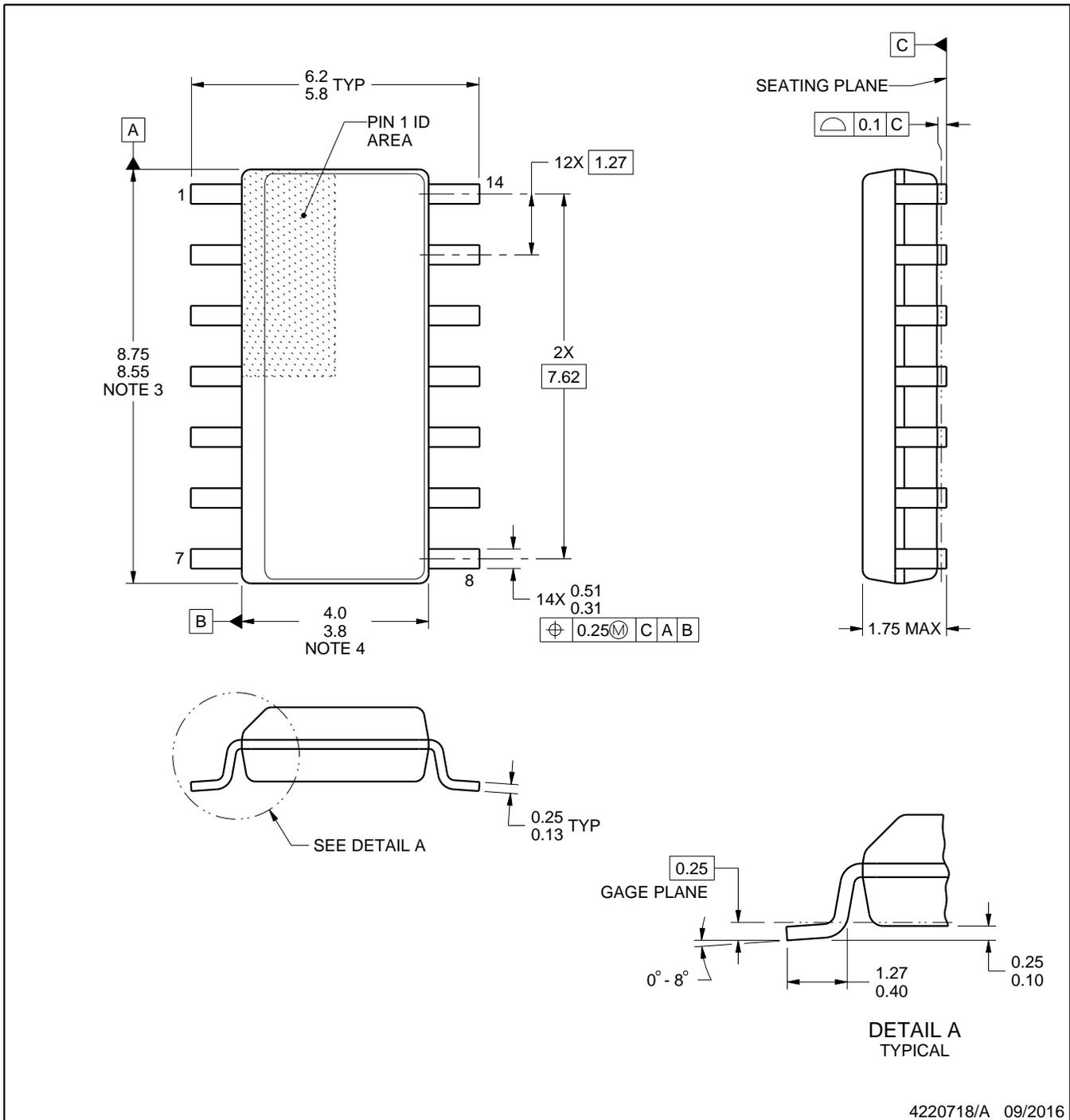


D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

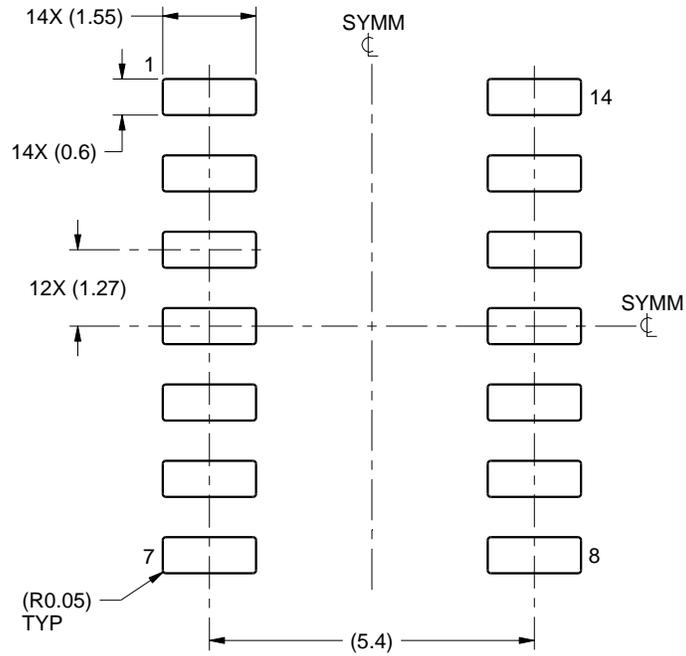
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

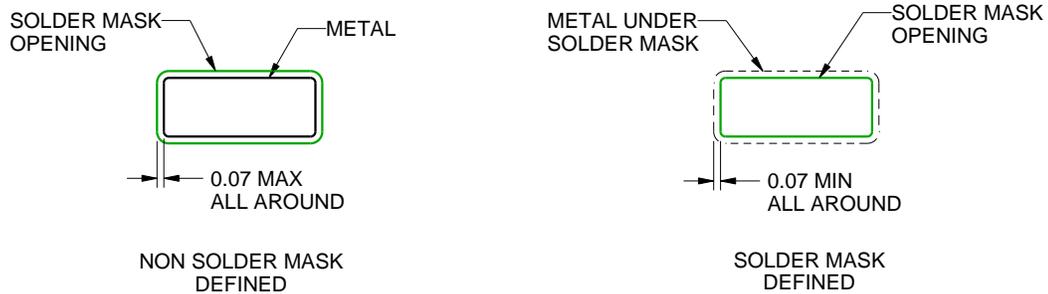
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

GENERIC PACKAGE VIEW

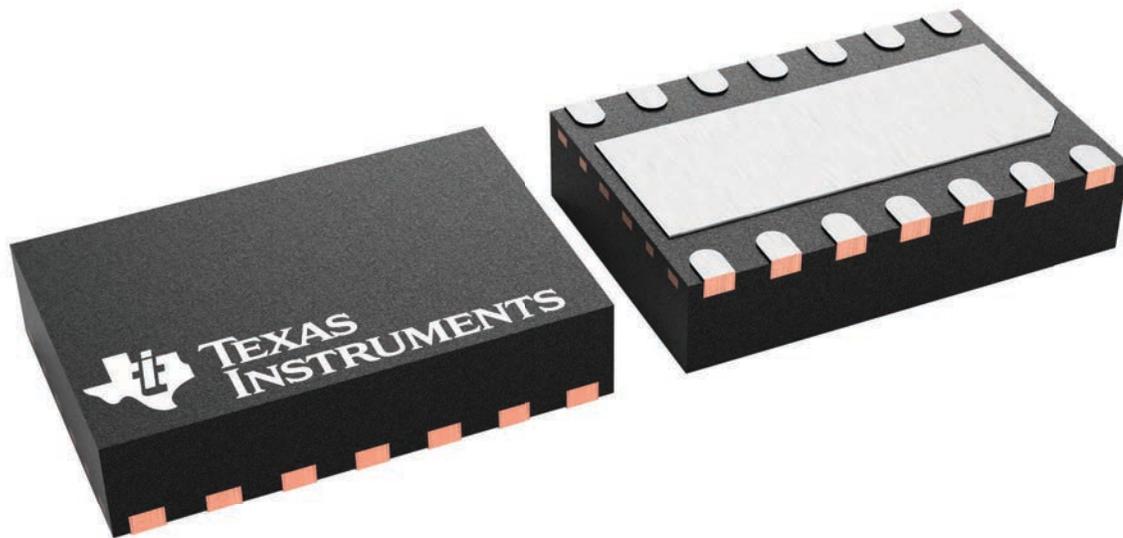
DMT 14

VSON - 0.9 mm max height

3 x 4.5, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225088/A

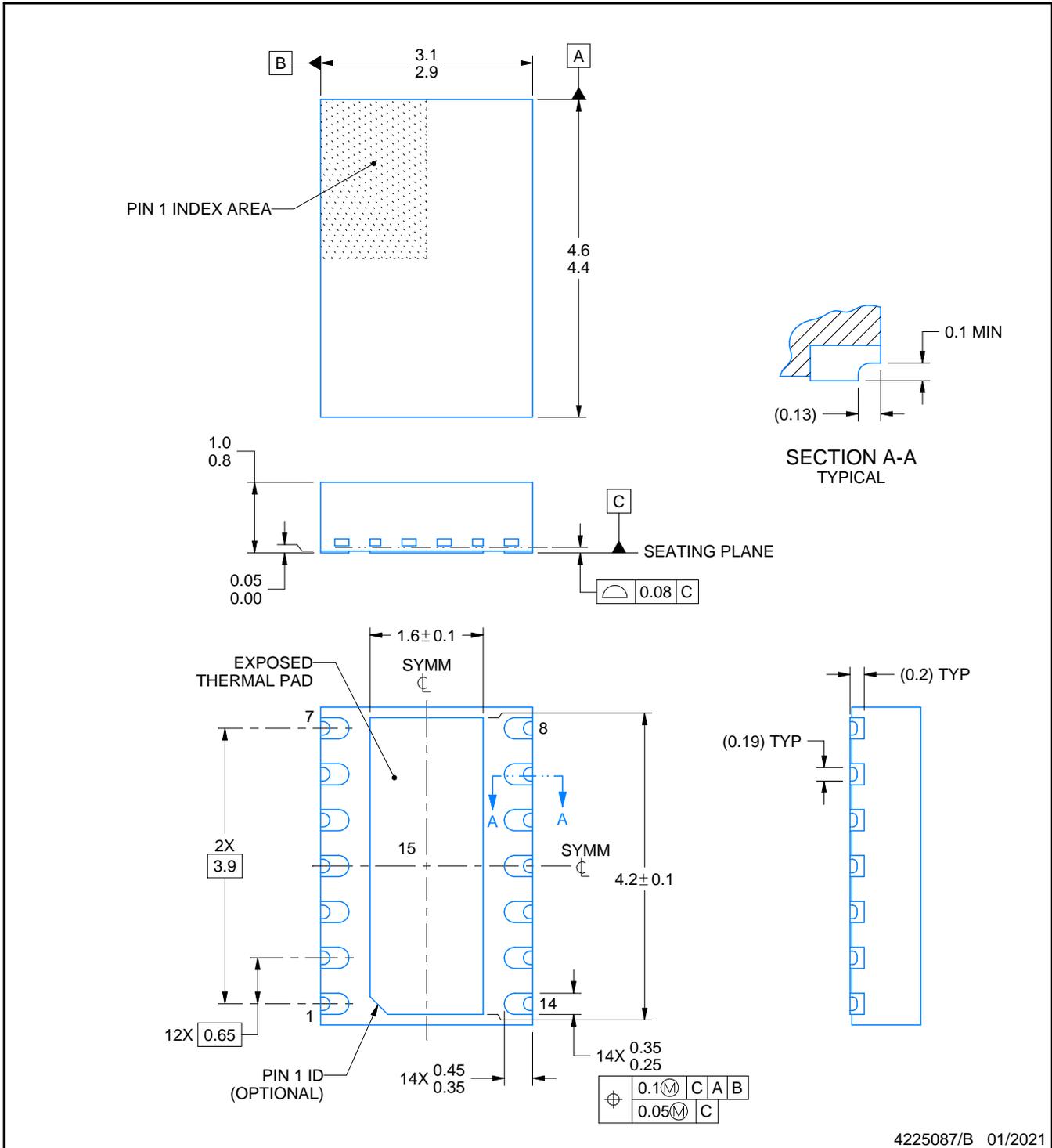
DMT0014B



PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4225087/B 01/2021

NOTES:

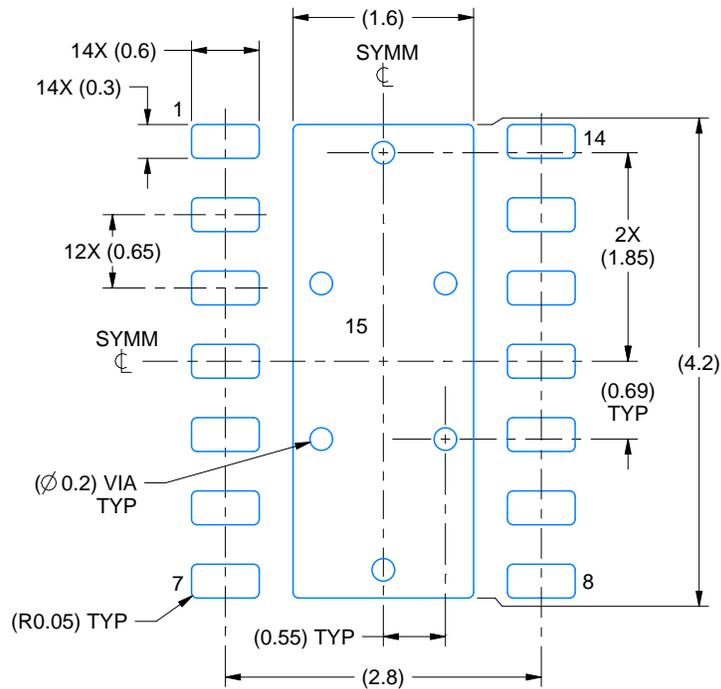
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

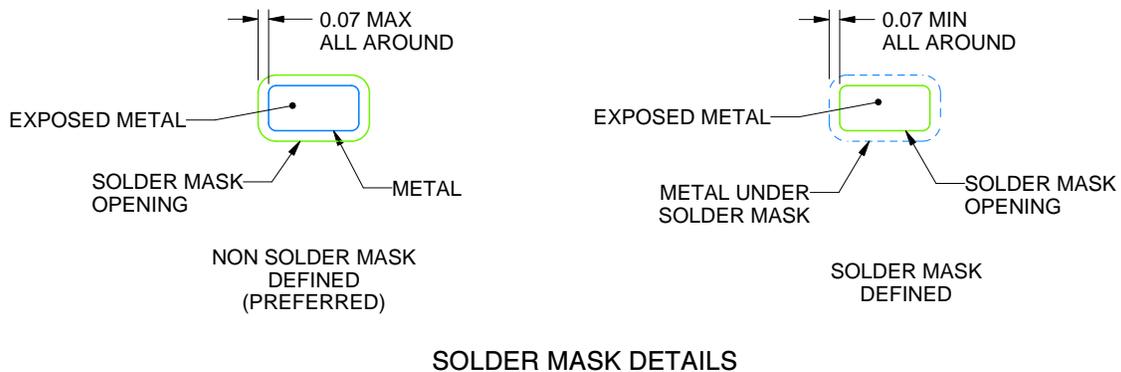
DMT0014B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4225087/B 01/2021

NOTES: (continued)

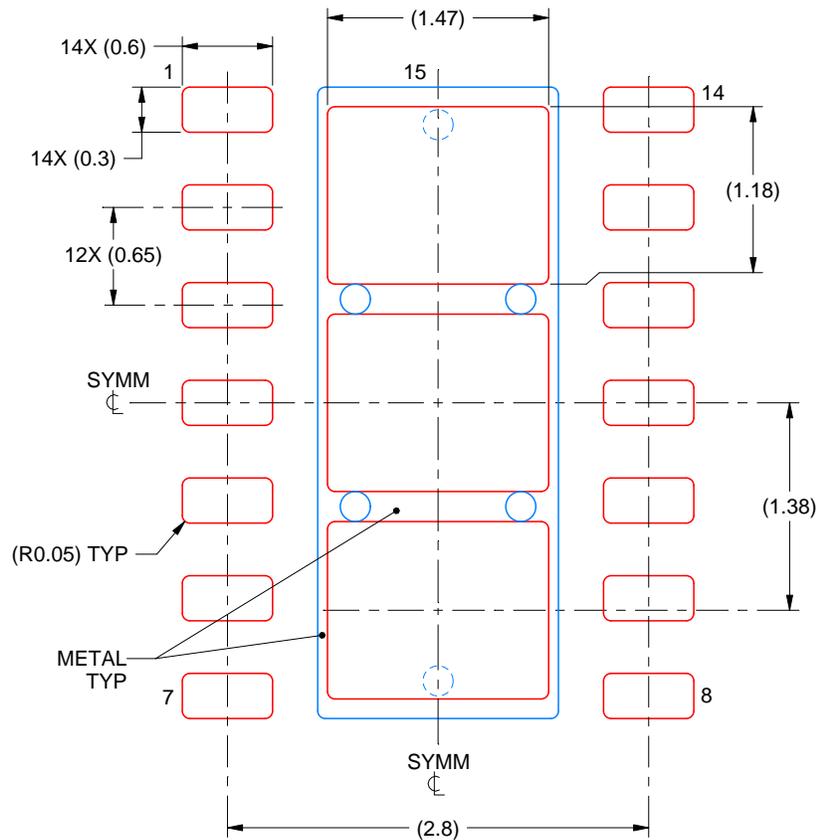
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DMT0014B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
EXPOSED PAD 15
77.4% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4225087/B 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月