

TCAN284x-Q1 車載用 CAN FD および LIN システム ベース チップ (SBC)、ウェーク入力およびハイサイド スイッチ付き

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
- ISO 11898-2:2024 準拠の CAN FD (フレキシブル データ) 要件に適合
- ローカル相互接続ネットワーク (LIN) 物理層仕様 ISO/DIS 17987-4:2024 準拠、および SAEJ2602 LIN 推奨プラクティスに準拠
- 機能安全品質管理
- 最大 3 つのレギュレータでシステムの電源管理を簡素化
 - 3.3V または 5V MCU 向けに最大 250mA をサポートする低ドロップアウト (LDO) レギュレータ (VCC1)
 - バッテリ短絡保護機能付きで外部へ最大 200mA を供給する 5V LDO レギュレータ (VCC2)
 - 外付け PNP トランジスタの制御、1.8V、2.5V、3.3V、5V で最大 350mA をサポート (VEXCC)
- スリープ モードから複数の方法でウェーク可能
 - CAN および LIN バスのウェークアップ パターン (WUP)
 - オプション、CAN 選択式ウェークアップ フレーム (WUF) 機能 (部分的ネットワーク)
 - WAKE ピンを使用するローカルウェークアップ (LWU)
 - HSS4 での周期的センシング ウェークアップをサポート
 - SW ピンを使つたデジタル ウェークアップ
- 150mA までの負荷に対応する 4 個のハイサイド スイッチ
- 保護および診断機能
 - タイムアウト、ウィンドウ、Q&A ウォッチドッグをサポート
 - レギュレータ出力で低電圧 (UV)、過電圧 (OV)、短絡監視
 - フェイルセーフ出力 (LIMP)
 - VSUP および VHSS の UV 監視、VHSS の OV 監視
 - 高度な CAN バス障害診断
 - CAN バスの障害耐性: $\pm 58V$
 - システム レベルの ESD 保護を内蔵
- ユーザーがアクセス可能な EEPROM によりデバイス構成を保存
- 自動光学検査 (AOI) 性能を向上させた QFN (32) パッケージ

2 アプリケーション

- ボディ エレクトロニクスおよび照明
- 車体制御モジュール
- インフォテインメントおよびクラスタ
- ハイブリッド / 電気自動車およびパワートレイン システム
- 産業用輸送

3 説明

TCAN284x-Q1 は、選択式ウェークアップ機能をサポートする CAN FD (コントロール エリア ネットワーク フレキシブル データ レート) 対応トランシーバを提供するシステム ベース チップ (SBC) ファミリです。TCAN2847x-Q1 には、ローカル相互接続ネットワーク (LIN) トランシーバが搭載されています。この CAN FD トランシーバは最高 8Mbps のデータ レートをサポートし、LIN トランシーバは最高 200kbps の高速モード データ レートをサポートしています。VCC1 LDO は、最大 250mA の電流で 3.3V または 5V $\pm 2\%$ を供給し、デジタル IO ロジック レベルを決定します。より多くの電流が必要な場合、外付け PNP トランジスタを使用して、最大 350mA で、1.8V、2.5V、3.3V、5V の電圧をサポートできます。VCC2 LDO は、最大 200mA で 5V を供給します。

TCAN284x-Q1 には、LIMP、3 つのローカル ウェーク入力、4 つのハイサイド スイッチなどの機能が搭載されています。ハイサイド スイッチは、オン/オフ、10 ビット PWM、またはタイマ制御が可能です。GFO ピンを使用して、外部 CAN FD、LIN トランシーバ、CAN SBC、または LIN SBC を制御できます。WAKE ピンは、ウェークアップ用に静的センシング、周期的センシング (HSS4 ピンを使用)、パルス ベースに構成できます。これらのデバイスは、特定のデバイス構成情報を保存するための EEPROM を備えているので、電源変動後の大がかりな再プログラミングを回避できます。WAKE1 および WAKE2 は、ピン間の内部スイッチをオンにして、外部 V_{BAT} 監視をイネーブルにできます。WAKE3 は、周期的センシング ウェークがイネーブルの場合、ハイサイド スイッチのいずれかの組み合わせに対する直接駆動制御ピンとして構成できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TCAN2845-Q1 TCAN2847-Q1	QFN (RHB, 32)	5mm × 5mm

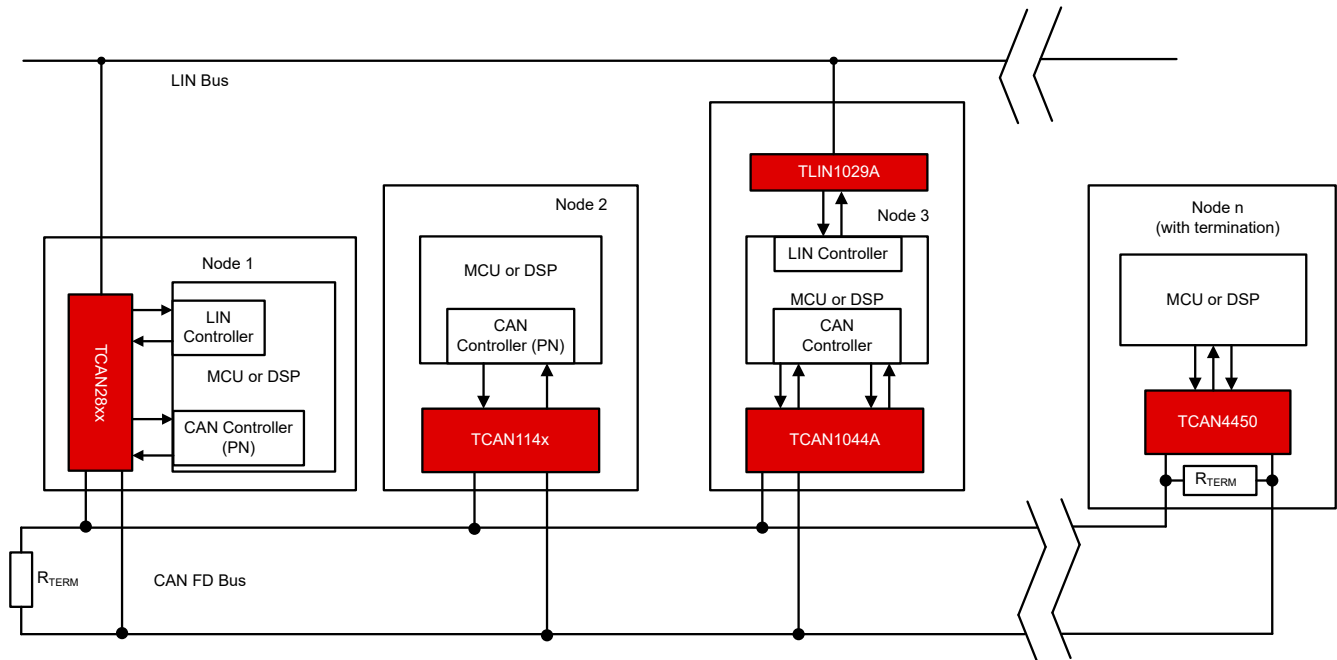
- (1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。



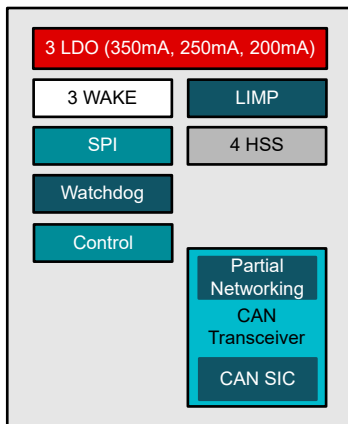
TCAN2845-Q1, TCAN2847-Q1

JAJSXJ7B – NOVEMBER 2024 – REVISED NOVEMBER 2025

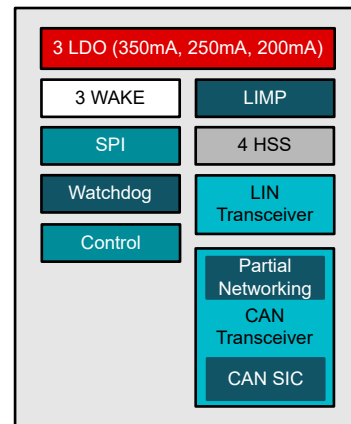
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



TCAN2845-Q1 の図



TCAN2847-Q1 の図

目次

1 特長	1	8.3 機能説明	42
2 アプリケーション	1	8.4 デバイスの機能モード	59
3 説明	1	8.5 プログラミング	124
4 デバイス比較表	4	9 レジスタ	130
5 ピン構成および機能	5	9.1 レジスタ	130
6 仕様	7	10 アプリケーションと実装	206
6.1 絶対最大定格.....	7	10.1 アプリケーション情報.....	206
6.2 ESD 定格.....	8	10.2 代表的なアプリケーション.....	216
6.3 IEC ESD 定格.....	8	10.3 電源に関する推奨事項.....	220
6.4 推奨動作条件.....	8	10.4 レイアウト.....	220
6.5 熱に関する情報.....	9	11 デバイスおよびドキュメントのサポート	222
6.6 電源の特性.....	9	11.1 ドキュメントのサポート.....	222
6.7 電気的特性.....	16	11.2 ドキュメントの更新通知を受け取る方法.....	223
6.8 タイミング要件.....	23	11.3 サポート・リソース.....	223
6.9 スイッチング特性.....	26	11.4 商標.....	223
6.10 代表的特性.....	29	11.5 静電気放電に関する注意事項.....	223
7 パラメータ測定情報	30	11.6 用語集.....	223
8 詳細説明	40	12 改訂履歴	223
8.1 概要.....	40	13 メカニカル、パッケージ、および注文情報	224
8.2 機能ブロック図.....	41		

4 デバイス比較表

デバイス番号	CAN FD トランシーバ	LIN トランシーバ	選択式ウェークアップ機能	3.3V LDO	5V LDO
TCAN28453RHB-Q1	X		X	X	
TCAN28455RHB-Q1	X		X		X
TCAN28473RHB-Q1	X	X	X	X	
TCAN28475RHB-Q1	X	X	X		X

5 ピン構成および機能

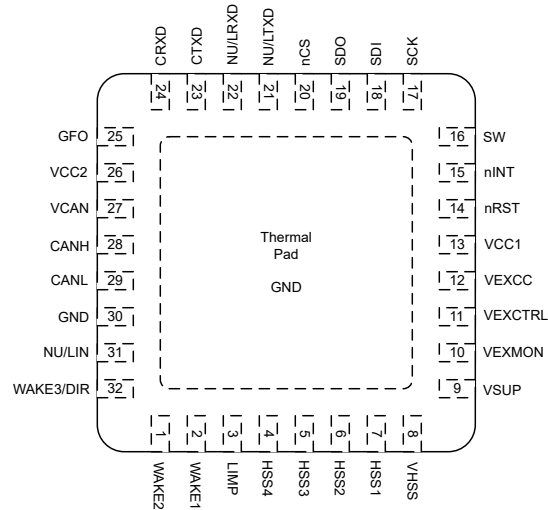


図 5-1. RHB パッケージ、32 ピン (QFN)
(上面図)

表 5-1. ピン機能、RHB パッケージ

番号	ピン		タイプ	説明
	TCAN2845-Q1	TCAN2847-Q1		
1	WAKE2	WAKE2	高電圧	ローカル ウェーク入力端子、高電圧対応
2	WAKE1	WAKE1	高電圧	ローカル ウェーク入力端子、高電圧対応
3	LIMP	LIMP	高電圧	リンプ ホーム出力 (アクティブ Low、オープンドレイン出力)
4	HSS4	HSS4	高電圧	ハイサイド スイッチ
5	HSS3	HSS3	高電圧	ハイサイド スイッチ
6	HSS2	HSS2	高電圧	ハイサイド スイッチ
7	HSS1	HSS1	高電圧	ハイサイド スイッチ
8	VHSS	VHSS	電源	ハイサイド スイッチ電源
9	VSUP	VSUP	高電圧電源	バッテリーからの高電圧供給
10	VEXMON	VEXMON	電源	外付け PNP エミッタ接続、シャント接続。 外付け PNP LDO を使用しない場合は VSUP に接続。フローティングのままにしないでください。
11	VEXCTRL	VEXCTRL	電源	外付け PNP ベース制御
12	VEXCC	VEXCC	電源	外付け PNP コレクタ接続フィードバック
13	VCC1	VCC1	電源	LDO 電源出力: 3.3V または 5V
14	nRST	nRST	デジタル	VCC 出力モニタピン (アクティブ Low) およびデバイスリセット入力
15	nINT	nINT	デジタル	割り込み出力 (アクティブ Low)
16	SW	SW	デジタル	プログラミング モード入力ピン (SPI で構成可能、アクティブ High またはアクティブ Low)
17	SCK	SCK	デジタル	SPI クロック入力。
18	SDI	SDI	デジタル	SPI データ入力
19	SDO	SDO	デジタル	SPI データ出力
20	nCS	nCS	デジタル	チップ セレクト入力 (アクティブ Low)

表 5-1. ピン機能、RHB パッケージ (続き)

番号	ピン		タイプ	説明
	TCAN2845-Q1	TCAN2847-Q1		
21	NU	LTXD	デジタル	LIN 送信データ入力 (ドミナント バス状態の場合は Low、リセッショ バス状態の場合は High)。 NU は使用せず、何も接続してはいけません。
22	NU	LRXD	デジタル	LIN 受信データ出力 (ドミナント バス状態の場合は Low、リセッショ バス状態の場合は High)、トリステート。 NU は未使用であり、何も接続してはいけません。
23	CTXD	CTXD	デジタル	CAN 送信データ入力 (ドミナント バス状態の場合は Low、リセッショ バス状態の場合は High)。
24	CRXD	CRXD	デジタル	CAN 受信データ出力 (ドミナント バス状態の場合は Low、リセッショ バス状態の場合は High)、トリステート。
25	GFO	GFO	デジタル	機能出力ピン (SPI 構成可能)
26	VCC2	VCC2	電源	5V LDO 出力
27	VCAN	VCAN	電源	CAN FD トランシーバ 5V 電源入力
28	CANH	CANH	バス I/O	High レベル CAN バス I/O ライン
29	CANL	CANL	バス I/O	Low レベル CAN バス I/O ライン
30	GND	GND	電源	グラウンド接続: グラウンドに接続する必要があります。
31	NU	LIN	高電圧 I/O	LIN バス入出力ピン: NU は未使用であり、何も接続してはいけませ ん。
32	WAKE3/DIR	WAKE3/DIR	高電圧	ローカル ウェーク入力端子、高電圧対応。 構成により、いずれかの HSSx を制御する直接駆動
PAD ⁽¹⁾	GND	GND	電源	グラウンド接続: グラウンドに接続する必要があります。

(1) サーマル パッド PAD はデバイス グラウンド ピンで、GND に半田付けする必要があります

6 仕様

6.1 絶対最大定格

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
VSUP	電源電圧 ⁽²⁾	-0.3	40	V
VHSS	ハイサイドスイッチの電源電圧 ⁽²⁾	-0.3	40	V
VEXMON	外付け PNP エミッタ監視電圧	$V_{SUP} - 0.7$	40 および $V_O \leq V_{SUP} + 0.3$	V
VEXCC	外付け PNP コレクタ帰還電圧 ⁽²⁾	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
VEXCTRL	外付け PNP ベース制御電圧	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
VCC1	3.3V と 5V の安定化出力電圧	-0.3	6	V
V _{nRST}	リセット出力電圧	-0.3	$V_{CC} + 0.3$	V
VCAN	CAN トランシーバ電源電圧	-0.3	6	V
VCC2	5V 出力電源 ⁽²⁾	-1	28	V
V _{BUSCAN}	CAN バス I/O 電圧 (CANH, CANL)	-58	58	V
V _{BUSLIN}	LIN バス I/O 電圧	-58	58	V
V _{WAKE}	WAKE 入力電圧	-0.3	40	V
V _{HSSx}	ハイサイドスイッチピンの出力電圧範囲	-0.3	40 および $V_O \leq V_{HSS} + 0.3$	V
V _{LIMP}	LIMP ピン出力電圧範囲	-0.3	40 および $V_O \leq V_{SUP} + 0.3$	V
V _{LOGIC_IN}	ロジックピン入力電圧範囲 (SW, SDI, SCK, nCS, nRST, LTXD, CTXD)	-0.3	6	V
V _{LOGIC_OUT}	ロジックピンの出力電圧範囲 (SDO, nRST, LRXD, CRXD, GFO)	-0.5	6	V
I _{O(LOGIC)}	ロジックピンの出力電流 (SDO, LRXD, CRXD, GFO)		8	mA
I _(WAKE)	WAKE ピンの入力電流		3	mA
I _(LIMP)	LIMP ピンの入力電流		20	mA
I _{O(nRST)}	リセット出力電流	-5	5	mA
T _J	接合部温度	-55	165	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) 300ms 間最大 40V のロード ダンプに耐えることが可能

6.2 ESD 定格

			値	単位	
V _(ESD)	静電放電	人体モデル (HBM) 分類レベル H2、V _{SUP} 、CANL/H、LIN、VSUP、VHSS、WAKE、AEC Q100-002 準拠 ⁽¹⁾	±8000	V	
		人体モデル (HBM) 分類レベル 3A、その他のすべてのピン、AEC Q100-002 に準拠 ⁽¹⁾	±4000		
		荷電デバイスモデル (CDM)、分類レベル C5、AEC Q100-011 準拠	角のピン		±750
			その他のピン		±750

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 IEC ESD 定格

			値	単位
V _(ESD)	LIN に対する IEC 62228-2 および CAN に対する IEC 62228-3 に準拠する静電放電 ⁽¹⁾	接触放電、LIN、CANH、CANL、VSUP ⁽⁵⁾ 、VHSS ⁽⁵⁾ 、WAKE、VEXCC、VCC2	±8000	V
V _(ESD)	LIN に対する IEC 62228-2 に準拠した静電放電	間接 ESD、LIN	±15000	V
V _(ESD)	LIN に対する SAE J2962-1 および CAN に対する J2962-2 に準拠する静電放電 ⁽²⁾	接触放電 (LIN、CANH、CANL)	±8000	V
		空隙放電 (CANH、CANL)	±15000	
		空隙放電 (LIN)	±25000	
ISO7637-2 および IEC 62215-3 過渡、LIN、CANH/L、VSUP、VHSS、WAKE ⁽³⁾		パルス 1	-100	V
		パルス 2	75	
		パルス 3a	-150	
		パルス 3b	100	
ISO7637-3 低速過渡パルス CAN および LIN バス端子から GND ⁽⁴⁾		100nF のカップリング コンデンサを備えた容量結合コンデンサ「スロー トランジエント パルス」 - 電源供給	±30	V

- (1) IEC 62228-2 および IEC 62228-3 ESD は、サードパーティーによって実施されました。システムレベルの構成が異なると、結果も異なる可能性があります。回路の構成については、準拠レポートを参照してください。
- (2) SAE J2962-1 および SAE J2962-2 のテストは、サードパーティー US3 承認済みの EMC テスト施設で実施されました。
- (3) IEC 62228-2 と IEC 62228-3 に基づく ISO 7637-2 は、システムレベルの過渡テストです。システムレベルの構成が異なると、結果も異なります。回路の構成については、準拠レポートを参照してください。
- (4) ISO 7637-3 はシステムレベルの過渡テストです。システムレベルの構成が異なると、結果も異なる可能性があります。
- (5) VSUP と VHSS はオンボードで互いに接続されており、個別にテストされません

6.4 推奨動作条件

推奨動作範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VSUP	電源電圧の範囲 ⁽¹⁾⁽²⁾	5.5		28	V
VSUP	狭い動作電源電圧範囲 ⁽¹⁾⁽²⁾	4.5		28	V
VHSS	ハイサイドスイッチ電源電圧	5		28	V
VCAN	CAN トランシーバ電源電圧	4.75	5	5.25	V
V _{LIN}	LIN バス入力電圧	0		28	V
I _{OH(DO)}	デジタル出力 High レベル電流	-2			mA
I _{OL(DO)}	デジタル出力 Low レベル電流			2	mA
I _{O(LIMP)}	LIMP として構成時の LIMP ピン電流			6	mA
C _(VSUP)	V _{SUP} 電源容量	100			nF
C _(VEXCC)	VEXCC 電源容量;	1			μF

6.4 推奨動作条件 (続き)

推奨動作範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
ESR _C	VEXCC ESR 容量要件	1		150	mΩ
C _(VCC1/2)	LDO の安定性のために必要な VCC1 と VCC2 の実効電源容量。無負荷から全負荷	1			μF
ESR _{CO}	VCC1 および VCC2 出力の ESR 容量要件	0.001		1	Ω
TSDWR	サーマルシャットダウン警告	145		165	°C
TSDWF	サーマルシャットダウン警告解除	135		155	°C
TSDWHYS	サーマルシャットダウン警告ヒステリシス		10.0		°C
TSDR	サーマルシャットダウン	165		200	°C
TSDF	サーマルシャットダウン解除	155		190	°C
TSDHYS	サーマル シャットダウンヒステリシス		10.0		°C
T _J	動作ジャンクション温度範囲	-40		150	°C

- VCC1 が 3.3V の場合、VCC1 は 4.5V の VSUP で動作しますが、他の LDO はパススルーモードとなり、出力電圧はレギュレーション値になりません。すべての LDO がレギュレーションになり、CAN トランシーバが動作するためには、VSUP は 5.5V 以上である必要があります。
- VSUP が 4.5V を上回ると、LIN トランシーバは機能しますが、常に電気的パラメータやタイミングパラメータを満足するとは限りません。

6.5 熱に関する情報

熱評価基準 ⁽¹⁾		RHB (QFN)	単位
		32-PINS	
R _{θJA}	接合部から周囲への熱抵抗	31.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	11.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	21.4	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	11.8	°C/W

- 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.6 電源の特性

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ	テスト条件	最小値	標準値	最大値	単位
バッテリー電源入力 (VSUP)					
ISUP _{normdom}	CAN FD と LIN バスがドミナントである通常モードのバッテリー電源電流デバイス		40	60	mA
ISUP _{normrex}	CAN FD と LIN バスがリセッパである通常モードのバッテリー電源電流デバイス		5	7.5	mA

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISUP _{stbyswo}	バッテリー電源電流、ウェークオフを選択可能なスタンバイモード	スタンバイモード、選択的ウェークオフ、VEXCC、VCC1、VCC2 = 無負荷時にオン、6.5V ≤ VSUP ≤ 19V、CAN および LIN トランシーバはウェーク対応かつバスリセッショ、すべての HSS および WAKE ピンオフ、WD オフ、長いウィンドウが期限切れ		80	150	μA
ISUP _{stbyswolp}	バッテリー電源電流、ウェークオフを選択可能な低消費電力スタンバイモード	スタンバイモード、選択的ウェークオフ、VEXCC、VCC2 = オフ、VCC1 = 無負荷時にオン、VSUP = 14V、CAN および LIN トランシーバはウェーク対応かつバスリセッショ、すべての HSS および WAKE ピンオフ、ウォッチドッグオフ、T _J ≤ 85°C、長いウィンドウが期限切れ		50	70	μA
ISUP _{slpswo}	バッテリー電源電流、ウェークオフを選択可能なスリープモード	スリープモード、選択的ウェークオフ、VEXCC、VCC1、VCC2 = オフ、6.5V ≤ VSUP ≤ 19V、トランシーバはウェーク対応、すべての HSSx および WAKEx がオフ、T _J ≤ 85°C		35	60	μA
ISUP _{slpswodr}	バッテリー電源電流、ウェークオフを選択可能で HSS4 を直接駆動するスリープモード	スリープモード、選択的ウェークオフ、VEXCC および VCC2 = オフ、VCC1 = 無負荷時にオン、6.5V ≤ VSUP ≤ 18V、CAN および LIN トランシーバはウェーク対応、WAKE3/DIR ピンにより 50ms ごとに 1 つの HSSx が 120μs オン、他のすべての HSSx と WAKEx はオフ、T _J ≤ 25°C ⁽²⁾		50	60	μA
ISUP _{slpswodr}	バッテリー電源電流、ウェークオフを選択可能で HSS4 を直接駆動するスリープモード	スリープモード、選択的ウェークオフ、VEXCC および VCC2 = オフ、VCC1 = 無負荷時にオン、6.5V ≤ VSUP ≤ 18V、CAN および LIN トランシーバはウェーク対応、WAKE3/DIR ピンにより 50ms ごとに 1 つの HSSx が 120μs オン、他のすべての HSSx と WAKEx はオフ、T _J ≤ 85°C ⁽³⁾		60	75	μA
ISUP _{slpswotrx}	バッテリー電源電流、選択的ウェークオフ付きのスリープモード、LDO およびトランシーバがオフ	スリープモード、選択的ウェークオフ、VEXCC、VCC1、VCC2 = オフ、6.5V ≤ VSUP ≤ 19V、トランシーバがオフ、すべての HSSx がオフ、1 つの WAKE ピンがイネーブルで接地またはフローティング、T _J ≤ 85°C		18	42	μA
VSUP _{(PU)R}	電源オン検出 ⁽⁴⁾	VSUP 立ち上がり、 図 7-18 を参照	3.1	3.4	3.7	V
VSUP _{(PU)F}	電源オフ検出 ⁽⁴⁾	VSUP 立ち下がり、 図 10-8 および 図 10-9 を参照	2.7	3	3.3	V
VSUP _{(PU)HYS}	電源オフ検出ヒステリシス ⁽⁴⁾		50		550	mV
UVSUP _{5R}	電源低電圧回復	VSUP 立ち上がり、 図 7-18 、 図 10-8 、 図 10-9 を参照	4.9		5.5	V
UVSUP _{5F}	電源低電圧検出	VSUP 立ち下がり、 図 10-8 および 図 10-9 を参照	4.5		5.1	V
UVSUP _{5HYS}	電源低電圧検出ヒステリシス		200		600	mV
UVSUP _{33R}	電源低電圧回復	VSUP 立ち上がり、 図 7-18 、 図 10-8 、 図 10-9 を参照	3.7		4.4	V
UVSUP _{33F}	電源低電圧検出	VSUP 立ち下がり、 図 10-8 および 図 10-9 を参照	3.55		4.25	V
UVSUP _{33HYS}	電源低電圧検出ヒステリシス		50		300	mV

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
機能に対する増分消費電流						
ISUP _{slpswoact}	バッテリー電源電流、選択的ウェークオンでスリープモードになり、CAN バスがアクティブになると WUP が発生 (4)	選択的ウェークがイネーブルでバスがアクティブ時の追加の電流、VEXCC、VCC1、VCC2 = オフ、LIN がウェーク対応またはオフ		480	550	μA
ISUP _{HSSNOLOAD}	各 HSS の漸増バッテリー供給電流。(3)	1 つの HSS = オン、無負荷、その他の HSS はオフ、T _J ≤ 85°C		35	60	μA
ISUP _{CANBIAS}	CAN 出力が自動バイアス時にさらに消費電流を増加 (tSILENCE が期限切れになる前)	tSILENCE 経過前のスリープモードまたはスタンバイモード VSUP = 14V、T _J ≤ 85°C		65	75	μA
ISUP _{WD}	ウィンドウまたは Q&A でウォッチドッグが有効時の漸増バッテリー電源電流	スタンバイモード、選択的ウェークオフ、VEXCC、VCC2 = オフ、VCC1 = 無負荷時にオン、VSUP 14V、CAN および LIN トランシーバはウェーク対応かつバスリセッショ、すべての HSS および WAKE ピンがオフ、ウォッチドッグがイネーブル (ウィンドウ、Q&A)、T _J ≤ 85°C		45	55	μA
ISUP _{WDTO}	タイムアウトウォッチドッグが有効時の、漸増バッテリー供給電流。	スタンバイモード、選択的ウェークオフ、VEXCC、VCC2 = オフ、VCC1 = 無負荷時にオン、VSUP 14V、CAN および LIN トランシーバはウェーク対応かつバスリセッショ、すべての HSS および WAKE ピンがオフ、ウォッチドッグがイネーブル (タイムアウト)、T _J ≤ 85°C		2	2.5	μA
ISUP _{wake}	イネーブル時の各 WAKEx ピンの漸増バッテリー供給電流	WAKEx ピンイネーブル、VSUP = 14V、T _J ≤ 85°C		1	2	μA
ISUP _{CS-WK}	スリープモードでサイクリックセンシングウェークが有効時の漸増バッテリー電流	スリープモード、サイクリックセンシングウェークがイネーブル、VSUP = 14V、T _J ≤ 85°C、オン幅 = 1ms、周期 = 100ms の TIMERx		5	8	μA
IEXCC _{slp}	VEXCC が有効時の、漸増バッテリー電源電流引き込み	スリープモード、スタンドアロン構成で VEXCC がイネーブル (無負荷時)、VSUP、VEXMON、VEXCTRL、VEXCC ピンへの電流を含みます。T _J ≤ 85°C		40	60	μA
VHSS						
IHSS _{NOLOAD}	各 HSS がオンの場合、さらに電流が引き込まれます (3)	各 HSS がオンの場合、HSS 出力に負荷なし		100	140	μA
UVHSS _R	ハイサイドスイッチ電源の低電圧回復	VHSS 立ち上がり		4.6	4.9	V
UVHSS _F	ハイサイドスイッチ電源の低電圧検出。HSS_UV_SD_DIS = 0b の場合ハイサイドスイッチはオフ	VHSS 立ち下がり		4.4	4.7	V
UVHSS _{HYS}	ハイサイドスイッチ電源の低電圧検出ヒステリシス			100		mV
OVHSS _R	VHSS 過電圧立ち上がりスレッシュホールド。HSS_OV_SD_DIS = 0b の場合ハイサイドスイッチはオフ	VHSS 立ち上がり		20	22	V
OVHSS _F	VHSS 過電圧立ち下がりスレッシュホールド。ハイサイドスイッチを再度イネーブルにするには VHSS をこのスレッシュホールドより低くする必要があります	VHSS 立ち下がり		18.8	21.2	V
OVHSS _{HYS}	VHSS 過電圧スレッシュホールドヒステリシス			800	1200	mV
VCC1 レギュレータ						

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
VCC1 ₅	制御された出力	VSUP = 5.5V ~ 28V, ICC1 = 1 ~ 250mA	4.9	5	5.1	V
VCC1 ₃₃	制御された出力	VSUP = 5.5V ~ 28V, ICC1 = 1 ~ 250mA	3.234	3.3	3.366	V
ICC1 _{SINK}	VCC1 電流シンク能力	VSUP = 14V およびレジスタ 8'h0D[3]=0b	-17	-11	-7	μA
		VSUP = 14V およびレジスタ 8'h0D[3]=1b	-155	-112	-75	μA
ICC1 _{LIM}	VCC1 出力電流制限	VCC1 はグラウンドへ短絡	300		750	mA
UVCC1 _{5RPR}	VCC1 低電圧回復スレッショルドの事前警告	VCC1 の立ち上がり	4.65		4.9	V
UVCC1 _{5FPR}	VCC1 低電圧検出スレッショルドの事前警告	VCC1 の立ち下がり	4.55		4.8	V
UVCC1 _{5PRHYS}	低電圧事前警告 5V LDO ヒステリシス		70		130	mV
UVCC1 _{5R1}	VCC1 低電圧回復スレッショルド 1	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 00b	4.60		4.85	V
UVCC1 _{5F1}	VCC1 低電圧検出スレッショルド 1	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 00b	4.50		4.75	V
UVCC1 _{5R2}	VCC1 低電圧回復スレッショルド 2	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 01b	3.85		4.15	V
UVCC1 _{5F2}	VCC1 低電圧検出スレッショルド 2	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 01b	3.75		4.05	V
UVCC1 _{5R3}	VCC1 低電圧回復スレッショルド 3	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 10b	3.25		3.55	V
UVCC1 _{5F3}	VCC1 低電圧検出スレッショルド 3	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 10b	3.15		3.45	V
UVCC1 _{5R4}	VCC1 低電圧立ち下がり、スレッショルド 4	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 11b	4.6		4.85	V
UVCC1 _{5F4}	VCC1 低電圧検出、スレッショルド 4	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 11b	3.375		3.675	V
UVCC1 _{5HYS4}	低電圧検出 5V LDO ヒステリシス、スレッショルド 1 ~ 3	レジスタ 8'h0E[4:3] = 11b		1200		mV
UVCC1 _{5HYS}	低電圧検出 5V LDO ヒステリシス、スレッショルド 1 ~ 3	レジスタ 8'h0E[4:3] = 00b、01b または 10b	50		150	mV
UVCC1 _{33RPR}	VCC1 低電圧回復スレッショルドの事前警告	VCC1 の立ち上がり	3.1		3.28	V
UVCC1 _{33FPR}	VCC1 低電圧検出スレッショルドの事前警告	VCC1 の立ち下がり	3		3.2	V
UVCC1 _{33PRHYS}	低電圧事前警告 3.3V LDO ヒステリシス		60		120	mV
UVCC1 _{33R1}	VCC1 低電圧回復スレッショルド 1	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 00b	3		3.2	V
UVCC1 _{33F1}	VCC1 低電圧検出スレッショルド 1	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 00b	2.95		3.15	V
UVCC1 _{33R2}	VCC1 低電圧回復スレッショルド 2	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 01b	2.55		2.75	V
UVCC1 _{33F2}	VCC1 低電圧検出スレッショルド 2	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 01b	2.5		2.7	V

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
UVCC1 _{33R3}	VCC1 低電圧回復スレッシュヨルド 3	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 10b	2.25		2.45	V
UVCC1 _{33F3}	VCC1 低電圧検出スレッシュヨルド 3	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 10b	2.2		2.4	V
UVCC1 _{33R4}	VCC1 低電圧立ち下がり、スレッシュヨルド 4	VCC1 立ち上がり、レジスタ 8'h0E[4:3] = 11b	3		3.2	V
UVCC1 _{33F4}	VCC1 低電圧検出、スレッシュヨルド 4	VCC1 立ち下がり、レジスタ 8'h0E[4:3] = 11b	2.2		2.4	V
UVCC1 _{33HYS4}	低電圧検出 3.3V LDO ヒステリシス、スレッシュヨルド 4	レジスタ 8'h0E[4:3] = 11b		800		mV
UVCC1 _{33HYS}	低電圧検出 3.3V LDO ヒステリシス、スレッシュヨルド 1 ~ 3	レジスタ 8'h0E[4:3] = 00b, 01b または 10b	30		80	mV
OVCC1 _{5R1}	スリープモードまたはフェイルセーフモードに移行するための過電圧 5V VCC スレッシュヨルド	ランプアップ、レジスタ 8'h0C[7] = 0b	5.25		5.5	V
OVCC1 _{5F1}	過電圧 5V VCC1 スレッシュヨルド	ランプダウン、レジスタ 8'h0C[7] = 0b	5.15		5.4	V
OVCC1 _{5R2}	スリープモードまたはフェイルセーフモードに移行するための過電圧 5V VCC1 スレッシュヨルド	ランプアップ、レジスタ 8'h0C[7] = 1b	5.47		5.73	V
OVCC1 _{5F2}	過電圧 5V VCC1 スレッシュヨルド	ランプダウン、レジスタ 8'h0C[7] = 1b	5.37		5.63	V
OVCC1 _{5HYS}	過電圧 5V VCC スレッシュヨルドのヒステリシス		50		150	mV
OVCC1 _{33R1}	スリープモードまたはフェイルセーフモードに移行するための過電圧 3.3V VCC1 スレッシュヨルド	ランプアップ、レジスタ 8'h0C[7] = 0b	3.45		3.6	V
OVCC1 _{33F1}	過電圧 3.3V VCC1 スレッシュヨルド	ランプダウン、レジスタ 8'h0C[7] = 0b	3.4		3.55	V
OVCC1 _{33R2}	過電圧 3.3V VCC1 スレッシュヨルド	ランプアップ、レジスタ 8'h0C[7] = 1b	3.6		3.8	V
OVCC1 _{33F2}	スリープモードまたはフェイルセーフモードに移行するための過電圧 3.3V VCC1 スレッシュヨルド	ランプダウン、レジスタ 8'h0C[7] = 1b	3.5		3.7	V
OVCC1 _{33HYS1}	過電圧 3.3V VCC スレッシュヨルドのヒステリシス	OVCC1_SEL レジスタ 8'h0C[7] = 0b	30	50	80	mV
OVCC1 _{33HYS2}	過電圧 3.3V VCC スレッシュヨルドのヒステリシス	OVCC1_SEL レジスタ 8'h0C[7] = 1b	70	105	140	mV
VCC1 _{5SC}	5V LDO においてスリープモードまたはフェイルセーフモードに移行する VCC1 短絡スレッシュヨルド	VSUP ≥ VSUP(PU)	1.7		2.3	V
VCC1 _{33SC}	3.3V LDO においてスリープモードまたはフェイルセーフモードに移行する VCC1 短絡スレッシュヨルド	VSUP ≥ VSUP(PU)		1.22	1.26	V
V _{5DROP1VCC1}	ドロップアウト電圧 (VCC1 = 5V 構成)	VSUP = 3.5V, ICC1 = 50mA			500	mV
V _{5DROP2VCC1}	ドロップアウト電圧 (VCC1 = 5V 構成)	VSUP = 5V, ICC1 = 150mA			500	mV
V _{33DROP1VCC1}	ドロップアウト電圧 (VCC1 = 3.3V 構成)	VSUP = 3.5V, ICC1 = 50mA			500	mV
VCC2 レギュレータ						
VCC2 _{nom}	通常動作のレギュレーション出力	VSUP = 14V, ICC2 = 5 ~ 200mA	4.9	5	5.1	V
VCC2 _{red}	低減動作のレギュレーション出力	VSUP = 8V ~ 18V, ICC2 = 10μA ~ 5mA, T _J = 25°C ~ 125°C	4.95	5	5.05	V
ICC2 _{LIM}	VCC2 出力電流制限	VCC2 = 2.5 V	250		650	mA

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、VSUP = 14V および T_J = 25°C で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
UVCC2 _R	低電圧回復 VCC2	VCC2 の立ち上がり	4.6		4.9	V
UVCC2 _F	低電圧検出 VCC2	VCC2 の立ち下がり	4.5		4.75	V
UVCC2 _{HYS}	低電圧検出 VCC2 ヒステリシス		70		175	mV
OVCC2 _R	過電圧 VCC2 LDO スレッシュホールド	増加	5.37		5.63	V
OVCC2 _F	過電圧 VCC2 LDO スレッシュホールド	減少	5.2		5.5	V
OVCC2 _{HYS}	過電圧 VCC2 LDO スレッシュホールドのヒステリシス		70		175	mV
VCC2 _{SC}	VCC2 LDO 短絡スレッシュホールド	VSUP ≥ VSUP(PU)	1.7		2.3	V
V _{5DROPIVCC2}	ドロップアウト電圧 (5V LDO 出力、VCC2)	VSUP = 3.5V、ICC2 = 50mA			500	mV
V _{5DROPIVCC2}	ドロップアウト電圧 (5V LDO 出力 VCC2)	VSUP = 5V、ICC2 = 30mA			500	mV
VEXCC レギュレータ						
VEXCC ₁₈	1.8V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	1.764	1.8	1.836	V
VEXCC ₂₅	2.5V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	2.45	2.5	2.55	V
VEXCC ₃₃	3.3V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	3.234	3.3	3.366	V
VEXCC ₅	5V PNP 出力電圧をサポート	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	4.9	5	5.1	V
VEXCC _{ACC}	PNP 出力電圧精度	5.5V ≤ VSUP ≤ 28V 10mA ≤ I _{VCCEXT} ≤ 350mA	-2		2	%
UVEXCC _R	VEXCC が低電圧イベントを終了	5.5V ≤ VSUP ≤ 28V	0.87	0.9	0.93	V _{EXCC}
UVEXCC _F	VEXCC が低電圧イベントに移行	5.5V ≤ VSUP ≤ 28V	0.81	0.85	0.89	V _{EXCC}
UVEXCC _{HYS}	VEXCC が低電圧ヒステリシスに移行	5.5V ≤ VSUP ≤ 28V	30		350	mV
OVEXCC _R	VEXCC が過電圧イベントに移行	5.5V ≤ VSUP ≤ 28V	1.12	1.15	1.18	V _{EXCC}
OVEXCC _F	VEXCC が過電圧イベントを終了	5.5V ≤ VSUP ≤ 28V	1.07	1.1	1.13	V _{EXCC}
OVEXCC _{HYS}	VEXCC が過電圧ヒステリシスを終了	5.5V ≤ VSUP ≤ 28V	45		300	mV
VEXCC _{SC18}	1.8V および 2.5V における VEXCC 短絡検出	5.5V ≤ VSUP ≤ 28V		1.1	1.26	V
VEXCC _{SC}	3.3V および 5V における VEXCC 短絡検出	5.5V ≤ VSUP ≤ 28V	1.7		2.3	V
IVEXCC	VEXCC の入力電流	VEXCC = 5V、3.3V、2.5V、1.8V		3	10	μA
VVEXCTRL	外部 PNP の基数ピンの電圧出力	5.5V ≤ VSUP ≤ 28V			28	V
IVEXCTRL	外部 PNP の基数ピンでの駆動電流	VVEXCTRL = 13.5V	20	40	60	mA
IVEXCTRL _{LKG}	基数ピン VEXCTRL の電流リーク	VVEXCTRL = 13.5V、T _J = 25°C			5	μA
IVEXMON	VEXMON ピンの入力電流	VEXMON = VSUP	0	3	10	μA
IVEXMON _{LKG}	VEXMON ピン入力リーク電流の外部 PNP 無効化	VEXMON = VSUP、T _J = 25°C			5	μA
VSHUNTTH	出力電流シャント電圧スレッシュホールド ⁽¹⁾		0.15		0.44	V
t _{RLINC-3P3V}	電流が増加するレギュレーション応答時間	VEXCC = 3.3V ~ 0V、最大 IVEXCTRL = 20mA、 図 8-8 を参照			20	μs
t _{RLDEC-3P3V}	電流が減少するレギュレーション応答時間	VEXCC = 0V ~ 3.3V、最大 IVEXCTRL = 20mA、 図 8-8 を参照			5	μs
t _{RLINC-5V}	電流が増加するレギュレーション応答時間	VEXCC = 5V ~ 0V、最大 IVEXCTRL = 20mA、 図 8-8 を参照			20	μs

6.6 電源の特性 (続き)

推奨動作範囲内 (特に記述のない限り)。標準値は、 $V_{SUP} = 14V$ および $T_J = 25^\circ C$ で規定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{RLDEC-5V}$	電流が減少するレギュレーション応答時間	$V_{EXCC} = 0V \sim 5V$ 、最大 $I_{VEXCTRL} = 20mA$ 、 図 8-8 を参照			5	μs
$Ratio_{ICC3/ICC1}$	負荷共有比 $ICC3:ICC1$	$6.0V \leq V_{SUP} \leq 28V$ 、 SBC 通常モード、 $900m\Omega$ の LS 比 シャント抵抗と $300mA$ の合計負荷電流	1.4	2	2.6	
$Ratio_{ICC3/ICC1}$	負荷共有比 $ICC3:ICC1$	$6.0V \leq V_{SUP} \leq 28V$ 、 SBC 通常モード、 4.3Ω の LS 比 シャント抵抗と $300mA$ の合計負荷電流	0.7	1	1.3	
VCAN 電源入力						
IVCAN	電源電流	通常モード:リセッシブ、 $V_{TXD} = V_{CC1}$ 、 V_{EXCC} 、 V_{CC1} 、 $V_{CC2} =$ 無負荷時にオン		3	5	mA
		通常モード:ドミナント、 $V_{TXD} = 0V$ 、 $R_L = 60\Omega$ 、 $C_L =$ 開放、標準バス負荷、 V_{EXCC} 、 V_{CC1} 、 $V_{CC2} =$ オン (無負荷時)			60	mA
		通常モード:ドミナント、 $V_{TXD} = 0V$ 、 $R_L = 50\Omega$ 、 $C_L =$ 開放、高バス負荷、 V_{EXCC} 、 V_{CC1} 、 $V_{CC2} =$ オン (無負荷時)			65	mA
		通常モード:バス故障のドミナント、 $V_{TXD} = 0V$ 、 $CANH = -25V$ 、 R_L および $C_L =$ 開放、 V_{EXCC} 、 V_{CC1} 、 $V_{CC2} =$ オン (無負荷時)			100	mA
U_{VCAN_R}	電源低電圧回復	VCAN 立ち上がり	4.6		4.85	V
U_{VCAN_F}	電源低電圧検出	VCAN 立ち下がり	4.5		4.75	V
$U_{VCAN_{HYS}}$	VCAN 電源低電圧検出ヒステリシス		50	100	150	mV

- (1) 電流制限が動作を開始し、 V_{EXCC} がスタンドアロン構成に設定されている場合にのみアクティブになるスレッシュホールド
- (2) 直接駆動を使用して追加の HSS をオンにするたびに、さらに電流が消費されます
- (3) $I_{HSSNOLOAD}$ と $ISUP_{HSS}$ を追加して引き込まれる合計バッテリー電流を判断します。
- (4) 設計により規定されています。

6.7 電気的特性

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CAN ドライバ						
$V_{CANH(D)}$	バス出力電圧 (ドミナント) CANH	図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $R_L = 50\Omega \sim 65\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	3.0		4.26	V
$V_{CANL(D)}$	バス出力電圧 (ドミナント) CANL		0.75		2.01	V
$V_{CANH(R)}$ $V_{CANL(R)}$	バス出力電圧 (リセツプ)	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L =$ 開放 (負荷なし)、 $R_{CM} =$ 開放	2	2.5	3	V
$V_{CANH(R)}$ $V_{CANL(R)}$	終端されたバスの出力電圧 (リセツプ)	$V_{CTXD} = V_{CC1}$ 、 $R_L = 60\Omega$ 、分割終端容量 4.7nF	2.137		2.887	V
$V_{(DIFF)}$	最大差動電圧定格	$V_{(DIFF)} = V_{CANH} - V_{CANL}$	-42		42	V
$V_{DIFF(D)}$	通常バス負荷時の差動出力電圧 (ドミナント)	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $50\Omega \leq R_L \leq 65\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	1.5		3	V
$V_{DIFF(D)}$	拡張差動負荷範囲における差動出力電圧 (ドミナント)	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $45\Omega \leq R_L \leq 70\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	1.4		3.3	V
$V_{DIFF(D)}$	アービトレーション中の実効抵抗の差動出力電圧 (ドミナント)	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = 0V$ 、 $R_L = 2.24k\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	1.5		5	V
$V_{DIFF(R)}$	差動出力電圧 (リセツプ)	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L = 45\Omega \leq R_L \leq 65\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放	-50		50	mV
		図 7-1 と 図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L =$ 開放 (負荷なし)、 $C_L =$ 開放、 $R_{CM} =$ 開放	-50		50	mV
$V_{CANH(INACT)}$	バスバイアスが非アクティブの場合の CANH のバス出力電圧	図 7-1 と 図 7-4 を参照、 $V_{CTXD} = V_{CC1}$ 、 $R_L =$ 開放、 $C_L =$ 開放、 $R_{CM} =$ 開放	-0.1		0.1	V
$V_{CANL(INACT)}$	バスバイアスが非アクティブの場合の CANL のバス出力電圧		-0.1		0.1	V
$V_{DIFF(INACT)}$	バスバイアスが非アクティブのときの CANH-CANL (リセツプ) のバス出力電圧		-0.2		0.2	V
V_{SYM}	出力対称 (ドミナントまたはリセツプ) ($V_{O(CANH)} + V_{O(CANL)})/V_{CC}$ ⁽⁹⁾	図 7-1 と 図 7-4 を参照、 $R_L = 60\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放、 $C_1 = 4.7nF$ 、 $CTXD = 250kHz$ 、 $1MHz$ 、 $2.5MHz$	0.9		1.1	V/V
V_{SYM_DC}	出力対称 (ドミナントまたはリセツプ) ($V_{CC} - V_{O(CANH)} - V_{O(CANL)})$	図 7-1 と 図 7-4 を参照、 $R_L = 60\Omega$ 、 $C_L =$ 開放、 $R_{CM} =$ 開放、 $C_1 = 4.7nF$	-400		400	mV
$I_{CANH(OS)}$	短絡時の定常状態出力電流、図 7-1 と 図 7-8 を参照	$-3.0V \leq V_{CANH} \leq +18.0V$ 、CANL = 開放、 $V_{CTXD} = 0V$	-100			mA
$I_{CANL(OS)}$		$-3.0V \leq V_{CANL} \leq +18.0V$ 、CANH = 開放、 $V_{CTXD} = 0V$			100	mA
I_{OS_REC}	短絡時の定常状態出力電流、リセツプ、図 7-1 と 図 7-8 を参照	$-42V \leq V_{BUS} \leq +42V$ 、 $V_{BUS} = CANH = CANL$	-5		5	mA
CAN レシーバ						
$V_{DIFF_RX(D)}$	レシーバがドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12.0V \leq V_{CANL} \leq +12.0V$	0.9		8	V
$V_{DIFF_RX(R)}$	レシーバリセツプ状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12.0V \leq V_{CANH} \leq +12.0V$ 、図 7-5 と 表 8-3 を参照	-3		0.5	V
V_{HYS}	入力スレッショルド、通常、選択性ウェークモードのヒステリシス電圧			135		mV

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{DIFF_RX(D_INA CT)}	レーザードミナント状態の差動入力電圧範囲、バスバイアスがアクティブ時	-12.0V ≤ V _{CANL} ≤ +12.0V	1.15		8	V
V _{DIFF_RX(R_INA CT)}	レーザーリセッパ状態の差動入力電圧範囲、バスバイアスがアクティブ中	-12.0V ≤ V _{CANH} ≤ +12.0V、 図 7-5 と表 8-3を参照	-3		0.4	V
V _{CM_NORM}	同相モード範囲:通常		-12		12	V
V _{CM_STBY}	同相モード範囲:スタンバイモード		-12		12	V
I _{LKG(OFF)}	パワーオフ (電源オフ) バス入力リーク電流	CANH = CANL = 5V、VCAN = VSUP、0Ωと47kΩ抵抗を使用してGNDにプル			5	μA
C _I	グラウンドに対する入力容量 (CANH または CANL)	(9)			20	pF
C _{ID}	差動入力容量	(9)			10	pF
R _{DIFF_PAS_REC}	パッシブリセッパ状態中の差動入力抵抗	V _{CTXD} = VCC1、通常モード: -2.0V ≤ V _{CANH} ≤ +7.0V、-2.0V ≤ V _{CANL} ≤ +7.0V	12		100	kΩ
R _{SE_CANH} R _{SE_CANL}	パッシブリセッパ状態でのシングルエンド入力抵抗	-2.0V ≤ V _{CANH} ≤ +7.0V -2.0V ≤ V _{CANL} ≤ +7.0V	6		50	kΩ
m _R	入力抵抗マッチング: [1 - (R _{IN(CANH)} / R _{IN(CANL)})] × 100%	V _{CANH} = V _{CANL} = 5.0V	-1		1	%
LIN						
V _{OH}	HIGH レベル出力電圧 ⁽¹⁾	LIN リセッパ、LTXD = High、I _O = 0mA、VSUP = 5.5V ~ 28V	0.85			VSUP
V _{OL}	LOW レベル出力電圧 ⁽¹⁾	LIN ドミナント、LTXD = Low、VSUP = 5.5V ~ 28V			0.2	VSUP
V _{IH}	HIGH レベル入力電圧 ⁽¹⁾	LIN リセッパ、LTXD = High、I _O = 0mA、VSUP = 5.5V ~ 28V	0.47		0.6	VSUP
V _{IL}	LOW レベル入力電圧 ⁽¹⁾	LIN ドミナント、LTXD = Low、VSUP = 5.5V ~ 28V	0.4		0.53	VSUP
V _{SUP_NON_OP}	リセッパの LIN バスの影響が 5% 未満の場合の V _{SUP} (ISO/DIS 17987 Param 11)	LTXD および LRXD 開放、V _{LIN} = 5.5V ~ 45V、VCC = 無負荷	-0.3		40	V
I _{BUS_LIM}	制限電流 (ISO/DIS 17987-4 Param 12)	LTXD = 0V、V _{LIN} = 18V、VSUP = 18V	40	90	200	mA
I _{BUS_PAS_DOM}	レーザーバのリーク電流、ドミナント (ISO/DIS 17987 Param 13)	V _{LIN} = 0V、VSUP = 12V ドライバオフ/リセッパ、	-1			mA
I _{BUS_PAS_rec1}	レーザーバのリーク電流、リセッパ (ISO/DIS 17987 Param 14)	V _{LIN} ≥ VSUP、5.5V ≤ VSUP ≤ 28V ドライバオフ、			20	μA
I _{BUS_PAS_rec2}	レーザーバのリーク電流、リセッパ (ISO/DIS 17987 Param 14)	V _{LIN} = VSUP、ドライバオフ、	-5		5	μA
I _{BUS_NO_GND}	リーク電流、グラウンド喪失 (ISO/DIS 17987 Param 15)	GND = VSUP、VSUP = 12V、0V ≤ V _{LIN} ≤ 28V、	-1		1	mA
I _{BUSrec_NO_GND}	リーク電流、グラウンド LIN バスの喪失はリセッパ状態	GND = VSUP、VSUP = 12V = V _{LIN} V、	-100		100	μA
I _{BUS_NO_BAT}	リーク電流、電源喪失 (ISO/DIS 17987 Param 16)	0V ≤ V _{LIN} ≤ 28V、VSUP = GND、			10	μA
V _{BUSdom}	Low レベル入力電圧 (ISO/DIS 17987 Param 17)	LIN ドミナント (ウェークアップの LIN ドミナントを含む)、			0.4	VSUP
V _{BUSrec}	High レベル入力電圧 (ISO/DIS 17987 Param 18)	LIN リセッパ、	0.6			VSUP

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{BUS_CNT}	レシーバのセンター スレッショルド (ISO/DIS 17987 Param 19)	V _{BUS_CNT} = (V _{IL} + V _{IH})/2、	0.475	0.5	0.525	VSUP
V _{HYS}	ヒステリシス電圧 (ISO/DIS 17987 Param 20) (2)	V _{HYS} = (V _{IH} - V _{IL}), V _{HYS} = (V _{th_rec} - V _{th_dom}) (3)	0.07		0.175	VSUP
V _{SERIAL_DIODE}	直列ダイオードの LIN 端子プルアップ パス (ISO/DIS 17987 Param 21)	設計と特性評価による。	0.4	0.7	1.0	V
R _{LIN}	LIN の V _{SUP} への内部プルアップ抵抗 (ISO/DIS 17987 Param 26)	通常モードとスタンバイモード	27.66	35	48	kΩ
I _{RSLEEP}	V _{SUP} に接続されたプルアップ電流源	スリープモード、VSUP = 14V、LIN = GND	-13	-10	-7	μA
C _{LIN_PIN}	LIN ピンの容量	設計と特性評価による。			25	pF
LIMP 出力 (オープンドレイン)						
V _{OL}	オープンドレイン出力電圧 (アクティブ Low)	外部プルアップ、4.5V < V < 28V、I _{LIMP} = -6mA		0.5	1	V
I _{LKG(LIMP)}	出力電流 (非アクティブ)	V _{LIMP} = 0V ~ 28V	-2		2	μA
HSS1、HSS2、HSS3、HSS4 (高電圧出力)						
R _{dson}	HSS 出力のドレイン-ソース間オン抵抗	I _O = -60mA		7	12	Ω
R _{dson}	HSS 出力のドレイン-ソース間オン抵抗	I _O = -60mA、VHSS = 14V、TA = 25°C			7	Ω
I _{OC(HSS)}	HSS 過電流検出制限	VHSS = 14V	150	200	300	mA
I _{OL(HSS)}	オンで電流が立ち下がり時の HSS 開放負荷電流検出スレッショルド	VHSS = 14V	0.4		3.0	mA
I _{OLHYS(HSS)}	HSS 開放負荷電流ヒステリシス	VHSS = 14V	0.05	0.45	1	mA
I _{lkg}	リーク電流	HSS = 0V、スリープモード	-1		1	μA
t _R	出力の立ち上がり時間 (HSS)	6V ≤ VHSS ≤ 18V、R _L = 220Ω、20%/80%	0.45		2.5	V/μs
t _F	出力の立ち下がり時間 (HSS)	6V ≤ VHSS ≤ 18V、R _L = 220Ω、80%/20%	0.45		2.5	V/μs
t _{HSS_on}	SPI コマンドからオンまでのスイッチングオン遅延 (HSS)	VHSS = 14V、I _{LOAD} = 60mA、V _{OUT} = VHSS の 80%	30		90	μs
t _{HSS_off}	SPI コマンドからオフまでのスイッチングオフ遅延 (HSS)	VHSS = 14V、I _{LOAD} = 60mA、V _{OUT} = VHSS の 20%	30		90	μs
t _{R_DD_SR0}	低速スルーレートオプションによる直接駆動モードでの HSS の出力立ち上がり時間	HSS_CNTLx=1000b、VHSS = 13.5V、R _L = 2.2kΩ、HSSx は VHSS の 20% ~ 80% に上昇	1.05	1.3	1.6	V/μs
t _{F_DD_SR0}	低速スルーレートオプションによる直接駆動モードでの HSS の出力立ち下がり時間	HSS_CNTLx=1000b、VHSS = 13.5V、R _L = 2.2kΩ、HSSx は VHSS の 80% ~ 20% に上昇	0.95	1.15	1.4	V/μs
t _{R_DD_SR1}	高速スルーレートオプションによる直接駆動モードでの HSS の出力立ち上がり時間 (HSS)	HSS_CNTLx=1001b、VHSS = 13.5V、R _L = 2.2kΩ、HSSx は VHSS の 20% ~ 80% に上昇	2.0	2.4	2.85	V/μs
t _{F_DD_SR1}	高速スルーレートオプションによる直接駆動モードでの HSS の出力立ち下がり時間	HSS_CNTLx=1001b、VHSS = 13.5V、R _L = 2.2kΩ、HSSx は VHSS の 80% ~ 20% に上昇	2.0	2.4	2.85	V/μs
t _{HSSDD_EN_SR0}	直接駆動の低速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのイネーブル時間	HSS_CNTLx=1000b、VHSS = 13.5V、R _L = 2.2kΩ、HSSx = VHSS の 80%	25	35	42	μs

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{HSSDD_DIS_SR0}	直接駆動の低速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのディスエーブル時間	HSS_CNTLx=1000b、 VHSS = 13.5V、R _L = 2.2kΩ、HSSx = VHSS の 20%	35	55	65	μs
t _{HSSDD_EN_SR1}	直接駆動の高速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのイネーブル時間	HSS_CNTLx=1001b、 VHSS = 13.5V、R _L = 2.2kΩ、HSSx = VHSS の 80%	20	30	35	μs
t _{HSSDD_DIS_SR1}	直接駆動の高速スルーレートオプション用に構成される場合の WAKE3/DIR のエッジ変化からのディスエーブル時間	HSS_CNTLx=1001b、 VHSS = 13.5V、R _L = 2.2kΩ、HSSx = VHSS の 20%	20	33	38	μs
t _{OCFLTR}	過電流故障通知用の HSS 過電流フィルタ時間	VHSS = 14V		16		μs
t _{OLFLTR}	開放負荷故障通知用の HSS 開放負荷フィルタ時間	VHSS = 14V		64		μs
t _{OCOFF}	HSS 過電流シャットオフ時間。この期間にわたって過電流が持続する場合は HSS がオフになります	I _{O(HSS)} > I _{OC(HSS)}	250		350	μs
WAKE1、WAKE2、WAKE3 入力端子 (高電圧入力)						
V _{IH}	High レベル入力電圧:スリープ、選択的ウェークアップ、またはスタンバイモード、WAKE ピン有効化 ⁽⁷⁾	レジスタ設定 00b VCC1 ベース	0.7			VCC1
		レジスタ設定 01b	2.5		3.5	V
		レジスタ設定 10b	3.8		5	V
		レジスタ設定 11b	5.6		7	V
V _{IL}	Low レベル入力電圧:スリープ、選択的ウェークアップ、またはスタンバイモード、WAKE ピン有効化 ⁽⁷⁾	レジスタ設定 00b VCC1 ベース			0.3	VCC1
		レジスタ設定 01b	1.5		2.8	V
		レジスタ設定 10b	3.0		4.2	V
		レジスタ設定 11b	5		6.3	V
I _{IL}	Low レベル入力電流 ⁽⁸⁾	WAKE = 1V		1.2	2.2	μA
I _{LKG}	Vbat 監視有効時のリーク電流	V _{WAKE1} = 4V ~ 28V		2	4	μA
R _{DSON}	Vbat 監視有効時の Vbat スイッチのオン抵抗	V _{WAKE1} = 4V ~ 28V、スイッチ電流 = 500μA		155	400	Ω
t _{WAKE}	スタンバイ中の WAKE のウェークアップエッジから、または静的センシングのスリープモードからの、ウェークアップホールド時間。	図 8-32 および図 8-33 を参照。			140	μs
t _{WAKE_INVALID}	これよりも短い WAKE ピンのパルスは、スタンバイで、または静的センシングのスリープモードでフィルタ処理されます。	図 8-32 および図 8-33 を参照。	10			μs
SW 入力端子						
V _{IH}	High レベル入力電圧:SW	VCC1 が存在	0.7			VCC1
V _{IL}	Low レベル入力電圧:SW	VCC1 が存在			0.3	VCC1
V _{IHSWINT}	スリープまたはフェイルセーフモードで VCC1 が喪失しているときの SW ピンの High レベル入力電圧	レジスタ 8'h0E[1]= 1 および/または 8'h0E[2]= 1 およびスリープまたはフェイルセーフモードで VCC1 が喪失	1.2			V
V _{ILSWINT}	スリープまたはフェイルセーフモードで VCC1 が喪失しているときの SW Low レベル入力電圧	レジスタ 8'h0E[1]= 1 および/または 8'h0E[2]= 1 およびスリープまたはフェイルセーフモードで VCC1 が喪失			0.4	V
I _{IHSWINT-PD}	VCC1 がオフのときの SW ピンの High レベル入力電流 (アクティブ High)	VCC1 オフ、内部ブルダウン有効、Vin = 1.5V	18		32	μA

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{ILSWINT-PD}$	VCC1 がオフのときの SW ピンの Low レベル入力リーク電流 (アクティブ High)	VCC1 オフ、内部プルダウン有効、 $V_{in} = 0V$	-1		1	μA
$I_{IHSWINT-PU}$	VCC1 がオフのときの SW ピンの High レベル入力リーク電流 (アクティブ Low)	VCC1 オフ、内部プルアップ有効、 $V_{in} = 1.5V$	-60		-20	μA
$I_{ILSWINT-PU}$	VCC1 がオフのときの SW ピンの Low レベル入力リーク電流 (アクティブ Low)	VCC1 オフ、内部プルアップ有効 $V_{in} = 0V$	-85		-35	μA
I_{IH}	High レベル入力リーク電流 (SW プルアップ)	入力 = $VCC1 \pm 2\%$	-1		1	μA
I_{IL}	Low レベル入力リーク電流 (SW プルアップ)	入力 = $0V$ 、 $VCC1 \pm 2\%$	-140		-2	μA
I_{IH}	High レベル入力リーク電流 (SW プルダウン)	入力 = $VCC1 \pm 2\%$	15		140	μA
I_{IL}	Low レベル入力リーク電流 (SW プルダウン)	入力 = $0V$ 、 $VCC1 \pm 2\%$	-1		1	μA
R _{pu}	プルアップ抵抗 (SW ピン)	SW ピンにプルアップ抵抗を構成済み (SW ピンはアクティブ Low に構成済み)	40	60	80	k Ω
R _{pd}	プルダウン抵抗 (SW ピン)	SW ピンにプルダウン抵抗を構成済み (SW ピンはアクティブ High に構成済み)	40	60	80	k Ω
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	Inputs = 5.5V、 $VCC1 = VSUP = 0V$ 、 $T_J = -40 \sim 85^\circ C$	-1	0	1	μA
SDI、SCK、nCS、CTXD、LTXD 入力端子						
V_{IH}	High レベル入力電圧		0.7			VCC1
V_{IL}	Low レベル入力電圧				0.3	VCC1
I_{IH}	High レベル入力リーク電流 (内部プルアップ)	入力 = $VCC1 \pm 2\%$	-1		1	μA
I_{IH}	High レベル入力リーク電流 (内部プルダウン)	入力 = $VCC1 \pm 2\%$	15		140	μA
I_{IL}	Low レベル入力リーク電流 (内部プルアップ)	入力 = $0V$ 、 $VCC1 \pm 2\%$	-140		-2	μA
I_{IL}	Low レベル入力リーク電流 (内部プルダウン)	入力 = $0V$ 、 $VCC1 \pm 2\%$	-1		1	μA
C _{IN}	入力容量	20MHz 時	2		10	pF
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	入力 = 5.5V、 $VCC1 = VSUP = 0V$ 、 $T_J = -40 \sim 85^\circ C$	-1	0	1	μA
R _{pd}	プルダウン抵抗 (SDI、SCK、SW ピン)	それに基づいて構成する場合、これらのピンにはプルダウン抵抗があります。	40	60	80	k Ω
R _{pu}	プルアップ抵抗 (SDI、SCK、nCS、SW、CTXD、LTXD ピン)	それに基づいて構成する場合、SDI、SCK、SW ピンにはプルアップ抵抗があります。nCS、CTXD、LTXD は常にプルアップがあります。	40	60	80	k Ω
CRXD、LRXD、SDO、GFO、nINT 出力端子						
V_{OH}	HIGH レベル出力電圧	$I_{OH} = -2mA$	0.8			VCC1
V_{OL}	Low レベル出力電圧	$I_{OL} = 2mA$			0.2	VCC1
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	$VSUP = 0V$ 、 $VCC1 = 0V$ 、 $V_O = 0V$ から 3.3V または 5V のいずれかの VCC1 出力レベル	-5		5	μA
nRST 端子 (入力/出力)						

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IH}	High レベル入力スイッチングスレッショルド電圧	非標準内部電圧	2.1			V
V _{IL}	Low レベル入力スイッチングスレッショルド電圧	非標準内部電圧			0.8	V
I _{OL}	Low レベル出力電流、オープンドレイン	nRST = 0.4V	1.5			mA
I _{LKG}	リーク電流、High レベル	nRST = VCC1	-5		5	μA
R _{pu}	プルアップ抵抗 (VCC1 へ出力プルアップ)		10	30	50	kΩ
LIN デューティ サイクル						
D1	デューティ サイクル 1 (ISO/DIS 17987 Param 27 および J2602 通常バッテリー) ^{(4) (5)}	TH _{REC(MAX)} = 0.744 × VSUP、 TH _{DOM(MAX)} = 0.581 × VSUP、VSUP = 7V ~ 18V、t _{BIT} = 50/52μs、D1 = t _{BUS_rec(min)} /(2 × t _{BIT})、(図 7-13、図 7-14 を参照)	0.396			
D2	デューティ サイクル 2 (ISO/DIS 17987 Param 28 および J2602 通常バッテリー) ^{(4) (5)}	TH _{REC(MIN)} = 0.422 × VSUP、 TH _{DOM(MIN)} = 0.284 × VSUP、VSUP = 7.6V ~ 18V、t _{BIT} = 50/52μs、D2 = t _{BUS_rec(MAX)} /(2 × t _{BIT}) (図 7-13、図 7-14 を参照)			0.581	
D3	デューティ サイクル 3 (ISO/DIS 17987 Param 29 および J2602 通常バッテリー) ^{(4) (5)}	TH _{REC(MAX)} = 0.778 × VSUP、 TH _{DOM(MAX)} = 0.616 × VSUP、VSUP = 7V ~ 18V、t _{BIT} = 96μs (10.4kbps)、D3 = t _{BUS_rec(min)} /(2 × t _{BIT})、(図 7-13、図 7-14 を参照)	0.417			
D4	デューティ サイクル 4 (ISO/DIS 17987 Param 30 および J2602 通常バッテリー) ^{(4) (5)}	TH _{REC(MIN)} = 0.389 × VSUP、 TH _{DOM(MIN)} = 0.251 × VSUP、VSUP = 7.6V ~ 18V、t _{BIT} = 96μs (10.4kbps)、D4 = t _{BUS_rec(MAX)} /(2 × t _{BIT}) (図 7-13、図 7-14 を参照)			0.59	
D1 _{LB}	デューティサイクル 1 J2602 Low バッテリー ^{(5) (6)}	TH _{REC(MAX)} = 0.665 × VSUP、 TH _{DOM(MAX)} = 0.499 × VSUP、VSUP = 5.5V ~ 7V、t _{BIT} = 50/52μs、D1 _{LB} = t _{BUS_rec(min)} /(2 × t _{BIT}) (図 7-13、図 7-14 を参照)	0.396			
D2 _{LB}	デューティサイクル 2 J2602 Low バッテリー ^{(5) (6)}	TH _{REC(MIN)} = 0.496 × VSUP、 TH _{DOM(MIN)} = 0.361 × VSUP、VSUP = 6.1V ~ 7.6V、t _{BIT} = 50/52μs、D2 _{LB} = t _{BUS_rec(MAX)} /(2 × t _{BIT}) (図 7-13、図 7-14 を参照)			0.581	
D3 _{LB}	デューティサイクル 3 J2602 Low バッテリー ^{(5) (6)}	TH _{REC(MAX)} = 0.665 × VSUP、 TH _{DOM(MAX)} = 0.499 × VSUP、VSUP = 5.5V ~ 7V、t _{BIT} = 96μs、D3 _{LB} = t _{BUS_rec(min)} /(2 × t _{BIT}) (図 7-13、図 7-14 を参照)	0.417			
D4 _{LB}	デューティサイクル 4 J2602 Low バッテリー ^{(5) (6)}	TH _{REC(MIN)} = 0.496 × VSUP、 TH _{DOM(MIN)} = 0.361 × VSUP、VSUP = 6.1V ~ 7.6V、t _{BIT} = 96μs、D4 _{LB} = t _{BUS_rec(MAX)} /(2 × t _{BIT}) (図 7-13、図 7-14 を参照)			0.59	

6.7 電気的特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{r-d \max}$	$t_{\text{REC}(\text{MAX})} - t_{\text{DOM}(\text{MIN})}$ ⁽⁵⁾	$TH_{\text{REC}(\text{MAX})} = 0.744 \times VSUP$ 、 $TH_{\text{DOM}(\text{MAX})} = 0.581 \times VSUP$ 、 $VSUP = 7V \sim 18V$ 、 $t_{\text{BIT}} = 52\mu\text{s}$ (19.231kbps)、 (図 7-13 、 図 7-14 を参照)			10.8	μs
$T_{d-r \max}$	$t_{\text{DOM}(\text{MAX})} - t_{\text{REC}(\text{MIN})}$ ⁽⁵⁾	$TH_{\text{REC}(\text{MIN})} = 0.422 \times VSUP$ 、 $TH_{\text{DOM}(\text{MIN})} = 0.284 \times VSUP$ 、 $VSUP = 7.6V \sim 18V$ 、 $t_{\text{BIT}} = 52\mu\text{s}$ (19.231kbps)、 (図 7-13 、 図 7-14 を参照)			8.4	μs
$T_{r-d \max}$	$t_{\text{REC}(\text{MAX})} - t_{\text{DOM}(\text{MIN})}$ ⁽⁵⁾	$TH_{\text{REC}(\text{MAX})} = 0.778 \times VSUP$ 、 $TH_{\text{DOM}(\text{MAX})} = 0.616 \times VSUP$ 、 $VSUP = 7V \sim 18V$ 、 $t_{\text{BIT}} = 96\mu\text{s}$ (10.4kbps)、(図 7-13 、 図 7-14 を参照)			15.9	μs
$T_{d-r \max}$	$t_{\text{DOM}(\text{MAX})} - t_{\text{REC}(\text{MIN})}$ ⁽⁵⁾	$TH_{\text{REC}(\text{MIN})} = 0.389 \times VSUP$ 、 $TH_{\text{DOM}(\text{MIN})} = 0.251 \times VSUP$ 、 $VSUP = 7.6V \sim 18V$ 、 $t_{\text{BIT}} = 96\mu\text{s}$ (10.4kbps)、 (図 7-13 、 図 7-14 を参照)			17.28	μs

- (1) SAE J2602 の負荷には次のものが含まれます。コマンダー: 5.5nF、4k Ω およびレスポンドの場合: 5.5nF、875 Ω
- (2) V_{HYS} は、ISO 17987 と SAE J2602-1 の両方に対して定義されています。
- (3) $V_{\text{HYS}} = (V_{\text{th_rec}} - V_{\text{th_dom}})$ ここで、 $V_{\text{th_rec}}$ と $V_{\text{th_dom}}$ は、 V_{BUSrec} と V_{BUSdom} からの実際の電圧値です
- (4) ISO 17987 の負荷には 1nF、1k Ω /6.8nF、660 Ω /10nF、500 Ω が含まれ、 t_{BIT} 値は 50 μs および 96 μs です
- (5) SAE J2602 の負荷には次のものが含まれます。コマンダー: 5.5nF、4k Ω /889pF、20k Ω およびレスポンドの場合: 5.5nF、875 Ω /889pF、900 Ω 、 t_{BIT} 値が 52 μs および 96 μs
- (6) ISO 17987 にはバッテリー残量に関する仕様はありません。ISO 17987 負荷を使用すると、これらのバッテリーデューティサイクル低パラメータに 50 μs および 96 μs の t_{BIT} 値が適用されます
- (7) WAKE1 にレジスタ 8'h12[1:0]、WAKE2 にレジスタ 8'h2B[5:4]、WAKE3 にレジスタ 8'h2B[1:0] を使用して選択
- (8) WAKEx ピンの電流ベースの非標準設定 11b
- (9) 設計と特性評価により規定されています。

6.8 タイミング要件

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
電源						
t _{PWRUP}	VSUP が UVSUP を超え、VCC1 > UVCC1 となるまでの時間 (5)	デバイスの電源が入り、再起動に入ります			3.5	ms
t _{VCCSS}	VCC1、VCC2、VEXCC のソフトスタート時間 (5)	VCC1、VCC2、VEXCC がレギュレート値の 0V から 90% まで上昇するために必要な時間		0.75	1.25	ms
t _{UVFLTR}	VCC1、VCC2、VEXCC の低電圧検出フィルタ時間 (5)		25		50	μs
t _{UVCC1PR}	VCC1 事前警告の低電圧フィルタ時間 (5)		2		12	μs
t _{UVCANFLTR}	VCAN の低電圧フィルタ時間 (5)		2		10	μs
t _{OVFLTR}	VCC1、VCC2、VEXCC の過電圧検出フィルタ時間 (5)		20		45	μs
t _{OVFLTRVHSS}	VHSS の過電圧検出フィルタ時間 (5)		4		12	μs
t _{VSC}	VCC1、VCC2、VEXCC 検出フィルタ時間でグラウンドへの短絡 (5)		75	100	125	μs
t _{VSCLS}	負荷共有時の VCC1 および VEXCC 検出フィルタ時間でのグラウンドへの短絡 (5)		75	100	125	μs
t _{LDOON}	前回の未クリアの検出後に故障イベントが存在するかどうかを判定するために、LDO がオンになっている時間 (5)	図 7-19 を参照			3.8	ms
t _{LDOOFF}	ウェーク イベントを受け入れて故障状態をチェックする前に、フェイルセーフモードで VCC1 LDO がオフになる時間 (5)		250	300	350	ms
モード変更						
t _{MODE_STBY_NOM_CTRX}	CRXD ミラー CAN バスでの SPI 書き込み (オフまたはウェーク可能) からオンまたはリッスン状態への CAN トランシーバの状態変更時間 (5)				70	μs
t _{MODE_STBY_NOM_LTRX}	SPI 書き込みによって、(オフ状態) または (ウェイク機能付き状態) から (オン状態) または (高速状態) に遷移する際の LIN トランシーバの状態変化時間 (LRXD が LIN バスをミラーしている場合) (5)				70	μs
t _{MODE_NOM_SLP}	CAN および/または LIN トランシーバがオフで、RXD がバスを反映していない状態における SPI スリープ コマンドからの経過時間 (5)	図 7-20 を参照			200	μs
t _{MODE_NOM_STBY}	通常モードからスタンバイに移行するための SPI 書き込み (5)	図 7-21 を参照			70	μs
デバイス タイミング						
t _{RSTN_act}	低電圧からの復帰後のリセット遅延時間 (VCC1 ≥ UVCC1R から nRST リリースまで) (5)	例として 図 7-18、図 7-19、図 8-29 および 図 10-8 を参照してください	1.5	2	2.5	ms
t _{NRSTIN}	デバイスリセットを認識するために nRST ピンに必要な入力パルス (5)	図 8-44 を参照	75	100	125	μs

6.8 タイミング要件 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{RSTTO}	再起動タイマ。VCC1 < UVCC1F となるとタイマが開始します。タイマが UVCC1 の復帰前に期限切れになると、デバイスはフェイルセーフ モード (有効な場合) またはスリープ モード (フェイルセーフ モードが無効な場合) に入ります。(5)	nRST アクティブから LIMP アクティブまで測定	120	150	180	ms
t_{NRST_TOG}	ウォッチドッグ エラーによるリセット パルス幅 (5)	レジスタ 8'h29[5] = 0、 図 8-25 を参照してください	1.5	2	2.5	ms
		レジスタ 8'h29[5] = 1、 図 8-25 を参照してください	10	15	20	ms
t_{nINT_TI}	nINT_TOG_EN がイネーブルの場合、nINT 出力パルス幅 (Low)。(5)	レジスタ 8'h1B[0] = 1b	75	100	125	μ s
t_{nINT_TP}	nINT_TOG_EN がイネーブルの場合の nINT 出力パルス幅 (High) (5)	レジスタ 8'h1B[0] = 1b	75	100	125	μ s
$t_{WK_TIMEOUT}$	バスウェークアップタイムアウト値	図 8-29 を参照	0.8		2	ms
t_{WK_FILTER}	ウェークアップ リクエストのフィルタリングされたバス要件を満たすのバス時間	図 8-29 を参照	0.5		1.8	μ s
$t_{WK_WIDTH_MIN}$	WAKE ピンの最小パルス幅 (2) (3) (4) (5) 図 8-34 を参照	レジスタ 8'h11[3:2] = 00b	10			ms
		レジスタ 8'h11[3:2] = 01b	20			ms
		レジスタ 8'h11[3:2] = 10b	40			ms
		レジスタ 8'h11[3:2] = 11b	80			ms
$t_{WK_WIDTH_INVALID}$	無効とみなされる WAKE ピンの最大パルス幅 (2) (3) (4) (5) 図 8-34 を参照	レジスタ 8'h11[3:2] = 00b			5	ms
		レジスタ 8'h11[3:2] = 01b			10	ms
		レジスタ 8'h11[3:2] = 10b			20	ms
		レジスタ 8'h11[3:2] = 11b			40	ms
$t_{WK_WIDTH_MAX}$	最大 WAKE ピン パルス ウィンドウ (2) (3) (4) (5) 図 8-34 を参照	レジスタ 8'h11[1:0] = 00b	750		950	ms
		レジスタ 8'h11[1:0] = 01b	1000		1250	ms
		レジスタ 8'h11[1:0] = 10b	1500		1875	ms
		レジスタ 8'h11[1:0] = 11b	2000		2500	ms
t_{WK_CYC}	周期的検出用のサンプリング ウィンドウ、スタンバイまたはスリープ モード (5) 。 図 8-37 を参照	レジスタ 8'h12[5] = 0b	10	25	35	μ s
		レジスタ 8'h12[5] = 1b	55	75	85	μ s
$t_{SILENCE_CAN}$	バスがドミナントからリセッシブ、またはその逆に変化したときに、バス非アクティブ状態のタイムアウトタイマーがリセットされて再起動します。(5)		0.6		1.2	s
$t_{INACTIVE}$	フェイルセーフおよびモード非アクティブ状態の管理に使用される SWE タイマ	レジスタ 8'h1C[6:3] を使用して、さまざまな値にプログラム可能	4	5	6	最小値
t_{Bias}	ドミナント、リセッシブ、ドミナントのシーケンスが開始してからの経過時間	Vsym \geq 0.1 までの各相 6 μ s。 図 7-10 を参照			250	μ s
t_{SW}	状態変化が認識されるまでの SW ピンのフィルタ時間 (5)		130			μ s

6.8 タイミング要件 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t _{INITWD}	ウォッチドッグの初期長いウィンドウ (5) 図 8-62 を参照	WD_CONFIG_1 レジスタ 8'h13[1:0] = 00b	127	150	173	ms
		WD_CONFIG_1 レジスタ 8'h13[1:0] = 01b	255	300	345	ms
		WD_CONFIG_1 レジスタ 8'h13[1:0] = 10b (デフォルト)	510	600	690	ms
		WD_CONFIG_1 レジスタ 8'h13[1:0] = 11b	850	1000	1150	ms
f _{PWM-ACC}	HSS1 ~ 4 PWM 周波数精度(5)	HSS を PWM モードに設定し、PWMx_FREQ ビットで PWM 周波数を 200Hz または 400Hz に設定	-10		10	%
t _{WD-ACC}	タイムアウト ウォッチドッグのタイミング精度(5)	タイムアウト ウォッチドッグが有効。表 8-16 に従って選択したウォッチドッグ タイマの標準値	-15	t _{WD}	15	%
	ウィンドウと Q&A ウォッチドッグのタイミング精度(5)	ウィンドウ ウォッチドッグまたは Q&A ウォッチドッグが有効。表 8-16 に従って選択したウォッチドッグ タイマの標準値	-10	t _{WD}	10	%
t _{TMR-ACC}	タイマ 1、タイマ 2 期間 / オン時間の精度、または SWE タイマ の精度(5)	レジスタ 8'h25 (TIMER1_CONFIG) または 8'h26 (TIMER2_CONFIG) ごとに構成された Timer1 または Timer2 の標準値、8'h25 (SWE_TIMER_SET) ごとに構成された SWE タイマの標準値	-15		15	%
t _{CTXD_DTO}	CAN と TXD のドミナント タイムアウト(1)(5)	R _L = 60Ω、C _L = オープン、図 7-7 を参照	1		5	ms
t _{LTXD_DTO}	LIN と TXD のドミナント タイムアウト(5)		20	45	80	ms
t _{TOGGLE}	WUP 後にプログラムされる場合、RXD ビンはタイミングをトグルします (5)	図 8-29 を参照	5	10	15	μs
F _{OSC-16M}	16MHz のクロック周波数		15.36	16	16.64	MHz
F _{OSC-1M}	1MHz のクロック周波数		0.94	1.04	1.14	MHz
F _{OSC-10k}	10kHz のクロック周波数		8.8	10.4	12	kHz

- (1) CTXD ドミナント タイムアウト (t_{CTXD_DTO}) は、CTXD が t_{CTXD_DTO} よりも長くドミナントになるとトランシーバのドライバを無効化します。これにより、CAN バス ラインをリセッパに解放して、ローカル障害によりバスドミナントのままロックされることを防ぎます。ドライバは、CTXD が HIGH (リセッパ) に戻された後でのみ、ドミナントを再度送信することができます。ドミナントタイムアウト機能は、CAN バスがドミナント状態のままロックされるのを防止しますが、同時に使用可能な最小データレートを制限します。CAN プロトコルでは、最悪の場合、(CTXD 上で) 最大 11 個の連続したドミナントビットを許容しています。この場合、5 個の連続したドミナントビットの直後にエラー フレームが発生します。これは、t_{CTXD_DTO} の最小値とともに、最小ビットレートを制限します。最小ビットレートは次のように計算できます:

$$\text{Minimum Bit Rate} = \frac{11}{t_{\text{CTXD_DTO}}} = \frac{11 \text{ bits}}{1.2 \text{ ms}} = 9.2 \text{ kbps} \quad (1)$$

- (2) このパラメータは、レジスタ 11h[7:6] = 11b の場合にのみ有効です
(3) これは、デバイスが正常なパルスとして検出する WAKE ビン入力の最小パルス幅です。最小 t_{WK_WIDTH_MIN} と最大 t_{WK_WIDTH_INVALID} の間の値は不定であり、常にではありませんが、時には有効とみなされます。
(4) このパラメータは、レジスタ 11h[3:2] の t_{WK_WIDTH_INVALID} に設定された値に基づいて決まります
(5) 設計と特性評価により規定されています。

6.9 スイッチング特性

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
トランスミッタおよびレシーバのタイミング (CAN FD)							
$t_{prop}(TxD-busrec)$	伝搬遅延時間、High CTXD からドライバまで	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b、 図 7-4 を参照		55	90	ns	
$t_{prop}(TxD-busdom)$	伝搬遅延時間、Low CTXD からドライバドミナントまで			46	90	ns	
$t_{sk(p)}$	パルススキュー ($t_{pHR} - t_{pLD}$)			6	25	ns	
$t_{R/F}$	差動出力信号の立ち上がり時間:			10	48	85	ns
$t_{prop}(busrec-RXD)$	伝搬遅延時間、バスリセシブ入力から High CRXD 出力	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $R_{CM} = \text{オープン}$ CRXD = 15pF CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b、 図 7-5 を参照		84	115	ns	
$t_{prop}(busdom-RXD)$	伝搬遅延時間、バスドミナント入力から RXD Low 出力まで			55	110	ns	
t_{LOOP}	ループ遅延 ⁽¹⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$, $4.5V \leq V_{CAN} \leq 5.5V$, $V_{CC1} \pm 2\%$, CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b			215	ns	
CAN FD スイッチング特性							
$t_{\Delta Bit}(Bus)2M$	2Mbps で送信されるリセシブ ビット幅のバラツキ (1Mbps を超えて最大 2Mbps までのビットレートでの使用を想定) ⁽³⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$, CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b セクション 7 を参照	-60		25	ns	
$t_{\Delta Bit}(Bus)5M$	5Mbps で送信されるリセシブ ビット幅のバラツキ (2Mbps を超えて最大 5Mbps までのビットレートでの使用を想定) ⁽³⁾			-40		10	ns
$t_{\Delta Bit}(Bus)8M$	5Mbps で送信されるリセシブ ビット幅のバラツキ (5Mbps を超えて最大 8Mbps までのビットレートでの使用を想定) ⁽³⁾			-45		10	ns
$t_{\Delta Bit}(RXD)2M$	2Mbps で受信されるリセシブ ビット幅のバラツキ ⁽⁴⁾	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$, CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b セクション 7 を参照	-100		50	ns	
$t_{\Delta Bit}(RXD)5M$	5Mbps で受信されるリセシブ ビット幅のバラツキ ⁽⁴⁾			-70		20	ns
$t_{\Delta Bit}(RXD)8M$	8Mbps で受信されるリセシブ ビット幅のバラツキ ⁽⁴⁾			-70		20	ns
$t_{\Delta REC}$	2Mbps におけるレシーバ タイミングの対称性 (1Mbps を超えて最大 2Mbps までのビットレートでの使用を想定)	代表的な条件: $R_L = 60\Omega$, $C_L = 100pF$, $C_{CRXD} = 15pF$, CAN_SLOPE_CTRL_EN 8'h0E[7] = 0b セクション 7 を参照	-60	-11	35	ns	
	5Mbps におけるレシーバ タイミングの対称性 (2Mbps を超えて最大 5Mbps までのビットレートでの使用を想定)			-30		10	ns
	8Mbps でのレシーバのタイミングの対称性			-30		10	ns
スイッチング特性 (LIN)							
t_{rx_pdr} t_{rx_pdf}	レシーバの立ち上がり / 立ち下がり伝搬遅延時間 (ISO/DIS 17987 Param 31)	$R_{LRXD} = 2.4k\Omega$, $C_{RXD} = 20pF$ (図 7-14 を参照)			6	μs	
t_{rs_sym}	レシーバ伝搬遅延時間の対称性、レシーバの立ち上がり伝搬遅延時間 (ISO/DIS 17987 Param 32)	立ち下がりエッジに対する立ち上がりエッジ、($t_{rx_sym} = t_{rx_pdf} - t_{rx_pdr}$)、 $R_{RXD} = 2.4k\Omega$, $C_{LRXD} = 20pF$ (図 7-14)	-2		2	μs	
t_{LINBUS}	LIN ウェークアップ時間 (ウェークアップのための LIN バスの最小ドミナント時間)	図 8-31 を参照	25	100	150	μs	

6.9 スイッチング特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{CLEAR}	LIN バスにバス スタックドミナントフォルトが発生した際に、誤ウェークアップ防止ロジックをクリアするための時間 (バス スタックドミナントフォルトをクリアするための LIN バスのリセッシーブ時間)	図 8-31 を参照	10		60	μs
高速モード (LIN)						
DR	データ レート	5.5V ≤ VSUP ≤ 18V, R _{LIN} = 500Ω および C _{LIN(bus)} = 600pF			200	kbps
t _{rx_pdr} t _{rx_pdf}	レシーバの立ち上がり / 立ち下がり伝搬遅延時間 (ISO/DIS 17987 Param 31)	R _{LRXD} = 2.4kΩ, C _{LRXD} = 20pF (図 7-14 を参照)			5	μs
t _{txr/f}	LIN トランスミッタの立ち上がり時間および立ち下がり時間	5.5V ≤ VSUP ≤ 18V, R _{LIN} = 500Ω および C _{LIN(bus)} = 600pF			1.5	μs
SPI スイッチング特性						
f _{SCK}	SCK, SPI クロック周波数 ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、09h[3]= 1b (2 バイトモード)			2	MHz
f _{SCK}	SCK, SPI クロック周波数 ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、レジスタ BYTE_CNT の場合、09h[3]= 0b (シングル バイトモード)			4	MHz
t _{SCK}	SCK, SPI クロック周期 ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、図 7-17 を参照、レジスタ BYTE_CNT の場合、09h[3]= 0b (シングル バイトモード)	250			ns
t _{SCK}	SCK, SPI クロック周期 ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、図 7-17 を参照、レジスタ BYTE_CNT の場合、09h[3]= 1b (2 バイトモード)	500			ns
t _{SCKR}	SCK の立ち上がり時間 ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、図 7-16 を参照	40			ns
t _{SCKF}	SCK の立ち下がり時間 ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、図 7-17 を参照	40			ns
t _{SCKH}	SCK, SPI クロック high ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、図 7-17 を参照、レジスタ BYTE_CNT の場合、09h[3]= 1b (2 バイトモード)	250			ns
t _{SCKH}	SCK, SPI クロック high ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、図 7-17 を参照、レジスタ BYTE_CNT の場合、09h[3]= 0b (シングル バイトモード)	125			ns
t _{SCKL}	SCK, SPI クロック low ⁽²⁾	通常モードおよびスタンバイ モード、スリープモード - VCC1 が存在する場合、図 7-17 を参照、レジスタ BYTE_CNT の場合、09h[3]= 1b (2 バイトモード)	250			ns

6.9 スイッチング特性 (続き)

推奨動作範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{SCKL}	SCK、SPI クロック low ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-17 を参照、レジスタ BYTE_CNT の場合、09h[3]= 0b (シングルバイトモード)	125			ns
t_{nCSS}	nCS チップ セレクト セットアップ時間 ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-16 を参照			100	ns
t_{nCSH}	nCS チップ セレクトのホールド時間 ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-16 を参照			100	ns
t_{nCSD}	nCS チップ セレクト ディスエーブル時間、1 バイトモード、または 2 バイトモード、 $f_{SCK} \leq 2\text{MHz}$ ⁽³⁾ 付き	通常モードおよびスタンバイモード、スリープモード、VCC1 が存在する場合 1 バイトモードまたは $f_{SCK} \leq 2\text{MHz}$ の 2 バイトモード、 図 7-17 を参照	50			ns
t_{SISU}	セットアップ時間のデータ ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-17 を参照	50			ns
t_{SIH}	ホールド時間のデータ ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-17 を参照	50			ns
t_{SOV}	データ出力有効 ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-17 を参照			80	ns
t_{RSO}	SO の立ち上がり時間 ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-17 を参照			40	ns
t_{FSO}	SO の立ち下がり時間 ⁽²⁾	通常モードおよびスタンバイモード、スリープモード - VCC1 が存在する場合、 図 7-17 を参照			40	ns

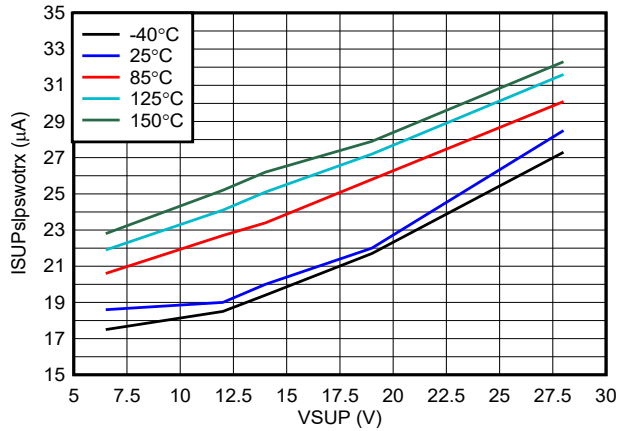
(1) TXD 入力の信号エッジから、同じ極性の RXD 出力の次の信号エッジまでの時間。両方の信号エッジの遅延のうち、最大値を考慮します。

(2) 設計により規定されています。

$$(3) \quad \Delta t_{\text{Bit}(\text{Bus})} = t_{\text{Bit}(\text{Bus})} - t_{\text{Bit}(\text{TXD})} \quad (2)$$

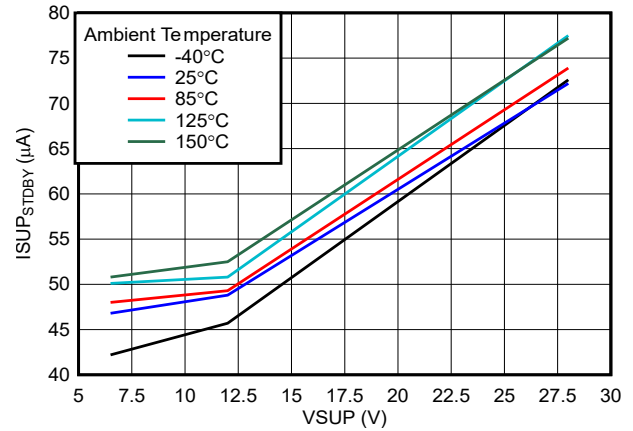
$$(4) \quad t_{\Delta \text{Bit}(\text{RXD})} = t_{\text{Bit}(\text{RXD})} - t_{\text{Bit}(\text{TXD})} \quad (3)$$

6.10 代表的特性



SBC モード: スリープ
 1つのウェークピンが有効でもフローティング
 VCC1, VCC2, VEXCC = オフ
 CAN, LIN = オフ
 HSSx = オフ

図 6-1. スリープモードの消費電流 (ISUP) と VSUP および温度との関係



SBC モード: スタンバイ
 すべてのウェークピン無効化
 HSSx = オフ
 CAN, LIN = ウェーク対応
 VCC2, VEXCC = オフ
 ウォッチドッグ = オフ

図 6-2. スタンバイモードの消費電流 (ISUP) と VSUP および温度との関係

7 パラメータ測定情報

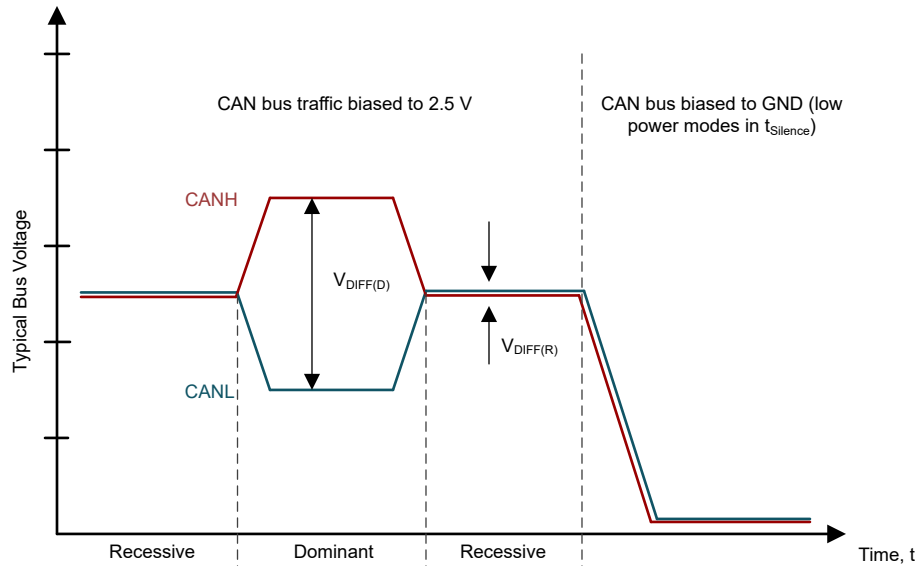


図 7-1. バスの状態 (物理的ビット表現)

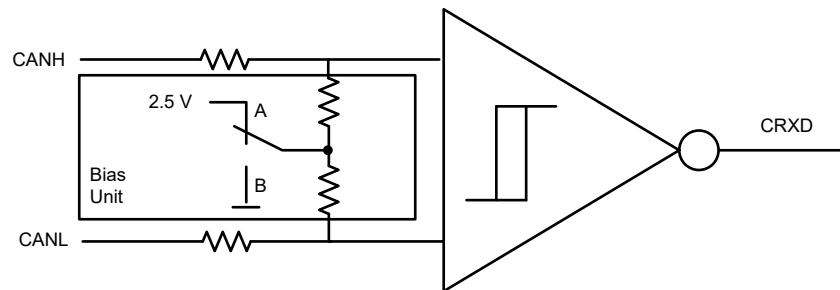


図 7-2. 簡略化されたリセッシブ同相バイアスユニットおよびレシーバ

簡略化されたリセッシブ同相バイアスユニットおよびレシーバ で、A は選択的ウェーク、ノーマル、およびリスンモード、そして B はスタンバイおよびスリープモード (低消費電力) です。

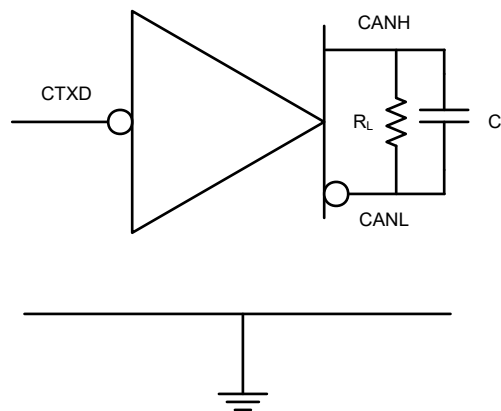


図 7-3. 電源テスト回路

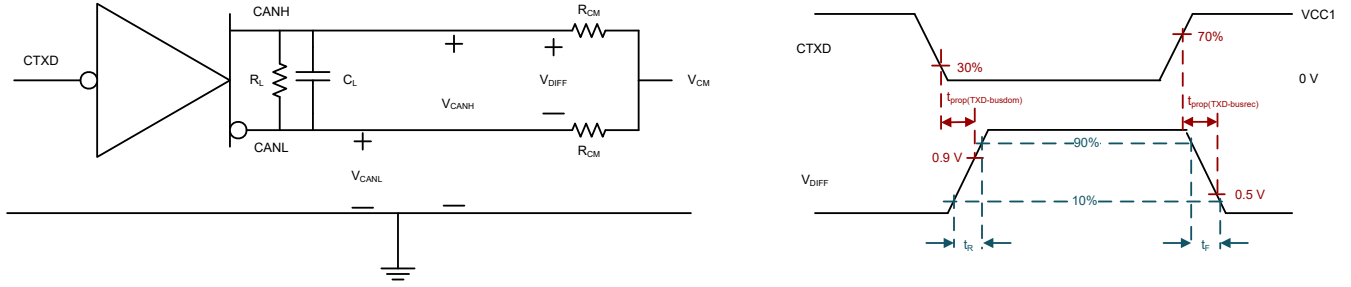


図 7-4. ドライバテスト回路と測定

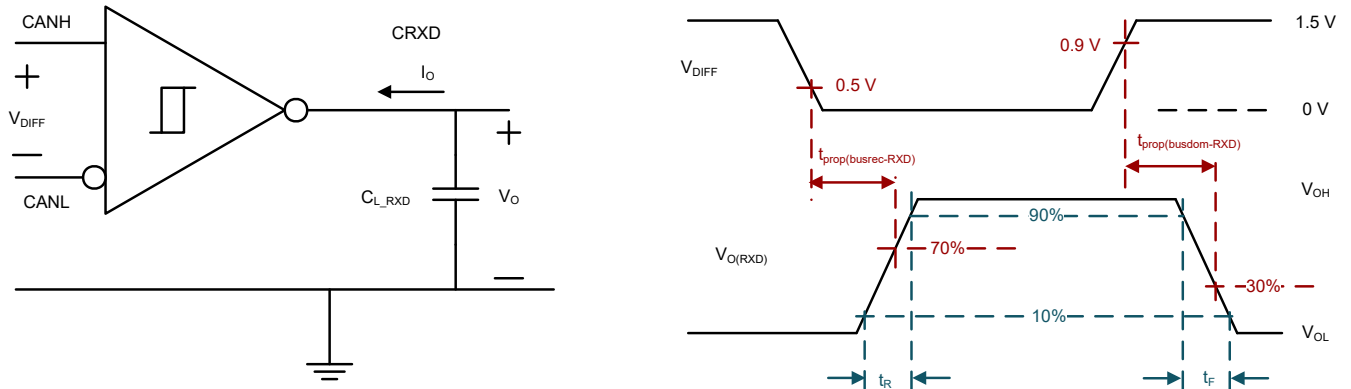


図 7-5. レシーバのテスト回路と測定

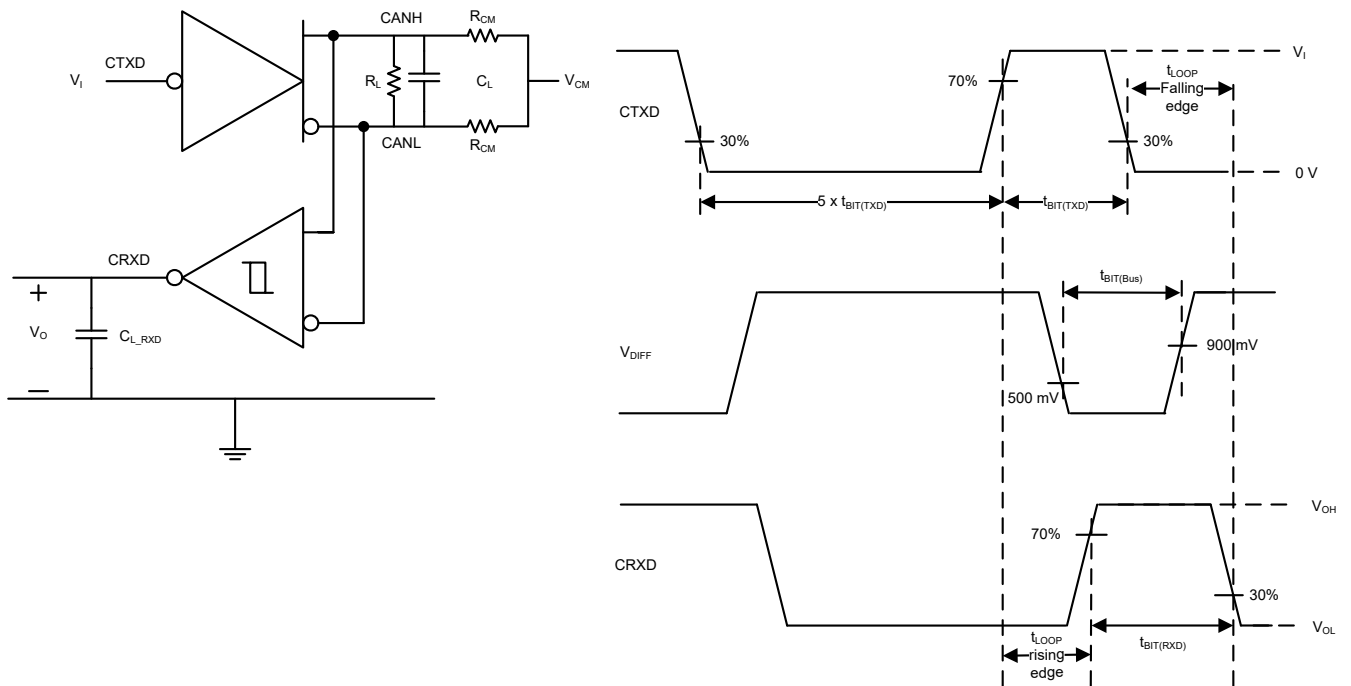


図 7-6. トランスミッタとレシーバのタイミング動作テスト回路と測定

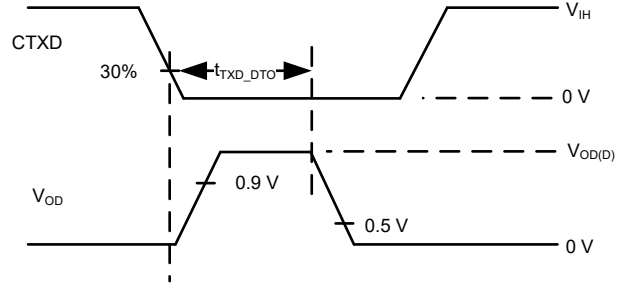
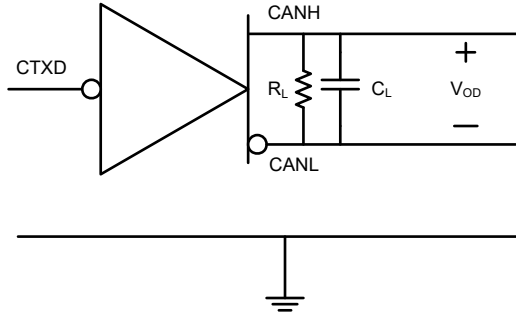


図 7-7. TXD ドミナント タイムアウトのテスト回路と測定

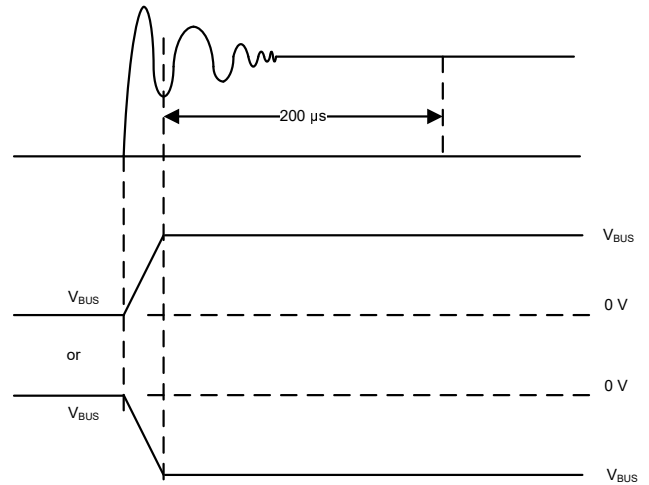
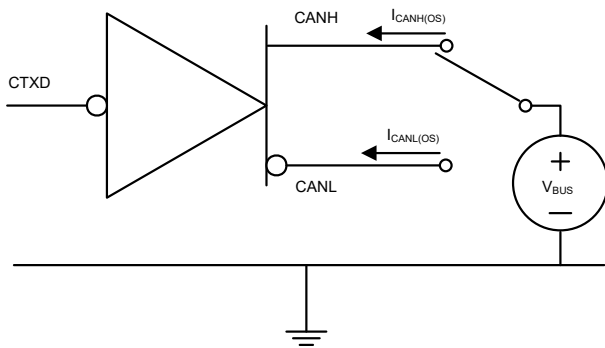


図 7-8. ドライバ短絡電流テスト回路と測定

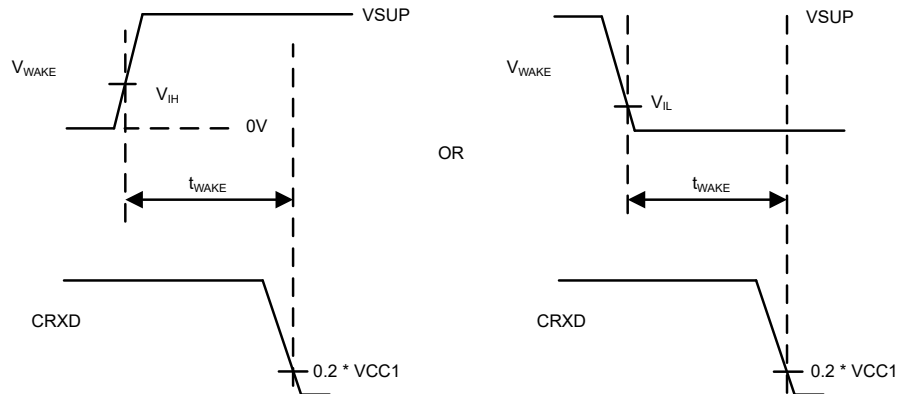
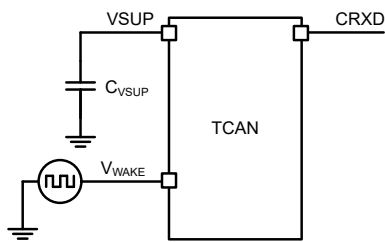


図 7-9. RXD 出力監視中の t_{WAKE}

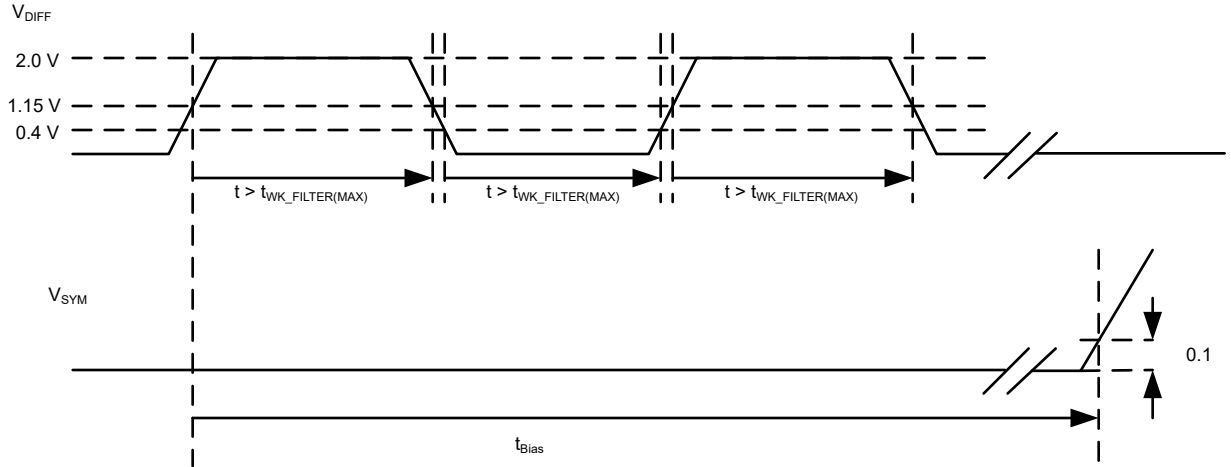


図 7-10. バイアス応答時間測定のためのテスト信号の定義

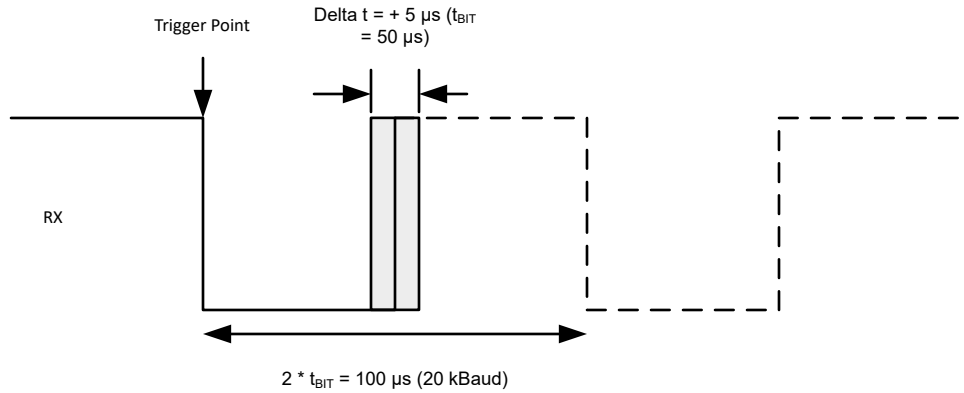


図 7-11. LIN RX 応答：動作電圧範囲

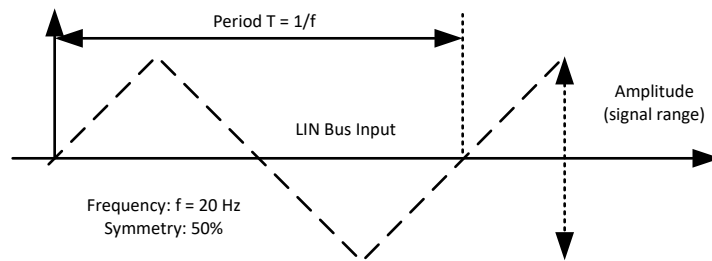


図 7-12. LIN バス入力信号

TCAN2845-Q1, TCAN2847-Q1

JAJSXJ7B – NOVEMBER 2024 – REVISED NOVEMBER 2025

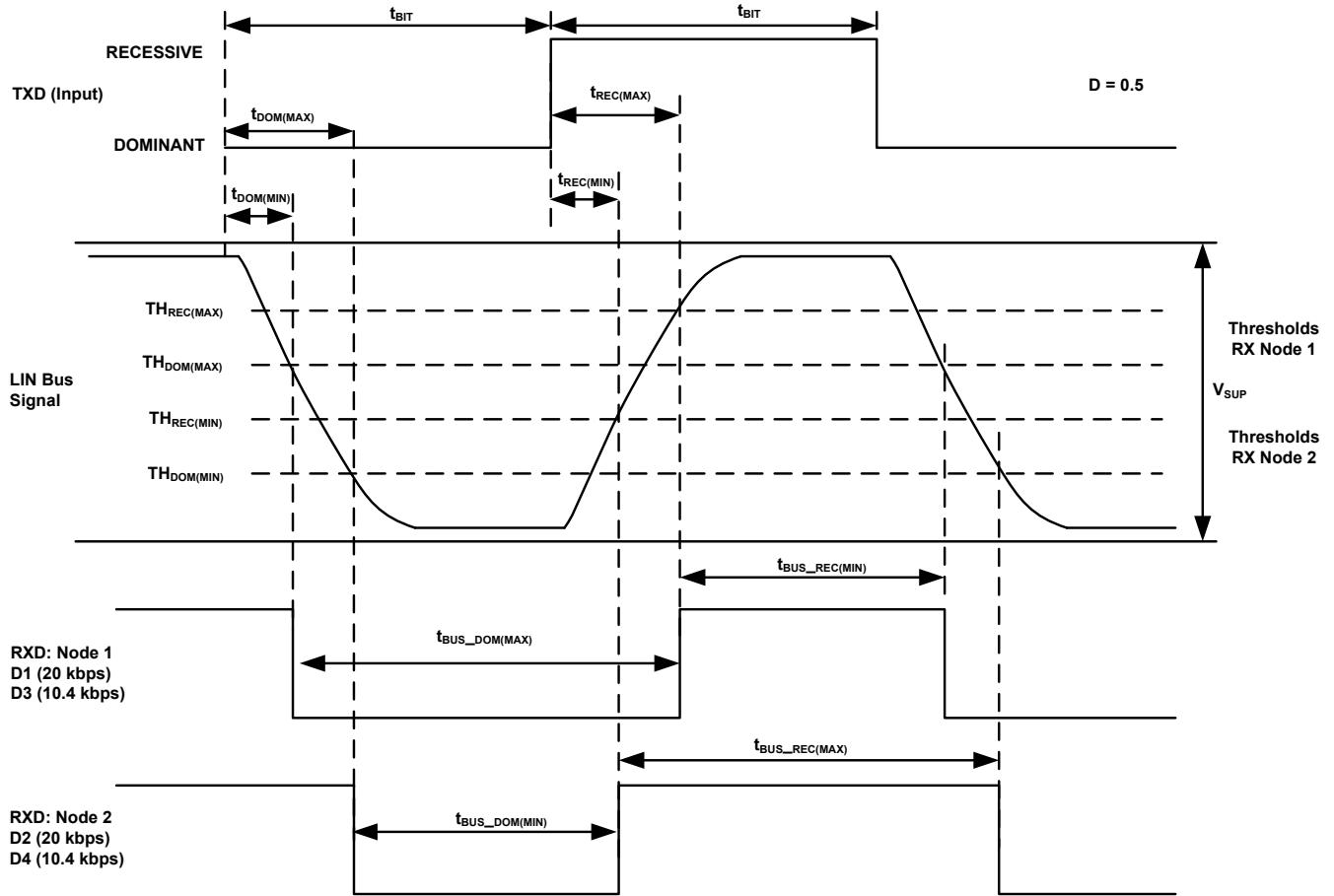


図 7-13. LIN バスのタイミングの定義

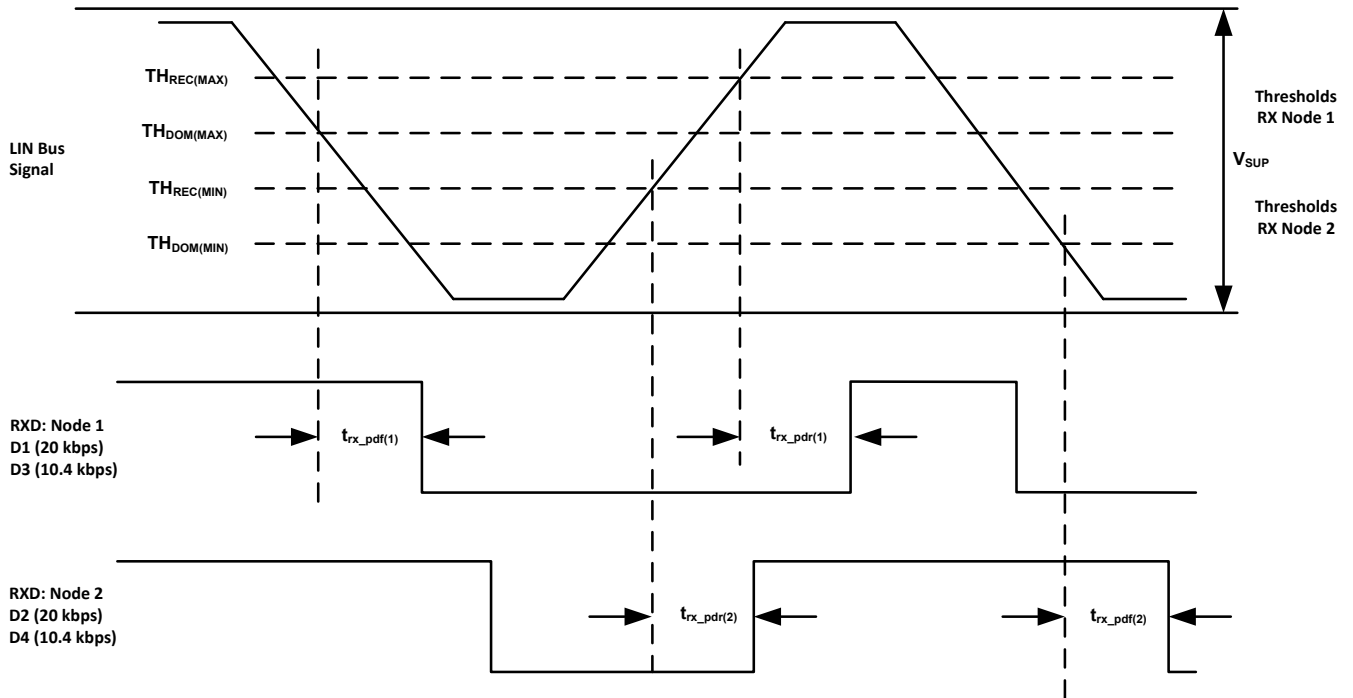


図 7-14. LIN 伝搬遅延

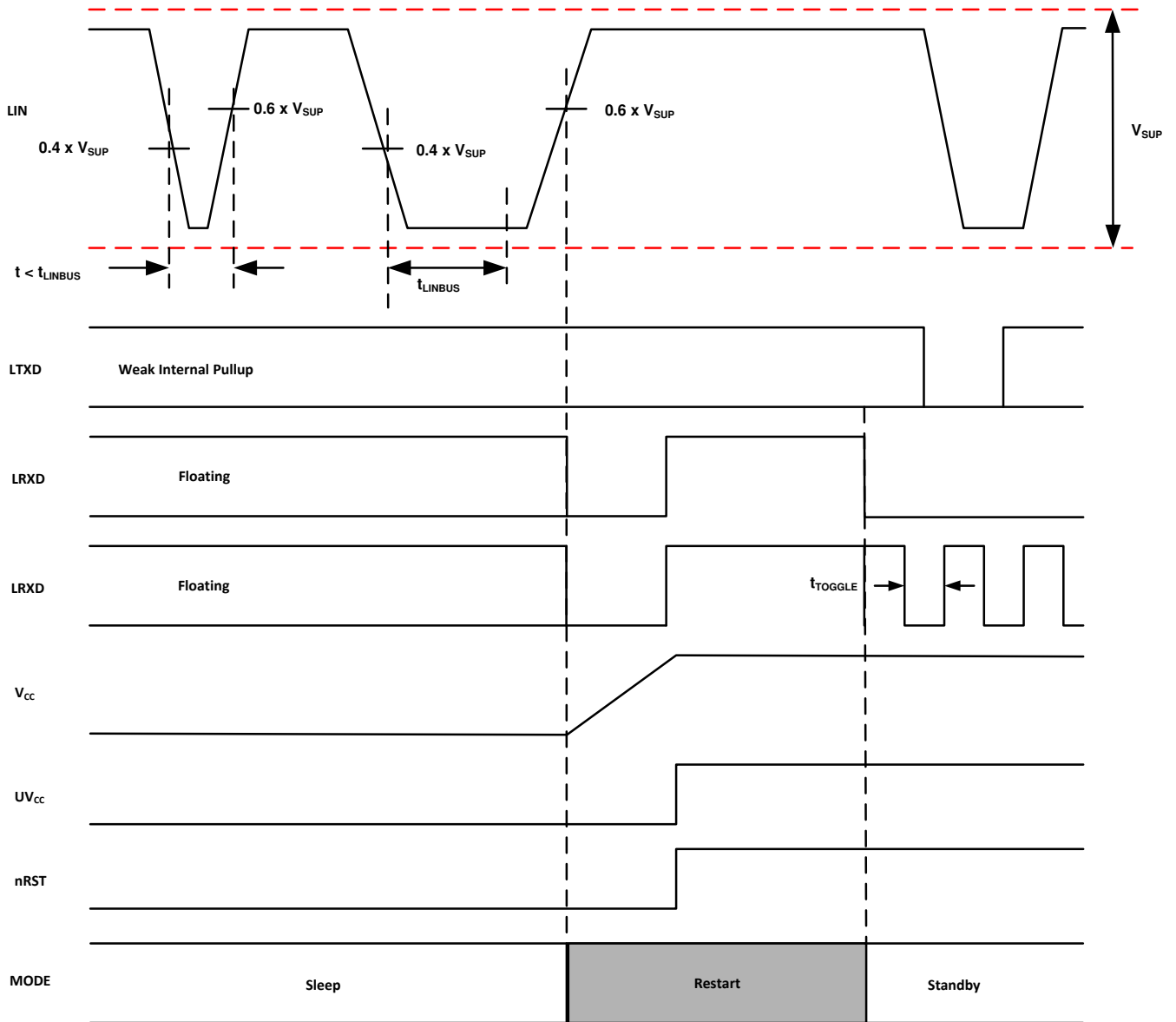


図 7-15. LIN バスによるウェークアップ

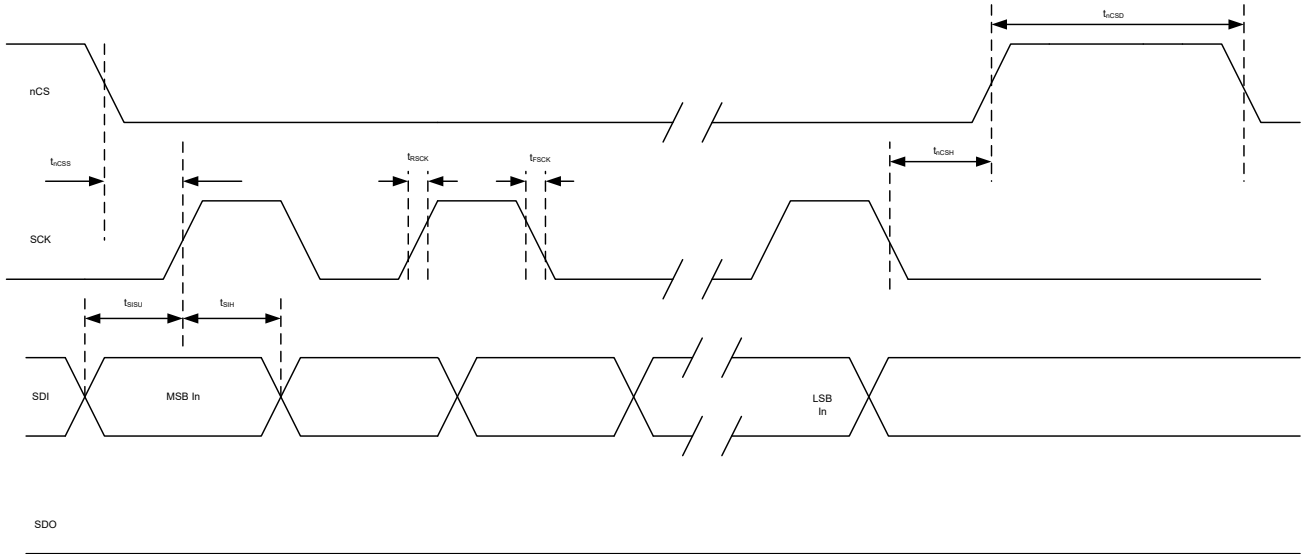


図 7-16. SPI AC 特性書き込み

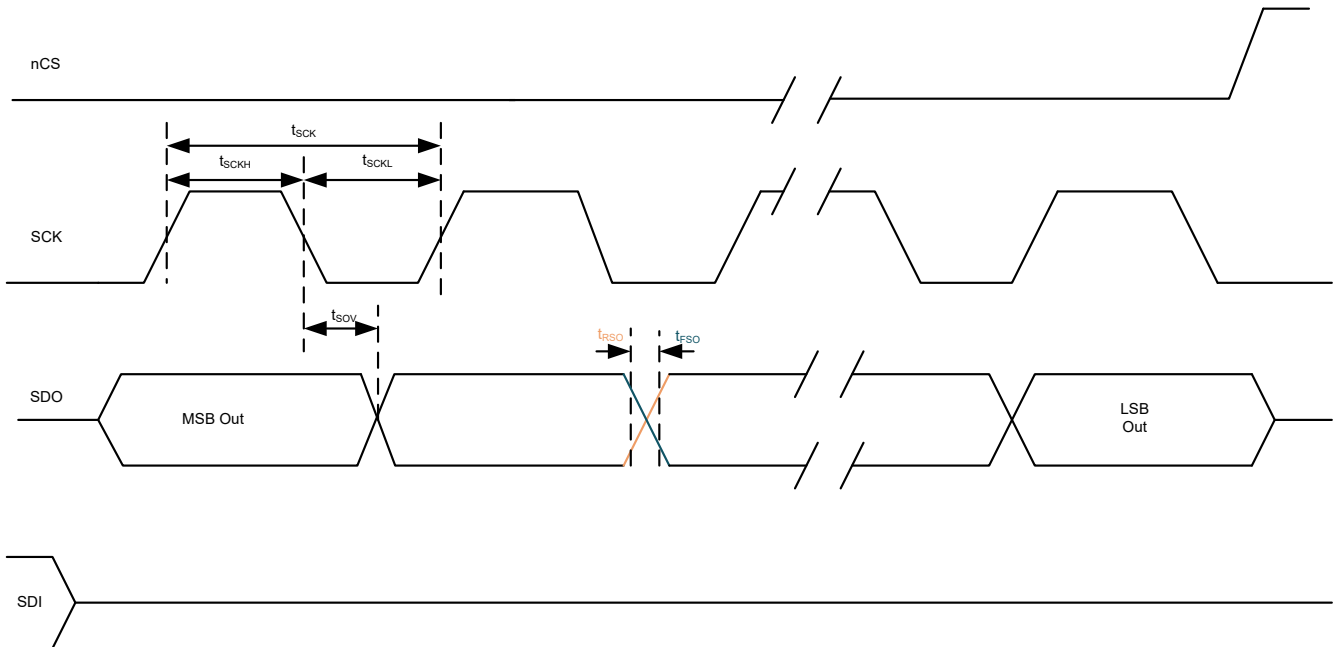


図 7-17. SPI AC 特性読み取り

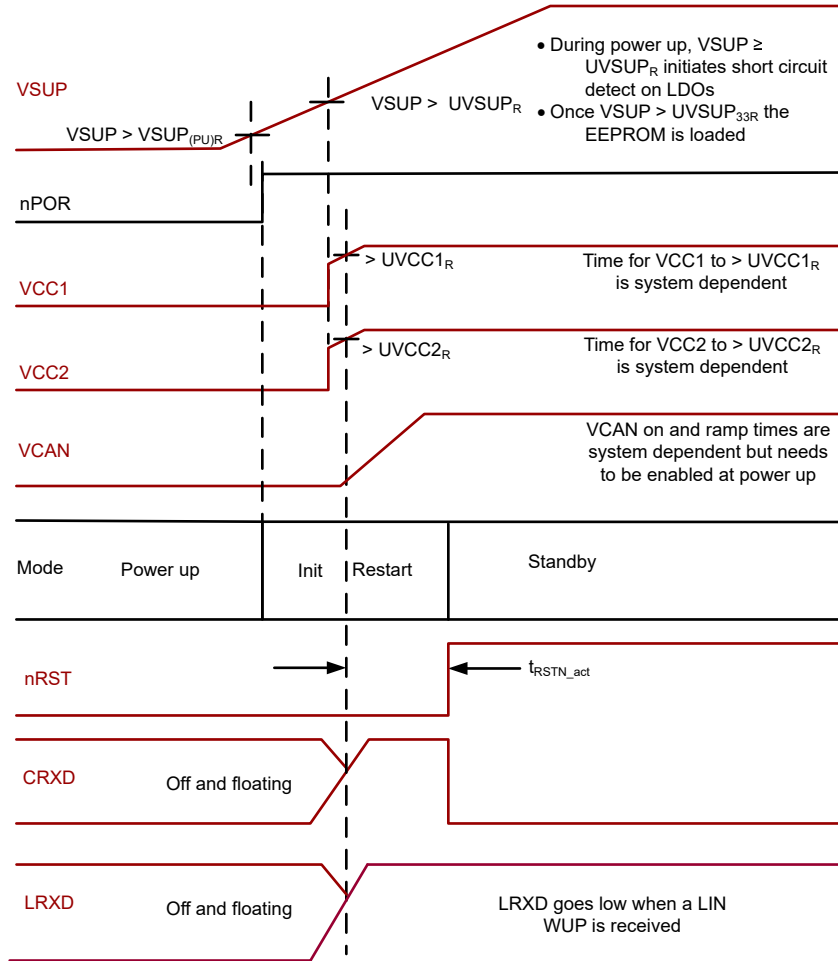


図 7-18. 起動タイミング

注

最初の電源投入時、プログラムされていない場合は VEXCC はオンになりません。プログラムすると、その構成は EEPROM に保存されます。EEPROM のロード後、プログラムどおりに VEXCC が起動します。

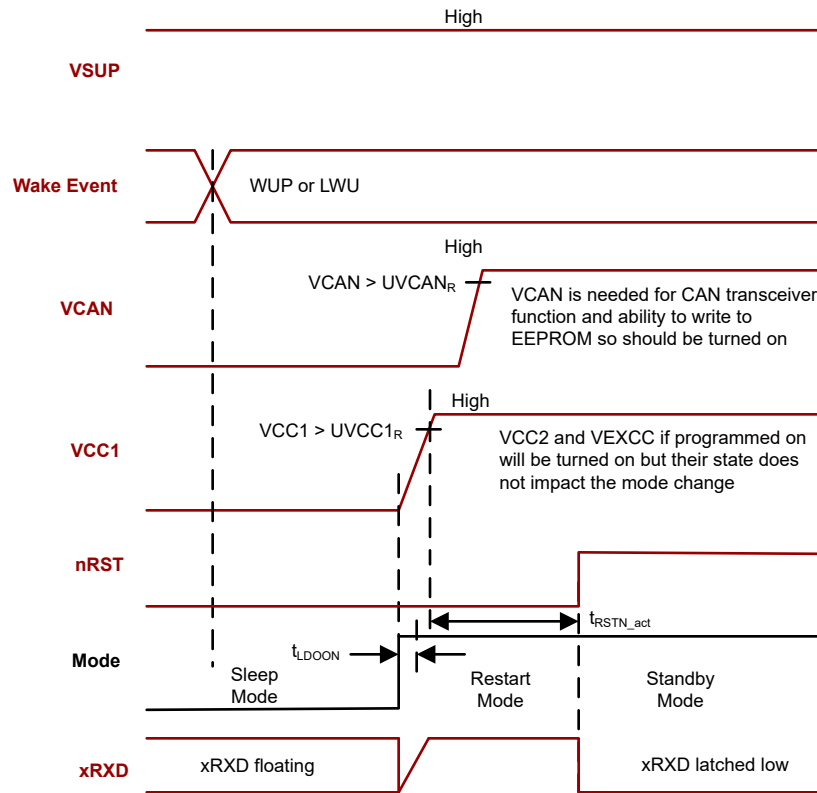


図 7-19. スリープからリスタートのタイミング

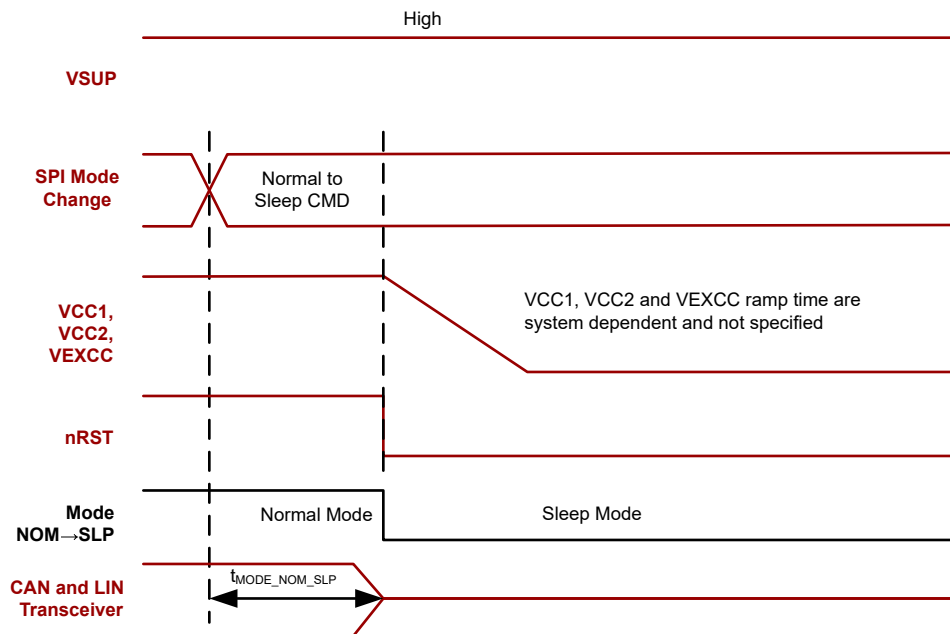


図 7-20. 通常からスリープのタイミング

注

CAN と LIN のトランシーバは独立して制御されます。このタイミング図は、モードに基づき状態を変更するように構成したトランシーバを示しています。

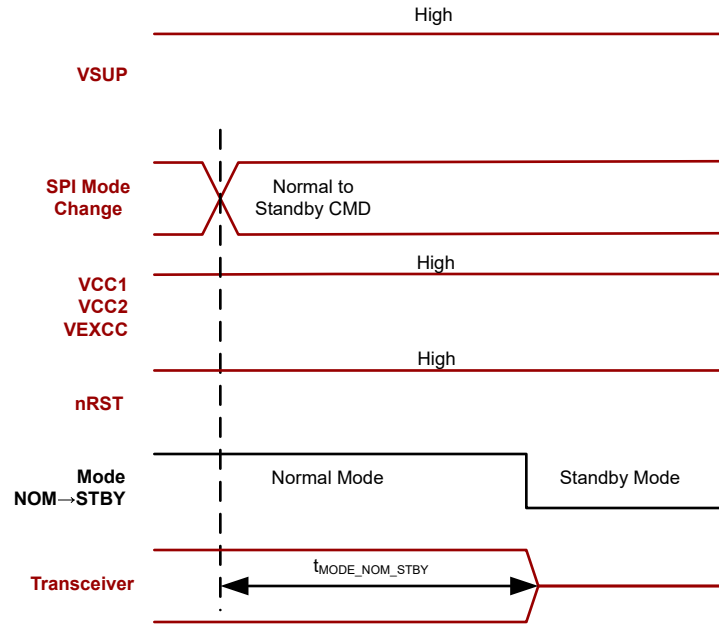


図 7-21. 通常からスタンバイのタイミング

注

CAN と LIN のトランシーバは独立して制御されます。このタイミング図は、モードに基づき状態を変更するように構成したトランシーバを示しています。

注

赤の信号は TCAN284x-Q1 の入力または出力で、黒は TCAN284x-Q1 に対する内部信号です。これは、赤と黒の色を含むデータシート内のタイミング図用です。

8 詳細説明

8.1 概要

TCAN284x-Q1 は、CAN FD トランシーバを統合したシステム ベース チップ (SBC) ファミリです。CAN FD トランシーバは、最高 8Mbps のデータ レートをサポートし、高速 CAN 物理層規格に適合しています: ISO 11898-2:2024。TCAN2847x-Q1 は、スロープ制御が無効化されており、高速モードにプログラムされている場合、最大 200kbps のデータレートに対応する LIN トランシーバを内蔵しています。LIN トランシーバの物理層トランシーバは、LIN 2.2A、ISO/DIS 17987-4、SAE J2602 規格に準拠しています。これらのデータレートは、エンド オブ ライン プログラミングに対応しています。TCAN2845x-Q1 と TCAN2847x-Q1 は、専用 CAN フレームでの選択的ウェークアップに対応しています。このデバイスは、ISO 11898-2:2024 で定義されたウェークアップ パターン (WUP) を実装する CAN バスを使用したリモートウェークアップによっても起動できます。TCAN284x-Q1 は、VCC1 電圧に基づいて 3.3V および 5V プロセッサをサポートしています。このデバイスは、構成のためにローカル マイクロプロセッサに接続するシリアル パリフェラル インターフェイス (SPI) を備えています。TCAN284x-Q1 は、実装作業に役立つソフトウェア開発ピンを提供します。このモードでは、ウォッチドッグは引き続きアクティブですが、フラグを設定するだけです。

デバイスの TCAN284x3 バリエーションは 3.3V 出力の VCC1 を供給し、デバイスの TCAN284x5 バリエーションは 5V 出力の VCC1 を供給します。これらのデバイスは、個別の 5V LDO、VCC2 を搭載しています。外付け PNP パワー トランジスタを制御する機能があり、VEXCC ピンで 1.8V、2.5V、3.3V、5V の出力電圧をサポートします。VCC2 と VEXCC はバッテリーへの短絡は保護されています。CAN FD トランシーバの VCAN ピンには、5V 入力電源が必要です。

CAN バスの動作時には、リセッピとドミナントの 2 つの論理状態があります。図 7-1 と 図 7-2 を参照してください。

リセッピ バス状態とは、終端抵抗間のバス上の各ノードのレシーバにある高抵抗の内部入力抵抗を介して、バスが約 2.5V の同相モード電圧にバイアスされている状態を指します。リセッピはロジック High に相当し、通常はバス上の差動電圧がほぼ 0V です。リセッピ状態もアイドル状態です。

ドミナント バス状態とは、1 つ以上のドライバによってバスが差動駆動される場合をいいます。電流が終端抵抗を流れることで、バス上に差動電圧が発生します。ドミナント状態はロジック Low に相当し、バス上の差動電圧が CAN ドミナントの最小スレッショルドを超える状態を指します。ドミナント状態はリセッピ状態を上書きします。

アービトレーション中は、複数の CAN ノードが同時に支配的なビットを送信することがあります。バスの差動電圧は、単一ドライバの差動電圧よりも大きくなります。

低消費電力スタンバイ モードを備えたトランシーバには、第 3 のバス状態があり、この状態ではレシーバの高抵抗の内部抵抗を介して、バス ターミナルがグラウンドに対して軽くバイアスされています。図 7-1 と 図 7-2 を参照してください。

8.2 機能ブロック図

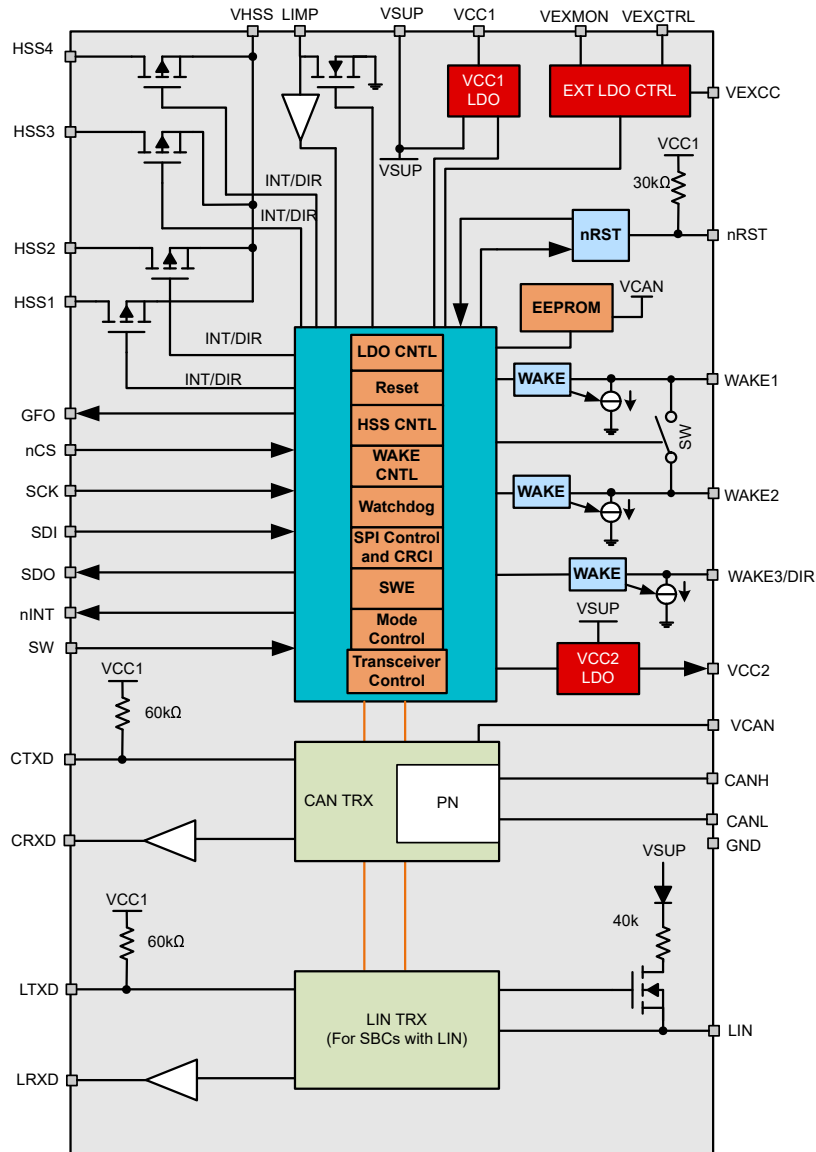


図 8-1. TCAN284x-Q1 機能ブロック図

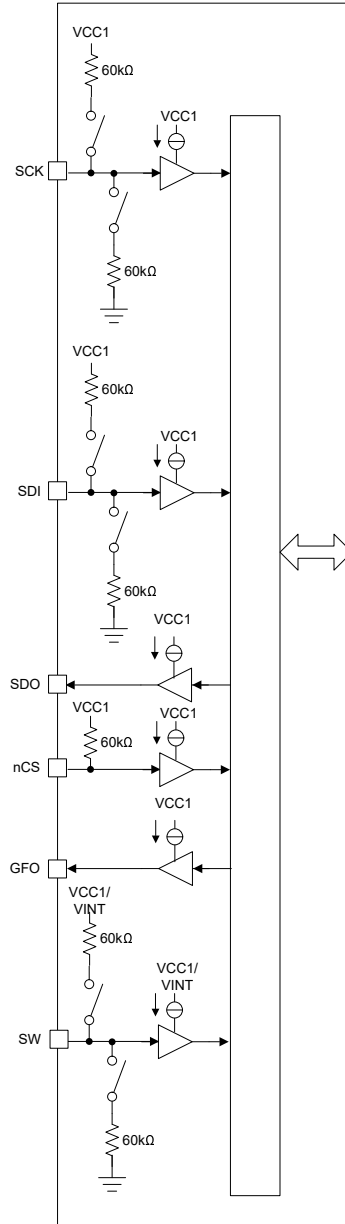


図 8-2. デジタル入力および出力のブロック図

8.3 機能説明

8.3.1 VSUP ピン

VSUP は高電圧耐性のある電源ピンです。VSUP は、外付けの逆電流防止ダイオードを介してバッテリーに接続されています。ECU レベルで電源が失われた場合でも、このデバイスは CAN および LIN ピンからのリーク電流が非常に小さく、バスに負荷をかけることがありません。これは、一部のノードが無電源状態 (イグニッション電源供給) である一方、ネットワークの残りの部分が電源供給 (バッテリー電源) されたままのシステム向けに設計されています。

デバイスでは、パワーオンリセット (VSUP_{(PU) R/F}) と低電圧 (UVSUP_{33R/F} および VSUP_{5R/F}) の 3 つの VSUP 電圧レベルが監視され、ランプアップとダウンの両方の値が監視されます。UVSUP も、VCC1 の電圧レベルに応じて 2 つの異なるスレッショルドに分解されます。UVSUP については、[セクション 8.4.8.8](#) で説明します。パワーアップについては、[図 8-3](#) は利用可能な電圧レベルと機能と時期に関する情報を提供します。

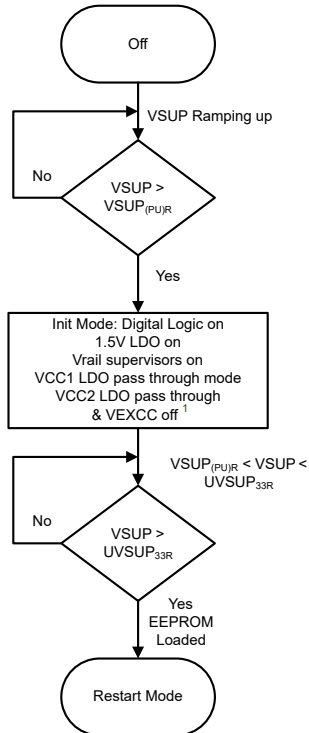


図 8-3. 起動時の状態図

注

- 最初の電源投入と構成が EEPROM に保存された後、LDO は示されているように常に動作するとは限りません。たとえば、これらがプログラムされていることです
- VEXCC は、EEPROM がロードされるまで常にオフになり、設定どおりに動作します
- EEPROM に書き込むためには、VCAN が UVCAN より大きくなければなりません。この条件は、ここでは対象外とします

8.3.2 VCC1 レギュレータ

VCC1 レギュレータの出力ピンは、3.3V または 5V を最大 250mA の負荷電流で供給します。VCC1 ピンは、8'h0D[3] のレジスタ VCC1_SINK の設定に応じて電流、ICC1_SINK をシンクでき、VCC1 がイネーブルのときアクティブになります。このピンの外部容量要件については、表 10-1 を参照してください。VCC1 には、低電圧 (UVCC1)、過電圧 (OVCC1)、グラウンドへの短絡 (VCC1_{SC}) の 3 つのモニタがあります。VEXCC との負荷共有では、VCC1 故障監視が両方に使用されます。VCC1 はメイン LDO 出力で、デジタル IO 電圧レベルを設定します。VCC1 のすべての故障によって、状態が変化します。

8.3.3 VCC2 レギュレータ

VCC2 ピンは、5V 出力で最大 200mA の負荷電流を供給します。このピンの外部容量要件については、表 10-1 を参照してください。このピンはバッテリー短絡保護されており、VCAN または ECU の他の CAN トランシーバに接続されている場合、バッテリーへの短絡が発生する可能性のある基板を VCC2 から取り外してはいけません。VCC2 には、低電圧 (UVCC2)、過電圧 (OVCC2)、グラウンドへの短絡 (VCC2_{SC}) の 3 つのモニタがあります。これらの故障が検出されると、割り込みが発生し、LDO をオフにできます。モード変更はされません。VCC2 がオンで故障状態ではない場合、レジスタ 8'h4F[2]、VCC2_STATUS は 1b にセットされます。

8.3.3.1 V_{CC2} バッテリ短絡保護

V_{CC2} の出力段はバッテリ短絡から保護されます。外部電圧が OV_{CC2} 以上の場合は、逆電流は流れません。この保護は、このピンの定格絶対最大定格まで機能します。定格電圧を超えるバッテリに短絡した状態でデバイスの電源がオンになると、デバイスの損傷または信頼性の問題が発生する可能性があります。

8.3.4 nRST ピン

nRST ピンは双方向オープンドレインのローサイドドライバで、いくつかの機能、低電圧イベント用 LDO 監視出力、再起動に移行したプロセッサへのインジケータ、デバイス入力リセットに用います。

nRST はプルアップ抵抗を介し V_{CC1} に接続します。図 8-4 を参照してください。V_{CC1} 低電圧 (UV_{CC1}) イベントが発生すると、デバイスはリスタートモードに遷移して nRST ピンは Low にラッチされます。SBC 動作モードに基づきモードに移行する、nRST ピンの動作を 図 8-5 に示します。

デバイスがリスタートモードに移行するときのこのピンの動作は、移行する方式により異なります。リスタートモードに移行して LDO がオンになると、デバイスがスタンバイモードに移行するまで nRST は Low にラッチされます。これは、LDO が立ち上がり低電圧レベルを超えた後の t_{RSTN_zct} です。リスタートモードに移行したときに LDO がすでにオンになっている場合 (ウォッチドッグ障害など)、このピンは t_{NRST_TOG} の間 Low にプルされます。この時間が経過するとデバイスはスタンバイモードに遷移し、nRST は High に戻ります。

このピンは、t_{NRSTIN} の入力パルスが印加されてデバイスが EEPROM を再ロードするタイミングを決定し、他のレジスタが出荷時のデフォルトによりスタートモードに移行するようセットできます。

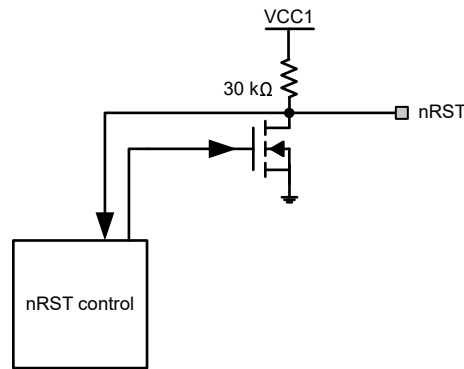


図 8-4. nRST ブロック図

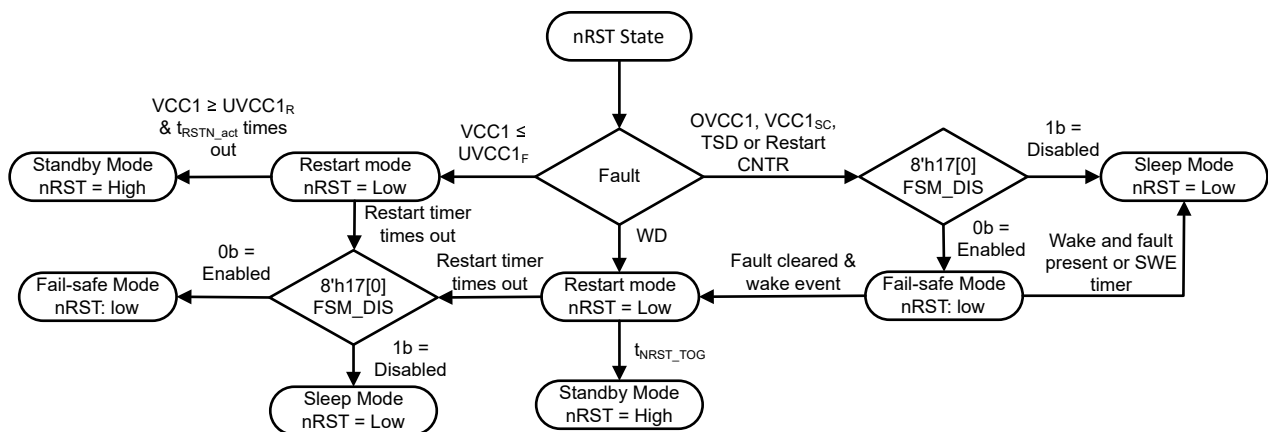


図 8-5. nRST 状態図

8.3.5 VEXCC レギュレータ

TCAN284x-Q1 は、50 ~ 500 の β で外付け PNP パワー トランジスタを制御して、VEXCC 出力による大電流とより広い電圧ニーズに対応できます。TCAN284x-Q1 は、1.8V、2.5V、3.3V、5V の出力に対応できます。この電圧は SPI レジスタ 8'h0D[2:0] を使用して選択しますが、デフォルトは 1.8V です。VEXCC には、低電圧 (UVEXCC)、過電圧 (OVEXCC)、グラウンド短絡 (VEXCC_{SC}) の、3 つのモニタがあります。レジスタ 8'h0D[5:4] が構成されるまで外部 PNP はオンにならず、デフォルトはオフです。VEXCC がオンであり、故障状態ではない場合、これを示すためにレジスタ 8'h4F[3]、VEXCC_STATUS が 1b に設定されます。負荷共有を選択すると、デバイスは VCC1 電圧と一致するように電圧レベルを自動的に構成して、VCC1 のプログラミング状態に従います。

シャント抵抗 Rshunt は VSUP と VEXMON の間にあり、構成に応じて 2 つの目的を果たします。スタンドアロン構成として使用する場合は、[図 8-6](#) を参照してください。Rshunt は PNP FET の電流制限をセットします。Rshunt の値は、アプリケーションの電流制限要件に基づき選択する必要があります。この抵抗の値は、VSHUNTH スレッシュホールドを必要な電流制限で除算した値、VSHUNTH/I_{VEXCC-LIM} で決定されます。ここで、I_{VEXCC-LIM} は必要な電流制限値です。

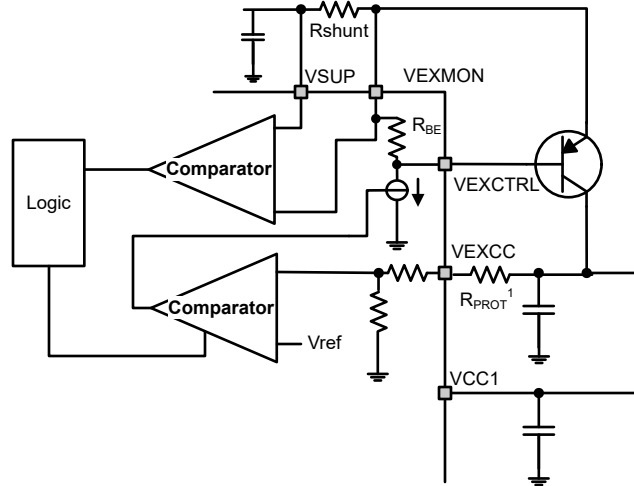
VCC1 と負荷共有するよう構成している場合は、[図 8-7](#) を参照してください。抵抗 Rshunt は VEXCC と VCC1 間の電流比をセットします。Rshunt 値の計算方法を判断するには、[式 4](#) および [式 5](#) を参照してください。

エンドオブラインプログラミングを使用して VCC1 との VEXCC 負荷共有するために TCAN284x-Q1 をプログラムしていない場合は、以下のシーケンスの手順を使用してデバイスを負荷共有用にプログラムできます：

1. VCC1 をボード上の EXVCC に短絡した状態でデバイスの電源を投入します。デバイスが起動しスタンバイモードに移行します
2. VEXCC 電圧構成レジスタ 8'h0D[2:0] を、正しい電圧設定に構成します。これは、VCC1 設定と同じにする必要があります (3.3V または 5V のみ)
3. VEXT_CFG、VEXCC 構成レジスタ 8'h0D[5:4] を VCC1_CFG 設定と一致するように構成します
4. 出力が安定するまで 5ms 待ち、VEXCC_STATUS、8'h4F[3] を読み取り、VEXCC がレギュレーション状態にあることを確認します
5. レジスタ 8'h0D[2:0] = 100b で VEXCC の負荷共有を有効にします
6. 負荷共有設定が EEPROM に保存されず、デバイスで POR イベントが発生する場合は、手順 1~5 を繰り返してください。

$$Ratio = \left(\frac{I_{VEXCC}}{I_{VCC1}} \right) \quad (4)$$

$$Rshunt = \left(\frac{8.824}{Ratio} \right) - \left(\left(\frac{1 + Ratio}{Ratio} \right) \times \left(\frac{0.8}{I_{load}} \right) \right) \quad (5)$$



(1) EMC 耐性を高めるため、ECU 外部負荷に電力を供給する際は $R_{PROT} = 100\Omega$ の直列抵抗を推奨します。

図 8-6. スタンドアロンの外部 PNP の例

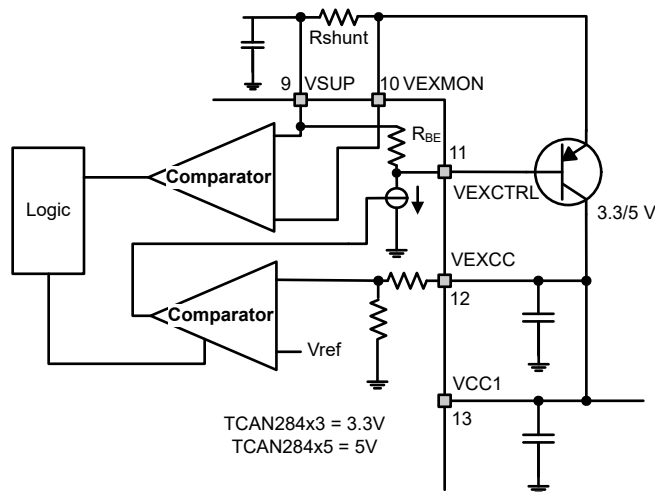


図 8-7. 負荷共有を使用する外部 PNP の例

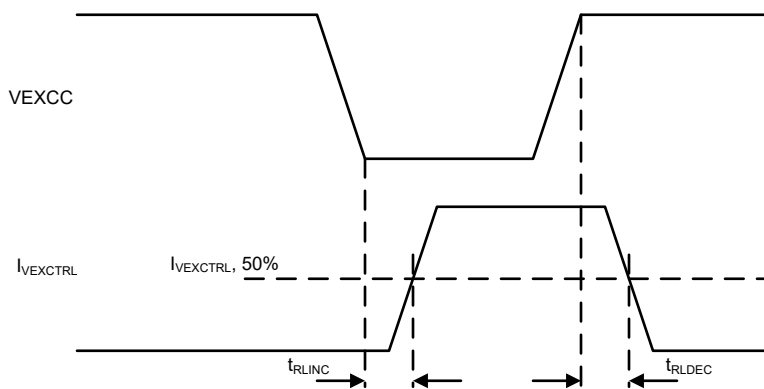


図 8-8. VEXCC と $I_{VEXCTRL}$ との関係のタイミング図

注

- 外部 PNP トランジスタの電力処理能力はアプリケーション固有で、SBC は外部 PNP トランジスタを熱保護できないため、熱による損傷を防止するためには、選択した PNP デバイスと PCB 特性に応じて設計する必要があります。
- 外部 PNP トランジスタを流れる電流を制限するには、[図 8-6](#) に示すように、Rshunt を使用して、デバイスの VSUP ピンに接続するのと同じ電源レールに VEXMON ピンを接続します。
- 外部 PNP コレクタが別の電圧レールに接続されると、デバイスは電流制限機能を使用できません。問題を回避するには、SBC_CONFIG レジスタ 8'h0C[6] VEXCC_ILIM_DIS = 1b を使用して電流制限を無効化する必要があります。電流制限を無効化しても、過電圧、低電圧、短絡の検出は無効化されません。

8.3.6 CAN FD トランシーバ

[図 8-9](#) に、CAN FD トランシーバのブロック図を示します。

CTXD は、CAN FD バスの状態を制御するプロセッサから CAN FD トランスミッタへの入力です。CTXD が Low のとき、バス出力はドミナントになります。CTXD が High のとき、バス出力はロジック 0 のリセツプになります。CTXD の入力構造は、3.3V ~ 5V の V_O を備えたプロセッサと互換性があります。CTXD には VCC1 への内部プルアップ抵抗があります。バスは、CTXD が Low に駆動されるというシステム障害によってドミナント状態に張り付くことがないように、ドミナント状態タイムアウトタイムによって保護されています。

CRXD は、CAN FD レシーバの出力です。CAN ウェークイベントが発生すると、CRXD ピンは Low にラッチされます。CRXD は、高電圧 WAKE ピンからのローカルウェークアップ (LWU) も示します。CRXD はプッシュプル出力バッファであり、外部プルアップは必要ありません。リスタートモードでは、RXD ピンが High に駆動されます。VCC1 が t_{RSTN_act} の間 UVCC1 を上回ると、デバイスは自動的にスタンバイモードに移行します。その後 CRXD ピンが Low になり、ウェークアップリクエストを通知します。CRXD ピンはパルス幅 t_{TOGGLE} で Low/High を切り替えるようにプログラムできます。この機能の例については、[セクション 8.4.7.3.1](#) を参照してください。

VCAN ピンは CAN FD トランシーバに対する 5V の電源入力です。VCAN は低電圧イベント UVCAN で監視されます。VCAN が存在し、故障状態ではない場合、レジスタ 8'h4F[1]、VCAN_STATUS は 1b にセットされます。CAN FD トランシーバを利用できるようにするには、VCAN が存在している必要があります。このピンは EEPROM の書き込みにも使用されるため、この機能を実行する場合はオンにする必要があります。

CAN FD トランシーバは、SBC モードの制御外で個別にプログラム、または SBC モード制御に関連付けることができます。SBC モード制御に関連付ける場合、SBC モードを通常モードに変更するとトランシーバは自動的にオンに変更され、他のすべてのモードでトランシーバがウェーク対応になります。SBC モードとは別にプログラムされる場合、トランシーバをそのモードにできない特定の状態が存在します。

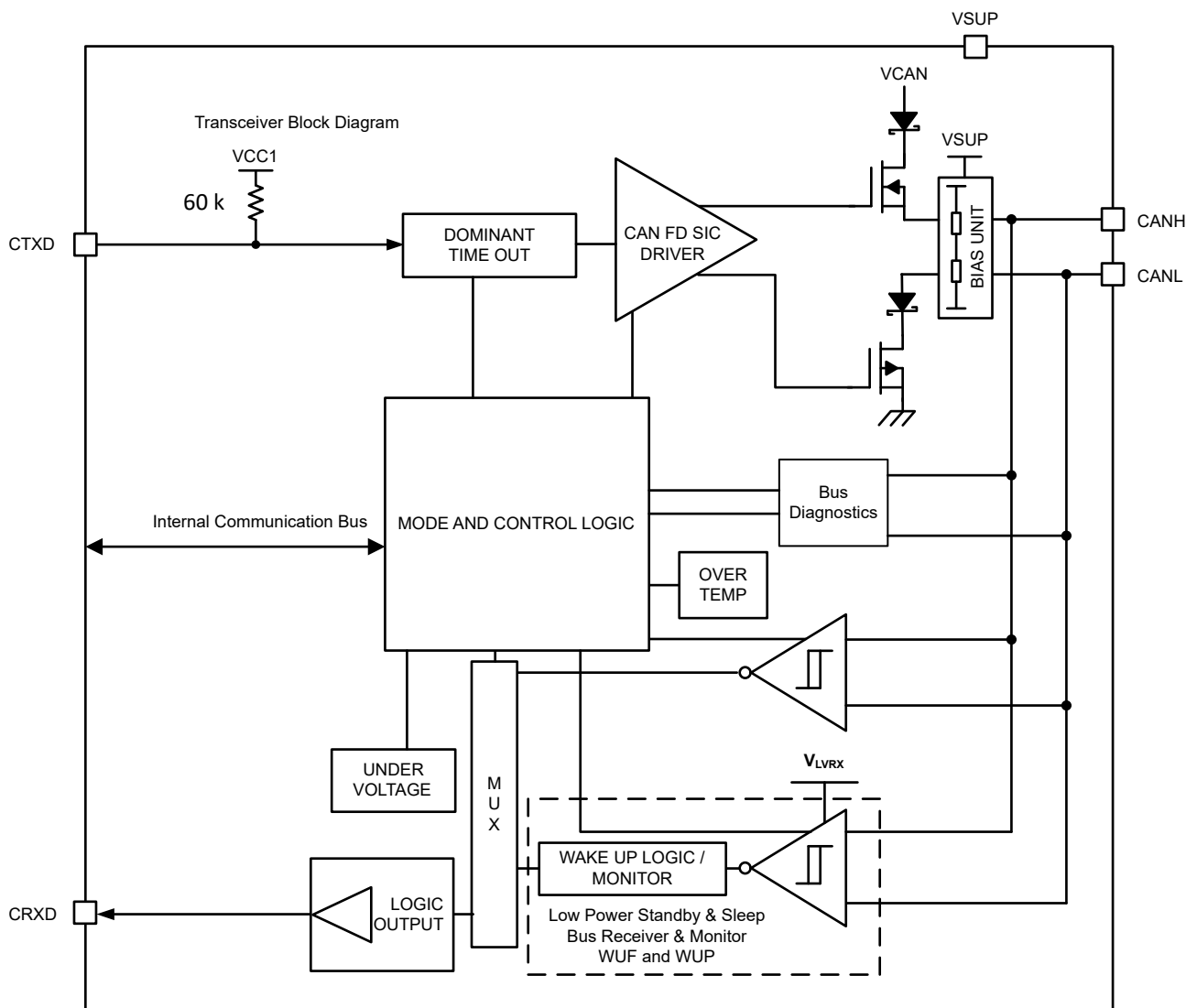


図 8-9. CAN トランシーバのブロック図

注

モード変更が開始され、トランシーバが許可状態でない場合、モード変更は実行されません。8'h5A[3] の `MODE_ERR` 割り込みは 1b にセットされます。

これには、現在の **SBC** モード中にトランシーバ構成を禁止状態に変更することが含まれます。各 **SBC** モードで許容されるトランシーバ構成については、表 8-1 および 表 8-1 を参照してください。ここでは、考慮すべき特定の事例をいくつか示します：

- リスン、ウェーク対応、オフに構成された通常モードのトランシーバは、スタンバイモードに遷移できますが、その状態は同じです。
- トランシーバがオフにプログラムされない限り、リスタートモードへの遷移はウェーク対応です。
- トランシーバがオフにプログラムされていない限り、リスタートモードからスタンバイモードへの遷移はウェーク対応です。
- SWE** タイマを使用してタイマがタイムアウトする場合、トランシーバがスリープモードまたはフェイルセーフモードに移行すると自動的にウェーク対応になります。

注

デバイスが SBC 通常モードで、トランシーバがオンにプログラムされている場合は、TXD ピンがチェックされます。TXD ピンがドミナントの場合、TXD ピンがリセッシブに遷移するまで、トランシーバはトランスミッタをオンにしません。

CAN FD トランシーバは、オフ、オン、リスン、ウェーク対応をサポートします。トランシーバの状態は、レジスタ 8'h10[2:0] を使用してプログラムします。オンはスタンドアロントランシーバの通常モードであることを示します。CAN トランシーバはフェイルセーフモードに移行するとデフォルトでウェーク対応になりますが、レジスタ 8'h10[3]= 1b の CAN1_FSM_DIS を使用すると、このモードで無効化できます。

表 8-1. SBC モードによる CAN FD トランシーバのプログラマブル状態

SBC モード	オン	リスン	ウェーク対応	オフ	SBC モード制御
通常	✓	✓	✓	✓	オン
スタンバイ		✓	✓	✓	ウェーク対応
スリープ			✓ デフォルト	✓	ウェーク対応
最初からやり直します			✓ デフォルト	✓	ウェーク対応
フェイルセーフ			✓ デフォルト	✓	ウェーク対応

注

- SBC リスタートモードに移行すると、トランシーバはウェーク対応に変化します
- SBC フェイルセーフモードに移行すると、トランシーバはデフォルトでウェーク対応になります。

8.3.6.1 ドライバおよびレシーバ機能

TXD ピンと RXD ピンは、プロセッサと CAN FD および LIN 物理層トランシーバとの間の入力および出力です。これらのデバイスのデジタルロジック入力と出力のレベルは、3.3V または 5V ロジックを持つプロトコルコントローラとの互換性のための、VCC1 を基準とした TTL レベルです。表 8-2 および 表 8-3 は、各モードでの CAN ドライバと CAN レシーバの状態を示しています。

表 8-2. ドライバ機能表

トランシーバの状態	TXD 入力	バス出力		駆動されているバスの状態
		CANH	CANL	
CAN オン	L	H	L	ドミナント
	H または オープン	Z	Z	バイアスリセッシブ
ウェーク対応	X	Z	Z	GND への弱いプル
オフ	X	Z	Z	

表 8-3. CAN レシーバ機能表

トランシーバの状態	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD 端子
オン/リスン	$V_{ID} \geq 0.9\text{ V}$	ドミナント	L
	$0.5\text{ V} < V_{ID} < 0.9\text{ V}$	未定義	未定義
	$V_{ID} \leq 0.5\text{ V}$	リセッシブ	H
ウェーク対応	$V_{ID} \geq 1.15\text{ V}$	ドミナント	セクション 8.4.7 を参照
	$0.4\text{ V} < V_{ID} < 1.15\text{ V}$	未定義	
	$V_{ID} \leq 0.4\text{ V}$	リセッシブ	
オフ	オープン ($V_{ID} \cong 0\text{ V}$)	オープン	H

8.3.6.2 CAN バスのバイアス印加

バスバイアスは通常バイアスの場合があり、通常モードではアクティブ、低消費電力モードでは非アクティブです。自動電圧バイアス印加とは通常モードでバスがアクティブな状態ですが、低消費電力モードでは CANH と CANL 間の電圧によって制御されます。図 8-10 は、TCAN284x-Q1 が自動バイアス印加を実行する方法の状態図を示しています。

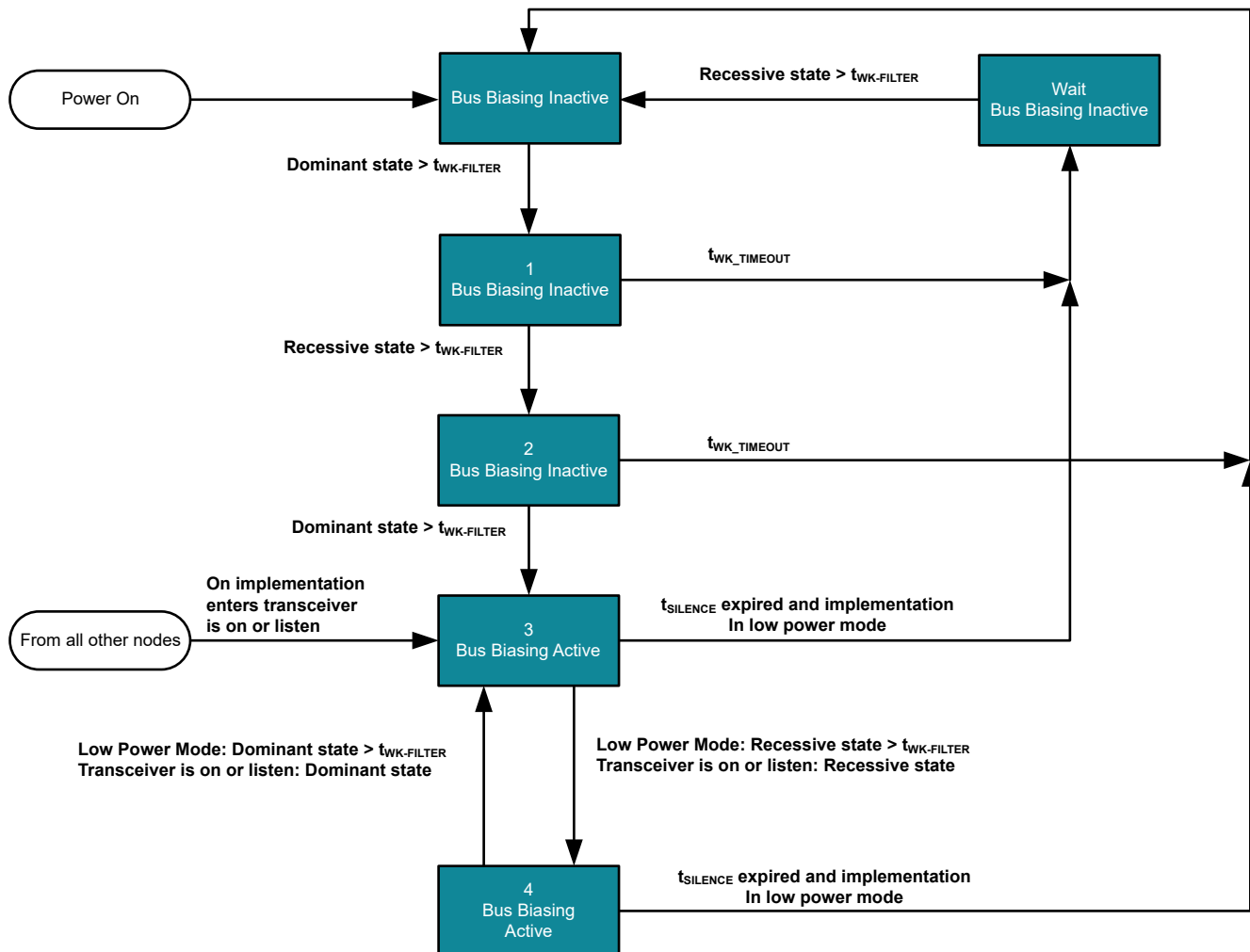


図 8-10. 自動バスバイアス印加の状態図

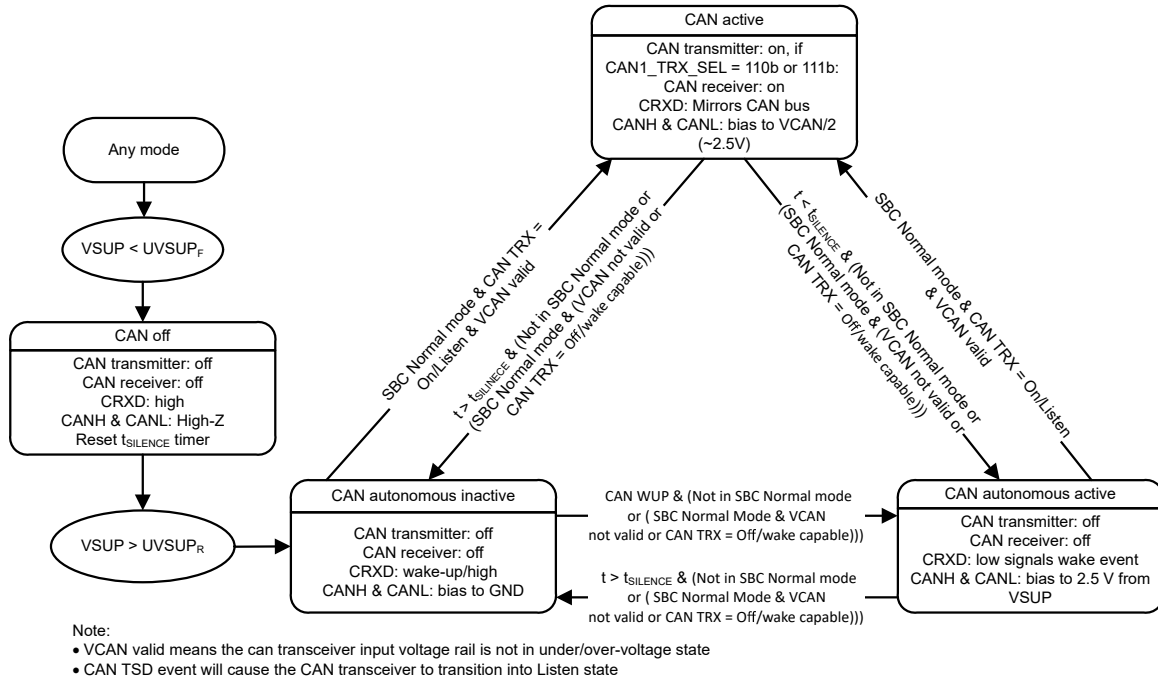


図 8-11. バスバイアス印加

8.3.7 LIN トランシーバ

TCAN2847x-Q1 は、LIN トランシーバを搭載しています。ブロック図を、図 8-12 に示します。

LTXD ピンは、LIN バスの状態を制御する LIN トランスミッタへの入力です。LTXD が Low のとき、バス出力はドミナントです。LTXD が High のとき、バス出力はロジック 0 のリセッブになります。LTXD の入力構造は、3.3V ~ 5V の V_O を備えたプロセッサと互換性があります。LTXD には VCC1 への内部プルアップ抵抗があります。バスは、TXD が Low に駆動されるというシステム障害によってドミナント状態に張り付くことがないように、ドミナント状態タイムアウトタイムによって保護されています。

LRXD は LIN レシーバの出力です。LIN ウェークイベントが発生すると、LRXD は Low にラッチされます。LRXD ピンはプッシュプル出力バッファであり、外部プルアップは必要ありません。リスタートモードでは、LRXD ピンが High に駆動されます。VCC1 が t_{RSTN_act} の間 UVCC1 を上回ると、デバイスは自動的にスタンバイモードに移行します。その後 LRXD ピンが Low にプルされ、LIN WUP によるウェークアップを通知します。

TCAN2845x-Q1 では、LRXD ピンと LTXD ピンは使用しないため、基板に接続しないでください。

LIN トランシーバは、オン、高速、リスン、オフ、ウェーク対応状態をサポートします。このトランシーバの状態は、レジスタ 8'h1D[7:5] を使用してプログラムされます。LIN トランシーバはフェイルセーフモードに移行するとデフォルトでウェーク対応になりますが、レジスタ 8'h1C[1]= 1b の LIN1_FSM_DIS を使用すると、このモードで無効化できます。

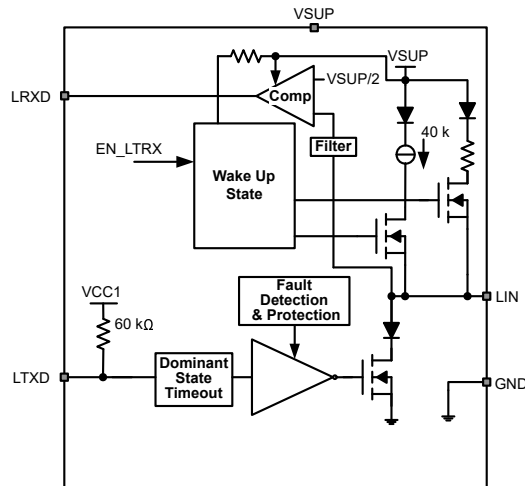


図 8-12. LIN トランシーバのブロック図

表 8-4. SBC モードによる LIN トランシーバのプログラマブル状態

SBC モード	オン	ファースト	リスン	ウェーク対応	オフ	SBC モード制御
通常	✓	✓	✓	✓	✓	オン
スタンバイ			✓	✓	✓	ウェーク対応
スリープ				✓ デフォルト	✓	ウェーク対応
最初からやり直します				✓ デフォルト	✓	ウェーク対応
フェイルセーフ				✓ デフォルト	✓	ウェーク対応

注

- SBC リスタートモードに移行すると、トランシーバはウェーク対応に変化します
- SBC フェイルセーフモードに移行すると、トランシーバはデフォルトでウェーク対応になります

TCAN2845x-Q1 には LIN ピンは存在しません。NU は未使用を意味します。このピンは基板上で未接続にする必要があります。

8.3.7.1 LIN トランスミッタの特性

トランスミッタは、LIN 仕様に準拠したスレッショルドと AC パラメータの条件を満足します。トランスミッタは、電流制限機能とサーマル シャットダウン機能を内蔵したローサイドトランジスタです。サーマル シャットダウン状態の間、本デバイスを保護するため、トランスミッタは無効化されます。VSUP に直列にダイオードを接続したプルアップ抵抗が内蔵されているため、LIN ペリフェラルノード用途では外付けプルアップ部品は不要です。デバイスをコントローラノードの用途で使用する場合、VSUP に対して直列ダイオードと外部プルアップ抵抗を追加する必要があります。高速モードでは、トランスミッタは 200kbps のデータレートをサポートできます。

表 8-5. LIN ドライバ機能表

トランシーバの状態	TXD 入力	LIN バス出力	駆動されているバスの状態
LIN オン	L	L	ドミナント
	H または オープン	H	バイアスリセッシブ
ウェーク対応	X	H	
オフ	X	Z	

8.3.7.2 LIN レシーバの特性

レシーバ特性のスレッシュホールドは、LIN 仕様に従って、デバイスの電源ピンにレシオメトリックになります。

レシーバは、LIN または SAEJ 2602 仕様でサポートされているデータレートよりも高いデータレート (> 100kbps) で受信できます。そのため、最終工程またはその他のアプリケーションでの高速ダウンロードに TCAN2847x-Q1 を使用できます。実現可能な実際のデータレートは、システムの時定数 (バス容量とプルアップ抵抗) と、そのシステムで使用されるドライバの特性で決まります。高速モードでは、レシーバは 200kbps をサポートできます。

8.3.7.3 LIN の終端

VSUP に直列にダイオードを接続したプルアップ抵抗が内蔵されているため、LIN レスポンダノード用途では外付けプルアップ部品は不要です。デバイスを、LIN 仕様に従ってコマンドノードの用途で使用する場合は、VSUP に外部プルアップ抵抗 (1kΩ) と直列ダイオードを追加する必要があります。

図 8-13 に、コマンドノードの構成と、電圧レベルの定義方法を示します。

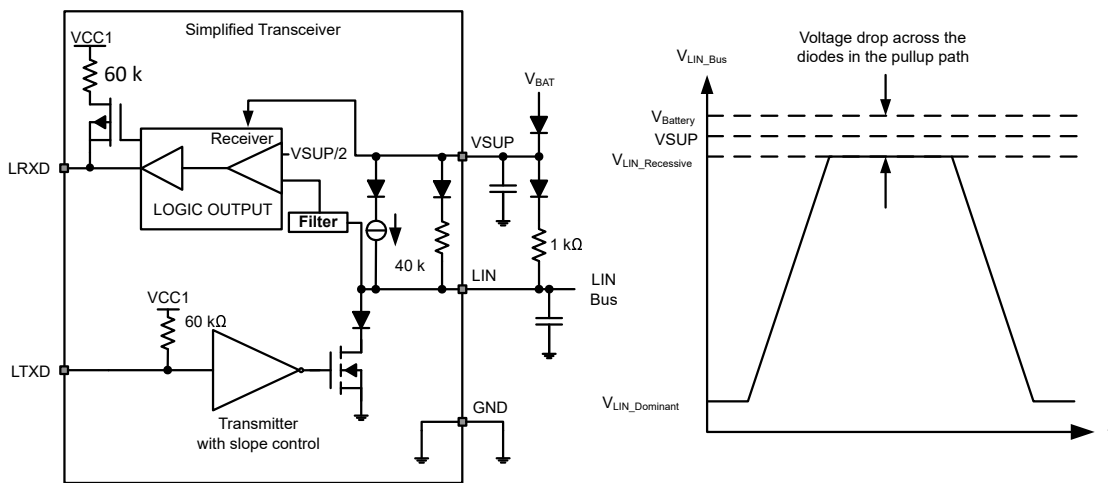


図 8-13. コマンドノードの構成と電圧レベル

8.3.8 GND

GND は本デバイスのグラウンド接続です。グラウンドシフトによって VSUP が最小動作電圧を下回らない限り、デバイスはグラウンドシフトを使って動作できます。デバイスの CANL/H および LIN ピンからのリーク電流は非常に小さいため、ECU レベルでグラウンドが失われても、デバイスはバスの電位を引き下げません。これは、ネットワークの一部のノード (イグニッション電源) には電力が供給されないが、残りの部分 (バッテリー電源) には電力が供給される CAN および LIN システムに最適です。

8.3.9 LIMP ピン

LIMP ピンはリンプホーム機能用で、オープンドレイン、アクティブ Low、出力です。ウォッチドッグがタイムアウトしてリセットされる場合、このピンはリンプホームモードに使用されます。このピンは、バッテリー電源 VSUP に接続された外付け抵抗でプルアップする必要があります。LIMP ピンがオフになるには、正しい入力トリガでウォッチドッグエラーカウンタがゼロに達する必要があります。フェイルセーフモードをトリガするイベントがプログラムされている場合は、LIMP ピンもオンになります。このピンの状態をリードバックするには、DEVICE_CONFIG レジスタ 8'h1A[6]LIMP_RD_EN を 1b に設定します。LIMP ピンのアクティブ (オン) または非アクティブ (オフ) の状態は、LIMP_STATE の 8'h1A[5] からリードバックできません。

8.3.10 ハイサイドスイッチ (HSS1 - HSS4)

これらのピンは、最大 $I_{OC(HSS)}$ の負荷電流をサポートするハイサイドスイッチ構成に基づいています。各 HSSx の制御方法は、HSS_CNTL (8'h1E) および HSS_CNTL2 (8'h4D) をプログラミングすることにより実現されます。この制御には、4 つの PWM 設定、2 つのタイマ、常時オン/オフ、または WAKE3/DIR ピンからの直接駆動が含まれます。4 つの 10 ビット

ト PWM は 200Hz または 400Hz に対応しており、任意の HSSx に割り当てることができます。PWM3 および PWM4 の SBC_CONFIG0 レジスタ 8'h0C[5:4] は 01b にセットする必要があります。これをセットしてから、PWM1 および PWM2 構成レジスタを使用して、PWM3 および PWM4 をプログラムします。これにより、PWM1 制御レジスタが PWM3 に、PWM2 制御レジスタが PWM4 に変更されます。レジスタを構成した後、8'h0C[5:4]= 00b に変更し、PWM レジスタを PWM1 および PWM2 に戻します。タイマは、TIMERx_CONFIG レジスタ 8'h25 および 8'h26 を使用して構成します。

任意の HSS を他の HSS に接続でき、同じ制御メカニズムを割り当てて同期化できます。これにより、高い電流負荷を使用できます。PWM1 を HSS1 - HSS4 に割り当てると、4 つのハイサイドスイッチすべてが同期されます。Timer1 と Timer2 は同じ方法で使用できます。マイコンが HSSx を直接駆動するためには、WAKE3/DIR ピンを使用した直接駆動機能が使用されます。ハイサイドスイッチは、適切な HSSx_CNTL フィールドに 1000b をプログラムすることで、直接駆動を使用して同期できます。

ハイサイドスイッチをプログラミングする場合は、以下手順を使用する必要があります：

- 選択したタイマ、PWM、または直接駆動の値が 0 になっていることを確認します
- 選択したハイサイドスイッチを、目的のタイマ、PWM または直接駆動に対してプログラムします
 - 複数の HSSx を同期する必要がある場合は、目的の HSSx を同じ制御メカニズム (タイマ/PWM/直接駆動) に対してプログラムします
- タイマを使用する場合は、目的のタイマ期間とオン時間をプログラムします。

HSSx は、オン時間がプログラムされると直ちに起動します。

- PWM をプログラムするには、以下の手順に従います。
 - PWMx_FREQ をプログラム
 - PWMx_DC_MSB をプログラム
 - PWMx_DC をプログラム (デューティサイクルの LSB ビット)。この手順を実行しないと、PWM はプログラムされません。
 - PWMx_FREQ または PWMx_DC_MSB の変更には、更新を実装するための最後のステップとして PWMx_DC (LSB ビット) のプログラミングを含める必要があります。
- 直接駆動の場合は、VCC1 レベルがプロセッサと一致するように、8'h2B[1:0] の WAKE3_LEVEL を 00b に構成することを推奨します。

開放負荷および過電流故障に関してハイサイドスイッチが監視されます。HSS により過電流が検出される際、過電流が有効かどうかを判定するためにフィルタ時間 t_{OCFLTR} が使用されます。有効な場合は、対応する HSSx 過電流割り込みフラグが INT_7 レジスタ 8'h55 にセットされます。過電流状態が t_{OCOFF} の間続くと、HSS はオフになり、HSSx_CNTL レジスタが 000b にリセットされます。HSS は自動的にオンに戻ることはありません。対応する HSSx_CNTL レジスタに書き込むことにより、次の t_{OCOFF} 期間の後に HSS を再度オンにできます。過電流故障がクリアされると、HSS はオンのままになります。過電流故障が発生している場合、t_{OCOFF} の後に HSS はシャットオフされます。HSS で開放負荷故障が検出されると、INT_7 レジスタ 8'h55 に割り込みフラグがセットされます。開放負荷故障のため、HSS はオフになりません。故障がクリアされても、HSSx 過電流または開放負荷フォルト割り込みのフラグは自動的にクリアされないことに注意してください。

VHSS ピンは、OVHSS スレッシュホールドに基づいて、ハイサイドスイッチの過電圧状態についても監視されます。VHSS がこのスレッシュホールドを超えると、ハイサイドスイッチがオフになります。VHSS がこのスレッシュホールドを下回ると、ハイサイドスイッチは自動的に以前の有効な状態になります。レジスタ 8'h4F[7:6] は、OVHSS または UVHSS イベントによりハイサイドスイッチが自動的にシャットダウンするのを無効化します。HSS_OV_UV_REC、レジスタ 8'h4F[5]= 1b により、ハイサイドスイッチはプログラムされた状態に戻ることができます。HSS_OV_UV_REC = 0b の場合、VHSS の過電圧または低電圧イベントにより、ハイサイドスイッチはオフのままになります。

HSS4 は、2 つのタイマのいずれかを使用するように構成して、HSS4 がサイクリックセンシングをサポートする WAKE1、WAKE2、WAKE3 ピンで動作させることが可能です。サイクリックセンシングをスタンバイモードまたはスリープモードで使用すると、HSS が常時オンになるため、モード電流を低減できます。

注

- 抵抗性負荷の場合は、外部コンデンサをグラウンドに接続する必要がありません。
- 誘導性負荷の場合は、グラウンドとの間に外部 100nF コンデンサが必要です。
- HSS とともに 10 ビット PWM を使用する場合は、スイッチのオン時間とオフ時間により実現できない値を選択可能です。この例は、00 0000 0001b です

8.3.11 WAKE1、WAKE2、WAKE3/DIR ピン

WAKE1、WAKE2、WAKE3/DIR ピンは、高電圧を許容するグラウンドバイアスのローカルウェークアップ (LWU) 入力ピンです。この機能については、[セクション 8.4.7.3](#) で詳しく説明しています。これらのピンは立ち上がりエッジトリガと立ち下がりエッジトリガの両方で使用でき、WAKE ピン遷移のいずれかのエッジで LWU を認識します。このピンはパルスを許容するよう構成できます。この動作のタイミング図については、[図 8-34](#) を参照してください。WAKE ピンはデフォルトで有効ですが、レジスタ 8'h2A[7:5]、WAKE_PIN_SET を使用して、個別にオフにすることで無効化できます。レジスタ 8'h11[7:6] は、ピンがウェークイベントを登録する方法をセットします。これらのピンは、サイクリックセンシングウェーク ([セクション 8.4.7.3.2](#) を参照)、または静的ウェーク用に構成できます。

WAKE ピンには状態変化に対してセットできる 4 つの個別のスレッシュホールドがあります。

- レジスタ 8'h12[1:0]、WAKE1_LEVEL
- レジスタ 8'h2B[5:4]、WAKE2_LEVEL
- レジスタ 8'h2B[1:0]、WAKE3_LEVEL

注

WAKE_x_LEVEL = 10b または 11b を選択して静的ウェークを使用する場合、システム設計者は VSUP がウェークピンスレッシュホールドを超えないことを確認する必要があります。そうしないと、誤ったウェークアップが実行される可能性があります。VSUP の通常の低電圧イベントでは、これは実行されません。

WAKE_x_LEVEL = 00b であり、VCC1 がオフのときにデバイスがフェイルセーフモードまたはスリープモードに移行すると、WAKE_x ピンは無効化され、CAN と LIN はウェーク対応にセットされます。

レジスタ 8'h2A[4:0]、MULTI_WAKE_STAT は、どの WAKE ピンまたは WAKE ピンの組み合わせにより LWU イベントが発生したかを通知します。ピンの個別のステータス (Low または High) は、SPI を使用できるいずれかのモードで、SPI 経由で読み取ることができます。

- レジスタ 8'h11[5]、WAKE1_STAT
- レジスタ 8'h2B[6]、WAKE2_STAT
- レジスタ 8'h2B[2]、WAKE3_STAT

8.3.11.1 WAKE ピンの代替構成

WAKE_x ピンは、代替機能用にプログラムできます。これらのピンが代替機能用に構成される場合、ローカルウェークアップ機能は利用できません。

8.3.11.1.1 V_{BAT} 監視

WAKE1 と WAKE2 には、V_{BAT} 監視機能を実現するための内部スイッチがあります。これは、WAKE_PIN_CONFIG1 レジスタ 8'h11[4] WAKE_VBAT_MON を 1b = オンに設定することで行われます。[図 8-14](#) を参照してください。これにより、スイッチが閉じ、WAKE1 および WAKE2 機能がディスエーブルになります。R_{WK-BAT} および抵抗 R_{DIV1} および R_{DIV2} の値については、[表 10-1](#) を参照してください。

WAKE1 および WAKE2 ピンは最大 40V の電圧で動作できます。これにより、WAKE2 ピンに接続されているプロセッサピンが損傷する可能性がある WAKE2 ピンに十分高い電圧が印加されることがあります。これを回避するために、OVHSS パラメータを使用してスイッチをオフにできます。WAKE_PIN_CONFIG2 レジスタ 8'h12[6] の WAKE1_SENSE ビットは、デュアル機能レジスタ ビットです。WAKE_VBAT_MON = 0b の場合、WAKE1_SENSE ビットは、WAKE1 ピンが静的ウェーク入力であるか、周期的ウェーク入力であるかを決定します。WAKE_VBAT_MON =

1b の場合、WAKE1_SENSE ビットは OV_WAKE12SW_DIS になります。OV_WAKE12SW_DIS = 0b の場合、VHSS が OVHSS 制限値に達すると、TCAN284x-Q1 は WAKE1 と WAKE2 の間のスイッチをオフにします。

外付け部品の推奨値については、表 10-1 を参照してください

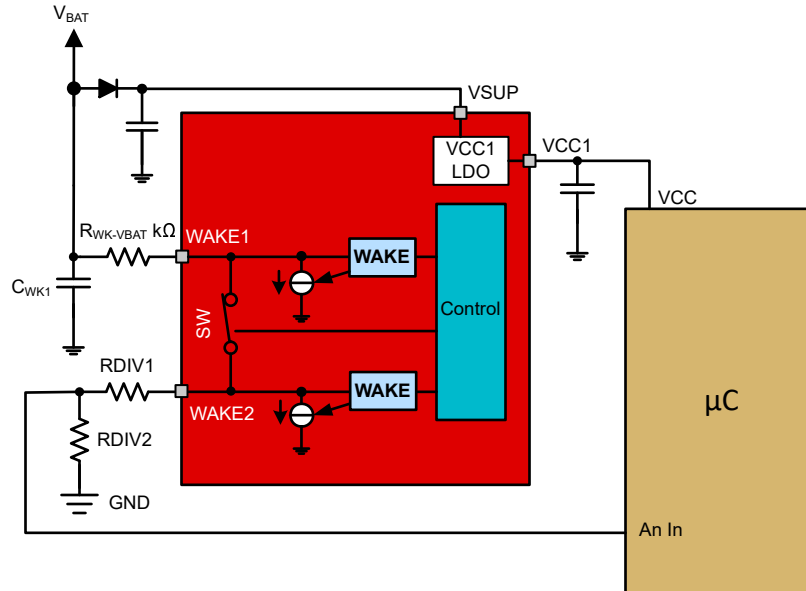


図 8-14. V_{BAT} 監視回路

8.3.11.1.1 通常モードでの WAKE1_SENSE/OV_WAKE12SW_DIS と HSS4 機能間の相互作用

REV_ID = 20h および 21h のデバイスバージョンでは、WAKE1_SENSE/OVWAKE12SW_DIS ビット (0x12[6]) は SBC 通常モードの HSS4 機能に予期せぬ影響を及ぼします。このビットを 1b にセットすると、SBC 通常モードで HSS4 が無効化されます。このビットは、SBC スタンバイモードおよび SBC スリープモードの HSS4 機能には影響を与えません。

HSS4 を通常モードで動作させるには、WAKE1_SENSE/OVWAKE12SW_DIS ビットを 0b (デフォルト) にセットする必要があります。この場合、VHSS が OVHSS スレッシュホールドを上回ると、VBAT モニタスイッチがオフになります。詳細については、表 8-6 を参照してください。

表 8-6. HSS4 動作条件と VBAT 監視スイッチ構成ビット (0x12[6]) との関係

SBC 通常モード、 WAKE_VBAT_MON (0x11[4]) = 1b (Wake1-2 スイッチは有効)		VHSS < OVHSS		VHSS ≥ OVHSS	
		WAKE1-2 スイッチ	HSS4	WAKE1-2 スイッチ	HSS4
HSS_OV_DIS = 0b (OVHSS により HSS がオフ)	0x12[6]=0b	オン	オン	OFF	OFF
	0x12[6]=1b	オン	オフ*	オン	OFF
HSS_OV_DIS = 1b (OVHSS で HSS はオ ンに維持)	0x12[6]=0b	オン	オン	OFF	オン
	0x12[6]=1b	オン	オフ*	オン	オフ*

8.3.11.1.2 直接駆動

WAKE3/DIR ピンは、ハイサイド スイッチ HSSx のいずれかまたはすべてを直接制御するようにプログラムできます。図 8-15 を参照してください。これは、各選択された HSSx に対して、HSS_CNTLx レジスタ (8'h1E および 8'h4D) に 1000b (ダイレクトドライブ ピン制御) を設定することで実行されます。これにより、WAKE3 機能がディスエーブルになりま

す。直接駆動を使用する場合、WAKE3/DIR ピンのエッジ変化に応じたイネーブルおよびディスエーブルの時間があります。これはパワー セービング機能であり、[図 8-16](#) に示します。

REV_ID = 20h または 21h のデバイスでは、 t_{OCOFF} を超えて時間が持続する過電流条件のため、HSS は自動的にシャットオフされません。ただし、対応する HSSx 過電流割り込みが設定されます。直接駆動モードでは、過電流割り込みが生成された場合、MCU は HSS をオフにする必要があります。

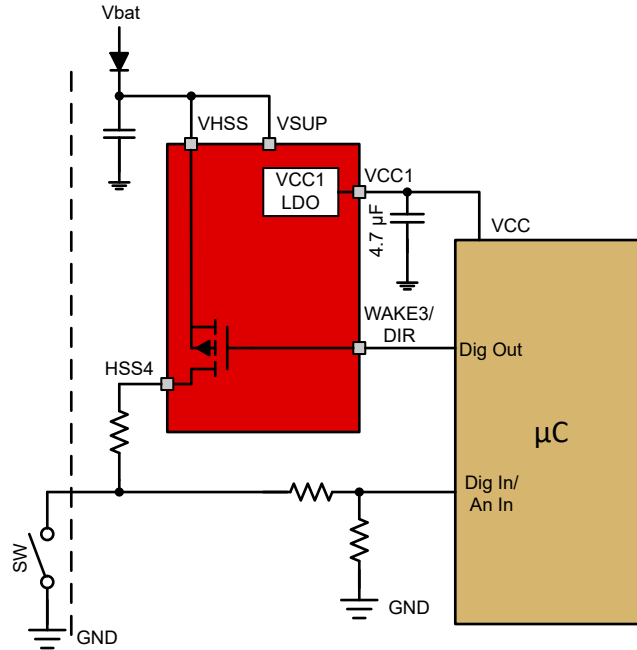


図 8-15. HSS4 ダイレクト ドライブの例

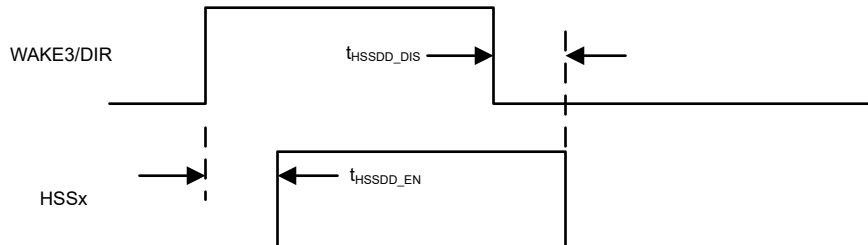


図 8-16. 直接駆動のイネーブル/ディスエーブルのタイミング

8.3.12 SDO ピン

SPI データ出力 (SDO) 機能は、デバイスからプロセッサへ要求されたデータを提供します。nCS 状態が状態を Low に変更すると、グローバル割り込み情報が SDO になります。

8.3.13 nCS ピン

nCS ピンは、SPI チップ セレクト ピンです。クロックが存在し、low にプルされると、デバイスの書き込みと読み出しが可能になります。

8.3.14 SCK ピン

SCK ピンは、TCAN284x-Q1 への SPI クロックです。SCK ピンには内部プルアップ抵抗とプルダウン抵抗の両方があります。この抵抗は SPI モード構成に基づき選択します。モード 0 または 1 を選択すると、抵抗はプルダウンです。モード 2 または 3 を選択すると、抵抗はプルアップです。

8.3.15 SDI ピン

nCS が low のとき、このピンはデバイスのプログラムやデータ要求に使用される SPI データ入力ピンとして動作します。SDI ピンには、内部プルアップ抵抗とプルダウン抵抗の両方があります。抵抗は、SPI_CONFIG レジスタ 8'h09[2] の SDI_POL ビットを設定することで選択されます。

8.3.16 割り込み機能 (nINT)

割り込みブロックは、VCC1 電源を基準とするプッシュプル出力段として設計されます。割り込み生成イベント (割り込みレジスタでマスクされていない割り込みが通知される) によって TCAN284x-Q1 がプロセッサの処理を必要とする場合、このピンは Low にプルされます。割り込みがクリアされると、nINT ピンは High に戻ります。別の割り込みが発生する前に 1ms の遅延が発生し、nINT ピンが再度 Low にラッチされます。nINT ピンは、レジスタ 8'h1B[0] の nINT_TOG_EN ビットに 1b を書き込むことで、Low にラッチされる代わりにトグルするように構成できます。図 8-17 を参照

デフォルトでは、nINT ピンはグローバル割り込みインジケータであり、割り込みレジスタ 8'h51-8'h55、8'h5A、8'h5C で有効な (マスクされていない) 割り込みに対してアクティブになります。必要に応じて特定の割り込みをマスクし、これらの割り込みにより nINT ピンがアクティブにならないようにすることが可能です。レジスタ 8'h51-8'h55、8'h5D、8'h60 の割り込みイネーブルビットを使用すると、割り込みをマスクできます。マスクすると、割り込みビットはそれぞれのレジスタに引き続きセットされていますが、nINT ピンはマスクされた割り込みを示しません。

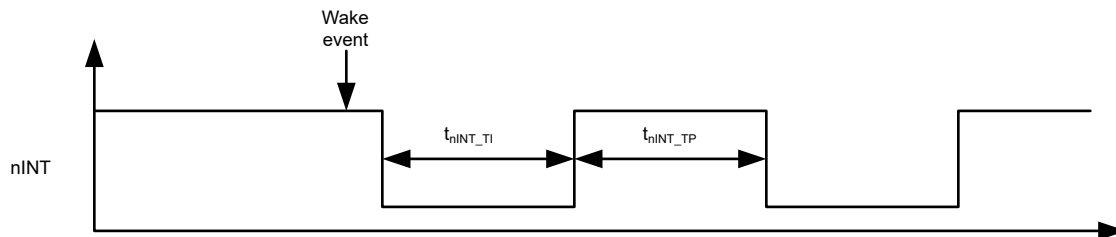


図 8-17. nINT のトグルタイミング

SPI を使用して 1b (W1C) を書き込んでクリアするまで、すべての割り込みは各割り込みレジスタに保存されます。

8.3.17 SW ピン

デバッグまたは開発時に、このピンを使用してウォッチドッグ動作を無効化できます。ピンがアクティブのとき、デバイスは通常の WD トリガを想定していますが、ウォッチドッグ障害割り込みフラグの設定以外のモード変更または動作は無視され、ウォッチドッグカウンタがインクリメントおよびデクリメントされます。ピンが解放されるとフラグは自己クリアされ、ウォッチドッグカウンタはデフォルトまたはプログラムされた値のいずれかに戻ります。このピンはデフォルトでアクティブ High ですが、レジスタ 8'h0E[0]= 0b を使用することでアクティブ Low に構成できます。

デバイスがスリープモードまたはフェイルセーフモードのとき、レジスタ 8'h0E[1]= 1b および 8'h0E[2]= 1b を使用してこの機能をイネーブルにすることで、このピンをデジタルウェークアップピンとして使用できます。SW ピンの状態変化によってデバイスがウェークアップすると、8'h51[1] の SWPIN 割り込みが設定されます。スリープモードで VCC1 が存在する場合、スレッシュホールドは VCC1 レベルに基づきます。VCC1 が存在しない場合、そのレベルは内部電圧レベル $V_{IHSWINT}$ および $V_{ILSWINT}$ に基づきます。外部 CAN FD または LIN トランシーバがウェーク対応である場合のウェークアップ、またはマイコンによるデバイスのウェークアップに、このピンを使用できます。複数の方法でこの作業を実施できます。外部トランシーバに禁止ピンがある場合は、外部回路を使用してこのピンにウェーク入力を供給できます。プロセッサをこのピンに直接接続し、SPI コマンドを使用せずにウェークアップを開始できます。

図 8-18 は SW ピンの動作に関する状態図です。

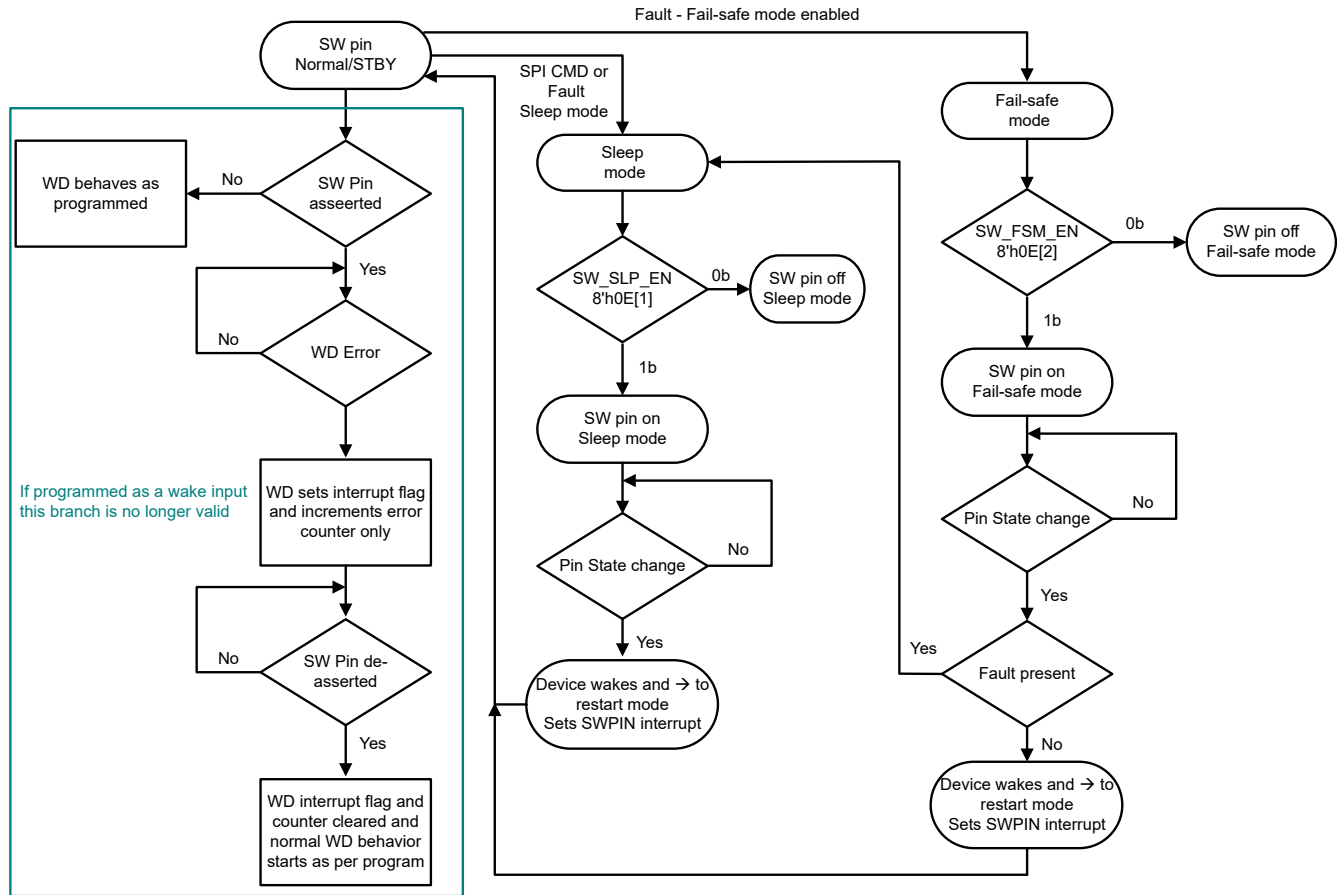


図 8-18. SW ピンの状態図

注

- SW ピンには、状態変化が少なくとも $t_{sw} = 140\mu s$ である必要があるフィルタタイムがあります
- プルアップおよびプルダウン抵抗は、レジスタ 8'h0E[0] の設定に基づき自己構成されます。アクティブ High はプルダウンアクティブ、アクティブ Low はプルアップアクティブを意味します。
- SW ピンが High に接続された状態でデバイスの電源がオンになると、デバイスはこれをウォッチドッグなしで実行する動作として扱います。

8.3.18 GFO ピン

このピンは、特定の情報をプロセッサに返すようにプログラムできます。これらは UVCC1 またはウォッチドッグ障害などの割り込みと見なすことができます。このピンは、WAKE ピンによりどのウェークイベントが発生したかを示すように構成できます (バス、ローカル)。デバイスがフェイルセーフモードに移行したことを示すように構成可能です。

このピンは、外部 LIN または CAN トランシーバを制御するイネーブルピンとして動作するようにも構成可能です。これは、正しい極性をサポートするようピンを構成してから、外部デバイスモードをプログラムすることで実現されます。

8.4 デバイスの機能モード

TCAN284x-Q1 には、通常、スタンバイ、スリープ、リスタート、フェイルセーフといった、複数の SBC 動作モードがあります。最初の 3 つのモードは、SPI レジスタ 8'h10[2:0] で選択します。フェイルセーフモードが有効な場合は、さまざまな故障状態のために移行します。CAN FD と LIN のトランシーバは独立制御されます。TCAN284x-Q1 は自動的にスリープからリスタートに移行し、WUP または LUP イベントを受信するとスタンバイモードに移行します。選択的ウェークが有効な

場合、デバイスは WUF を探し、受信しない場合は TCAN2845x-Q1 と TCAN2847x-Q1 はスリープモードのままです。各種モードと、各モードでデバイスのどの部分がアクティブであるかについては、表 8-7 を参照してください。

表 8-7. モードの概要

ブロック	最初からやり直します	スリープ	スタンバイ	通常	フェイルセーフ
nINT	High (VCC1 が存在) 他をオフ	High (VCC1 が存在) 他は High-Z	アクティブ	アクティブ	ハイ インピーダンス
GFO	プログラムされたアクティブ 状態 (VCC1 が存在) 他をオフ	プログラムされたアクテ ィブ状態 (VCC1 が存在)、 High-Z (VCC1 オフ)	アクティブ	アクティブ	ハイ インピーダンス
SW	オフ	ウェーク対応/オフ	アクティブ	アクティブ	ウェーク対応/オフ
HSSx	オフ	オフ (デフォルト)。 WAKE ピンがサイクリック センシング用に設定 されている場合に HSS4 をオンにすること が可能。いずれかの HSSx を直接駆動用に 構成可能	プログラムによる	プログラムによる	オフ - WAKE ピンがサイ クリックセンシング用 に設定されている場合 に HSS4 をオンにする ことが可能
LIMP (オープンドレ インアクティブ Low)	前の状態と同じ: フェイルセーフモードまたは WD エラーから Low	スリープモードに移行 する前の状態	STBY に移行する前の 前の状態	通常モードに移行する 前の状態	Low
WAKEx	オフ	プログラムによる	プログラムによる	オフ	アクティブ
CRXD	High (VCC1 が存在)	High (VCC1 が存在)、 High-Z (VCC1 オフ)	トランシーバー構成に 依存	トランシーバー構成に 依存	ハイ インピーダンス
LRXD	High (VCC1 が存在)	High (VCC1 が存在)、 High-Z (VCC1 オフ)	トランシーバー構成に 依存	トランシーバー構成に 依存	ハイ インピーダンス
nRST	Low	Low (VCC1 オフ)、 High (VCC1 オン)	High	High	オフ
SPI	オフ	VCC1 が存在する場合 にアクティブ	アクティブ	アクティブ	オフ
ウォッチドッグ	オフ	オフ、ただし VCC1 が 存在するときにオンに プログラム可能	デフォルトでは最初の パルスでオン、ただし オフにプログラム可能	アクティブ	オフ
低消費電 CAN RX	デフォルトでウェーク対応 オン	デフォルトでウェーク対 応オン	ウェーク対応の場合は オン	ウェーク対応の場合は オン	デフォルトでウェーク対 応オン
CAN トランシーバ	オフ	オフ	プログラマブル - レシーバのみ	プログラム可能	オフ
低消費電 LIN RX	デフォルトでウェーク対応 オン	デフォルトでウェーク対 応オン	ウェーク対応の場合は オン	ウェーク対応の場合は オン	デフォルトでウェーク対 応オン
LIN トランシーバ	オフ	オフ	プログラマブル - レシーバのみ	プログラム可能	オフ
LIN バス終端	弱電流プルアップ	弱電流プルアップ	35kΩ (標準値)	35kΩ (標準値)	弱電流プルアップ
VCC1	ランピング	オフ (デフォルト)、プロ グラマブルオン	オン	オン	オフ
VCC2	ランピング	オフ (デフォルト)、プロ グラマブルオン	オン (デフォルト)、プロ グラマブルオフ	オン (デフォルト)、プロ グラマブルオフ	オフ
VEXCC	初期構成後のランピング	オフ (デフォルト)、プロ グラマブルオン	プログラム可能	プログラム可能	オフ

注

スリープモードで VCC1 がオンにプログラムされているとき:

- 割り込みが発生しない限り nINT は High です。
- GFO 状態はプログラムされたもので、GFO ピンのプログラム済み定義に応じて状態を変更できます。
- バス上のウェイクイベントが発生し、その時点でこれらのピンがウェイクイベント用にプログラムされたたとりに動作する場合を除き、CRXD および LRXD は High です。
- ウォッチドッグはタイムアウト用にプログラムでき、ウォッチドッグ障害が発生すると、デバイスはリスタートモードに遷移します。

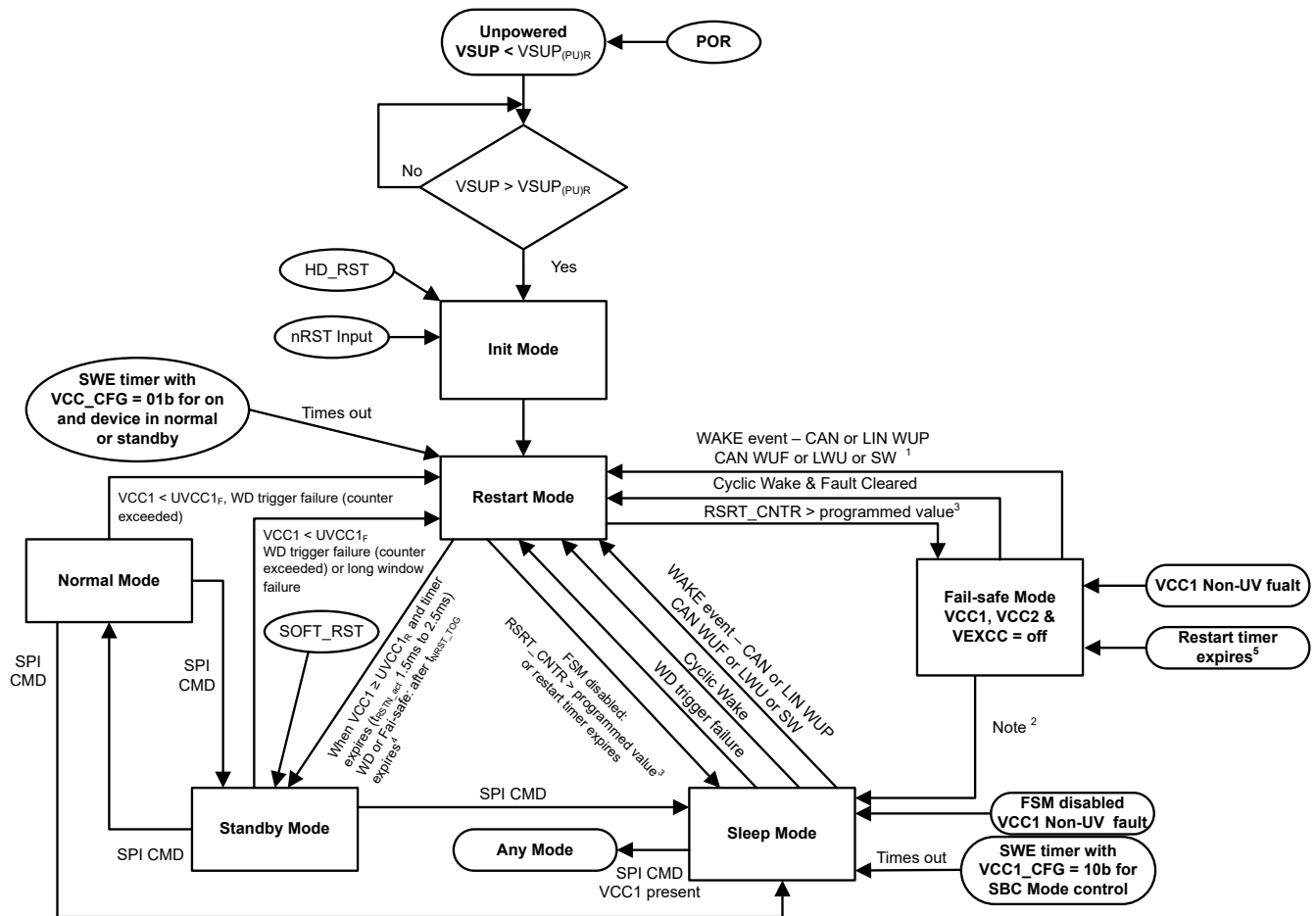


図 8-19. デバイスの状態遷移図

注

デバイスの状態図および図の注釈

- フェイルセーフモードを終了するには、故障をクリアしてウェイクイベントを発生させる必要があります
 - これに対する例外は TSD イベントが原因でフェイルセーフモードに移行する場合です
- 有効な場合、フェイルセーフモードに移行時に SWE タイマが開始して、タイマがタイムアウトすると、VCC1 の構成に関係なく、デバイスはスリープモードに遷移します
- 通常モードまたはスタンバイモードから移行する際はリスタートカウンタがインクリメントします
- これら 2 つの動作により、リスタートモードが終了してスタンバイモードになる場合があります
 - VCC1 は UVCC1_R より大きい必要があります
 - WD 障害または FSM によりデバイスはリスタートモードに移行し、 t_{NRST_TOG} の間 nRST を Low にプルした後、スタンバイモードに移行して nRST を解除します
- RSTRT_TMR_SEL を 8'h4F[0] に設定することで、 t_{RSTTO} または $t_{INACTIVE}$ (SWE) タイマのいずれかをサポートするようにリスタートタイマを構成できます。これにより、故障によってフェイルセーフまたはスリープモードになる前に、デバイスがリスタートモードを維持する最大許容時間が決定されます。SWE タイマを選択する場合は、タイマを有効にする必要があります。

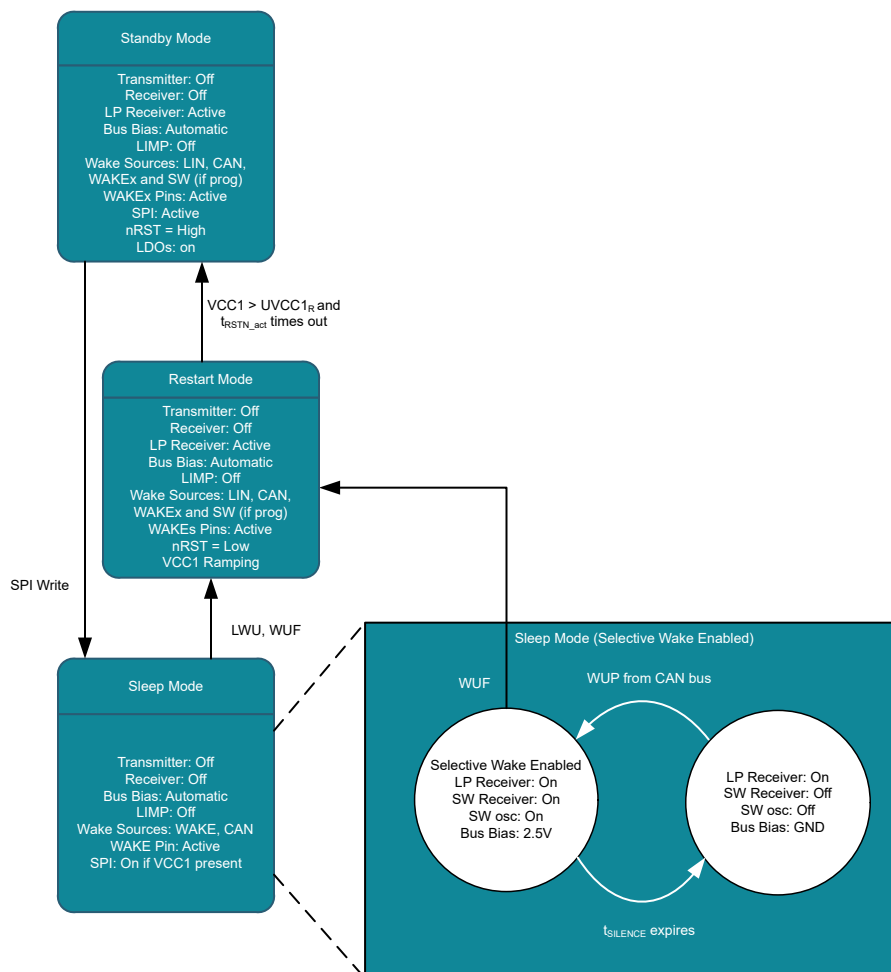


図 8-20. 選択的ウェイク有効時のスリープモード

注

この状態図の場合、デフォルトでスリープモードでは SPI がオフになります。図 8-20 に示すように、SPI は選択的ウェークサブ状態を含むスリープモードで動作するように構成できます。

8.4.1 初期モード

これは、電源投入時の初期動作モードです。これは、VSUP が $VSUP_{(PU)R}$ スレッショルドを上回ると移行する遷移モードです。デバイスのデフォルト値が設定されると、デバイスはリスタートモードに移行します。

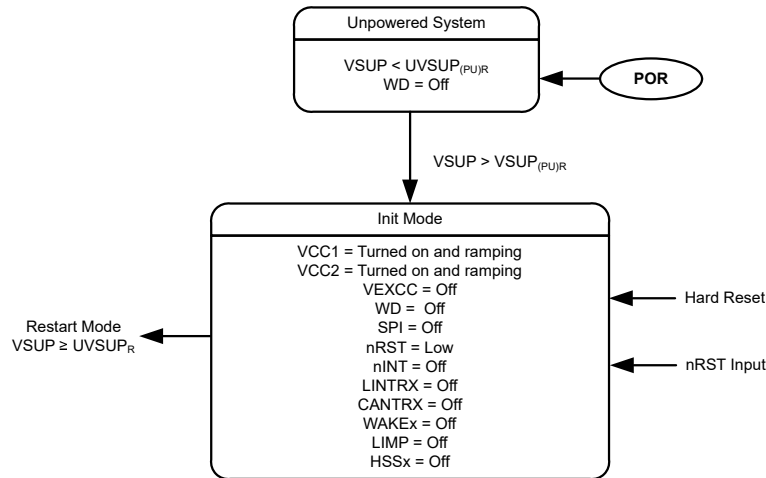


図 8-21. 初期モード

8.4.2 通常モード

通常モードでは、CAN FD トランシーバはオン、リスン、ウェーク対応、またはオフに構成できます。LIN トランシーバは、オン、高速、リスン、ウェーク対応、オフのいずれかに構成できます。トランスミッタは、コントローラからの LTXD および CTXD 信号のデジタル入力を、バス上の LIN および / または CAN 信号に変換します。レシーバは、バス上の信号を LRXD および CRXD からプロセッサへ出力されるデジタル信号に変換します。通常モードには SPI コマンドによって移行し、トランシーバのプログラムされた構成は変更されません。

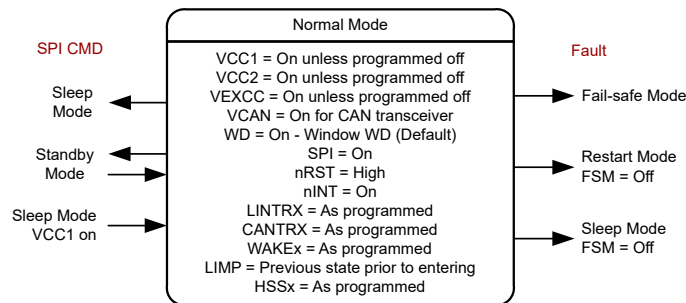


図 8-22. 通常モード

8.4.3 スタンバイモード

デバイスは、自動的にリスタートモードからスタンバイモードに移行します。最初の電源投入時、 $VCC1 > UVCC1$ かつ t_{RSTN_act} の時間が経過するとの遷移が発生します。電源投入時に VCC2 はオンになりますが、スタンバイモードに移行するのに UVCC2 より高くなる必要はありません。00b をレジスタ 8'h0B[7:6] に書き込むと、デバイスは通常モードからスタンバイモードに移行できます。スタンバイモードでは、ウォッチドッグ機能はデフォルトでオンです。スタンバイモードはタイムアウトウォッチドッグのみをサポートしており、移行する際に自動的にこのウォッチドッグに変更されます。スタンバイ

モードに移行する `WD_STBY_DIS` のレジスタ `8'h14[0] = 0b` (デフォルト値) に長いタイムアウトウィンドウ t_{INITWD} があるときは、リスタートモードからの移行時に `WD` トリガイベントを実行する必要があります。`8'h14[0] = 1b` に設定すると、スタンバイモードでウォッチドッグを無効化できます。スタンバイモードでは、アプリケーション要件を満たすようにトランシーバをプログラムできます。このモードには、いくつかのアクティブなブロックがあります。スタンバイモードでは、`CAN FD` トランシーバはリスン、ウェーク対応、またはオフに構成できます。`LIN` トランシーバは、リスン、ウェーク対応、またはオフに構成できます。ウェーク対応にプログラムされている場合、低消費電力の `CAN` および `LIN` レシーバはバスのウェークアップパターン (`WUP`) をアクティブに監視します。`WAKEx` ピンの監視はアクティブです。ステータスおよび構成用メモリ内のレジスタに対し、マイクロプロセッサが読み取りおよび書き込みできるようにするため、`SPI` がアクティブになっています。バス `WUP` イベント、`WUF` (選択性ウェークが有効な場合)、または `WAKEx` ピンからのローカルウェークアップ、および `VCC1 > UVCC1R` の時、デバイスは自動的にスリープモード > リスタートモード > スタンバイモードへと移行します。`VCC1` が無効化されている場合、 t_{RSTN_act} タイマがタイムアウトすると、デバイスはスタンバイモードに移行します。

スタンバイモードに移行時、`SWE` タイマ (有効な場合) $t_{INACTIVE}$ が起動します。`SWE` タイマは、プロセッサからのいずれかの `SPI` コマンドによってクリアされます。この機能により、プロセッサが正常に起動しない場合のノードは最小消費電力モードになります。この機能を有効にするには、レジスタ `8'h1C[7] (SWE_EN)` を `1b` にセットする必要があります。

以下の内容は、選択性ウェークがスリープモードとスタンバイモード間で相互作用する方法に関する説明です。

- 電源投入時、デバイスはスタンバイです。すべてのウェークフラグ (`PWRON`、`WUP/LWU`) をクリアし、選択性ウェークレジスタを構成し、選択性ウェーク構成 (`SWCFG = 1`) および選択性ウェークイネーブル (`SW_EN = 1`) をセットします。
- `SWCFG = 1` で、デバイスがスリープモードになると、低消費電力の `WUP` レシーバがアクティブになって `WUP` を待機します。
- `WUP` を受信すると `WUF` レシーバがアクティブになります。
- デバイスはウェークアップフレームを受信し、そのフレームがウェークアップをリクエストしたノードかどうかを判断します。
 - `WUF` アドレスが正しい場合、デバイスはノードをウェークアップしてスタンバイモードに入ります。
 - `WUF` のアドレスが正しくない場合、デバイスはスリープモードに留まります。
- ウェーク割り込みが、`WUF (CANINT)`、`FRAME_OVF`、`LWU` (有効な場合) のいずれかのタイプから発生すると、デバイスはスタンバイモードに移行します。

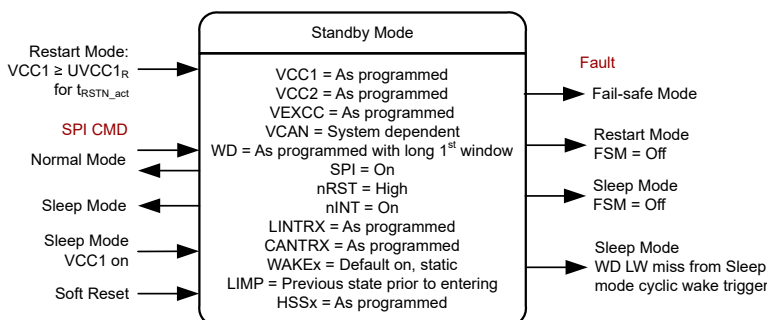


図 8-23. スタンバイ モード

8.4.4 リスタート モード

リスタートモードは遷移モードです。フェイルセーフモードが無効化されているかどうかに応じて、他の任意のモードからこのモードに移行できます。このモードでは、有効化された `LDO` がランプまたはオンになります。最初の電源投入時に、 $VCC1 \geq UVCC1R$ が t_{RSTN_act} (約 `2ms`) 経過すると、デバイスはスタンバイモードに遷移します。リスタートモード中、`nRST` は `Low` にラッチされます。再起動モードに移行すると、リスタートタイマが開始されます。このタイマは、レジスタ `8'h4F[0]`、`RSTRT_TMR_SEL` をプログラムすることで、 t_{RSTTO} と $t_{INACTIVE}$ (`SWE`) タイマ時間から選択できます。デフォルトは t_{RSTTO} です。 $t_{INACTIVE}$ (`SWE`) タイマが選択されている場合、`SWE_TIMER` レジスタ `8'h1C[7]` で `SWE_EN = 1b` を設定して `SWE` タイマを有効にする必要があります。タイマのタイムアウト前にデバイスが再起動モードを終了していない場合、デバイスは有効時にフェイルセーフモードに、フェイルセーフモードが無効時にスリープモードに遷移します。通

常モードまたはスタンバイモードからリスタートモードに移行するたびに、リスタートモードカウンタ、RSRT_CNTR がインクリメントされます。例外は、リスタートカウンタを超える場合に、デバイスがフェイルセーフモードまたはスリープモードに移行する場合です。このイベントによってリスタートモードに再び移行すると、カウンタは無視されて、デバイスはスタンバイモードに移行します。スタンバイモードになると、カウンタをクリアする必要があります。このカウンタはレジスタ 8'h28[7:4] でプログラム可能で、スリープまたはフェイルセーフモードに遷移する前にリスタートに移行できる回数を最大 15 まで設定できます。デフォルト値は 4 です。レジスタ 8'h16[3:0] は RSRT_CNTR です。カウンタを 0000b にプログラミングすると、カウンタを無効化できます。スリープモードまたはフェイルセーフモードへの遷移を防止するには、カウンタを定期的にクリアする必要があります。

注

リスタートカウンタが無効化され、0000b に構成される場合、一定のウォッチドッグ障害のために、リスタートからスタンバイに戻るループが発生する可能性があります。

nRST 出力ピンの動作は、デバイスがリスタートモードに移行する理由によって異なります。

ウォッチドッグ障害により、フェイルセーフモード、または外部 nRST のトグルから移行する際、nRST ピンは t_{NRST_TOG} の間 Low になります。この時間はデフォルトで 20ms です。レジスタ 8'h29[5] = 0 を変更することで、このパルス幅を 2ms に構成できます。この時間が経過するとデバイスはスタンバイモードに遷移し、nRST ピンを High に解除します。ウォッチドッグ障害の後にリスタートモードに移行して終了する方法については、図 8-25 を参照してください。

スリープモードからリスタートモードに移行する際、または低電圧イベントのために、 t_{RSTN_act} の間 $VCC1 > UVCC1_R$ になるまでデバイスは nRST を Low にラッチし、その後、スタンバイモードに遷移して nRST を High に解除します。リスタートモードに移行して終了する方法については、図 8-24 を参照してください。

nRST ピンは TCAN284x-Q1 のリセット入力ピンでもあり、 t_{nRSTIN} の間ピンが Low にプルされるデバイスがリスタートモードに遷移します。図 8-25 を参照してください

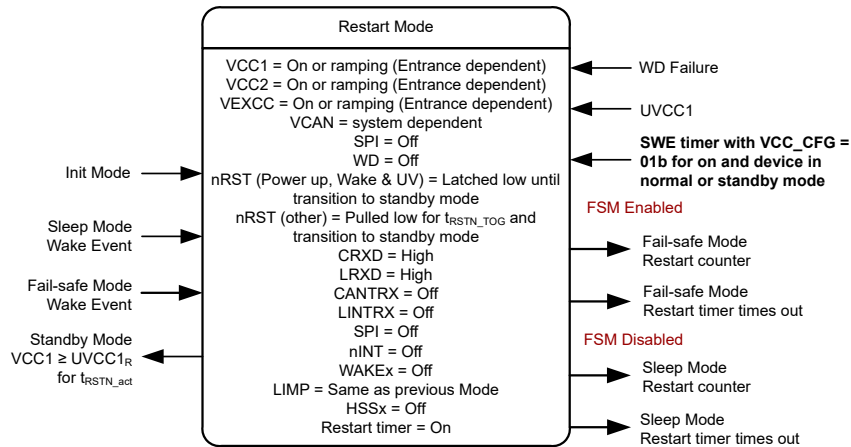


図 8-24. リスタートモード

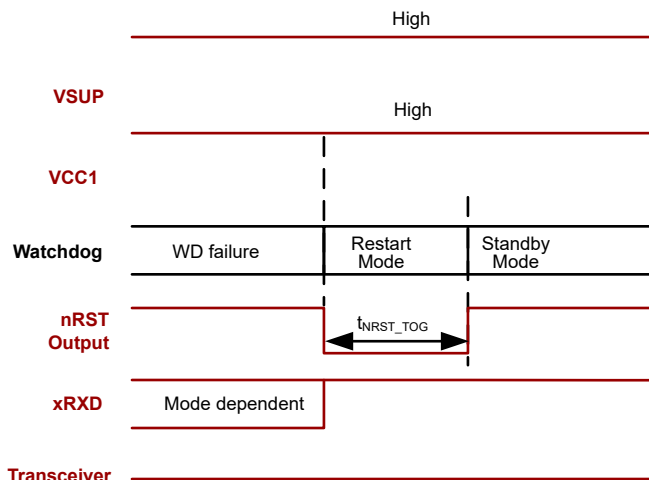


図 8-25. WD 障害からリスタートへのタイミング図

8.4.5 フェイルセーフモード

デバイスにはフェイルセーフモードが搭載されており、デフォルトでオンです。特定の故障イベントが発生するとこのモードに移行します。フェイルセーフモードに移行すると、グローバル割り込みが発行されてスリープウェークエラー (SWE) タイマ ($t_{INACTIVE}$) がイネーブルになって開始すると、VCC1、VCC2、VEXCC がオフになります。フェイルセーフモードに移行する理由はレジスタ 8'h17[3:1] で規定され、他の割り込みフラグでさらに拡張されます。このモードはレジスタ 8'h17[0] を使用して無効化できますが、故障監視はスリープモードではなくフェイルセーフモードでアクティブになるため、イネーブルのままにすることを推奨します。このモードでは LIMP がオンになり、他の機能は低消費電力モード状態に移行します。フェイルセーフモードに移行すると、LDO は少なくとも t_{LDOOFF} (約 300ms) の間オフを保持します。この時間中、ウェークイベントは監視および保持されます。 t_{LDOOFF} がウェークイベントをタイムアウトした後、デバイスはリスタートモードに移行します。故障がクリアされてウェークイベントが発生する前にイネーブルで SWE タイマがタイムアウトすると、デバイスはスリープモードに移行します。図 8-26 は、デバイスがフェイルセーフモードに移行する原因となる各種故障条件を示しています。故障条件がクリアされてウェークイベントが発生すると、デバイスはリスタートモードに移行します。図 8-27 はフェイルセーフモードの高レベルフローチャートを示しています。

フェイルセーフモードカウンタが利用可能で一連のフェイルセーフイベントが連続して発生すると、デバイスはプログラムされた動作を実行します。これには、WUP、WUF、LWU イベントによってデバイスがウェークされない場合にスリープに移行することが含まれます。パワーオンリセットが必要です。このカウンタはデフォルトで無効化されており、8'h17[7:4] ≠ 0000b で有効にできます。カウンタ終了アクションは 8'h17 [7:4] にあります。アクションがプログラムされるまでのイベント数は 8'h18[7:4] に最大 16 のイベント数の値がセットされます。8'h18[3:0] は、読み取りおよびクリアが可能な、ランニングアップ/ダウンフェイルセーフイベントカウンタです。

故障およびプログラムされた構成に応じて、複数のフェイルセーフモードの終了方法があります。

- デフォルトでは、SWE タイマは無効です。有効な場合、これらはフェイルセーフモードからの遷移パスです。
 - ウェークイベントと故障のクリアにより、デバイスは再起動モードに移行します。
 - 有効にする場合、SWE タイマのタイミングアウトによってデバイスはスリープモードに遷移し、VCC1_CFG = 01b がオンの場合でも VCC1 はオフのままです。
 - FSM_CYC_WK_EN、8'h1A[0]= 1b の場合、選択したタイマのオン時間中にデバイスがウェークアップし、故障がクリアされたかどうかを確認します。クリアされている場合、デバイスはリスタートモードに移行します。

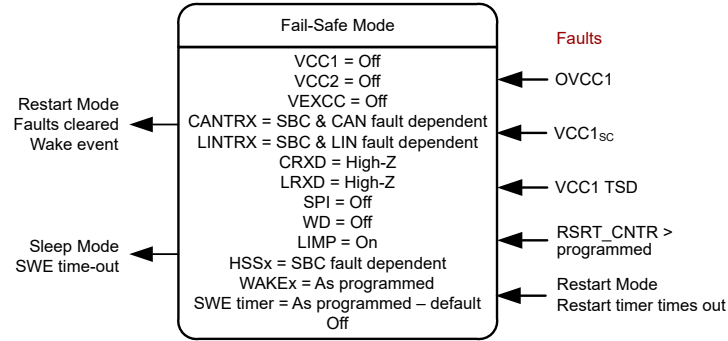


図 8-26. フェイルセーフ モード

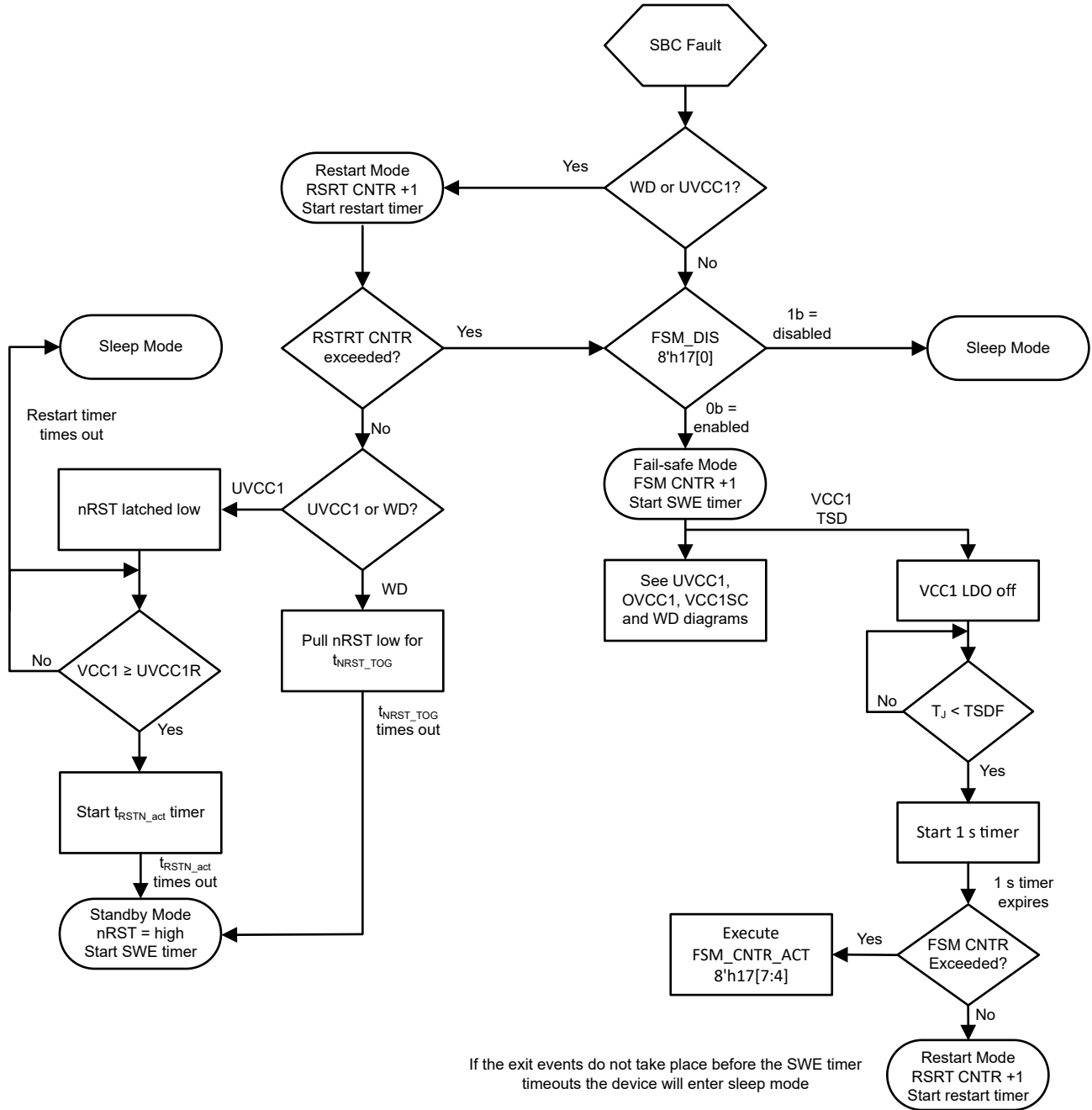


図 8-27. フェイルセーフモードのフローチャート

注

フェイルセーフモードに移行するデバイスには、デバイスをウェークアップする手法が存在する必要があります。これには通信バスまたは WAKE ピンを使用できます。これらがすべてフェイルセーフモードで無効な場合、デバイスは自動的に CAN FD および LIN トランシーバをウェーク可能にします。

デバイスがフェイルセーフモードに移行すると、有効な場合は SWE タイマが自動的に開始します。

- SWE タイマがタイムアウトする場合、デバイスはスリープモードに移行します
- SWE タイマのタイミングアウトよりも前にウェークイベントが発生する場合、デバイスは故障がまだ存在しているかどうかを判断します。
 - 故障が存在している場合、デバイスはフェイルセーフモードのまま故障を監視します。
 - 故障がクリアされるとデバイスはリスタートモードに移行します。

TSD 以外の条件でフェイルセーフモードに移行すると、以下が実行されます。

- VCC1 LDO はオフになります。故障が負荷共有に影響を与える場合は、両方がオフになります。デバイスがウェークイベントを受信すると、LDO が t_{LDOON} の間オンになり、短絡イベントがまだ存在しているかどうかを判断します。
 - t_{LDOON} の最後に、短絡が検出されると、デバイスは LDO をオフにし、次のウェークイベントまで待機します。
- 過電圧が連続監視されると直ちにスリープモードに移行します。
- 故障がクリアされると、デバイスはリスタートモードに移行します。

8.4.5.1 SBC フォルト

SBC フォルトは、デバイスのモードを変更させる故障です。フェイルセーフモードが有効になっている場合、これらの故障が発生すると、デバイスはリスタートモードまたはフェイルセーフモードのいずれかに移行します。フェイルセーフモードが無効な場合、故障によってデバイスは再起動モードまたはスリープモードに移行します。SBC フォルトは次のとおりです:

- VCC1 の過電圧
- VCC1 の低電圧
- VCC1 への短絡
- VCC1 によるサーマル シャットダウン スレッショルド
- ウォッチドッグ故障
- リスタートカウンタがプログラムされた値を超過
- 有効にすると、SWE タイマが期限切れになります
- VSUP の低電圧は SBC 故障ですが、デバイスがフェイルセーフモードに移行することはありません

8.4.5.2 CAN トランシーバ故障

CAN トランシーバ故障とは、トランシーバに影響を与えても、デバイスはフェイルセーフモードに移行せず、CAN トランスミッタをオフにするものです。CAN トランシーバ故障:

- VCC2 サーマル シャットダウン
- CAN トランシーバのサーマル シャットダウン
- CTXD ピンスタックドミナント - CTXD ドミナントタイムアウト
- UVCAN

注

VCC2 が VCAN に接続されている場合、VCC2 の故障により CAN 故障が発生する可能性があります。

8.4.5.3 LIN トランシーバの故障 (および TCAN2847x-Q1)

LIN トランシーバ故障とは、トランシーバに影響を与えても、デバイスがフェイルセーフモードに移行しない故障です。その故障にはドミナント状態タイムアウトとサーマルシャットダウンが含まれます。

8.4.6 スリープモード

スリープモードは、このデバイスの省電力モードです。このモードでは、デバイスは CAN バス、LIN バス、WAKEx ピン、SW ピン (プログラムされている場合) からウェークアップできます。VCC1 が存在する場合、SPI でモードを変更でき、nRST は high です。故障状態が原因でスリープモードに入った場合、INT_2 レジスタ 8'h52[7] (SMS) が 1b に設定されます。図 8-28 に、スリープモードへの移行および終了の各種方法を示します。

本デバイスがスリープモードに入っている間、次の条件が成立しています。

- LIN バスドライバは無効化され、内部 LIN バス終端はオフになります (LIN がグランドに短絡した場合の電力損失を最小化するため)。ただし、LIN バスへの外部接続が失われた際に誤ってウェークアップイベントが発生しないように、弱電流プルアップが機能しています。
- CAN バスドライバは無効化され、内部の CAN バスの終端は弱いグランドに切り替えられます。
- CAN および LIN トランシーバレシーバは無効化されています。
- CAN および LIN 低消費電力ウェークアップレシーバは、プログラムされています。
- WAKE ピンはプログラムどおりです。
- サイクリックセンシングが有効な場合、HSS4 は一定周期でオンになります。
- デジタルウェーク入力としてプログラムされている場合、SW ピンはオンです。
- スリープモードで周期的ウェークがイネーブルになっている場合、デバイスはウェークアップしてリスタートモードに移行し、VCC1 > UVCC1_R になるとスタンバイモードに移行します。ウォッチドッグトリガが長いウィンドウ内で発生しない場合、または故障が依然として存在する場合、デバイスはスリープモードに戻ります。
- VCC1 がスリープモードに構成されている場合、以下の点を考慮します：
 - ウォッチドッグは、タイムアウトウォッチドッグとしてイネーブルできます
 - ウォッチドッグの故障が発生すると、このデバイスは再起動モードに移行し、最終的にはスタンバイモードに移行します。これにより、SME 割り込みも設定されます
 - SBC 故障が監視され、これによりデバイスが自動的にモードを変更することがあります。この場合、スリープモード終了 (SME) 割り込みが設定され、レジスタ 8'h52[0] (INT_2: SME) が 1b に設定されます
 - フェイルセーフモードがイネーブルの場合、TSD、OVCC1、または VCC1SC 故障によってデバイスはフェイルセーフモードに移行し、VCC1 をオフにします。
 - フェイルセーフモードが無効の場合、TSD、OVCC1、または VCC1SC 故障によって VCC1 が 300ms 間オフになり、その後オンに戻ります。故障がクリアされると、デバイスは再起動に遷移し、最後にスタンバイモードに遷移します。
 - UVCC1 イベントが発生すると、デバイスはリスタートモードに遷移し、最後にスタンバイモードに移行します。これにより、SME 割り込みも設定されます。

スリープモードに正常に移行するには、次の条件を満たす必要があります：

- 既存のウェーク割り込みをすべてクリアする必要があります
 - これを行わない場合、SBC リスタートを経由してスタンバイモードに移行し、SBC スリープモードから即座にウェークアップします。
- ウェークアップするには、少なくとも 1 つの方法が使用可能である必要があります
 - スリープモードに入る前にすべてのウェーク方法が無効化されている場合、デバイスはスリープモードに入らず、MODE_ERR 割り込みを設定します (レジスタ 8'h5A[3])。
 - VCC1_CFG = 10b (スリープモードで VCC1 がオフ) かつ WAKEx ピンのスレッシュホールドが VCC1 基準 (WAKEx_LEVEL = 00b) に設定されている場合、デバイスはスリープモードに入る前に CAN および LIN をウェーク可能状態に設定します

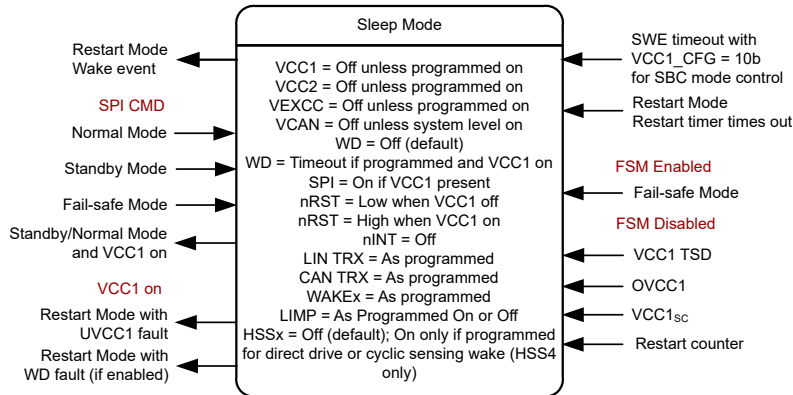


図 8-28. スリープモード

8.4.7 ウェーク機能

スリープモードからウェークアップするには複数の実保があります。

- BWRR を使用した CAN バス ウェーク
- 選択的ウェークを使った CAN バス ウェーク
- LIN バス ウェーク (TCAN2847Q1)
- WAKEx ピンによるローカル ウェークアップ
- SW ピンがデジタル ウェーク入力としてプログラムされている場合
- スリープモードでの周期的ウェークが有効

注

- このデバイスがスリープ状態になる前に発生するウェーク イベントは、ウェーク イベントとして扱われます。デバイスがスリープモードに移行しないようにします。
- ウェーク イベントのためにスリープモードで VCC1 がオフのとき、デバイスは通常のウェークフローに従います。
- スリープモード中に VCC1 がオンの状態でウェーク イベントが発生すると、デバイスは割り込みを設定し、RXD を Low に引き下げ、さらにレジスタ SBC_CONFIG1 (8'h0E[5]) に設定された VCC1_SLP_ACT の動作を実行します。SPI が利用可能なため、VCC2 または VEXCC をオンにしないでモードを変更できません。
- スリープモードでの周期的ウェーク イベントの場合、VCC1_SLP_ACT の設定は無効です。デバイスは、VCC1_SLP_ACT 構成に関係なく、リスタートモードによりスタンバイモードに遷移します。

8.4.7.1 スリープモードで CRXD 要求 (BWRR) を使用した CAN バスウェーク

TCAN284x-Q1 は低消費電力のスリープおよびスタンバイモードをサポートしており、CRXD リクエスト (BWRR) を使用したバスウェークと呼ばれる CAN バスメカニズムのウェークアップを使用します。このパターンを受信すると、TCAN284x-Q1 は自動的にスリープモードからスタンバイモードに切り替わり、nINT ピンに割り込みを挿入して、有効な場合は、バスがアクティブであることをホストマイクロプロセッサに通知し、プロセッサがウェークアップして TCAN284x-Q1 を修復します。ローパワーのレシーバおよびバスモニタがスリープモードで有効になり、CAN バスを使用して CRXD ウェークリクエストが可能になります。図 8-29 に示されているように、ウェークアップリクエストは CRXD (Low に駆動) に出力されます。外部 CAN FD のコントローラは、CRXD の遷移 (High から Low) を監視し、CRXD ウェークリクエストに基づき、デバイスを通常モードに再びアクティブにします。このモード中は、CAN バス端子が弱く GND にプルされます。図 7-2 を参照してください。

このデバイスは、ISO 11898-2: 2024 からのウェークアップパターン (WUP)を使用してリクエストへのバストラフィックを認証し、ホストマイクロプロセッサをウェークします。バスウェークリクエストは、CRXD 端子 (BWRR) の「フィルタ処理された」バスドミナントに対応する立ち下がりエッジと Low によって、内蔵の CAN FD コントローラに通知されます。

ウェークアップパターン (WUP) は以下で構成されます

- 少なくとも t_{WK_FILTER} のフィルタされたドミナントバスと、その後が続くドミナントバス
- 少なくとも t_{WK_FILTER} のフィルタされたリセッシーブバス時間の後に続きます
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタ処理されたドミナントバス時間

WUP が検出されると、デバイスは CRXD ピンでウェークアップリクエスト (BWRR) の発行を開始します。このピンの動作は、レジスタ 8'h12[2] によって決定されます。8'h12[2]= 0b の場合、ドミナント、リセッシーブ、ドミナントフィルタの各時間を満たす WUP パターンが受信されると、CRXD ピンは Low にプルされます。最初のフィルタリングされたドミナントが WUP を開始し、バスモニタがフィルタリングされたリセッシーブで待機しているため、他のバストラフィックはバスモニタをリセットしません。フィルタ処理されたリセッシーブを受信すると、バスモニタはフィルタ処理されたドミナントを待機しており、再度、他のバストラフィックはバスモニタをリセットしません。2 番目のフィルタ処理されたドミナントが受信されると直ちに、バスモニタは WUP を認識して BWRR 出力に遷移します。WUP の受信が検証されると直ちに、デバイスはバスモニタを BWRR モードに遷移させます。これはピンを Low にラッチすることにより CRXD ピンで通知されます。そのため、BWRR 中の CRXD 出力は、以下のウェークアップリクエストメカニズムとしてバス上のフィルタ処理されたシングルドミナントを使用した従来の 8 ピン CAN デバイスと一致します: ISO 11898-2: 2024.

ドミナントまたはリセッシーブを「フィルタ処理」と見なすには、バスが t_{WK_FILTER} 時間より長い間、その状態にある必要があります。 t_{WK_FILTER} の変動により、以下のシナリオが適用されます。

- $t_{WK_FILTER(MIN)}$ より短いバス状態は、WUP の一部として検出されることはないため、BWRR は生成されません。
- $t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、BWRR が生成されることがあります。
- $t_{WK_FILTER(MAX)}$ を超えるバス状態は常に WUP の一部として検出されるため、BWRR が常に生成されます。

WUP のタイミング図については、[図 8-29](#) を参照してください。

WUP および BWRR に使用されるパターンおよび t_{WK_FILTER} 時間により、ノイズやバス固着ドミナント故障が誤ったウェークアップリクエストを引き起こすことを防止しながら、任意の CAN または CAN FD メッセージによって BWRR を開始できます。デバイスが通常モードに切り替わるか、 V_{CC} で低電圧イベントが発生すると、BWRR は失われます。WUP パターンは、 $t_{WK_TIMEOUT}$ 時間内に実行する必要があります。時間外の場合、デバイスは次のリセッシーブと有効な WUP パターンを待機する状態になります。

8'h12[2]= 1b の場合、デバイスが通常モードまたはリスンモードになるまで、CRXD ピンは $t_{TOGGLE} = 10\mu s$ の間、Low - High - Low に切り替わります。BWRR は、電源が投入されてスリープモードまたは特定のフェイルセーフモード状態から復帰してスタンバイ状態になると、アクティブになります。SPI 書き込みによってデバイスがスタンバイモードに移行すると、ウェークイベントが発生するまで CRXD ピンは High になります。その後、CRXD ピンはスリープモードであるかのように動作します。

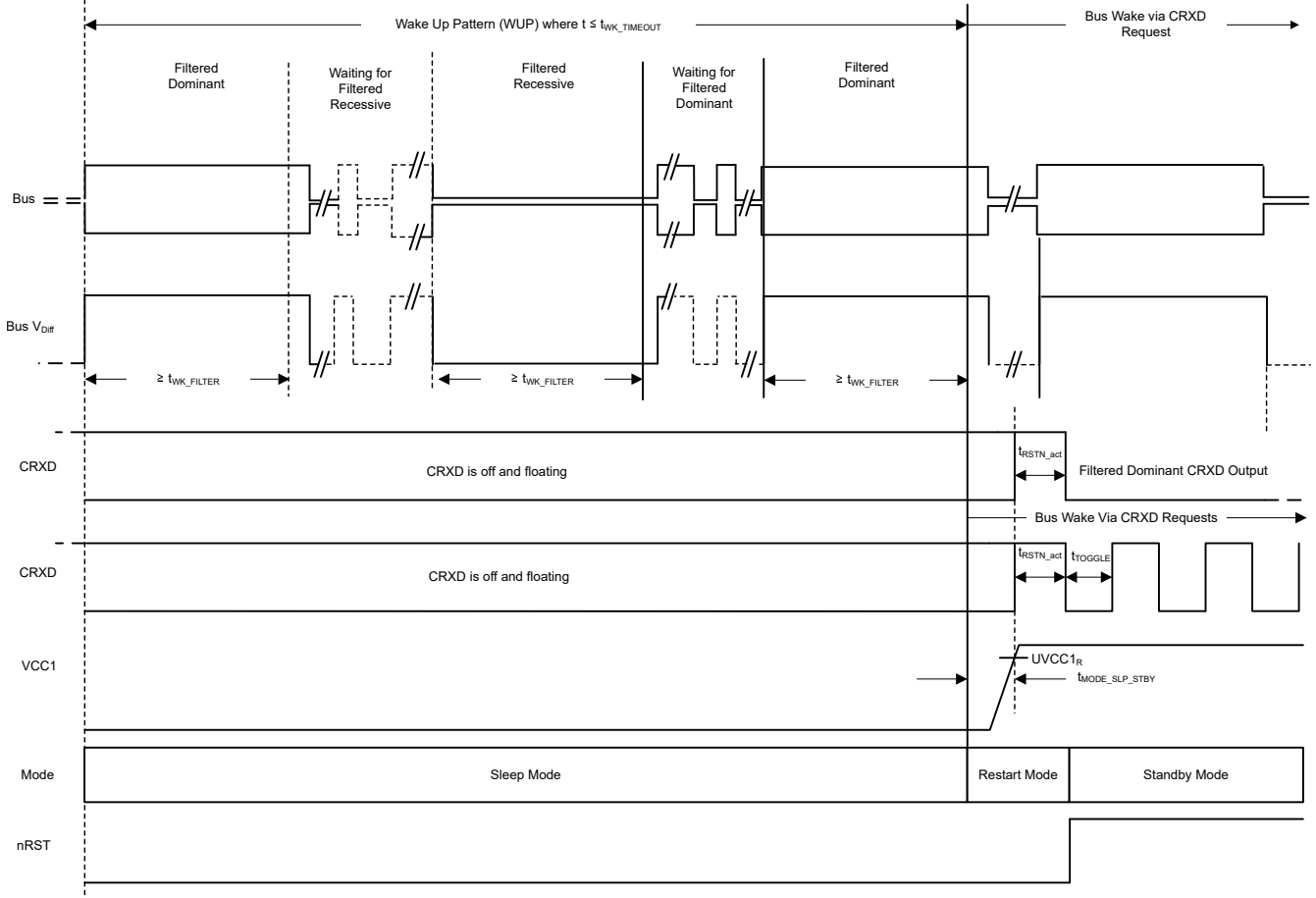


図 8-29. CRXD リクエスト (BWRR) を使用したウェークアップパターン (WUP) とバスウェーク

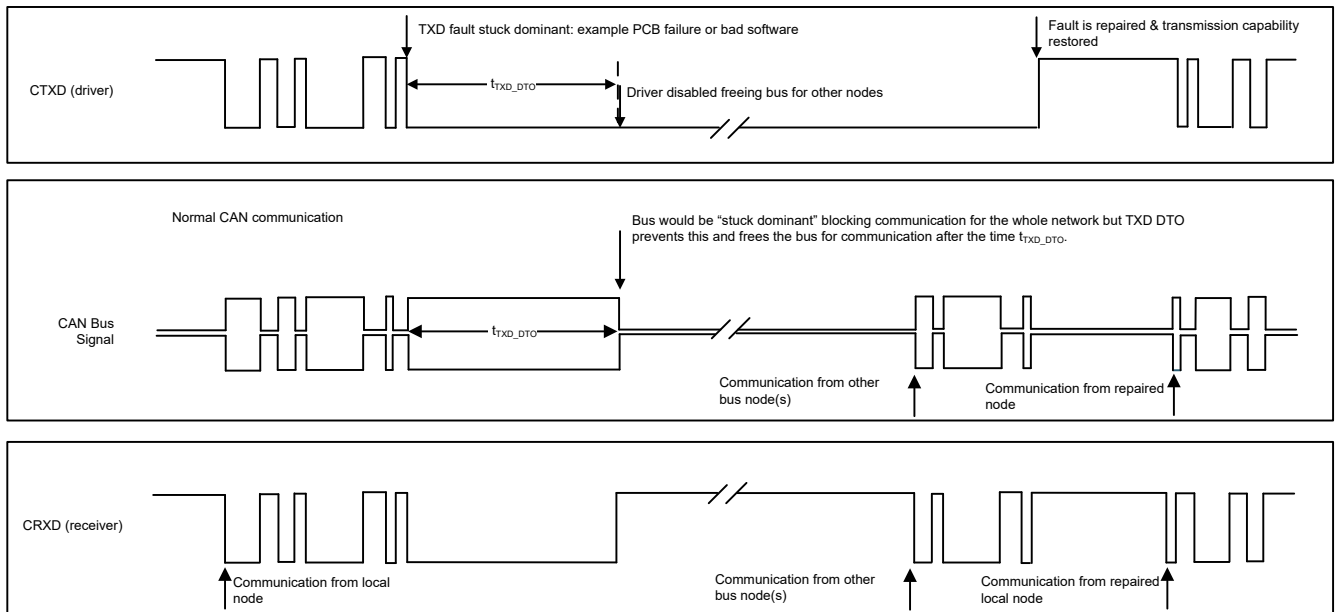


図 8-30. CTXD DTO のタイミング図の例

注

WUP 信号からの CAN ウェークは、レジスタ 8'h10[2:0] = 010b で CAN1_TRX_SEL をプログラムすると無効にできます。

8.4.7.2 LIN バス ウェーク

LIN バス上でリセッсп (high) 状態からドミナント (low) 状態への立ち下がりエッジが発生し、ドミナント状態が t_{LINBUS} フィルタ時間保持されると、リモート ウェークアップが開始されます。この t_{LINBUS} フィルタ時間が経過した後、LIN バスのドミナント状態からリセッсп状態への遷移の立ち上がりエッジでリモート ウェークアップ イベントが開始されるため、LIN バス電圧の変動またはバスのグラウンドとの短絡による誤ったウェークアップを防止できます。デバイスがスタンバイ モードに入ると、LRXD が Low に引き下げられることで LIN バスのウェークイベントが示されます。

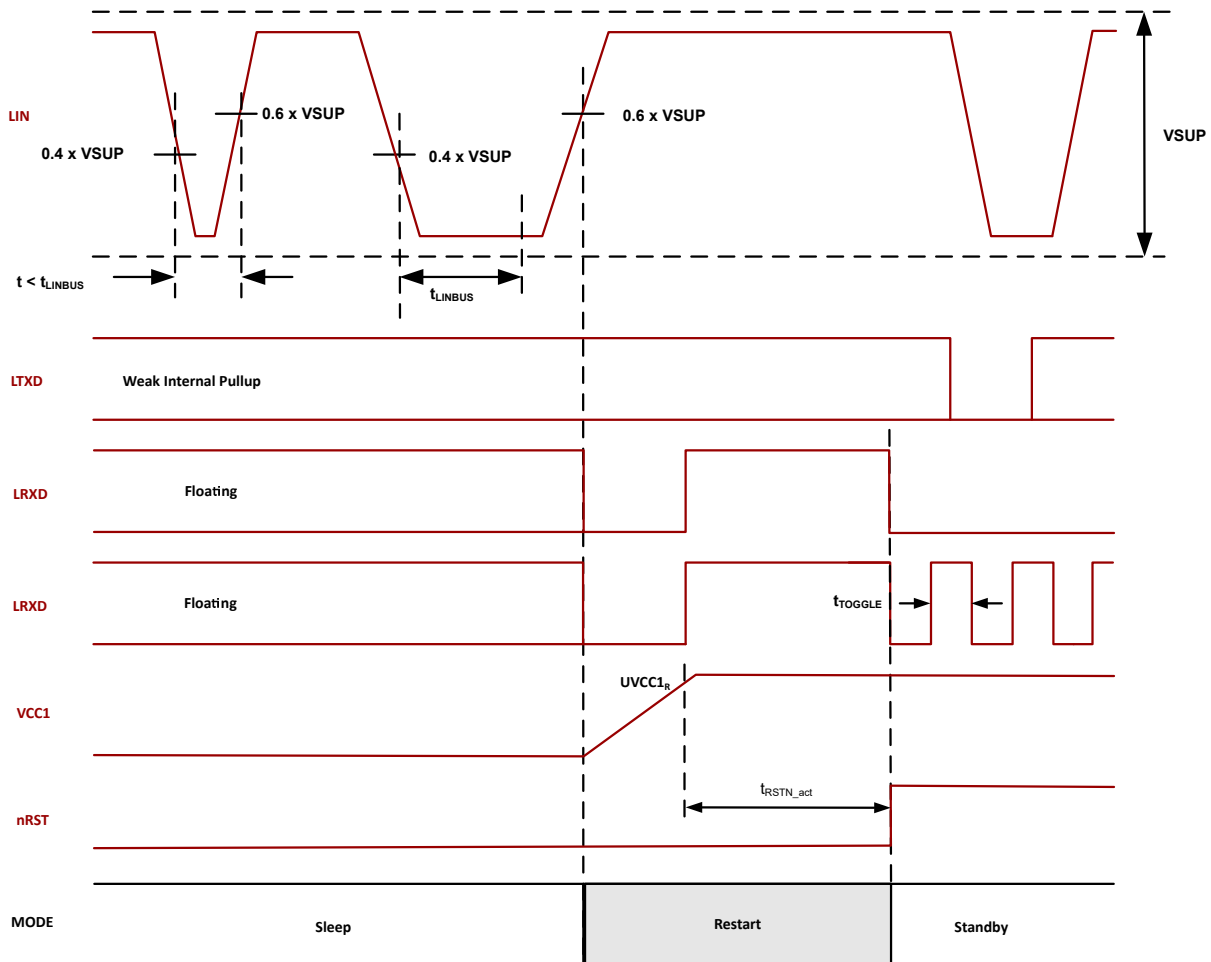


図 8-31. LIN バス ウェーク

8.4.7.3 WAKEx 入力端子によるローカル ウェークアップ (LWU)

WAKEx 端子は、高い柔軟性を持つグラウンド基準の高電圧対応入力であり、電圧の遷移によってローカル ウェークアップ (LWU) 要求を行うために使用できます。このウェークアップ イベントには 2 つの方法があります。ピンのレベル変化に基づく静的ウェーク、またはタイミング ベースの周期的センシング (WAKEx ピンを一定周期でオンにし、そのオン期間中に変化が検出された場合にトリガ イベントとする方式) が確認されます。

このデバイスは、レジスタ 2Ah[4:0] を使用して WAKE ピンの状態変化を通知し、どの WAKE ピンの状態が変化したかを示します。

WAKE ピンを調整するには、2 つの方法があります：

- 静的ウェーク
- 周期的検出ウェーク

WAKE ピンにはグローバル制御があり、ウェークアップを行う方法、立ち上がりエッジ、立ち下がりエッジ、双方向、パルス、フィルタパルスを制御します。WAKE ピンには、プログラマブルなスレッシュホールドがあります

8.4.7.3.1 スタティックウェーク

WAKE_x ピンはデフォルトでは双方向入力ですが、WAKE_CONFIG レジスタ 8'h11[7:6] を使用することで、立ち上がりエッジと立ち下がりエッジの遷移に構成可能です。図 8-32 および 図 8-33 を参照してください。WAKE ピンはグラウンドに基づくウェーク入力であり、グラウンドまたは V_{SUP} に接続されたスイッチで使用できます。WAKE_x ピンの入力スレッシュホールドは VCC1 レベルを基準にでき、プロセッサに直接接続または VCC1 レールに切り替えることができます。この端子を使用しない場合は、望ましくない寄生ウェークアップを防止するため、端子をグラウンドに接続します。デバイスがスリープモードに移行すると、WAKE 入力の状態遷移を決定する前に、WAKE_x 端子の電圧レベルが t_{WAKE} の間 Low 状態または High 状態である必要があります。t_{WAKE_INVALID} より小さいパルス幅はフィルタ処理されます。

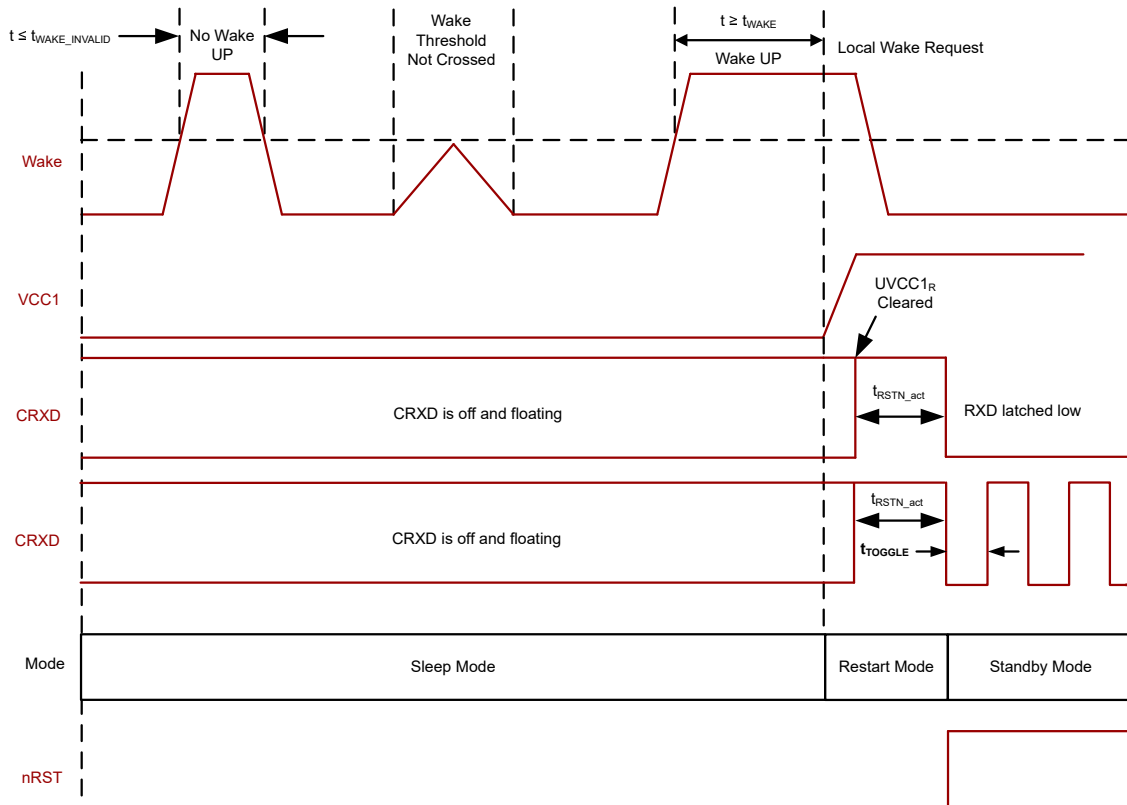


図 8-32. ローカルウェークアップ - 立ち上がりエッジ

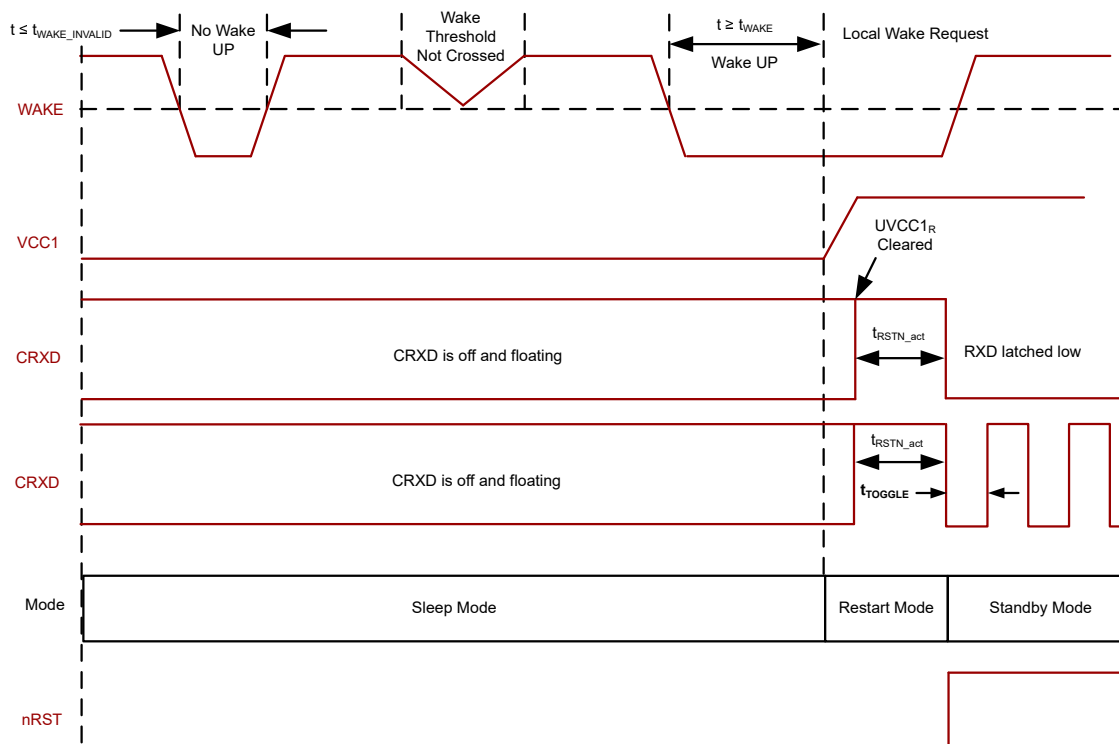


図 8-33. ローカルウェイクアップ - 立ち下がりエッジ

注

WAKE ピンに立ち上がりエッジまたは立ち下がりエッジのいずれかを選択する場合は、 t_{WAKE} の間、エッジ前の状態である必要があります。

- 立ち上がりエッジを選択してデバイスが WAKE High でスリープに移行する場合は、立ち上がりエッジのウェイクイベントの前に、 t_{WAKE} 以上 Low である必要があります
- 立ち下がりエッジを選択してデバイスが WAKE Low でスリープに移行する場合は、立ち下がりエッジのウェイクイベントの前に、 t_{WAKE} 以上 High である必要があります
- 双方向エッジではこの要件は必要ありません (デフォルト)
- 図 8-32 と 図 8-33 は、立ち上がりエッジまたは立ち下がりエッジによる WAKE 入力の例を示しています。VCC1 > UVCC1 の状態でスタンバイモードに入ると、RXD は Low にプルされます。

WAKE 端子は WAKE_CONFIG レジスタ 8'h11[7:6] を使用してパルス用に構成できます。図 8-34 を参照してください。この端子はパルスのみで動作するように構成できます。このパルスは $t_{WK_WIDTH_MIN}$ と $t_{WK_WIDTH_MAX}$ 間にある必要があります。図には、3 つのパルス例と、デバイスがウェイクするかどうかを示しています。 $t_{WK_WIDTH_MIN}$ は、レジスタ 8'h11[3:2] の $t_{WK_WIDTH_INVALID}$ に設定する値によって決定されます。パルスを検出可能な領域は 2 つあります。レジスタ 8'h1B[1]、WAKE_WIDTH_MAX_DIS を使用すると、パルスモードをフィルタ処理済みウェイク入力として構成できます。このビットに 1 を書き込むと、 $t_{WK_WIDTH_MAX}$ が無効化されます。WAKE 入力は、 $t_{WK_WIDTH_INVALID}$ と $t_{WK_WIDTH_MIN}$ の値を選択するレジスタ 8'h11[3:2] の構成に基づきます。 $t_{WK_WIDTH_INVALID}$ より小さい WAKE 入力が入力され、 $t_{WK_WIDTH_MIN}$ より長くなる場合、デバイスはリスタートモードに移行して LDO をオンにします。2 つの間の領域は常にカウントされるわけではありません。図 8-35 を参照してください。レジスタ 8'h12[7] は、認識されるパルスまたはフィルタエッジの方向を決定します。WAKE ピンのステータスはレジスタ 8'h11[5:4] から判断できます。WAKE ピンが変更されると、デバイスは立ち上がりエッジまたは立ち下がりエッジを登録します。これはビットに 00 が書き込まれるまでラッチされます。

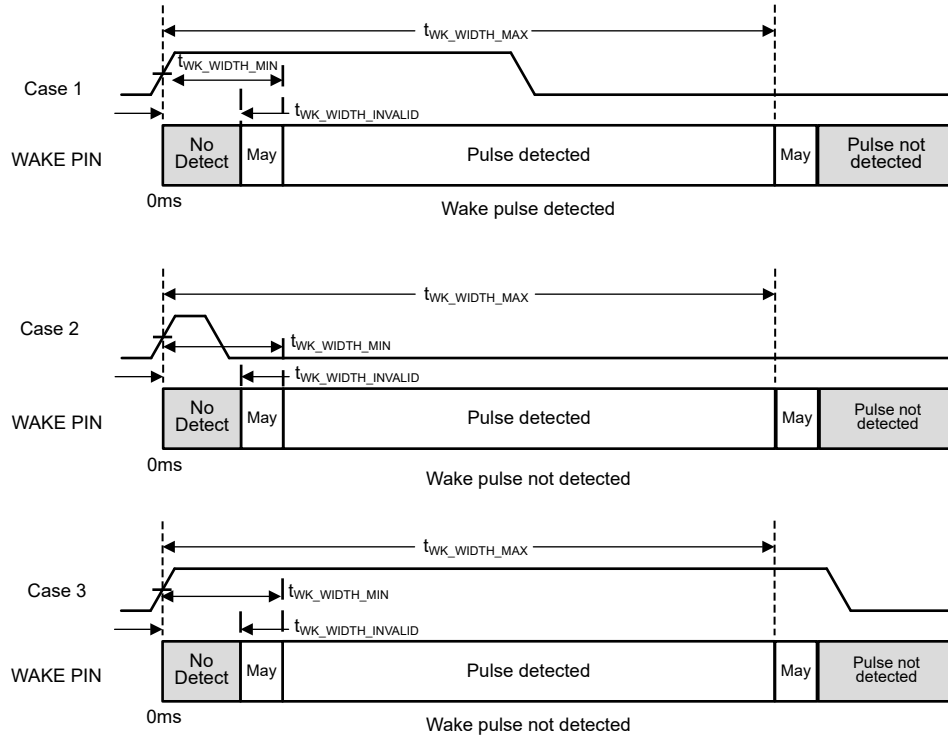


図 8-34. WAKE ピンのパルス動作

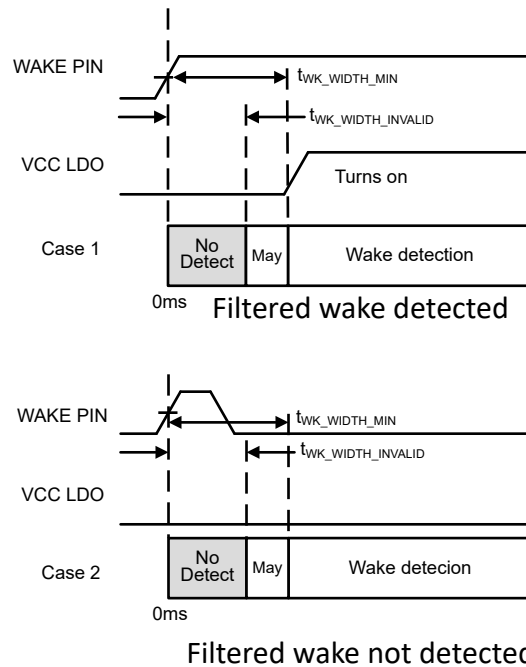


図 8-35. WAKE ピンのフィルタ処理済み動作

8.4.7.3.2 サイクリックセンシングウェーク

サイクリックセンス WAKE を使用する場合、選択した HSS4 ピンのオン時間中のみ WAKE 回路がアクティブになるため、スリープモードでのデバイスの静止電流が減少します。図 8-36 を参照してください。外部ローカルウェーク回路に VSUP を印加すると、HSS4 ピンが周期的にオンになります。毎回、WAKEx はピンが High または Low であることを示

すビットをセットし、そのビットを以前の状態と比較します。変化している場合、デバイスはウェークアップします。変化していない場合、デバイスはスリープモードのままです。タイミング図については、[図 8-37](#) を参照してください。[図 8-37](#) に示すように、サンプリングウィンドウのウェークピンのフィルタ時間は t_{WK_CYC} に基づきます。スリープモードでサイクリックセンシングウェークを有効にするには、スリープモードに移行する前に以下の構成を実行します。

- [図 8-36](#) に示すように、目的の WAKE ピンを HSS4 に接続します
- 目的の WAKE_x ピンをサイクリックセンシングモードにセットします
 - WAKE1: h'12[6] WAKE1_SENSE=1b
 - WAKE2: h'2B[7] WAKE2_SENSE=1b
 - WAKE3: h'2B[3] WAKE3_SENSE=1b
- デフォルト以外の設定が必要な場合は、サンプリングウィンドウのウェークピンのフィルタ時間をセットします
 - レジスタビット 8'h12[5] をセット
- HSS4_CNTL ビットを使用して HSS4 を目的のタイマにセットします
 - h'4D[2:0] = Timer1 または Time2
- 選択したタイマ構成を、目的のオン時間と周期に設定します

(注: サイクリックセンシングウェークに加えてサイクリックウェークを構成する必要がある場合を除き、タイマ構成のサイクリックウェークビットはセットしないでください)

- Timer1 の期間とオン時間に h'25 をセットします
- Timer2 の期間とオン時間に h'26 をセットします

スタンバイモードでは、サイクリックセンシングウェークもサポートされています。スタンバイモードでは、デバイスは対応するウェークピンの割り込みのみをセットします。通常モードでは、サイクリックセンシングウェークはサポートされません。SBC 通常モードで HSS4 を動作させるには、通常モードに移行する前に WAKE_x_SENSE ビットを 0b にセットします。

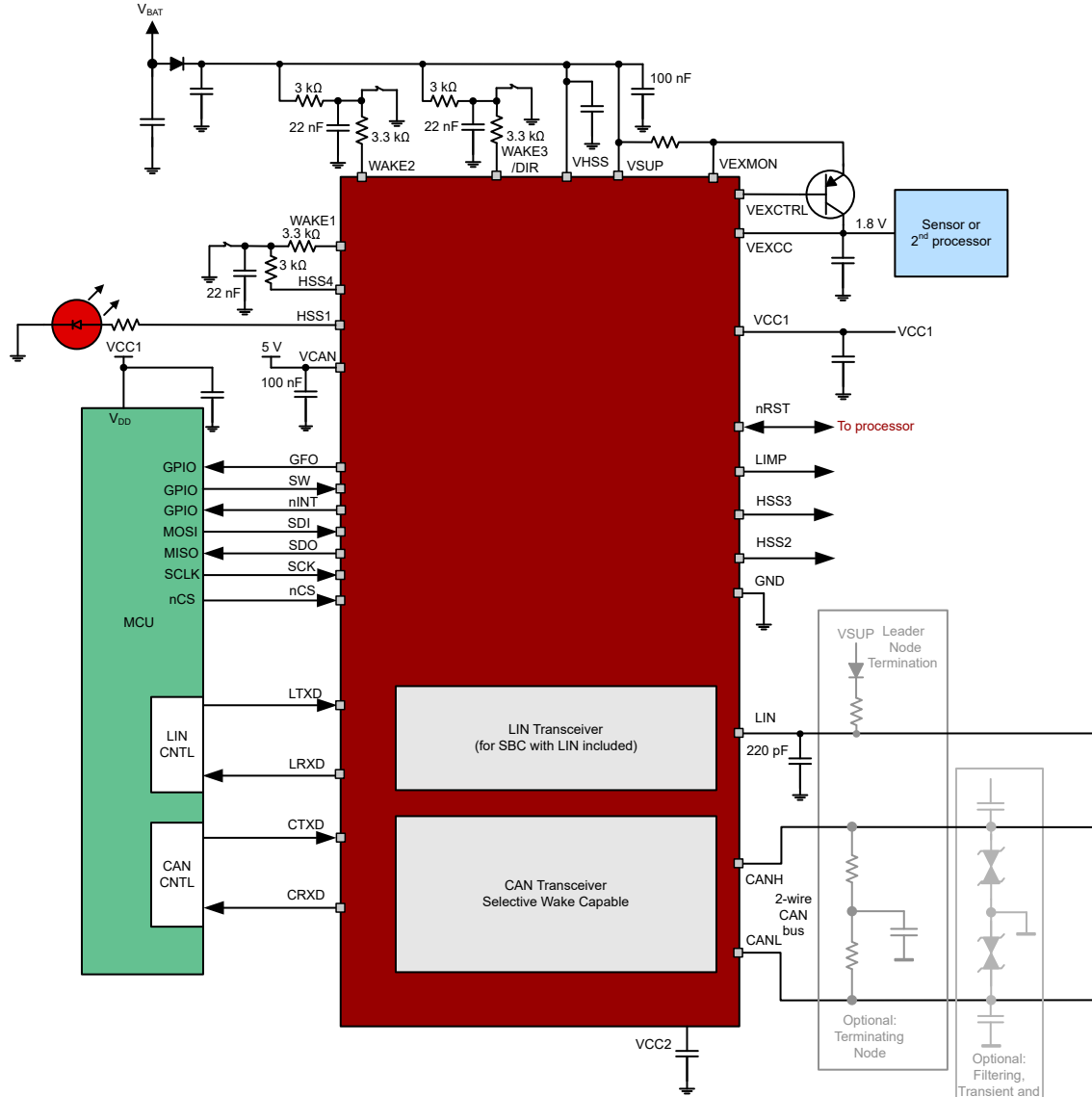


図 8-36. サイクリックセンシング構成のアプリケーション図

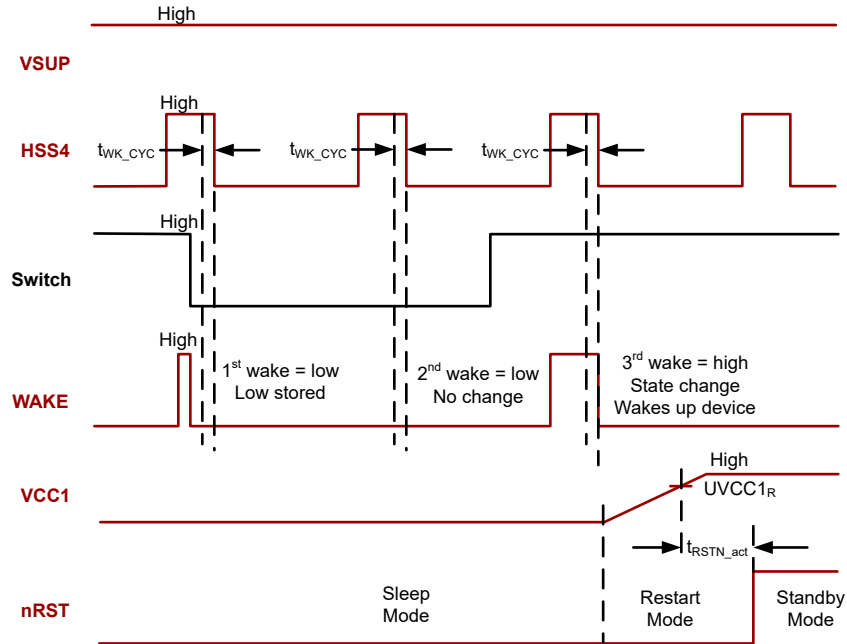


図 8-37. サイクリックセンシングのタイミング図

8.4.7.4 周期的ウェーク

サイクリック ウェークは、外部のウェーク イベントを必要とせず、タイマ 1 またはタイマ 2 のサイクリック を使用してデバイスを自己ウェークさせるために使用できます。この機能の動作は、デバイスが現在の **SBC** モードで有効になっているかどうかに応じて特定の方式で変化します。この機能は、通常、スタンバイ、フェイルセーフ、スリープ モードで使用できます。

通常モードおよびスタンバイ モードでの周期的ウェークでは、設定されたオン時間の開始時に、デバイスが設定されたオン時間の間 **nINT** を **Low** にし、その後リリースします。最初のオン時間パルスは無視されますが、その後の各オン時間により割り込みが **Low** パルスになります。周期的ウェークアップは、**timer1** にレジスタ **8'h25[3]**、**timer2** にレジスタ **8'h26[3]** を使用することでイネーブルになります。サイクリック ウェーク機能のプログラムに使用されるレジスタについては、**表 8-8** を参照してください。タイマは、それぞれのレジスタを使用して構成されます。通常およびスタンバイ モードで周期的ウェークを動作させるには、既存のすべての割り込みをクリアする必要があります。通常およびスタンバイ モードでは、割り込みが周期的ウェーク機能よりも優先されます。周期的ウェーク構成には、**nINT_TOG = 0b** (デフォルト設定) に設定します。**nINT_TOG = 1b** に設定すると、タイマのオン時間中に **nINT** ピンがトグルされます。

レジスタ **8'h0E[6] = 1b** を使用することで、周期的ウェークをフェイルセーフ モードで有効にできます。フェイルセーフ モードでは **VCC1** がオフであるため、**nINT** ピンは使用されません。有効なとき、タイマ用に選択する周期は **500ms**、**1s**、または **2s** (t_{LDOOFF} より長い) である必要があります。オン時間が経過すると、このデバイスは故障がまだ存在するかどうかを判断します。故障がクリアされていない場合、デバイスはフェイルセーフ モードのままになり、この処理を繰り返します。**SWE** タイマがタイムアウトすると、デバイスはスリープ モードに移行します。故障がクリアされた場合、それはウェーク イベントとして扱われ、デバイスはリスタート モードに移行します。周期的ウェーク割り込みは、**CYC_WUP** 割り込みビット **INT_4[4]** で通知されます。

周期的ウェークは、レジスタ **8'h4F[4] = 1b** を設定し、対応するタイマを設定することで、スリープ モードで有効化できます。設定済みのタイマ期間が経過すると、デバイスはウェークアップし、**LDO** がオンになるリスタート モードに遷移します。周期的ウェーク割り込みは、**CYC_WUP** 割り込みビット **INT_4[4]** で通知されます。デバイスがスタンバイ モードに移行すると、プログラムされた長いウィンドウが起動し、このウィンドウ内のプロセッサからの **WD** トリガを想定しています。これが実行されない場合、デバイスはこれをウォッチドッグ エラーと見なし、リスタート モードに戻ります。その後、スタンバイ モードに戻り、長いウィンドウ内で **WD** トリガを待ちます。**VCC1** がスリープ モードでオンになっていても、同じ手順が行われず。

表 8-8. 周期的ウェーク レジスタ

アドレス	デフォルト	フィールド	説明
8'h0E[6]	0b	FSM_CYC_WK_EN	1b に設定すると、フェイルセーフ モードで周期的ウェーク機能が有効になります
8'h25[3]	0b	TIMER1_CYC_WK_EN	1b に設定すると、周期的ウェーク タイマが timer1 に関連付けられます
8'h26[3]	0b	TIMER2_CYC_WK_EN	1b に設定すると、周期的ウェーク タイマが timer2 に関連付けられます
8'h4F[4]	0b	SLP_CYC_WK_EN	1b に設定すると、スリープ モードで周期的ウェーク機能が有効化されます。

注

- このデバイスは、周期的ウェークを Timer1 または Timer2 に設定することで、通常およびスタンバイ モードで周期的ウェークアップ機能を実行します。

8.4.7.5 スリープ モードでのダイレクト ドライブ

ダイレクトドライブとは、ハイサイド スイッチがデバイスの WAKE3/DIR ピンから直接制御される方式のことです。これは、任意のハイサイド スイッチの組み合わせにダイレクトドライブを割り当てることで構成されます。この機能の実装方法については、[セクション 8.3.11.1](#) を参照してください。ダイレクトドライブではデバイスをウェークアップしませんが、デバイスを起動させるための別のウェーク方法が用意されています。

- ダイレクトドライブを使用している場合、VCC1 がオンになっているため、SPI コマンドを使用してスリープ モードからデバイスをウェークアップできます。
- レジスタ SBC_CONFIG1 8'h0E[1] で SW_SLP_EN を 1b に設定することで、SW ピンをデジタル ウェーク入力として構成します。
- 未使用の WAKE1 または WAKE2 ピンを使って、プロセッサによってデバイスをウェークアップすることができます。ピンのスレッシュホールドは、プロセッサ要件を満たすように設定する必要があります。

8.4.7.6 選択的ウェイクアップ

TCAN284x-Q1 は、ISO 11898-1 および Bosch CAN プロトコル仕様 3.2.1.1 に従って CAN 通信を実行します。

8.4.7.6.1 選択的ウェークモード

これはデバイスの中レベルの省電力モードです。データシートの「フレーム検出」セクションに記載されているように、WUF レシーバがオンになってフレームに内部的に接続され、検出ロジックはウェークアップフレーム (WUF) を探します。この状態では、CAN バスのデータは RXD ピンに出力されません。デバイスの電力はシステムバッテリーの VSUP 電源から供給されます。

選択式ウェークモードの有効なウェークアップソースは次のとおりです：

- ウェークアップフレーム (WUF)
- WAKE ピンのローカルウェークアップ (LWU)。WAKE ピン上のイベントは、レジスタ 8'h11[7:6] で WAKE ピン用にプログラムされた要件に一致している必要があります
- フレームオーバーフロー (FRAME_OVF)
- 別の状態への SPI コマンド

WUF および/または LWU イベントが発生すると、対応するウェークイベントフラグ (CANINT1 および/または LWU) がセットされます。この時点で、有効であれば nINT ピンを使用、または RXD ピンをプルダウンして、マイコンへの割り込みが供給されます。

選択式ウェークモードに移行する場合は、以下の条件を満たす必要があります：

- 選択式ウェーク構成、SWCFG、フラグがセット済み

- すべての選択式ウェークレジスタに、書き込みと読み取りを実行して、適切なフレーム検出と選択式ウェーク構成でレジスタが正しくプログラムされていることを確認する必要があります。構成後、SWCFG ビットを 1b にセットする必要があります。
- 選択式ウェークエラー、SWERR、フラグがクリア済み
- 選択式ウェークイネーブル (SW_EN) = 1b、レジスタ 8'h10[7]= 1b にセット済み

遷移中にフレームを受信すると、そのフレームは失われる可能性があり、さらに 4 つの受信 CAN フレームに対してフレーム検出がフレームと同期しない場合があります。

注

故障条件または FRAME_OVF によって、デバイスが強制的にスリープモードを強制、フェイルセーフモードを無効化、またはフェイルセーフモードに移行する場合、SW_EN は無効化されて選択式ウェーク機能はオフになります。

8.4.7.6.2 フレーム検出

フレーム検出ロジックは、CAN バスからのシリアル データまたは CAN フレームの処理を可能にする要素です。デバイスには選択的ウェーク制御レジスタがあり、CAN ID (11 ビットまたは 29 ビット) のみ、または CAN ID とデータ フレーム (データ マスキングを含む) の両方を使用して、設定された一致条件を検出するよう構成できます。バスから受信した CAN フレームが、フレーム検出ロジックで設定された条件に一致した場合、その検出された CAN フレームはウェークアップ フレーム (WUF) と呼ばれます。

フレーム検出を有効にして使用する前に、WUF の検証または一致に必要なデータを、デバイスのレジスタ内に正しく設定しておく必要があります。デバイスでフレーム検出または選択的ウェーク機能を使用できるよう正しく構成された後、WUF のパラメータをデバイスに読み込むために、SWCFG (選択的ウェーク構成) を設定する必要があります。有効な WUF が検出された場合、選択的ウェークアップを含む WUF は CANINT フラグを使用して表示されます。

フレーム検出が有効になると、デバイスがバス上で受信した CAN フレームをロジックがデコードする際に、いくつかの動作が発生します。これには、エラーの検出とカウント、そして CAN_SYNC および CAN_SYNC_FD フラグによる CAN フレーム受信の通知が含まれます。

フレーム検出モード中にフレーム オーバーフロー (FRAME_OVF) が発生すると、モードは無効化され、SW_EN ビットがクリアされます。

フレーム検出が有効な状態で、レシーバ バイアスが無効のモードから遷移する場合、フレーム検出が安定するまでの間、デバイスは 500kbps 以下のデータレートでは最大 4 個の CAN フレームを、500kbps を超えるデータレートでは最大 8 個の CAN フレームを無視することがあります。

フレーム検出と選択的ウェークアップを使用するようにデバイスを正しく構成する手順は次のとおりです：

- フレーム検出用のすべての制御レジスタ (選択的ウェーク)、選択的ウェーク構成 1-4 (レジスタ 8'h44 ~ 8'h47)、ID および ID マスク (レジスタ 8'h30 ~ 8'h38) に書き込みます
- すべての選択的ウェークレジスタを読み取り、ソフトウェアでデバイスが書き込まれたことを確認できるようにして、正しく構成されることを推奨します
- 選択的ウェーク構成 (SWCFG) ビットを 1b に設定し、レジスタ 8'h4F[7]= 1b に設定します
- 選択的ウェーク有効ビットを 1b に設定します。レジスタ 8'h10[7] = 1b
- SPI 書き込みにより、8'h10[2:0] = 100b にデバイスをスタンバイ モードに設定します。ステップは、すでにスタンバイ モードに入っている場合でも行う必要があります。

フレーム オーバーフロー フラグから SWERR 割り込みが発生すると、フレーム オーバーフロー割り込みをクリアする必要があり、SWCFG ビットを再度 1b にセットする必要があります。

8.4.7.6.3 ウェークアップフレーム (WUF) の検証

次の条件がすべて満たされる場合、受信フレームはウェークアップ フレーム (WUF) として有効になります：

- DLC (データ長コード) の照合が無効化されていない場合、受信したフレームは従来の CAN データ フレームとなります。DLC マッチング無効の場合、フレームはリモートフレームにすることもできます。
- 受信したクラシカル CAN フレームの ID (ISO 11898-1:2015 の 8.4.2.2 で定義) が、対応するビット位置において設定された ID と完全に一致しています。関連するビット位置は、[セクション 8.4.7.6.5](#) に示す ID マスクによって与えられます。
- 受信したクラシカル CAN データ フレームの DLC (ISO 11898-1:2015 の 8.4.2.4 で定義) が、設定された DLC と完全に一致しています。[セクション 8.4.7.6.6](#) に示す機構を参照してください。オプションとして、この DLC マッチング条件は、実装の設定によって無効化できます。
- DLC が 0 より大きく、DLC 照合が有効な場合、受信したフレームのデータ フィールド (ISO 11898-1:2015 の 8.4.2.5 で定義) において、設定されたデータ マスク内で 1 に設定されているビット位置に対応する箇所に、少なくとも 1 つのビットが 1 として設定されています。[セクション 8.4.7.6.5](#) に示す機構を参照してください。
- 正しい巡回冗長検査 (CRC) が受信されており、リセシブの CRC デリミタを含み、確認スロット (ACK スロット) より前にエラー (ISO 11898-1:2015、10.11 に準拠) が検出されていません。

8.4.7.6.4 WUF ID 検証

受信したフレームの ID は、すべての必要なビット位置で構成された ID と一致します。関連するビット位置は、8'h30 ~ 8'h33 で構成された ID と 8'h34 と 8'h38 でプログラムされた ID マスクによって決定されます。クラシックベースフレームフォーマット (CBFF) の 11 ビットベース ID とクラシック拡張フレームフォーマット (CEFF) の 29 ビット拡張 ID と ID マスクがサポートされています。"do not care" を除くすべてのマスク ID ビットは、WUF 検証用に構成された ID ビットと正確に一致している必要があります。マスクされた ID ビットが "do not care" として構成されている場合、ID では「1」と「0」の両方が許容されます。ID マスクレジスタの 1 は "do not care" を表します。

図 8-38 に、有効な WUF ID と対応する ID マスクレジスタの例を示します

Configured ID	1	0	0	0	1	0	1	0	0	1	0
Mask Register	c	c	c	c	c	c	c	c	d	d	
	d = don't care c = care										
Valid WUF IDs	1	0	0	0	1	0	1	0	0	0	0
	1	0	0	0	1	0	1	0	0	0	1
	1	0	0	0	1	0	1	0	0	1	0
	1	0	0	0	1	0	1	0	0	1	1
Non - valid WUF IDs	1	0	0	0	1	0	1	0	1	x	x
	1	0	0	0	1	0	1	1	0	x	x
	1	0	0	0	1	0	1	1	1	x	x
	1	0	0	0	1	0	0	0	0	x	x

図 8-38. WUF の ID と ID マスクの例

8.4.7.6.5 WUF DLC 検証

データマスクビットがセットされている場合、受信フレームの DLC (データ長コード) は、構成された DLC と正確に一致している必要があります。DLC は、8'h38 [4:1] で構成されます。データマスクビットは 8'h38[0] にセットされます。

表 8-9. DLC

フレーム	データ長コード				データバイト数
	DLC3	DLC2	DLC1	DLC0	
クラシックフレーム と FD フレーム	0	0	0	0	0
	0	0	0	1	1
	0	0	1	0	2
	0	0	1	1	3
	0	1	0	0	4
	0	1	0	1	5
	0	1	1	0	6
	0	1	1	1	7
クラシックフレーム	1	0 または 1	0 または 1	0 または 1	8

8.4.7.6.6 WUF データ検証

データ マスク ビットを使用してデータ マスクが有効化されている場合、受信フレームのデータは設定されたデータと一致している必要があります。具体的には、受信フレームのデータ フィールド内にある論理 High (1) のビットのうち、少なくとも 1 つが設定データのデータ フィールド内の論理 High (1) ビットと一致している必要があります。関連するビット位置は、8'h39 ~ 8'h40 の構成されたデータによって決定され、8'h38[0] のデータ マスク イネーブルによってイネーブルされず。図 8-39 に、マッチングするデータとマッチングしないデータの例を示します

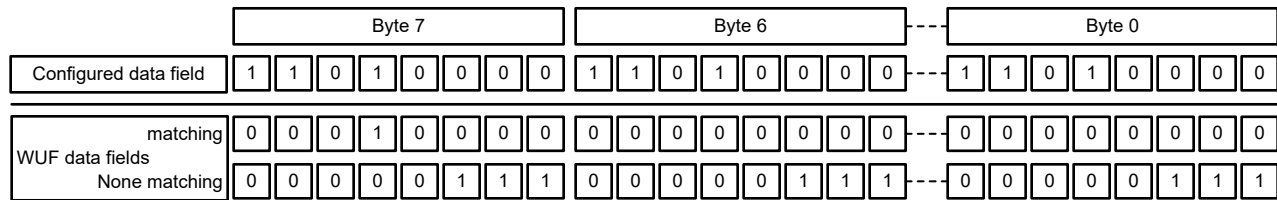


図 8-39. WUF のデータ フィールド検証の例

選択的ウェーク データ検証により、バス上で送信される最後のバイトがデータ マスクのバイト 0 として解釈されるようになります。これは、8 バイトのデータについては、送信される最初のバイトがデータ マスクのバイト 7 として解釈されることを意味します。DLC が 3 の場合、バス上で送信される最後のバイトはデータ マスク バイト 0 として解釈され、送信される最初のバイトはデータ マスク バイト 2 として解釈されます。図 8-40 に、送受信されるさまざまなバイトに使用されるバイトの例をいくつか示します。

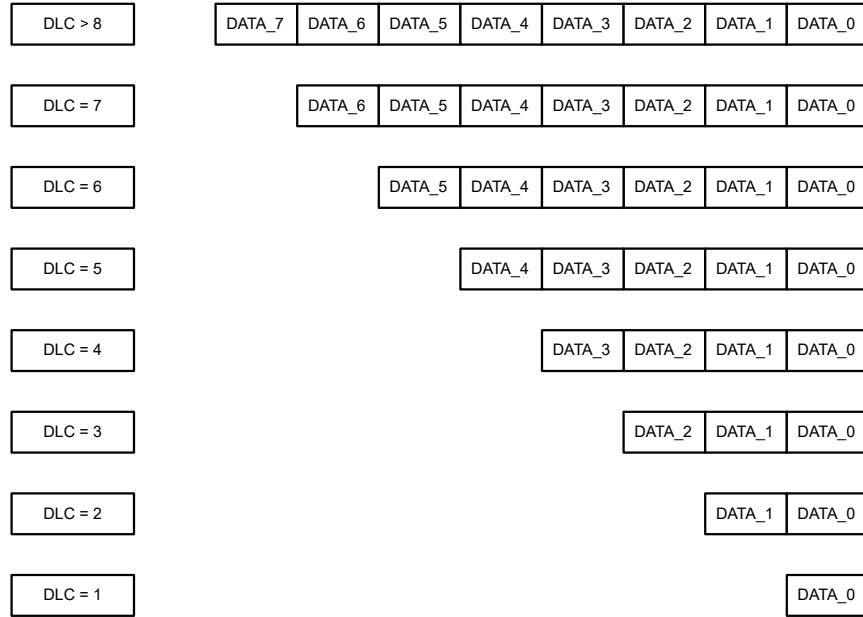


図 8-40. 異なる DLC 値のデータ レジスタ マスク値

8.4.7.6.7 フレームエラーカウンタ

選択的ウェイクアップ機能が起動し、 t_{SILENCE} が経過すると、CAN フレームエラーカウンタはゼロにセットされます。このエラーカウンタにより、デバイスが検出した CAN フレームエラーが判断されます。8'h45 では、エラーカウンタは FRAME_CNTx と呼ばれます。

初期カウンタ値はゼロで、受信フレームエラー (スタッフビット、CRC、または CRC 区切り文字エラー) が検出されるたびに 1 ずつインクリメントされます。カウンタがゼロでないと仮定して、正しく受信した CAN フレームごとに、カウンタが 1 ずつデクリメントされます。フレキシブルデータレートフレームを使用する CAN でデバイスがパッシブに設定されている場合は、CAN FD フレームとして検出されたフレームは、フレームエラーカウンタに影響を与えません (インクリメントまたはデクリメントなし)。有効なクラシカル CAN フレームを受信し、カウンタがゼロでない場合、カウンタは 1 ずつデクリメントされます。CRC 区切り文字とインターミッションフィールド終了との間のドミナントビットは、フレームエラーカウンタを増加させません。

エラーカウンタをインクリメントまたはデクリメントするたびに、デコーダユニットはドミナントビットをフレームの開始 (SOF) と考慮する前に、nBits_idle のリセツピットを待機します。クラシカル CAN フレームを受信時のフレーム検出強制開始の位置と、エラーが発生するシナリオについては、図 8-41 を参照してください。

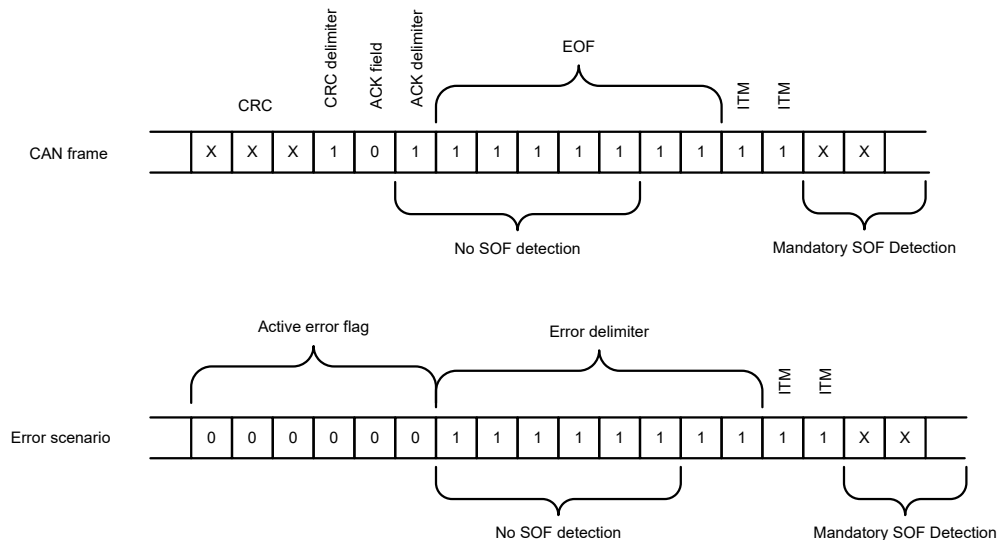


図 8-41. クラシック CAN フレームとエラーシナリオ後の強制 SOF 検出

フレームエラーカウンタスレッシュホールドのデフォルト値は 31 であるため、32 回目のエラーで、フレームオーバーフローフラグ (FRAME_OVF) がセットされます。

最大 4 つ (ビットレート > 500kbps の場合は 8 つ) のクラシック CAN データおよびバイアス応答時間 t_{Bias} 経過後に開始されるリモートフレームは、無視、または障害のエラーカウンタの増加なし、またはエラーと判定される場合があります (エラーがない場合もエラーカウンタが増加)。

非公称予約済みビット (SRR, r0) を持つ CEFF で受信されたフレームは、エラーカウンタを増加させません。

フレームエラーカウンタは、8'h46 のフレームエラーカウンタスレッシュホールド FRAME_CNT_THRESHOLD と比較されます。カウンタがスレッシュホールドをオーバーフローすると、フレームエラーオーバーフローフラグ FRAME_OVF がセットされます。フレームエラーカウンタスレッシュホールドのデフォルト値は 31 であるため、32 回目のエラーで、オーバーフローフラグがセットされます。ただし、アプリケーションで異なるフレームエラーカウントオーバーフロースレッシュホールドが必要な場合、必要な値を FRAME_CNT_THRESHOLD レジスタにプログラムできます。

このカウンタは、フレーム検出の無効化、CANSLNT フラグのセット、レジスタ 8'h51[2] = 1b の設定を行うと、以下の方法でリセットされます。

検出されたエラーの説明:

- **スタップビットエラー:** 同じ状態 (レベル) の 6 番目の連続ビットを受信すると、スタップビットエラーが検出されます。CAN メッセージのコーディングには、データストリームのこのビット位置にスタップビットがあるはずですが。
- **CRC エラー:** CRC シーケンスは、送信ノードによって計算した CRC の結果で構成されます。このデバイスは送信ノードと同じ多項式で CRC を計算します。計算結果が CRC シーケンスで受信した結果と異なる場合、CRC エラーが検出されます。
- **CRC 区切り文字エラー:** CRC 区切り文字エラーは、ロジック High (リセツシブ) として定義された CRC 区切り文字ビット位置で誤った状態 (ロジック Low/ドミナント) のビットが受信された場合に検出されます。

8.4.7.6.8 CAN FD フレーム耐性

FD フォーマットインジケータ (FDF) を受信してからドミナント res ビットを受信すると、デコーダユニットは、図 8-41 に従ってさらにドミナントビットを SOF であると考慮する前に、 n_{Bits_idle} リセツシブビットを待機します。表 8-10 は n_{Bits_idle} を定義します。

表 8-10. 次の SOF より前のリセッピビット数

パラメータ	表記	値	
		最小値	最大値
新しい SOF が許容される前のリセッピビット数	nBits_idle	6	10

アービトレーションおよびデータフェーズのビットレートの各種組み合わせをサポートするため、2 つのビットフィルタオプションが用意されています。レジスタ 8'h47[4] は pBitfilter オプションが選択されている場合です。

- ビットフィルタ 1:アービトレーションレートの 4 倍以下または 2Mbps のいずれか低い方のデータフェーズビットレートがサポートされます
- ビットフィルタ 2:アービトレーションレートの 10 倍以下または 5Mbps のいずれか低い方のデータフェーズビットレートがサポートされます

ドミナント信号 ≤ 最小 pBitfilter (表 8-11 を参照) である、持続時間内のアービトレーションビット時間は有効と見なされず、リセッピビットカウンタは再起動しません。ドミナント信号 ≥ アービトレーションビット期間の pBitfilter 最大値である場合、リセッピビットカウンタは再起動します。

表 8-11. 次の SOF より前のリセッピビット数

パラメータ	表記	値	
		最小値	最大値
CAN FD データフェーズビットフィルタ 1	pBitfilter1	5.00%	17.50%
CAN FD データフェーズビットフィルタ 2	pBitfilter2	2.50%	8.75%

8.4.7.6.9 8Mbps フィルタリング

- ビットフィルタ 3:アービトレーションレートの 16 倍以下または 8Mbps のいずれか低い方のデータフェーズビットレートに対応するものとします
- pBitfilter 3:最小 1.25% ~ 最大 4.375%

8.4.8 保護機能

TCAN284x-Q1 は、以下に説明するように、複数の保護機能を備えています。

8.4.8.1 フェイルセーフ機能

TCAN284x-Q1 にはフェイルセーフモードがあり、ノードシステムに問題が発生した場合にノードの消費電力低減のために使用できます。これは、スリープおよびフェイルセーフモードの 2 つの動作モードに分けることができます。

8.4.8.1.1 スリープウェークエラーを使用するスリープモード

スリープウェークエラー (SWE) タイマ ($t_{INACTIVE}$) は、特定の機能が動作していないかどうか、またはデバイスとプロセッサ間の通信が存在するかどうかを判定するために使用するタイマです。この機能は、デフォルトでは無効になっています。SWE タイマは、SWE_EN、8'h1C[7]= 1b をセットすると有効にすることができます。SWE タイマがどのモードで開始されるか、およびいつ開始されるかについては、[図 8-42](#) を参照してください。有効なときは、SBC モード制御の VCC1_CFG = 10b で電源投入する際に、デバイスによって PWRON フラグがクリアされない場合、または通常モードに移行する場合は、 $t_{INACTIVE}$ がタイムアウトすると、デバイスはスリープモードに移行します。VREG_CONFIG1 レジスタ 8'h0D[7:6]、VCC1_CFG が常時オンになるように 01b にセットされ、デバイスが通常モードまたはスタンバイモードの間に SWE タイマがタイムアウトする場合、デバイスはリスタートモードに遷移します。

CAN または LIN バスが WUP を供給、またはローカルウェークイベントが発生してスタンバイモードに移行する場合、デバイスはウェークアップします。スタンバイモードになると、 $t_{SILENCE}$ および $t_{INACTIVE}$ タイマが開始します。 $t_{INACTIVE}$ が経過するとデバイスは再びスリープモードに移行します。デバイスが CANINT、LWU、または FRAME_OVF を受信するときにデバイスがスリープモードを終了して、リスタートモードに移行してからスタンバイモードに移行する際、デバイスには、フラグをクリアまたはデバイスを通常モードに移行させる、プログラム済みの SWE タイマ時間があります。これが発生しない場合、デバイスはプログラム済みの VCC1_CFG の値に応じてリスタートモードまたはスリープモードに移行します。スタンバイモードまたは通常モードで、CANSLNT フラグが $t_{INACTIVE}$ の間持続すると、デバイスはスリープモードに移行しま

す。イベントの例として、プロセッサが動作しておらず、SPI バスを実行できないことがあります。スリープ移行コマンドが現れ、プロセッサはコマンドを受信または応答できません。図 8-43 を参照してください。

注

- スリープモードで VCC1 が有効で SWE タイマがタイムアウトすると、FSM 以外のいずれかのモードでは、デバイスはスリープモードではなくリスタートモードに移行します。これにより、nRST ピンが Low にプルされてプロセッサがリセットされ、WKERR および SMS 割り込みフラグがセットされます。
- スリープモードで有効にされている場合は、SWE タイマのタイムアウトは VCC2 または VEXCC に影響しません。

注

リスタートタイマは t_{RSTTO} または $t_{INACTIVE}$ (SWE タイマ) のいずれかで、レジスタ 8'h4F[0]、RSTRT_TMR_SEL を使用して選択します。SWE タイマはデフォルトで無効で、 $t_{INACTIVE}$ を使用するときには有効にする必要があります。

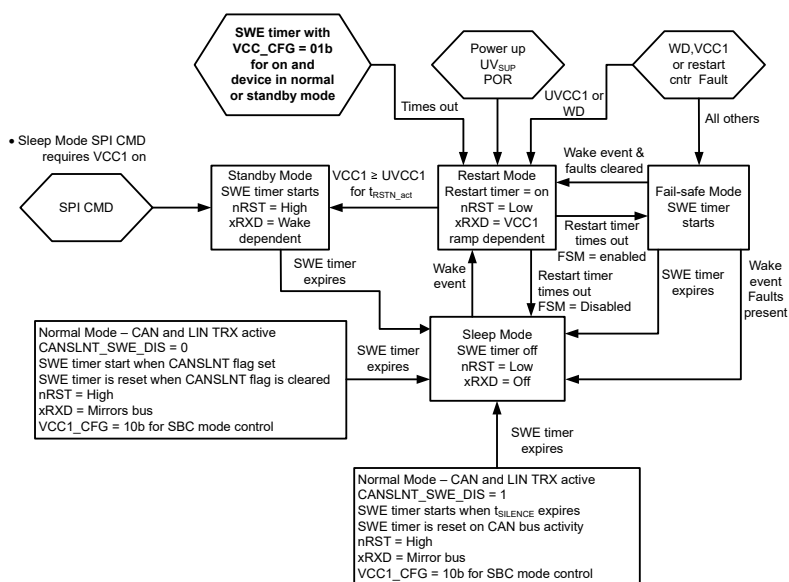
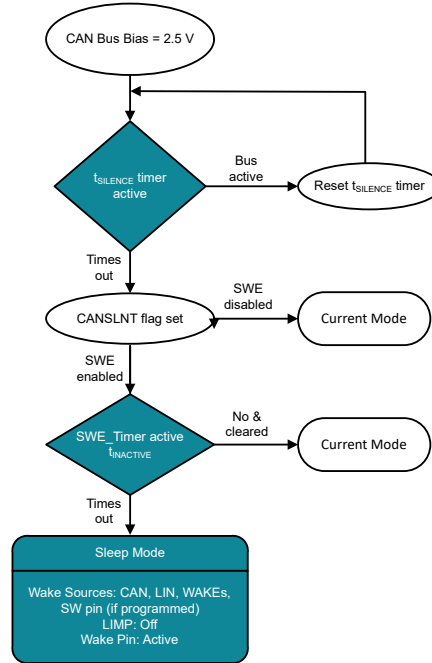


図 8-42. 有効な時のモード別 SWE タイマ



注

この図は、CAN FD トランシーバがオン、またはリスンのみである状態に基づいています。

図 8-43. 通常およびスタンバイからスリープモードへ

8.4.8.2 デバイス リセット

ファミリには、デバイスをリセットする 3 つの方法があります。SPI コマンドを使用して、ソフトリセットとハードリセットの 2 つが実行されます。ソフトリセットとハードリセットを行うには、DEVICE_RST レジスタ 8'h19[1] に 1b を書き込み、ソフトリセットの場合は 8'h19[0] を書き込みます。

ハードリセットは、 t_{NRSTIN} の間 nRST を Low にすることでも実行できます (図 8-44 を参照)。

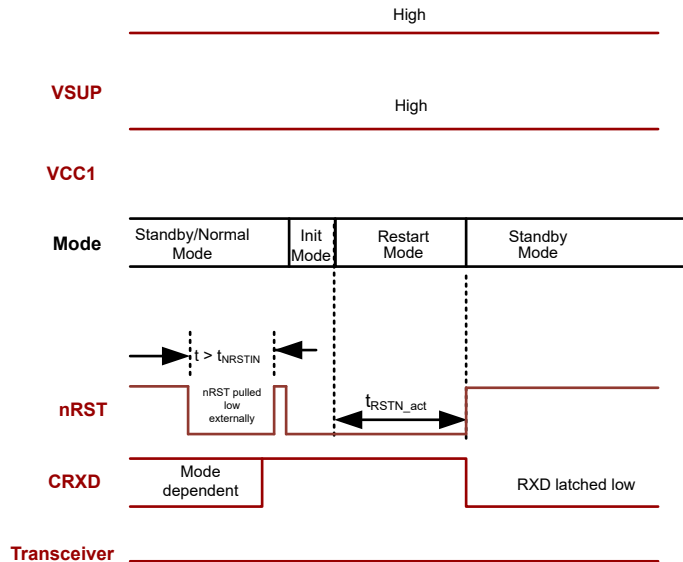


図 8-44. nRST ピンによるハードリセットの実行

ソフトリセットを実行すると、次の処理が実行されます：

- 保存された **EEPROM** レジスタがリロードされます
- 他のすべてのレジスタはデフォルト値にリセットされます
- **VCC1** と **VCC2** の状態は変更されません
- デバイスはスタンバイ モードに遷移します

ハードリセットを実行すると、次の処理が実行されます：

- デバイスは初期モードに遷移します
- 保存された **EEPROM** レジスタがリロードされます
- 他のすべてのレジスタはデフォルト値にリセットされます
- ほとんどの内部デバイス ロジックはデフォルトにリセットされます
- **VCC1** と **VCC2** の状態は変更されません
- その後、デバイスはリスタート モードに移行し、最終的にスタンバイ モードへ移行します。この状態でデバイスを再プログラムできます

nRST ピンを **Low** にプルして解放するとき、次の処理が行われます：

- デバイスは初期モードに遷移します
- 保存された **EEPROM** レジスタがリロードされます
- 他のすべてのレジスタはデフォルト値にリセットされます
- ほとんどの内部ロジックはデフォルトにリセットされます
- **VCC1** と **VCC2** の状態は変更されません
- その後、デバイスはリスタート モードに移行し、最終的にスタンバイ モードへ移行します。この状態でデバイスを再プログラムできます

注

EEPROM に保存されるレジスタに対する変更を **EEPROM** に保存することを推奨します。リセットすると、これらのレジスタは **EEPROM** からロードされます。これにより、保存されていない変更が、**EEPROM** から最後に保存されたレジスタ値で上書きされます。

8.4.8.3 端子のフローティング

重要な端子には内部プルアップおよびプルダウンがあり、端子が浮いた状態になった場合でも、デバイスを既知の状態に保持するようになっています。端子バイアスの条件の詳細については、表 8-12 を参照してください。

表 8-12. 端子バイアス

端子	プルアップまたはプルダウン	備考
SW	60kΩ プルダウンまたはプルアップ	SW ピンがアクティブ high ピンの場合、入力を GND に弱くバイアスします。 SW ピンがアクティブ Low ピンの場合、入力を VCC1 または内部電圧レールに弱くバイアスします
SCK	60kΩ プルダウンまたはプルアップ	入力を弱くバイアスするために選択された SPI モードに基づいて、プルアップまたはプルダウンに自動的に構成されます <ul style="list-style-type: none"> • モード 0 または 1 はプルダウンに構成されます • モード 2 または 3 はプルアップを構成します
SDI	60kΩ プルダウンまたはプルアップ	SPI_CONFIG レジスタ 8'h09[2] の SDI_POL 構成に基づいて、入力を弱くバイアスするプルアップまたはプルダウンとして構成されます
nCS	60kΩ プルアップ	デバイスを選択しないように、入力を弱くバイアスします
nRST	30kΩ =プルアップ	VCC1 にプルアップ
LIN	40kΩ プルアップ	弱いバイアス
LTXD	60kΩ プルアップ	弱いバイアス入力
CTXD	60kΩ プルアップ	弱いバイアス入力

注

内部バイアスは、特にノイズの多い環境では終端抵抗としてのみ依存すべきではなく、フェイルセーフ保護として考慮すべきです。オープンドレイン出力を使用する MCU と組み合わせてこのデバイスを使用する場合には、特に注意が必要です。

8.4.8.4 TXD ドミナント タイムアウト (DTO)

TCAN284x-Q1 は、LIN と CAN の両方のバスでドミナント状態タイムアウトをサポートしています。これは、TXD バスに基づく内部機能です。TXD DTO 回路は、TXD がタイムアウト期間 t_{TXD_DTO} よりも長くドミナント (LOW) に保持されるハードウェアまたはソフトウェアの障害が発生した場合に、ローカル ノードがネットワーク通信をブロックすることを防ぎます。TXD DTO 回路は、TXD の立ち下がりがエッジでトリガされます。回路のタイムアウト定数 t_{TXD_DTO} の前に立ち上がりエッジが検出されない場合、バスドライバは無効化されます。これにより、ネットワーク上の他のノード間の通信のためにバスが解放されます。TXD 端子でリセット信号 (HIGH) が検出されると、ドライバは再び有効化され、これによりドミナントタイムアウトが解除されます。レシーバはアクティブに維持され、RXD 端子は CAN バスのアクティビティを反映し、TXD DTO の故障中、バス端子はリセットレベルにバイアスされます。この機能は、CAN の場合はレジスタ 8'h10[6] (TXD_DTO_DIS) を、LIN の場合はレジスタ 8'h1D[5] (LIN1_TXD_DTO_DIS) を使用して無効にすることができます。

注

TXD DTO 回路で許容される最小ドミナント TXD タイムにより、デバイスの可能な最小送信データレートが制限されます。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナントビットを許容しています。この場合、5 個の連続したドミナントビットの直後にエラー フレームが発生します。

8.4.8.5 LIN バスがドミナント状態で固着するシステム故障：偽のウェイクアップ誤動作防止

デバイスには、バススタックドミナントシステム故障を検出するロジックが内蔵されており、システム故障時にデバイスが誤ってウェイクアップするのを防止します。スリープモードに移行すると、デバイスは LIN バスの状態を検出します。バスがドミナントの場合、バスのスタックドミナントがバスの有効なリセットで「クリア」されるまでウェイクアップロジックは作動せず、過剰な電流の使用を防止します。図 8-45 と図 8-46 に、この保護機能の動作を示します。

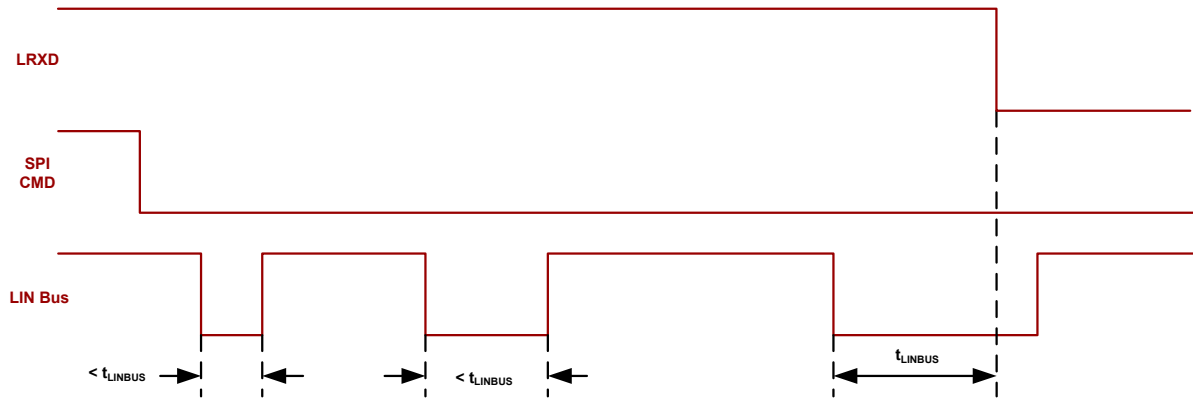


図 8-45. バス フォルトなし：バスリセット条件とウェイクアップによるスリープモードへの移行

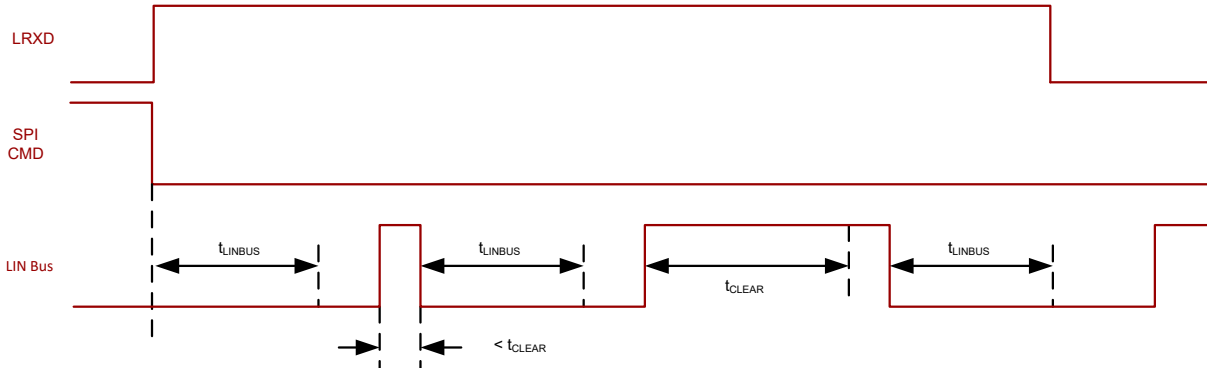


図 8-46. バス フォルト : バスタックドミナント故障、クリア、ウェークアップによるスリープモードへの移行

8.4.8.6 CAN バスの短絡電流制限

これらのデバイスには、CAN バスラインが短絡したときに短絡電流を制限するいくつかの保護機能があります。これらには、CAN ドライバの電流制限 (ドミナントとリセッシブ) が含まれます。デバイスには TXD ドミナントのタイムアウトがあり、システム障害時にドミナント状態の短絡電流が永続的に大きくなるのを防ぎます。CAN 通信中、バスはドミナント状態とリセッシブ状態の間で切り替わります。したがって、短絡電流は、各バス状態における電流、または DC 平均電流と見なすことができます。終端抵抗と同相チョーク定格において、システム電流と電力を考慮する場合、平均短絡電流を使用します。パーセンテージドミナントは、TXD ドミナントのタイムアウトと CAN プロトコルによって制限されます。このプロトコルでは、ビットの詰め、制御フィールド、フレーム間空間など強制的に状態が変化し、リセッシブビットが使用されています。これにより、データフィールドにドミナントビットが高い割合で含まれている場合でも、バス上のリセッシブ時間が最小限に抑えられます。

注

バスの短絡電流は、リセッシブビットとドミナントビットの比率と、それぞれの短絡電流により異なります。平均短絡電流は、式 6 で計算できます。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times IOS[SS]_{REC}) + (\%DOM_Bits \times IOS[SS]_{DOM})] + [\%Recieve \times IOS(SS)_{REC}] \quad (6)$$

ここで

- $I_{OS(AVG)}$ は平均短絡電流です。
- $\%Transmit$ は、ノードが CAN メッセージを送信している割合です。
- $\%Receive$ は、ノードが CAN メッセージを受信している割合です。
- $\%REC_Bits$ は、送信された CAN メッセージ内のリセッシブ ビットの割合です。
- $\%DOM_Bits$ は、送信された CAN メッセージ内のドミナント・ビットの割合です。
- $IOS(SS)_{REC}$ はリセッシブ定常状態の短絡電流で、 $IOS(SS)_{DOM}$ はドミナント定常状態の短絡電流です。

注

終端抵抗の電力定格、その他の回路部品、VSUP を生成するために使用する電源の大きさを決定するときには、短絡電流や回路で起こりうる故障ケースを考慮する必要があります。

8.4.8.7 サーマル シャットダウン

デバイスには、ダイの接合部温度を監視するための 2 つの温度センサが搭載されています。

1. VCC1 LDO および外部 PNP 制御、VEXCC を対象
2. VCC2 LDO、CAN トランシーバ、LIN トランシーバを対象

VCC1 LDO の接合部温度と、外部 PNP 制御、VEXCC が警告温度レベルに達したときにセットされる、サーマル シャットダウンの事前警告があります。この温度センサが事前警告の立ち上がり TSDWR に達すると、事前警告に割り込みがセットされます。サーマルイベントの割り込みは 3 あります。デバイスの動作は、どのセンサがサーマルイベントを検知するかによって異なります。これはデバイス保持機能です。

- INT_6 レジスタ 8'h5C[7] は TSDW 割り込みです
- INT_2 レジスタ 8'h52[1] は TSD_VCC1_VEXCC 割り込みです
- INT_3 レジスタ 8'h53[1] は、VCC2 LDO を含む TSD_CAN_LIN 割り込みです

最大接合部温度 t_{TSD} を超えると割り込みフラグがセットされ、nINT が Low になって通知されます。VCC1 または VEXCC によって TSD イベントが発生すると、デバイスはこれらの LDO をオフにし、フェイルセーフモード (有効な場合) またはスリープモードのいずれかに移行します。この TSD イベント中、nRST ピンはグラウンドまでプルされます。過熱故障状態が解消され、接合部温度が 1 秒間 TSDF 未満に冷却されると、デバイスはフェイルセーフモードからリスタートモードに遷移し、VCC1 と VEXCC (有効な場合) をオンにします。サーマルシャットダウンの割り込みフラグがセットされますが、VCC1 がオフであるため、nINT ピンには通知されません。このイベントにより、HSS1-4_CNTL レジスタがリセットされて、ハイサイドスイッチがオフになります。デバイスがフェイルセーフモードまたはスリープモードで、サイクリックセンシングが有効な間にサーマル シャットダウンイベントが発生する場合、HSS4 がオフになるため、サイクリックセンシング機能が失われます。

トランシーバと VCC2 をカバーする 2 番目のセンサが TSD を検出する場合は以下の動作になります。CAN と LIN のトランスミッタはどちらも無効化され、リスンモードになります。VCC2 LDO は無効化され、割り込みフラグがセットされます。SBC 状態は変更されません。過熱故障状態が解消され、接合部温度が TSDF 温度未満になるまで冷却されると、CAN および LIN トランスミッタは再び有効化されます。さらに 1 秒の待機時間の後、VCC2 LDO はオンになります。LDO が無効化されたため、UVCC2 はセットされないことに注意してください。レジスタ 8'h4F[2] の VCC2_STATUS を読み取り、VCC2 が再び有効になったか判断します。システムで VCC2 を VCAN の電源として使用する場合、VCC2 オフの状態により UVCAN 状態が発生します。CAN トランシーバはウェーク対応に変更され、VCC2 に再び電源が完全に供給されるまで、再び有効にできません。VCC2_STATUS は VCAN のステータスも示します。VCC2_STATUS = 1b のとき、CAN トランシーバが再び有効にされ、UVCAN 割り込みフラグをクリアできます。

8.4.8.8 低電圧と過電圧のロックアウトおよび電源オフのデバイス

このデバイスは、入力 (VSUP、VHSS、VCAN) と出力 (VCC1、VCC2、VEXCC) の両方の、デバイスのすべての電源レールを監視します。入力電源レールでは、すべての低電圧を監視し、VHSS の過電圧を監視できます。出力電源レールでは、低電圧、過電圧、短絡障害がすべて監視されます。これらの各故障イベントには、デバイスを SBC モードに変化させる VSUP および VCC1 故障による対応する割り込みがあります。VSUP、VCC1、VCC2、VEXCC 故障間の関係については、表 8-13 を参照してください。

デバイスは、VCC1、VCC2、VEXCC の過電圧状態を監視します。過電圧は、OVCC1、OVCC2、OVEXCC で表されます。TCAN284x-Q1 は、VCC1、VCC2、VEXCC のグラウンドへの短絡状態を監視します。グラウンドへの短絡は、VCC1_{33SC}、VCC1_{5SC}、VCC2_{SC}、VEXCC_{SC} で表されます。

このデバイスは、ハイサイドスイッチの電源電圧 VHSS の過電圧イベント (OVHSS) を監視して、OVHSS によりハイサイドスイッチを無効化します。OVHSS 状態でハイサイドスイッチを動作させるには、8'h4F[7]、HSS_OV_SD_DIS に 1b を書き込みます。VHSS 電源 UVHSS で低電圧が監視され、UVHSS によりハイサイドスイッチが無効化されます。UVHSS 状態でハイサイドスイッチを動作させるには、8'h4F[6]、HSS_UV_SD_DIS に 1b を書き込みます。OVHSS または UVHSS により HSS スイッチが無効化されている場合、8'h4F[5]、HSS_OV_UV_REC に 1b を書き込んで無効化しない限り、OVHSS または UVHSS がクリアされると自動的に回復します。

表 8-13. VSUP、VCC1、VCC2、VEXCC の故障とデバイスモード

VSUP	VCC1	VCC2	VEXCC	デバイスモード
> UVSUP	> UVCC1	> UVCC2	該当なし	通常またはスタンバイ
> UVSUP	< UVCC1 _{PR}	> UVCC2	該当なし	前のモード
> UVSUP	< UVCC1	> UVCC2	該当なし	最初からやり直します

表 8-13. VSUP、VCC1、VCC2、VEXCC の故障とデバイスモード (続き)

VSUP	VCC1	VCC2	VEXCC	デバイスモード
> UVSUP	> UVCC1	< UVCC2	該当なし	前のモード
> UVSUP	> UVCC1	> UVCC2	< UVEXCC	前のモード
> UVSUP	> OVCC1	該当なし	該当なし	フェイルセーフまたはスリープ
> UVSUP	> UVCC1	> OVCC2	該当なし	前のモード
> UVSUP	> UVCC1	該当なし	< OVEXCC	前のモード
> UVSUP	< VCC1 _{SC}	該当なし	該当なし	フェイルセーフまたはスリープ
> UVSUP	> UVCC1	< VCC2 _{SC}	該当なし	前のモード
> UVSUP	> UVCC1	該当なし	< VEXCC _{SC}	前のモード

注

VCC1 の永続的な故障が発生して、フェイルセーフモードが無効化されている場合、ウェークイベントと VCC1 SBC 故障によるリスタートモードとスリープモードの間のループ発生する可能性があります。

- VCC1 がスリープモードがオンになるようプログラムされている場合、フェイルセーフモードを有効にします。
- フェイルセーフモードが有効な永続的故障のループ状況を回避するため、FSM_CONFIG レジスタ 8'h17[7:4] = 0100b (FSM_CNTR_ACT) を使用して、パワーサイクルリセットが実行されるまで、デバイスを LDO オフの状態ですリープモードにすることを推奨します。

8.4.8.8.1 低電圧

このデバイスは、VSUP、VHSS、VCAN、VEXCC、VCC1、VCC2 の低電圧イベントを監視します。低電圧イベントは、UVSUP_{xR/F}、UVHSS_{R/F}、UVCAN_{R/F}、VCC1_{xR/F}、UVCC2_{R/F} および UVEXCC_{xR/F} で表されます。x は電圧レベルを示し、R は電圧レベルが上昇している状態、F は電圧レベルが下降している状態を表します。デバイスの動作は、電源レベルが低電圧中であるときによって異なります。

VCC1 は、デジタル入出力ピンに電力を供給する LDO であり、ノード プロセッサに接続することが想定されます。VCC1 は、低電圧事前警告スレッシュホールドと、プログラム可能な 4 つの低電圧スレッシュホールドを備えています。低電圧事前警告イベントが発生すると割り込みが設定され、レジスタ 8'h5C[6] (INT_6) に割り込みが設定され、nINT ピンは Low にプルされます。VCC1 が設定されたスレッシュホールド (SBC_CONFIG1 レジスタ 8'h0E[4:3]) のいずれかに達すると、デバイスはリスタートモードに移行し、LDO 電圧が低電圧上昇スレッシュホールドを超えるまで nRST を Low にラッチします。UV スレッシュホールドをクリアした後も、nRST は t_{RSTN_act} の間 Low にラッチされ、デバイスはリスタートモードのまま維持されます。UVCC1 の場合、低電圧イベントが本デバイスが再起動モードに移行するよりも長く持続する必要があるフィルタ時間 t_{UVFLTR} があります。

8.4.8.8.1.1 VSUP および VHSS 低電圧

VSUP は、デバイスが正常に機能するために必要な 1 次入力電源レールです。パワーオンリセット、2 つの低電圧レベルの、合計 3 つの電圧レベルがデバイスで監視されます。すべての機能と出力電圧レールがレギュレーションされる場合、デバイスは UVSUP_{5R} を超える必要があります。VSUP が低電圧である場合、デバイスは内部レギュレータをレギュレーション状態に維持するために必要な電源を失います。これによりデバイスは、マイクロプロセッサと TCAN284x-Q1 間の通信が無効な状態になります。このモードでは、デバイスは引き続きアクティブですが、VCC1、VCC2、VEXCC では低電圧イベントが発生する可能性があり、ウォッチドッグのような他の機能はアクティブになりません。モード変更は実行できません。デバイスはバスからの情報を受信できません。そのため、マイクロプロセッサへの BWRR 信号を使用するバスウェークなど、バスからの信号を渡せません。VCC1 は、UVSUP_{33R/F} または UVSUP_{5R/F} の、どちらの UVSUP レベルかを決定します。VSUP がランプダウンを続けて VSUP(PU)_F 未満に低下すると、デバイスは電源オフ状態に移行します。VSUP が復帰すると、最初の電源投入であるかのように、デバイスは起動します。すべてのレジスタはクリアされ、保存済

みの EEPROM 値からデバイスを再構成する必要があります。UVSUP イベント中のデバイスにはいくつかの機能があります。VSUP \geq UVSUP_{xxR} および VCC1 が UVCC1_{xxR} レベルを超えるまで、LDO はパススルーモードです。VCC1 < UVCC1_{xxF} の場合、デバイスはリスタートモードに遷移し、UVCC1_{xxR} がクリアされるまでリスタートモードのままになります (リスタートタイム、t_{RSTTO} は無視されます)。

VCC1 が 5V のデバイスでは、監視対象の VSUP 低電圧レールは UVSUP_{5R/F} のみです。VSUP が UVSUP_{5F} を下回ると、CAN および LIN トランシーバはオフになり、LDO はパススルーモードになります。VSUP、VCC1₅、VCAN、デバイスモード、トランシーバの関係については、表 8-14 を参照してください。

VCC1 が 3.3V の場合、UVSUP_{33R/F} と UVSUP_{5R/F} の両方が監視されます。電源投入時には、VCC1 がレギュレーション状態になるために VSUP が UVSUP_{33R} を超え、VCC2 とデバイスの他の機能が適切に動作するために UVSUP_{5R} を超える必要があります。VSUP がランプダウンしているとき、UVSUP_{5F} は、UVSUP5 割り込みフラグのレジスタ 8'h52[4] をセットする最初の UVSUP レベルで、CAN トランシーバをオフにします。LIN トランシーバは引き続き機能しますが、データシートの電気的およびタイミングの仕様を常に満足するとは限りません。VSUP がドロップし続ける場合、次のレベルは UVSUP_{33F} です。これに達すると、UVSUP₃₃ 割り込みフラグのレジスタ 8'h52[3] がセットされます。このレベルに達すると、LIN トランシーバがオフになります。VSUP、VCC1₃₃、VCAN、デバイスモード、トランシーバの関係については、表 8-15 を参照してください。

ハイサイドスイッチ電源 VHSS の低電圧は、割り込み INT_4 レジスタ 8'5A[0] UVHSS で通知されます。UVHSS イベントによるハイサイドスイッチの動作は、HSS_CNTRL3 レジスタ 8'h4F[6:5] により決定されます。

表 8-14. VCC1₅ の低電圧イベント、デバイス状態およびトランシーバ状態

VSUP	VCC1	VCAN	デバイスの状態	CAN トランシーバ	LIN トランシーバ
> UVSUP ₅	> UVCC1 ₅	> UVCAN	通常またはスタンバイ	プログラムによる	プログラムによる
> UVSUP ₅	< UVCC1 ₅	該当なし	最初からやり直します	ウェーク対応またはオフ	ウェーク対応またはオフ
> UVSUP ₅	> UVCC1 ₅	> UVCAN	前の状態	プログラムによる	プログラムによる
> UVSUP ₅	> UVCC1 ₅	> UVCAN	前の状態	プログラムによる	プログラムによる
> UVSUP ₅	> UVCC1 ₅	< UVCAN	前の状態	リスン、ウェーク対応、またはオフ	プログラムによる

表 8-15. VCC1₃₃ の低電圧イベント、デバイス状態およびトランシーバ状態

VSUP	VCC1	VCAN	デバイスの状態	CAN トランシーバ	LIN トランシーバ
> UVSUP ₅	> UVCC1 ₃₃	> UVCAN	通常またはスタンバイ	プログラムによる	プログラムによる
> UVSUP ₅	< UVCC1 ₃₃	該当なし	最初からやり直します	ウェーク対応またはオフ	ウェーク対応またはオフ
> UVSUP ₅	> UVCC1 ₃₃	> UVCAN	前の状態	プログラムによる	プログラムによる
< UVSUP ₅ > UVSUP ₃₃	> UVCC1 ₃₃	該当なし	通常またはスタンバイ	オフ	プログラムによる
< UVSUP ₅ > UVSUP ₃₃	< UVCC1 ₃₃	該当なし	最初からやり直します	オフ	オフ
> UVSUP ₅	> UVCC1 ₃₃	< UVCAN	通常またはスタンバイ	リスン、ウェーク対応、またはオフ	プログラムによる

注

- レギュレータが UV の間にサーマルシャットダウンまたは短絡イベントが発生すると、デバイスはスリープモード (フェイルセーフモード無効化) または有効であればフェイルセーフモードに遷移します。
- 再起動タイマが満了時に UVCC1 がクリアされない場合、デバイスは有効な場合にフェイルセーフモードに移行します (UVSUP イベントを除く)。有効でない場合、デバイスはスリープモードに遷移し、VCC1 をオフにします。VCC1 がスリープモードで有効にされると、UVCC1 イベントは同じ方法で進行します。UVSUP イベントでは、UVCC1 によりデバイスはリスタートモードに留まり、リスタートタイマは無視されません。
- OV/UVHSS はハイサイドスイッチにのみ影響を与えるため、OV/UVHSS は表に示されていません。

8.4.8.8.1.2 VCC1 低電圧

VCC1 はデジタル入力/出力ピンに電力を供給する LDO で、ノードプロセッサに接続することが想定されます。VCC1 は低電圧のために監視され、事前警告 (UVCC1_{xPR}) および低電圧 (UVCC1_{xXR/FX}) という 2 つのレベルが監視されます。低電圧には、レジスタ 8'h0E[4:3]、UVCC1_SEL を使用してプログラムできる 4 つのレベルのいずれかがあります。外部電源を供給する電源レールのうち、VCC1 は SBC 故障と見なされる唯一のもので、これにより状態が変化します。低電圧事前警告イベントが発生すると割り込みの INT_6 レジスタ 8'h5C[6] がセットされ、nINT ピンは Low にプルされます。プログラムされたスレッシュホールド (SBC_CONFIG1 レジスタ 8'h0E[4:3]) のいずれかに VCC1 が達すると、デバイスはリスタートモードに遷移し、VCC1 が低電圧立ち上がりスレッシュホールドを超えるまで nRST を Low にラッチします。nRST は Low にラッチされたままになり、UV スレッシュホールドがクリアされてから t_{RSTN_act} の間、デバイスはリスタートモードを維持します。UVCC1 には、デバイスがリスタートモードに移行する時間より低電圧イベントが長く続く、フィルタ時間 t_{UVFLTR} があります。UVCC1 の動作については、[図 8-47](#) を参照してください。

注

VCC1 の VCC1_CFG = 01b が常にオン、または FSM CNTR を越している場合、ウェークイベントはフェイルセーフモードを終了する必要はありません。t_{LDOOFF} タイマが経過すると、デバイスはフェイルセーフモードを終了します。

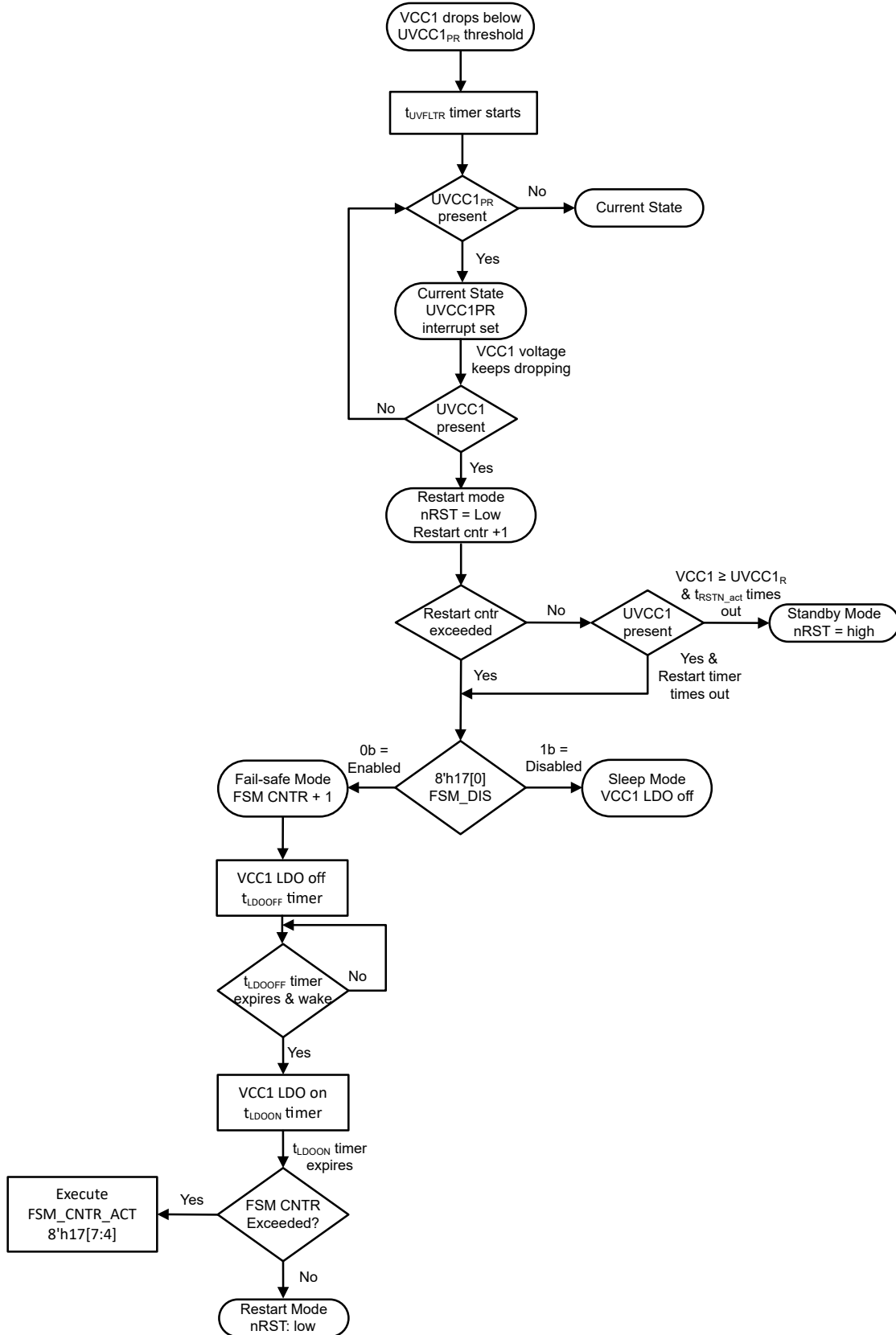


図 8-47. UVCC1 の状態図

8.4.8.8.1.3 VCC2 および VEXCC 低電圧

UVCC2 または UVEXCC は割り込みフラグをセットしますが、モード変更は発生しません。低電圧動作については、[図 8-48](#) および [図 8-49](#) を参照してください

- レジスタ INT_6、8'h5C[5] は UVEXCC の割り込みです
- レジスタ INT_6、8'h5C[2] は UVCC2 の割り込みです

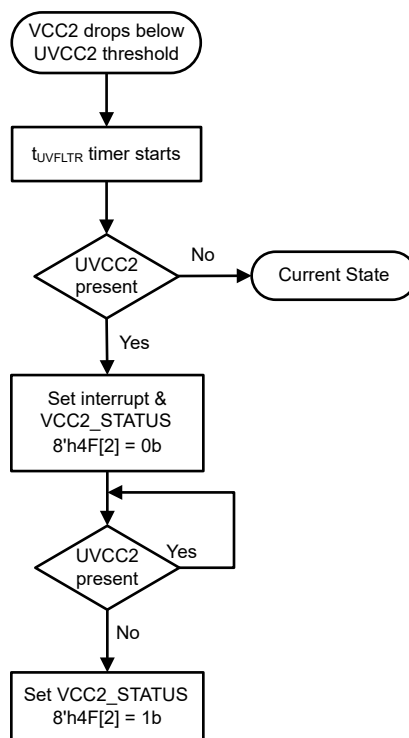


図 8-48. UVCC2 の状態図

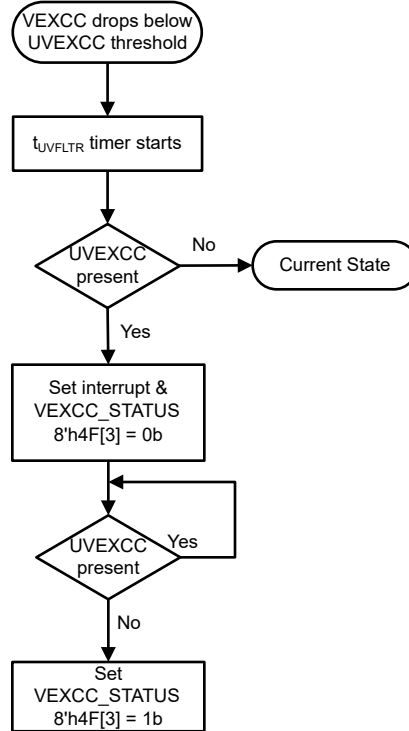


図 8-49. UVEXCC 状態図

8.4.8.8.1.4 VCAN 低電圧

VCAN が低電圧検出値 UV_{CAN} を下回ると、CAN トランスミッタはオフになり、VCAN が回復するまでバスから切り離されます。CAN レシーバはまだアクティブです。デバイスの動作方法については、図 8-50 を参照してください。デバイスに電源が供給されていないとき、CAN バスへの「パッシブ」または「無負荷」となるように設計されています。デバイスの電源がオフのとき、バス端末 (CANH、CANL) は非常に低いリーク電流しか持たないため、バスに負荷をかけません。この特性は、ネットワーク内の一部ノードが無電源状態でも他のノードが動作を続ける場合において、非常に重要です。また、デバイスの電源がオフのときでも、ロジック端子のリーク電流は低いため、電源が入ったままの他の回路に負荷を与えることはありません。

UVLO 回路は、電源レールの立ち上がり時と立ち下がり時の両方を監視します。

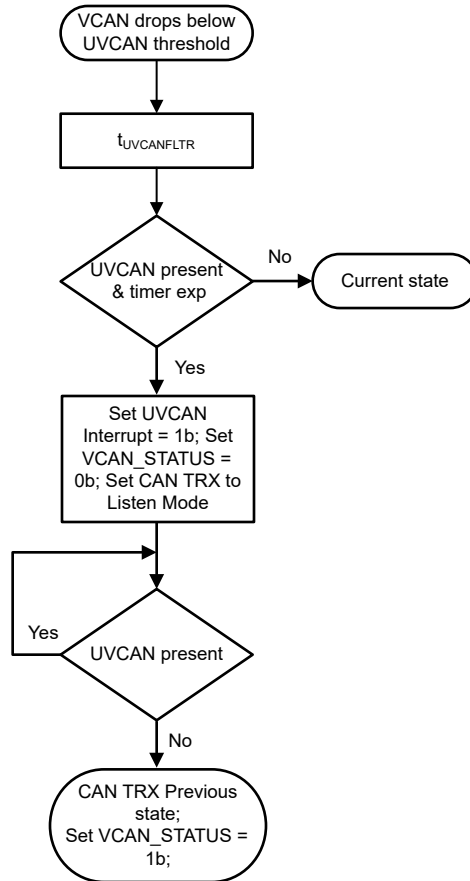


図 8-50. UVCAN 状態図

注

- UVCAN コンパレータは、SBC 通常およびスタンバイ モードでイネーブルになります。
- EEPROM に書き込む前に、VCAN が有効である必要があります。そのため、EEPROM への書き込みを行う前に、レジスタ 8'h4F[1] の VCAN_STATUS = 1b を確認します。

8.4.8.8.2 VCC1、VCC2、VEXCC の過電圧

TCAN284x-Q1 は VCC1、VEXCC、VCC2 の過電圧状態を監視します。過電圧は、OVCC1、OVCC2、OVEXCC で表されます。OVCC1 が発生すると、デバイスはフェイルセーフモード (イネーブルな場合) またはスリープモードに移行します。OVCC2 または OVEXCC が発生すると LDO はオフになって割り込みフラグが設定されますが、モード変更は行われません。フェイルセーフモードに移行すると、デバイスはすべての LDO をオフにし、 t_{LDOOFF} タイマを開始します。このタイマがタイムアウトになると、OVCC1 が過電圧であるかどうかチェックされます。OV イベントがクリアされて、ウェークイベントが発生すると、デバイスは再起動モードに移行します。OVCC1 がまだ存在する場合、デバイスはスリープモードに移行します。ウェークイベントは監視されますが、 t_{LDOOFF} タイムアウトまで動作しません。ウェークイベントが発生しておらず、OV イベントがクリア済みの場合、SWE タイマがタイムアウトするかウェークイベントが発生するまで、デバイスはフェイルセーフモードのままです。過電圧イベント中のデバイス動作については、[図 8-51](#)、[図 8-52](#)、[図 8-53](#) を参照してください。

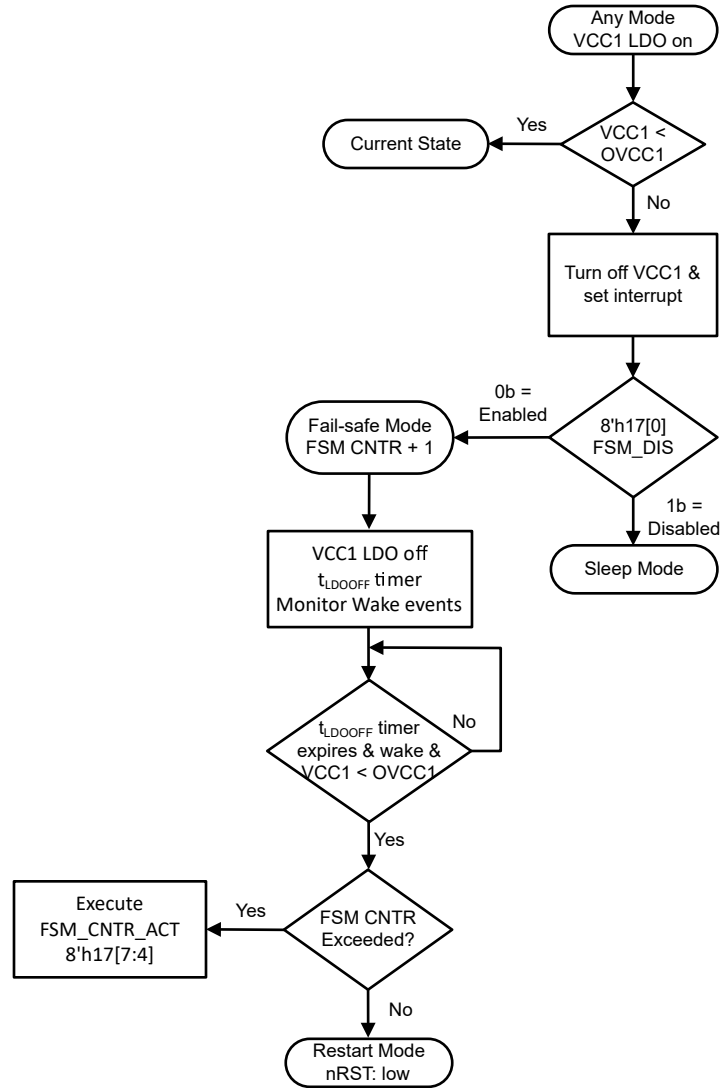


図 8-51. OVCC1 の状態図

注

VCC1 の VCC1_CFG = 01b が常にオン、または FSM_CNTR を越している場合、ウェークイベントはフェイルセーフモードを終了する必要はありません。t_{LDOOFF} タイマが経過すると、デバイスはフェイルセーフモードを終了します。

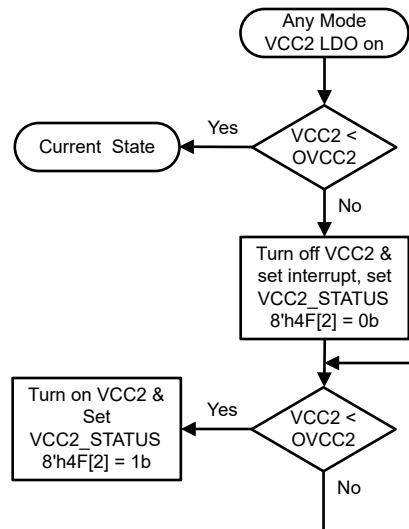


図 8-52. OVCC2 の状態図

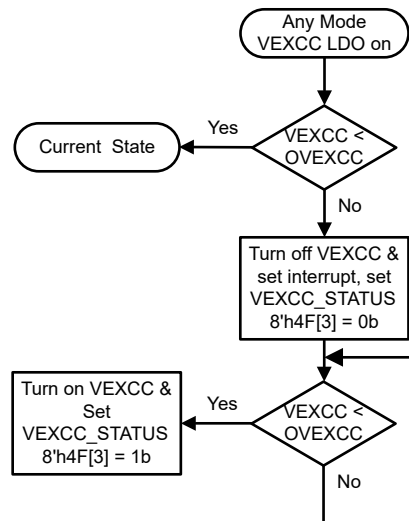


図 8-53. OVEXCC 状態図

8.4.8.8.3 VCC1、VCC2、VEXCC の短絡

TCAN284x-Q1 は、VCC1、VEXCC、VCC2 (CAN LDO) のグラウンドへの短絡状態を監視します。グラウンドへの短絡は、 $VCC1_{33SC}$ 、 $VCC1_{5SC}$ 、 $VCC2_{SC}$ 、 $VEXCC_{SC}$ で表されます。グラウンドへ短絡すると、LDO がオフになります。 $VCC1_{SC}$ が発生すると、VCC1 は t_{LDOOFF} 以上の間オフになり、デバイスはフェイルセーフモード (イネーブルの場合) またはスリープモードに移行します。この期間中、ウェークイベントが監視および保持されます。LDO がオフの間は、短絡イベントを監視できません。ウェークイベントにより、SC イベントが引き続き存在するかどうかを確認するために VCC1 が t_{LDOON} の間オンになります。それでも存在する場合、このデバイスはスリープモードに遷移します。存在しない場合、デバイスは再起動モードに移行します。フェイルセーフモードでは、SWE タイマが起動し、故障がクリアされず、タイマがタイムアウトする前にウェークアップイベントが発生しなかった場合、デバイスはスリープモードに移行します。フェイルセーフモードが無効な場合、本デバイスはスリープモードに遷移します。グラウンドへの短絡イベント時のデバイスの動作については、[図 8-54](#)、[図 8-55](#) および [図 8-56](#) を参照してください。

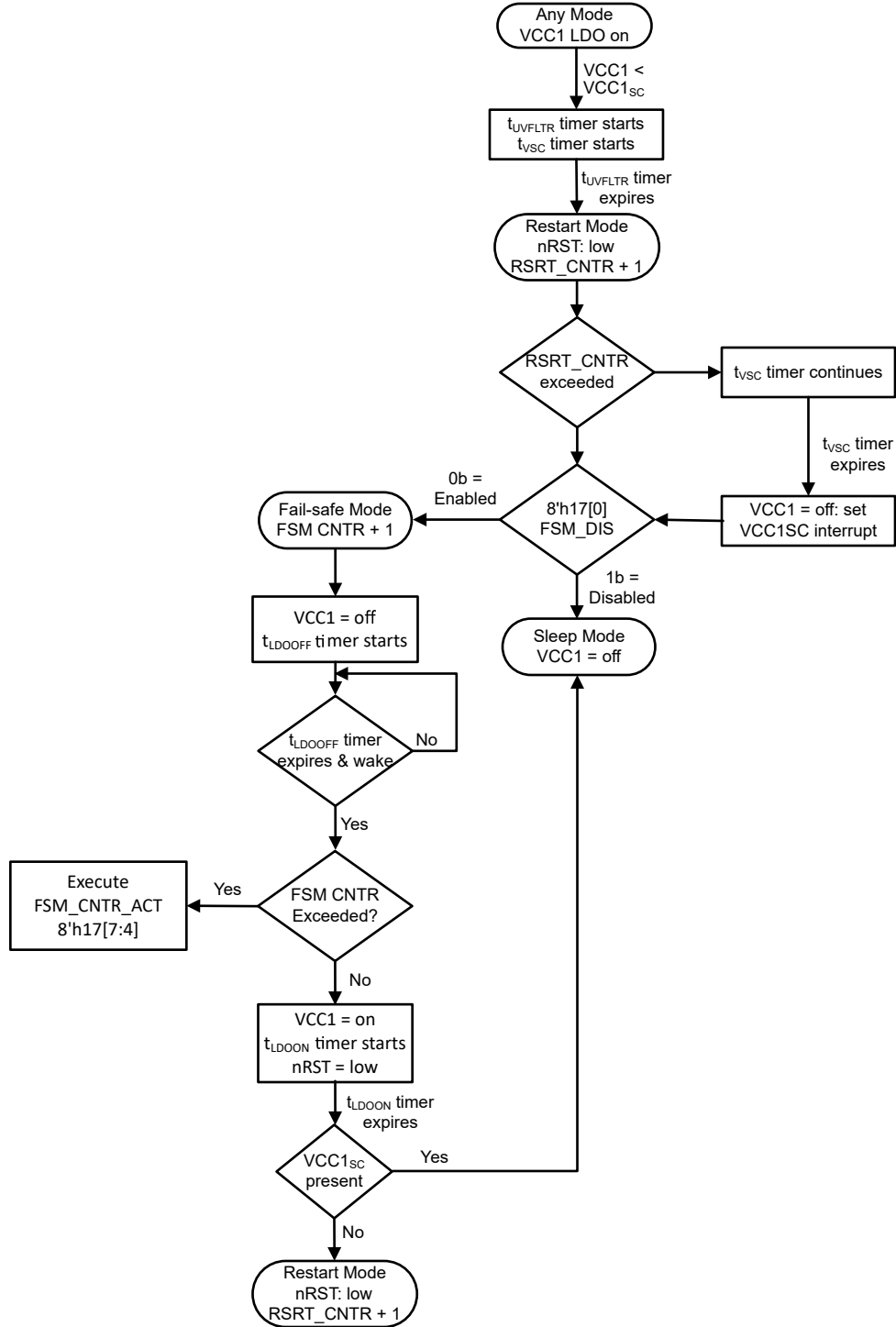


図 8-54. VCC1SC の状態図

注

VCC1_CFG = 01b (VCC1 が常にオン) の場合、または FSM_CNTR が上限を超えた場合、フェイルセーフモードを終了するためにウェイクイベントは必要ありません。tLDOOFF タイマが経過すると、デバイスはフェイルセーフモードを終了します。

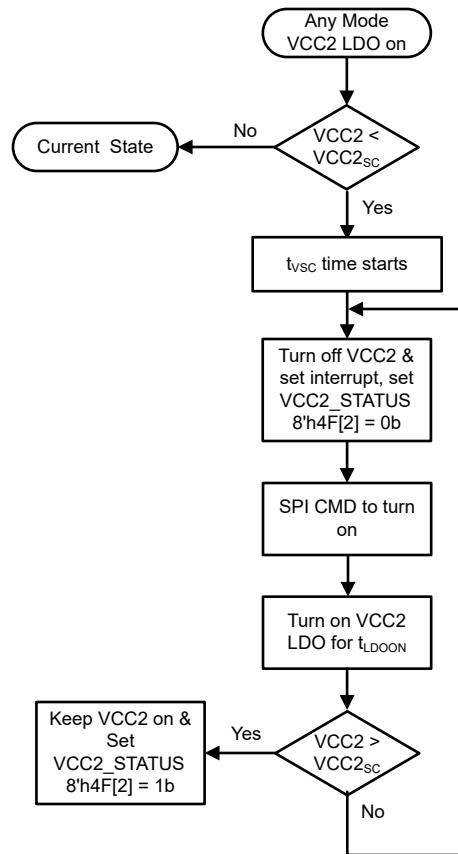


図 8-55. VCC2_{SC} の状態図

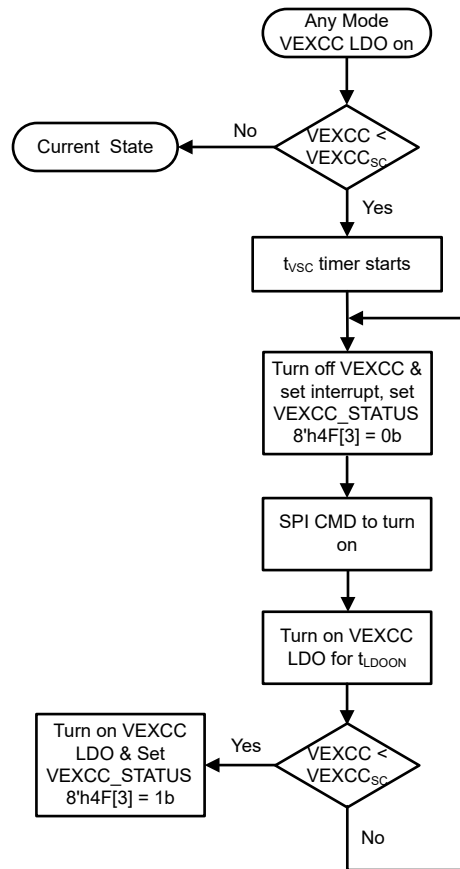


図 8-56. VEXCC_{SC} の状態図

8.4.8.9 ウォッチドッグ

デバイスはウォッチドッグ機能を内蔵しています。このデバイスは、WD_CONFIG_1 レジスタ 8'h13[7:6]、WD_CONFIG でプログラミングした SPI を使用した、デフォルトのウィンドウベースの、タイムアウト、質問と答え (Q&A) ウォッチドッグを備えています。ウォッチドッグの構成とタイプは、デバイスがスタンバイモードのときにのみプログラムできます。通常モードは 3 つのウォッチドッグ構成すべてをサポートしますが、スタンバイモードのデフォルトはタイムアウトです。デバイスがスタンバイモードに移行すると、ウォッチドッグ構成は自動的にタイムアウトウォッチドッグに変更されます。スタンバイモードのウォッチドッグは、レジスタ 8'h13[2]= 1b をプログラムして、通常モードと同じタイプに構成できます。ウォッチドッグは、スリープモードではデフォルトでオフですが、レジスタ 8'h13[3]= 1b で WD_SLP_EN をプログラムして、タイムアウトウォッチドッグとしてアクティブになるように構成することもできます。

リスタートモードからスタンバイモードに移行する際、nRST は Low から High に遷移します。この遷移により t_{INITWD} タイマが開始します。リスタートモードには t_{RSTN_act} タイマが含まれます。この最初の長いウィンドウがタイムアウトする前に WD トリガ入力を行う必要があります。最初の長いウィンドウのデフォルトは 600ms ですが、レジスタ 8'h13[1:0] の他の値 WD_LW_SEL にプログラムすることもできます。タイミング図については、図 8-57 を参照してください。長いウィンドウウォッチドッグを処理すると、スタンバイモードに構成されたウォッチドッグが直ちに開始します。

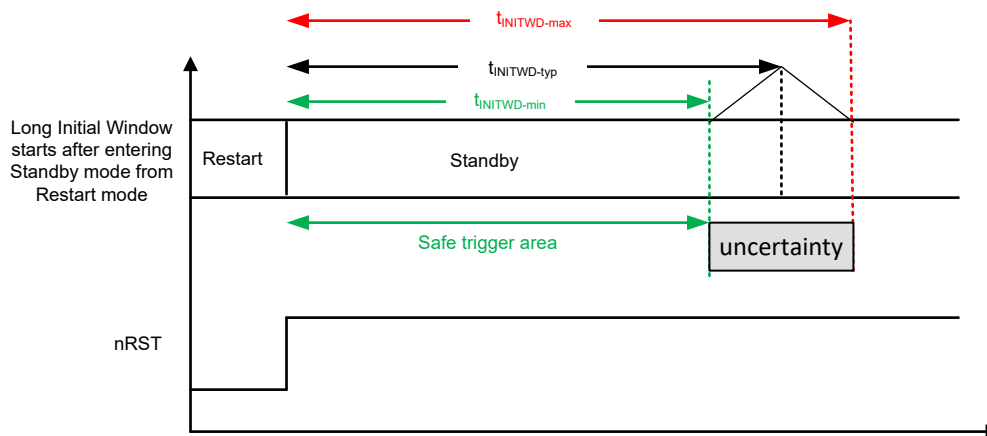


図 8-57. 長いウィンドウのウォッチドッグのタイミング図

通常モードに移行すると、プログラムされた構成に基づいて、プログラムされたウォッチドッグタイマが開始します。ウォッチドッグタイマは、スリープ、リスタート、フェイルセーフの各モードではオフです。LIMP ピンにはリンプホーム機能が搭載されています。スリープモードでは、LIMP ピンはオフです。エラーカウンタがウォッチドッグのトリガイイベントレベルを上回ると、LIMP ピンセクションに記載されているように、LIMP ピンはグラウンドにプルされます。

ウォッチドッグには、タイムアウトまたは Q&A ウォッチドッグの選択機能を含む、広範な構成が用意されています。スタンバイモードではデフォルトでウォッチドッグがイネーブルですが、レジスタ 8'h14[0]= 1b を設定すると無効化できます。レジスタ 8'h13[7:6] を 00b に設定すると、WD を無効化できます。WD エラーカウンタが利用可能です。このカウンタの説明については、[セクション 8.4.8.9.1](#) を参照してください。図 8-58 は、スタンバイモード時のウォッチドッグのフローチャートを示しています。ウォッチドッグはスリープモードで有効にできますが、タイムアウトウォッチドッグとしてのみ動作します。スリープモードでは VCC1 を有効にする必要があります。図 8-59 のフローチャートは、スリープモードでウォッチドッグが有効化または無効化されるときのデバイスの動作を示しています。

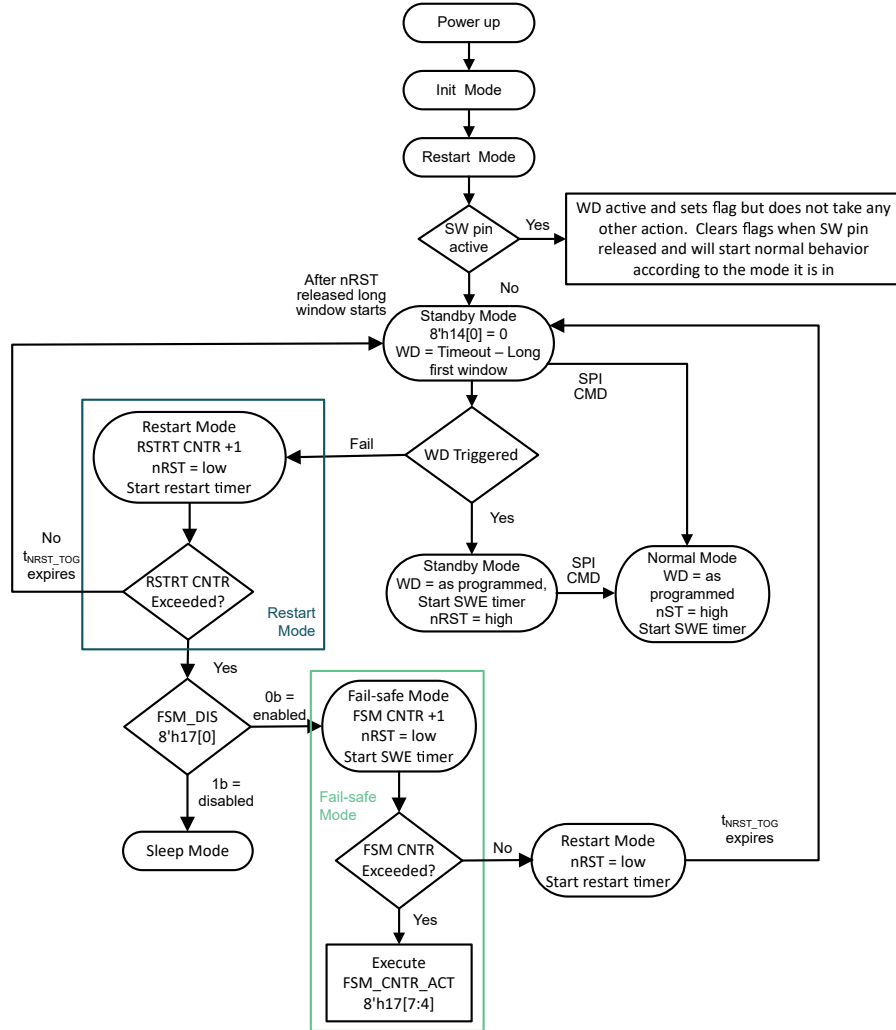


図 8-58. スタンバイモードのウォッチドッグ

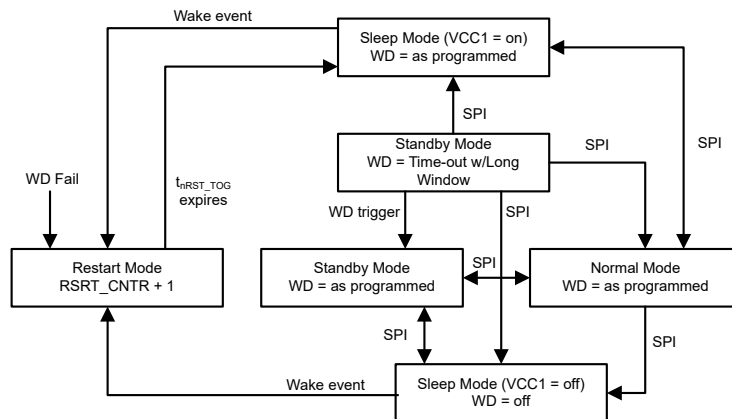


図 8-59. スリープモードのウォッチドッグ

注

- モードを変更するときに、ウォッチドッグタイマは再起動しません。タイムアウトでスタンバイモードが構成されており、Q&A ウォッチドッグが有効な場合は、制限されたウィンドウ時間により回答できないウォッチドッグエラーを回避するため、通常モードに変更する前に、スタンバイモードでウォッチドッグをトリガすることを推奨します。
- WD タイマの値を長い値から短い値に変更する際は、WD エラーを回避するため、小さい値をプログラムする前に WD トリガを使用してください。

8.4.8.9.1 ウォッチドッグエラー カウンタおよびアクション

このデバイスにはウォッチドッグ エラー カウンタがあります。このカウンタは、見逃したウィンドウや入力ウォッチドッグのトリガ イベントごとにインクリメントするアップダウン カウンタです。正しい入力トリガごとに、カウンタはデクリメントしますが、ゼロを下回ることはありません。このカウンタのデフォルトトリガは、すべてのイベントごとにウォッチドッグ イベントを発生させることです。このカウンタは、レジスタ 8'h16[7:4] で設定可能であり、誤った入力トリガの上限を最大 15 まで設定できます。エラー カウンタは、レジスタ 8'14[4:1] で読み出すことができます。

プログラムされた WD エラー カウンタの制限を超えると、デバイスはリスタート モードに遷移し、nRST は t_{NRST_TOG} の間、low にプルされます。この時点で、エラー カウンタは 0 にリセットされます。 t_{NRST_TOG} がタイムアウトすると、デバイスはスタンバイ モードに戻り、nRST を High に解放します。WD 障害により再起動カウンタがプログラムされた制限値を超えた場合、デバイスはイネーブルの場合はフェイルセーフ モードまたはスリープ モードに遷移します。

8.4.8.9.2 ウォッチドッグSPI プログラミング

レジスタ 8'h13、8'h14、8'h16 はウォッチドッグ機能を構成します。TCAN284x-Q1 ウォッチドッグは、8'h13[6] を選択方式に設定することで、タイムアウト、ウィンドウまたは Q&A ウォッチドッグとして設定できます。これらの各ウォッチドッグ構成のタイマ t_{WD} は、レジスタ 8'h13[5:4] WD プリスケールおよび 8'h14[7:5] WD タイマに基づいており、単位は ms です。達成可能な時間と詳細については、表 8-16 を参照してください。小さな時間ウィンドウを使用する場合は、ウォッチドッグのタイムアウトバージョンを使用しますが、必須ではありません。これは、4ms ~ 64ms の時間です。プログラムされた時間は、レジスタ 8'h2D から 8'h2F でプログラムされる Q&A ウォッチドッグにも使用されます (8'h2D は構成レジスタ)。

表 8-16. タイムアウト、ウィンドウ、Q&A ウォッチドッグタイマ (t_{WD}) の構成 (ms)

WD_TIMER	8'h13[5:4] WD_PRE				
8'h14[7:5]	00 (デフォルト)	01	10	11	
000	4	8	12	16	
001	32	64	96	128	
010	128	256	384	512	
011 (デフォルト)	256	384	512	768	
100	512	1024	1536	2048	
101	2048	4096	6144	8192	
110	10240	20240	RSVD	RSVD	
111	RSVD	RSVD	RSVD	RSVD	

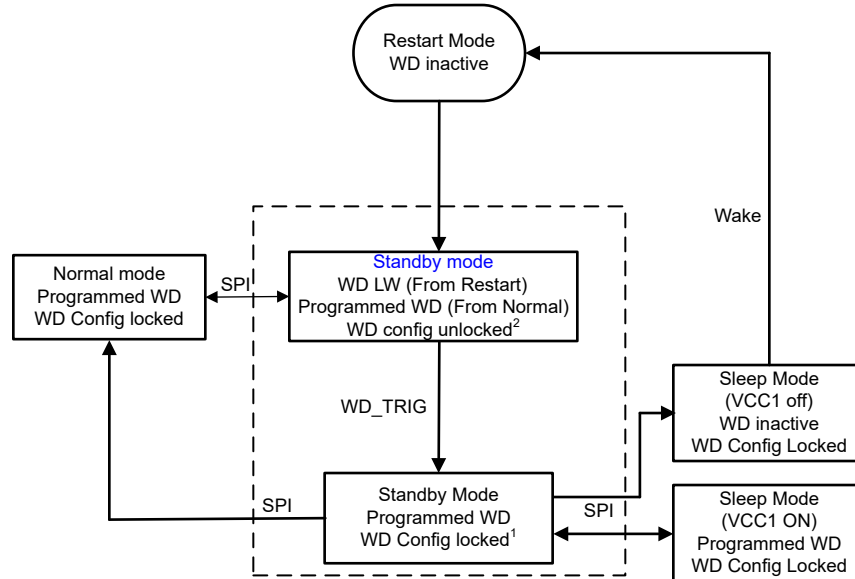
注

ウォッチドッグのタイミングは、ロックされていない場合のみ、スタンバイモードに構成できます。

8.4.8.9.2.1 ウォッチドッグ構成レジスタのロックとロック解除

ウォッチドッグ構成が誤って変更されるのを防ぐため、TCAN284x-Q1 ファミリにはウォッチドッグ構成レジスタのロックおよびロック解除機能が実装されています。レジスタ 8'h13、8'h14、8'h16、8'h2D は、スタンバイ モードでのみプログラム可能であり、ロックされるレジスタです。これらのレジスタは、最初の WD 入力トリガ イベント、または SPI コマンドを使用して通常モードに遷移するときに、自動的にロックされます。ロック解除メカニズムはスタンバイ モードに移行しつつあります。ス

スタンバイモードでは、4つのレジスタに対して1回の書き込みが可能です。スタンバイモード中にレジスタがロックされると、デバイスは通常モードに移行してから、スタンバイモードに戻る必要があります。WDはスリープモードでイネーブルでき、タイムアウトのみが可能で、構成レジスタはロックされています。図 8-60 に、説明した動作を示します。



- 1 As long as SW pin is active in Standby mode, WD is unlocked for programming in Standby mode
- 2 Allows one write to registers 8'h13, 8'h14, 8'h16 and 8'h2D before WD trigger.

図 8-60. ウォッチドッグ構成レジスタのロックおよびロック解除フローチャート

8.4.8.9.2.1 SPI 2 バイトモードでのウォッチドッグ構成

REV_ID = 20h または 21h のデバイスバージョンで、SPI 2 バイトモード構成を使用する場合、最初の SPI がレジスタ 13h および 14h に書き込んだ後、デバイスは誤って構成レジスタをロックします。そのため、デバイスはリスタートモードに移行し、WD_ERR_CNT_SET = 0 の場合は、LIMP ピンをアクティブにセットします。

WD_ERR_CNT_SET = 0 で、デバイスが 2 バイトモードの場合、リスタートモードに移行して LIMP ピンをアクティブにセットすることを防ぐため、以下の手順を実行する必要があります：

- 0x16h での WD_ERR_CNT_SET をゼロ以外の値に変更します。
 - これにより、16h にロックが作成されます
- 必要な構成に応じて 13/14h を変更します。
 - これらは現在ロックされています。ウォッチドッグエラー割り込みがセットされます。
 - 割り込みをクリアします。エラーカウンタがスレッシュホールドに達していないため、デバイスはリスタートモードに移行しません
- WD_ERR_CNT_SET を再び 0 に設定する必要がある場合：
 - 通常モードに変更してスタンバイモードに戻ります
 - 16h を書き込んで WD_ERR_CNT_SET を 0 にセットします

8.4.8.9.3 ウォッチドッグ タイミング

TCAN284x-Q1 は、ウォッチドッグ、ウィンドウ、タイムアウト、Q&A のセットアップのための 3 つの方法を提供しています。Q&A ウォッチドッグは Q&A ウォッチドッグで扱われています。タイムアウトウォッチドッグのタイミング図については、図 8-61 を参照してください。タイムアウトウォッチドッグの内部精度は ±15% です。

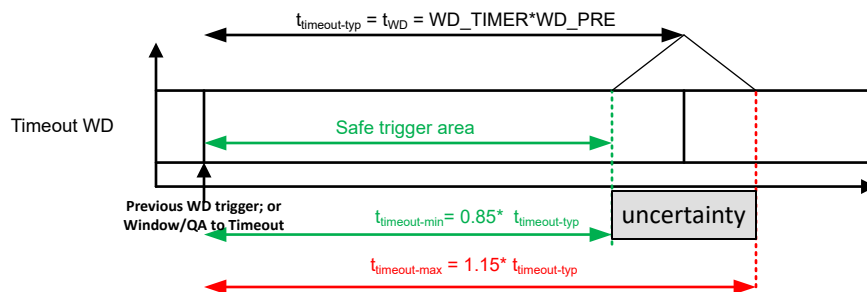


図 8-61. ウィンドウウォッチドッグのタイミング図

ウィンドウウォッチドッグを使用する場合、クローズウィンドウとオープンウィンドウの特徴を理解しておくことが重要です。このデバイスは、50%/50% のオープンウィンドウとクローズウィンドウで設定され、 $\pm 10\%$ の精度範囲を持つ内部発振器に基づいています。入力トリガのタイミングを決定するには、このばらつきを考慮する必要があります。公称合計 64ms のウィンドウ t_{WINDOW} を使用すると、それぞれ 32ms のクローズウィンドウとオープンウィンドウが得られます。 $\pm 10\%$ の内部発振器を考慮すると、 t_{WINDOW} は 57.6ms ~ 70.4ms の範囲になります。クローズウィンドウ t_{CLOSED} とオープンウィンドウ t_{OPEN} は、28.8ms ~ 35.2ms の範囲です。57.6ms の $t_{OPEN-MIN}$ と 35.2ms の $t_{CLOSED-MAX}$ を使用する場合、利用可能なセーフトリガウィンドウの長さは 22.4ms です。セーフトリガ領域は $46.4ms \pm 11.2ms$ で発生する必要があります。これは t_{OPEN} 最小値 + t_{CLOSED} 最大値の半分です。他のウィンドウ値にも同じ方法が使用されます。図 8-62 には上記の情報が図で説明されています。Q&A ウォッチドッグの応答 1 および応答 2 ウィンドウについても説明しています。

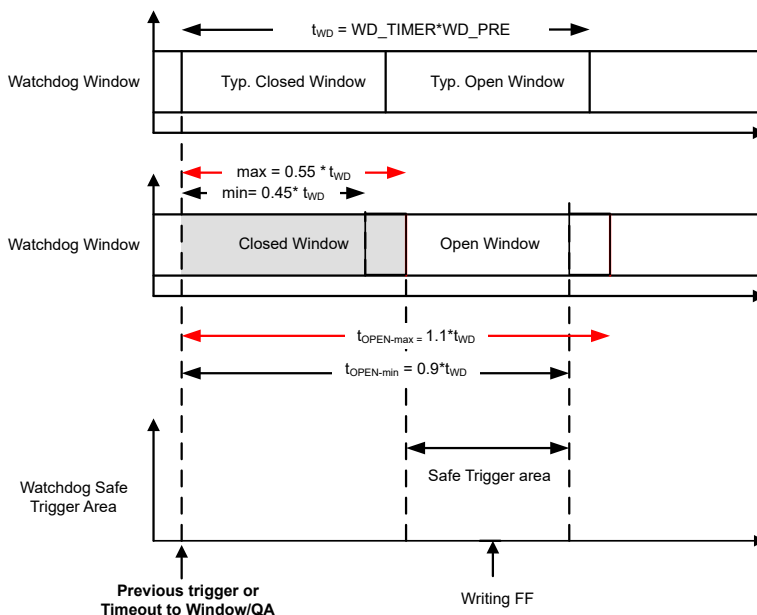


図 8-62. ウィンドウ ウォッチドッグのタイミング図

8.4.8.9.4 Q&A ウォッチドッグ

これらのデバイスには、SPI から選択できる Q&A ウォッチドッグが搭載されています。このデバイスのデフォルトはウィンドウウォッチドッグです。

Q&A WD の例では、WD の初期化イベントについて説明します。

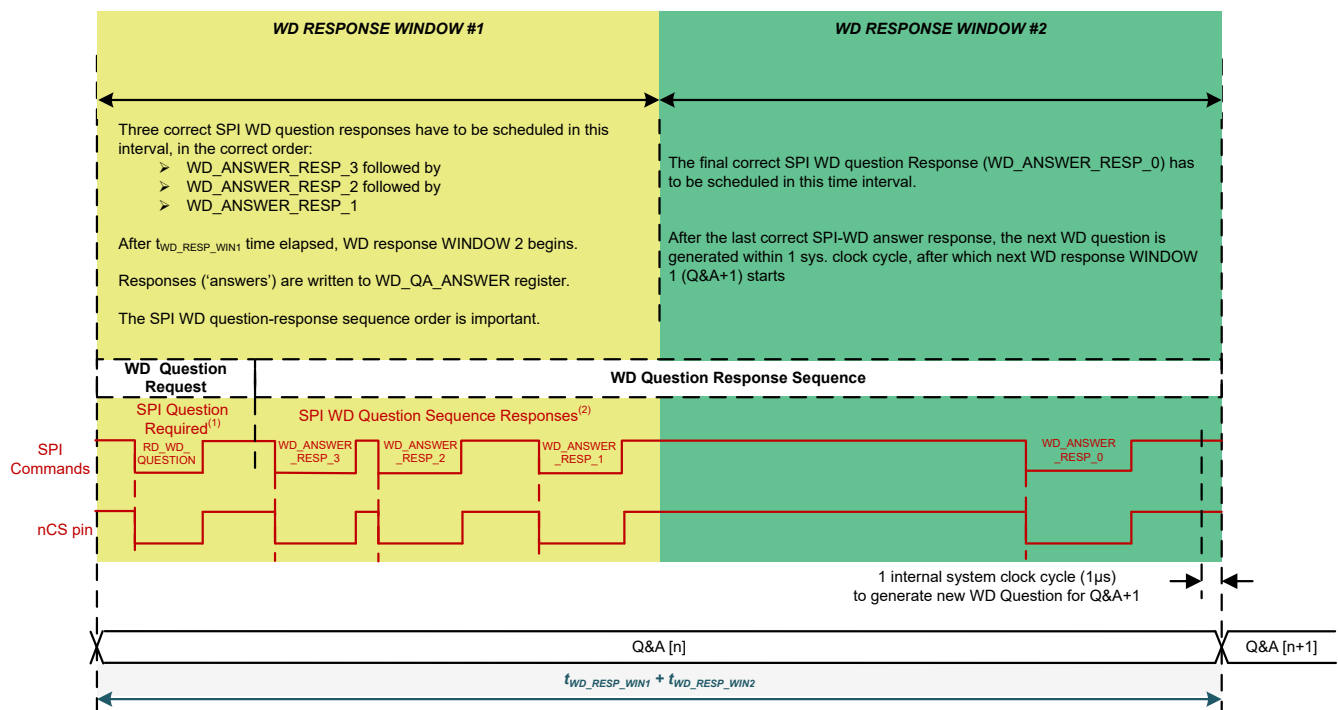
8.4.8.9.4.1 WD Q&A 基本情報

Q&A ウォッチドッグはウォッチドッグの一種で、マイコンは SPI 書き込みによってウォッチドッグをリセットする代わりに、デバイスから「質問」を読み取り、計算した回答をデバイスに書き戻します。正解は 4 バイトで応答します。正しい答えを得るには、各バイトを順番に正しいタイミングで書き込む必要があります。

ウォッチドッグウィンドウには、WD 応答ウィンドウ#1 および WD 応答ウィンドウ#2 (例として 図 8-63 WD QA ウィンドウ) という 2 つのウォッチドッグウィンドウがあります。各ウィンドウのサイズはウォッチドッグ時間全体 $t_{WD_RESP_WIN1} + t_{WD_RESP_WIN2}$ の 50% であり、この時間は WD_TIMER ビットと WD_PRE レジスタビットから選択します。

ウォッチドッグの質問と回答は、完全なウォッチドッグ サイクルです。一般的なプロセスは、マイコンが WD 応答ウィンドウ #1 の間に質問を読み取ることです。CPU は質問に対して数学関数を実行する必要があり、結果として 4 バイトの回答が得られます。4 つの回答バイトのうち 3 つは、WD 応答ウィンドウ #1 内の回答レジスタに正しい順序で書き込む必要があります。WD 応答ウィンドウ#2 の内部で、最初の応答ウィンドウの後に最後の回答を回答レジスタに書き込む必要があります。4 つの回答バイトすべてが正解で正しい順序であれば、応答は良いとみなされ、エラーカウンタがデクリメントされて新しい質問が生成され、サイクルが再度開始されます。WD 応答ウィンドウ#2 に 4 番目の回答が書き込まれると、そのウィンドウは終了し、新しい WD 応答ウィンドウ#1 が開始されます。

正解でないまたは欠落している場合、応答は悪いとみなされ、ウォッチドッグの質問は変更されません。また、エラーカウンタがインクリメントされます。このエラーカウンタがスレッシュホールド (WD_ERR_CNT_SET レジスタフィールドで定義) を超えると、ウォッチドッグ障害アクションが実行されます。アクションの例としては、割り込みやりセットトグルなどがあります。



- MCU は WD 質問を要求する必要はありません。MCU は、正しい回答から開始できます。応答ウィンドウ 1 内の任意の場所で `WD_ANSWER_RESP_x` バイトから始めることができます。新しい WD 質問は、前の WD Q&A シーケンス実行中に最後の `WD_ANSWER_RESP_0` 回答が発生した後、常に 1 システムクロックサイクル以内に生成されます。
- `WD_ANSWER_RESP_3:1` バイトが応答ウィンドウ 1 内に与えられ、`WD_ANSWER_RESP_0` が応答ウィンドウ 2 内に与えられていれば、MCU は WD 関数に影響を及ぼさずに `WD_ANSWER_RESPx` 応答の間の他の SPI コマンド (WD の質問を要求するコマンドであっても) をスケジューリングできます。

図 8-63. WD Q&A シーケンスの実行

8.4.8.9.4.2 Q&A レジスタおよび設定

ウォッチドッグレジスタの構成には、いくつかのレジスタが使用されています。表 8-17 を参照してください。

表 8-17. ウォッチドッグ関連レジスタの一覧

レジスタ・アドレス	レジスタ名	説明
0x13	WD_CONFIG_1	フォルト発生時のウォッチドッグの設定とアクション

表 8-17. ウォッチドッグ関連レジスタの一覧 (続き)

レジスタ・アドレス	レジスタ名	説明
0x14	WD_CONFIG_2	ウィンドウの時刻を設定し、現在のエラー カウンタ値を表示します
0x15	WD_INPUT_TRIG	ウォッチドッグをリセットまたは開始するためのレジスタ
0x16	WD_RST_PULSE	エラー カウンタ スレッシュホールドを設定します
0x2D	WD_QA_CONFIG	QA 設定に関連する設定
0x2E	WD_QA_ANSWER	計算された回答を書き込むための登録
0x2F	WD_QA_QUESTION	現在の QA 質問を読んでください

WD_CONFIG_1 レジスタおよび WD_CONFIG_2 レジスタは、主にウォッチドッグ ウィンドウの時間長を設定するために使用されます。ウィンドウ サイズのオプション、および WD_TIMER 値と WD_PRE 値に必要な値については、表 8-16 を参照してください。2 つの応答ウィンドウのそれぞれが、選択した値の半分であることに注意してください。各ウォッチドッグ QA イベントに複数バイトの SPI 通信が必要となるため、QA ウォッチドッグ機能を使用する場合は、ウィンドウ時間を 64ms 以上に設定する必要があります。

また、ウォッチドッグ エラー カウンタがエラー カウンタ スレッシュホールドを超えたときに実行できるアクションもいくつかあります。

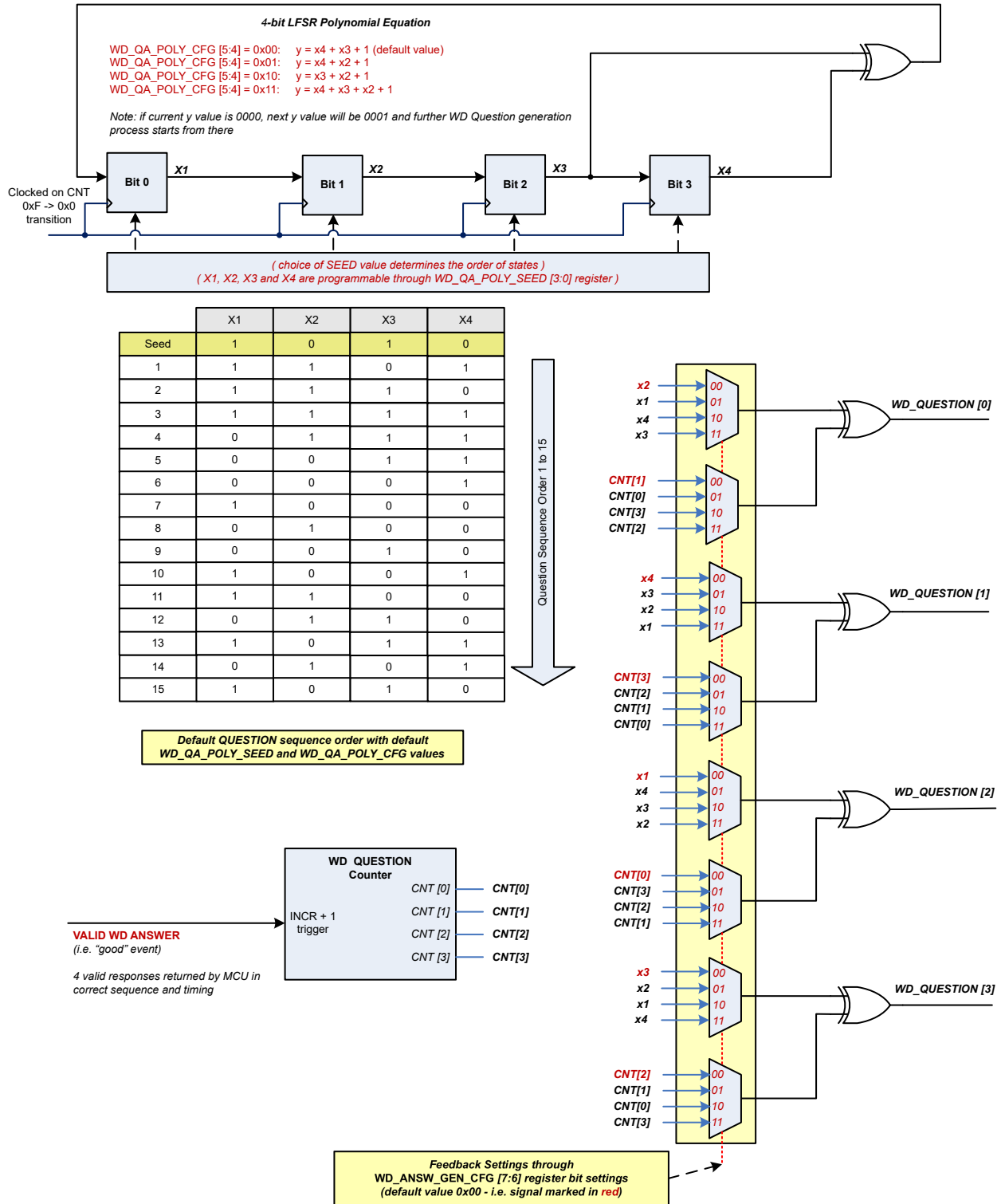
8.4.8.9.4.3 WD Q&A 値の生成

4 ビット WD の質問 WD_QA_QUESTION[3:0] は、4 ビット マルコフ連鎖プロセスによって生成されます。マルコフ連鎖はマルコフ性質を持つ確率過程であり、状態変化は確率的であり、将来の状態は現在の状態にのみ依存することを意味する。各 WD Q&A モードで有効かつ完全な WD 回答シーケンスは、次のとおりです。

- WD Q&A モードの予想:
 1. 応答ウィンドウ 1 では、3 つの正しい SPI WD 回答を受信します。
 2. 応答ウィンドウ 2 では、正しい SPI WD 回答 1 つを受信します。
 3. 前述のタイミングに加えて、4 つの応答のシーケンスは正しいものとします。

WD 質問値は WD_QA_QUESTION レジスタの WD_QUESTION ビットにラッチされ、いつでも読み出すことができます。

マルコフ連鎖プロセスは、1111b から 0000b への遷移時に 4 ビットの質問カウンタによってクロックされます。これには、正解の状態が含まれます (正解値と正しいタイミング応答)。4 ビットの質問 WD_QA_QUESTION [3:0] により生成されるロジックコンビネーションを図 8-64 に示します。質問カウンタはデフォルト値の 0000b にリセットされ、ウォッチドッグが失敗すると、マルコフ連鎖はプログラムされたレジスタ値に再び初期化され、デバイスはリスタートモードになります。



- A.
- レジスタ 8'h2D[3:0] WD_QA_POLY_SEED はビット 3 = X1、ビット 2 = X2、ビット 1 = X3、ビット 0 = X4 にマッピングされます。
 - 現在の y 値が 0000 の場合、次の y 値は 0001 です。ウォッチドッグ質問生成プロセスはこの値から開始します。スタンバイモードで WD_QA_CONFIG レジスタに変更を加えると、マルコフ連鎖は現在のレジスタ値に再び初期化されます。質問カウンタは影響を受けません。

図 8-64. ウォッチドッグ質問生成

8.4.8.9.4.3.1 回答の比較

2 ビットのウォッチドッグ回答カウンタ、WD_ANSW_CNT[1:0] は、[図 8-65](#) で示すように、受信した回答バイト数をカウントし、リファレンス回答バイトの生成を制御します。ウォッチドッグシーケンスの開始時には常に WD_ANSW_CNT[1:0] カウンタのデフォルト値は 11b であり、これは正しい回答 3 をマイコンが WD_QA_ANSWER[7:0] に書き込むことをウォッチドッグが予測していることを示します。

1 つの回答バイトが正しくない場合、デバイスは直ちに WD_QA_ERR ステータスビットをセットします。マイコンがこのビットに「1」を書き込む場合のみ、デバイスはこのステータスビットをクリアします。

8.4.8.9.4.3.2 2 ビット ウォッチドッグ回答カウンタのシーケンス

カウンタ値ごとの、2 ビットウォッチドッグ回答カウンタのシーケンスは次の通りです：

- WD_ANSW_CNT[1:0] = 11b:
 1. ウォッチドッグはリファレンス回答 3 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 3 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 3 を WD_QA_ANSWER[7:0] の回答 3 バイトと比較します。
 4. 回答 3 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] ビットを 10b にデクリメントして、WD_QA_ERR ステータスビットを 1 にセットします。
- WD_ANSW_CNT[1:0] = 10b:
 1. ウォッチドッグはリファレンス回答 2 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 2 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 2 を WD_QA_ANSWER[7:0] の回答 2 バイトと比較します。
 4. 回答 2 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] ビットを 01b にデクリメントして、WD_QA_ERR ステータスビットを 1 にセットします。
- WD_ANSW_CNT[1:0] = 01b:
 1. ウォッチドッグはリファレンス回答 1 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 1 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 1 を WD_QA_ANSWER[7:0] の回答 1 バイトと比較します。
 4. 回答 1 バイトが正しくない場合、ウォッチドッグは WD_ANSW_CNT[1:0] ビットを 00b にデクリメントして、WD_QA_ERR ステータスビットを 1 にセットします。
- WD_ANSW_CNT[1:0] = 00b:
 1. ウォッチドッグはリファレンス回答 0 を計算します。
 2. 書き込みアクセスが発生します。マイコンは WD_QA_ANSWER [7:0] に回答 0 バイトを書き込みます。
 3. ウォッチドッグはリファレンス回答 0 を WD_QA_ANSWER[7:0] の回答 0 バイトと比較します。
 4. 回答 0 バイトが正しくない場合、ウォッチドッグは WD_QA_ERR ステータスビットを 1 にセットします。
 5. ウォッチドッグが新しいウォッチドッグシーケンスを開始し、WD_ANSW_CNT[1:0] を 11b にセットします。

マイコンは、WD_QA_ERR ビットに 1 を書き込んでビットをクリアする必要があります

表 8-18. デフォルト設定を使用した WD 質問と対応する WD 回答のセット

WD_QA_QUESTION レジ スタの質問	WD 回答バイト (各バイトは WD_QA_ANSWER レジスタに書き込まれる)			
	WD_ANSWER_RESP_3	WD_ANSWER_RESP_2	WD_ANSWER_RESP_1	WD_ANSWER_RESP_0
WD_QUESTION	WD_ANSW_CNT[1:0] 11b	WD_ANSW_CNT[1:0] 10b	WD_ANSW_CNT[1:0] 01b	WD_ANSW_CNT[1:0] 00b
0x0	FF	0F	F0	00
0x1	B0	40	BF	4F
0x2	E9	19	E6	16
0x3	A6	56	A9	59
0x4	75	85	7A	8A
0x5	3A	CA	35	C5
0x6	63	93	6C	9C
0x7	2C	DC	23	D3
0x8	D2	22	DD	2D
0x9	9D	6D	92	62
0xA	C4	34	CB	3B
0xB	8B	7B	84	74
0xC	58	A8	57	A7
0xD	17	E7	18	E8
0xE	4E	BE	41	B1
0xF	01	F1	0E	FE

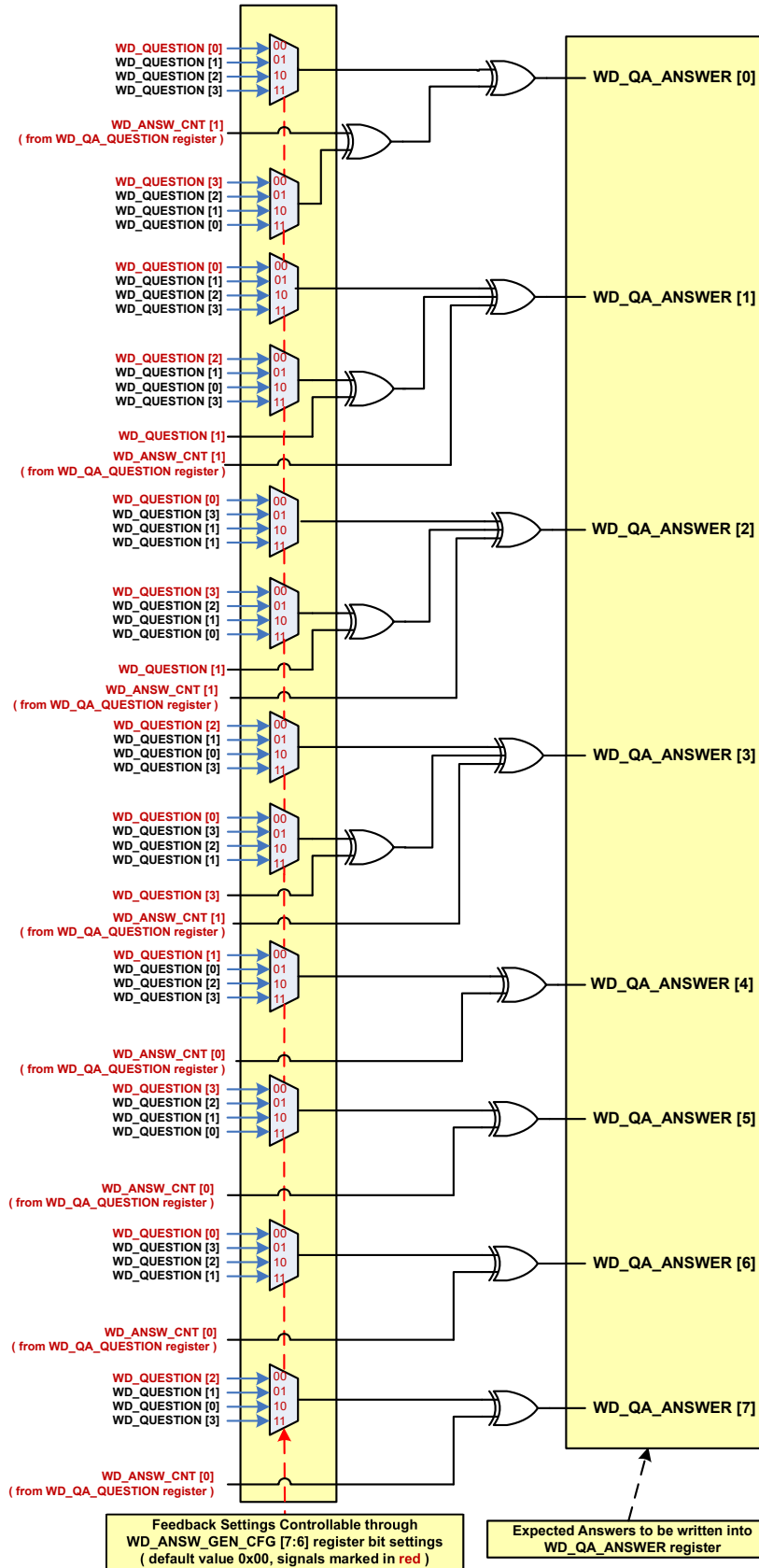


図 8-65. WD 予期される回答生成

表 8-19. 正確および不正確な WD Q&A シーケンスの実行シナリオ

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUE STION レジスタ 内) ⁽¹⁾	備考
応答 ウィンドウ 1	応答 ウィンドウ 2			
0 回答	0 回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	回答なし
0 回答	4 つの不正確な回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
0 回答	1 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 に正解が 3 つ未満、応答ウィンドウ 2 に正解が 1 つ (合計 WD_ANSW_CNT[1:0] < 4)
1 正解	1 正解			
2 正解	1 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 に正解が 3 つ未満、応答ウィンドウ 2 に正しくない回答が 1 つ (合計 WD_ANSW_CNT[1:0] < 4)
0 回答	1 つの正しくない回答			
1 正解	1 つの正しくない回答			
2 正解	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	WIN1 で正解が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	4 正解			
1 正解	3 正解			
2 正解	2 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つ以上 (合計 WD_ANSW_CNT[1:0] = 4)
0 回答	4 つの不正確な回答			
1 正解	3 つの不正確な回答			
2 正解	2 つの不正確な回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] < 4)
0 回答	3 正解			
1 つの正しくない回答	2 正解			
2 つの不正確な回答	1 正解	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つを超えています (合計 WD_ANSW_CNT[1:0] < 4)
0 回答	3 つの不正確な回答			
1 つの正しくない回答	2 つの不正確な回答			
2 つの不正確な回答	1 つの正しくない回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	

表 8-19. 正確および不正確な WD Q&A シーケンスの実行シナリオ (続き)

WD 回答数		アクション	WD_QA_ERR (WD_QA_QUE STION レジスタ 内) ⁽¹⁾	備考
応答 ウィンドウ 1	応答 ウィンドウ 2			
0 回答	4 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正解が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 つの正しくない回答	3 正解		1b	
2 つの不正確な回答	2 正解		1b	
0 回答	4 つの不正確な回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正しくない回答が 3 つ未満で、応答ウィンドウ 2 で正しくない回答が 1 つを超えています (合計 WD_ANSW_CNT[1:0] = 4)
1 つの正しくない回答	3 つの不正確な回答		1b	
2 つの不正確な回答	2 つの不正確な回答		1b	
3 正解	0 回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で正解が 4 つ未満、応答ウィンドウ 2 で回答が 0 以上 (合計 WD_ANSW_CNT[1:0] < 4)
2 正解	0 回答		1b	
1 正解	0 回答		1b	
3 正解	1 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの減算 - 新しい WD サイクルは新しい WD 質問から開始されます	0b	正しい順序
3 正解	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
3 つの不正確な回答	0 回答	- 応答ウィンドウ 2 の終了後に新しい WD サイクルが開始されます - WD フォルト カウンタの増加 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 < 4
3 つの不正確な回答	1 正解	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
3 つの不正確な回答	1 つの正しくない回答	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	受信した総回答数 = 4
4 正解	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	
3 つの正解 + 1 つの正しくない回答	該当なし	- 4 回目の WD 回答後に新しい WD サイクルが開始 - WD 故障カウンタの増分 - 新しい WD サイクルは同じ WD 質問から開始されます	1b	応答ウィンドウ 1 で 4 つの正解または正しくない回答
2 つの正解 + 2 つの正しくない回答	該当なし			
1 つの正解 + 3 つの正しくない回答	該当なし			

(1) WD_QA_ERR は、すべての QA ウォッチドッグエラーの論理和です

8.4.8.9.4.4 Q&A WD の例

この例では、表 8-20 の構成設定による単一シーケンスを見ていきます。

表 8-20. WD 機能の初期化

項目	値	説明
ウォッチドッグ ウィンドウ サイズ	1024ms	ウィンドウ サイズは 1024ms
応答生成オプション	0 (デフォルト)	応答生成設定
質問多項式	0 (デフォルト)	質問の生成に使われる多項式
多項式シードに質問します	A (デフォルト)	質問を生成するために使用される多項式シード
WD エラー カウンタ 制限	15	15 番目のフェイル イベントでは、ウォッチドッグ アクションを実行します

8.4.8.9.4.4.1 目的の挙動の設定例

表 8-21 は動作例の部品を設定します。ほとんどの設定は、電源オン時のデフォルト設定です。

表 8-21. レジスタ構成の書き込みの例

ステップ	登録	データ
1	WD_CONFIG_1 (0x13)	[W] 0b11010000 / 0xD0
2	WD_CONFIG_2 (0x14)	[W] 0b10000000 / 0x80
3	WD_RST_PULSE (0x16)	[W] 0b11110000 / 0xF0
4	WDT_QA_CONFIG (0x2D)	[W] 0b00001010 / 0x0A

8.4.8.9.4.4.2 Q&A シーケンスの実行例

通常のシーケンスの概要は、次のとおりです。

1. 質問を読んでください
2. 4 つの回答バイトを計算します
3. 最初の応答ウィンドウ内に、その内の 3 つを送信します
4. 2 番目の応答ウィンドウで、最後のバイトを待機して送信します

最初のループ シーケンスの例については、表 8-22 を参照してください。

表 8-22. 最初のループの例

ステップ	登録	データ	説明
1	WD_QA_QUESTION (0x2F)	[R] 0x0C	質問を読んでください。質問は 0x0C です
2	WD_QA_ANSWER (0x2E)	[W] 0x58	回答 3 を書きます (回答を見るには、デフォルト設定の質問に対する回答の例 表 8-18 を参照)
3	WD_QA_ANSWER (0x2E)	[W] 0xA8	回答 2 を書く。
4	WD_QA_ANSWER (0x2E)	[W] 0x57	回答 1 を書く。
5	WD_QA_ANSWER (0x2E)	[W] 0xA7	ウィンドウ 2 が開始したら、回答 0 を書き込みます

この時点で、ユーザーは WD_QA_QUESTION[6] (0x2F) レジスタを読み取って、WD_QA_ERR がセットされているかどうかを判断できます。

8.4.8.10 バス フォルト検出および通信

TCAN284x-Q1 は先進バス故障検出を備えています。デバイスは、特定の故障状態を判断して、ステータスまたは割り込みフラグをセットし、マイコンが故障の内容を理解できるようにします。終端抵抗が両端にある他のバスアーキテクチャと同様に、すべての故障を最小レベル、つまり正確な位置に指定できるわけではありません。フォルト検出回路は、CANH お

よび CANL ピン (電流) を監視して、バッテリーへの短絡、グランドへの短絡、相互への短絡、開放の有無を判定しています。システムの観点からは、デバイスの位置により、どれを検出できるかが決定されます。ノード位置の例と、それらが実際の故障の場所を決定する能力にどのように影響するかについては、[図 8-66](#) を参照してください。[図 8-67](#) から [図 8-71](#) に、3 ノード構成に基づく各種バス故障を示します。[表 8-23](#) に、何を検出できるのか、どのデバイスにより検出できるのかを示します。

バス障害検出は、システム レベルの状況です。ECU で故障が発生している場合は、バスの一般的な通信が損なわれます。ノードを完全にカバレッジするには、各ノードにシステムレベルの診断ステップと、それらを中央ポイントに送り返す機能が必要です。

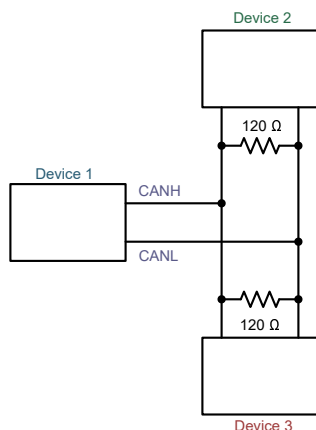


図 8-66. 3 ノードの例

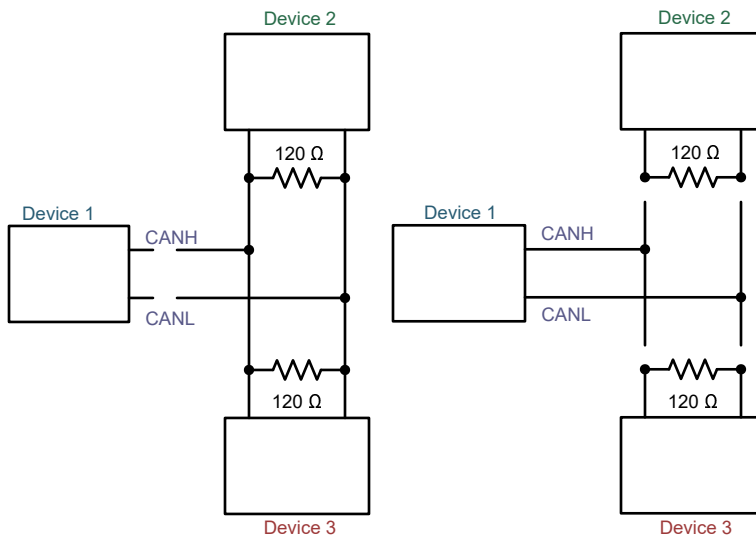


図 8-67. 開放故障の例

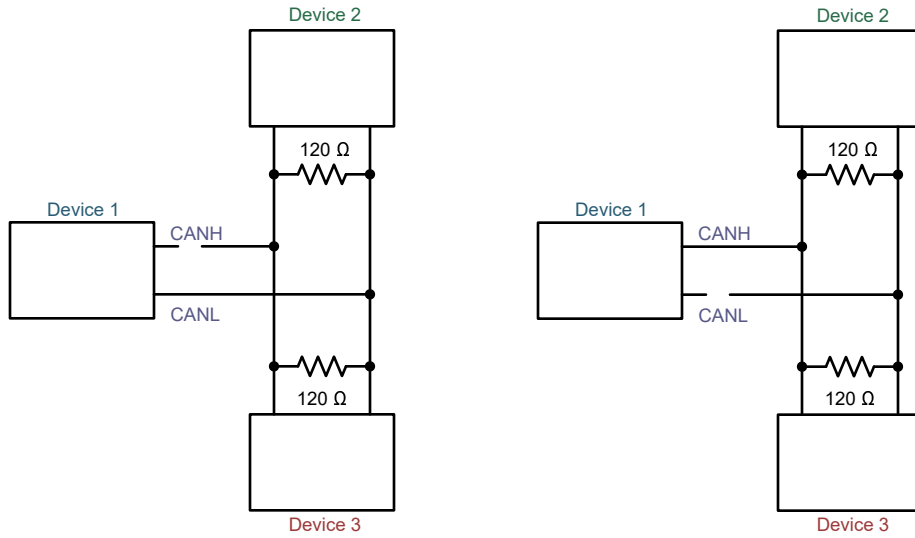


図 8-68. 開放故障 3 と 4 の例

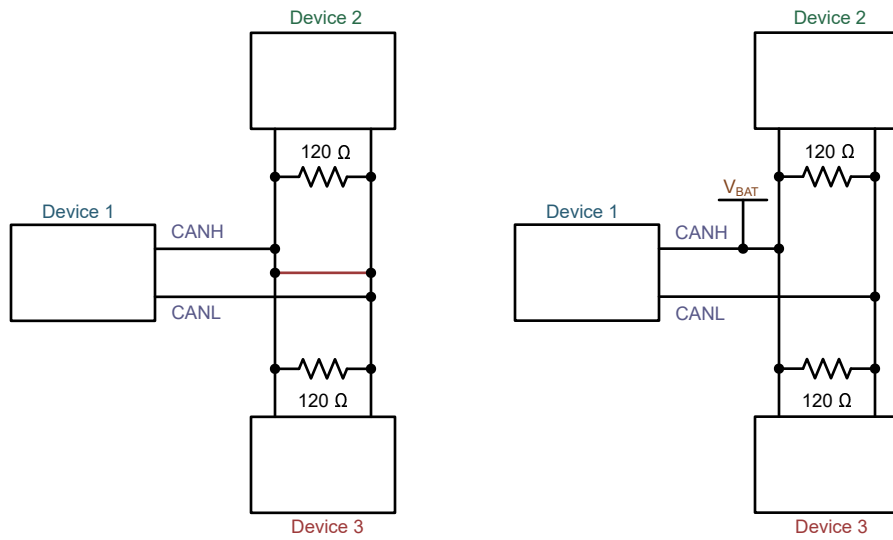


図 8-69. 短絡故障 5 と 6 の例

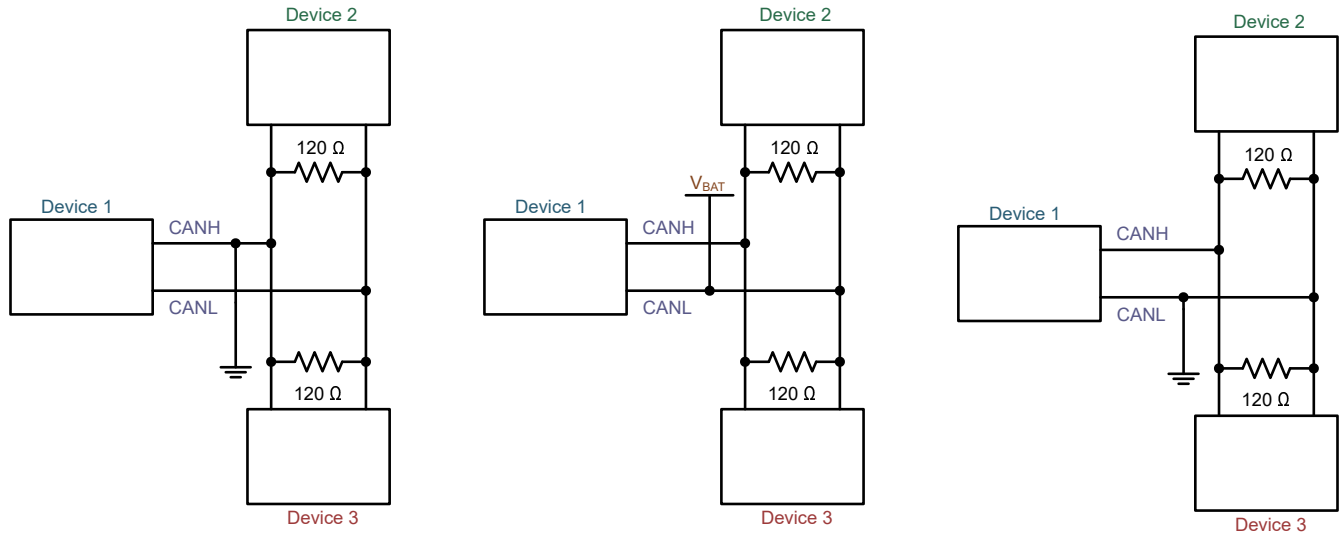


図 8-70. 短絡故障 7、8、9 の例

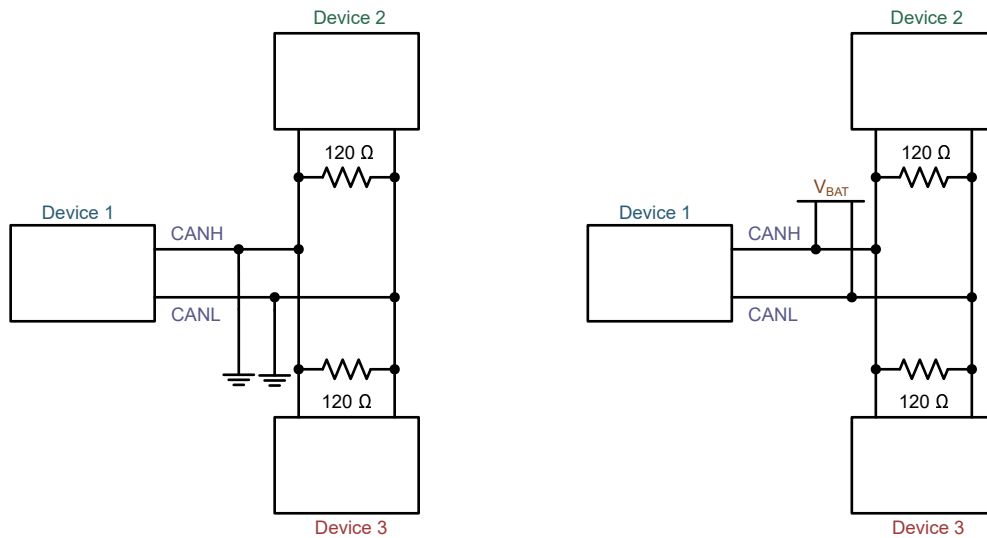


図 8-71. 短絡故障 10 と 11 の例

表 8-23. バス フォルト ピンの状態および検出表

フォルト番号	CANH	CANL	フォルト検出
2	オープン	オープン	オープンな場所に応じて、デバイスはこれを終端なしと検出します。
3	オープン	通常	はい、ただし、その状態と故障 2 と故障 4 の違いを見分けることはできません。デバイス 2 とデバイス 3 はこの故障を表示しません
4	通常	オープン	<ul style="list-style-type: none"> デバイス 1 はこの故障を検出しますが、状態と故障 2 および 5 の差を見分けることはできません デバイス 2 とデバイス 3 は、この故障を見分けません
5	CANL へ短絡	CANH へ短絡	はい、ただし場所はありません
6	V _{bat} と短絡	通常	はい、ただし場所はありません
7	GND へ短絡	通常	はい、ただし、これと故障 10 の違いを見分けることはできません
8	通常	V _{bat} と短絡	はい、ただし、これと故障 11 の違いを見分けることはできません
9	通常	GND へ短絡	はい、ただし場所はありません

表 8-23. バス フォルト ピンの状態および検出表 (続き)

フォルト番号	CANH	CANL	フォルト検出
10	GND へ短絡	GND へ短絡	はい、ただし、これと故障 7 の違いを見分けることはできません
11	V _{bat} と短絡	V _{bat} と短絡	はい、ただし、これと故障 8 の違いを見分けることはできません

表 8-24. バス フォルト割り込みフラグからフォルト検出番号へのマッピング

アドレス	ビット (S)	デフォルト	FLAG	説明	フォルト検出	アクセス
8'h54	7	1'b0	UVCAN	VCAN 低電圧割り込み	通常動作	R/W1C
	6	1'b0	RSVD	予約済み	NA	R
	5	1'b0	CANHCANL	CANH と CANL が同時に短絡	フォルト 3	R/W1C
	4	1'b0	CANHBAT	CANH は V _{bat} に短絡	フォルト 6	R/W1C
	3	1'b0	CANLGND	CANL は GND へ短絡	フォルト 9	R/W1C
	2	1'b0	CANBUSOPEN	CAN バス オープン (3 箇所の中の 1 つ)	フォルト 2、4、5	R/W1C
	1	1'b0	CANBUSGND	CANH が GND に短絡、または CANH と CANL の両方が GND に短絡	障害 7 と 10	R/W1C
	0	1'b0	CANBUSBAT	CANL が V _{bat} に短絡、または CANH と CANL の両方が V _{bat} に短絡	障害 8 と 11	R/W1C

8.5 プログラミング

TCAN284x-Q1 は 7 ビットアドレスアクセスの SPI 通信ポートです。

8.5.1 SPI 通信

SPI 通信は標準的な SPI プロトコルを使用します。物理的なデジタル インターフェイス ピンは、nCS (チップ セレクト反転)、SDI (SPI データ入力)、SDO (SPI データ出力)、および SCK (SPI クロック) です。各 SPI トランザクションは、R/W ビットが付いた 7 ビット アドレスによって開始されます。TCAN284x-Q1 は、SPI_CONFIG レジスタ 8'h09[3] の BYTE_CNT ビットの値に応じて、トランザクションごとに 1 つのデータ バイトまたは 2 つの日付バイトに構成できます。デフォルトは 1 バイトです。2 バイトを選択した場合、2 番目のデータ バイトはアドレス + 1 になります。

トランザクションで SDO ピンからシフトアウトされるデータは、常にグローバル割り込みレジスタであるレジスタ 8'h50[7:0] から始まります。このレジスタは、デバイスの高レベルの割り込みステータス情報を提供します。アドレスおよび R/W バイトに対する「応答」となるデータバイトが、その後シフトアウトされます。巡回冗長性 (CRC) が無効化されている場合の読み取りおよび書き込み方法については [図 8-72](#) および [図 8-73](#) を参照してください。2 バイトの読み取りについては、[図 8-75](#) を参照してください。2 バイトの SPI 書き込みが行われると、アドレスおよびアドレス +1 の現在の情報が SDO ピンからフィードバックされます ([図 8-74](#) を参照)。

デバイスのデフォルトはモード 0 であり、SDI の SPI データ入力は SCK の立ち上がりエッジでサンプリングされます。SDO 上の SPI 出力データは、SCK の high エッジから low エッジに変更されます。デバイスは、SPI_CONFIG レジスタ 8'h09[1:0] の MODE_SEL を使用して、モード 1~3 をサポートするように設定できます。SPI 通信図は、モード 0 に基づいています。

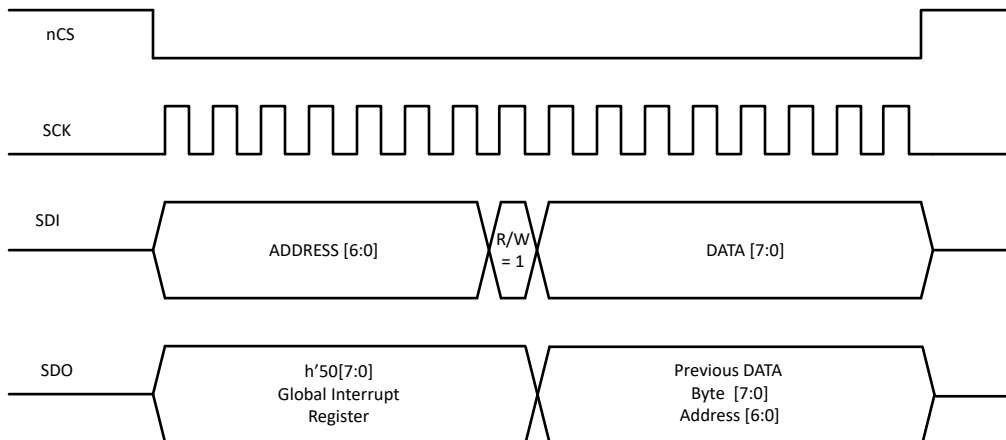


図 8-72. SPI 書き込み

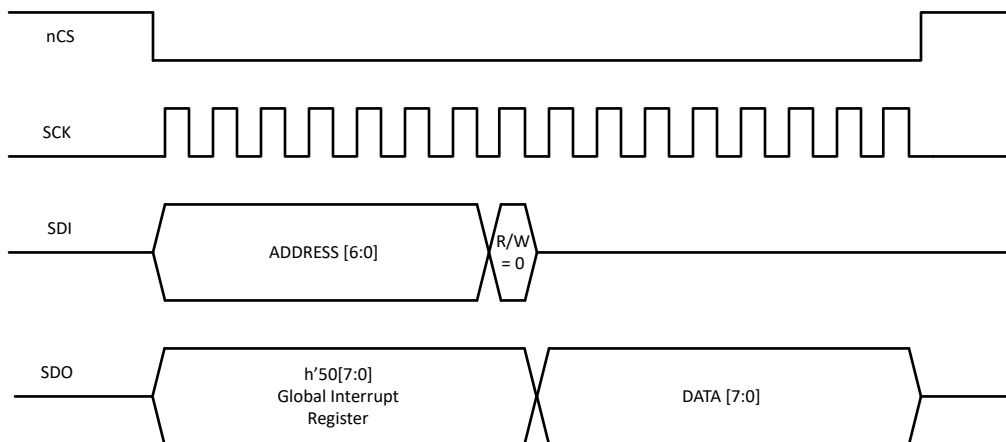


図 8-73. SPI 読み取り

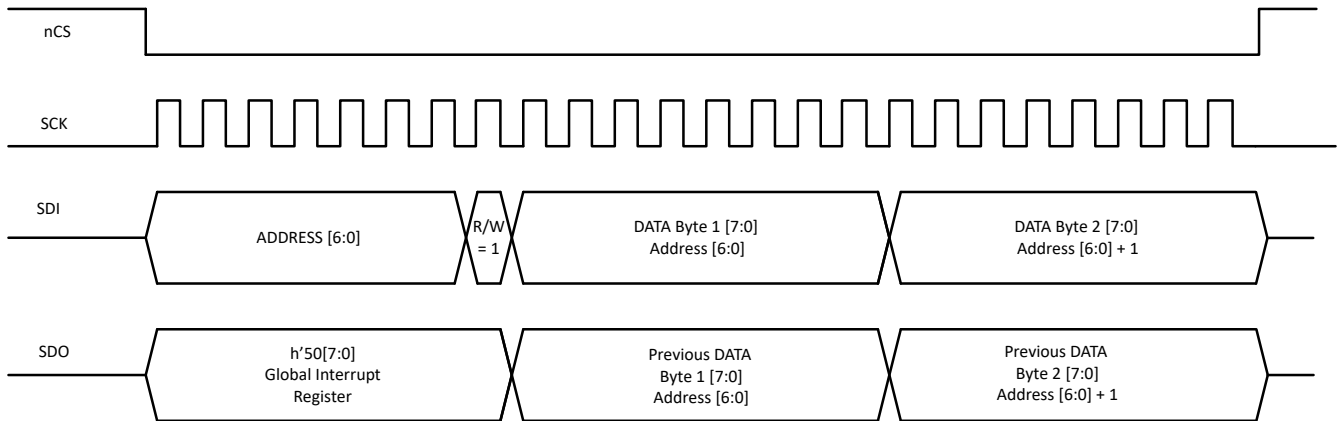


図 8-74. 2 バイト SPI 書き込み

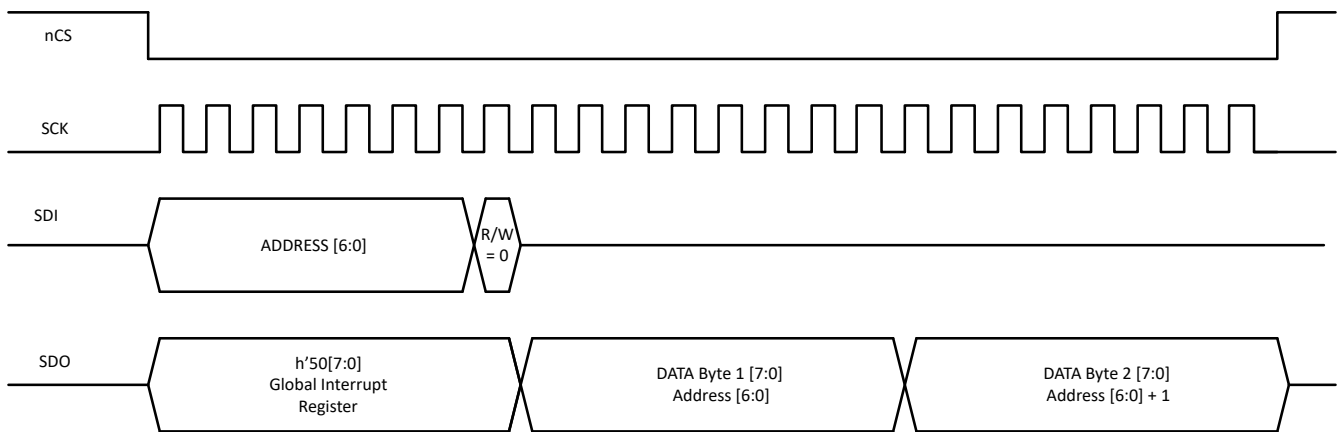


図 8-75. 2 バイト SPI 読み取り

8.5.1.1 巡回冗長検査

SPI トランザクションの TCAN284x-Q1 ファミリの巡回冗長性検査 (CRC) はデフォルトでは無効です。レジスタ 'h0A[0] を使用してこの機能をイネーブルにできます。デフォルトの多項式は AutoSAR CRC8H2F、 $X^8 + X^5 + X^3 + X^2 + X + 1$ をサポートしています。表 8-25 を参照してください。SAE J1850 に対応した CRC8 もサポートされており、レジスタ 8'h0B[0] で選択できます。CRC がイネーブルの場合、読み取り / 書き込み動作中の CRC 値を計算するために、フィルター バイト 00h が使用されます。CRC を含む 1 バイトのデータについては、図 8-76 と 図 8-77 を参照してください。

注

2 バイト データが構成されている場合、CRC は実装されません。2 バイト モードで CRC をイネーブルにすると、SPI 通信が禁止され、SPI 通信が失われた状態から回復するにはデバイスリセットが必要です。

表 8-25. CRC8H27

SPI トランザクション	
CRC の結果の幅	8 ビット
多項式	2Fh
初期値	FFh
入力データの反映	なし
結果データの反映	なし
XOR 値	FFh

表 8-25. CRC8H27 (続き)

SPI トランザクション	
チェック	DFh
マジック チェック	42h

表 8-26. CRC8 SAE J1850

SPI トランザクション	
CRC の結果の幅	8 ビット
多項式	1Dh
初期値	FFh
入力データの反映	なし
結果データの反映	なし
XOR 値	FFh
チェック	4Bh
マジック チェック	C4h

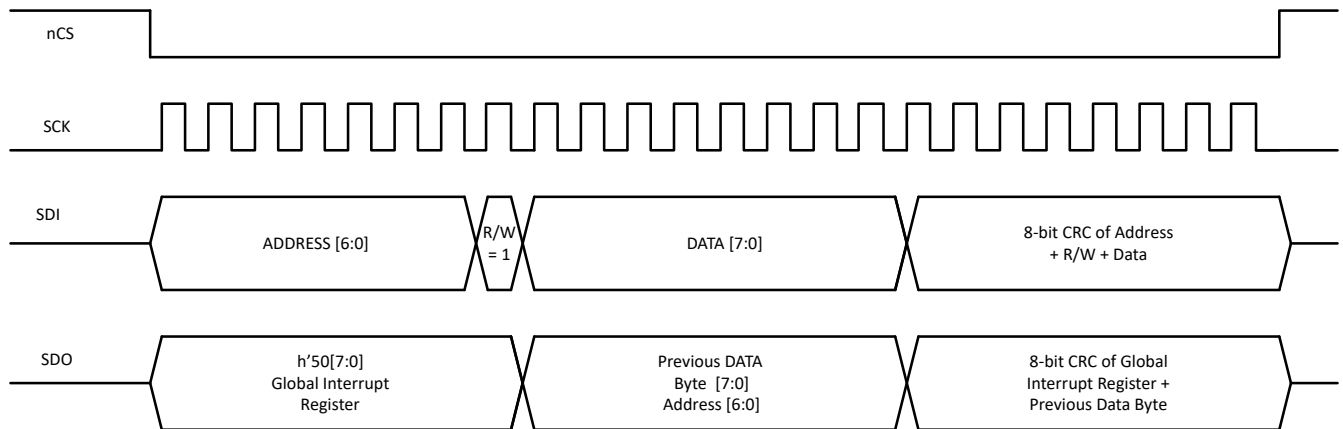


図 8-76. 1 バイト CRC SPI 書き込み

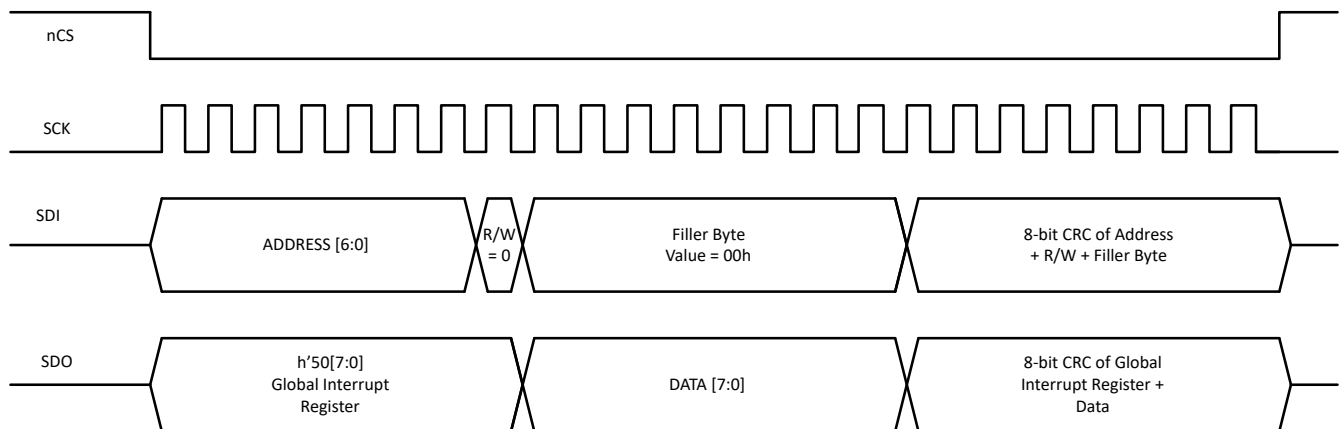


図 8-77. 1 バイト CRC SPI 読み取り

8.5.1.2 ノットチップセレクト (nCS) :

この入力ピンは、SPI トランザクション用デバイスを選択するために使用します。このピンはアクティブ Low なので、nCS が High の間は、デバイスの SPI データ出力 (SDO) ピンがハイインピーダンスになり、SPI バスの設計が可能です。nCS

が Low のときは SDO ドライバがアクティブになり、通信を開始できます。SPI トランザクションでは、nCS ピンは Low に保持されます。このデバイスの特別な機能を使用すると、nCS の立ち下がりエッジで SDO ピンをグローバル故障フラグとして直ちに表示できます。

8.5.1.3 SPI クロック入力 (SCK) :

この入力ピンを使用して、SPI にクロックを入力し、入力および出力のシリアル データ ビット ストリームを同期します。デフォルトの SPI モード 0 では、データ入力が SCK の立ち上がりエッジでサンプリングされ、SPI データ出力が SCK の立ち下がりエッジで変化します。図 8-78 を参照してください。図に、デフォルトであるモード 0 に基づくタイミングを示します。表 8-27 に、クロック位相の設定可能なモードを示します。

表 8-27. SPI モード

モード	CPOL	CPHA	クロック位相
0	0	0	データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフトされます
1	0	1	立ち下がりエッジでサンプリングされ、立ち上がりエッジでシフトされたデータ
2	1	0	立ち下がりエッジでサンプリングされ、立ち上がりエッジでシフトされたデータ
3	1	1	データは立ち上がりエッジでサンプリングされ、立ち下がりエッジでシフトされます

注

- CPOL はクロック極性です。0 = 論理 Low、1 = 論理 High です
- CPHA はクロック位相です

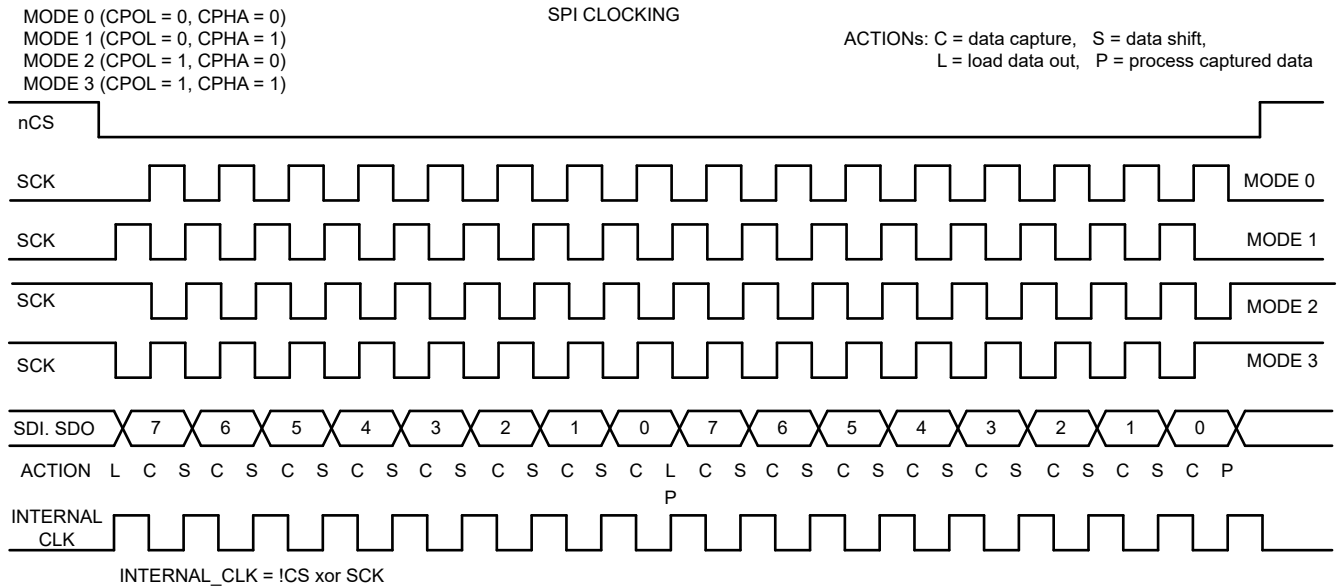


図 8-78. SPI クロック

8.5.1.4 SPI データ入力 (SDI) :

この入力ピンは、デバイスにデータをシフトインするために使用されます。nCS が Low になることで SPI が有効化されると、SDI は SPI クロック (SCK) の立ち上がりエッジごとにシフトインされた入力データをサンプリングします。データは 8 ビットのシフトレジスタにシフトインされます。8 回のクロック サイクルとシフトの後、指定されたレジスタが読み出され、そのデ

ータが SDO からシフトアウトされます。8 回のクロック サイクルの実行後、シフトレジスタはフルになり、SPI トランザクションが完了します。書き込みコマンド コードが指定されている場合、新しいデータは、SCK によって正確に 8 ビットがシフトインされ、nCS が立ち上がってデバイスが非選択状態になるタイミングで、指定されたレジスタに書き込まれます。1 回の SPI トランザクション (nCS が Low の間) でデバイスに正確に 8 ビットがシフトインされなかった場合、その SPI コマンドは無視され、SPIERR フラグが設定されます。このときデータはデバイスに書き込まれず、誤動作を防止します。

8.5.1.5 SPI データ出力 (SDO) :

nCS によって SPI 出力が有効になるまで、このピンはハイインピーダンスです。nCS の Low により SPI が有効になると、SDO は直ちに High または Low に駆動され、グローバル故障フラグのステータスを示します。これは、SPI にクロックが供給されている場合にシフトアウトされる最初のビット (ビット 7) でもあります。SCK の最初の立ち上がりエッジでは、8 ビットすべてがシフトレジスタからシフトアウトされるまで、データのシフトアウトが SCK の各立ち上がりエッジを続けます。

8.5.2 EEPROM

TCAN284x-Q1 ファミリは EEPROM を 2 つの目的で使用します。1 つ目はデバイスのトリミング用であり、アクセスできません。この EEPROM 領域は、電源投入時およびスリープ モードからの復帰時に監視され、読み込まれます。その際、有効な CRC がチェックされます。CRC が有効でない場合、この処理は合計で 8 回実行されます。それでも有効でない場合、レジスタ 8'h53[0] (INT_3) が 1b に設定されます。これは、デバイスの性能および機能に影響を及ぼす可能性のある問題が発生していることを意味します。

EEPROM の 2 番目の用途は、ユーザーが特定のデバイス構成を保存できるようにすることです。保存された構成ビットは各レジスタに提供されます。設定を保存するには、少なくとも保存機能用の SPI CRC を有効にしておく必要があります。設定を EEPROM に保存するには、レジスタ 8'h4E[7] に 1b を書き込み、続いて 8'h4E[3:0] にデフォルトコード Ah を書き込み、その後に CRC バイトを書き込みます。

1 バイト モードの場合、プロセッサが CRC をサポートしない場合の手順については、表 8-28 を参照してください。レジスタ 8'h4E[3:0] を読み出すと、0h が返されます。構成ビットが EEPROM に保存されると、8'h4E[7] から 0b が読み戻されます。パワーオンリセットが発生すると、デバイスの設定は EEPROM から再読み込みされます。表 8-30 は、使用されている場合に EEPROM に保存されるレジスタとビットの一覧を示します。

初めて EEPROM に 2 バイトモードを書き込む必要がある場合、またはデバイスがすでに 2 バイト モードで動作しており、その構成を EEPROM に保存する必要がある場合は、表 8-29 で示す手順に従ってください。

注

EEPROM は、最大 500 回リプログラム可能です。

表 8-28. CRC 非対応プロセッサのプロセス (1 バイト モード)

ステップ	説明	登録	データ	2 番目のデータ バイト
1	デバイスの設定	表 8-30 を参照してください。		該当なし
2	CRC 多項式を設定 <ul style="list-style-type: none"> 0x2F AutoSar (00h) 0X1D SAE J1185 (01h) 	8'h0B[0]	<ul style="list-style-type: none"> 00h, OR 01h 	該当なし
3	イネーブルでなければ、SPI CRC をイネーブル	8'h0A	01h	該当なし
4	EEPROM に保存	8'h4E	8Ah	<ul style="list-style-type: none"> 36h (CRC POLY_8_SET = 00h) 0Ch (CRC POLY_8_SET = 01h)
5	サポートされていない場合は、SPI CRC をディスエーブル	8'h0A	00h	<ul style="list-style-type: none"> Eh (CRC POLY_8_SET = 00h) 6Bh (CRC POLY_8_SET = 01h)

表 8-29. CRC 非対応プロセッサのプロセス (2 バイト モード)

ステップ	説明	登録	データ	2 番目のデータ バイト
1	デバイスを 2 バイト モードに設定します (すでに 2 バイト モードの場合はこの手順を省略)	8h'09	80h	該当なし
2	EEPROM に保存する必要がある他の構成を実行します (2 バイトの SPI 書き込みを使用します)	表 8-30 を参照してください。		
3	レジスタ 8h'09/0A を読み戻し、2 バイト モードを確認します。このステップは、EEPROM に保存するために重要です。	8h'09	80h	00h
4	EEPROM に保存	8'h4E	8Ah	36h

保存された構成の CRC が有効かどうかを確認するには、レジスタ 8'h4E[6] (EEPROM_CRC_CHK) に 1b を書き込むことで強制的にチェックを実行できます。完了するには約 200µs が必要です。CRC が有効な場合は何も実行されません。CRC が無効な場合、デバイスはこの処理を 8 回試行します。それでも有効でない場合、デバイスは問題があることを示す割り込みを設定します。これは、レジスタ 8'h5A[1] (INT_4: EEPROM_CRC_INT) です。

以下に、電源とリセットのシナリオと、EEPROM の使用方法を示します。

- UVSUP イベント。レジスタは失われなため、何の動作も行われません
- パワーオンリセット イベント。VSUP > UVSUP_{33R} になると、EEPROM が読み取られ、初期モードでレジスタが復元されます
- ソフトリセット。EEPROM が読み出され、レジスタが復元され、デバイスはスタンバイ モードに遷移します
- ハードリセット。EEPROM を読み取り、レジスタを復元し、デバイスを初期モードに遷移させます
- nRST 入力。EEPROM が読み出し、レジスタが復元され、デバイスはリスタート モードに遷移します

表 8-30. EEPROM 保存レジスタおよびビット

登録	保存されるビット
SPI_CONFIG レジスタ (アドレス = 09h)	0-3
SBC_CONFIG (アドレス = Ch)	0-1, 6, 7
VREG_CONFIG1 (アドレス = Dh)	0-7
SBC_CONFIG1 レジスタ (アドレス = Eh)	0, 3-5, 7
WAKE_PIN_CONFIG1 レジスタ (アドレス = 11h)	0-4
WAKE_PIN_CONFIG2 レジスタ (アドレス = 12h)	0-1, 5, 6
WD_CONFIG_1 レジスタ (アドレス = 13h)	0-7
WD_CONFIG_2 レジスタ (アドレス = 14h)	0, 5-7
WD_RST_PULSE レジスタ (アドレス = 16h)	4-7
DEVICE_CONFIG1 (アドレス = 1Ah)	0, 4, 7
DEVICE_CONFIG2 (アドレス = 1Bh)	0
SWE_TIMER (アドレス = 1Ch)	3-7
nRST_CNTL (アドレス = 29h)	5
WAKE_PIN_CONFIG4 レジスタ (アドレス = 2Bh)	0-1, 3, 4-5, 7
WD_QA_CONFIG レジスタ (アドレス 2Dh)	0-7
HSS_CNTL3 レジスタ (アドレス = 4Fh)	0, 4

9 レジスタ

9.1 レジスタ

表 9-1 は、デバイスのレジスタ用メモリマップトレジスタを示しています。表 9-1 にないレジスタオフセットアドレスはすべて予約済みの位置であると見なして、レジスタの内容は変更しないでください。

表 9-1. デバイスのレジスタ

アドレス	略称	レジスタ名	セクション
0h + 式	DEVICE_ID_y	デバイス部品番号	セクション 9.1.1
8h	REV_ID	メジャーおよびマイナーレビジョン	セクション 9.1.2
9h	SPI_CONFIG	SPI モード構成	セクション 9.1.3
Ah	CRC_CNTL	SPI CRC 制御	セクション 9.1.4
Bh	CRC_POLY_SET	SPI CRC 多項式をセット	セクション 9.1.5
Ch	SBC_CONFIG	SBC、HSS、VCC2 の選択	セクション 9.1.6
Dh	VREG_CONFIG1	VCC1 および VEXCC レギュレータを構成	セクション 9.1.7
Eh	SBC_CONFIG1	SBC の構成	セクション 9.1.8
Fh	Scratch_Pad_SPI	テストレジスタ SPI の読み取りおよび書き込み	セクション 9.1.9
10h	CAN_CNTRL_1	CAN トランシーバ 1 制御	セクション 9.1.10
11h	WAKE_PIN_CONFIG1	WAKE ピン構成 1	セクション 9.1.11
12h	WAKE_PIN_CONFIG2	WAKE ピン構成 2	セクション 9.1.12
13h	WD_CONFIG_1	ウォッチドッグ構成 1	セクション 9.1.13
14h	WD_CONFIG_2	ウォッチドッグ構成 2	セクション 9.1.14
15h	WD_INPUT_TRIG	ウォッチドッグ入力トリガ	セクション 9.1.15
16h	WD_RST_PULSE	ウォッチドッグ出力パルス幅	セクション 9.1.16
17h	FSM_CONFIG	フェイルセーフモード構成	セクション 9.1.17
18h	FSM_CNTR	フェイルセーフモードカウンタ	セクション 9.1.18
19h	DEVICE_CONFIG0	デバイス構成 0	セクション 9.1.19
1Ah	DEVICE_CONFIG1	デバイス構成 1	セクション 9.1.20
1Bh	DEVICE_CONFIG2	デバイス構成 2	セクション 9.1.21
1Ch	SWE_TIMER	スリープウェークエラータイマ構成	セクション 9.1.22
1Dh	LIN_CNTL	LIN トランシーバ制御	セクション 9.1.23
1Eh	HSS_CNTL	ハイサイドスイッチ 1 および 2 制御	セクション 9.1.24
1Fh	PWM1_CNTL1	パルス幅変調周波数の選択	セクション 9.1.25
20h	PWM1_CNTL2	パルス幅変調デューティサイクルの 2 つの MSB 選択	セクション 9.1.26
21h	PWM1_CNTL3	パルス幅変調デューティサイクルの 8 つの LSB 選択	セクション 9.1.27
22h	PWM2_CNTL1	パルス幅変調周波数の選択	セクション 9.1.28
23h	PWM2_CNTL2	パルス幅変調デューティサイクルの 2 つの MSB 選択	セクション 9.1.29
24h	PWM2_CNTL3	パルス幅変調デューティサイクルの 8 つの LSB 選択	セクション 9.1.30
25h	TIMER1_CONFIG	ハイサイドスイッチタイマ 1 構成	セクション 9.1.31
26h	TIMER2_CONFIG	ハイサイドスイッチタイマ 2 構成	セクション 9.1.32
28h	RSRT_CNTR	カウンタ構成を再開	セクション 9.1.33

表 9-1. デバイスのレジスタ (続き)

アドレス	略称	レジスタ名	セクション
29h	nRST_CNTL	nRST および GFO ピン制御	セクション 9.1.34
2Ah	WAKE_PIN_CONFIG3	WAKE ピンのマルチウェーク入力構成と報告	セクション 9.1.35
2Bh	WAKE_PIN_CONFIG4	WAKE ピンのマルチウェーク入力構成と報告	セクション 9.1.36
2Dh	WD_QA_CONFIG	Q&A ウォッチドッグ構成	セクション 9.1.37
2Eh	WD_QA_ANSWER	Q&A ウォッチドッグの回答	セクション 9.1.38
2Fh	WD_QA_QUESTION	Q&A ウォッチドッグの質問	セクション 9.1.39
30h	SW_ID1	選択的ウェーク ID 1	セクション 9.1.40
31h	SW_ID2	選択的ウェーク ID 2	セクション 9.1.41
32h	SW_ID3	選択的ウェーク ID 3	セクション 9.1.42
33h	SW_ID4	選択的ウェーク ID 4	セクション 9.1.43
34h	SW_ID_MASK1	選択的ウェーク ID マスク 1	セクション 9.1.44
35h	SW_ID_MASK2	選択的ウェーク ID マスク 2	セクション 9.1.45
36h	SW_ID_MASK3	選択的ウェーク ID マスク 3	セクション 9.1.46
37h	SW_ID_MASK4	選択的ウェーク ID マスク 4	セクション 9.1.47
38h	SW_ID_MASK_DLC	ID マスク、DLC、データマスクイネーブル	セクション 9.1.48
39h + 式	DATA_y	CAN データバイト 7 ~ 0	セクション 9.1.49
41h + 式	SW_RSVD_y	SW_RSVD0~SW_RSVD2	セクション 9.1.50
44h	SW_CONFIG_1	CAN および CAN FD DR と動作	セクション 9.1.51
45h	SW_CONFIG_2	フレームカウンタ	セクション 9.1.52
46h	SW_CONFIG_3	フレームカウンタスレッシュホールド	セクション 9.1.53
47h	SW_CONFIG_4	モード構成	セクション 9.1.54
48h + 式	SW_CONFIG_RSVD_y	SW_CONFIG_RSVD0~SW_CONFIG_RSVD5	セクション 9.1.55
4Dh	HSS_CNTL2	HSS3 と HSS4 の制御レジスタ	セクション 9.1.56
4Eh	EEPROM_CONFIG	EEPROM アクセス可能性	セクション 9.1.57
4Fh	HSS_CNTL3	OV/UV による HSS 動作を設定し、VCC2/VEXCC ステータスを提供し	セクション 9.1.58
50h	INT_GLOBAL	グローバル割り込み	セクション 9.1.59
51h	INT_1	割り込み	セクション 9.1.60
52h	INT_2	割り込み	セクション 9.1.61
53h	INT_3	割り込み	セクション 9.1.62
54h	INT_CANBUS_1	CAN トランシーバ 1 バス故障割り込み	セクション 9.1.63
55h	INT_7	ハイサイドスイッチ用割り込み	セクション 9.1.64
56h	INT_EN_1	INT_1 の割り込みマスク	セクション 9.1.65
57h	INT_EN_2	INT_2 の割り込みマスク	セクション 9.1.66
58h	INT_EN_3	INT_3 の割り込みマスク	セクション 9.1.67
59h	INT_EN_CANBUS_1	INT_CANBUS 用割り込みマスク	セクション 9.1.68
5Ah	INT_4	割り込み	セクション 9.1.69
5Ch	INT_6	割り込み	セクション 9.1.70
5Eh	INT_EN_4	INT_4 の割り込みマスク	セクション 9.1.71

表 9-1. デバイスのレジスタ (続き)

アドレス	略称	レジスタ名	セクション
60h	INT_EN_6	INT_6 の割り込みマスク	セクション 9.1.72
62h	INT_EN_7	ハイサイドスイッチの割り込みマスク	セクション 9.1.73

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	H R	ハードウェア読み取りによってセットまたはクリア
書き込みタイプ		
H	H	ハードウェアによってセットまたはクリア
W	W	書き込み
W1C	1C W	1 を書き込むことでビット
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i, j, k, l, m, n		これらの変数がレジスタ名、オフセット、またはアドレスで使用される場合、その変数はレジスタが繰り返しレジスタのグループの一部であるレジスタ配列の値を参照します。レジスタグループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用される場合、その変数はレジスタ配列の値を参照します。

9.1.1 DEVICE_ID_y レジスタ (アドレス = 00h + 式) [リセット = xxh]

表 9-3 に DEVICE_ID_y を示し、表 9-4 に、その説明を示します。

表 9-1 に戻ります。

説明表が示すように、デバイスの型番、xxh のリセット値は、デバイスの型番とレジスタによって異なります。

オフセット = 00h + y、ここで y = 0h ~ 7h

表 9-3. DEVICE_ID_y レジスタ

7	6	5	4	3	2	1	0
DEVICE_ID							
R-xxh							

表 9-4. DEVICE_ID_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEVICE_ID	R	xxh	DEVICE_ID[1:8] レジスタは、デバイスの型番を決定します。対応するレジスタアドレスのリセット値と各 DEVICE_ID レジスタの値が一覧されています: アドレス 00h = 54h = T アドレス 01h = 43h = C アドレス 02h = 41h = A アドレス 03h = 32h = 2 アドレス 04h = 38h = 8 アドレス 05h = 34h = 4 TCAN2845Q1 のアドレス 06h = 35h = 5 TCAN2847Q1 のアドレス 06h = 37h = 7 3.3V VCC1 のアドレス 07h = 33h = 3 5V VCC1 のアドレス 07h = 35h = 5

9.1.2 REV_ID レジスタ (アドレス = 08h) [リセット = 2Xh]

REV_ID を表 9-5 に示します。説明については、表 9-6 を参照してください。

表 9-1 に戻ります。

メジャーおよびマイナーリビジョン

表 9-5. REV_ID レジスタ

7	6	5	4	3	2	1	0
Major_Revision				Minor_Revision			
R-2h				R-xh			

表 9-6. REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	Major_Revision	R	02h	メジャーダイリビジョン 0001b = 1 0010b = 2
3-0	Minor_Revision	R	Xh	マイナーダイリビジョン 0000b = 0 0001b = 1 0010b = 2

9.1.3 SPI_CONFIG レジスタ (アドレス = 09h) [リセット = 00h]

表 9-7 に SPI_CONFIG を示し、表 9-8 に、その説明を示します。

表 9-1 に戻ります。

シリアルペリフェラルインターフェイス構成レジスタ

使用する場合はビット 0 ~ 3 が EEPROM に保存されます。

表 9-7. SPI_CONFIG レジスタ

7	6	5	4	3	2	1	0
RSVD				BYTE_CNT	SDI_POL	SPI_MODE	
R-0000b				R/W-0b	R/W-0b	R/W-00b	

表 9-8. SPI_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RSVD	R	0000b	予約済み
3	BYTE_CNT	R/W	0b	読み取りまたは書き込み動作のデータバイト数を選択 0b = 1 バイト 1b = 2 バイト
2	SDI_POL	R/W	0b	内部プルアップまたはプルダウン抵抗構成によって SDI 入力ピンのアイドル極性を選択 0b = Pull_down 1b = Pull_up
1-0	SPI_MODE	R/W	00b	SPI モードを構成 00b = モード 0 (CPOL = 0, CPHA = 0) 01b = モード 1 (CPOL = 0, CPHA = 1) 10b = モード 2 (CPOL = 1, CPHA = 0) 11b = モード 3 (CPOL = 1, CPHA = 1)

9.1.4 CRC_CNTL レジスタ (アドレス = 0Ah) [リセット = 00h]

表 9-9 に CRC_CNTL を示し、表 9-10 に、その説明を示します。

表 9-1 に戻ります。

SPI CRC レジスタは CRC 機能を制御します。CRC_EN ビットを使用して CRC 機能を有効化できます。

表 9-9. CRC_CNTL レジスタ

7	6	5	4	3	2	1	0
CRC_CNTL_RSVD							CRC_EN
R-0000000b							R/W-0b

表 9-10. CRC_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	CRC_CNTL_RSVD	R	0000000b	CRC 制御予約済みビット
0	CRC_EN	R/W	0b	CRC イネーブル 0b = 無効化 1b = 有効化

9.1.5 CRC_POLY_SET (アドレス = 0Bh) [リセット = 00h]

表 9-11 に CRC_POLY_SET を示し、表 9-12 に、その説明を示します。

表 9-1 に戻ります。

このレジスタは、どの多項式を CRC に設定するかをセットします。デフォルトでは AutoSAR 8 ビット 0x2F です。

表 9-11. CRC_POLY_SET

7	6	5	4	3	2	1	0
RSVD							POLY_8_SET
R-0000000b							R/W-1b

表 9-12. CRC_POLY_SET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	RSVD	R	0000000b	予約済み
0	POLY_8_SET	R/W	0b	8 ビット CRC 多項式セット 0b = $X^8 + X^5 + X^3 + X^2 + X + 1$ (0x2F) 1b = $X^8 + X^4 + X^3 + X^2 + 1$ (0x1D SAE J1850)

9.1.6 SBC_CONFIG (アドレス = 0Ch) [リセット = 06h]

表 9-13 に SBC_CONFIG を示し、表 9-14 に、その説明を示します。

表 9-1 に戻ります。

そのレジスタは、SBC の動作モードおよびどのハイサイド スイッチがプログラムされるかを設定します。VCC2 動作を設定します。

ビット 0、1、6、7 を使用する場合、EEPROM に保存されます

表 9-13. SBC_CONFIG

7	6	5	4	3	2	1	0
VCC1_OV_SEL	VEXCC_ILIM_DIS	PWM_SEL	RSVD	SBC_MODE_SEL		VCC2_CFG	
R/W-0b	R/W-0b	R/W-0b	R-0b	R/W/H-01b		R/W-10b	

表 9-14. SBC_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	VCC1_OV_SEL	R/W	0b	OVCC1 スレッショルドの選択 0b = 下限スレッショルド 1b = 上側スレッショルド
6	VEXCC_ILIM_DIS	R/W	0b	VEXCC 電流制限無効化 0b = イネーブル 1b = ディスエーブル
5	PWM_SEL	R/W	0b	PWM 選択 0b = PWM1 および PWM2 1b = PWM3 および PWM4
4	RSVD	R	0b	予約済み
3-2	SBC_MODE_SEL	R/W/H	01b	SBC モード選択 00b = スリープ モード 01b = スタンバイ モード 10b = 通常モード 11b = 予約済み
1-0	VCC2_CFG	R/W	10b	VCC2 電圧レギュレータ設定 00b = すべての SBC モードでオフ 01b = フェイルセーフ モードを除くすべての SBC モードでオン 10b = スリープおよびフェイルセーフ モードを除くすべての SBC モードでオン 11b = RSVD

9.1.7 VREG_CONFIG1 (アドレス = 0Dh) [リセット = 80h]

表 9-15 に VREG_CONFIG1 を示し、表 9-16 にその説明を示します。

表 9-1 に戻ります。

このレジスタは VCC1 と外付け PNP 構成を制御します。

ビット 0 ~ 7 を使用する場合は EEPROM に保存されます

表 9-15. VREG_CONFIG1

7	6	5	4	3	2	1	0
VCC1_CFG		VEXT_CFG		VCC1_SINK	VEXT_V_CFG		
R/W-10b		R/W-00b		R/W-0b	R/W-000b		

表 9-16. VREG_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	VCC1_CFG	R/W	10b	VCC1 電圧レギュレータ構成 00b = 予約済み 01b = フェイルセーフモードを除くすべての SBC モードでオン 10b = スリープおよびフェイルセーフモードを除くすべての SBC モードでオン 11b = RSVD
5-4	VEXT_CFG	R/W	00b	VEXCC 外部 PNP 構成 00b = すべての SBC モードでオフ 01b = フェイルセーフモードを除くすべての SBC モードでオン 10b = スリープおよびフェイルセーフモードを除くすべての SBC モードでオン 11b = RSVD
3	VCC1_SINK	R/W	0b	VCC1 シンク電流制御。このシンクは、VCC1 有効時にオンになります 0b = 10μA 1b = 100μA
2-0	VEXT_V_CFG	R/W	000b	外部 PNP 電圧制御 000b = 1.8V 001b = 2.5V 010b = 3.3V 011b = 5V 100b = 負荷共有 101b ~ 111b = 予約済み

9.1.8 SBC_CONFIG1 レジスタ (アドレス = 0Eh) [リセット = 01h]

表 9-17 に、SBC_CONFIG1 レジスタを示し、表 9-18 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

SW の構成に使用します。ビット 0、3 ~ 5、7 を使用する場合は EEPROM に保存できます。

表 9-17. SBC_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
CAN_SLOPE_CTRL_EN	FSM_CYC_WK_EN	VCC1_SLP_ACT	UVCC1_SEL		SW_FSM_EN	SW_SLP_EN	SW_POL_SEL
R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-1b

表 9-18. SBC_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CAN_SLOPE_CTRL_EN	R/W	0b	CAN トランシーバのスロープ制御を有効にする 0b = 無効化 1b = 有効化
6	FSM_CYC_WK_EN	R/W	0b	フェイルセーフモードでのサイクリックウェークを有効化 0b = 無効化 1b = 有効化
5	VCC1_SLP_ACT	R/W	0b	ウェークイベントによりスリープモードで VCC1 が有効化されるときに実行するアクション 0b = nINT ピンのみでウェークイベントを通知 1b = リスタートモードに遷移
4-3	UVCC1_SEL	R/W	00b	VCC1 低電圧スレッシュホールド選択 00b = スレッシュホールド 1 01b = スレッシュホールド 2 10b = スレッシュホールド 3 11b = スレッシュホールド 4
2	SW_FSM_EN	R/W	0b	フェイルセーフモード時にデジタルウェークアップピンになる SW ピンを有効化 0b = 無効化 1b = 有効化
1	SW_SLP_EN	R/W	0b	スリープモード時にデジタルウェークアップピンになる SW ピンを有効化 0b = 無効化 1b = 有効化
0	SW_POL_SEL	R/W	1b	SW ピンの入力極性を選択 0b = アクティブ Low 1b = アクティブ High

9.1.9 Scratch_Pad_SPI レジスタ (アドレス = 0Fh) [リセット = 00h]

表 9-19 に Scratch_Pad_SPI を示し、表 9-20 に、その説明を示します。

表 9-1 に戻ります。

テストレジスタ SPI の読み取りおよび書き込み

表 9-19. Scratch_Pad_SPI レジスタ

7	6	5	4	3	2	1	0
Scratch_Pad							
R/W-00h							

表 9-20. Scratch_Pad_SPI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Scratch_Pad	R/W	00h	テストレジスタ SPI の読み取りおよび書き込み

9.1.10 CAN_CNTRL_1 レジスタ (アドレス = 10h) [リセット = 04h]

表 9-21 に、CAN_CNTRL_1 レジスタを示し、表 9-22 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

CAN1 モードとトランシーバを制御します。

表 9-21. CAN_CNTRL_1 レジスタ

7	6	5	4	3	2	1	0
SW_EN	TXD_DTO_DIS	FD_EN	RSVD	CAN1_FSM_DIS	CAN1_TRX_SEL		
RH/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-100b		

表 9-22. CAN_CNTRL_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SW_EN	R/W	0b	選択的ウェークイネーブル 0b = 無効化 1b = 有効化
6	TXD_DTO_DIS	R/W	0b	CTXD ドミナントタイムアウト無効化 0b = 有効化 1b = 無効化
5	FD_EN	R/W	0b	バス故障診断イネーブル 0b = 無効化 1b = 有効化
4	RSVD	R	0b	予約済み
3	CAN1_FSM_DIS	R/W	0b	デバイスが FSM に移行時に CAN トランシーバの動作状態をセット 0b = ウェーク対応 1b = 無効化
2-0	CAN1_TRX_SEL	R/W	100b	CAN トランシーバ制御 000b = オフ 001b = 予約済み 010b = SBC モード制御 WUP 無効化 011b = 予約済み 100b = ウェーク対応 101b = リスン 110b = SBC モード制御 111b = オン

9.1.11 WAKE_PIN_CONFIG1 レジスタ (アドレス = 11h) [リセット = 00h]

表 9-23 に、WAKE_PIN_CONFIG1 レジスタを示し、表 9-24 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

デバイスのウェーク構成レジスタ

使用する場合はビット 0-4 および が EEPROM に保存されます。

表 9-23. WAKE_PIN_CONFIG1 レジスタ

7	6	5	4	3	2	1	0
WAKE_CONFIG		WAKE1_STAT	WAKE_VBAT_MON	WAKE_WIDTH_INVALID		WAKE_WIDTH_MAX	
R/W-00b		R/H-0b	R/W-0b	R/W-00b		R/W-00b	

表 9-24. WAKE_PIN_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WAKE_CONFIG	R/W	00b	WAKE ピンの設定: 注: パルスに、より多くのプログラミングが必要です 00b = 双方向 - いずれかのエッジ 01b = 立ち上がりエッジ 10b = 立ち下がりエッジ 11b = パルス
5	WAKE1_STAT	R/H	0b	WAKE1 ピンが構成される際の WAKE1 ピンステータス 0b = Low 1b = High
4	WAKE_VBAT_MON	R/W	0b	VBAT 監視機能を有効にすると WAKE1 と WAKE2 間のスイッチが閉じます。 0b = オフ (デフォルト) 1b = オン 注 WAKE_VBAT_MON がオンの場合、WAKE1 および WAKE2 をローカルウェーク入力ピンとして使用できません。
3-2	WAKE_WIDTH_INVALID	R/W	00b	これらのパルス以下のパルスは無効とみなされます。 0b = 5ms で $t_{WAKE_WIDTH_MIN}$ を 10ms にセット 1b = 10ms で $t_{WAKE_WIDTH_MIN}$ を 20ms にセット 10b = 20ms で $t_{WAKE_WIDTH_MIN}$ を 40ms にセット 11b = 40ms で $t_{WAKE_WIDTH_MIN}$ を 80ms にセット
1-0	WAKE_WIDTH_MAX	R/W	00b	有効と見なされる WAKE ピンの最大入力パルス幅。 0b = 750ms 1b = 1000ms 10b = 1500ms 11b = 2000ms

9.1.12 WAKE_PIN_CONFIG2 レジスタ (アドレス = 12h) [リセット = 02h]

表 9-25 に、WAKE_PIN_CONFIG2 レジスタを示し、表 9-26 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

デバイスのウェーク構成レジスタ

使用する場合、ビット 0-1、5、6 は EEPROM に保存されます。

表 9-25. WAKE_PIN_CONFIG2 レジスタ

7	6	5	4	3	2	1	0
WAKE_PULSE_CONFIG	WAKE1_SENSE	TWK_CYC_SET	nINT_SEL		RXD_WK_CONFIG	WAKE1_LEVEL	
R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-10b	

表 9-26. WAKE_PIN_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE_PULSE_CONFIG	R/W	0b	すべての WAKE ピンに対して WAKE ピンの予期パルス方向をセット 0b = Low → High → Low 1b = High → Low → High
6	WAKE1_SENSE	R/W	0b	このビットは、WAKE_VBAT_MON ビットの構成方法により決定されるデュアル機能ビットです: WAKE_VBAT_MON = 0b のとき、ビットは WAKE1_SENSE で、静的またはサイクリックのウェーク用に WAKE1 ピンを構成します 0b = 静的 1b = サイクリック WAKE_VBAT_MON = 1b のとき、ビットは OV_WAKE12SW_DIS になり、これを使用して WAKE1 ピンと WAKE2 ピンの間の内部スイッチを OVHSS にリンクします 0b = 有効、OVHSS に達する場合、スイッチはオフ 1b = 無効化
5	TWK_CYC_SET	R/W	0b	すべての WAKE ピンのサイクリックセンシングの WAKE ピンステータスを決定する t_{WK_CYC} 時間 (μs) をセット 0b = より短い時間ウィンドウ 1b = より長い時間ウィンドウ
4-3	nINT_SEL	R/W	00b	nINT 構成の選択: アクティブ Low 00b = グローバル割り込み 01b = ウォッチドッグ障害出力 10b = バス故障割り込み 11b = ウェークリクエスト
2	RXD_WK_CONFIG	R/W	0b	ウェークイベントからの RXD ピンの動作を構成 0b = Low にプル 1b = トグル
1-0	WAKE1_LEVEL	R/W	10b	WAKE1 ピンのスレッショルドレベル。2V ウィンドウの中間ポイントの値、00b を除く。 00b = VCC1 01b = 2.5V 10b = 4V 11b = 6V

9.1.13 WD_CONFIG_1 レジスタ (アドレス = 13h) [リセット = 82h]

表 9-27 に、WD_CONFIG_1 レジスタを示し、表 9-28 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

ウォッチドッグ構成レジスタ。

ビット 0 ~ 7 を使用する場合は EEPROM に保存されます。

表 9-27. WD_CONFIG_1 レジスタ

7	6	5	4	3	2	1	0
WD_CONFIG		WD_PRE		WD_SLP_EN	WD_STBY_TY PE	WD_LW_SEL	
R/W-10b		R/W-00b		R/W-0b	R/W-0b	R/W-10b	

表 9-28. WD_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_CONFIG	R/W	10b	ウォッチドッグ構成 00b = 無効化 01b = タイムアウト 10b = ウィンドウ 11b = Q&A
5-4	WD_PRE	R/W	00b	ウォッチドッグプリスケアラ 00b = 係数 1 01b = 係数 2 10b = 係数 3 11b = 係数 4
3	WD_SLP_EN	R/W	0b	スリープモードでのタイムアウト WD を有効化 0b = 無効化 (デフォルト) 1b = 有効化
2	WD_STBY_TYPE	R/W	0b	スタンバイモードでのウォッチドッグタイプ選択 0b = 有効な場合はタイムアウト 1b = WD_CONFIG 0x13[7:6] に基づく
1-0	WD_LW_SEL	R/W	10b	ウォッチドッグの長いウィンドウの期間を選択 00b = 150ms 01b = 300ms 10b = 600ms (デフォルト) 11b = 1000ms

9.1.14 WD_CONFIG_2 レジスタ (アドレス = 14h) [リセット = 60h]

表 9-29 に、WD_CONFIG_2 レジスタを示し、表 9-30 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

ウォッチドッグ タイマとエラー カウンタ レジスタ。

ビット 0、5～7 を使用すると、EEPROM に保存されます。

表 9-29. WD_CONFIG_2 レジスタ

7	6	5	4	3	2	1	0
WD_TIMER			WD_ERR_CNT				WD_STBY_DIS
R/W-011b			RH-0000b				R/W-0b

表 9-30. WD_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	WD_TIMER	R/W	011b	WD_PRE 設定に基づいてウィンドウ時間またはタイムアウト時間を設定します。詳細は WD_TIMER 表を参照してください
4-1	WD_ERR_CNT	RH	0000b	ウォッチドッグ エラー カウンタが最大 15 個のエラーを実行
0	WD_STBY_DIS	R/W	0b	スタンバイ モードでウォッチドッグを無効にします。 0b = イネーブル 1b = デイセーブル

9.1.15 WD_INPUT_TRIG レジスタ (アドレス = 15h) [リセット = 00h]

表 9-31 に WD_INPUT_TRIG を示し、表 9-32 に説明を示します。

表 9-1 に戻ります。

FFh を書き込むと、適切なタイミングで WD タイマがリセットされます

表 9-31. WD_INPUT_TRIG レジスタ

7	6	5	4	3	2	1	0
WD_INPUT							
R/W1C-00h							

表 9-32. WD_INPUT_TRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_INPUT	R/W1C	00h	WD をトリガするには、FFh を書き込みます

9.1.16 WD_RST_PULSE レジスタ (アドレス = 16h) [リセット = 00h]

表 9-33 に WD_RST_PULSE を示し、表 9-34 に、その説明を示します。

表 9-1 に戻ります。

このレジスタは、デバイスがリスタートモードに移行する前の WD エラーイベント数を決定する、WD カウンタをセットします。最大 15 までプログラムできます。プログラムされたカウンタ値を超えるとデバイスがスリープモードに移行する、デバイスがリスタートモードに移行できる回数をカウントするリスタートカウンタです。この遷移を回避するにはカウンタを頻繁にリセットする必要があります。

ビット 4 ~ 7 を使用する場合は EEPROM に保存されます。

表 9-33. WD_RST_PULSE レジスタ

7	6	5	4	3	2	1	0
WD_ERR_CNT_SET				RSRT_CNTR			
R/W-0000b				R/W1C-0000b			

表 9-34. WD_RST_PULSE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	WD_ERR_CNT_SET	R/W	0000b	デバイスがリスタートモードに移行するための、ウォッチドッグエラーイベントスレッショルドの数をセットします。
3-0	RSRT_CNTR	R/W1C	0000b	デバイスがリスタートモードに移行した回数を示し、これは RSRT_CNTR_SEL 値に達する前にクリアする必要があります

9.1.17 FSM_CONFIG レジスタ (アドレス = 17h) [リセット = 00h]

表 9-35 に FSM_CONFIG を示し、表 9-36 に、その説明を示します。

表 9-1 に戻ります。

フェイルセーフモードを構成して、デバイスがフェイルセーフモードに移行した理由を示すステータスを提供します。FSM が無効なとき、8'h17 [3:1] は、デバイスがスリープモードに移行する原因となった故障情報を提供します。

表 9-35. FSM_CONFIG レジスタ

7	6	5	4	3	2	1	0
FSM_CNTR_ACT				FSM_SLP_STAT			FSM_DIS
R/W-0000b				RH-000b			R/W-0b

表 9-36. FSM_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FSM_CNTR_ACT	R/W	0000b	フェイルセーフカウンタがプログラムされた値を超えた場合のアクション 0000b = 無効化 0001b ~ 0010b = 予約済み 0011b = ハードリセットを実行 - POR 0100b = ウェークイベントへの応答を停止し電源サイクルリセットまでスリープ 1001b ~ 1111b - 予約済み
3-1	FSM_SLP_STAT	RH	000b	フェイルセーフまたはスリープモードに移行する理由 000b = ステータスクリア 001b = サーマルシャットダウンイベント 010b = 予約済み 011b = VCC1 故障 100b = 予約済み 101b = SWE タイマ (スリープモード) 110b = 予約済み 111b = リスタートカウンタ超過 FSM_CNTR_STAT に 0h を書き込みクリアするまでこれらの値を保持
0	FSM_DIS	R/W	0b	フェイルセーフモード無効化: 0b = イネーブル 1b = ディセーブル

注

FSM_SLP_STAT は、デバイスがフェイルセーフモードまたはスリープモードに移行する原因となった故障の情報を提供します。VCC1 故障が原因である場合に、割り込みレジスタに故障が過電圧または短絡であることが示されるなど、割り込みレジスタは詳細情報を提供します。FSM がイネーブルの場合、INT_3 レジスタ 8'h53[5] がセットされ、デバイスがフェイルセーフモードに移行したことを示します。VEXCC と VCC1 が負荷共有している場合、VCC1 は故障条件を表します。

フェイルセーフモードが無効化される際、FSM_SLP_STAT は、デバイスがスリープモードに移行した原因となる故障を示します。動作は、デバイスがフェイルセーフモードに移行したときと似ていますが、次の違いがあります:

- INT_2 レジスタ 8'h52[7] がセットされ、デバイスがスリープモードに移行したことを示します
- UVCC1 故障およびウォッチドッグ障害イベントによってリスタートカウンタが制限を超えない限り (111b によりリスタートカウンタ超過を通知)、デバイスはスリープモードに移行しません。低電圧またはウォッチドッグ割り込みがセットされます。

9.1.18 FSM_CNTR レジスタ (アドレス = 18h) [リセット = 00h]

表 9-37 に FSM_CNTR を示し、表 9-38 に、その説明を示します。

表 9-1 に戻ります。

フェイルセーフカウンタとステータスをセットします。

表 9-37. FSM_CNTR レジスタ

7	6	5	4	3	2	1	0
FSM_CNTR_SET				FSM_CNTR_STAT			
R/W-0000b				RH-0000b			

表 9-38. FSM_CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	FSM_CNTR_SET	R/W	0000b	アクションが実行される前に FS モードに移行する回数をセットします。値は、FS モードに移行する回数より 1 つ小さい値です。範囲は 0 ~ 15 で、フェイルセーフモードに 1 ~ 16 回移行したことを示します
3-0	FSM_CNTR_STAT	RH	0000b	FSM が 15 行まで入力された回数をリードバックします。0h を書き込むことでクリアできます。

9.1.19 DEVICE_CONFIG0 レジスタ (アドレス = 19h) [リセット = 10h]

表 9-39 に、DEVICE_CONFIG0 レジスタを示し、表 9-40 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

ソフトまたはハードリセットを強制します。内部 NVM リビジョンを提供します

表 9-39. DEVICE_CONFIG0 レジスタ

7	6	5	4	3	2	1	0
NVM_REV				予約済み		SF_RST	HD_RST
R-0001b				R-00b		R/W1C-0b	R/W1C-0b

表 9-40. DEVICE_CONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	NVM_REV	R	0001b	内部 NVM リビジョン
3-2	予約済み	R	00b	予約済み
1	SF_RST	R/W1C	0b	ソフトリセット: 1 を書き込むとソフトリセットが実行されます。LDO をオンにしたまま、デバイスレジスタが EEPROM からリロードされます。
0	HD_RST	R/W1C	0b	ハードリセット: 1 を書き込むとパワーオンリセットが強制されます。

注

これにより PWRON 割り込みフラグがセットされます。

9.1.20 DEVICE_CONFIG1 (アドレス = 1Ah) [リセット = 00h]

表 9-41 に、DEVICE_CONFIG1 レジスタを示し、表 9-42 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

LIMP ピンの構成。

使用する場合は、ビット 0、4、7 が EEPROM に保存されます。

表 9-41. DEVICE_CONFIG1

7	6	5	4	3	2	1	0
LIMP_SLP_FLT_EN	LIMP_RD_EN	LIMP_STATE	LIMP_DIS	LIMP_SEL_RESET		LIMP_RESET	FSM_CYC_SEN_EN
R/W-0b	R/W-0b	R-0b	R/W - 0b	R/W - 00b		R/W1C - 0b	R/W - 0b

表 9-42. DEVICE_CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LIMP_SLP_FLT_EN	R/W	0b	FSM 移行の原因となるいずれかの故障がオフになるまで、LIMP ピンがオンになります 0b = 無効化 (デフォルト) 1b = 有効
6	LIMP_RD_EN	R/W	0b	LIMP ピンのリードバックバッファを有効にして LIMP ピンのステータスを提供し、LIMP_STATE に反映します 0b = 無効化 (デフォルト) 1b = 有効
5	LIMP_STATE	R	0b	LIMP ピンの状態をリードバック 0b = 非アクティブ 1b = アクティブ
4	LIMP_DIS	R/W	0b	LIMP ピン無効化 0b = 有効 1b = 無効化
3-2	LIMP_SEL_RESET	R/W	00b	LIMP ピンをリセット/オフする手法を選択 00b = エラーカウンタが 3 回の入力トリガ成功を受信 01b = 最初の正しい入力トリガ 10b = 予約済み 11b = 予約済み
1	LIMP_RESET	R/W1C	0b	LIMP リセットがこの位置に 1 を書き込むと LIMP ピンがオフ状態にリセットされ、ビットが自動的にクリア
0	FSM_CYC_SEN_EN	R/W	0b	フェイルセーフモードでのサイクリックセンシングウェークアップを有効化 0b = 無効化 1b = 有効

9.1.21 DEVICE_CONFIG2 (アドレス = 1Bh) [リセット = 00h]

表 9-43 に、DEVICE_CONFIG2 レジスタを示し、表 9-44 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

WAKE ピンおよびチャネルの拡張構成と制御。

使用する場合はビット 0 が EEPROM に保存されます。

表 9-43. DEVICE_CONFIG2

7	6	5	4	3	2	1	0
RSVD						WAKE_WIDTH_MAX_DIS	nINT_TOG_EN
R-000000b						R/W-0b	R/W-0b

表 9-44. DEVICE_CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	RSVD	R	000000b	予約済み
1	WAKE_WIDTH_MAX_DIS	R/W	0b	WAKE ピンのウェイクアップにパルスを選択する場合、最大制限値 $t_{WK_PULSE_WIDTH_MAX}$ の検出を無効化します。 0b = 有効 1b = 無効化
0	nINT_TOG_EN	R/W	0b	割り込み時に Low にラッチされずに、nINT ピンのトグルを有効化 0b = 無効化 1b = 有効

9.1.22 SWE_TIMER (アドレス = 1Ch) [リセット = 28h]

表 9-45 に SWE_TIMER を示し、表 9-46 に、その説明を示します。

表 9-1 に戻ります。

スリープウェークエラータイマ構成。電源を投入すると常にデフォルト値にセットされます

使用する場合はビット 3-7 が EEPROM に保存されます。

表 9-45. SWE_TIMER

7	6	5	4	3	2	1	0
SWE_EN	SWE_TIMER_SET				CANSLNT_SW E_DIS	LIN1_FSM_DIS	RSVD
R/W-0b	R/W-0101b				R/W-0b	R/W-0b	R-0b

表 9-46. SWE_TIMER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SWE_EN	R/W	0b	スリープウェークエラーイネーブル;注:有効な場合は、このウィンドウ内で SPI の読み取りまたは書き込みを実行する必要があります。そうしないとデバイスはスリープに戻ります。最初の電源投入時やパワーオンリセット時に、この機能は無効化されません。 0b = ディセーブル 1b = イネーブル
6-3	SWE_TIMER_SET	R/W	0101b	$t_{INACTIVE}$ で使用するタイマをセット (分) 0000b = 2 0001b = 2.5 0010b = 3 0011b = 3.5 0100b = 4 0101b = 4.5 0110b = 5 0111b = 5.5 1000b = 6 1001b = 6.5 1010b = 8 1011b = 8.5 1100b = 10 1101b = 予約済み 1110b = 予約済み 1111b = 予約済み
2	CANSLNT_SWE_DIS	R/W	0b	CANSLNT フラグと SWE タイマの接続を無効化します。 0b = イネーブル 1b = ディセーブル
1	LIN1_FSM_DIS	R/W	0b	FSM に移行する際に LIN トランシーバを無効化 0b = ウェーク対応 1b = オフ
0	RSVD	R	0b	予約済み

9.1.23 LIN_CNTL (アドレス = 1Dh) [リセット = 20h]

表 9-47 に LIN_CNTL を示し、表 9-48 に、その説明を示します。

表 9-1 に戻ります。

LIN1 トランシーバの状態とドミナントタイムアウト制御。

表 9-47. LIN_CNTL

7	6	5	4	3	2	1	0
LIN1_TRX_CNTRL			LIN1_TXD_DT O_DIS	RSVD			
R/W/H-001b			R/W/H-0b	R-0000b			

表 9-48. LIN_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	LIN1_TRX_CNTRL	R/W/H	001b	チャンネル 1 LIN トランシーバ制御 000b = オフ 001b = ウェーク対応 010b = オン 011b = 高速 100b = リスン 101b = SBC モード制御 110b - 111b = 予約済み
4	LIN1_TXD_DTO_DIS	R/W/H	0b	ポート 1 LIN LTXD1 ドミナント状態タイムアウト無効化 0b = 有効化 1b = 無効化
3-0	RSVD	R	0000b	予約済み

9.1.24 HSS_CNTL (アドレス = 1Eh) [リセット = 00h]

表 9-49 に HSS_CNTL を示し、表 9-50 に、その説明を示します。

表 9-1 に戻ります。

HSS1 および HSS2 のハイサイドスイッチ制御。

表 9-49. HSS_CNTL

7	6	5	4	3	2	1	0
HSS1_CNTL				HSS2_CNTL			
R/W-0000b				R/W-0000b			

表 9-50. HSS_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	HSS1_CNTL	R/W	0000b	HSS1 の制御 0000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 直接駆動 低速スルーレート設定あり 1001b = より高速なスルーレート設定を使用する直接駆動その他の値はすべて予約済み
3-0	HSS2_CNTL	R/W	0000b	HSS2 の制御 0000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 低速スルーレート設定による直接駆動 1001b = 高速スルーレート設定による直接駆動 他のすべての値は予約済み

9.1.25 PWM1_CNTL1 (アドレス = 1Fh) [リセット = 00h]

表 9-51 に、PWM1_CNTL1 レジスタを示し、表 9-52 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

パルス幅変調周波数 PWM1 をセットします。複数のハイサイドスイッチが利用可能な場合は、より多くの PWM が必要になることがあります。HSS3 が利用可能で、これらのレジスタを使用する場合、PWM1 は PWM3 になります。

表 9-51. PWM1_CNTL1

7	6	5	4	3	2	1	0
PWM1_FREQ	PWM1_FREQ_RSVD						
R/W-0b	R-0000000b						

表 9-52. PWM1_CNTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PWM1_FREQ	R/W	0b	PWM 周波数選択 (Hz) 0b = 200 1b = 400
6-0	PWM1_FREQ_RSVD	R	0000000b	予約済み

注

HSS3 を構成するとき、PWM を使用する場合は、PWM3 を整合します。レジスタ 8'hC[5:4]= 01b の場合、PWM1 制御は PWM3 に変化します。

9.1.26 PWM1_CNTL2 (アドレス = 20Fh) [リセット = 00h]

表 9-53 に、PWM1_CNTL2 レジスタを示し、表 9-54 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

10 ビット PWM1 の最上位 2 ビットをセットします。これらはレジスタ h'21 で動作します

表 9-53. PWM1_CNTL2

7	6	5	4	3	2	1	0
PWM1_RSVD						PWM1_DC_MSB	
R-000000b						R/W-00b	

表 9-54. PWM1_CNTL2L レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	PWM1_RSVD	R	000000b	予約済み
1-0	PWM1_DC_MSB	R/W	00b	10 ビット PWM1 デューティサイクル選択用の最上位 2 ビット。h'21[7:0] で動作 00b = 'h21[7:0] を使用して 00h である場合は 100% オフ xxb = 'h21[7:0] で使用する際は $\approx 0.1\%$ 増加するオン時間 11b = 'h21[7:0] を使用して FFh である場合は 100%

注

HSS3 を構成するとき、PWM を使用する場合は、PWM3 を整合します。レジスタ 8'hC[5:4]= 01b の場合、PWM1 制御は PWM3 に変化します。

9.1.27 PWM1_CNTL3 (アドレス = 21Fh) [リセット = 00h]

表 9-55 に、PWM1_CNTL3 を示し、表 9-56 に、その説明を示します。

表 9-1 に戻ります。

10 ビットの PWM1 および PWM3 のビット 0 ~ 7。レジスタ h'20[1:0] で使用します。h'22 または h'23 が変更された場合 (変更されない場合も)、これらのレジスタビットを書き換えます。新しい PWM 設定は LSB ビットに書き込み後にのみ有効になります。

表 9-55. PWM1_CNTL3

7	6	5	4	3	2	1	0
PWM1_DC							
R/W-00h							

表 9-56. PWM1_CNTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PWM1_DC	R/W	00h	10 ビット PWM1 のビット 0 ~ 7 00h = 'h20[1:0] = 00b で使用する際は 100% オフ xxh = 'h20[1:0] で使用する際は $\approx 0.1\%$ でオン時間 FFh = 'h20[1:0] = 11b で使用する際は 100% オン

注

HSS3 を構成するとき、PWM を使用する場合は、PWM3 を整合します。レジスタ 8'hC[5:4]= 01b の場合、PWM1 制御は PWM3 に変化します。

9.1.28 PWM2_CNTL1 (アドレス = 22Fh) [リセット = 00h]

表 9-57 に、PWM2_CNTL1 レジスタを示し、表 9-58 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

パルス幅変調周波数 PWM2 をセットします。複数のハイサイドスイッチが利用可能な場合は、より多くの PWM が必要になることがあります。HSS4 が利用可能で、これらのレジスタを使用する場合、PWM2 は PWM4 になります。

表 9-57. PWM2_CNTL1

7	6	5	4	3	2	1	0
PWM2_FREQ	PWM2_FREQ_RSVD						
R/W-0b	R-0000000b						

表 9-58. PWM2_CNTL1 レジスタのフィールドの説明

ビット	領域	タイプ	リセット	説明
7	PWM2_FREQ	R/W	0b	PWM 周波数選択 (Hz) 0b = 200 1b = 400
6-0	PWM2_FREQ_RSVD	R	0000000b	予約済み

注

HSS4 を構成するとき、PWM を使用する場合は、PWM4 を整合します。レジスタ 8'hC[5:4]= 01b の場合、PWM2 制御は PWM4 に変化します。

9.1.29 PWM2_CNTL2 (アドレス = 23Fh) [リセット = 00h]

表 9-59 に、PWM2_CNTL2 レジスタを示し、表 9-60 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

10 ビット PWM2 の最上位 2 ビットをセットします。これらはレジスタ h'24 で動作します

表 9-59. PWM2_CNTL2

7	6	5	4	3	2	1	0
PWM2_RSVD						PWM2_DC_MSB	
R-000000b						R/W-00b	

表 9-60. PWM2_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	PWM2_RSVD	R	000000b	予約済み
1-0	PWM2_DC_MSB	R/W	00b	10 ビット PWM2 デューティサイクル選択用の最上位 2 ビット。h'24[7:0] で動作 00b = 'h24[7:0] を使用して 00h である場合は 100% オフ xxb = 'h24[7:0] で使用する際は $\approx 0.1\%$ 増加するオン時間 11b = 'h24[7:0] を使用して FFh である場合は 100%

注

HSS4 を構成するとき、PWM を使用する場合は、PWM4 を整合します。レジスタ 8'hC[5:4]= 01b の場合、PWM2 制御は PWM4 に変化します。

9.1.30 PWM2_CNTL3 (アドレス = 24Fh) [リセット = 00h]

表 9-61 に、PWM2_CNTL3 レジスタを示し、表 9-62 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

10 ビット PWM2 および PWM4 のビット 0 ~ 7。レジスタ h'23[1:0] と併用されます。レジスタ h'22 または h'23 が変更された場合、内容が変わっていても、これらのレジスタ ビットを再書き込みします。新しい PWM 設定は、LSB ビットに書き込まれた後にのみ有効になります。

表 9-61. PWM2_CNTL3

7	6	5	4	3	2	1	0
PWM2_DC							
R/W-00h							

表 9-62. PWM2_CNTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PWM2_DC	R/W	00h	10 ビット PWM2 のビット 0~7 00h = 'h23[1:0] を使用した場合、100%オフ = 00b xxh = 'h23[1:0] を使用する場合、オン時間が約 0.1% ずつ増加 FFh = 'h23[1:0] = 11b の場合、100% オン

注

HSS4 を設定するとき、PWM を使用する場合、PWM4 を整列させます。レジスタ 8'hC[5:4] = 01b に設定されると、PWM2 の制御が PWM4 に切り替わります。

9.1.31 TIMER1_CONFIG (アドレス = 25h) [リセット = 00h]

表 9-63 に、TIMER1_CONFIG レジスタを示し、表 9-64 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

タイマ 1 の期間とオン時間をセットします。幅 200ms を選択すると 10ms の期間を選択できないため、慎重に選択することが重要です。Timer1 または Timer2 の選択は、サイクリック検出ウェーク、HSS、サイクリックセンシングウェークでは共有できません。これらのタイマは、これら 3 つの機能のうち 1 つのみをサポートしています。Timer1 はある関数に、Timer2 は別の関数に使用できます。

表 9-63. TIMER1_CONFIG

7	6	5	4	3	2	1	0
TIMER1_ON_WIDTH				TIMER1_CYC_WK_EN	TIMER1_PERIOD		
R/W-0000b				R/W-0b	R/W-000b		

表 9-64. TIMER1_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	TIMER1_ON_WIDTH	R/W	0000b	タイマ 1 に対してハイサイドスイッチの時間 (ms) をセット 0000b = オフ (HSS はハイインピーダンス) 0001b = 0.1 0010b = 0.3 0011b = 0.5 0100b = 1 0101b = 10 0110b = 20 0111b = 30 1000b = 40 1001b = 50 1010b = 60 1011b = 80 1100b = 100 1101b = 150 1110b = 200 1111b = オン (HSS は 100% 時)
3	TIMER1_CYC_WK_EN	R/W	0b	サイクリックウェークの timer1 を有効化 0b = 無効化 1b = 有効化
2-0	TIMER1_PERIOD	R/W	000b	タイマ 1 のタイマ期間 (ms) をセット 000b = 10 001b = 20 010b = 50 011b = 100 100b = 200 101b = 500 110b = 1000 111b = 2000

9.1.32 TIMER2_CONFIG (アドレス = 26h) [リセット = 00h]

表 9-65 に、TIMER2_CONFIG レジスタを示し、表 9-66 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

タイマ 2 の期間とオン時間をセットします。幅 200ms を選択すると 10ms の期間を選択できないため、慎重に選択することが重要です。Timer1 または Timer2 の選択は、サイクリック検出ウェーク、HSS、サイクリックセンシングウェークでは共有できません。これらのタイマは、これら 3 つの機能のうち 1 つのみをサポートしています。Timer1 はある関数に、Timer2 は別の関数に使用できます。

表 9-65. TIMER2_CONFIG

7	6	5	4	3	2	1	0
TIMER2_ON_WIDTH				TIMER2_CYC_WK_EN	TIMER2_PERIOD		
R/W-0000b				R/W-0b	R/W-000b		

表 9-66. TIMER2_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	TIMER2_ON_WIDTH	R/W	0000b	タイマ 2 に対してハイサイドスイッチの時間 (ms) をセット 0000b = オフ (HSS はハイインピーダンス) 0001b = 0.1 0010b = 0.3 0011b = 0.5 0100b = 1 0101b = 10 0110b = 20 0111b = 30 1000b = 40 1001b = 50 1010b = 60 1011b = 80 1100b = 100 1101b = 150 1110b = 200 1111b = オン (HSS は 100% 時)
3	TIMER2_CYC_WK_EN	R/W	0b	サイクリックウェークの timer2 を有効化 0b = 無効化 1b = 有効化
2-0	TIMER2_PERIOD	R/W	000b	タイマ 2 のタイマ期間 (ms) をセット 000b = 10 001b = 20 010b = 50 011b = 100 100b = 200 101b = 500 110b = 1000 111b = 2000

9.1.33 RSRT_CNTR (アドレス = 28h) [リセット = 40h]

表 9-67 に RSRT_CNTR を示し、表 9-68 に、その説明を示します。

表 9-1 に戻ります。

リスタートモードカウンタセット。プログラムされたカウンタ値を超えるとデバイスがスリープモードに移行する、デバイスがリスタートモードに移行できる回数をセットします。

表 9-67. RSRT_CNTR

7	6	5	4	3	2	1	0
RSRT_CNTR_SEL				RSVD			
R/W-0100b				R-0000b			

表 9-68. RSRT_CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	RSRT_CNTR_SEL	R/W	0100b	デバイスがスリープモードに移行する前に、デバイスがリスタートモードに移行できる回数、1 ~ 15 を選択します。ここで 0h を書き込むと、リスタートカウンタは無効化されます。
3-0	RSVD	R	0000b	予約済み

9.1.34 nRST_CNTL (アドレス = 29h) [リセット = 2Ch]

表 9-69 に nRST_CNTL を示し、表 9-70 に、その説明を示します。

表 9-1 に戻ります。

nRST および GFO ピン制御レジスタ。

使用する場合は、ビット 5 は EEPROM に保存されます。

表 9-69. nRST_CNTL

7	6	5	4	3	2	1	0
RSVD		nRST_PULSE_ WIDTH	GFO_POL_SEL		GFO_SEL		RSVD
R-00b		R/W-1b	R/W-0b		R/W-110b		R-0b

表 9-70. nRST_CNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RSVD	R	00b	予約済み
5	nRST_PULSE_WIDTH	R/W	1b	ウォッチドッグ障害 (ms) 0b = 2 1b = 15 でデバイスがリスタートモードに移行するときに、nRST を High -> Low -> High に切り替えるためのパルス幅をセットします
4	GFO_POL_SEL	R/W	0b	GFO ピンの極性を選択します 0b = アクティブ Low 1b = アクティブ High 注 レジスタ 8'h29[3:1] = 110b によりピンを汎用出力ピンにするときの出力レベルを選択します (0 = Low、1 = High)
3-1	GFO_SEL	R/W	110b	汎用出力の選択時を除き、このピンを 'h29[4] で選択された状態に t_{NRST_TOG} の間プルする情報を選択 000b = VCC1、VCC2 および/または VEXCC 割り込み (過電圧、低電圧、または短絡) 001b = WD 割り込みイベント 010b = 予約済み 011b = ローカルウェークリクエスト (LWU) 100b = パスウェークリクエスト (WUP) 101b = リスタートカウント超過 (スタンバイモードで表示) 110b = 汎用出力 (デフォルト) 111b = CAN バス故障
0	RSVD	R	0b	RSVD

9.1.35 WAKE_PIN_CONFIG3 レジスタ (アドレス = 2Ah) [リセット = E0h]

表 9-71 に、WAKE_PIN_CONFIG3 レジスタを示し、表 9-72 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります

WAKE ピンへの入力数と、ウェイクアップを引き起こした入力を設定するためのレジスタ。

MULTI_WAKE_STAT は、特定のビットに基づいて WAKE 入力の状態が変化することを提供します。これらのビットは WAKE 入力を表すため、複数の WAKE 入力ビットが設定されている場合、それらの特定の WAKE 入力によって WAKE イベントが発生することを示します。例として、h'2A[4:0] = 00101b の場合、WAKE 0 と WAKE 2 の状態が変化しています。

表 9-71. WAKE_PIN_CONFIG3

7	6	5	4	3	2	1	0
WAKE_PIN_SET				MULTI_WAKE_STAT			
R/W = 111b				R/W0C/H = 00000b			

表 9-72. WAKE_PIN_CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	WAKE_PIN_SET	R/W	111b	どの WAKE 入力を有効にするかを設定するビット割り当ては、 000b = なし、 001b = WAKE1 有効、 010b = WAKE2 有効、 011b = WAKE1 と WAKE2 有効、 100b = WAKE3 有効、 101b = WAKE1 と WAKE3 有効、 110b = WAKE2 と WAKE3 有効、 111b = WAKE1、WAKE2、WAKE3 が有効
4-0	MULTI_WAKE_STAT	R/W0C/H	00000b	ウェイク入力信号の個別または組み合わせに関する情報を提供します。 00000b = なし 00001b = Wake1 00010b = Wake 2 00100b = Wake 3 注 注: 対応する WAKE ピンのビットを 1 に設定すると、複数の WAKE ピンをローカル ウェイクアップ入力として使用できるようになります。たとえば、WAKE 1 と WAKE3 が発生した場合、00101b と表示されます。

9.1.36 WAKE_PIN_CONFIG4 レジスタ (アドレス = 2Bh) [リセット = 22h]

表 9-73 に CONFIG_RSVD_y を示し、表 9-74 に、その説明を示します。

表 9-1 に戻ります。

WAKE ピン 2 と 3 を構成します

使用する場合はビット 0-1、3、4-5、7 が EEPROM に保存されます。

表 9-73. WAKE_PIN_CONFIG4

7	6	5	4	3	2	1	0
WAKE2_SENSE	WAKE2_STAT	WAKE2_LEVEL		WAKE3_SENSE	WAKE3_STAT	WAKE3_LEVEL	
R/W-0b	R/H-0b	R/W-10b		R/W-0b	R/H-0b	R/W-10b	

表 9-74. WAKE_PIN_CONFIG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WAKE2_SENSE	R/W	0b	WAKE ピン 2 センス構成 0b = 静的 1b = サイクリック
6	WAKE2_STAT	R/H	0b	WAKE2 ピンがオンに構成時の WAKE2 ピンステータス 0b = Low 1b = High
5-4	WAKE2_LEVEL	R/W	10b	WAKE2 ピンのスレッショルドレベル。2V ウィンドウの中間ポイントの値、00b を除く。 00b = VCC1 01b = 2.5V 10b = 4V 11b = 6V
3	WAKE3_SENSE	R/W	0b	WAKE ピン 3 センス構成 0b = 静的 1b = サイクリック
2	WAKE3_STAT	R/H	0b	WAKE3 ピンがオンに構成時の WAKE3 ピンステータス 0b = Low 1b = High
1-0	WAKE3_LEVEL	R/W	10b	WAKE3 ピンのスレッショルドレベル。2V ウィンドウの中間ポイントの値、00b を除く。 00b = VCC1 01b = 2.5V 10b = 4V 11b = 6V

9.1.37 WD_QA_CONFIG レジスタ (アドレス = 2Dh) [リセット = 0Ah]

表 9-75 に WD_QA_CONFIG を示し、表 9-76 に、その説明を示します。

表 9-1 に戻ります。

Q&A ウォッチドッグ構成ビット。

使用する場合は、すべてのビットが EEPROM に保存されます。

表 9-75. WD_QA_CONFIG レジスタ

7	6	5	4	3	2	1	0
WD_ANSW_GEN_CFG		WD_QA_POLY_CFG		WD_QA_POLY_SEED			
R/W-00b		R/W-00b		R/W-1010b			

表 9-76. WD_QA_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	WD_ANSW_GEN_CFG	R/W	00b	WD 応答生成構成
5-4	WD_QA_POLY_CFG	R/W	00b	WD Q&A 多項式構成
3-0	WD_QA_POLY_SEED	R/W	1010b	WD Q&A 多項式シード値はデバイスが RESET 状態のときにロードされます

9.1.38 WD_QA_ANSWER レジスタ (アドレス = 2Eh) [リセット = 00h]

表 9-77 に WD_QA_ANSWER を示し、表 9-78 に、その説明を示します。

表 9-1 に戻ります。

Q&A ウォッチドッグ回答ビット

表 9-77. WD_QA_ANSWER レジスタ

7	6	5	4	3	2	1	0
WD_QA_ANSWER							
R/W1C-00h							

表 9-78. WD_QA_ANSWER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	WD_QA_ANSWER	R/W1C	00h	マイコンのウォッチドッグ Q&A の回答応答バイト

9.1.39 WD_QA_QUESTION レジスタ (アドレス = 2Fh) [リセット = 3Ch]

表 9-79 に WD_QA_QUESTION を示し、表 9-80 に、その説明を示します。

表 9-1 に戻ります。

Q&A ウォッチドッグ質問ビット

表 9-79. WD_QA_QUESTION レジスタ

7	6	5	4	3	2	1	0
WD_QA_RSVD	WD_QA_ERR	WD_ANSW_CNT		WD_QUESTION			
R-0b	W1C-0b	RH-11b		RH-1100b			

表 9-80. WD_QA_QUESTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD_QA_RSVD	R	0b	予約済み
6	WD_QA_ERR	W1C	0b	ウォッチドッグ Q&A 回答エラーフラグ
5-4	WD_ANSW_CNT	RH	11b	受信したウォッチドッグ Q&A エラーカウンタの現在の状態
3-0	WD_QUESTION	RH	1100b	現在のウォッチドッグの質問の値

9.1.40 SW_ID1 レジスタ (アドレス = 30h) [リセット = 00h]

表 9-81 に、SW_ID1 レジスタを示し、表 9-82 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

拡張 ID ビット 17:10

表 9-81. SW_ID1 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_17:10							
R/W-00h							

表 9-82. SW_ID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_17:10	R/W	00h	拡張 ID ビット 17:10

9.1.41 SW_ID2 レジスタ (アドレス = 31h) [リセット = 00h]

表 9-83 に、SW_ID2 レジスタを示し、表 9-84 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

拡張 ID ビット 9:2。

表 9-83. SW_ID2 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_9:2							
R/W-00h							

表 9-84. SW_ID2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_9:2	R/W	00h	拡張 ID ビット 9:2

9.1.42 SW_ID3 レジスタ (アドレス = 32h) [リセット = 00h]

表 9-85 に、SW_ID3 レジスタを示し、表 9-86 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

拡張 ID bits 1:0、拡張 ID フィールド、ID[10:6] および拡張 ID[28:24]

表 9-85. SW_ID3 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_1:0		IDE	ID_10:6__EXT_ID_28:24				
R/W-00b		R/W-0b	R/W-00000b				

表 9-86. SW_ID3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	EXT_ID_1:0	R/W	00b	拡張 ID ビット 1:0
5	IDE	R/W	0b	拡張 ID フィールド 0b = 標準 ID (11 ビット) 1b = 拡張 ID (29 ビット)
4-0	ID_10:6__EXT_ID_28:24	R/W	00000b	ID[10:6] および拡張 ID[28:24]

9.1.43 SW_ID4 レジスタ (アドレス = 33h) [リセット = 00h]

表 9-87 に、SW_ID4 レジスタを示し、表 9-88 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

ID[5:0] および拡張 ID[23:18]

表 9-87. SW_ID4 レジスタ

7	6	5	4	3	2	1	0
ID_5:0__EXT_ID_23:18						予約済み	
R/W-000000b						R-00b	

表 9-88. SW_ID4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	ID_5:0__EXT_ID_23:18	R/W	000000b	ID[5:0] および拡張 ID[23:18]
1-0	予約済み	R	00b	予約済み

9.1.44 SW_ID_MASK1 レジスタ (アドレス = 34h) [リセット = 00h]

表 9-89 に、SW_ID_MASK1 レジスタを示し、表 9-90 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

拡張 ID マスク 17:16

表 9-89. SW_ID_MASK1 レジスタ

7	6	5	4	3	2	1	0
予約済み						EXT_ID_MASK_17:16	
R-000000b						R/W-00b	

表 9-90. SW_ID_MASK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	000000b	予約済み
1-0	EXT_ID_MASK_17:16	R/W	00b	拡張 ID マスク 17:16

9.1.45 SW_ID_MASK2 レジスタ (アドレス = 35h) [リセット = 00h]

表 9-91 に、SW_ID_MASK2 レジスタを示し、表 9-92 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

拡張 ID マスク 15:8

表 9-91. SW_ID_MASK2 レジスタ

7	6	5	4	3	2	1	0
EXT_ID_MASK_15:8							
R/W-00h							

表 9-92. SW_ID_MASK2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_MASK_15:8	R/W	00h	拡張 ID マスク 15:8

9.1.46 SW_ID_MASK3 レジスタ (アドレス = 36h) [リセット = 00h]

表 9-93 に、SW_ID_MASK3 レジスタを示し、表 9-94 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

拡張 ID マスク 7:0

表 9-93. SW_ID_MASK3

7	6	5	4	3	2	1	0
EXT_ID_MASK_7:0							
R/W-00h							

表 9-94. SW_ID_MASK3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	EXT_ID_MASK_7:0	R/W	00h	拡張 ID マスク 7:0

9.1.47 SW_ID_MASK4 レジスタ (アドレス = 37h) [リセット = 00h]

表 9-95 に、SW_ID_MASK4 レジスタを示し、表 9-96 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

ID マスク 10:3 および拡張 ID マスク 28:21 (ベース ID)

表 9-95. SW_ID_MASK4 レジスタ

7	6	5	4	3	2	1	0
ID_MASK_10:3__EXT_ID_MASK_28:21							
R/W-00h							

表 9-96. SW_ID_MASK4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ID_MASK_10:3__EXT_ID_MASK_28:21	R/W	00h	ID マスク 10:3 および拡張 ID マスク 28:21 (ベース ID)

9.1.48 SW_ID_MASK_DLC レジスタ (アドレス = 38h) [リセット = 00h]

表 9-97 に SW_ID_MASK_DLC を示し、表 9-98 に、その説明を示します。

表 9-1 に戻ります。

ID マスク 2:0 および拡張 ID マスク 20:18 (ベース ID)、DLC[3:0] およびデータマスクイネーブル

表 9-97. SW_ID_MASK_DLC レジスタ

7	6	5	4	3	2	1	0
ID_MASK[2:0]_EXT_ID_MASK[20:18]			DLC				DATA_MASK_EN
R/W-000b			R/W-0000b				R/W-0b

表 9-98. SW_ID_MASK_DLC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	ID_MASK[2:0]_EXT_ID_MASK[20:18]	R/W	000b	ID マスク 2:0 および拡張 ID マスク 20:18 (ベース ID)
4-1	DLC	R/W	0000b	DLC[3:0]
0	DATA_MASK_EN	R/W	0b	データマスクイネーブル 0b = DLC フィールドとデータフィールドは比較されず有効であると想定されます。リモートフレームが許可されます。 1b = DLC のフィールドは DLC[3:0] レジスタと一致している必要があり、データフィールドバイトはマッチング 1 の DATAx レジスタと比較されます。リモートフレームは無視されます

9.1.49 DATA_y レジスタ (アドレス = 39h + 式) [リセット = 00h]

表 9-99 に DATA_y を示し、表 9-100 に、その説明を示します。

表 9-1 に戻ります。

レジスタアドレス 39h ~ 40h

オフセット = 39h + (y x 1h)、ここで y = 0h ~ 7h

表 9-99. DATA_y レジスタ

7	6	5	4	3	2	1	0
DATAx							
R/W-00h							

表 9-100. DATA_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DATAx	R/W	00h	CAN データバイト x

9.1.50 SW_RSVD_y レジスタ (アドレス = 41h + 式) [リセット = 00h]

表 9-101 に SW_RSVD_y を示し、表 9-102 に説明を示します。

表 9-1 に戻ります。

レジスタ アドレス 41h ~ 43F

オフセット = 41h + (y * 1h)、ここで y = 0h~2h

表 9-101. SW_RSVD_y レジスタ

7	6	5	4	3	2	1	0
予約済み							
R-00h							

表 9-102. SW_RSVD_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	00h	予約済み

9.1.51 SW_CONFIG_1 レジスタ (アドレス = 44h) [リセット = 50h]

表 9-103 に、SW_CONFIG_1 レジスタを示し、表 9-104 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

CAN および CAN FD DR

表 9-103. SW_CONFIG_1 レジスタ

7	6	5	4	3	2	1	0
SW_FD_PASSIVE	CAN_DR			FD_DR		予約済み	
R/W-0b	R/W-101b			R/W-00b		R-00b	

表 9-104. SW_CONFIG_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SW_FD_PASSIVE	R/W	0b	選択的ウェーク FD パッシブ:このビットは、フレキシブルデータレートフレームの CAN が確認される際のエラーカウンタの動作を変更します。 0b = フレキシブルデータレートフレームの CAN をエラーフレームとしてカウント 1b = フレキシブルデータレートフレームの CAN は無視 (パッシブ)
6-4	CAN_DR	R/W	101b	CAN バスデータレート 000b = 50Kbps 001b = 100Kbps 010b = 125Kbps 011b = 250Kbps 100b = 予約済み 101b = 500Kbps 110b = 予約済み 111b = 1Mbps
3-2	FD_DR	R/W	00b	CAN バス FD データレート対 CAN データレートとの関係 00b = CAN FD <= 4x CAN データレート 01b = CAN FD => 5x および <= 10x CAN データレート 10b = CAN FD 8Mbps と 500k CAN データレートとの関係 11b = 予約済み
1-0	予約済み	R	00b	予約済み

9.1.52 SW_CONFIG_2 レジスタ (アドレス = 45h) [リセット = 00h]

表 9-105 に、SW_CONFIG_2 レジスタを示し、表 9-106 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります

フレームエラーカウンタ:受信フレームエラーを検出するたびに、このエラーカウンタが 1 ずつインクリメントされます (スタッフビット、CRC、または CRC 区切り文字エラー)。カウンタがゼロでないと仮定して、正しく受信した CAN フレームごとに、カウンタが 1 ずつデクリメントされます。フレキシブルデータレートフレームを使用する CAN でデバイスがパッシブに設定されている場合、CAN FD フレームとして検出されたフレームは、フレームエラーカウンタに影響を与えません (インクリメントまたはデクリメントなし)。フレームカウンタが FRAME_CNT_THRESHOLD[7:0] の値に達すると、次のインクリメントによりカウンタがオーバーフローし、FRAME_OVF フラグがセットされます。カウンタは、フレーム検出または tSILENCE 検出を有効にするとリセットされます。

表 9-105. SW_CONFIG_2 レジスタ

7	6	5	4	3	2	1	0
FRAME_CNTx							
RH-00h							

表 9-106. SW_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FRAME_CNTx	RH	00h	フレームエラーカウンタ:受信フレームエラーを検出するたびに、このエラーカウンタが 1 ずつインクリメントされます (スタッフビット、CRC、または CRC 区切り文字エラー)。カウンタがゼロでないと仮定して、正しく受信した CAN フレームごとに、カウンタが 1 ずつデクリメントされます。フレキシブルデータレートフレームを使用する CAN でデバイスがパッシブに設定されている場合、CAN FD フレームとして検出されたフレームは、フレームエラーカウンタに影響を与えません (インクリメントまたはデクリメントなし)。フレームカウンタが FRAME_CNT_THRESHOLD[7:0] の値に達すると、次のインクリメントによりカウンタがオーバーフローし、FRAME_OVF フラグがセットされます。カウンタは、フレーム検出または tSILENCE 検出を有効にするとリセットされます。

9.1.53 SW_CONFIG_3 レジスタ (アドレス = 46h) [リセット = 1Fh]

表 9-107 に、SW_CONFIG_3 レジスタを示し、表 9-108 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

フレームエラーカウンタスレッシュホールド: これらのビットは、エラーカウンタが最大値に達し、次のエラーフレームがオーバーフローして FRAME_OVF フラグを立てるポイントをセットします。デフォルトは 31 であるため、32 回目のエラーによりオーバーフローフラグがセットされます。

表 9-107. SW_CONFIG_3 レジスタ

7	6	5	4	3	2	1	0
FRAME_CNT_THRESHOLD							
R/W-1Fh							

表 9-108. SW_CONFIG_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FRAME_CNT_THRESHOLD	R/W	1Fh	フレームエラーカウンタスレッシュホールド: これらのビットは、エラーカウンタが最大値に達し、次のエラーフレームがオーバーフローして FRAME_OVF フラグを立てるポイントをセットします。デフォルトは 31 であるため、32 回目のエラーによりオーバーフローフラグがセットされます。

9.1.54 SW_CONFIG_4 レジスタ (アドレス = 47h) [リセット = 00h]

表 9-109 に、SW_CONFIG_4 レジスタを示し、表 9-110 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

表 9-109. SW_CONFIG_4 レジスタ

7	6	5	4	3	2	1	0
SWCFG	CAN_SYNC_FD	CAN_SYNC	予約済み				
RH/W-0b	RH-0b	RH-0b	R-00000b				

表 9-110. SW_CONFIG_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SWCFG	RH/W	0b	<p>選択的ウェーク構成完了 0b = SW レジスタ未構成 1b = SW レジスタ構成 注:これを選択的ウェークを構成してオンにする際の最後の手順とします。</p> <hr/> <p style="text-align: center;">注</p> <p>これらのウェーク構成レジスタ (8'h30-8'h44, 8'h46) のいずれかに書き込むと、SWCFG ビットがクリアされます。</p>
6	CAN_SYNC_FD	RH	0b	<p>フレーム検出が有効な場合、デバイスは CAN FD フレームを適切にデコードしています。このフラグは、受信フレームごとに更新されます。このフラグをポーリングすることにより、システムはデバイスがデータフィールドまで (データフィールドは含まない) CAN FD フレームを適切にデコードしているかどうかを判断できます。このフラグはセルフクリアです。</p>
5	CAN_SYNC	RH	0b	<p>CAN データと同期:このフラグは、フレーム検出が有効な場合、デバイスが CAN フレームを適切にデコードしていることを示します。このフラグは、受信フレームごとに更新されます。このフラグをポーリングすることにより、システムはデバイスが CAN フレームを適切にデコードしているかどうかを判断できます。このフラグはセルフクリアです。</p>
4-0	予約済み	R	00000b	予約済み

9.1.55 SW_CONFIG_RSVD_y レジスタ (アドレス = 48h + 式) [リセット = 00h]

表 9-111 に SW_CONFIG_RSVD_y を示し、表 9-112 に、その説明を示します。

表 9-1 に戻ります。

レジスタアドレス 48h ~ 4Dh

オフセット = 48h + (y x 1h)、ここで y = 0h ~ 5h

表 9-111. SW_CONFIG_RSVD_y レジスタ

7	6	5	4	3	2	1	0
予約済み							
R-00h							

表 9-112. SW_CONFIG_RSVD_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	00h	予約済み

9.1.56 HSS_CNTL2 (アドレス = 4Dh) [リセット = 00h]

表 9-113 に、HSS_CNTL2 レジスタを示し、表 9-114 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

HSS3 および HSS4 のハイサイドスイッチ制御。

表 9-113. HSS_CNTL2

7	6	5	4	3	2	1	0
HSS3_CNTL				HSS4_CNTL			
R/W-0000b				R/W-0000b			

表 9-114. HSS_CNTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	HSS3_CNTL	R/W	0000b	HSS3 の制御 000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 低速スルーレート設定による直接駆動 1001b = 高速スルーレート設定による直接駆動 他のすべての値は予約済み
3-0	HSS4_CNTL	R/W	0000b	HSS4 の制御 000b = オフ 0001b = PWM1 0010b = PWM2 0011b = Timer1 0100b = Timer2 0101b = オン 0110b = PWM3 0111b = PWM4 1000b = 低速スルーレート設定による直接駆動 1001b = 高速スルーレート設定による直接駆動 他のすべての値は予約済み

注

- レジスタ 8'hC[5:4]= 01b をセットするときに、PWM、PWM1、PWM2 制御が PWM3 と PWM4 に変化する場合は、HSS3 と HSS4 を構成する際に HSS3 と HSS4 を PWM3 と PWM4 に合わせる必要があります
- サイクリックセンシングウェークを有効にする際、HSS4 を Timer1 または Timer2 のいずれかにする必要があります

9.1.57 EEPROM_CONFIG (アドレス = 4Eh) [リセット = 00h]

表 9-115 に EEPROM_CONFIG を示し、表 9-116 に、その説明を示します。

表 9-1 に戻ります。

このレジスタは EEPROM へのアクセスを制御します。

表 9-115. EEPROM_CONFIG

7	6	5	4	3	2	1	0
EEPROM_SAV E	EEPROM_CRC _CHK	EEPROM_REL OAD	RSVD	EEPROM_CODE			

表 9-115. EEPROM_CONFIG (続き)

7	6	5	4	3	2	1	0
R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0000b			

表 9-116. EEPROM_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EEPROM_SAVE	R/W	0b	レジスタ 8'h4E[3:0] に 1b および正しいコードを書き込んで、構成ビットを EEPROM に保存します。EEPROM に書き込まれた後、自己クリアされます。
6	EEPROM_CRC_CHK	R/W	0b	1b を書き込んで、EEPROM の読み取りおよび CRC チェックを強制します。完了時に自動クリアされます
5	EEPROM_RELOAD	R/W	0b	1b を書き込んで EEPROM からメモリをリロードします
4	RSVD	R	0b	予約済み
3-0	EEPROM_CODE	W	0000b	EEPROM の更新に必要なコード。0Ah を使用し 0h をリードバックします。

9.1.58 HSS_CNTL3 (アドレス = 4Fh) [リセット = 00h]

図 9-1 に、HSS_CNTL3 レジスタを示し、表 9-117 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

VHSS の過電圧または低電圧時における HSS の動作を判定するために使用されます。また、レジスタ 8'h0E[7:5] は VEXCC、VCC2、および VCAN のステータスを示します。

ビット 0 とビット 4 を使用する場合、EEPROM に保存されます。

図 9-1. HSS_CNTL3

7	6	5	4	3	2	1	0
HSS_OV_SD_DIS	HSS_UV_SD_DIS	HSS_OV_UV_REC	SLP_CYC_WK_EN	VEXCC_STATUS	VCC2_STATUS	VCAN_STATUS	RSTRT_TMR_SEL
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/H-0b	R/H-0b	R/H-0b	R/W-0b

表 9-117. HSS_CNTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSS_OV_SD_DIS	R/W	0b	OVHSS イベントによってハイサイド スイッチのシャットダウンを無効化 0b = OVHSS がイネーブルのため HSS をオフ 1b = HSS OVHSS 状態で構成された状態のままにします
6	HSS_UV_SD_DIS	R/W	0b	UVHSS イベントによりハイサイド スイッチのシャットダウンを無効化 0b = UVHSS のため HSS をオフ 1b = HSS UVHSS 状態で構成された状態のままにします
5	HSS_OV_UV_REC	R/W	0b	OVHSS または UVHSS イベントにより、ハイサイド スイッチが前の状態に自動的に回復するのを無効にします 0b = イネーブル 1b = ディスエーブル
4	SLP_CYC_WK_EN	R/W	0b	タイマ 1、タイマ 2、または SWE タイマに基づいてスリープ モードで周期的ウェークアップを有効化 0b = ディスエーブル 1b = イネーブル
3	VEXCC_STATUS	R/H	0b	VEXCC ステータス 0b = UVEXCC またはオフ 1b = レギュレーション中
2	VCC2_STATUS	R/H	0b	VCC2 ステータス 0b = UVCC2 またはオフ 1b = レギュレーション中
1	VCAN_STATUS	R/H	0b	VCAN ステータス 0b = UVCAN またはオフ 1b = グッド
0	RSTRT_TMR_SEL	R/W	0b	VCC1 が UVCC1R を超えない場合に、リスタート モードを終了するために使用される再起動タイムを選択 0b = t_{RSTTO} 1b = $t_{INACTIVE}$ (イネーブルにする必要があります)

9.1.59 INT_GLOBAL レジスタ (アドレス = 50h) [リセット = 00h]

表 9-118 に INT_GLOBAL を示し、表 9-119 に、その説明を示します。

表 9-1 に戻ります。

特定の割り込みすべての論理和

表 9-118. INT_GLOBAL レジスタ

7	6	5	4	3	2	1	0
INT_7	INT_1	INT_2	INT_3	INT_CANBUS	INT_4	RSVD	INT_6
RH-0b	RH-0b	RH-0b	RH-0b	RH-0b	RH-0b	R-0b	RH-0b

表 9-119. INT_GLOBAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_7	RH	0b	INT_7 レジスタの論理和
6	INT_1	RH	0b	INT_1 レジスタの論理和
5	INT_2	RH	0b	INT_2 レジスタの論理和
4	INT_3	RH	0b	INT_3 レジスタの論理和
3	INT_CANBUS	RH	0b	INT_CANBUS レジスタの論理和
2	INT_4	RH	0b	INT_4 レジスタの論理和
1	RSVD	R	0b	予約済み
0	INT_6	RH	0b	INT_6 レジスタの論理和

9.1.60 INT_1 レジスタ (アドレス = 51h) [リセット = 00h]

表 9-120 に、INT_1 レジスタを示し、表 9-121 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

表 9-120. INT_1 レジスタ

7	6	5	4	3	2	1	0
WD	CANINT1	LWU	WKERR	FRAME_OVF_1	CANSLNT_1	SWPIN	CANDOM_1
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-121. INT_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD	R/W1C	0b	ウォッチドッグイベント割り込み。 <div style="text-align: center;"> 注 この割り込みビットはウォッチドッグエラーイベントごとにセットされ、ウォッチドッグエラーカウンタには依存しません </div>
6	CANINT1	R/W1C	0b	CAN バスウェークアップ割り込み
5	LWU	R/W1C	0b	ローカルウェークアップ
4	WKERR	R/W1C	0b	SWE タイマが満了してステートマシンがスリープモードに戻ると、ウェークエラービットがセットされます
3	FRAME_OVF_1	R/W1C	0b	フレームエラーカウンタのオーバーフロー
2	CANSLNT_1	R/W1C	0b	CAN バスが $t_{SILENCE}$ の間非アクティブ
1	SWPIN	R/W1C	0b	SW ピンはデバイスをウェークするために使用されます
0	CANDOM_1	R/W1C	0b	CAN TXD スタックドミナント

9.1.61 INT_2 レジスタ (アドレス = 52h) [リセット = 40h]

表 9-122 に、INT_2 レジスタを示し、表 9-123 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

表 9-122. INT_2 レジスタ

7	6	5	4	3	2	1	0
SMS	PWRON	OVCC1	UVSUP5	UVSUP3	UVCC1	TSD_VCC1_VE XCC	SME
R/W1C-0b	R/W1C-1b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-123. INT_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SMS	R/W1C	0b	スリープモードステータスフラグ。WKERR または SBC 故障からスリープモードに移行すると常にセットされます。
6	PWRON	R/W1C	1b	電源オン
5	OVCC1	R/W1C	0b	VCC1 過電圧
4	UVSUP5	R/W1C	0b	5V の VSUP 低電圧
3	UVSUP3	R/W1C	0b	3.3V の VSUP 低電圧
2	UVCC1	R/W1C	0b	VCC1 低電圧
1	TSD_VCC1_VEXCC	R/W1C	0b	VCC1 または VEXCC に起因するサーマル シャットダウン
0	SME	R/W1C	0b	デバイスがスリープモードのときにスリープモードが割り込みを終了すると、VCC1 故障またはウォッチドッグ故障により (有効な場合)、VCC1 がオンになってリスタートまたはフェイルセーフモードに移行します

9.1.62 INT_3 レジスタ (アドレス = 53h) [リセット = 00h]

表 9-124 に、INT_3 レジスタを示し、表 9-125 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

トリミングに使用する内部 EEPROM に CRC エラーが発生する際の割り込みをセットします。電源投入時に、デバイスは EEPROM から内部レジスタをロードして CRC チェックを実行します。有効なデータのロードを 8 回試みた後にもエラーが存在する場合は、CRC_EEPROM 割り込みがセットされます。これは、デバイス性能に影響を及ぼす可能性のあるエラーを示しています。これは、デバイスがウェイクイベントによりスリープモードまたはフェイルセーフモードを終了する際に繰り返されます。

表 9-124. INT_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR	SWERR	FSM	CRCERR	VCC1SC	RSTR_CNT	TSD_CAN_LIN	CRC_EEPROM
R/W1C-0b	RH-0b	R/W1C-0b	R/W1C/H-0b	R/W1C/H-0b	R/W1C/H-0b	R/W1C-0b	R/W1C-0b

表 9-125. INT_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	Description0b
7	SPIERR	R/W1C	0b	いつ SPI ステータスビットがセットされるかをセットします
6	SWERR	RH	0b	(SW_EN=1 and NOT(SWCFG)) と FRAME_OVF の論理和。 SWERR がセットされている間は、選択式ウェーク機能が常に有効であるとは限りません
5	FSM	R/W1C	0b	フェイルセーフモードに移行済み。
4	CRCERR	R/W1C/H	0b	SPI CRC エラー検出あり
3	VCC1SC	R/W1C/H	0b	VCC1 短絡検出あり
2	RSTR_CNT	R/W1C/H	0b	リスタートカウンタがプログラムカウントを超過
1	TSD_CAN_LIN	R/W1C	0b	VCC2、CAN、または LIN のトランシーバに起因するサーマルシャットダウン
0	CRC_EEPROM	R/W1C	0b	EEPROM CRC エラー

9.1.63 INT_CANBUS_1 レジスタ (アドレス = 54h) [リセット = 00h]

表 9-126 に INT_CANBUS を示し、表 9-127 に、その説明を示します。

表 9-1 に戻ります。

短絡や開放の CAN ポート 1 を含む CAN バス故障

表 9-126. INT_CANBUS_1 レジスタ

7	6	5	4	3	2	1	0
UVCAN	RSVD	CANHCANL	CANHBAT	CANLGND	CANBUSOPEN	CANBUSGND	CANBUSBAT
R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-127. INT_CANBUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UVCAN	R/W1C	0b	VCAN 低電圧
6	RSVD	R	0b	予約済み
5	CANHCANL	R/W1C	0b	CANH と CANL が同時に短絡
4	CANHBAT	R/W1C	0b	CANH の Vbat への短絡のマスク
3	CANLGND	R/W1C	0b	CANL の GND への短絡のマスク
2	CANBUSOPEN	R/W1C	0b	CAN バス開放
1	CANBUSGND	R/W1C	0b	CAN バスの GND への短絡または CANH の GND への短絡
0	CANBUSBAT	R/W1C	0b	CAN バスの Vbat への短絡または CANL の Vbat への短絡

9.1.64 INT_7 (アドレス = 55h) [リセット = 00h]

表 9-128 に、INT_7 レジスタを示し、表 9-129 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

ハイサイドスイッチ割り込み。

表 9-128. INT_7

7	6	5	4	3	2	1	0
HSSOC1	HSSOL1	HSSOC2	HSSOL2	HSSOC3	HSSOL3	HSSOC4	HSSOL4
R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-129. INT_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSSOC1	R/W1C	0b	ハイサイドスイッチ 1 の過電流
6	HSSOL1	R/W1C	0b	ハイサイドスイッチ 1 の開放負荷
5	HSSOC2	R/W1C	0b	ハイサイドスイッチ 2 の過電流
4	HSSOL2	R/W1C	0b	ハイサイドスイッチ 2 の開放負荷
3	HSSOC3	R/W1C	0b	ハイサイドスイッチ 3 の過電流
2	HSSOL3	R/W1C	0b	ハイサイドスイッチ 3 の開放負荷
1	HSSOC4	R/W1C	0b	ハイサイドスイッチ 4 の過電流
0	HSSOL4	R/W1C	0b	ハイサイドスイッチ 4 の開放負荷

9.1.65 INT_EN_1 レジスタ (アドレス = 56h) [リセット = FFh]

表 9-130 に、INT_EN_1 レジスタを示し、表 9-131 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

INT_1 の割り込みマスク。CAN エラーは CAN ポート 1 用です。

表 9-130. INT_EN_1 レジスタ

7	6	5	4	3	2	1	0
WD_EN	CANINT_EN_1	LWU_EN	WKERR_EN	FRAME_OVF_EN_1	CANSLNT_EN_1	SWPIN_EN	CANDOM_EN_1
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-131. INT_EN_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	WD_EN	R/W	1b	ウォッチドッグイベント割り込みマスク
6	CANINT_EN_1	R/W	1b	CAN バスウェークアップ割り込みマスク
5	LWU_EN	R/W	1b	ローカルウェークアップマスク
4	WKERR_EN	R/W	1b	ウェークエラーマスク
3	FRAME_OVF_EN_1	R/W	1b	フレームエラーカウンタオーバーフローマスク
2	CANSLNT_EN_1	R/W	1b	CAN サイレントマスク
1	SWPIN_EN	R/W	1b	SWPIN ウェークマスク
0	CANDOM_EN_1	R/W	1b	CAN TXD スタックドミナントマスク

9.1.66 INT_EN_2 レジスタ (アドレス = 57h) [リセット = 7Eh]

表 9-132 に、INT_EN_2 レジスタを示し、表 9-133 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

INT_2 の割り込みマスク

表 9-132. INT_EN_2 レジスタ

7	6	5	4	3	2	1	0
SMS_EN	PWRON_EN	OVCC1_EN	UVSUP5_EN	UVSUP3_EN	UVCC1_EN	TSD_VCC1_VEXCC_EN	SME_EN
R-0b	R-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R-0b

表 9-133. INT_EN_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SMS_EN	R	0b	SMS 読み取り専用
6	PWRON_EN	R	1b	電源オン読み取り専用
5	OVCC1_EN	R/W	1b	VCC1 過電圧マスク
4	UVSUP5_EN	R/W	1b	VSUP5 低電圧マスク
3	UVSUP3_EN	R/W	1b	VSUP3 低電圧マスク
2	UVCC1_EN	R/W	1b	VCC1 低電圧マスク
1	TSD_VCC1_VEXCC_EN	R/W	1b	VCC1 および VEXCC サーマル シャットダウンマスク
0	SME_EN	R	0b	SME 読み取り専用

9.1.67 INT_EN_3 レジスタ (アドレス = 58h) [リセット = FEh]

表 9-134 に、INT_EN_3 レジスタを示し、表 9-135 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

INT_3 の割り込みマスク

表 9-134. INT_EN_3 レジスタ

7	6	5	4	3	2	1	0
SPIERR_EN	SWERR_EN	FSM_EN	CRCERR_EN	VCC1SC_EN	RSRT_CNT_EN	TSD_CAN_LIN_EN	RSVD
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R-1b	R-0b

表 9-135. INT_EN_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SPIERR_ENABLE	R/W	1b	SPI エラー割り込みマスク
6	SWERR_ENABLE	R/W	1b	選択的ウェーク エラー割り込みマスク
5	FSM_ENABLE	R/W	1b	フェイルセーフ モード割り込みマスク
4	CRCERR_EN	R/W	1b	SPI CRC エラー割り込みマスク
3	VCC1SC_EN	R/W	1b	VCC1 短絡割り込みマスク
2	RSRT_CNT_EN	R/W	1b	再起動カウンタが設定値を超えたことを示すマスク
1	TSD_CAN_LIN_EN	R/W	1b	VCC2、CAN、LIN トランシーバのサーマルシャットダウンマスク
0	RSVD	R	0b	予約済み

9.1.68 INT_EN_CANBUS_1 レジスタ (アドレス = 59h) [リセット = BFh]

表 9-136 に INT_EN_CANBUS を示し、表 9-137 に、その説明を示します。

表 9-1 に戻ります。

CAN ポート 1 バス故障の割り込みマスク

表 9-136. INT_EN_CANBUS_1 レジスタ

7	6	5	4	3	2	1	0
UVCAN_EN	RSVD	CANHCANL_EN	CANHBAT_EN	CANLGND_EN	CANBUSOPEN_EN	CANBUSGND_EN	CANBUSBAT_EN
R/W-1b	R-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-137. INT_EN_CANBUS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UVCAN_EN	R/W	1b	VCAN 低電圧マスク
6	RSVD	R	0b	予約済み
5	CANHCANL_EN	R/W	1b	CANH と CANL の同時短絡のマスク
4	CANHBAT_EN	R/W	1b	CANH の Vbat への短絡のマスク
3	CANLGND_EN	R/W	1b	CANL の GND への短絡のマスク
2	CANBUSOPEN_EN	R/W	1b	CAN バスオープンマスク
1	CANBUSGND_EN	R/W	1b	CAN の GND への短絡のマスク
0	CANBUSBAT_EN	R/W	1b	CAN の Vbat への短絡のマスク

9.1.69 INT_4 レジスタ (アドレス = 5Ah) [リセット = 00h]

表 9-138 に、INT_4 レジスタを示し、表 9-139 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

LIN およびハイサイドスイッチ用割り込み

表 9-138. INT_4 レジスタ

7	6	5	4	3	2	1	0
LIN1_WUP	LIN1_DTO	RSVD	CYC_WUP	MODE_ERR	OVHSS	EEPROM_CRC_INT	UVHSS
R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-139. INT_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LIN1_WUP	R/W1C	0b	LIN 1 バスウェーク
6	LIN1_DTO	R/W1C	0b	LIN 1 ドミナント状態タイムアウト、LTXD_DTO
5	RSVD	R	0b	を予約済み
4	CYC_WUP	R/W1C	0b	タイマを使用したサイクリックウェークアップ
3	MODE_ERR	R/W1C	0b	モード変更リクエストの不正なトランシーバー状態
2	OVHSS	R/W1C	0b	ハイサイドスイッチの VHSS ピンの過電圧
1	EEPROM_CRC_INT	R/W1C	0b	EEPROM 保存済み構成の CRC エラー
0	UVHSS	R/W1C	0b	ハイサイドスイッチの VHSS ピンの低電圧

9.1.70 INT_6 レジスタ (アドレス = 5Ch) [リセット = 00h]

表 9-140 に、INT_6 レジスタを示し、表 9-141 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

表 9-140. INT_6 レジスタ

7	6	5	4	3	2	1	0
TSDW	UVCC1PW	UVEXCC	OVEXCC	VEXCCSC	UVCC2	OVCC2	VCC2SC
R/W1C -0b	R/W1C -0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b	R/W1C-0b

表 9-141. INT_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	Description0b
7	TSDW	R/W1C	0b	サーマル シャットダウン警告
6	UVCC1PW	R/W1C	0b	VCC1 低電圧事前警告
5	UVEXCC	R/W1C	0b	VEXCC 低電圧
4	OVEXCC	R/W1C	0b	VEXCC 過電圧
3	VEXCCSC	R/W1C	0b	VEXCC 短絡
2	UVCC2	R/W1C	0b	VCC2 低電圧
1	OVCC2	R/W1C	0b	VCC2 過電圧
0	VCC2SC	R/W1C	0b	VCC2 短絡

9.1.71 INT_EN_4 レジスタ (アドレス = 5Eh) [リセット = DFh]

表 9-142 に、INT_EN_4 レジスタを示し、表 9-143 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

INT_4 の割り込みマスク。

表 9-142. INT_EN_4 レジスタ

7	6	5	4	3	2	1	0
LIN1_WUP_EN	LIN1_DTO_EN	RSVD	CYC_WUP_EN	MODE_ERR_EN	OVHSS_EN	EEPROM_CRC_INT_EN	UVHSS_EN
R/W-1b	R/W-1b	R-0b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-143. INT_EN_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LIN1_WUP_EN	R/W	1b	LIN 1 バス ウェーク割り込みマスク
6	LIN1_DTO_EN	R/W	1b	LIN 1 ドミナント状態タイムアウト割り込みマスク
5	RSVD	R	0b	予約済み
4	CYC_WUP_EN	R/W	1b	周期的ウェークアップ割り込みマスク
3	MODE_ERR_EN	R/W	1b	モード変更要求マスクに対する不正なトランシーバ状態
2	OVHSS_EN	R/W	1b	ハイサイド スイッチ用 VHSS 過電圧マスク
1	EEPROM_CRC_INT_EN	R/W	1b	EEPROM エラーに保存された設定データのマスク
0	UVHSS	R/W	1b	ハイサイド スイッチ用 VHSS 低電圧マスク

9.1.72 INT_EN_6 レジスタ (アドレス = 60h) [リセット = FFh]

表 9-144 に、INT_EN_6 レジスタを示し、表 9-145 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

INT_6 の割り込みマスク。

表 9-144. INT_EN_6 レジスタ

7	6	5	4	3	2	1	0
TSDW_EN	UVCC1PW_EN	UVEXCC_EN	OVEXCC_EN	VEXCCSC_EN	UVCC2_EN	OVCC2_EN	VCC2SC_EN
R/W -1b	R/W -1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-145. INT_EN_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSDW_EN	R/W	1b	サーマル シャットダウン警告マスク
6	UVCC1PW_EN	R/W	1b	VCC1 低電圧事前警告マスク
5	UVEXCC_EN	R/W	1b	VEXCC 低電圧マスク
4	OVEXCC_EN	R/W	1b	VEXCC 過電圧マスク
3	VEXCCSC_EN	R/W	1b	VEXCC 短絡マスク
2	UVCC2_EN	R/W	1b	VCC2 ピン低電圧マスク
1	OVCC2_EN	R/W	1b	VCC2 ピン過電圧マスク
0	VCC2SC_EN	R/W	1b	VCC2 短絡マスク

9.1.73 INT_EN_7 レジスタ (アドレス = 62) [リセット = FFh]

表 9-146 に、INT_EN_7 レジスタを示し、表 9-147 にこのレジスタのフィールドの説明を示します。

表 9-1 に戻ります。

割り込みマスクハイサイドスイッチの割り込み、INT_7。

表 9-146. INT_EN_7 レジスタ

7	6	5	4	3	2	1	0
HSSOC1_EN	HSSOL1_EN	HSSOC2_EN	HSSOL2_EN	HSSOC3_EN	HSSOL3_EN	HSSOC4_EN	HSSOL4_EN
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 9-147. INT_EN_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	HSSOC1_EN	R/W	1b	ハイサイドスイッチ 1 過電流の割り込みマスク
6	HSSOL1_EN	R/W	1b	ハイサイドスイッチ 1 開放負荷の割り込みマスク
5	HSSOC2_EN	R/W	1b	ハイサイドスイッチ 2 過電流の割り込みマスク
4	HSSOL2_EN	R/W	1b	ハイサイドスイッチ 2 開放負荷の割り込みマスク
3	HSSOC3_EN	R/W	1b	ハイサイドスイッチ 3 過電流の割り込みマスク
2	HSSOL3_EN	R/W	1b	ハイサイドスイッチ 3 開放負荷の割り込みマスク
1	HSSOC4_EN	R/W	1b	ハイサイドスイッチ 4 過電流の割り込みマスク
0	HSSOL4_EN	R/W	1b	ハイサイドスイッチ 4 開放負荷の割り込みマスク

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

TCAN284x-Q1 ファミリーは CAN FD 通信をサポートしており、特定のデバイスは LIN 通信もサポートしています

10.1.1 CAN BUS の負荷、長さ、ノード数

ISO 11898-2:2024 規格では、最大バス長 40m、最大スタブ長 0.3m と規定されています。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、このトランシーバファミリーのような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO 11898-2:2024 規格外のアプリケーションへと CAN の使用を拡大してきました。これらの組織は、データレート、ケーブル長、バスの寄生負荷にシステムレベルのトレードオフを実行しました。これらの CAN システムレベル仕様の例としては、ARINC825、CANopen、DeviceNet、SAEJ2284、SAEJ1939、NMEA200 などがあります。

CAN ネットワークのシステム設計は、一連のトレードオフです。ISO11898-2 では、ドライバの差動出力は 60Ω のバス負荷（並列に配置された 2 つの終端抵抗）により規定され、この差動出力は 1.5V を上回る必要があります。TCAN284x-Q1 は、この負荷範囲において 1.5V の要件を満たすことが規定されており、45Ω のバス負荷で 1.4V の差動出力を満たすように規定されています。このトランシーバファミリーの差動入力抵抗は最小で 30kΩ です。167 個のこれらのトランシーバをバス上で並列に接続する場合は、終端から 60Ω と並列に接続された 180Ω の差動負荷に相当し、合計バス負荷は 45Ω になります。したがって、このファミリーは理論的には、各受信ノードで最小差動入力電圧要件として 1.2V までのマージンを備えた単一のバスセグメント上で、167 個を超えるトランシーバをサポートします。ただし、CAN 回路の設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、タイミング、回路の不均衡、グランドオフセット、および信号品位に対してマージンを与える必要があるため、実際の最大ノード数のはるかに少なくなります。また、バス長は、慎重なシステム設計およびデータレートとのトレードオフにより、元の ISO 11898-2:2024 規格の 40m を超えて延長することもできます。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。

CAN 回路設計のこの柔軟性は、システムレベルの回路拡張と追加の標準を元の ISO11898-2 CAN 標準に基づいて構築できるようにする重要な強みの 1 つです。ただし、この柔軟性を使用する場合、CAN 回路システムの設計者は回路の動作を堅牢なものにするため回路を適切に設計する必要があります。

10.1.2 CAN の終端

ISO 11898-2:2024 規格では、相互接続は 120Ω の特性インピーダンス (Z_0) を持つシングルツイストペアケーブル（シールド付きまたはシールドなし）と規定されています。

10.1.2.1 終端

信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端する必要があります。ノードをバスに接続する終端されていないドロップライン（スタブ）は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端はノード内にあってもかまいませんが、通常は推奨されません（特にノードをバスから取り外すことができる場合）。終端がバスから除去されないように、終端を注意深く配置する必要があります。CANopen などのシステムレベルの CAN 実装では、ケーブル長の追加など、異なる終端やケーブルの概念を使用できます。

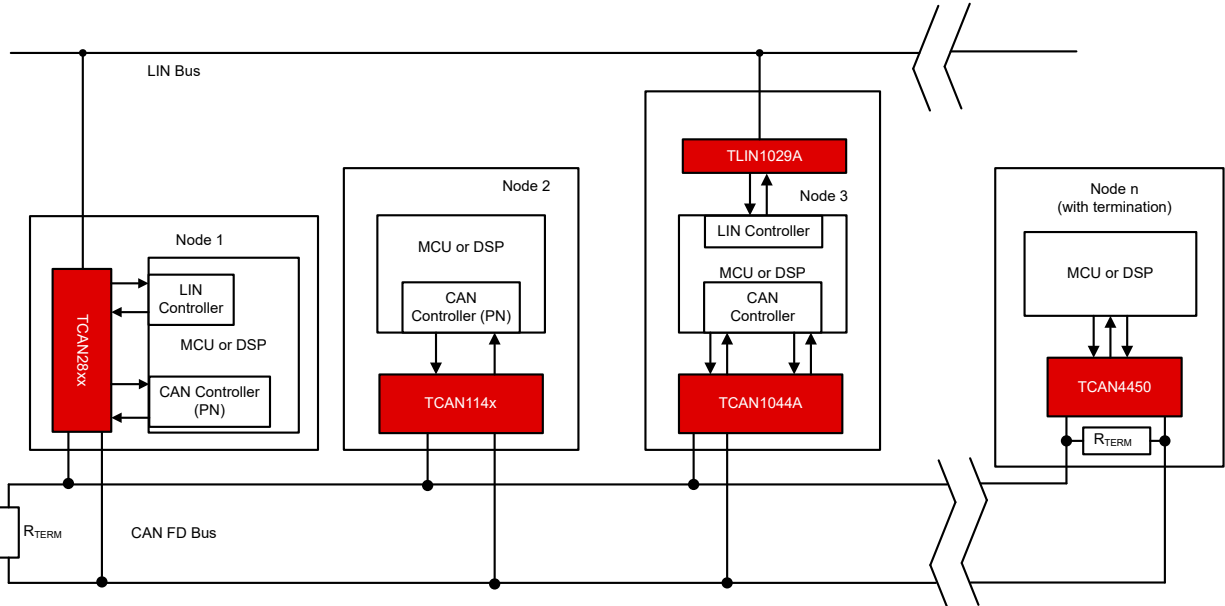


図 10-1. 標準的な CAN FD と LIN バス

終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、「分割終端」を使用できます。図 10-2 を参照してください。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧レベルの変動を排除することで、ネットワークの電磁放射の挙動を改善します。

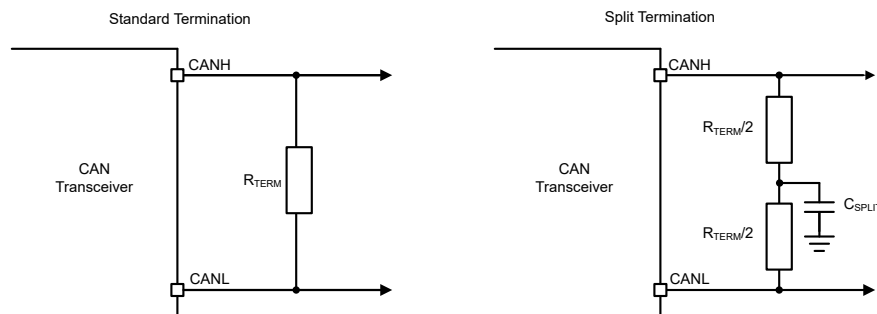


図 10-2. CAN バス終端の概念

10.1.3 チャンネル拡張

このデバイスは、外部 LIN または CAN FD トランシーバ、さらに他の LIN や CAN FD SBC を制御する機能を備えています。プロセッサは、GFO ピンを EN/STB/nSTB/S ピンとして使用してトランシーバのモードを制御します。この機能により、システム実装者はさまざまな構成を持つことができます。

- 8 ピンの CAN FD トランシーバで TCAN2845x-Q1 を使用して、2 つの CAN FD トランシーバを構成します
- TCAN2847x-Q1 を 8 ピンの CAN FD トランシーバと組み合わせて使用することで、2 つの CAN FD トランシーバと 1 つの LIN トランシーバを構成できます。図 10-6 を参照してください
- TCAN2847x-Q1 を LIN トランシーバと組み合わせて使用することで、1 つの CAN FD トランシーバと 2 つの LIN トランシーバを構成できます。図 10-4 を参照してください
- TCAN2847x-Q1 までのいずれかのデバイスと TLIN1028x を使用することで、LIN トランシーバを備えた 2 つ目の SBC を実装できます。図 10-5 を参照してください
- TCAN2847x-Q1 までのいずれかのデバイスと TCAN1162x を使用することで、CAN トランシーバを備えた 2 つ目の SBC を実装できます。図 10-7 を参照してください

10.1.3.1 LIN 用のチャネル拡張

図 10-3 および 図 10-4 に、TCAN2845x-Q1 または TCAN2847x-Q1 が外部 LIN トランシーバを制御する方法の概略図を示します。どちらの図にも、トランシーバに電力を供給するハイサイドスイッチ (HSS) が示されています。TCAN284x-Q1 がスリープモードになると HSS はオフになり、トランシーバへの電源がオフになります。これが望ましくない場合は、トランシーバ VSUP をデバイスと同じ VSUP 電源に接続できます。LIN トランシーバを制御するようにデバイスを構成するには、以下のレジスタとビットを構成する必要があります。

- レジスタ 29h[3:1] = 110b は、GFO ピンを汎用出力ピンにセットします
- レジスタ 29h[4] は、LIN トランシーバまたは LIN SBC の EN ピンを制御する GFO ピンのレベルを、High または Low に設定します
- HSS をトランシーバの電源として使用するには、選択した HSS をオンにします

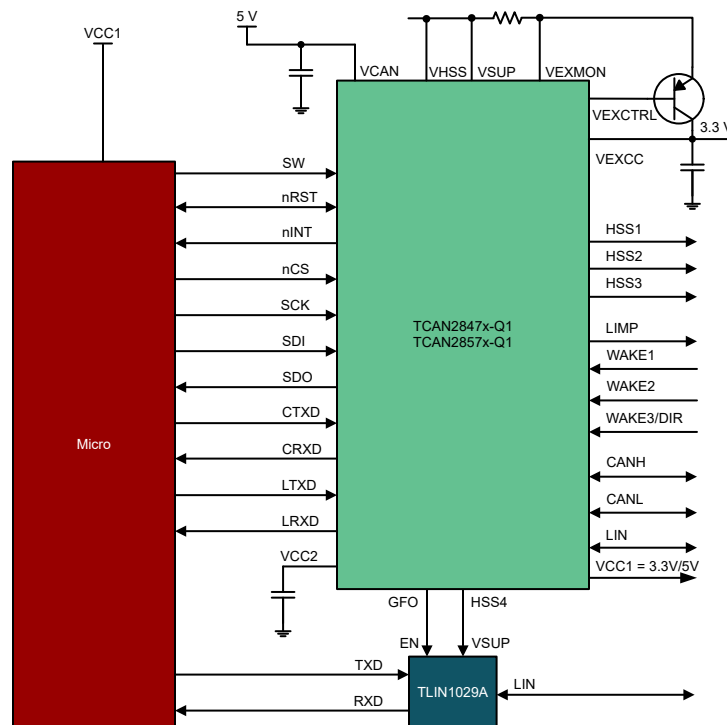


図 10-3. チャネル拡張シンプル LIN トランシーバ

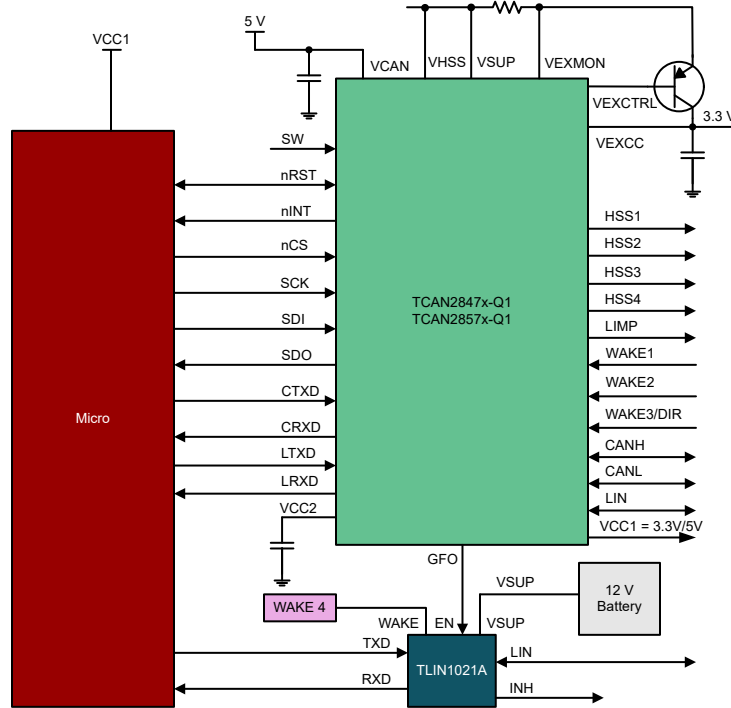


図 10-4. チャンネル拡張強化 LIN トランシーバ

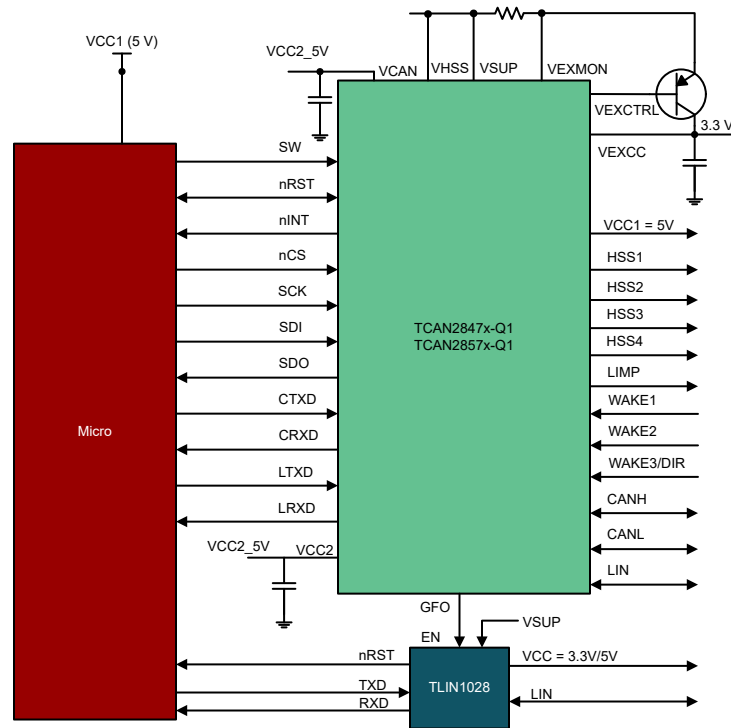


図 10-5. LIN SBC によるチャンネル拡張

10.1.3.2 CAN FD 用のチャンネル拡張

セクション 10.1.3.2 は、TCAN2844x-Q1 が外部 CAN FD トランシーバを制御する方法の概略図を示します。スリープモード、またはサーマルシャットダウンなどのさまざまな故障状態で LDO がオフになると、CAN FD トランシーバの電源がオフになります。CAN FD トランシーバを制御するように TCAN284x-Q1 を構成するには、以下のレジスタとビットを構成する必要があります。5V バリエーションが示されている場合、CAN FD トランシーバへの電力供給には VCC2 が使用されますが、VCC1 も使用できます。図 10-7 に示すように、単純な CAN SBC は 2 番目の CAN トランシーバも提供できます

- レジスタ 29h[3:1] = 110b は、GFO ピンを汎用出力ピンにセットします
- レジスタ 29h[4] は、外部 CAN トランシーバまたは SBC STB/nSTB/S ピンをサポートする GFO ピンのレベルをセットします。

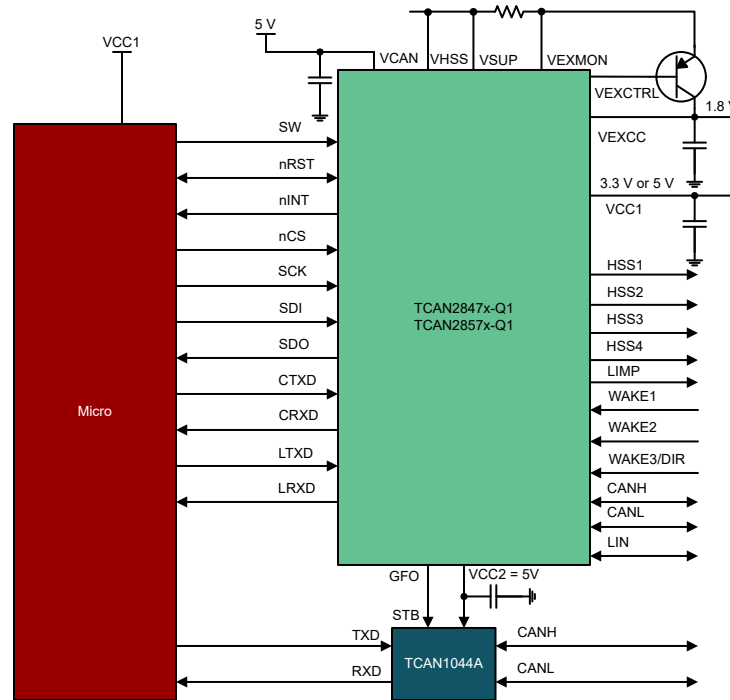


図 10-6. CAN FD トランシーバによるチャンネル拡張

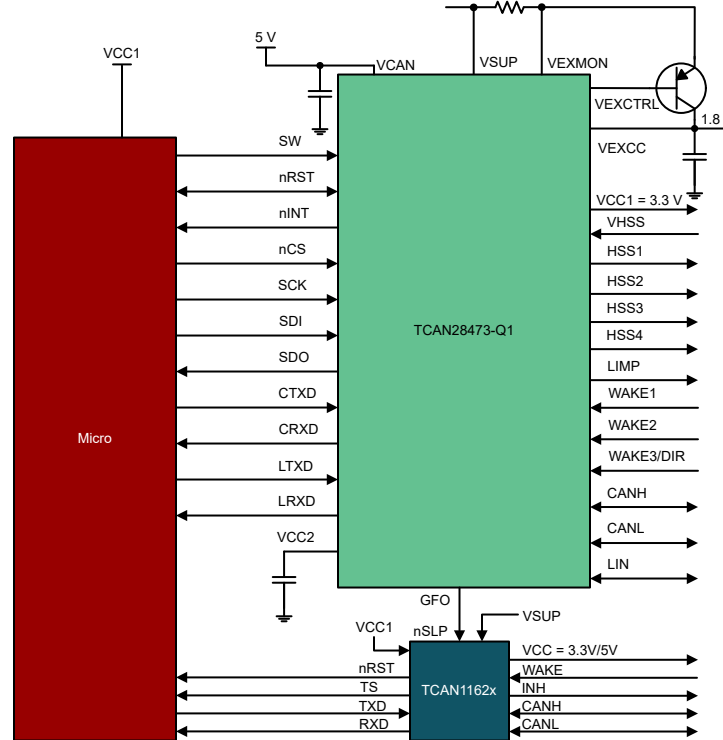


図 10-7. CAN FD SBC によるチャンネル拡張

10.1.4 デバイスブ라운アウト情報

デバイスのブ라운アウト動作は、VCC1、および VSUP が $VSUP_{(PU)F}$ 未満に降下するかどうかにより異なります。VCC1 = 5V であるデバイスでは、デバイスは 図 10-8 に従って動作します。VSUP が $VSUP_{(PU)F}$ を下回るまで降下し続けると、デバイスは 図 10-9 に従ってパワーオンリセットとして動作します。UVSUP_{5F} は VEXCC をオフにするために使用し、UVSUP_{5R} は VEXCC をオンにするために使用するようプログラムされます。

VCC1 = 3.3V の場合、UVSUP_{5R/F} と UVSUP_{33R/F} の両方が使用されます。VSUP が UVSUP_{33F} を下回り、VSUP_{(PU)F} を上回る際、デバイスは 図 10-10 に従い動作します。VSUP が $VSUP_{(PU)F}$ を下回るまで降下し続けると、デバイスは 図 10-11 に示すようにパワーオンリセットとして動作します。

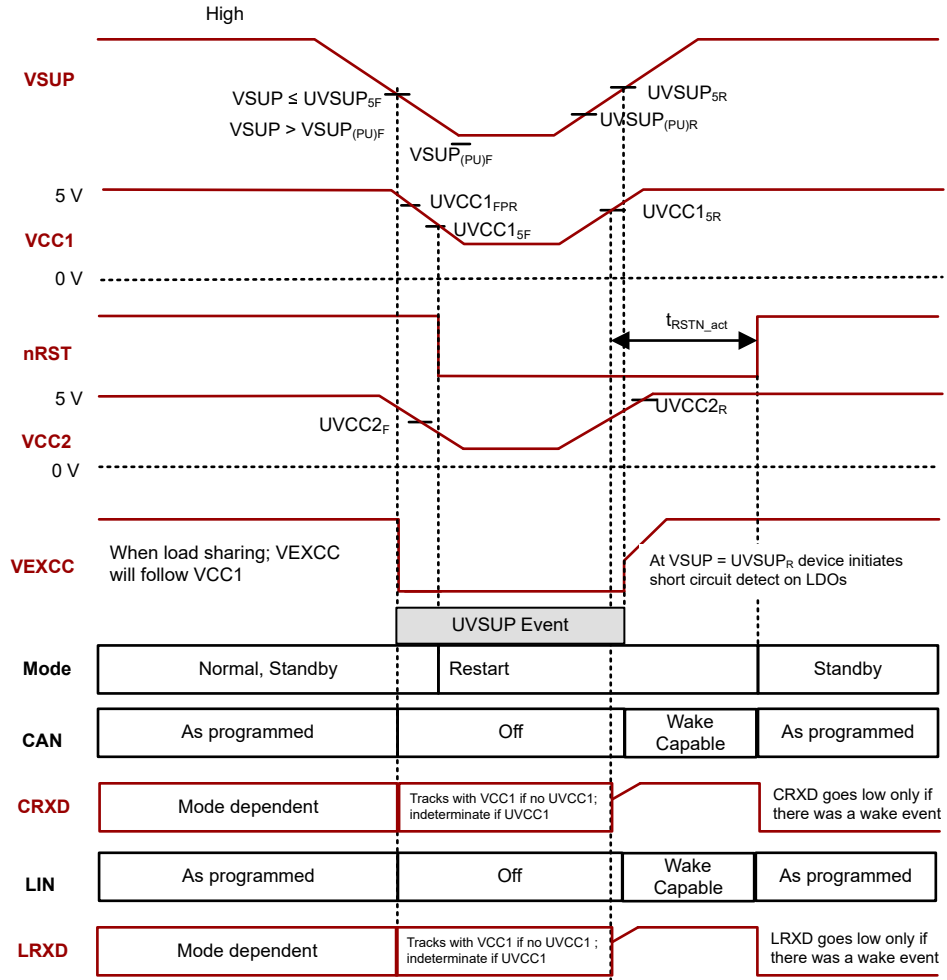


図 10-8. VCC1 = 5V の場合に VSUP(PU)F を上回るブラウンアウト

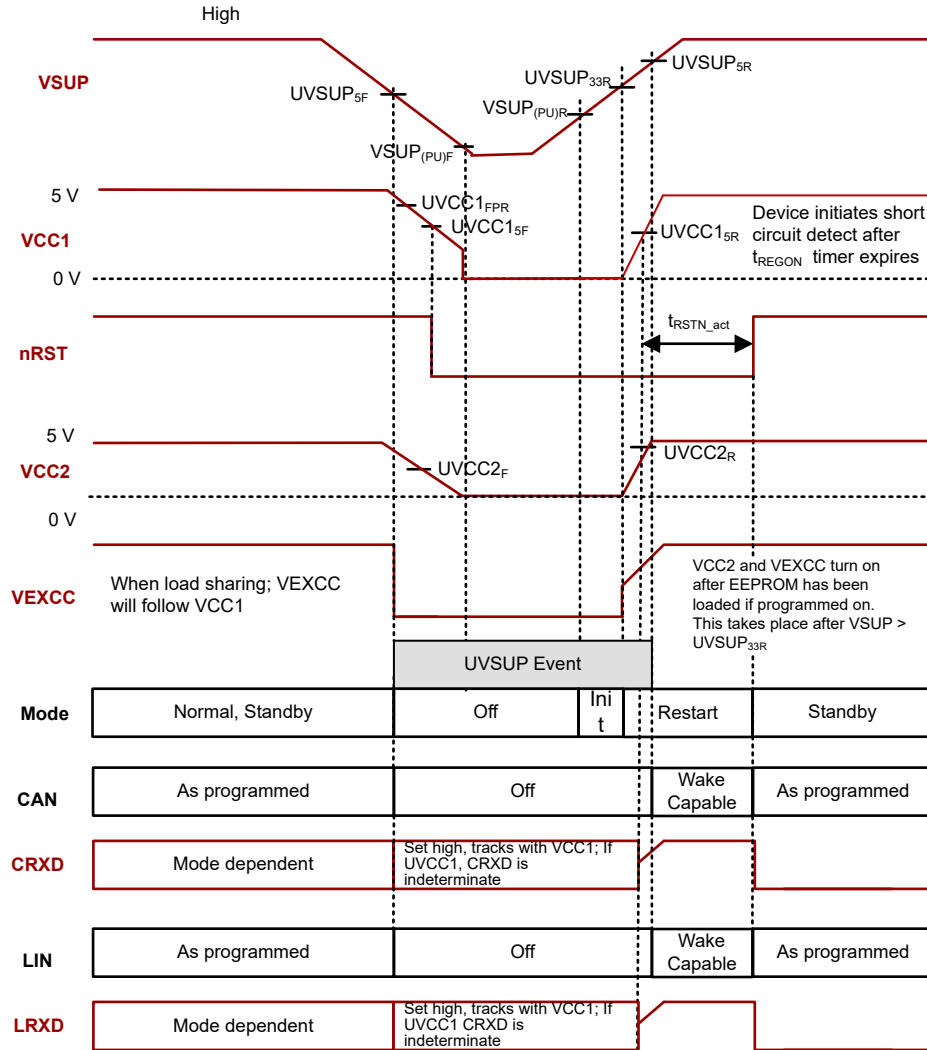


図 10-9. VCC1 = 5V の場合に VSUP(PU)F を下回るブラウンアウト

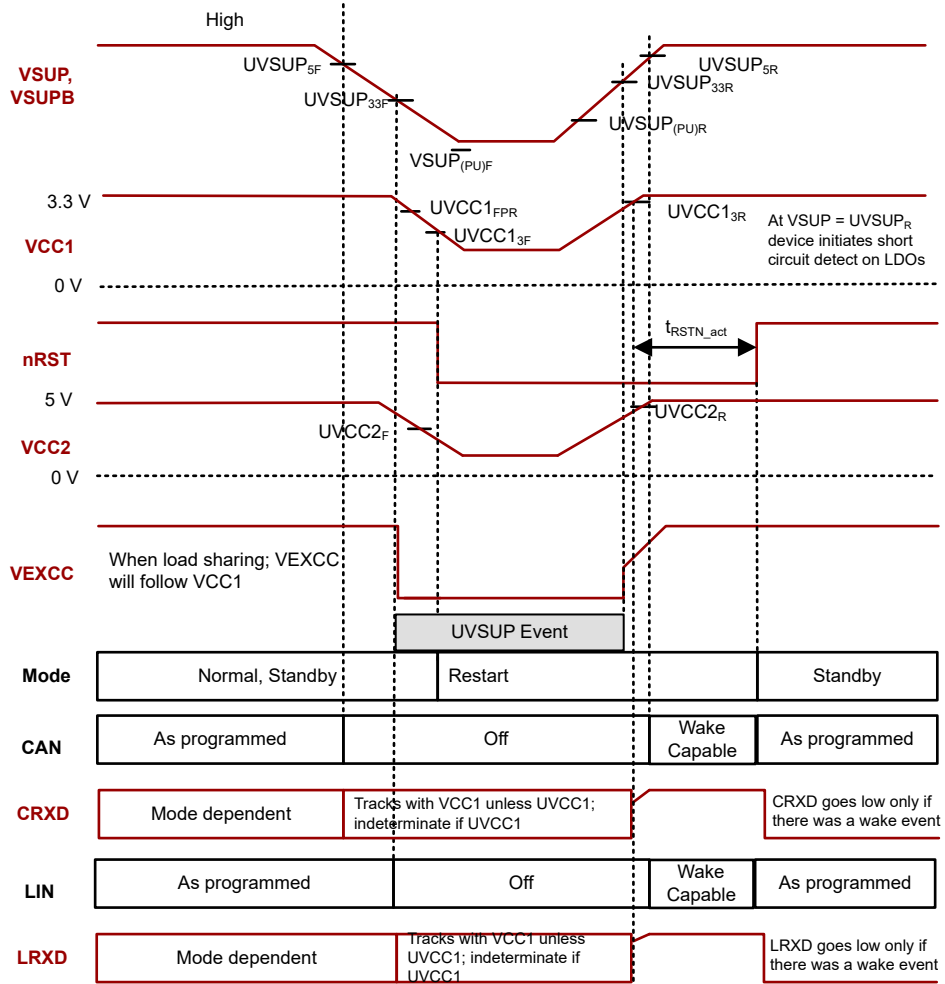


図 10-10. VCC1 = 3.3V の場合に VSUP_{(PU)F} を上回るブラウンアウト

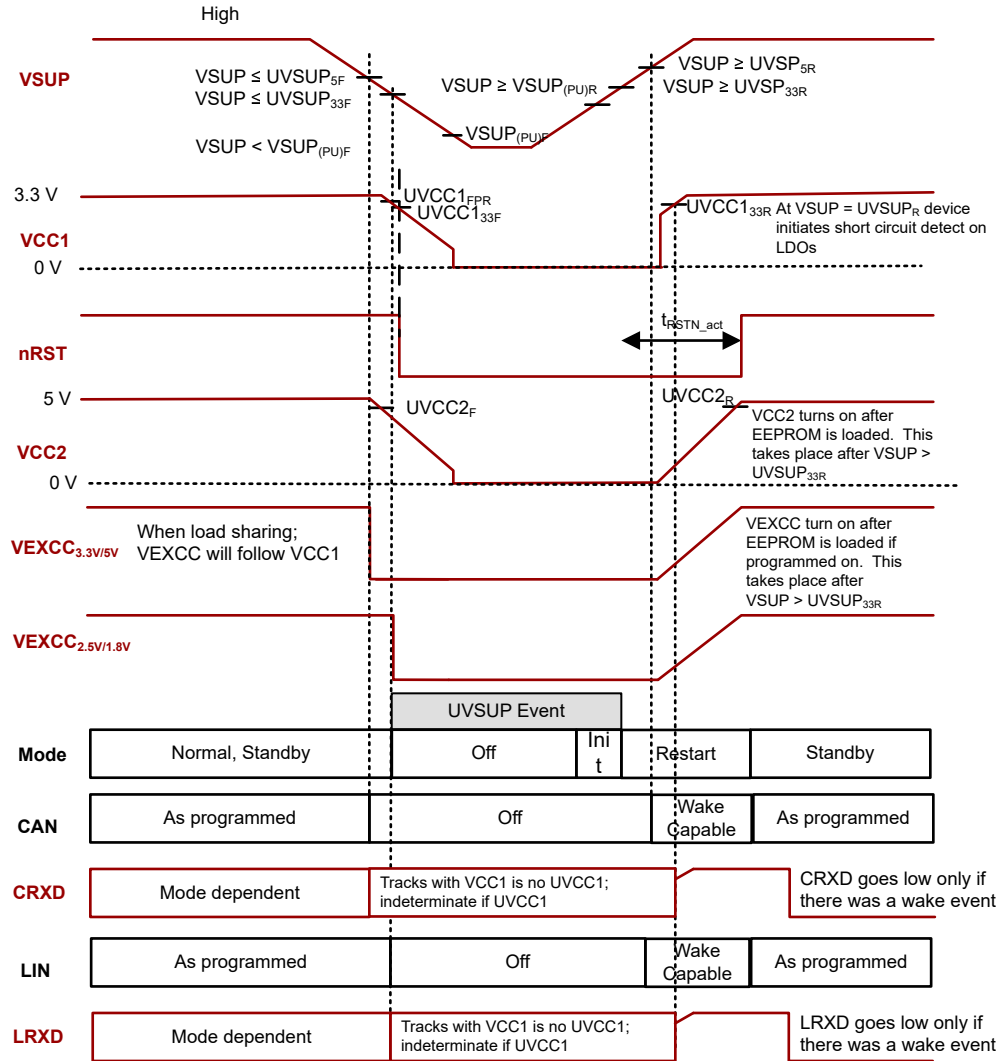


図 10-11. VCC1 = 3.3V の場合に $VSUP_{(PU)F}$ を下回るブラウンアウト

10.2 代表的なアプリケーション

TCAN284x-Q1 SBC ファミリーは通常、ウォッチドッグ、CAN FD バスやハイサイドスイッチ用の高度なバス故障診断などの多くの機能を持つデバイスの使用中に、CAN FD と LIN のサポートを必要とするホストマイクロプロセッサまたは FPGA を搭載したアプリケーションで使用されます。以下のものは 3.3V マイクロプロセッサアプリケーションの代表的なアプリケーション構成です。これらのデバイスは、VCC1 の値に応じて 3.3V および 5V のマイクロプロセッサで動作します。バス終端を、説明のために示します。

図 10-12 は、従来のアプリケーションと異なる機能を持つ TCAN2847x-Q1 を示しています。

- マイコンに電力を供給する VCC1
- システムセンサまたは 2 番目のマイコンに電力を供給する外部 PNP
- HSS1 と HSS2 を互いに接続して外部コンポーネントに大電流を供給します。
- WAKE ピンと HSS4 によるサイクリックセンシング

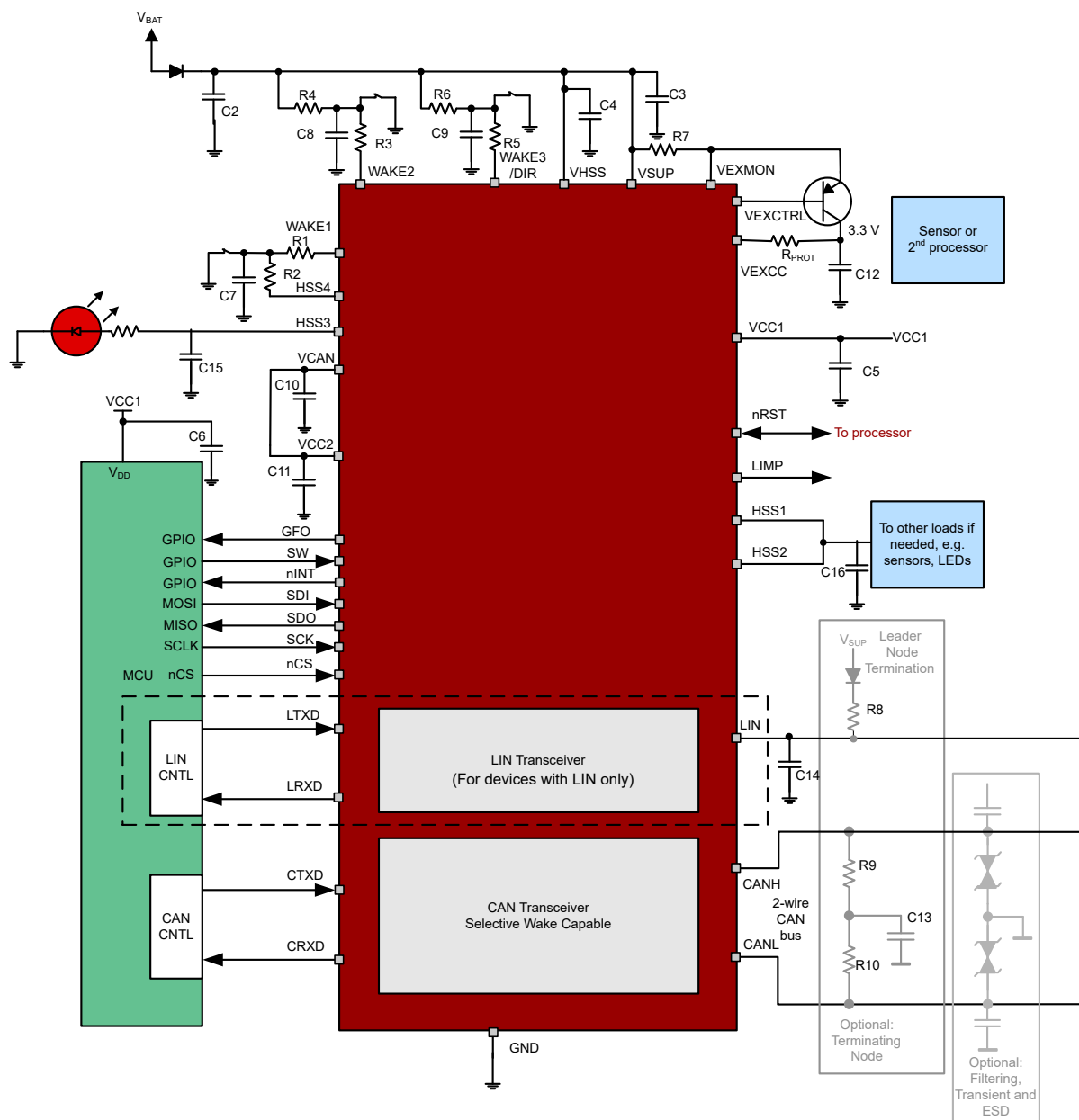


図 10-12. 同期ハイサイドスイッチを使用した TCAN2847x-Q1 の代表的な CAN および LIN アプリケーション

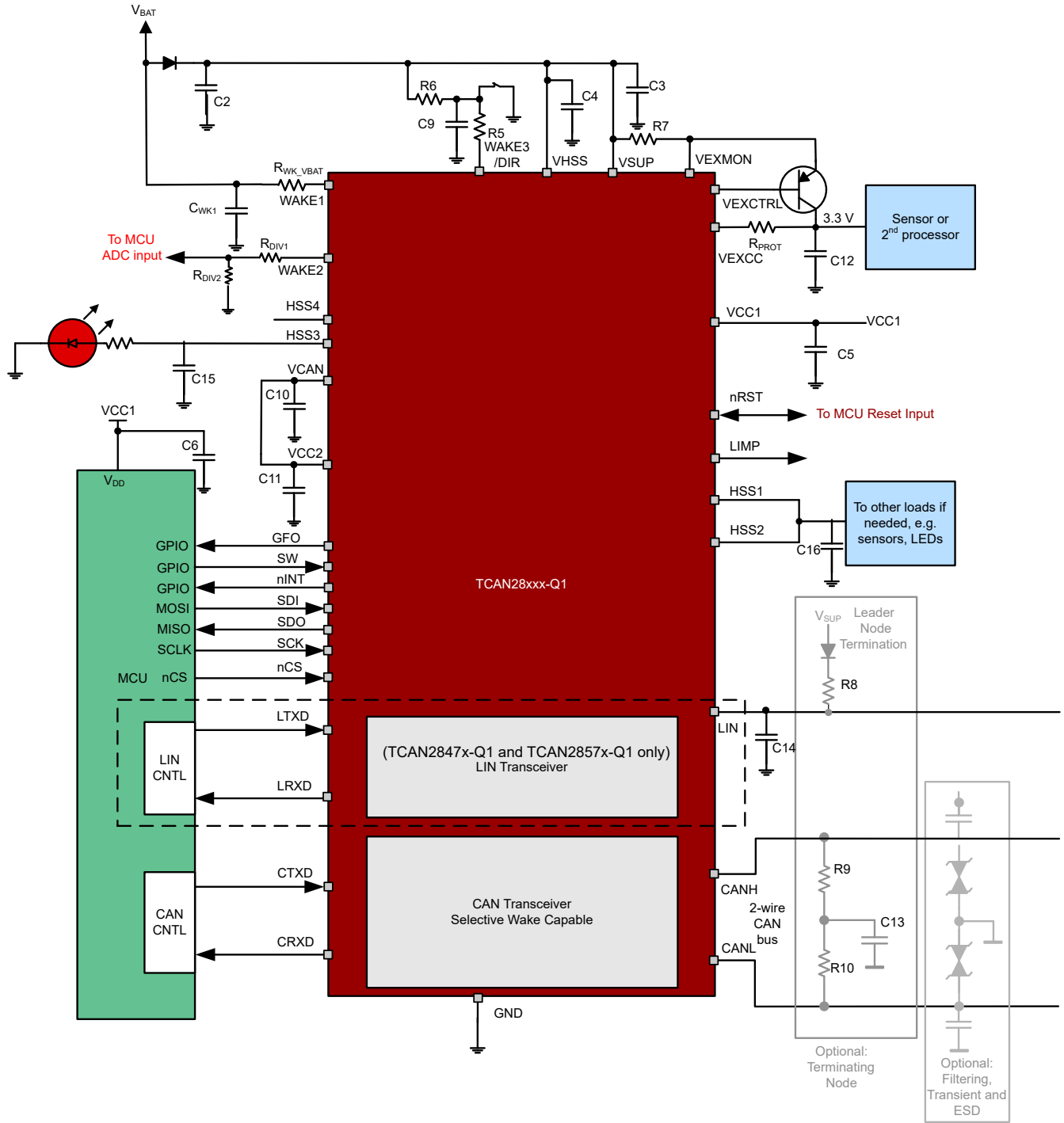


図 10-13. WAKE1 ピンと WAKE2 ピン間で VBAT 監視機能をイネールにした代表的なアプリケーション図

表 10-1. 外付け部品の値

部品	標準値	備考
容量		
C2	22 μ F	バッテリースパイクをカットオフし、ISO パルスから保護するデカップリング容量。アプリケーション要件が異なると、より高い容量が必要になる場合があります
C3、C4	100nF、低 ESR	EMC の堅牢性を向上させるために IC のピンの近くに容量を配置するデカップリング容量
C5	4.7 μ F、低 ESR	アプリケーション要件ごと。LDO を安定化するために必要な最小 1 μ F。EMC の堅牢性と負荷過渡に対応するため、ここでは、より大きな容量の値を推奨します
C6	アプリケーションごとの容量の要件については、マイコンのマニュアルを参照してください。	マイコンの電源の安定性を改善するために、SBC は不要です。
C7、C8、C9、C _{WK1}	22nF	EMC の堅牢化に必要。WAKE ピンを ECU ピンに接続する場合にのみ必要
C10	100nF、低 ESR	VCAN 電源の安定性を改善するために必要で、IC のピンの近くに配置
C11	4.7 μ F、低 ESR	アプリケーション要件ごと。LDO を安定化するために必要な最小 1 μ F。EMC の堅牢性と負荷過渡に対応するため、ここでは、より大きな容量の値を推奨します
C12	4.7 μ F、低 ESR	アプリケーション要件ごと。LDO を安定化するために必要な最小 1 μ F。EMC の堅牢性と負荷過渡に対応するため、ここでは、より大きな容量の値を推奨します
C13	4.7nF	OEM 要件に基づき、CAN 分割終端が必要な場合
C14	220pF	LIN 終端の容量
C15、C16	100nF	HSS が ECU の外部負荷を駆動する場合にのみ、EMC 保護のために必要
抵抗		
R1、R3、R5	3.3k Ω	WAKE ピンに流れ込む電流を制限して ISO パルスから保護するための直列抵抗
R2、R4、R6	3k Ω	アプリケーションの要求に応じて、スイッチに必要なウェット電流をセット
R7	Vshunt/I _{limit} Ω	VEXCC の電流制限をセットするシャント抵抗で、アプリケーションに応じて必要
R8	1k Ω	LIN リーダーノードの終端 (リーダーノードとして使用される場合)
R9、R10	60 Ω	OEM 要件に応じて必要な場合の、CAN 終端
R _{WK-VBAT}	5.1k Ω	バッテリー監視スイッチを流れる電流を制限
R _{DIV1} 、R _{DIV2}	マイコンの ADC ピンの電圧を絶対最大値または ADC 入力範囲より低く制限	マイコンの ADC ピンの要件およびバッテリーの最大電圧要件ごと
R _{PROT}	100 Ω	VEXCC を使用して ECU 外部センサ (グローバルピンとして) に電力を供給する場合のみ: EMC の堅牢性を高めるため直列抵抗 R _{PROT} を推奨

10.2.1 設計要件

ISO 11898-2:2024 規格では、最大バス長 40m、最大スタブ長 0.3m と規定されています。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、TCAN284x-Q1 のような高入力インピーダンスのトランシーバが必要になります。多くの CAN の組織および規格は、元の ISO 11898-2:2024 以外のアプリケーションへと CAN の使用を拡大してきました。これらの組織は、データレート、ケーブル長、バスの寄生負荷にシステムレベルのトレードオフを実行しました。デバイスは、並列トランシーバなどのワーストケースを含め、50 Ω 負荷で 1.5V の要件を満たすように規定されています。デバイスの差動入力抵抗は最小で 30k Ω です。100 個のデバイスがバス上で並列に接続されている場合、これは 300 Ω の差動負荷のワーストケースに相当します。300 Ω のトランシーバ負荷を 60 Ω と並列にすると、50 Ω の等価負荷になります。したがって、TCAN284x-Q1 は理論的には単一のバスセグメントで 100 を超えるトランシーバをサポートします。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、ネットワークの不均衡、グランドオフセット、および信号の完全性に対して

マージンを与える必要があるため、実際の最大ノード数は通常、はるかに少なくなります。また、バス長は、慎重なシステム設計およびデータレートとのトレードオフにより、元の ISO 11898-2:2024 規格の 40m を超えて延長することもできます。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。CAN ネットワーク設計におけるこの柔軟性は、元の ISO 11898-2:2024 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。この柔軟性を利用するには、適切なネットワーク設計を行いこれらのトレードオフのバランスを取る必要があります。

10.2.1.1 LTXD ドミナント状態タイムアウトのアプリケーションノート

TXD ドミナント状態タイムアウトで許容される最大ドミナント LTXD 時間により、デバイスの最小データレートが制限されます。LIN プロトコルには、コントローラとペリフェラルのノードアプリケーションで異なる制約があります。そのため、各アプリケーションケースで連続ドミナントビットの最大値が異なり、データレートの最小値も異なります。

10.2.2 設計手順の詳細

10.2.2.1 CAN の詳細な設計手順

ISO 11898 規格では、相互接続は 120Ω の特性インピーダンス (Z_0) を持つツイストペアケーブル (シールド付きまたはシールドなし) と規定されています。信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端する必要があります。ノードをバスに接続する終端されていないドロップライン (スタブ) は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端はケーブル上またはノード内にあっても構いませんが、ノードがバスから取り除かれる可能性がある場合、2 つの終端が常に回路上に存在するように注意深く配置する必要があります。終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用できます。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

10.2.2.2 LIN の詳細な設計手順

TCAN2847x-Q1 LIN トランシーバは、ISO 17987-4:2023 に適合するように内蔵 LIN レスポンスプルアップ抵抗を使って開発されました。プルアップを厳密化して、バス容量が小さいネットワークを設計することにより、ネットワーク長を長く、またはバス上の LIN ノードを増やすことができます。コントローラノードアプリケーションでは、外部 1kΩ プルアップ抵抗と直列ダイオードが必要です。

10.2.3 アプリケーション曲線

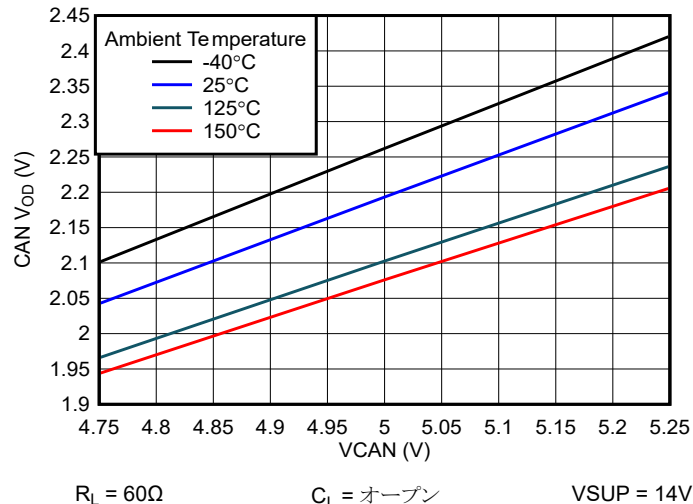


図 10-14. CAN ドライバ差動出力電圧と VCAN および温度との関係

10.3 電源に関する推奨事項

TCAN284x-Q1 は、非標準バッテリー VSUP と VCAN で動作するように設計されています。広範なマイクロプロセッサをサポートするため、ロジック I/O と SPI は、レベル 3.3V と 5V をサポートする非標準 VCC1 から電源が供給されます。CAN FD トランシーバの 5V 電源は、VCAN 入力から供給されます。VCAN は CAN トランシーバが使用しており、EEPROM の書き込みに必要なため、VCC2 が電源オフボードを供給している場合は、VCC2 を使用して 5V を供給しないでください。入力および出力電源の端子に必要な外付け部品の推奨値については、表 10-1 を参照してください。

10.4 レイアウト

堅牢で信頼性の高いバスノード設計を実現するには、工業環境で発生し得る EFT やサージ過渡から保護するために、外付けの過渡保護デバイスを使用する必要があることがよくあります。ESD およびトランジスタの過渡現象は、およそ 3MHz ~ 3GHz にわたる広い周波数帯域を持つため、PCB 設計時には高周波レイアウト技術を適用する必要があります。このファミリは高いオンチップ IEC ESD 保護機能を搭載していますが、より高いレベルのシステム耐性が必要な場合は外部 TVS ダイオードを使用できます。TVS ダイオードとバスフィルタリングコンデンサをオンボードコネクタのできるだけ近くに配置すると、ノイズの多い過渡イベントが PCB やシステム内に伝播することを防止できます。

10.4.1 レイアウトのガイドライン

過渡現象、ESD、ノイズがボード上に伝播するのを防ぐため、保護およびフィルタリング回路をバス コネクタ J1 のできるだけ近くに配置します。このレイアウト例では、デバイスの周囲のコンポーネントに関する情報を提供します。直列同相モードチョーク (CMC) を、コネクタ J1 との間の CANH ラインおよび CANL ライン上に配置します。

信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。電源およびグランド プレーンを使用して、低インダクタンスを実現します。

注

高周波電流は、抵抗が最小なパスではなく、インピーダンスが最小なパスに追従します。

実効ピア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの VCC およびグランド接続には少なくとも 2 つのピアを使用します。

- バイパスコンデンサとバルクコンデンサは、トランシーバの電源端子にできるだけ近い場所に配置する必要があります。例としては、VCC1、VCC2、VCAN 上の 100nF コンデンサ、VCC2 上の C_{OUT} VCC1 と C_{VCC2} などがあります
- バス終端: このレイアウト例では、分割終端を示します。ここでは、終端が 2 つの抵抗 R_{TERM} に分割され、終端のセンサータップまたは分割タップをコンデンサ C_{SPLIT} を使用してグランドに接続します。分割終端はバス同相モードフィルタを提供します。バス終端をバス上に直接配置するのではなく、ボード上に配置する場合は、終端ノードがバスから外れないように、また終端も外れないように注意する必要があります。

10.4.2 レイアウト例

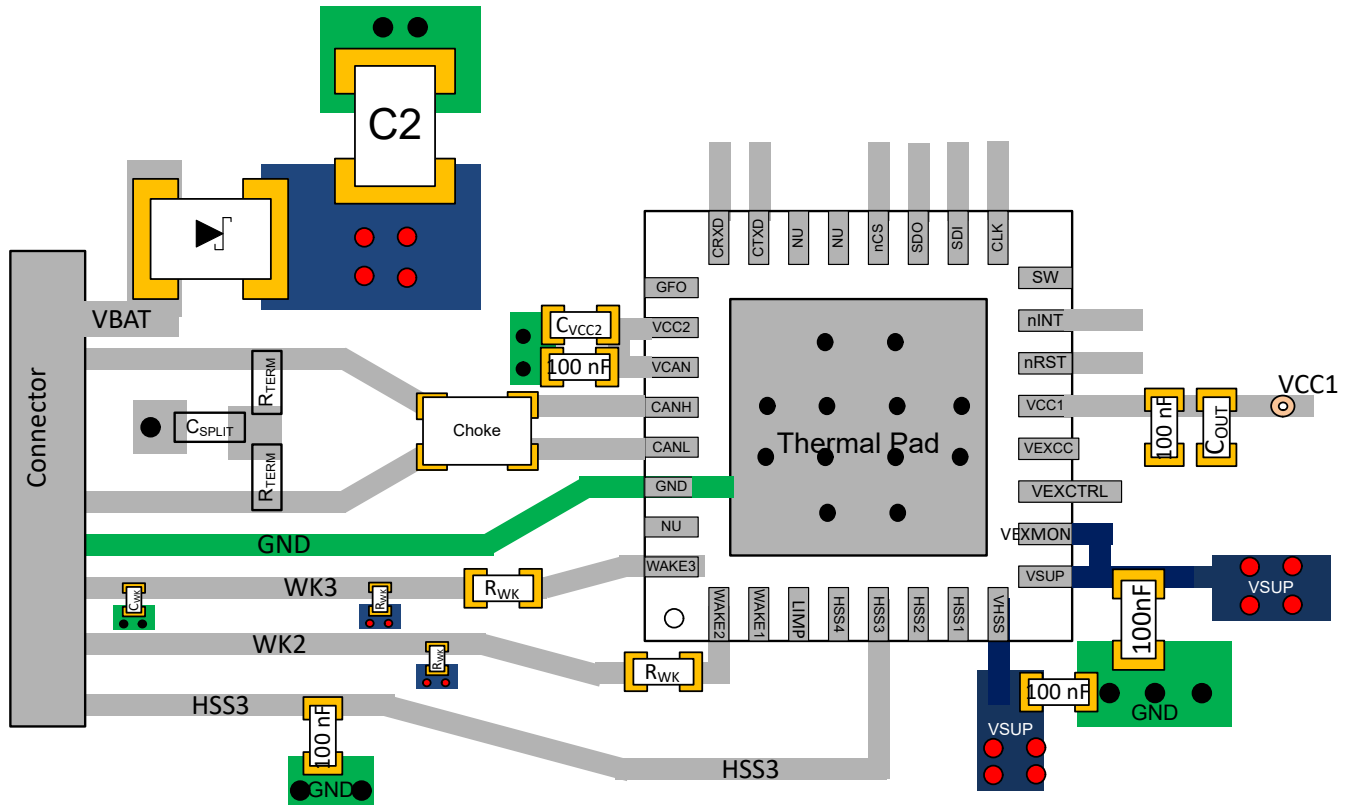


図 10-15. レイアウト例

11 デバイスおよびドキュメントのサポート

このデバイスは、次の CAN 規格に準拠しています。主要な必要事項は、このシステム仕様に含まれていますが、これらの規格を参照し、不一致部分は指摘して検討する必要があります。このドキュメントには、必要なすべての基本事項が記載されています。しかし、CAN プロトコルの詳細はこの物理層 (トランシーバ) 仕様の範囲外であるため、プロトコルも含めて CAN を完全に理解するには以下の追加資料が役に立ちます。

11.1 ドキュメントのサポート

11.1.1 CAN トランシーバの物理層の規格：

- ISO 11898-2:2024: 低消費電力モード付きの高速メディア アクセス ユニット (複数の仕様における -2 規格の電気的なスーパーセットであり、低消費電力モードでバスにより元のウェークアップ機能を追加)
- ISO 8802-3: CSMA/CD は- ISO11898-2 から衝突検出用に参照。
- SAE J2284-2: 250kbps の車載用アプリケーション向けの高速度 CAN (HSC)
- SAE J2284-3: 500kbps の車載用アプリケーション向けの高速度 CAN (HSC)

11.1.2 LIN トランシーバ物理層の規格

- ISO/DIS 17987-1: 道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 1 部: 一般情報とユースケースの定義
- ISO/DIS 17987-4: 2023 道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 4 部: 電気的物理層 (EPL) 仕様 12V
- SAEJ2602-1: 車載アプリケーション用の LIN ネットワーク
- LIN2.0、LIN2.1、LIN2.2、LIN2.2A 仕様

11.1.3 EMC 要件：

- SAEJ2962-2: CAN トランシーバの US3 要件 (-2、-5、GM では -6 + FD に対応した更新も提案されますが、開始点としてはこれが最良です)
- CAN、LIN、FR V1.3 の HW 要件: CAN と LIN のドイツ OEM 要件
- ISO 10605: 道路車両 - 静電放電による電気的障害のテスト手法
- ISO 11452-4: 2011: 道路車両 - ナローバンド放射の電磁気エネルギーによる電気的障害のコンポーネント テスト手法 - 第 4 部: ハーネス励起方法
- ISO 7637-1: 2015: 道路車両 - 伝導および結合による電気的障害 - 第 1 部: 定義および一般的な考慮事項
- ISO 7637-3: 道路車両 - 伝導および結合による電気的障害 - 第 3 部: 供給ライン以外のラインを介した容量性および誘導性結合による電気的過渡伝達
- IEC 62132-4: 2006: 集積回路 - 150kHz~1GHz の電磁気耐性の測定 - 第 4 部: 直接 RF 電力注入手法
- IEC 61000-4-2
- IEC 61967-4
- CISPR25

11.1.4 適合テストの要件：

- HS_TRX_Test_Spec_V_1_0: 高速物理層用の GIFT/ICT CAN テストの要件
- ISO/DIS 17987-7: 道路車両 -- ローカル相互接続ネットワーク (LIN) -- 第 7 部: 電気物理層 (EPL) 適合性テスト仕様
- SAEJ2602-2: 車載アプリケーション用 LIN ネットワークの準拠テスト

11.1.5 関連資料

- 『A Comprehensive Guide to Controller Area Network』、Wilfried Voss、Copperhill Media Corporation
- 『CAN System Engineering: From Theory to Practical Applications』、第 2 版、2013 年、Dr. Wolfhard Lawrenz、Springer

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2025) to Revision B (November 2025)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
データシート全体の最初の公開リリース.....	1
TCAN2845-Q1 および TCAN2847-Q1 の図の画像を追加.....	1
VSYM_DC のパラメータの説明を更新.....	16
最大 CANH-GND、CANL-GND 容量 (CI) を次の値に変更: 30pF から 20pF.....	16
CI および CID パラメータが設計と特性評価によって規定されることを示す注記を追加.....	16
最大 CAN バス微分容量 (CID) を次の値に変更: 15pF から 10pF.....	16
t _{ΔBit(RXD)5M} および t _{ΔBit(RXD)8M} の最小値を次の値に更新: -80ns から: -70ns	26
SBC 通常モードでローカル ウェークに対応していないことを示す文を削除.....	75
REV_ID Minor_Revision の値を次の値に更新: R-01h から: R-xh.....	130
REV_ID の説明を更新して、0001b = 1、0010b = 2、0000b = 0、0001b = 1、および 0010b = 2 を追加.....	130
NVM_REV のリセット値を次の値に更新: R-0010b から: R-0001b.....	130
INT_EN_6 レジスタの説明を次の値に更新: UVCC2_EN から OVCC2_EN.....	130

Changes from Revision * (November 2024) to Revision A (June 2025)	Page
ドキュメントを「事前情報」から「量産データ」に変更.....	1

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN28453RHBRQ1	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TCAN 28453
TCAN28455RHBRQ1	Active	Production	VQFN (RHB) 32	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TCAN 28455
TCAN28473RHBRQ1	Active	Production	VQFN (RHB) 32	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TCAN 28473
TCAN28473RHBRQ1.A	Active	Production	VQFN (RHB) 32	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TCAN 28473
TCAN28475RHBRQ1	Active	Production	VQFN (RHB) 32	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TCAN 28475
TCAN28475RHBRQ1.A	Active	Production	VQFN (RHB) 32	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TCAN 28475

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

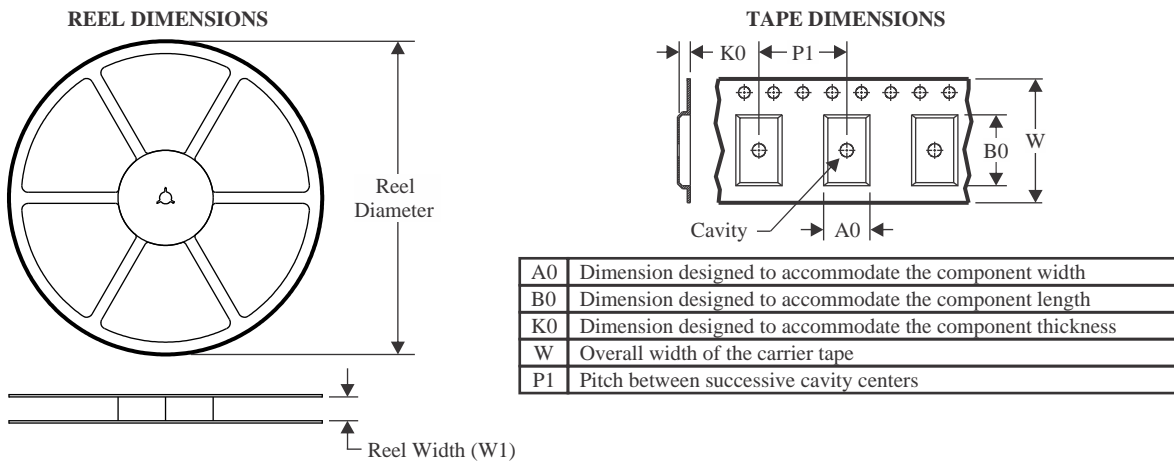
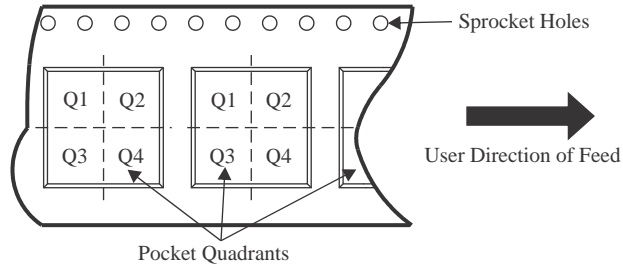
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

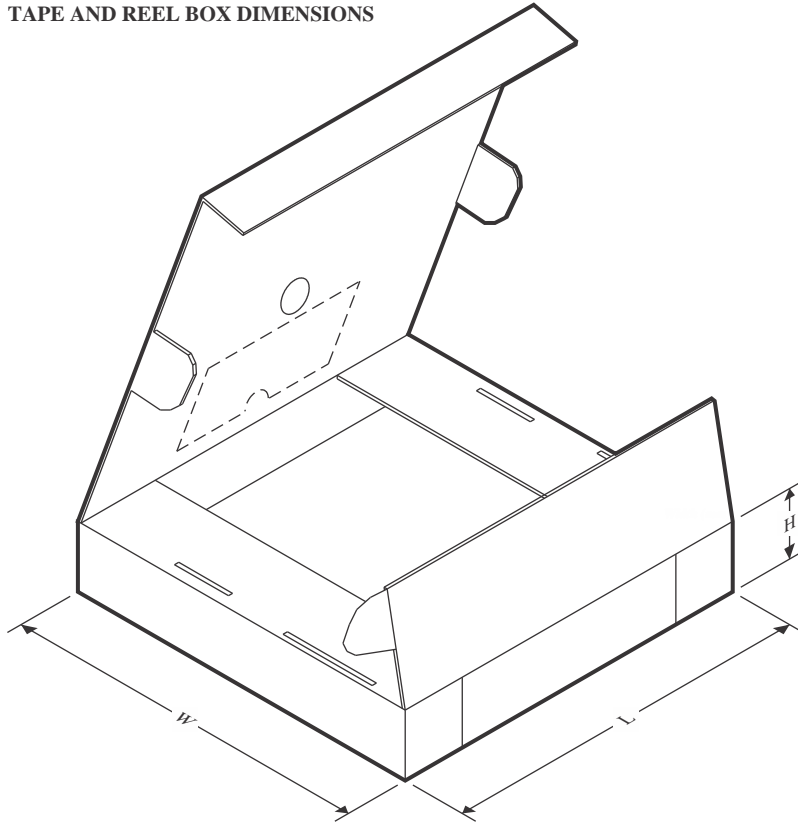
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN28453RHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TCAN28455RHBRQ1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TCAN28473RHBRQ1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TCAN28475RHBRQ1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN28453RHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
TCAN28455RHBRQ1	VQFN	RHB	32	5000	367.0	367.0	35.0
TCAN28473RHBRQ1	VQFN	RHB	32	5000	367.0	367.0	35.0
TCAN28475RHBRQ1	VQFN	RHB	32	5000	367.0	367.0	35.0

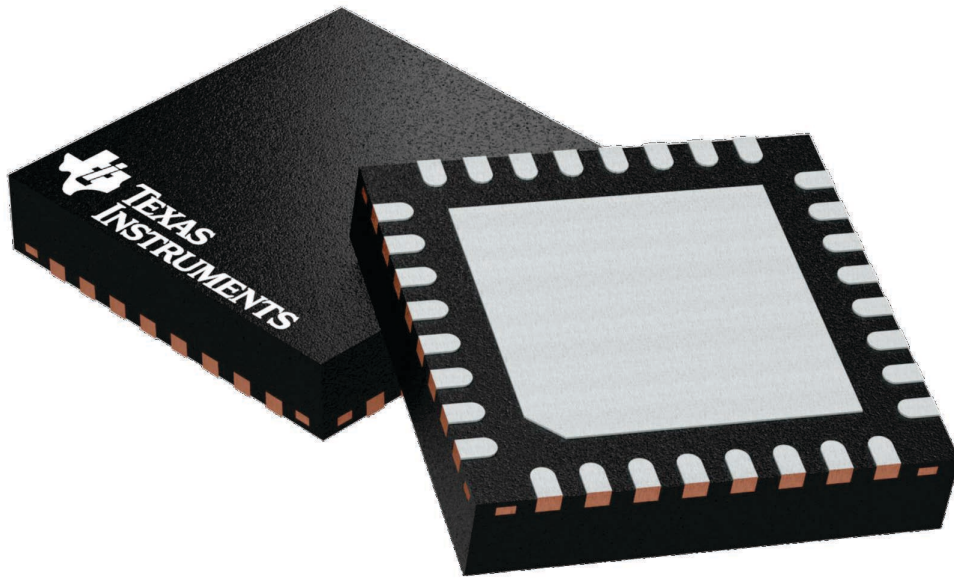
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

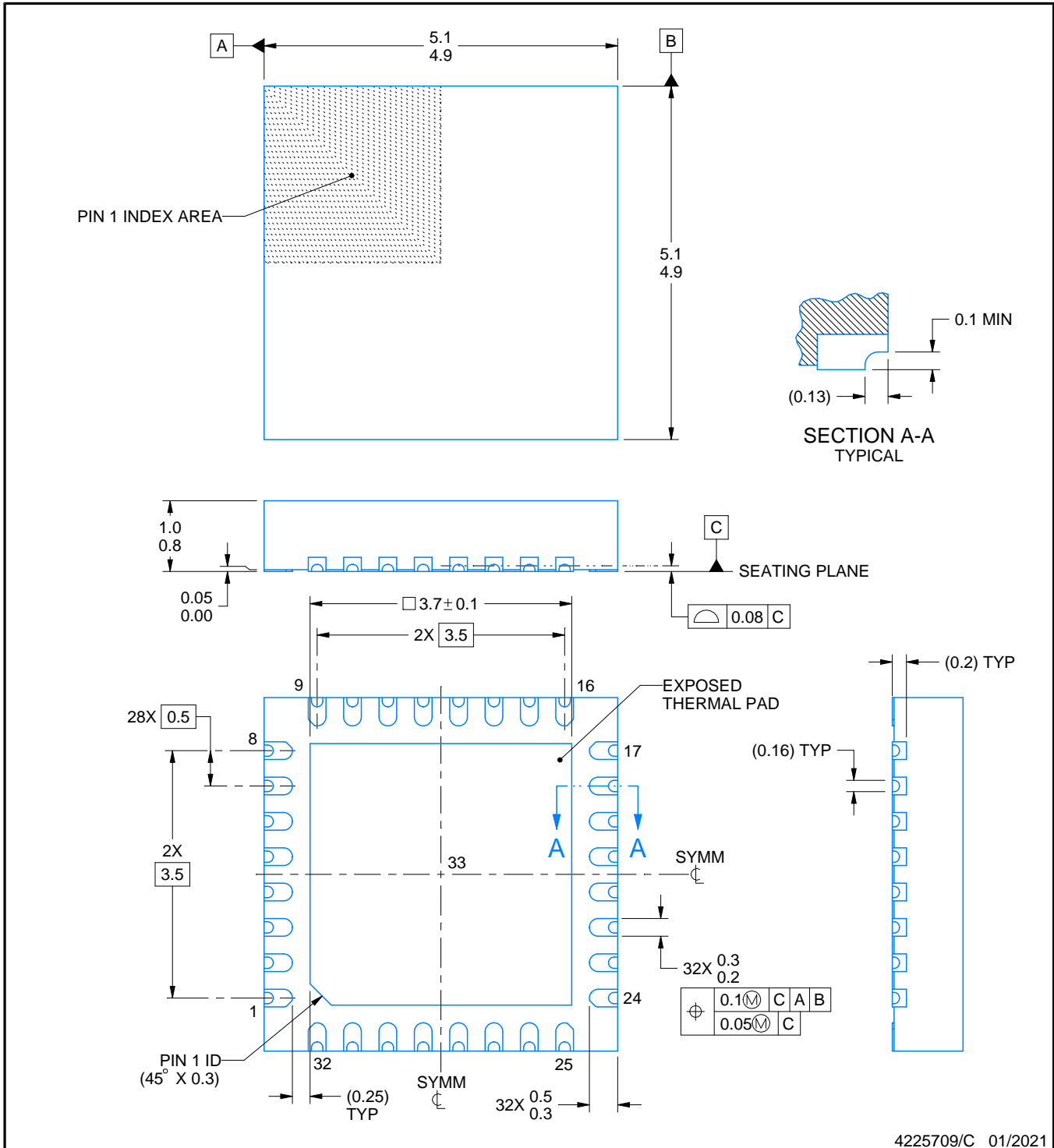
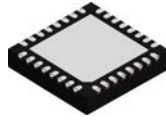
5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A



4225709/C 01/2021

NOTES:

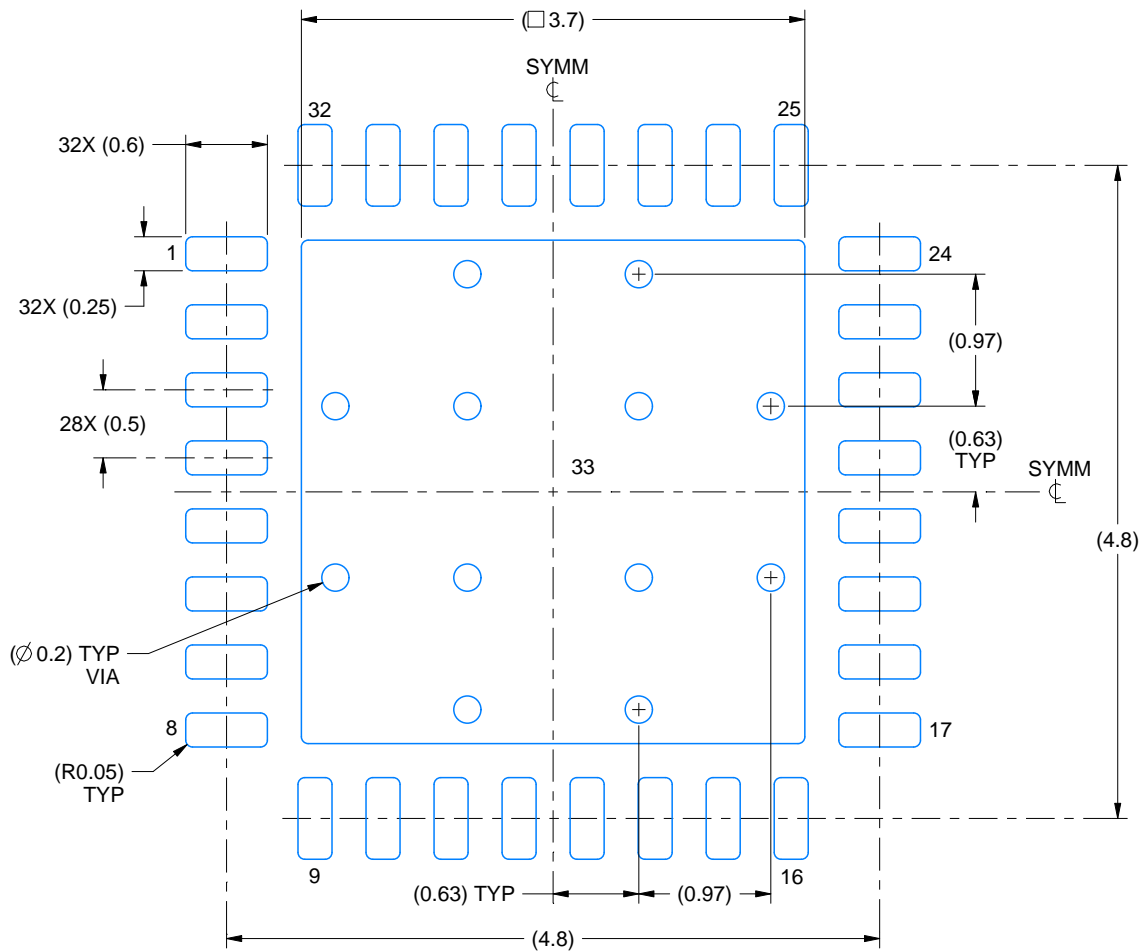
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

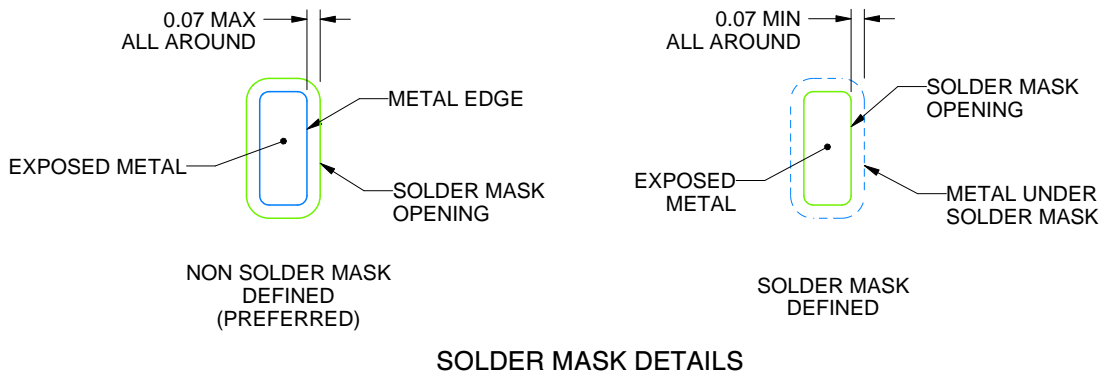
RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

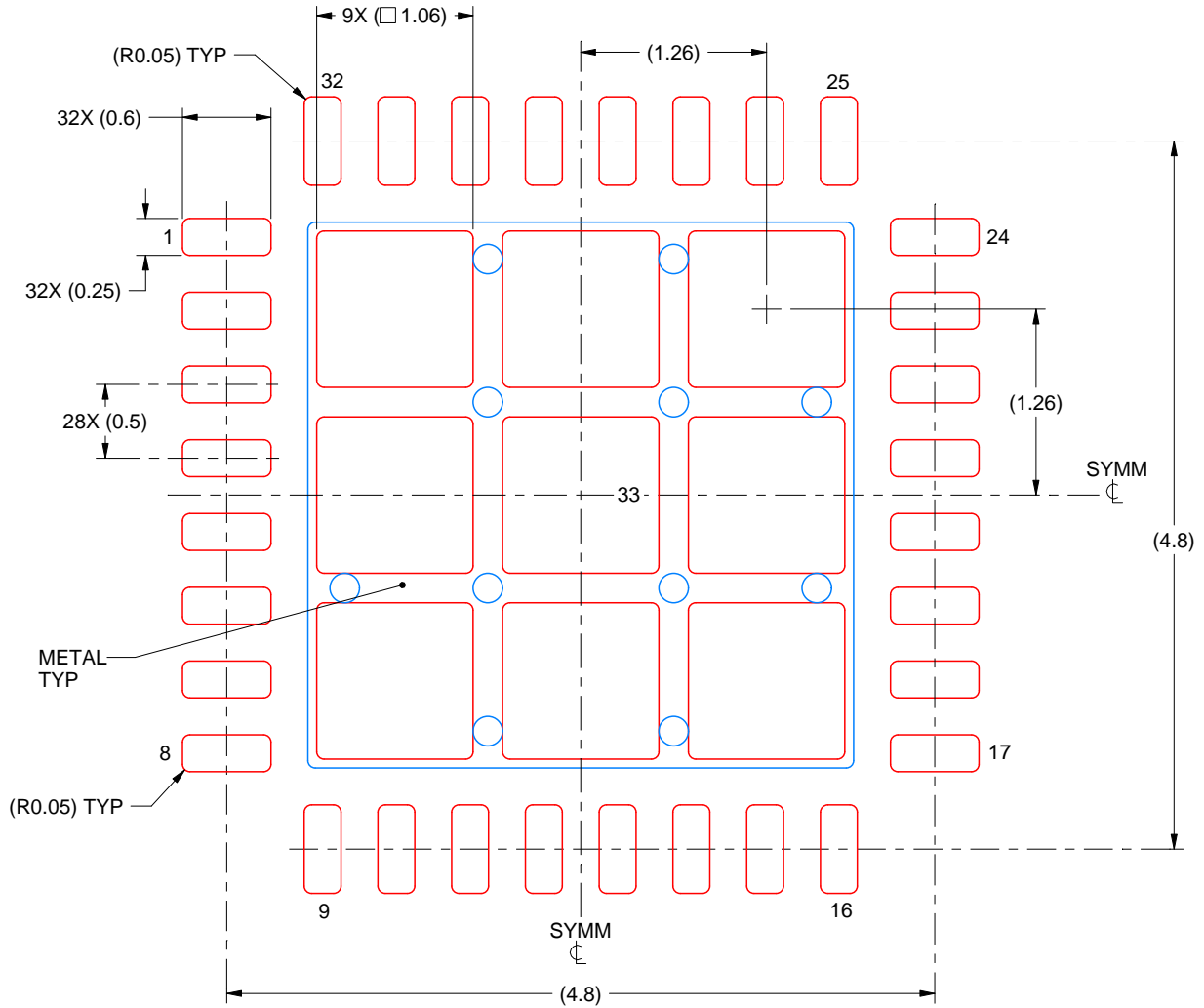
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
 74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:20X

4225709/C 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月