

TCAN4572-Q1 トランシーバ内蔵車載用コントローラ エリア ネットワーク フレキシブル データ レート (CAN FD) コントローラ

1 特長

- AEC-Q100: 車載アプリケーション認定済み
 - 温度: $-40^{\circ}\text{C} \sim 125^{\circ}\text{C T}_A$
- 機能安全対応
- CAN SIC トランシーバ内蔵 CAN FD コントローラ
- ISO 11898-1:2024 に対応した CAN FD および FD Light コントローラ
- トランシーバは、最大 5Mbps までの ISO 11898-2:2024 付録 A の要件に準拠しています
- 最大 40MHz の SPI クロック速度で、最大 5Mbps の CAN FD データレートをサポート
- Classic CAN との下位互換性をサポート
- 動作モード: 通常、スタンバイ、スリープ、フェイルセーフ
- CAN バス上で広い動作範囲
 - $\pm 58\text{V}$ のバス故障保護
 - $\pm 12\text{V}$ 同相モード
- 電源非接続時の最適化された挙動
 - バスおよびロジック端子は高インピーダンス (動作中のバス、アプリケーションに対して無負荷)
 - 電源オンおよびオフ時のグリッチフリー動作

2 アプリケーション

- ボディエレクトロニクスおよび照明
- インフォテインメントおよびクラスタ
- 産業用輸送

3 説明

TCAN4572-Q1 は、CAN 信号改善対応 (SIC) トランシーバを内蔵した CAN FD コントローラです。CAN FD コントローラは、ISO11898-1:2015 の仕様および ISO11898-2:2016 の物理層要件に準拠しています。さらに、この CAN コントローラは CAN FD Light プロトコルをサポートしています。TCAN4572-Q1 は、シリアル ペリフェラル インターフェイス (SPI) を介して CAN バスとシステムプロセッサ間のインターフェイスを提供し、プロセッサへのポート拡張または CAN FD サポートを可能にします。TCAN4572-Q1 は、ISO11898-2:2016 のウェークアップパターン (WUP) を実装した CAN バスを使用するバスウェークをサポートしています。

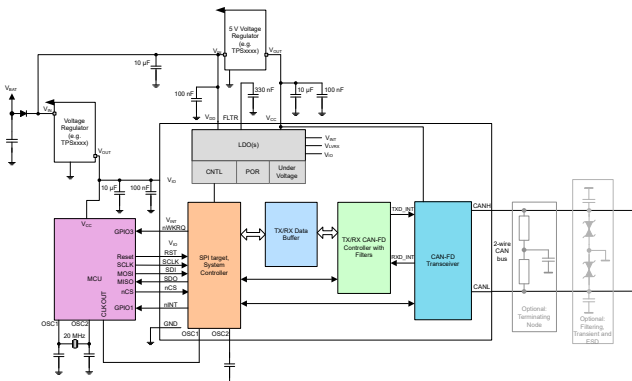
このデバイスには、デバイスおよび CAN バスの堅牢性を高める多数の保護機能が含まれています。これらの機能には、フェイルセーフモード、内部ドミナント状態タイムアウト、および広いバス動作範囲が含まれます。

パッケージ情報

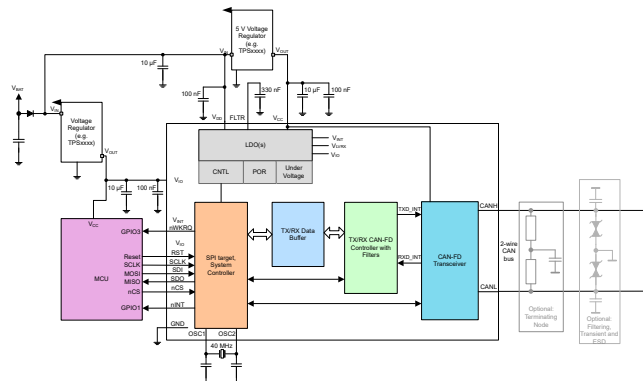
部品番号	パッケージ (1)	パッケージ サイズ (2)
TCAN4572	SOT-23 (16)	4.2mm × 2mm

- (1) 詳細については、[セクション 12](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

ADVANCE INFORMATION



概略回路図、MCU から CLIN



概略回路図、水晶振動子



目次

1 特長	1	8.1 アプリケーション設計に関する考慮事項	53
2 アプリケーション	1	8.2 代表的なアプリケーション	57
3 説明	1	8.3 電源に関する推奨事項	58
4 ピン構成および機能	3	8.4 レイアウト	59
5 仕様	4	9 レジスタ マップ	60
5.1 絶対最大定格	4	9.1 DEVICE_INFO_AND_SPI レジスタ	60
5.2 ESD 定格	4	9.2 DEVICE_CONFIG レジスタ	70
5.3 ESD 定格、IEC ESD、ISO 過渡仕様	4	9.3 割り込み / 診断フラグおよびイネーブル フラグ レジスタ: 16'h0820 ~ 16'h0830	87
5.4 推奨動作条件	5	9.4 CAN_CONTROLLER レジスタ	91
5.5 熱に関する情報	5	10 デバイスおよびドキュメントのサポート	166
5.6 電源の特性	5	10.1 ドキュメントのサポート	166
5.7 電気的特性	6	10.2 ドキュメントの更新通知を受け取る方法	166
5.8 タイミング要件	9	10.3 サポート・リソース	166
5.9 スwitchング特性	11	10.4 商標	166
6 パラメータ測定情報	13	10.5 静電気放電に関する注意事項	166
7 詳細説明	21	10.6 用語集	167
7.1 概要	21	11 改訂履歴	167
7.2 機能ブロック図	22	12 メカニカル、パッケージ、および注文情報	167
7.3 機能説明	24	12.1 パッケージ情報	168
7.4 デバイスの機能モード	28	12.2 テープおよびリール情報	169
7.5 プログラミング	43	12.3 メカニカル データ	171
8 アプリケーションと実装	53		

4 ピン構成および機能

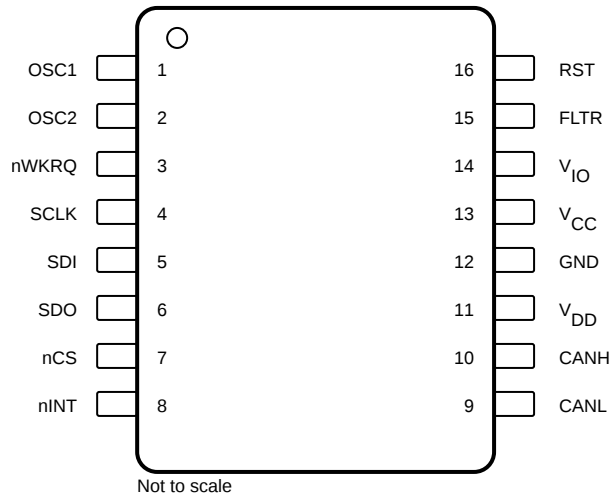


図 4-1. DYY パッケージ、16 ピン (SOT)
(上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	OSC1	I	外部水晶発振器またはクロック入力
2	OSC2	O	外付け水晶発振器の出力。OSC1 に単一入力クロックを使用する場合、このピンはグラウンドに接続する必要があります
3	nWKRQ	DO	ウェーク要求 (アクティブ Low)。このピンはオープンドレイン出力であり、プルアップ抵抗が必要です。
4	SCLK	DI	SPI クロック入力。
5	SDI	DI	コントローラ出力からの SPI レスポンダ データ入力
6	SDO	DO	コントローラ入力への SPI レスポンダ データ出力
7	nCS	DI	SPI チップセレクト (アクティブ Low)
8	nINT	DO	マイコンへの割り込みピン (アクティブ Low)。このピンはオープンドレイン出力であり、プルアップ抵抗が必要です。
9	CANL	HV バス I/O	Low レベル CAN バスライン
10	CANH	HV バス I/O	High レベル CAN バスライン
11	V _{DD}	電源	広範囲の電源入力。バッテリーに接続できます
12	GND	GND	グラウンド接続
13	V _{CC}	供給入力	5V CAN バス電源電圧
14	V _{IO}	供給入力	デジタル I/O 電源電圧
15	FLTR	—	内部レギュレータ フィルタ。外部コンデンサをグラウンドに接続する必要があります
16	RST	DI	デバイスリセット入力

(1) 注: DI = デジタル入力、DO = デジタル出力、HV = 高電圧

5 仕様

5.1 絶対最大定格

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り) ⁽¹⁾

		最小値	最大値	単位
V _{DD}	デバイス電源電圧	-0.3	42	V
V _{IO}	電源電圧 I/O レベル シフト	-0.3	6	V
V _{CC}	5V CAN トランシーバ電源電圧	-0.3	6	V
V _{FLTR}	FLTR 内部デジタル電源ピン	-0.3	1.8	V
V _{BUS_CAN}	CAN バス I/O 電圧 (CANH、CANL)	-42	42	V
V _I	デジタル ロジック入力端子電圧	-0.3	6	V
V _{DO}	デジタル出力端子電圧	-0.5	6	V
I _{O(DO)}	デジタル出力電流		8	mA
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位	
V _(ESD)	静電放電	AEC Q100-002 に準拠した人体モデル (HBM) 分類レベル H2 ⁽¹⁾	CANH および CANL を除くすべての端子	±4000	V
		AEC Q100-002 に準拠した人体モデル (HBM) 分類レベル 3A ⁽²⁾	CANH および CANL	±12000	
		デバイス帯電モデル (CDM)、分類レベル C5、AEC Q100-011 準拠	すべての端子	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
(2) GND を基準としてストレスを加えた端子

5.3 ESD 定格、IEC ESD、ISO 過渡仕様

			値	単位
V _(ESD)	IBEE CAN EMC に準拠した静電放電 ⁽¹⁾	接触放電	±8 000	V
V _(ESD)	SAEJ2962-2 準拠の静電放電 ⁽²⁾	接触放電	±8 000	V
		空隙放電	±15 000	V
V _{TRAN}	IBEE CAN EMC 試験仕様に準拠した ISO-7637-2 トランジェント CAN バス端子 (CANH および CANL)、および V _{DD} と GND 間 ⁽³⁾	パルス 1	-100	V
		パルス 2	75	V
		パルス 3a	-150	V
		パルス 3b	100	V
	IBEE CAN EMC 試験仕様に準拠した ISO-7637-3 トランジェント CAN 端子 (CANH および CANL) と GND 間 ⁽³⁾	100nF のカップリングコンデンサを備えた直接カップリングコンデンサ「低速過渡パルス」 - 電源	±30	V

(1) ここに示す結果は、IBEE CAN EMC テストの仕様条件下でのものです。システムレベルの構成が異なると、結果も異なる可能性があります。試験は第三者試験機関である IBEE Zwickau にて実施されており、試験レポートは要望に応じて提供可能です。
(2) SAEJ2962-2、試験は第三者の US3 認定 EMC 試験施設で実施されており、試験レポートは要望に応じて提供可能です。

- (3) ISO7637 はシステムレベルの過渡テストです。ここに示す結果は、IBEE CAN EMC テストの仕様条件下でのものです。システムレベルの構成が異なると、結果も異なる可能性があります。

5.4 推奨動作条件

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

		最小値	標準値	最大値	単位
V_{DD}	デバイス電源電圧	4.5		36	V
V_{CC}	CAN トランシーバ電源電圧	4.75		5.25	V
V_{IO}	ロジックピン電源電圧	1.71		5.5	V
$V_{I/O}$	デジタルロジックの入力および出力端子電圧	0		5.5	V
$I_{OH(DO)}$	デジタル端子 High レベル出力電流	-2			mA
$I_{OL(DO)}$	デジタル端子 Low レベル出力電流			2	mA
C_{FLTR}	FLTR ピンの容量を推奨	230	330	600	nF
		230	470	600	
C_{VDD}	V_{DD} ピン容量を推奨		100		nF
C_{VCC}	V_{CC} ピン容量を推奨		100		nF
C_{VIO}	V_{IO} ピン容量を推奨		100		nF
T_{VJ}	仮想接合部温度	-40		150	$^{\circ}\text{C}$

5.5 熱に関する情報

熱評価基準 ⁽¹⁾		PKG	単位
		DYY	
		16ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.1	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	27.6	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	28.0	$^{\circ}\text{C}/\text{W}$
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	$^{\circ}\text{C}/\text{W}$
Ψ_{JB}	接合部から基板への特性パラメータ	27.9	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	$^{\circ}\text{C}/\text{W}$

- (1) 従来および最新の熱評価基準の詳細については、『[半導体およびICパッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
[SPRA953](#)

5.6 電源の特性

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{DD}							
I_{DD}	デバイス電源電流	通常	40MHz 水晶発振子またはクロック	3	4		mA
I_{DD}	デバイス電源電流	通常	20Mhz 水晶発振子、クロックまたは内部	1.5	2.3		mA
I_{DD}	デバイス電源電流	スタンバイ	$4.5\text{V} \leq V_{DD} \leq 36$ 、バス待機	1	1.5		mA
I_{DD}	デバイス電源電流	スタンバイ	$4.5\text{V} \leq V_{DD} \leq 36$ 、バスアイドル	600	900		μA

5.6 電源の特性 (続き)

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
I_{DD}	デバイス電源電流	スリープ	$4.5\text{V} \leq V_{DD} \leq 36$, nCS = High, バスアイドル $T_J \leq 125^{\circ}\text{C}$	20		85	μA
			$4.5\text{V} \leq V_{DD} \leq 36$, nCS = High, バスアイドル $T_J > 125^{\circ}\text{C}$	100		150	
UV_{DD}	低電圧プロテクトモードにおける V_{DD} 立ち上がり低電圧検出	立ち上がり		3.3	3.7	4.1	V
	低電圧プロテクトモードの V_{DD} での立ち下がり低電圧検出	立ち下がり		3.2	3.6	4	V
V_{DD_POR}	V_{DD} 立ち上がり時のパワーオンリセット電圧	立ち上がり		2.2	2.8	3.6	V
	V_{DD} 立ち下がり時のパワーオンリセット電圧	立ち下がり		2	2.7	3.4	V
V_{CC}							
I_{CC}	CAN 電源電流、通常モード	ドミナント	$R_L = 60\Omega$, $C_L =$ オープン、標準的なバス負荷			60	mA
I_{CC}	CAN 電源電流、通常モード	ドミナント	$R_L = 50\Omega$, $C_L =$ オープン、高バス負荷。			65	mA
I_{CC}	CAN 電源電流、通常モード	バス障害が発生した場合でもドミナントです	CANH = - 25V, $R_L =$ オープン、 $C_L =$ オープン			90	mA
I_{CC}	CAN 電源電流、通常モード	リセッティング	$R_L = 60\Omega$, $C_L =$ オープン, $R_{CM} =$ オープン	2.5		4	mA
I_{CC}	CAN 消費電流、スタンバイモード	スタンバイモード	$R_L = 60\Omega$, $C_L =$ オープン、CANH/L を 2.5V に終端	1		5	μA
I_{CC}	CAN 電源電流、スリープモード	スリープモード	$R_L = 60\Omega$, $C_L =$ オープン、CANH/L を 2.5V に終端	1		4	μA
UV_{CCR}	プロテクトモードでの V_{CC} の立ち上がり低電圧検出			4.2		4.4	V
UV_{CCF}	プロテクトモードの V_{CC} での立ち下がり低電圧検出			3.5		4	V
V_{IO}							
I_{IO}	I/O 電源電流	通常モードとスタンバイモード	CLKIN = 40MHz, $V_{IO} = 5.5\text{V}$	200		2500	μA
I_{IO}	I/O 電源電流		水晶発振子 = 40MHz, $V_{IO} = 5.5\text{V}$			3	mA
I_{IO}	I/O 電源電流	通常モードとスタンバイモード	$V_{IO} = 5.5\text{V}$, OSC1 = OSC2 = GND			5	μA
I_{IO}	I/O 電源電流	スリープモード	$V_{IO} = 5.5\text{V}$, OSC1 = CLKIN = 0V および OSC2 = GND			5	μA
UV_{IOR}	プロテクトモードでの V_{IO} の立ち上がり低電圧検出			1.4		1.65	V
UV_{IOF}	プロテクトモードの V_{IO} での立ち下がり低電圧検出			1		1.25	V

5.7 電氣的特性

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ		テスト条件 (1)	最小値	標準値	最大値	単位
CAN ドライバの電氣的特性						
$V_{O(D)}$	CANH 上のバス出力電圧 (ドミナント時)	$45\Omega \leq R_L \leq 65\Omega$, $C_L =$ オープン, $R_{CM} =$ オープン	3		4.26	V
	CANL 上のバス出力電圧 (ドミナント時)		0.75		2.01	V

5.7 電気的特性 (続き)

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ		テスト条件 ⁽¹⁾	最小値	標準値	最大値	単位
$V_{O(R)}$	CANH、CANL のリセッパ時のバス出力電圧	$R_L = 45\Omega \leq R_L \leq 65\Omega$ 、分割終端容量 4.7nF	2.256	2.5	2.756	V
$V_{O(R)}$	CANH、CANL のリセッパ時のバス出力電圧	$R_L =$ オープン (負荷なし)、 $R_{CM} =$ オープン	2	2.5	3	V
$V_{O(INACT)}$	バス バイアスが非アクティブ時 (スタンバイモード時) の CANH のバス出力電圧	$R_L =$ オープン (負荷なし)、 $R_{CM} =$ オープン	-0.1		0.1	V
	バス バイアスが非アクティブ時 (スタンバイモード時) の CANL のバス出力電圧		-0.1		0.1	V
	バス バイアスが非アクティブ時 (スタンバイモード時) のバス出力電圧 (CANH - CANL 間)		-0.2		0.2	V
$V_{OD(D)}$	差動出力電圧 (ドミナント)	$45\Omega \leq R_L \leq 65\Omega$ 、 $C_L =$ オープン、 $R_{CM} =$ オープン	1.5		3	V
		$45\Omega \leq R_L \leq 70\Omega$ 、 $C_L =$ オープン、 $R_{CM} =$ オープン	1.5		3.3	V
		$R_L = 2.24k\Omega$ 、 $C_L =$ オープン、 $R_{CM} =$ オープン	1.5		5	V
$V_{OD(R)}$	差動出力電圧 (リセッパ)	$R_L = 60\Omega$ 、 $C_L =$ オープン、 $R_{CM} =$ オープン	-120		12	mV
		$R_L =$ オープン (無負荷)、 $C_L =$ オープン、 $R_{CM} =$ オープン	-50		50	mV
V_{SYM}	出力対称性 (ドミナントまたはリセッパ) $(V_O(CANH) + V_O(CANL))/V_{REC}$	$R_L = 45\Omega \leq R_L \leq 65\Omega$ 、 $C_L =$ オープン、 $R_{CM} =$ オープン、 $C_1 = 4.7nF$ 、TXD_INT = 250kHz、1MHz、2.5MHz	0.95		1.05	V/V
V_{SYM_DC}	出力対称 (ドミナントまたはリセッパ) $(V_{CC} - V_O(CANH) - V_O(CANL))$	$R_L = 45\Omega \leq R_L \leq 65\Omega$ 、 $C_L =$ オープン、 $R_{CM} =$ オープン、 $C_1 = 4.7nF$	-300		300	mV
I_{OS_DOM}	短絡時の定常出力電流、ドミナント時	$-3.0V \leq V_{CANH} \leq 18.0V$ 、CANL = オープン	-115			mA
		$-3.0V \leq V_{CANL} \leq +18.0V$ 、CANH = オープン			115	mA
I_{OS_REC}	短絡時の定常状態出力電流、リセッパ	$-27V \leq V_{BUS} \leq 42V$ 、 $V_{BUS} = CANH = CANL$	-5		5	mA
$R_{SE_ACT_REC}$	アクティブ リセッパ駆動位相時のシングルエンド SIC インピーダンス (CANH から同相バイアス、CANL から同相バイアス)	TXD= 0V、 $2V \leq V_{O(D)} \leq V_{CC} - 2V$ ($-12V \leq V_{O(D)} \leq 12V$ の場合) デルタ V / デルタ I 法 (RX セクションの $R_{SE_PAS_REC}/R_{DIFF_PAS_REC}$ と同様) を使用し、バスは無負荷	37.5		66.5	Ω
$R_{DIFF_ACT_REC}$	アクティブ リセッパ駆動位相の差動入力抵抗 (CANH から CANL)	$2V \leq V_{O(D)} \leq V_{CC} - 2V$ TXD の立上りエッジからアクティブ リセッパ駆動期間 (t_{REC_START} 経過までの継続時間、デルタ V / デルタ I 法を使用 (RX セクションの $R_{SE_PAS_REC}/R_{DIFF_PAS_REC}$ と同様)、バスは無負荷	75		133	Ω
CAN レシーバの電気的特性						
V_{ITDOM}	レシーバがドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12.0V \leq V_{CANL} \leq +12.0V$	0.9		8	V
V_{ITREC}	レシーバリセッパ状態の差動入力電圧範囲、バス バイアスがアクティブ	$-12.0V \leq V_{CANH} \leq +12.0V$	-3		0.5	V
V_{HYS}	入力スレッショルド ヒステリシス電圧、通常モード時の			135		mV

5.7 電気的特性 (続き)

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ		テスト条件 ⁽¹⁾	最小値	標準値	最大値	単位
$V_{\text{DIFF_DOM}}$	レシーバがドミナント状態の差動入力電圧範囲、バス バイアスが非アクティブ	$-12.0\text{V} \leq V_{\text{CANL}} \leq +12.0\text{V}$ $-12.0\text{V} \leq V_{\text{CANH}} \leq +12.0\text{V}$	1.15		8	V
$V_{\text{DIFF_REC}}$	レシーバリセツシブ状態の差動入力電圧範囲、バス バイアスが非アクティブ	$-12.0\text{V} \leq V_{\text{CANL}} \leq +12.0\text{V}$ $-12.0\text{V} \leq V_{\text{CANH}} \leq +12.0\text{V}$	-3		0.4	V
V_{CM}	同相モードの範囲: 通常モードおよびスタンバイ モード		-12		12	V
$I_{\text{OFF(LKG)}}$	パワーオフ (電源オフ) バス入力リーク電流	$V_{\text{CANH}} = V_{\text{CANL}} = 5\text{V}$, V_{sup} は 0Ω および $47\text{k}\Omega$ 抵抗を介して GND に接続	-5		5	μA
C_{I}	グラウンドに対する入力容量 (CANH または CANL)				20	pF
C_{ID}	差動入力容量				10	pF
$R_{\text{DIFF_PAS_REC}}$	パッシブ・リセツシブ期間中の差動入力抵抗	$V_{\text{TXD}} = V_{\text{IO}}$, 通常モード。 $-2\text{V} \leq V_{\text{CANH}} \leq +7\text{V}$, $-2\text{V} \leq V_{\text{CANL}} \leq +7\text{V}$	12		100	k Ω
$R_{\text{SE_CANH/L}}$	パッシブ・リセツシブ期間中のシングル エンド入力抵抗 (CANH または CANL)	$-2\text{V} \leq V_{\text{CANH}} \leq +7\text{V}$ $-2\text{V} \leq V_{\text{CANL}} \leq +7\text{V}$	6		50	k Ω
$R_{\text{IN(M)}}$	入力抵抗マッチング: $[1 - (R_{\text{IN(CANH)}}) / (R_{\text{IN(CANL)}})] \times 100\%$	$V_{\text{CANH}} = V_{\text{CANL}} = 5.0\text{V}$	-1		1	%
サーマル シャットダウン						
T_{SDR}	サーマル シャットダウン立ち上がり		155	170	185	$^{\circ}\text{C}$
T_{SDF}	サーマル シャットダウン立ち下がり		150	165	180	$^{\circ}\text{C}$
$T_{\text{SD(HYS)}}$	サーマル シャットダウン ヒステリシス			5		$^{\circ}\text{C}$
T_{CSD}	サーマル クリティカルなシャットダウン			185	200	$^{\circ}\text{C}$
$T_{\text{SDR_TO_CSD}}$	サーマル シャットダウンの立ち上がりと重要なサーマル シャットダウンの間の差分		10	16		$^{\circ}\text{C}$
FLTR 端子						
V_{FLTR}	FLTR ピンで測定された電圧			1.5		V
SDI、SCLK 入力端子						
V_{IH}	High レベル入力電圧		0.70			V_{IO}
V_{IL}	Low レベル入力電圧				0.3	V_{IO}
I_{IL}	Low レベル入力リーク電流	入力 = 0V	-1		1	μA
I_{IH}	High レベル入力リーク電流	入力 = $V_{\text{IO}} = 5.5\text{V}$	5		30	μA
$I_{\text{LKG(OFF)}}$	電源なしのリーク電流 (SDI および SCK のみ)	入力 = 5.5V, $V_{\text{IO}} = V_{\text{DD}} = 0\text{V}$	-1		1	μA
R_{PD}	内部プルダウン抵抗		250	350	450	k Ω
C_{IN}	入力容量	20MHz		15	20	pF
SDO 出力端子						
V_{OH}	High レベル出力電圧	$I_{\text{OH}} = 2\text{mA}$	0.8			V_{IO}
V_{OL}	Low レベル出力電圧	$I_{\text{OL}} = 2\text{mA}$			0.2	V_{IO}
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	入力 = 5.5V, $V_{\text{IO}} = V_{\text{DD}} = 0\text{V}$	-1		1	μA
nCS 入力端子						
V_{IH}	High レベル入力電圧		0.70			V_{IO}
V_{IL}	Low レベル入力電圧				0.3	V_{IO}
I_{IH}	High レベル入力リーク電流	nCS = $V_{\text{IO}} = 5.5\text{V}$	-1		1	μA

5.7 電気的特性 (続き)

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ		テスト条件 ⁽¹⁾	最小値	標準値	最大値	単位
I_{IL}	Low レベル入力リーク電流	nCS = 0V, $V_{IO} = 5.5\text{V}$	-50		-5	μA
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	nCS = 5.5V, $V_{IO} = V_{DD} = 0\text{V}$	-1		1	μA
R_{PU}	内部プルアップ抵抗		250	350	450	k Ω
C_{IN}	入力容量	20MHz		15	20	pF
RST 入力端子						
V_{IH}	High レベル入力電圧		0.7			V_{IO}
V_{IL}	Low レベル入力電圧				0.3	V_{IO}
I_{IH}	High レベル入力リーク電流	RST = $V_{IO} = 5.5\text{V}$	1		10	μA
I_{IL}	Low レベル入力リーク電流	RST = 0V, $V_{IO} = 5.5\text{V}$	-1		1	μA
$I_{LKG(OFF)}$	電源がない場合のリーク電流です	RST = V_{IO} , $V_{DD} = 0\text{V}$	-1		1	μA
R_{PD}	内部プルダウン抵抗		0.65	1.3	1.95	M Ω
INT 出力端子						
V_{OL}	Low レベル出力電圧	$I_{OL} = 6\text{mA}$			0.7	V
nWKQR 出力端子						
V_{OL}	Low レベル出力電圧	$I_{OL} = 6\text{mA}$			0.7	V
OSC1/OSC2 端子および水晶振動子の仕様						
V_{IH}	High レベル入力電圧	シングル エンド クロック入力。OSC2 = GND、OSC1 はテスト済み	0.85			V_{IO}
V_{IL}	Low レベル入力電圧	シングル エンド クロック入力。OSC2 = GND、OSC1 はテスト済み			0.3	V_{IO}
F_{OSC1}	クロックイン周波数の許容誤差	20MHz	-0.5		0.5	%
F_{OSC1}	クロックイン周波数の許容誤差	40MHz	-0.5		0.5	%
C_{OSC1}	OSC1 のピン容量		6	8	10	pF
C_{OSC2}	OSC2 のピン容量		3	5	7	pF
t_{OSC}	クロックイン期間		12		50	ns
t_{DC}	入力デューティ サイクル		45		55	%
ESR	負荷容量時の水晶発振子 ESR				60	Ω

(1) TXD_INT、RXD_INT、および EN_INT の各参照はすべて、物理層トランシーバにおける同等の機能を表す内部ノードに対するものです。

5.8 タイミング要件

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
t_{TSD}	サーマル シャットダウン タイマ	サーマル シャットダウン イベントが発生すると、このタイマが開始され、接合部温度が低下して回復するための時間を提供します。サーマル シャットダウンの説明については、「サーマル シャットダウン」を参照してください。	250		550	ms
$t_{UVIO_RE-ENABLE}$	UV イベント解除後の再有効化時間	UV_{IO} 低電圧イベントが解除された後、デバイスが SPI トランザクション可能状態になるまでの時間			300	μs

5.8 タイミング要件 (続き)

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{UV}	低電圧フィルタ時間	UV _{CC} または UV _{IO} イベントによってこのタイマが満了した場合、フェイルセーフ機能が有効になっていれば、デバイスはスリープモードへ移行することがあります。	250		550	ms
t_{UVIO}	低電圧フィルタ時間	UV _{IO} イベントが発生すると、このタイマが起動し、電源入力が戻るまでの時間を提供します。有効期限が切れると、出力ドライバが無効になります。	20	30	40	μs
t_{UVCC}	低電圧フィルタ時間	UV _{CC} イベントが発生すると、このタイマが開始されます。このタイマが満了すると、CAN ドライバは無効化されます。	7	10	20	μs
モード変化時間						
$t_{MODE_POR_STBY}$	デバイスが VDD および VIO に給電されてから、最初の nINT アサート (内部クロック使用時) が発生するまでの時間	VDD が電源投入済みの状態で VIO に給電し、OSC1 = OSC2 = GND とします			1	ms
$t_{MODE_STBY_NOM}$	SPI 書き込みに基づくスタンバイモードから通常モードへの切り替え時間			3	5	μs
$t_{MODE_NOM_SLP}$	通常モードからスリープモードへ移行するための SPI 書き込み: WKRQ はオフ			5	10	μs
$t_{MODE_SLP_STBY}$	WUP イベントから nWKRQ が Low になるまでの時間。nWKRQ が Low になると、クロックの電源投入が開始されます			1.2	5	μs
$t_{MODE_NOM_STBY}$	通常モードからスタンバイモードへ移行するための SPI 書き込み。			3	5	μs
リセット						
t_{RST}	デバイスをリセットするために必要な RST ピンのパルス幅。最小値より短いパルスは無視される場合があります		50			μs
t_{RESET_TIME}	リセット イベント後、デバイスが動作可能状態になるまでの時間。	CLKIN / 水晶振動子 = 20MHz			700	μs
クロックのスイッチング						
$t_{CLKIN_STARTUP}^{(1)}$	クロック入力が、nINT/nWKRQ (スリープからの復帰時) が Low になる前にトグルしている場合、nINT が Low になってから SPI トランザクション可能状態になるまでの最小待機時間	20MHz または 40MHz クロック入力 POR 後、またはスリープモードから復帰した後。	300			μs
$t_{CLKIN_STARTUP}^{(1)}$	入力クロックが nINT/nWKRQ の Low にした後にトグルを開始する場合における、入力クロックのトグル開始から SPI トランザクション可能状態になるまでの最小待機時間	20MHz または 40MHz クロック入力 POR 後、またはスリープモードから復帰した後。	300			μs
t_{CLOCK_SWITCH}	システムが要求されたクロックへ切り替わるまでに必要な時間。これは、クロック切り替えイベント後に、デバイスがそのクロックを使用可能になるまでマイコンが待機しなければならない時間です。水晶発振子へ切り替える場合は、各クリスタルの起動時間が異なるため、時間がさらに長くなる可能性があります	内部 HS クロックまたは外部クロック入力への切り替え。水晶発振子使用時の切り替え時間は、使用する水晶発振子および負荷容量に依存します。	100			μs

(1) この仕様は設計によって保証されており、製造時の試験では検証されていません

5.9 スイッチング特性

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
内部発振器					
OSC1 および OSC2 ピン					
$t_{\text{OSC_READY}}$	UVIO 発生後から発振器安定までの高速発振器安定化期間	40MHz 水晶振動子 注: この値はアプリケーションおよび水晶振動子に依存します	3		ms
デバイスのスイッチング特性					
$t_{\text{WK_FILTER}}$	ウェークアップ リクエストのフィルタリングされたバス要件を満たすのバス時間	スタンバイ モード	500	950	ns
$t_{\text{WK_TIMEOUT}}$	バス ウェークアップ タイムアウト: WUP が有効と見なされるために必要な時間		0.8	2	ms
t_{SILENCE}	バス無通信タイムアウト	バスがドミナントからリセッピに、またはその逆に変化すると、タイマがリセットされ、再起動されます。	0.6	1.2	s
t_{INACTIVE}	電源投入時、電源オンリセット時、またはウェーク イベント後に、プロセッサがウェークフラグをクリアするか、デバイスを通常モードへ移行させるまでに必要な時間で、この時間内に処理されない場合、デバイスはスリープ モードへ移行します		2	4	6 最小値
t_{BIAS}	ドミナント、リセッピ、ドミナントのシーケンスが開始してからの経過時間	各相は、 $V_{\text{sym}} \geq 0.1$ になるまで 6 μs		250	μs
$t_{\text{TXD_INT_DTO}}$	ドミナント タイムアウト ⁽²⁾ (CAN トランシーバのみ) ⁽¹⁾		1	5	ms
トランスミッタおよびレシーバのスイッチング特性					
$t_{\text{BIT(BUS)-2M}}$	2Mbps における送信リセッピ ビット幅	RST = 0V, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$	490	510	ns
$t_{\text{BIT(BUS)-5M}}$	5Mbps における送信リセッピ ビット幅	RST = 0V, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$	190	210	ns
$t_{\text{BIT(RXD)-2M}}$	2Mbps で受信されたリセッピビット幅、	RST = 0V, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$	470	520	ns
$t_{\text{BIT(RXD)-5M}}$	5Mbps で受信されたリセッピビット幅、	RST = 0V, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$	170	220	ns
$\Delta t_{\text{REC}}^{(3)}$	2Mbps でのレシーバのタイミングの対称性	RST = 0V, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$	-20	15	ns
$\Delta t_{\text{REC}}^{(3)}$	5Mbps でのレシーバのタイミングの対称性	RST = 0V, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$	-20	15	ns
$t_{\text{PAS_REC_START}}$	パッシブ リセッピ位相の信号改善開始時間	50% スレッシュホールドでスロープが 5ns 未満の TXD 立ち上がりエッジから信号改善フェーズ終了までの測定、 $R_{\text{DIFF_PAS_REC}} \geq \text{MIN } R_{\text{DIFF_ACT_REC}}$ 、 $R_{\text{SE_CANH/L}} \geq \text{MIN } R_{\text{SE_SIC_REC}}$		530	ns
$t_{\text{ACT_REC_START}}$	アクティブ信号改善位相の開始時間	TXD の立ち上がりエッジから 50% のスレッシュホールドで 5ns 未満のスロープで測定、		120	ns
$t_{\text{ACT_REC_END}}$	アクティブ信号改善位相の終了時間	TXD の立ち上がりエッジから 50% のスレッシュホールドで 5ns 未満のスロープで測定、	355		ns
$t_{\text{prop(TXD_BUSR EC)}}$	伝搬遅延時間、Low から High TXD エッジからドライバリセッピまで (ドミナントからリセッピ)	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $R_{\text{CM}} = \text{オープン}$		55	80 ns
$t_{\text{prop(TXD_BUSD OM)}}$	伝搬遅延時間、High から Low TXD エッジからドライバドミナントまで (リセッピからドミナントまで)	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $R_{\text{CM}} = \text{オープン}$		55	80 ns
$t_{\text{sk(p)}}$	パルス スキュー ($ t_{\text{PHR}} - t_{\text{PLD}} $)	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $R_{\text{CM}} = \text{オープン}$	15	25	ns
t_{R}	差動出力信号の立ち上がり時間:	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $R_{\text{CM}} = \text{オープン}$	30	60	ns

5.9 スイッチング特性 (続き)

動作仮想接合部温度範囲: $-40^{\circ}\text{C} \leq T_{VJ} \leq 150^{\circ}\text{C}$ (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_F	差動出力信号の立ち下がり時間:	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $R_{CM} = \text{オープン}$		30	55	ns
$t_{\text{prop}}(\text{BUSREC_RXD})$	伝搬遅延時間、バスリセツシブ入力から RXD High 出力 (ドミナントからリセツシブ)	$C_{\text{RXD}} = 15\text{pF}$, $\text{CANL} = 1.5\text{V}$, $\text{CANH} = 3.5\text{V}$		65	110	ns
$t_{\text{prop}}(\text{BUSDOM_RXD})$	伝搬遅延時間、バスドミナント入力から RXD Low 出力 (リセツシブからドミナントまで)	$C_{\text{RXD}} = 15\text{pF}$, $\text{CANL} = 1.5\text{V}$, $\text{CANH} = 3.5\text{V}$		60	110	ns
t_{LOOP}	ループ遅延 ⁽¹⁾	代表的な条件: $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$, $C_{\text{RXD}} = 15\text{pF}$, $4.5\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}$, $V_{\text{CC1}} \pm 2\%$			190	ns

SPI スイッチング特性

f_{SCK}	SCLK、SPI クロック周波数	$f_{\text{OSC}} = 20$ (CRC Off)、40Mhz $V_{\text{IO}} \geq 3.0\text{V}$ スタンバイまたは通常モード			40	MHz
		$f_{\text{OSC}} = 20$ (CRC Off)、40Mhz $V_{\text{IO}} < 3.0\text{V}$ スタンバイまたは通常モード			20	
		$f_{\text{OSC}} = 20\text{MHz}$ (CRC On) スタンバイまたは通常モード			20	
		スリープ モード			20	
t_{SCK}	SCLK、SPI クロック周期		25			ns
t_{RSCK}	SCLK の立ち上がり時間	$f_{\text{SCLK}} = 40\text{MHz}$			6	ns
t_{FSCK}	SCLK の立ち下がり時間	$f_{\text{SCLK}} = 40\text{MHz}$			6	ns
t_{SCKH}	SCLK、SPI クロック high		11			ns
t_{SCKL}	SCLK、SPI クロック low		11			ns
t_{CSS}	チップ セレクト セットアップ時間		10			ns
t_{CSH}	チップ セレクトのホールド時間		10			ns
t_{CSD}	チップ セレクトのディスエーブル時間		50			ns
t_{SISU}	セットアップ時間のデータ		5			ns
t_{SIH}	ホールド時間のデータ		5			ns
t_{SOV}	データ出力有効				10	ns
t_{RSO}	SDO の立ち上がり時間	$C_L = 10\text{pF}$			10	ns
t_{FSO}	SDO の立ち下がり時間	$C_L = 10\text{pF}$			10	ns

- (1) TXD_INT、RXD_INT、EN_INT、および CAN トランシーバ専用の参照はすべて、スタンドアロン トランシーバにおける同等機能を表す内部ノードに対するものです。
- (2) TXD_INT ドミナントタイムアウト ($t_{\text{TXD_INT_DTO}}$) は、TXD_INT が $t_{\text{TXD_INT_DTO}}$ より長くドミナント状態を維持した場合にトランシーバのドライバを無効化します。これにより、バスラインはリセツシブ状態へ解放され、ローカル障害によってバスがドミナント状態に固定されることを防ぎます。TXD_INT が HIGH (リセツシブ) へ戻された後にのみ、ドライバは再びドミナントを送信できます。これにより、バスドミナントをロックするローカル障害からバスが保護されますが、可能な最小データレートが制限されます。CAN プロトコルでは、最悪の場合、5 つの連続するドミナントビットの直後にエラー フレームが続くことで、最大 11 個の連続したドミナントビット (TXD_INT 上) が許可されています。これは、 $t_{\text{TXD_INT_DTO}}$ の最小値とともに、最小ビット レートを制限します。最小ビット レートは次のように計算できます: 最小ビット レート = $11/t_{\text{TXD_INT_DTO}} = 11 \text{ ビット} / 1.2\text{ms} = 9.2\text{kbps}$ 。
- (3) $\Delta t_{\text{Rec}} = t_{\text{BIT}}(\text{RXD}) - t_{\text{BIT}}(\text{BUS})$

6 パラメータ測定情報

注

TXD_INT、RXD_INT、および EN_INT の各参照はすべて、物理層トランシーバにおける同等の機能を表す内部ノードに対するものです。テストモードでは、これらをピンに出力して、トランシーバまたは CAN FD コントローラをテストできます。

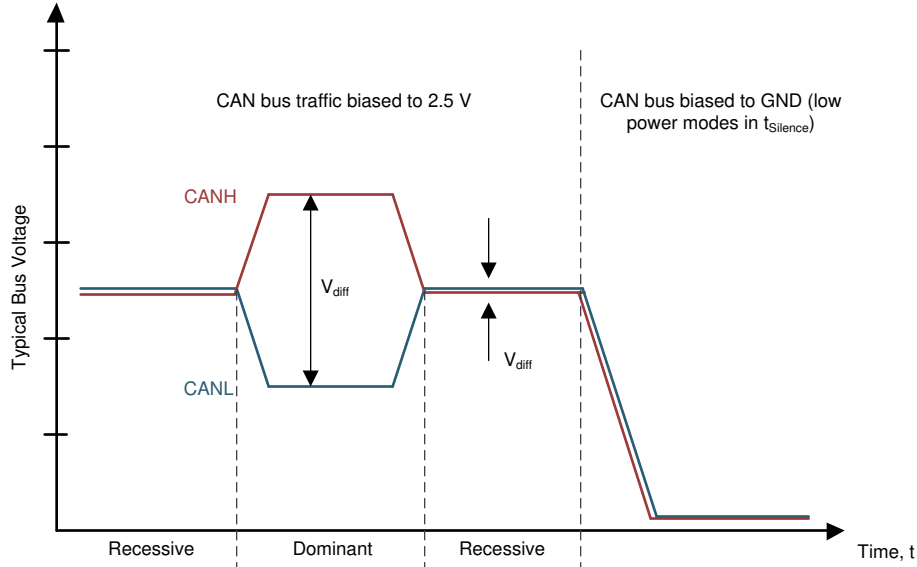
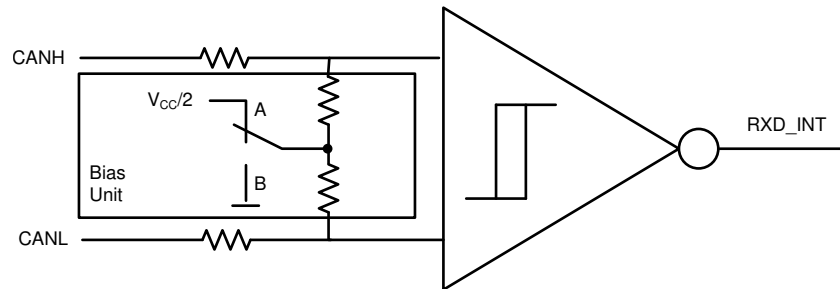


図 6-1. バスの状態 (物理的ビット表現)



- A. A: 選択式ウェークアップ機能
- B. B: スタンバイおよびスリープモード (低消費電力)

図 6-2. 簡略化されたリセッパ同相バイアスユニットおよびレシーバ

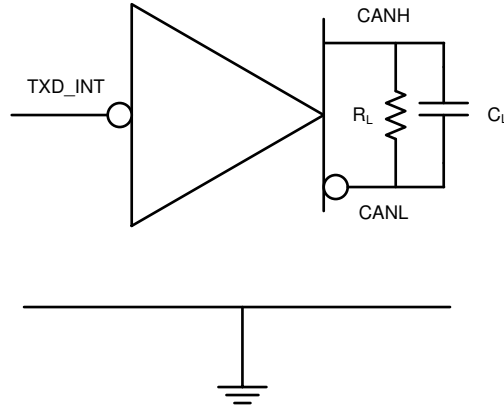


図 6-3. 電源テスト回路

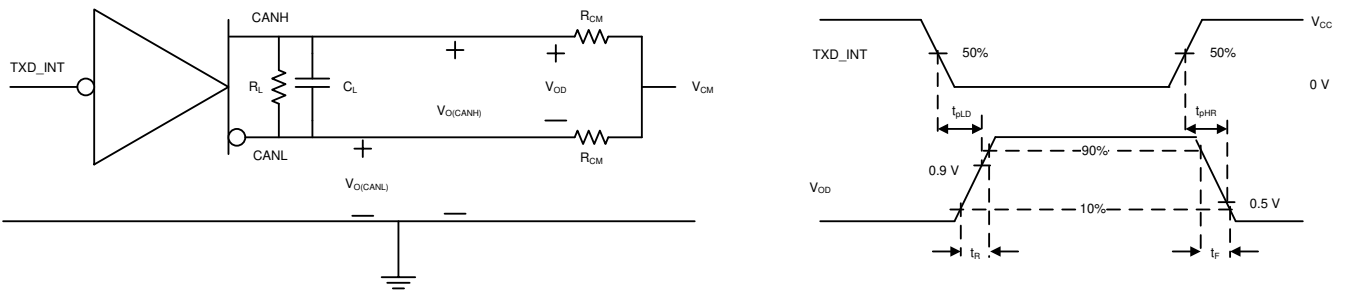


図 6-4. ドライバテスト回路と測定

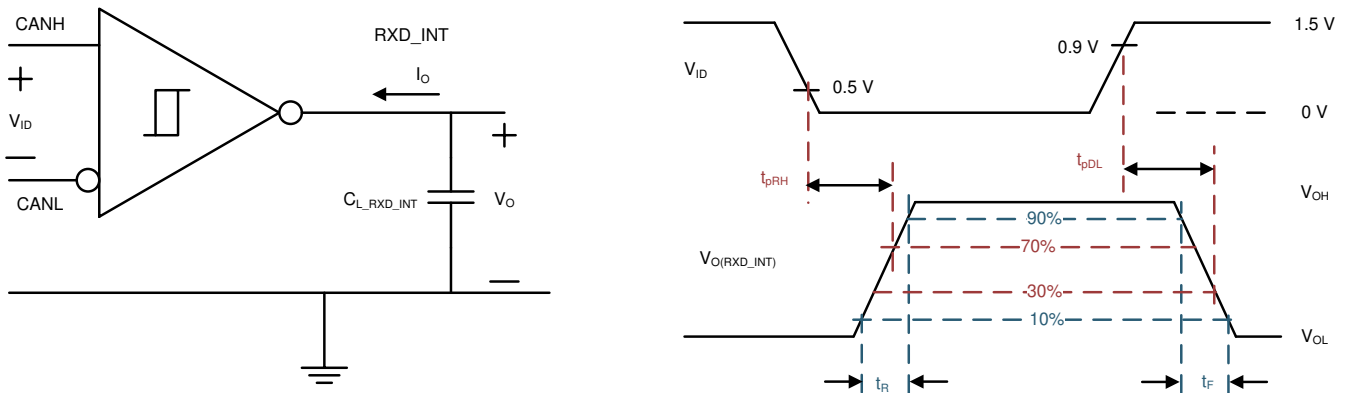


図 6-5. レシーバのテスト回路と測定

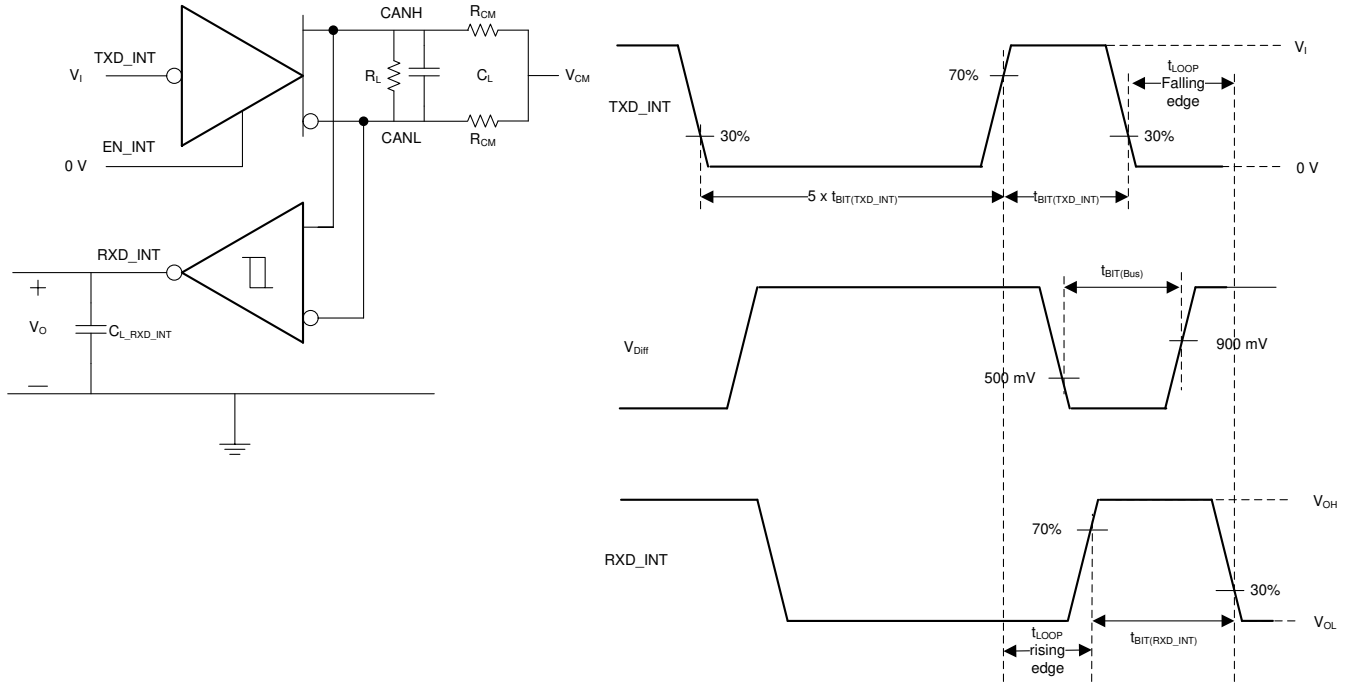


図 6-6. トランスミッタとレシーバのタイミング動作テスト回路と測定

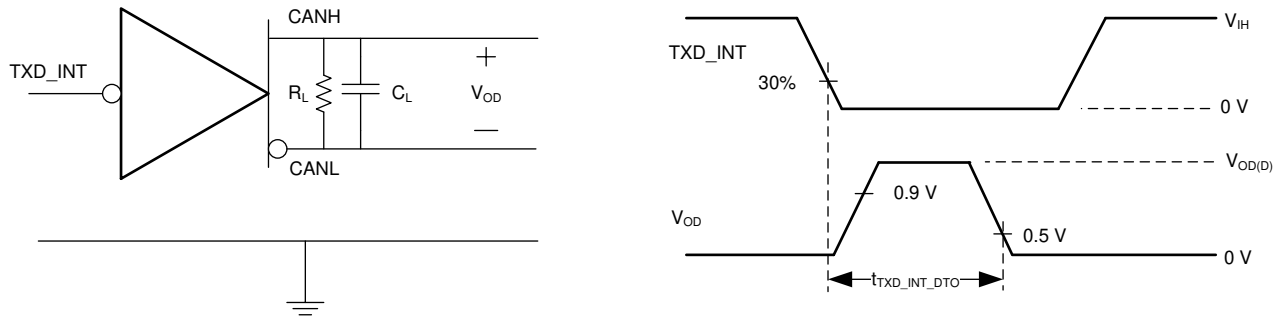


図 6-7. TXD_INT ドミナントタイムアウトのテスト回路と測定

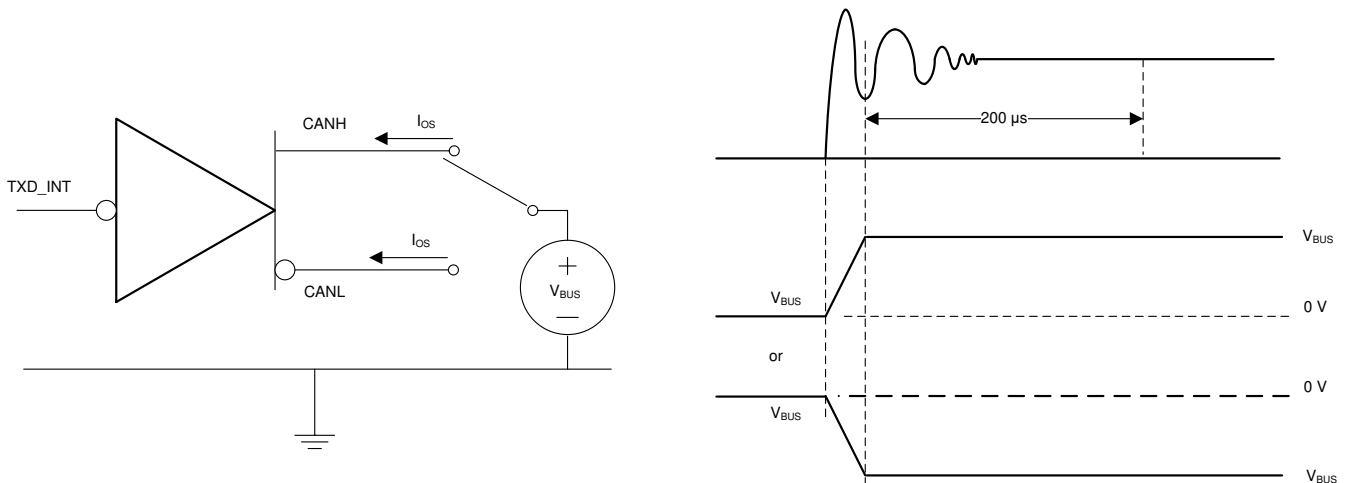


図 6-8. ドライバ短絡電流テスト回路と測定

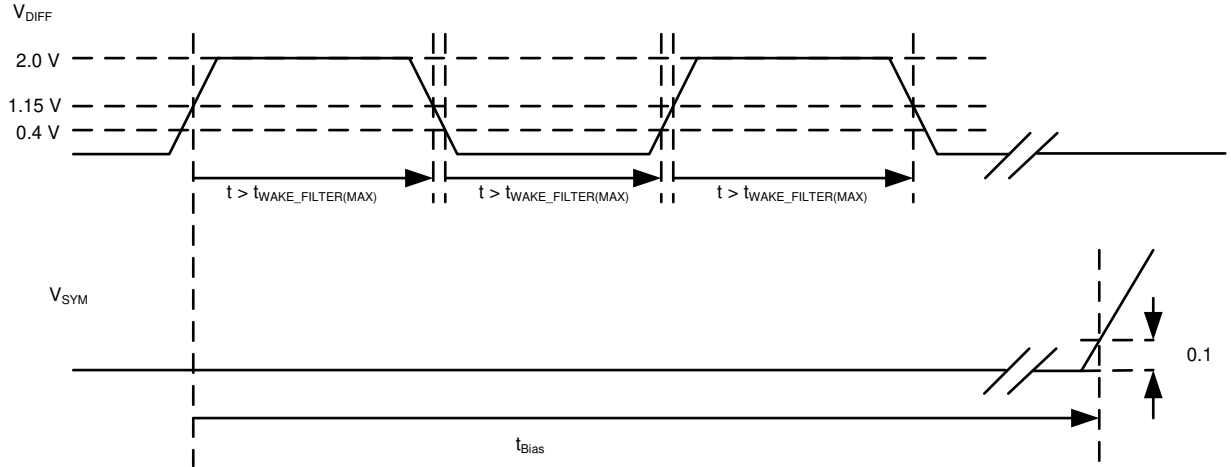


図 6-9. バイアス応答時間測定のためのテスト信号の定義

ADVANCE INFORMATION

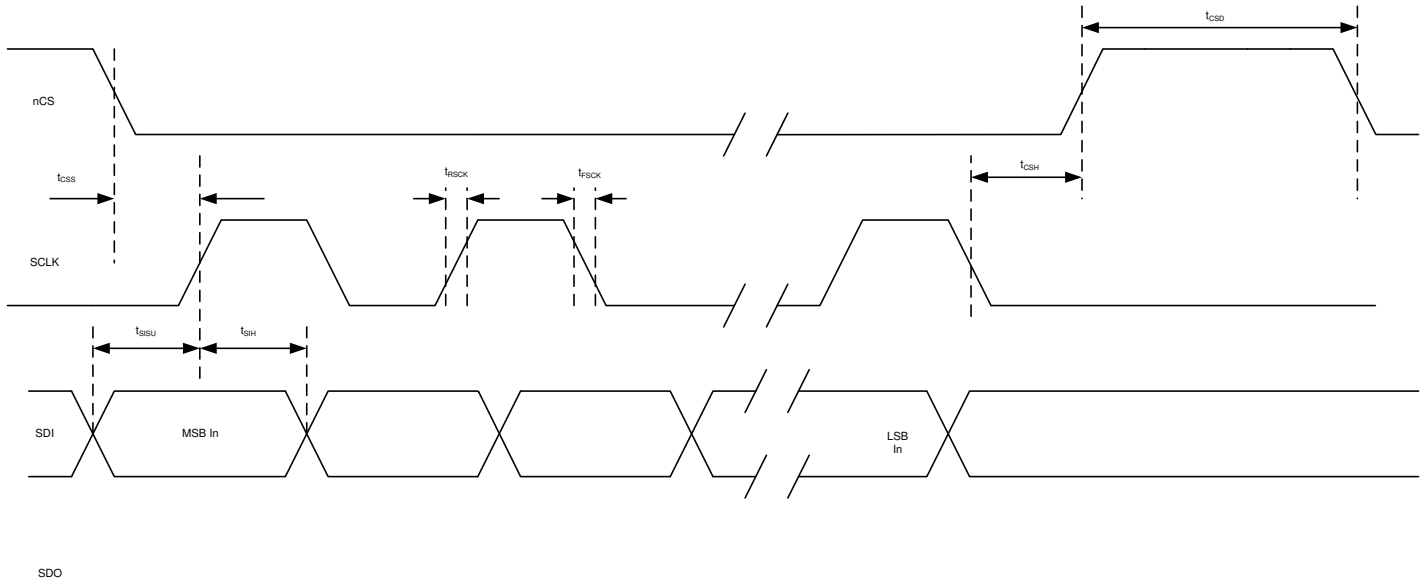


図 6-10. SPI AC 特性書き込み

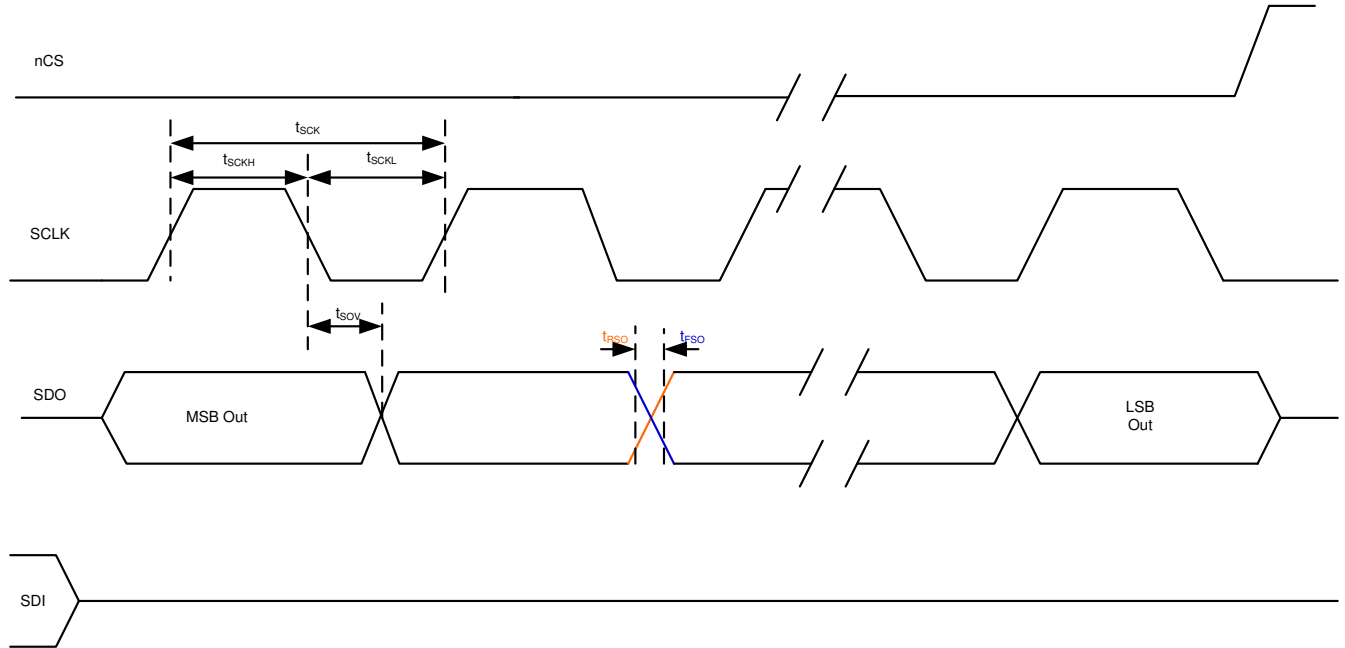


図 6-11. SPI AC 特性読み取り

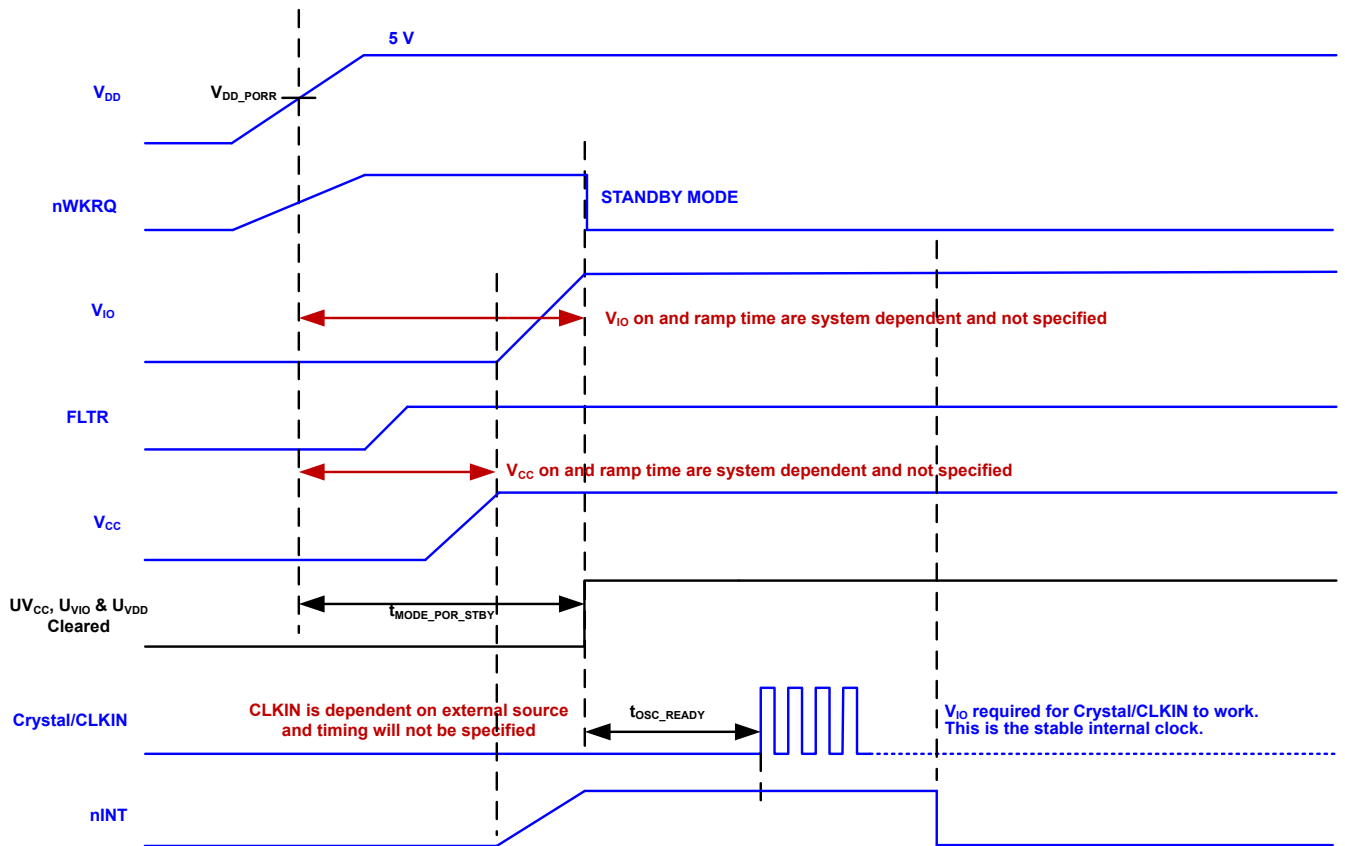


図 6-12. 起動タイミング

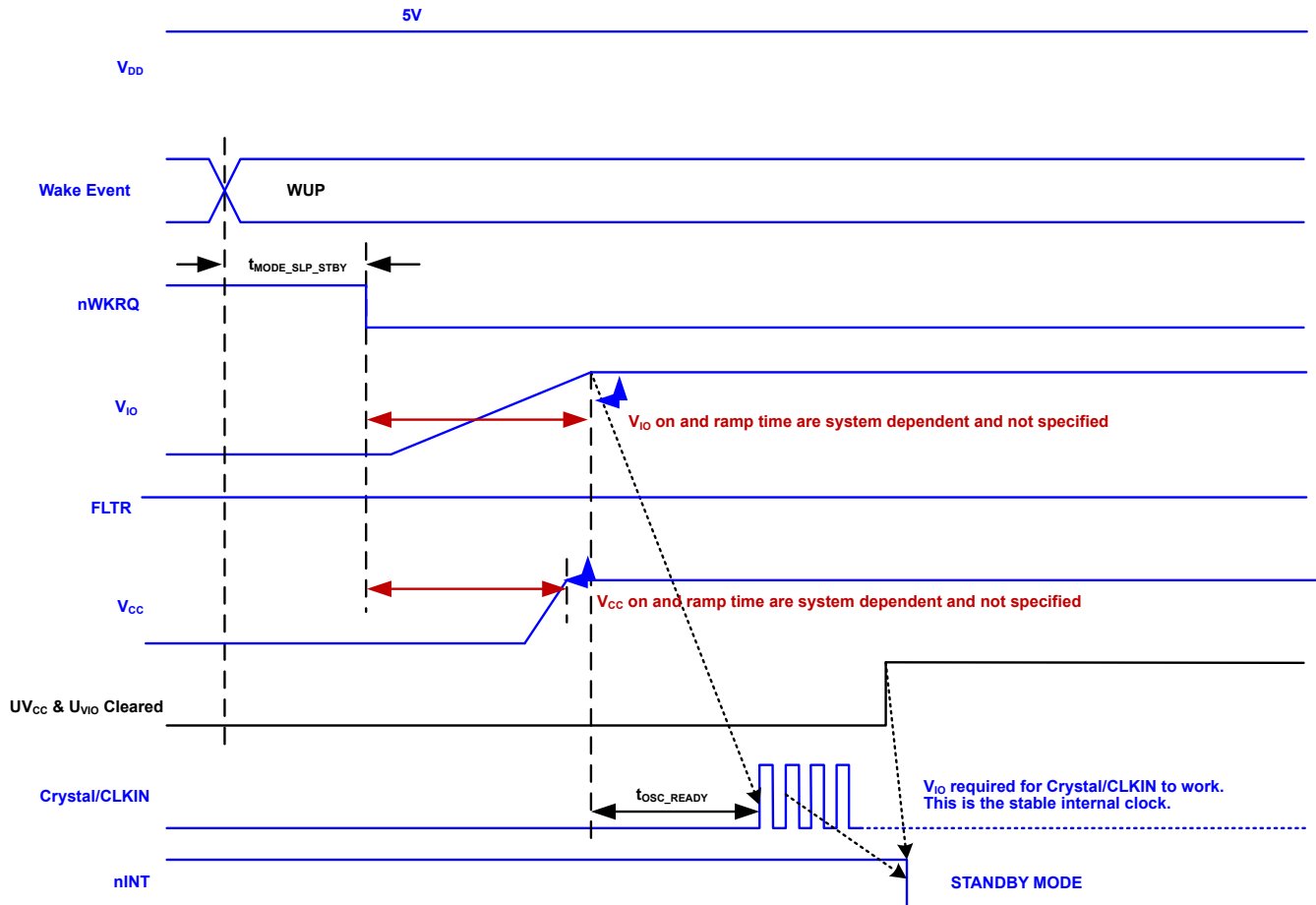


図 6-13. スリープからスタンバイまでのタイミング (バスまたは SPI 経由)

注

シングル エンド クロック入力を使用する場合、シングル エンド入力クロックを待機している間は内部クロックを使用するため、シングル エンド入力クロックを受信する前に nINT ピンがアサートされることがあります。

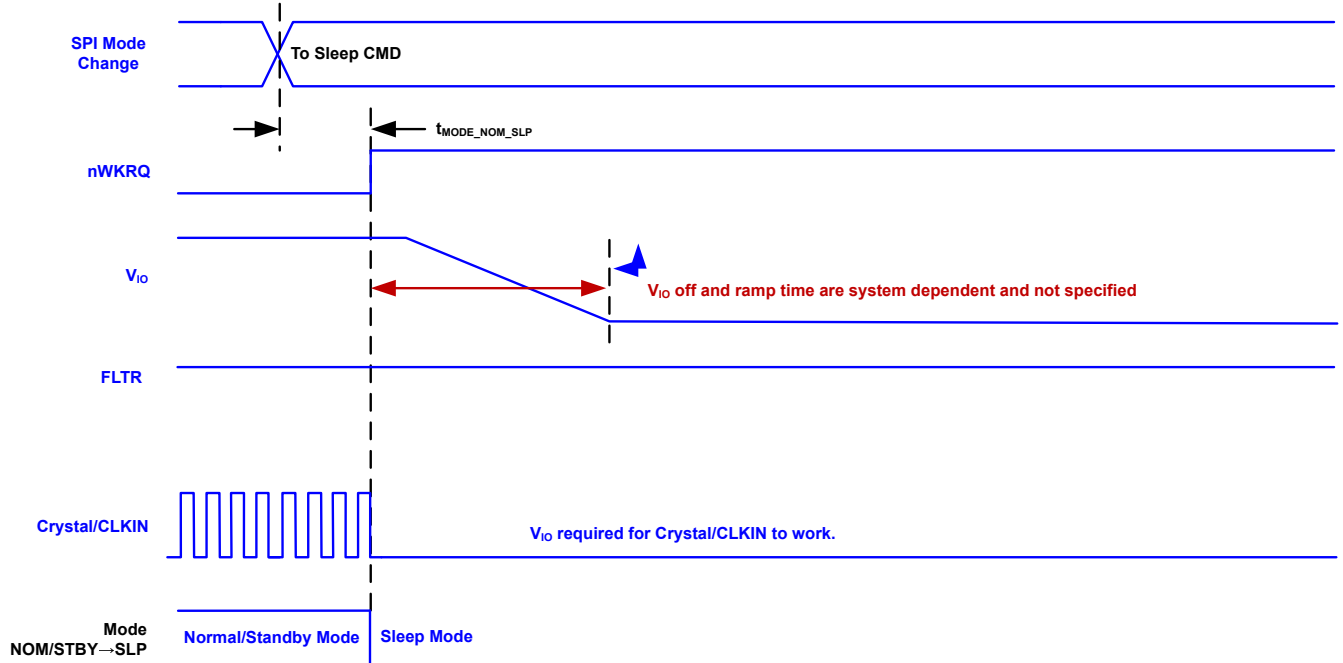


図 6-14. 通常モードまたはスタンバイモードからスリープのタイミング

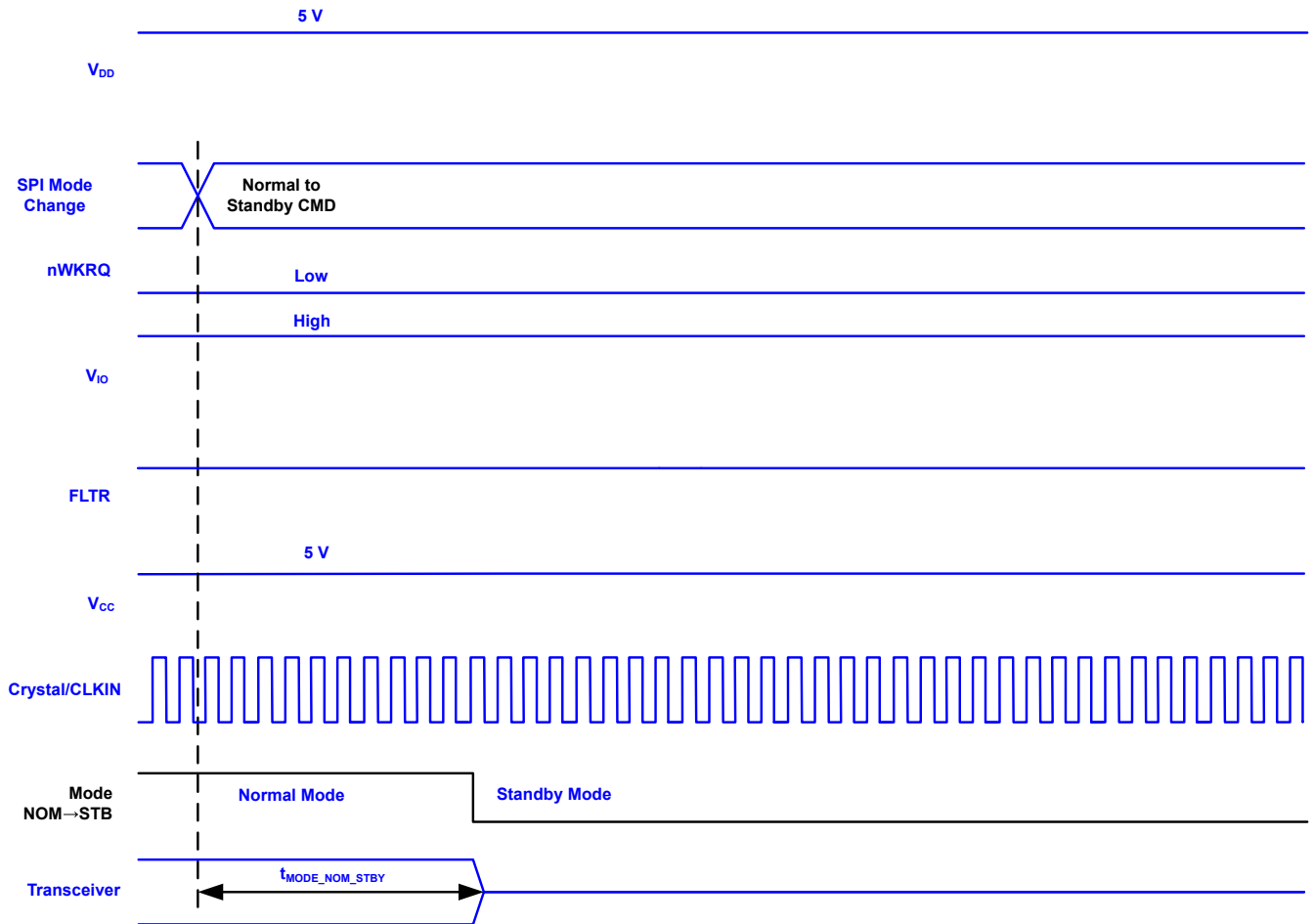


図 6-15. 通常からスタンバイのタイミング

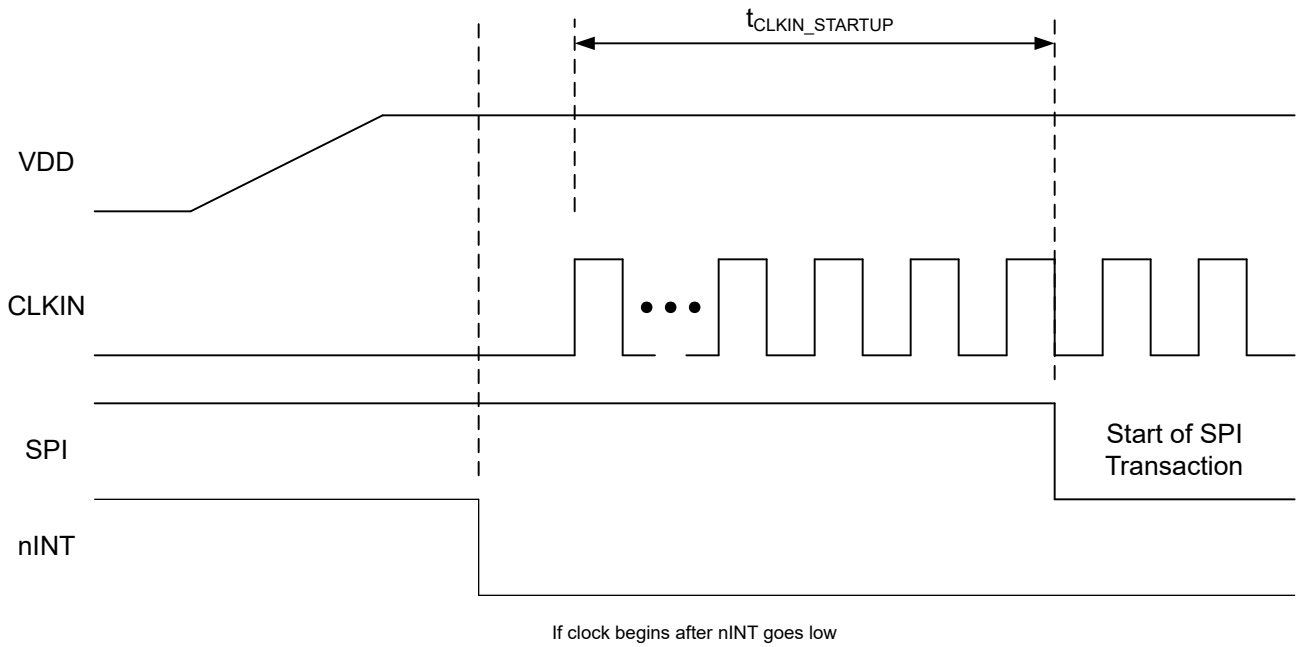
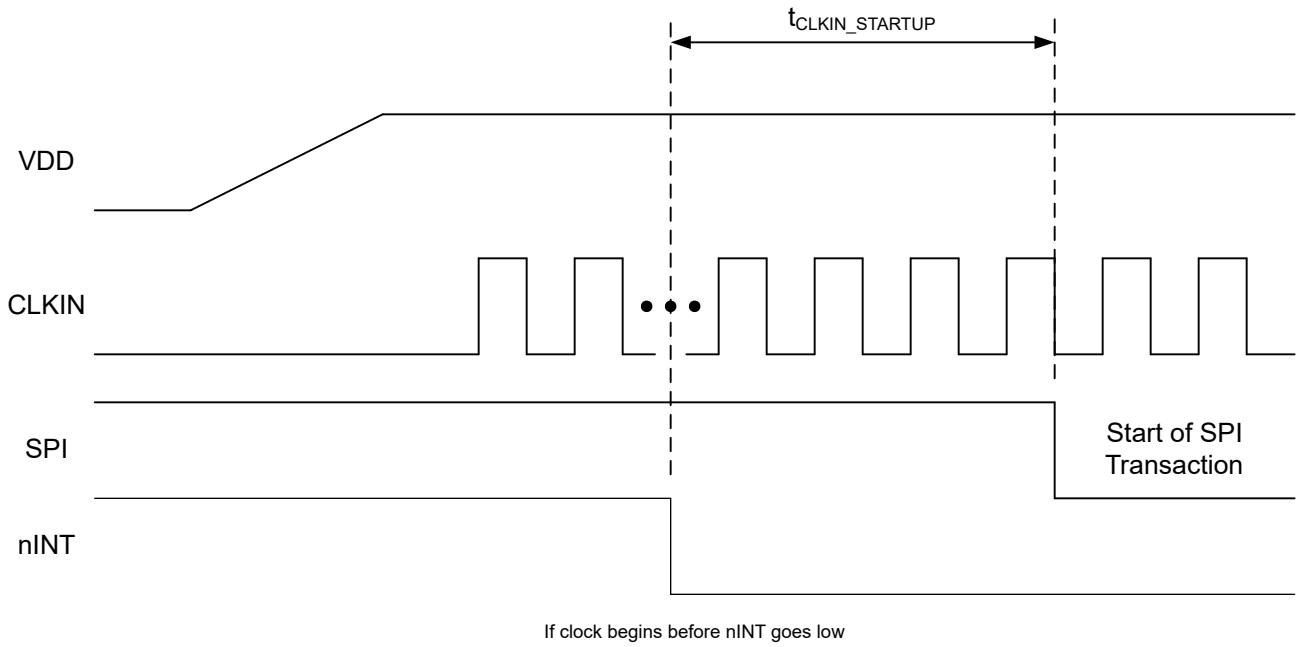


図 6-16. シングル エンド クロック入力のタイミング

7 詳細説明

7.1 概要

TCAN4572-Q1 は、最大 5Mbps のデータレートをサポートする CAN FD トランシーバーを内蔵した CAN FD コントローラです。CAN FD コントローラは、ISO 11898-1:2015 の高速コントローラ エリア ネットワーク (CAN) データリンク層仕様に準拠しており、ISO 11898-2:2016 の高速コントローラ エリア ネットワーク (CAN) 物理層要件にも準拠しています。また、CAN バスと CAN プロトコル コントローラ間のインターフェイスを提供し、クラシカル CAN および CAN FD の両方を最大 5Mbps までサポートします。TCAN4572-Q1 は、CAN FD トランシーバ機能を提供します。具体的には、バスへの差動送信機能およびバスからの差動受信機能を備えています。このデバイスには、デバイスおよび CAN バスの堅牢性を高める多数の保護機能が含まれています。このデバイスは、ISO 11898-2:2016 で定義されたウェークアップ パターン (WUP) を実装する CAN バスを使用したリモート ウェークアップによっても起動できます。TCAN4572-Q1 は、デバイスの設定、および CAN フレームの送受信のために、ローカル マイクロプロセッサへ接続するシリアル ペリフェラル インターフェイス (SPI) を備えています。

CAN バスの動作時には、リセッспとドミナントの 2 つの論理状態があります。

リセッсп バス状態では、各ノードのレシーバにある高抵抗の内部入力抵抗を介して、バスは 2.5V の同相モード電圧にバイアスされます。リセッспは、ロジック High に相当します。リセッсп状態もアイドル状態です。

ドミナント バス状態では、一つ以上のドライバによってバスが差動駆動されます。電流は終端抵抗を流れ、バス上に差動電圧を生成します。ドミナントはロジック Low に相当します。ドミナント状態はリセッсп状態を上書きします。

アービトレーション中は、複数の CAN ノードが同時に支配的なビットを送信することがあります。この時のバスの差動電圧は、単一ドライバの差動電圧よりも大きくなります。

低消費電力スタンバイ モードを備えたトランシーバには、第 3 のバス状態があり、この状態では受信回路の高抵抗な内部抵抗を介して、バス ターミナルが弱くグラウンドにバイアスされています。TCAN4572-Q1 は自動バイアスをサポートしています。セクション 8.1.3.2 を参照してください

7.2 機能ブロック図

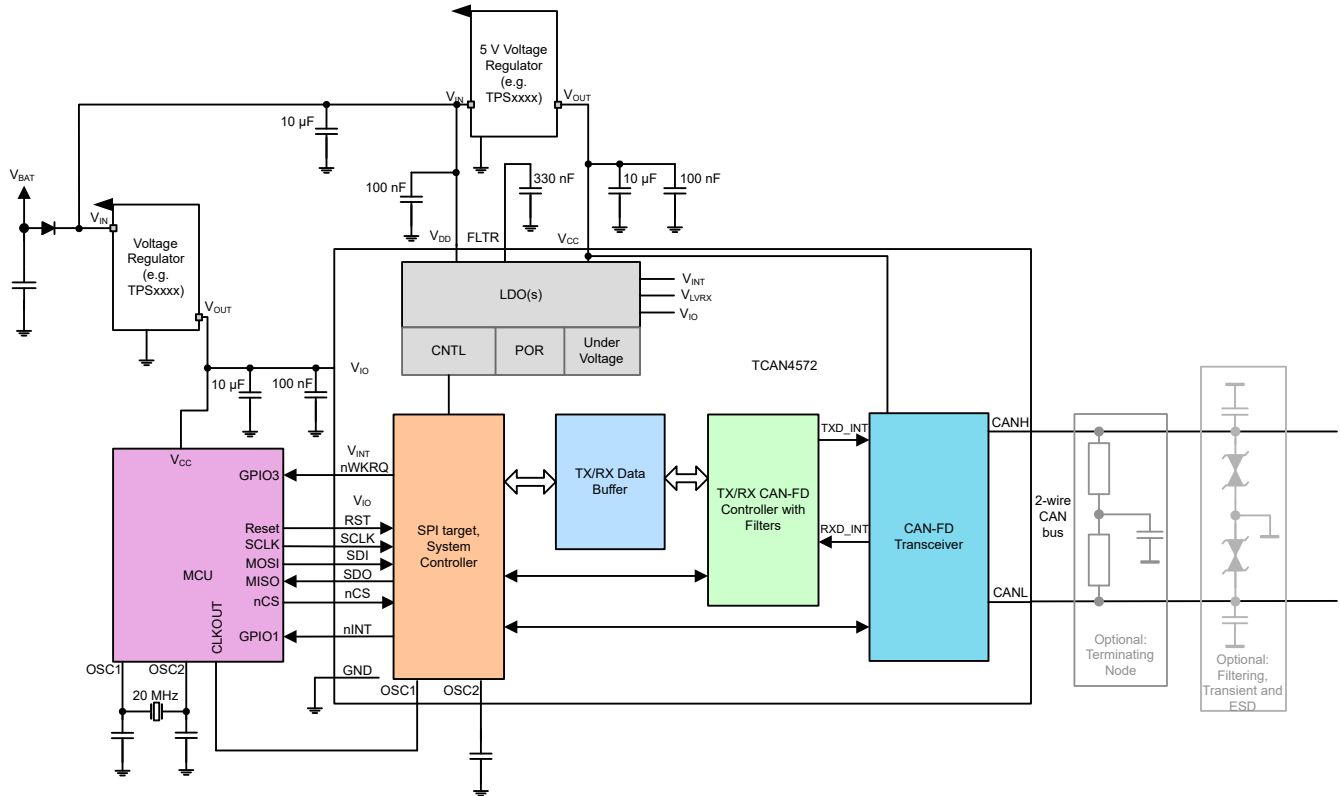
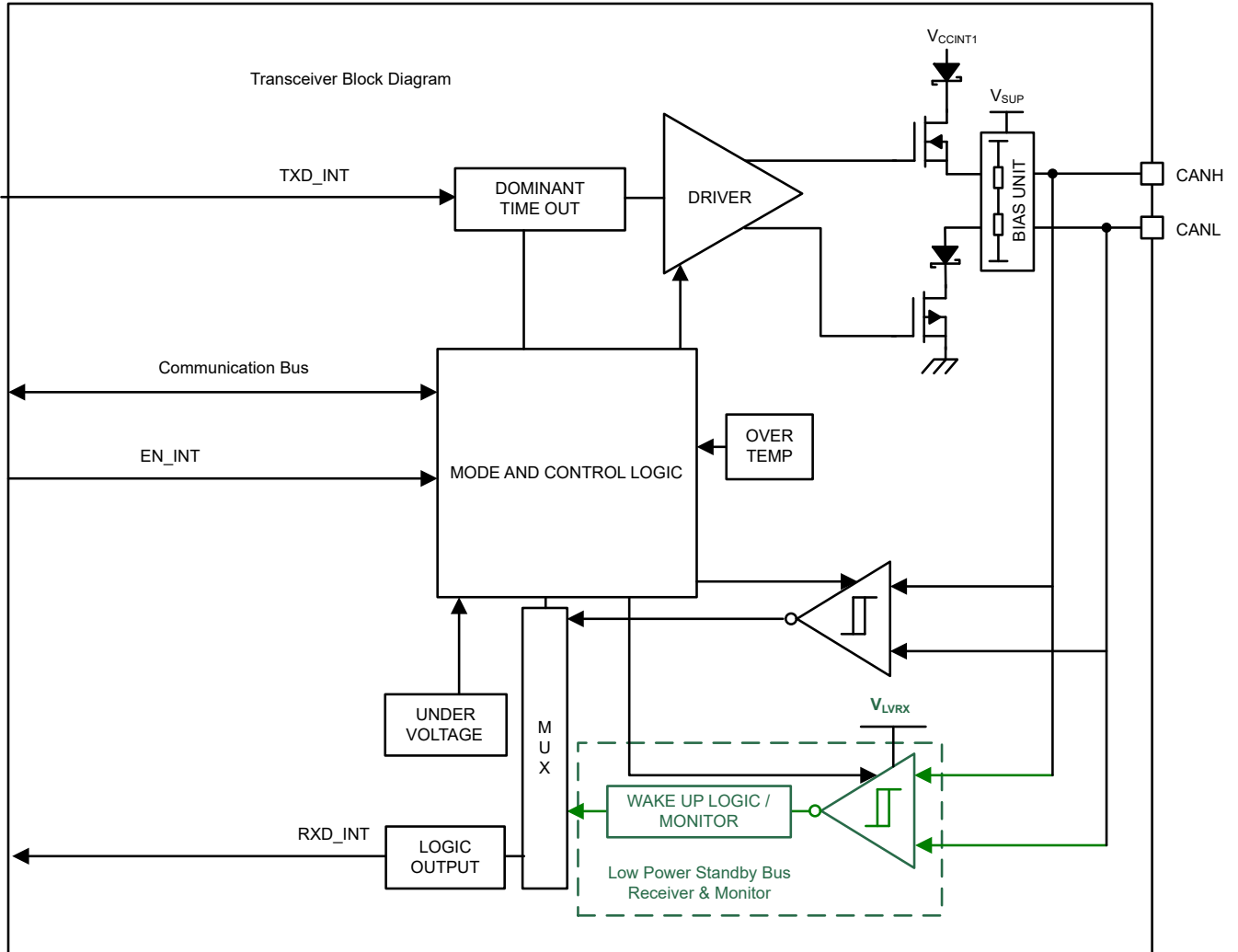


図 7-1.

ADVANCE INFORMATION



ADVANCE INFORMATION

図 7-2. CAN トランシーバのブロック図

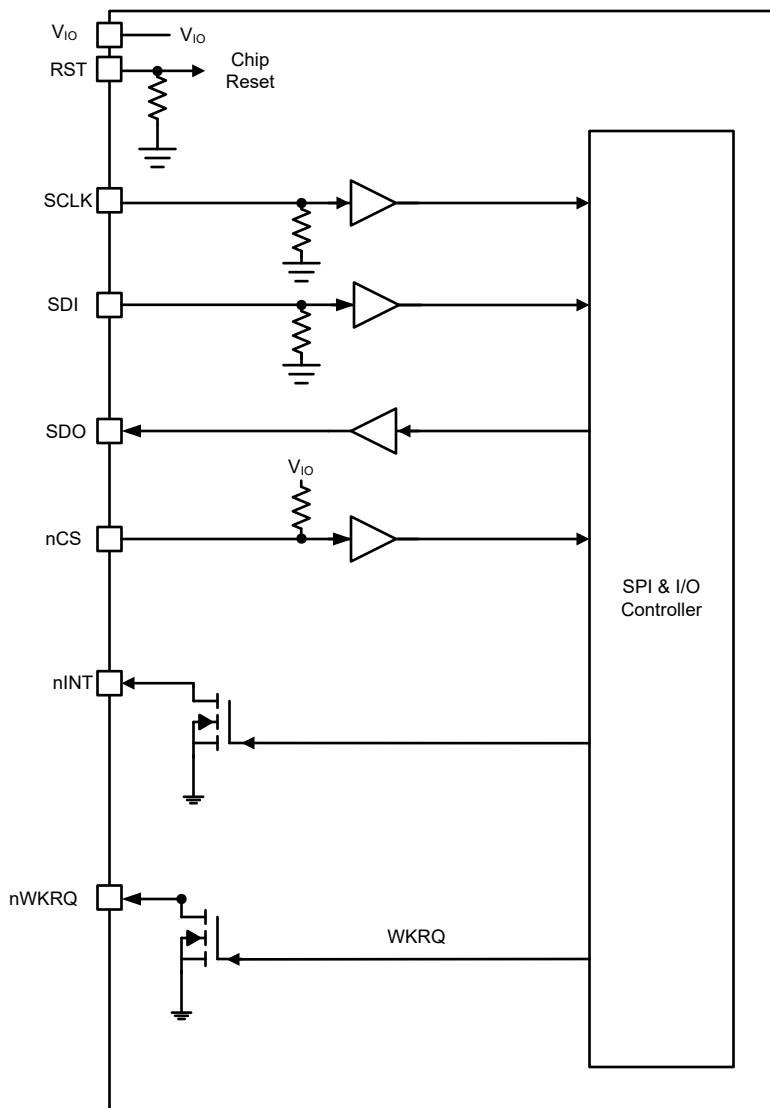


図 7-3. SPI およびデジタル IO のブロック図

7.3 機能説明

7.3.1 V_{DD} ピン

このピンはメイン電源に接続され、バッテリーに接続できます。このピンは、デジタル コアをサポートする内部レギュレータへ電源を供給します。このピンには、100nF のコンデンサが必要です。詳細については、[セクション 8.3](#) を参照してください。電源投入時に、 V_{DD} は UV_{DD} の立ち上がりスレッシュホールドよりも高くする必要があります。

V_{DD} ピンの電圧が UV_{DD} を下回ると、デバイスは保護状態になり、 V_{IO} 制御 IO すべてが高インピーダンスに設定されます。これは、 V_{DD} が UV_{DD} を下回っている場合、SPI にアクセスできないことを意味します。デバイスが UV_{DD} 状態を終了すると、 UV_{DD} 割り込みがセットされ、 UV_{DD} 状態のために、このデバイスがプロテクト モードに入ったことをプロセッサに通知します。

7.3.2 V_{CC} ピン

このピンは、内部 CAN トランシーバに 5V 電源を供給します。詳細については、[セクション 8.3](#) を参照してください。電源投入時に、 V_{CC} は UV_{CC} の立ち上がりスレッシュホールドよりも高くする必要があります。

7.3.3 V_{IO} ピン

V_{IO} ピンは、マイクロプロセッサの IO 電圧に合わせたデジタル IO 電圧を供給するため、レベルシフタを必要とせずに接続することができます。V_{IO} は、IO ピン SPI IO 電圧レベルをサポートしています。このピンは、水晶発振子または CLKIN ピンをサポートする発振器ブロックにも電力を供給します。1.71V ~ 5.5V の範囲をサポートしており、幅広いコントローラとの互換性を提供します。このピンには、100nF のコンデンサが必要です。詳細については、セクション 8.3 を参照してください。

7.3.4 GND

このピンは、サーマルパッドと同様にグランドピンです。どちらも放熱をサポートするため、グランドプレーンに接続する必要があります。

7.3.5 RST ピン

RST ピンはデバイスリセットピンです。通常動作中に、弱い内部プルダウン抵抗を備えています。TCAN4572-Q1 との通信が停止した場合は、RST ピンを High にパルスした後、 t_{PULSE_WIDTH} を超える時間 Low に戻すことで、デバイスにパワーオンリセットを実行できます。これにより、デバイスがデフォルト設定にリセットされ、デバイスはスタンバイモードになります。デバイスが通常モードまたはスタンバイモードの場合、INH ピンと nWKRQ ピンはアクティブ (オン) のままであり、反転しません。図 7-4 を参照してください。デバイスがスリープモード中にリセットが切り替えられると、デバイスはスタンバイモードに入り、その時点で nWKRQ がアサート (Low) されます。図 7-5 を参照してください。

RST 実行後は、TCAN4572-Q1 に対して読み取りまたは書き込みを行う前に、700 μ s 以上待機する必要があります。

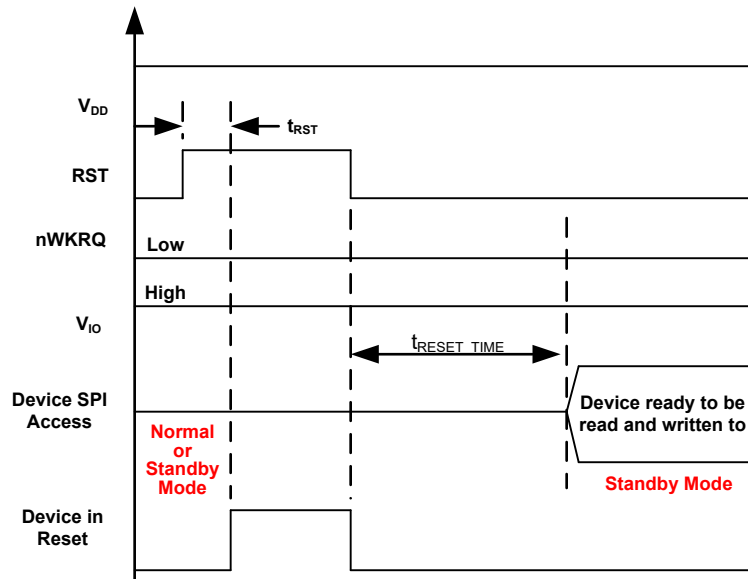


図 7-4. 通常モードおよびスタンバイモードでの RST ピンのタイミング

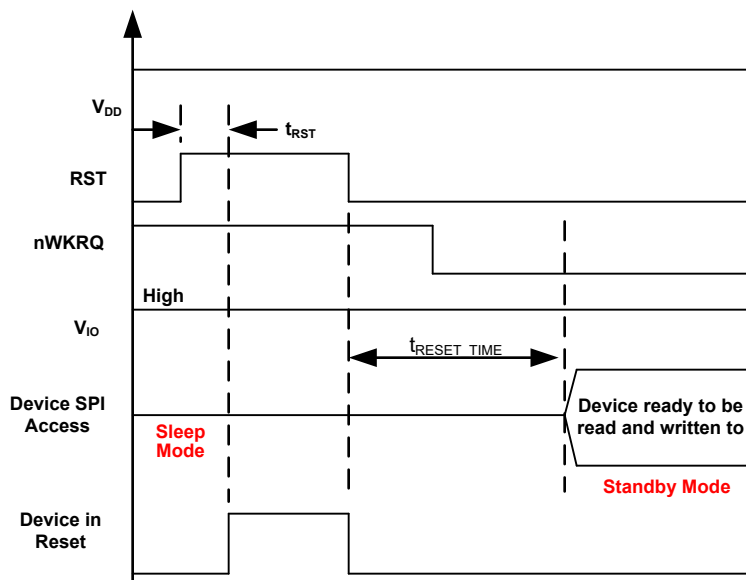


図 7-5. スリープモードでの RST ピンのタイミング

7.3.6 SPI CRC 機能

TCAN4572-Q1 は、16 ビットの SPI CRC をサポートしています。この機能は、無効な CRC を持つ書き込みをブロックすることで、不正な CRC による書き込みを防止し、CPU とデバイス間の通信が正しく行われることを保証します。詳細については、[セクション 7.5.1.6](#) を参照してください。

7.3.7 OSC1、OSC2 ピン、自動クロック検出

これらのピンは、水晶発振器に使用されます。OSC1 ピンは、マイクロプロセッサやその他のクロック ソースからのシングルエンド クロック入力として使用することもできます。これらのピンの機能の詳細については、[セクション 8.1](#) を参照してください。水晶発振回路は VIO 電源から供給されることに注意してください。

電源投入時に内部発振器を自動的に使用するには、OSC1 と OSC2 の両方をグラウンドに短絡する必要があります。両方のピンをグラウンドに短絡すると、内部 20MHz 発振器が使用されます。

OSC1 ピンと OSC2 ピンは、デバイスをどのようにクロック駆動するかによって、複数の機能を持ちます。外部水晶発振器を使用する場合、OSC1 と OSC2 は水晶発振器に接続します。シングルエンド入力を使用する場合、OSC2 はグラウンドに接続し、OSC1 は外部ソースからのシングル エンド クロック入力を受け取ります。

クロック ブロックの検出ロジックでは、電源投入時に OSC2 ピンがグラウンドに接続されているか、水晶発振器に接続されているかを確認します。この検出は迅速に行われ、デバイスにどの駆動モードを使用するかを通知します。この初期検出が完了すると、ノイズによってクロック モードが切り替わる可能性を低減するため、電源オン リセットが発生するまでクロックモードは変更されません。内部発振器を使用する場合、OSC2 がグラウンドに接続されていると検出されると、起動時には常に内部発振器が使用されます。内部クロックは、OSC1 ピンが外部ソースによってトグルを開始するまで使用されます。OSC1 のトグルが検出されると、デバイスは外部シングル エンド入力へ切り替わり、電源リセットが発生して検出プロセスが再び開始されるまで、クロックに「ロック」された状態を維持します。スタンバイモード中の SPI トランザクションでも、有効な SPI トランザクションが発生する時点までに外部クロック入力が検出されていない場合は、クロックが内部発振器に「ロック」されます。SPI フレームが SPI ヘッダ部を完了し (有効なフレームかどうかを判定した後)、まだ外部クロックが検出されていない場合、デバイスは内部クロックにロックされます。

注

シリコンの初期リビジョンでは、デバイスの機能を確実にするため、外部水晶発振子を使用します。初期シリコンかどうかを確認するには、アドレス 0x8 の DEVICE_REV レジスタを読み取り、REV_MINOR (ビット 7-0) が 0x0 の場合は、最新のシリコンへ移行します。

7.3.8 手動クロック選択

アプリケーションで必要な場合、消費電力を低減する方法として、クロックを外部クロックと内部クロックの間で動的に手動切り替えできます。この機能については、いくつかの注意事項があります。デバイスのリセットによって、以下に示すように部分的または完全なクロック検出動作がトリガされるため、自動クロック検出方式の動作については、[セクション 7.3.7](#) を参照してください。POR スレッシュホールドを下回る VDD トグルのみが水晶振動子検出を再トリガすることに注意してください。

注

クロックを手動で切り替える場合、デバイスがクロックを切り替えるための十分な時間を確保するために、プロセッサは次の SPI 書き込みを行う前に $t_{\text{CLOCK_SWITCH}}$ 時間待機する必要があります。外部水晶発振子へ切り替える場合、必要な待機時間は水晶発振子の起動時間に依存します。この時間は使用する水晶発振子によって異なるため、各アプリケーションごとに評価する必要があります。

表 7-1. 手動選択後にリセットされたときのクロック動作

電源投入時にクロックを検出	リセット後 (内部クロックに強制設定)	リセット後 (外部クロックに強制設定)
水晶振動子	水晶振動子	水晶振動子
シングル エンド クロック入力	シングル エンド入力または内部クロックの再検出	シングル エンド入力または内部クロックの再検出
内部クロック	シングル エンド入力または内部クロックの再検出	シングル エンド入力または内部クロックの再検出

クロックを切り替える際、電源投入時に検出されたクロックが外部シングル エンド クロック入力である場合に影響する重要な注意事項があります。クロックを内部クロックに強制設定した後でクロック強制を解除しても、クロック ソースは内部クロックのまま維持されます。外部シングル エンド クロックへ戻したい場合、ユーザーはそのクロックを選択して強制設定するか、またはクロック ソースを再検出するリセット イベントを実行する必要があります。内部クロック ソースから外部シングル エンド クロック入力へ切り替える場合も同様です

表 7-2. 高速クロック ソースの選択

パワーアップ検出クロック	CLK_SEL	CLK_FORCE 書き込み値	
		1	0 (前回値は 1)
INT (内部 20MHz)	0	INT	INT
	1	ECI	ECI
XTAL (外部水晶振動子)	0	INT	XTAL
	1	XTAL	XTAL
ECI (外部クロック シングル エンド入力)	0	INT	INT
	1	ECI	ECI

7.3.9 nWKRQ、nINT1 ピン

このピンは、デフォルトでは、バス ウェークアップ (WUP) 要求および電源オン (PWRON) によるオープン ドレインのウェークアップ要求ピンとして動作します。nWKRQ ピンは、デフォルトではウェーク イベントに基づくウェーク有効出力として設定されています (INH 出力と同様)。この構成では、出力は Low にプルダウンされ、その状態がラッチされてレギュレータの有効化信号として機能します。16'h0800[8] = 1 を設定することで、nWKRQ ピンをウェーク割り込み用の割り込みピンとして構成できます。この場合、ウェーク割り込みが発生すると出力は Low にプルダウンされますが、ウェーク割り込みフラグがクリアされると、出力は再び High 状態へ戻ります。この構成では、ウェーク イベントが発生した場合、nWKRQ ピンは High から Low に切り替わります。このピンはオープン ドレイン出力であり、V_{IO} レールへの外部プルアップ抵抗が

必要です。一部の外部レギュレータまたは電源管理チップでは、ウェークアップ要求用のデジタル ロジック ピンが必要になる場合があります、その用途にこのピンを使用できます。

このピンの代替機能は、M_CAN INT1 のアクティブ Low 割り込み出力として使用されます。これにより、ユーザーは一部の割り込み (新着メッセージ割り込みや送信完了割り込みなど) を代替ピンへ割り当てることができ、SPI 読み取り回数の削減や特定の割り込みサービス ルーチン (ISR) の最適化によって、デバイスのスループット向上に役立てることができます。このピンを INT1 出力として使用するには、MCAN も INT1 をイネーブルにし、MCAN ILE および ILS レジスタを構成して、使用する割り込みを選択するように構成する必要があります。

このピンドライバは、メインのデジタル電源で駆動され、Low をプルするための V_{IO} には依存しません。

表 7-3. nWKRQ ピンの構成

機能	nWKRQ_CONFIG(0x0800[8])	nWKRQ_MCAN_INT1(0x0800[10])
MCAN INT1 割り込み (アクティブ Low)	x	1
ウェーク割り込み (アクティブ Low)	1	0
INH 機能 (アクティブ Low)	0	0

注

- このピンはアクティブ Low であり、ウェーク割り込み機能として構成された場合、レジスタ 16'h0820 のマスクされていない CANINT および WKERR の論理 OR となります

7.3.10 nINT 割り込みピン

nINT は、専用のオープンドレイン グローバル割り込み出力ピンです。このピンを正常に機能させるには、 V_{IO} への外部プルアップ抵抗が必要です。すべての割り込み要求は、このピンが Low になると反映されます。

ピンがデアサートされる (ロジック High) 時間を最小にするためのグリッチ除去機能があります。この値は、使用される入力クロック周波数によって変化し、スイッチング特性のセクションに規定されています。割り込みクリア直後に割り込みが発生した場合、この機能は次のアサーション (ロジック Low) までに短い遅延を設けます。プロセッサが立ち下がりエッジ遷移を検出するようにします。

注

このピンはアクティブ Low であり、マスクされていないレジスタ 16'h0820、16'h0824 および 内のすべての故障の論理 OR です。

7.3.11 CANH および CANL バス ピン

これらは CAN High と CAN Low の差動バスピンです。これらのピンは、CAN トランシーバおよび低電圧 WUP CAN レシーバに接続されています。これらの機能については、本書全体を通して説明します。CAN バスのバイアスについては、[セクション 8.1.3.2](#) を参照してください。

7.4 デバイスの機能モード

TCAN4572-Q1 には、通常、スタンバイ、スリープ、およびプロテクト モードの複数の動作モードがあります。最初の三つのモードの選択は、SPI レジスタによって行われます。プロテクト モードは、デバイスまたはバスを保護するために使用される変更されたスタンバイ モードです。TCAN4572-Q1 は、ウェークアップ イベントを受信すると、自動的にスリープ モードからスタンバイ モードに移行します。各種モードと、各モードでデバイスのどの部分がアクティブであるかについては、[表 7-4](#) を参照してください。

TCAN4572-Q1 の状態図は、各動作モードにおける CAN バスのバイアス状態を示しています。

表 7-4. モードの概要

モード	RST ピン	nINT	nWKRQ	低消費電 CAN RX	SPI	CAN TX/RX	メモリと構成
通常	L	オン	オン	オフ	オン	オン	保存済み
スタンバイ	L	オン	オン	オン	オン	オフ	保存済み
TSD 保護	L	オン	オン	オン	オン	オフ	保存済み
スリープ	L	オフ	オフ	オン	オン ⁽¹⁾	オフ	部分保存済み

(1) スリープ モード中は、アクセス可能なレジスタが制限されます。V_{IO} に電源を供給する必要があります。

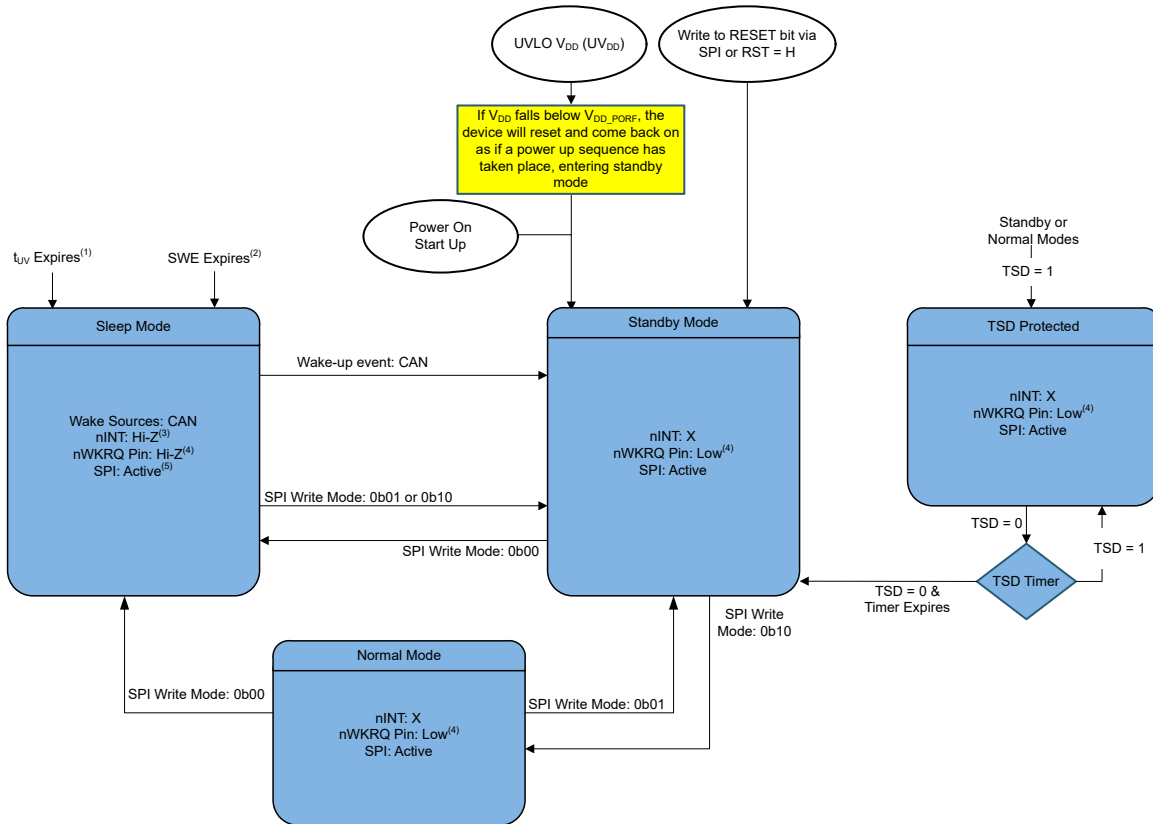
表 7-5. クロック状態

クロック	スリープ モード	スタンバイ モード	通常モード	TSD 保護
外部 HS 発振器	非アクティブ	アクティブ	アクティブ	非アクティブ
内部 HS 発振器	非アクティブ ⁽¹⁾	非アクティブ ⁽¹⁾	非アクティブ ⁽¹⁾	非アクティブ
内部 LS 発振器	非アクティブ ⁽²⁾	アクティブ	アクティブ	アクティブ

- (1) CAN バス バイアスがアクティブであり、かつ選択的ウェークが有効な場合にアクティブ
 (2) CAN バス バイアスがアクティブな場合はアクティブ

注

- SPI は、V_{IO} が U_{VIO} を上回る限り、アクティブになります。これは、バッファが V_{IO} を基準としているためです



- 1) UV_{IO} > t_{UV}, always, or if FAILSAFE_EN = 1 then also UV_{CC} > t_{UV} (when in normal mode only)
 2) SWE is started by a POR flag while in standby mode, a wake event interrupt, or if FAILSAFE_EN = 1 then also a t_{SILENCE}
 3) nINT is high until a wake up event occurs that moves the part into standby mode
 4) Assumes default nWKRQ behavior (INH behavior)
 5) Only a subset of registers are accessible in sleep mode

図 7-6. デバイスの状態遷移図

ADVANCE INFORMATION

7.4.1 通常モード

これは、本デバイスの通常の動作モードです。CAN ドライバおよびレシーバはイネーブルです。ドライバは、CAN FD コントローラの内部 TXD_INT 信号上のデジタル入力を、CANH および CANL 上の差動出力に変換します。レシーバは、CANH および CANL からの差動信号を、CAN FD コントローラ向けの内部 RXD_INT 信号上のデジタル出力に変換します。通常モードは、SPI インターフェイスを介して有効または無効にされます。

デバイスが通常モードの場合、PWRON フラグによって SWE は実行されません。ただし、ほかの故障によって SWE タイマが動作する場合があります (たとえば、 t_{SILENCE} が設定され、FAILSAFE_EN = 1 の場合、SWE タイマが動作します)。

7.4.2 スタンバイモード

スタンバイモードでは、バストランスミッタはデータを送信せず、通常モードのレシーバもデータを受信しません。このモードには、いくつかのアクティブなブロックがあります。低消費電力 CAN レシーバが機能し、CAN ウェークアップ パターン (WUP)。ステータスおよび構成用メモリ内のレジスタに対し、マイクロプロセッサが読み取りおよび書き込みできるようにするため、SPI インターフェイスがアクティブになっています。デフォルト設定では、このモードで nWKRQ ピンは Low になります。また、外部レギュレータや電源管理 IC (PMIC) へのデジタル イネーブル ピンとして使用することもできます。そのほかのすべてのブロックは、可能な限り最も低い消費電力状態に移行します。これは、SPI トランザクションなしで TCAN4572-Q1 に自動的に切り替わる唯一のモードです。デバイスは、バス WUP イベントが発生すると、自動的にスリープモードからスタンバイモードへ移行します。スタンバイモードに入ると、CAN に対しては一回のウェーク割り込み (CANINT) のみが発行され、。デバイスが通常モードまたはスリープモードへ移行し、その後再びスタンバイモードへ戻らない限り、スタンバイモード中に新たなウェーク割り込みは発行されません。これにより、スタンバイモード中にバストラフィックによってプロセッサへ大量の割り込みが発生するのを防ぎ、最初に発行されたウェーク割り込みのみをプロセッサへ通知します。

パワーオンリセット、またはスリープモードからのウェイクイベントが発生すると、TCAN4572-Q1 はスタンバイモードへ移行します。これにより、4 分間のタイマ t_{INACTIVE} (スリープウェークエラー SWE タイマとも呼ばれます) が開始されます。このタイマが満了する前に、プロセッサはウェークイベントまたはパワーオンリセットフラグをクリアするか、デバイスを通常モードに設定する必要があります。タイマが満了すると、デバイスはスリープモードへ移行します。この機能により、プロセッサが正常に起動しない場合のノードは最小消費電力モードになります。この自動モード変更は、デバイスがスリープモードに入っている状態で、(バスからの) ウェークイベントを受信した場合にも実行されます。スリープ時にこの機能を無効にするには、レジスタ 16'h0800[1] (SWE_DIS) を 1 に設定する必要があります。ただし、この設定は電源投入時やパワーオンリセット時には、この機能を無効にはしません。

スタンバイモードでは、の CCCR.INIT ビットを 1 に設定し、スタンバイモードまたは構成中に通信が発生しないようにします。このビットは、スタンバイモードから通常モードへ遷移する際に自動的にクリアされます。

7.4.3 スリープモード

スリープモードはスタンバイモードと似ていますが、 V_{IO} が Low にプルされると SPI インターフェイスを無効にできる点が異なります。低消費電力 CAN レシーバは V_{DD} から給電されるため、実装者は V_{IO} をオフにすることができます。nWKRQ ピンは、 V_{DD} 電源の内部ロジックレベルレギュレータから電源が供給されます。これにより、 V_{IO} が立ち上がっていない場合でも、ウェークイベント発生時に TCAN4572-Q1 がマイコンへ割り込みを通知できるようになります。デバイスがスリープモードに入ると、高速発振器は消費電力を抑えるために停止されます。 V_{DD} が POR スレッショルドを下回るまで、レジスタのデータは失われません。 V_{IO} が UV_{IO} を上回っている限り、SPI はアクティブです。デバイスが通常動作によってスリープモードに移行したか、フォルトによりモード変更されたかを判定するため、スリープモードステータスフラグが用意されています。レジスタ 16'h0820[23] にそのステータスがあります。フォルトによってデバイスがスリープモードに移行した場合、このフラグが 1 に設定されます。

注

SPI 経由でデバイスをウェークアップするには、0x0800 のデバイスモードフィールド (7:6) に 2'b01 または 2'b10 を書き込みます。これにより、デバイスがウェークアップし、スタンバイモードへ移行します。スリープモード中は、1 ワード書き込みのみ許可されます。複数ワードの書き込みは無視されます。

注

デバイスがスリープモード中の場合、許容される SPI の最大周波数は低くなります。詳細については、「デバイス スイッチング特性」セクションを参照してください。

注

スリープモードとスタンバイモードの違い

- スリープモードでは、nWKRQ をネゲートすることでノード全体の消費電力を低減し、外部 VREG に接続して、外部電源を遮断し、さらに省電力化することもできます。また、バス アクティビティがない場合、デバイスの発振器は無効になります。
- スタンバイモードでは、CAN トランシーバを無効にすることで TCAN4572-Q1 の消費電力を低減します。デバイスの発振器は引き続き有効であり、スタンバイモード中でもデバイス設定を行うことができます。スリープモードの消費電流は、スタンバイモードよりも少なくなります。

7.4.3.1 スリープモード：レジスタデータとアクセス

スリープモードでは、すべてのデバイスレジスタの状態が保持されます。POR イベント中 (または V_{DD} が POR スレッシュホールドを下回った場合) のみ、レジスタがリセットされます。

スリープモード中は、一部のレジスタのみアクセス可能です。アクセス可能なレジスタおよびそのアクセス権を以下に示します。

注

スリープモードでは、最大 SPI 周波数が制限されます。詳細については、デバイスのスイッチング特性を参照してください。

表 7-6. スリープアクセス可能なレジスタ

登録	アクセス権	説明
0x0800	R/W	0x0800[7:6] のビットのみアクセス可能であり、書き込み時にはほかのすべてのビットは無視されます。ビット [7:6] に通常モードまたはスタンバイモード要求を書き込むと、デバイスはスタンバイモードに移行します。
0x0820	R	デバイス割り込みの読み取り
0x0824	R	MCAN 割り込みの読み取り

注

スリープモード (0x0820 ~ 0x0824) では、サマリ割り込みレジスタのみが使用でき、元のソースレジスタ (0x1050 など) では使用できません

7.4.3.2 スリープモードでの RXD_INT 要求によるバスウェーク (BWRR)

TCAN4572-Q1 は低消費電力スリープモードをサポートしており、RXD_INT 要求 (BWRR) と呼ばれる CAN バスからのウェークアップ機構を使用します。このパターンを受信すると、TCAN4572-Q1 は自動的にスタンバイモードへ移行し、バスがアクティブであること、およびホスト マイクロプロセッサがウェークアップして TCAN4572-Q1 を処理する必要があることを示すために、nINT ピンおよび nWKRQ ピンへ割り込みを出力します。スリープモードでは、CAN バス経由の RXD_INT ウェークリクエストを可能にするため、低消費電力レシーバおよびバス モニタが有効になります。図 7-8 に示すように、ウェークアップ要求は内部 RXD_INT へ出力されます (Low に駆動)。ウェーク ロジックは RXD_INT の遷移 (High から Low) を監視し、RXD_INT ウェーク要求に基づいてデバイスをスタンバイモードへ再アクティブ化します。このモード中、CAN バス端子は弱く GND にプルダウンされます。

これらのデバイスは、ISO 11898-2:2016 のウェークアップパターン (WUP) を使用して、バストラフィックをホスト マイクロプロセッサへのウェークアップ要求として判定します。バスウェーク要求は、RXD_INT 端子上的「フィルタ処理された」パ

スドミナント (BWRR) に対応する立ち下がりエッジおよび Low 信号によって、内蔵 CAN FD コントローラへ通知されま
す。

ウェークアップ パターン (WUP) は以下で構成されます:

- 少なくとも t_{WK_FILTER} のフィルタされたドミナントバスと、その後続くドミナント バス
- 少なくとも t_{WK_FILTER} のフィルタされたリセッスブ バス時間の後に続きます
- 少なくとも t_{WK_FILTER} の 2 番目のフィルタ処理されたドミナント バス時間

WUP が検出されると、デバイスは、バスからフィルタ処理されたドミナント時間を受信するたびに、RXD_INT 信号上でウ
ェークアップ要求 (BWRR) の発行を開始します。最初のフィルタ処理されたドミナントによって WUP が開始され、その
後、バス モニタはフィルタ処理されたリセッスブを待機します。ほかのバストラフィックによってバス モニタがリセットされ
ることはありません。フィルタ処理されたリセッスブを受信すると、バスモニタはフィルタ処理されたドミナントを待機して
おり、再度、他のバストラフィックはバスモニタをリセットしません。2 番目のフィルタ処理されたドミナントが受信されると直
ちに、バスモニタは WUP を認識して BWRR 出力に遷移します。WUP を受信し、それが有効と確認されるとすぐに、デバ
イスはバス モニタを BWRR モードに移行させます。そして、 t_{WK_FILTER} を超えるバスのドミナント期間について、
RXD_INT 内部信号を Low に駆動することで、そのフィルタ処理されたドミナント期間を示します。その結果、BWRR 中
の RXD_INT 出力は、ISO 11898-2:2016 のウェークアップ要求メカニズムとして、バス上の単一のフィルタ済みドミナント
を使っていた従来の 8 ピン CAN デバイスの動作と一致します。

ドミナントまたはリセッスブを「フィルタ処理」と見なすには、バスが t_{WK_FILTER} 時間より長い間、その状態にある必要があり
ます。 t_{WK_FILTER} の変動により、以下のシナリオが適用されます。

- $t_{WK_FILTER(MIN)}$ より短いバス状態は、WUP の一部として検出されることはないため、BWRR は生成されません。
- $t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、BWRR が生成されることが
あります。
- $t_{WK_FILTER(MAX)}$ を超えるバス状態は常に WUP の一部として検出されるため、BWRR が常に生成されます。

WUP のタイミング図については、[図 7-7](#) を参照してください。

WUP および BWRR に使用されるパターンおよび t_{WK_FILTER} 時間により、ノイズやバス固着ドミナント故障が誤ったウェ
ークリクエストを引き起こすことを防止しながら、任意の CAN または CAN FD メッセージによって BWRR を開始できま
す。デバイスが通常モードに切り替わるか、 V_{CC} で低電圧イベントが発生すると、BWRR は失われます。WUP パターン
は、 $t_{WK_TIMEOUT}$ 時間内に実行する必要があります。時間外の場合、デバイスは次のリセッスブと有効な WUP パターン
を待機する状態になります。

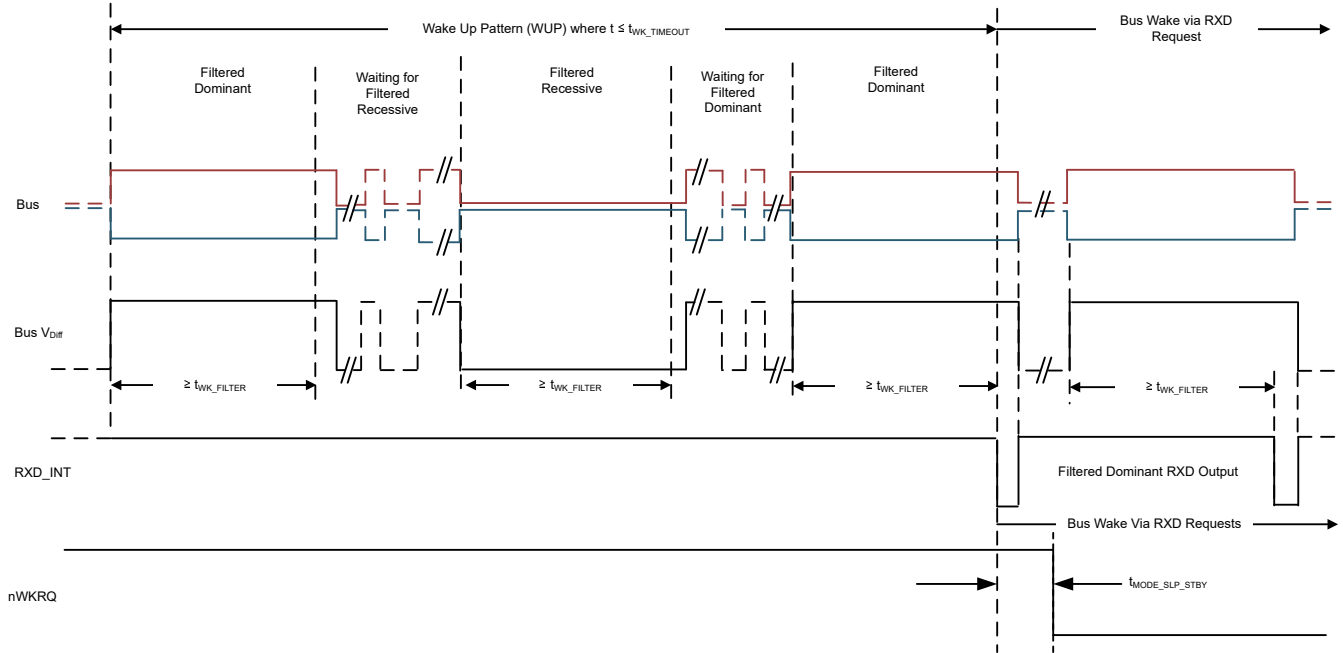


図 7-7. ウェークアップパターン (WUP) と RXD_INT 要求によるバス ウェーク (BWRR)

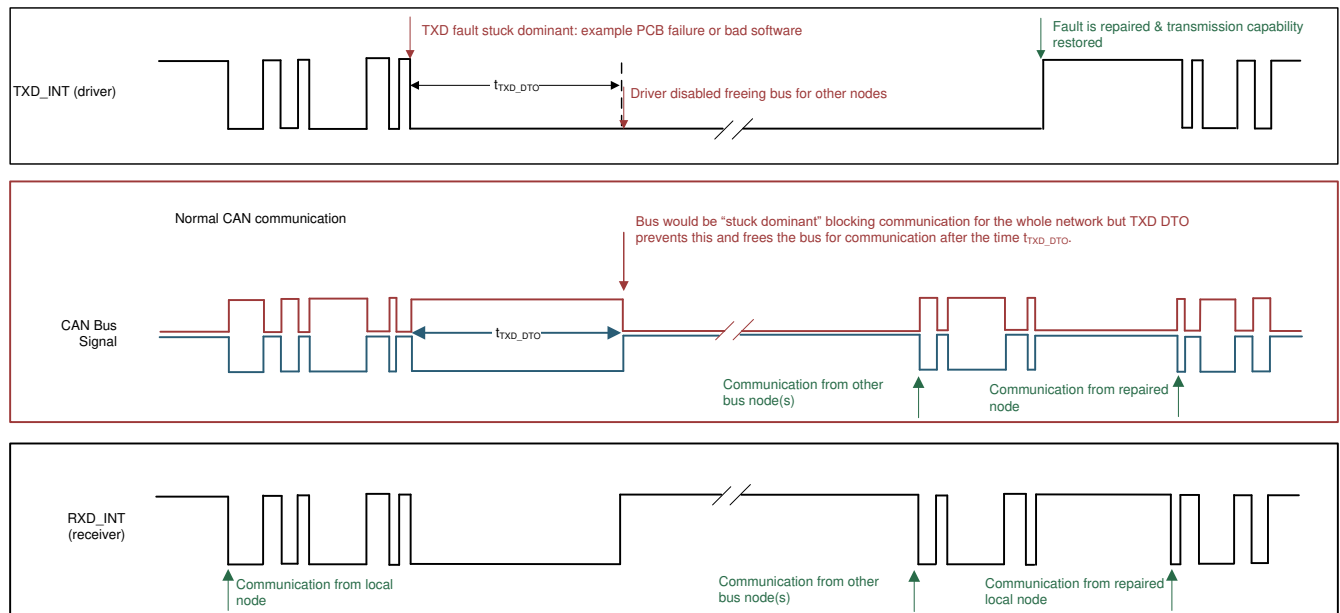


図 7-8. TXD_INT DTO のタイミング図の例

デバイスは、アイドル状態のバスで最初のドミナントを検出すると、低速クロックをオンにします。有効な WUP が検出されると、高速クロックの起動が要求されます。

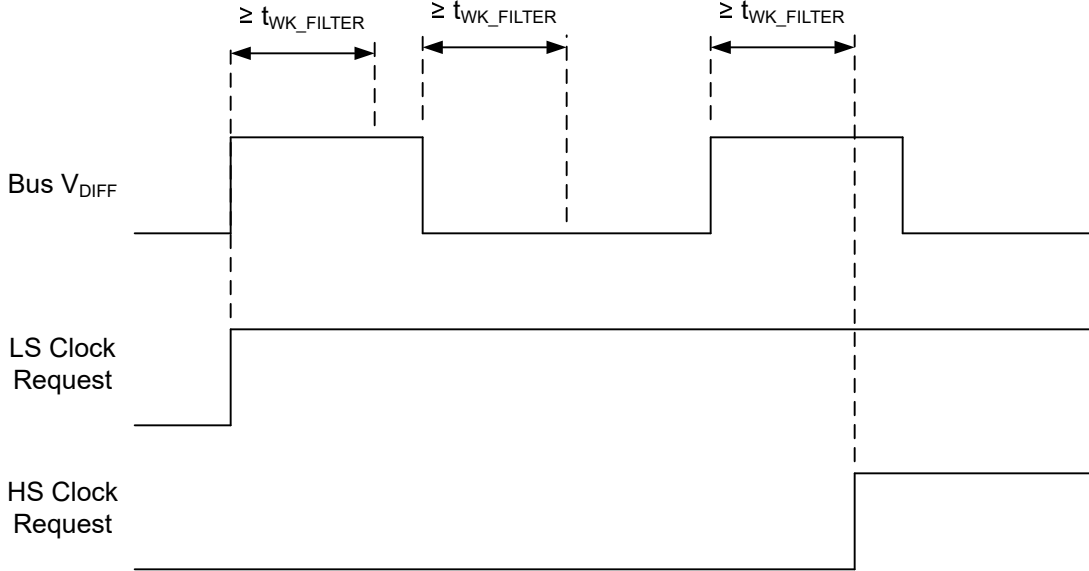


図 7-9. CAN WUP クロック要求

7.4.4 テスト モード

TCAN4572-Q1 には、3 つの構成を持つテスト モードが含まれています。1 つは、SPI インターフェイスを使用して構成レジスタのレジスタ ビット 16'h0800[21] = 1 を設定することで有効化されます。このモードでは、トランシーバの TXD_INT_PHY は SDI ピンへマッピングされ、RXD_INT_PHY は SDO ピンへマッピングされます。EN_INT ピンは SCLK ピンにマップされます。図 7-10 を参照してください。このモードは、16'h0800 でトランシーバ テスト モードを有効化する書き込みを行った後、nCS がデアサートされると直ちに開始されます。このテスト モード中は、SPI ピンがトランシーバへ多重化されるため、SPI 通信はできません。nCS が High のままである限り、テスト モードは有効のまま維持されます。nCS が Low になる (または POR イベントが発生する) と、テスト モードは直ちに無効化され、SPI 通信は通常動作へ復帰します。

SPI を使用して開始されるものの、M_CAN コア レジスタへ直接書き込むことで有効化される、M_CAN コア専用のテスト モードが 2 種類あります。図 7-11 および図 7-12 を参照してください。

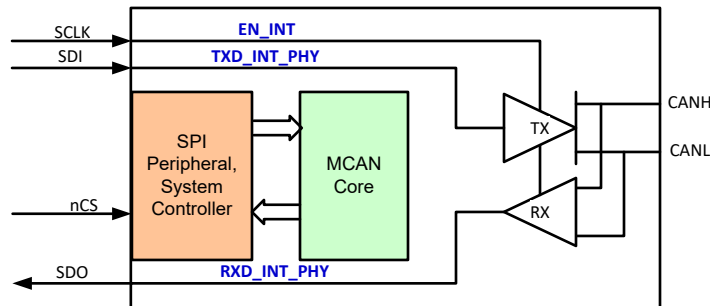


図 7-10. トランシーバ テスト モード

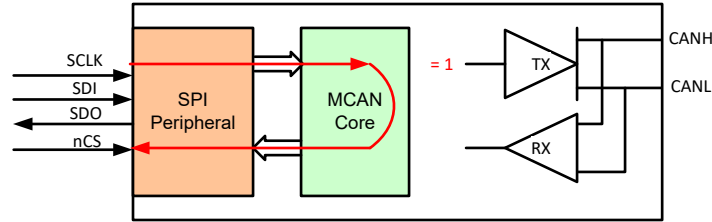


図 7-11. M_CAN 内部ループバック テスト モード

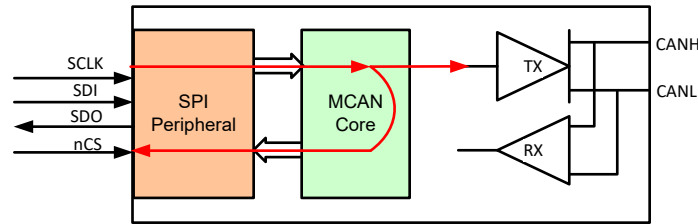


図 7-12. M_CAN 外部ループバック テスト モード

表 7-7. CAN テスト モードのレジスタ構成

テスト モード	TEST_MODE_EN(0x0800[21])	CCCR.TEST(0x1018[7])	CCCR.MON(0x1018[5])	TEST.LBCK(0x1010[4])
トランシーバテスト モード	1	0	0	0
M_CAN 内部ループ バック	0	1	1	1
M_CAN 外部ループ バック	0	1	0	1

7.4.5 フェイルセーフ機能

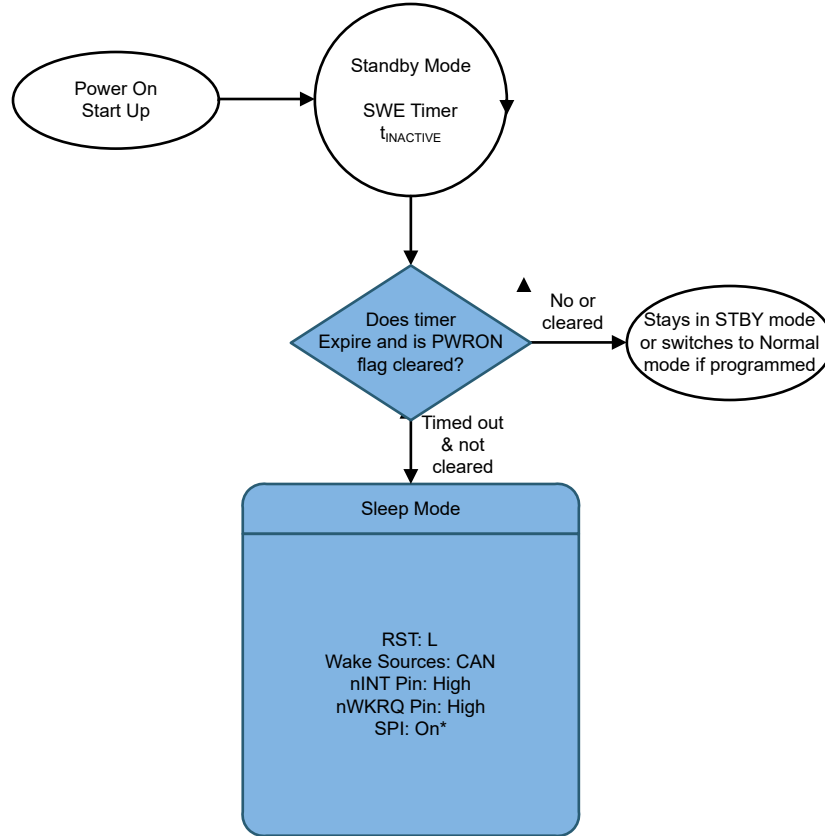
フェイルセーフ機能とは、システムに問題が発生した場合に TCAN4572-Q1 がノードの消費電力を低減できるさまざまな方法を指します。これらの機能の一部は 0x0800 (モードおよびピン構成レジスタ) の FAILSAFE_EN ビットによって有効化または無効化できます。その他はスリープ ウェーク エラー (SWE) タイマに依存します。このタイマは 0x0800 (モードおよびピン構成レジスタ) の SWE_DIS ビットを使用して無効化できます。SWE_DIS ビットは、ウェークタイマの SWE タイマを無効にする場合にのみ使用されます。以下の表は、特定の追加フェイルセーフ機能を有効にするために必要な FAILSAFE_EN および SWE_DIS の設定値を示しています。フェイルセーフ機能および SWE タイマは、障害が一定時間発生した場合に、デバイスを低消費電力状態へ移行させるために使用されます。

表 7-8. フェイルセーフ機能

特長	説明	必要な FAILSAFE_EN 値	必要な SWE_DIS 値
PWRON 非アクティブ状態	POR 後、ステートマシンがスタンバイモードへ移行すると SWE タイマが開始され、マイコンは PWRON フラグをクリアするか、または通常モードへ切り替えてタイマを停止するまでに約 4 分の猶予があります。タイマが満了すると、デバイスはスリープモードへ移行します。この機能は無効化できません。	該当なし	該当なし
ウェーク非アクティブ状態	TCAN4572-Q1 がウェークイベントを受信してデバイスがスタンバイモードへウェークアップすると、SWE (t _{INACTIVE}) タイマが開始されます。ウェーク割り込み (CANINT) がクリアされないか、t _{INACTIVE} が経過する前にデバイスが通常モードにならない場合、デバイスはスリープに戻ります。	該当なし	0

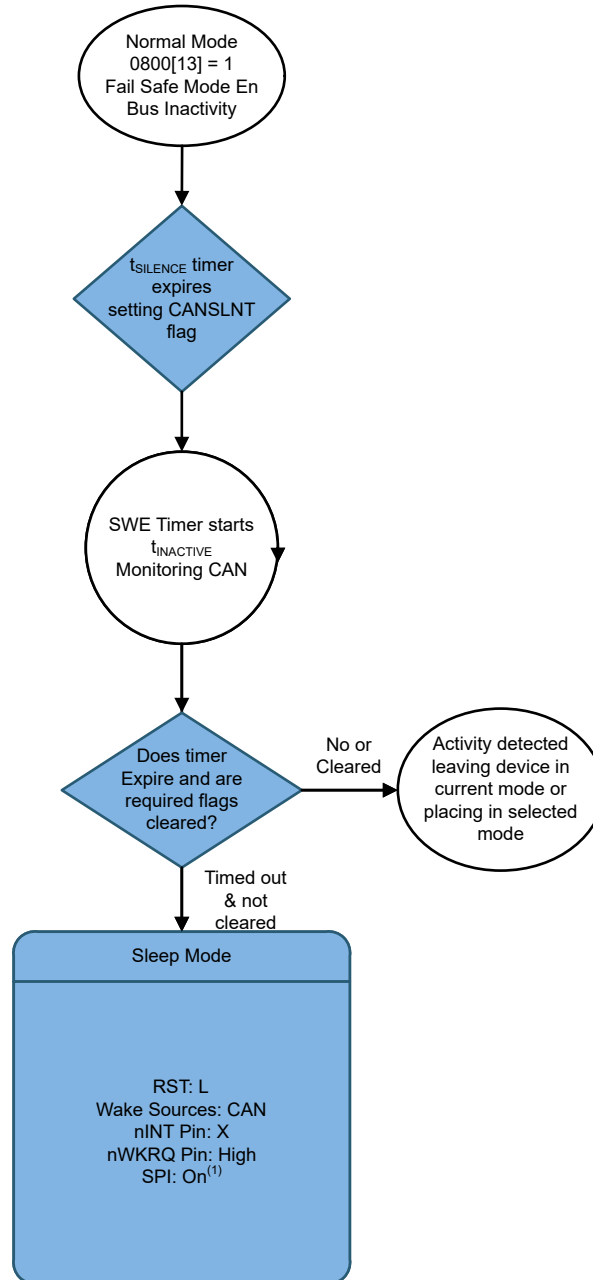
表 7-8. フェイルセーフ機能 (続き)

特長	説明	必要な FAILSAFE_EN 値	必要な SWE_DIS 値
通常モード時のバス無通信状態	通常モードでは、 $t_{SILENCE}$ タイマが満了するのに十分な時間バスがサイレントになった場合、CANSLNT 割り込みがセットされます。これにより、 $t_{INACTIVE}$ 後に期限切れになる SWE タイマが起動します。SWE タイマが満了する前にサイレント バス割り込みがクリアされない場合、デバイスはスリープ モードへ移行します。デバイスがスタンバイモードにある場合、SWE タイマは満了してもデバイスをスリープモードへ移行させません。	1	該当なし
VCC 低電圧イベント	通常モード中に、UVCC 割り込みをセットする UV イベント (UV イベントが t_{UVCC} より長く継続する必要があります) が発生すると、 t_{UV} タイマが開始されます。 t_{UV} タイマが満了する前に VCC が UVCC スレッシュホールドを上回らなかった場合、デバイスはスリープモードへ遷移します。スタンバイモード中は、UVCC フラグをセットできません。低電圧ロックアウト機能の詳細については、 セクション 7.4.6.6 を参照してください。	1	該当なし
UVIO 低電圧イベント	通常モードまたはスタンバイモード中に、UVIO 割り込みを設定する UV イベントが発生すると、 t_{UV} タイマが開始します。 t_{UV} タイマが経過する前に VIO が UVIO スレッシュホールドを超えなかった場合、デバイスはスリープモードに遷移します。この機能は、VIO が SPI インターフェイスに使用されるため、無効化できません。低電圧ロックアウト機能の詳細については、 セクション 7.4.6.6 を参照してください。	該当なし	該当なし



*Only register 0x0800 (Device mode and pin control) is accessible in sleep mode

図 7-13. パワーオン フェイルセーフ機能



1) Only a subset of registers are accessible in sleep mode, see sleep mode section for more information.

図 7-14. 通常およびスタンバイのフェイルセーフ機能

7.4.6 保護機能

TCAN4572-Q1 は、以下に説明するように、複数の保護機能を備えています。

7.4.6.1 ドライバおよびレシーバ機能

TXD_INT および RXD_INT は、物理層トランシーバの TXD ピンおよび RXD ピンのように動作する内部信号パスです。通常動作中は、外部ピンからアクセスできません。TCAN4572-Q1 は、これらの信号を外部ピンにマッピングするテストモードを備えています。セクション 7.4.4 を参照してください。これらのデバイスのデジタル ロジック入力および出力レベル

は、1.8V ~ 5V のロジックまたは I/O を備えたプロトコル コントローラとの互換性を確保するため、V_{IO} 基準の CMOS レベルとなっています。表 7-9 および 表 7-10 は、各モードでの CAN ドライバと CAN レシーバの状態を示しています。

表 7-9. ドライバ機能表

デバイス モード	TXD_INT 入力	バス出力		駆動されているバスの状態
		CANH	CANL	
通常	L	H	L	ドミナント
	H または オープン	Z	Z	バイアスリセッシブ
スタンバイ	X	Z	Z	GND への弱いプル
スリープ	X	Z	Z	GND への弱いプル

表 7-10. 通常およびサイレント モードのレシーバ機能表

デバイス モード	CAN 差動入力 V _{ID} = V _{CANH} - V _{CANL}	バスの状態	RXD_INT 端子
通常	V _{ID} ≥ 0.9 V	ドミナント	L
	0.5V < V _{ID} < 0.9 V	未定義	未定義
	V _{ID} ≤ 0.5V	リセッシブ	H
スタンバイ/スリープ	V _{ID} ≥ 1.15 V	ドミナント	図 7-7 を参照してください。
	0.4V < V _{ID} < 1.15V	未定義	
	V _{ID} ≤ 0.4V	リセッシブ	
任意	オープン (V _{ID} ≈ 0 V)	オープン	H

7.4.6.2 端子のフローティング

重要な端子には内部プルアップおよびプルダウンがあり、端子が浮いた状態になった場合でも、デバイスを既知の状態に保持するようになっています。端子バイアスの条件の詳細については、表 7-11 を参照してください。

表 7-11. 端子バイアス

端子	プルアップまたはプルダウン	備考
SCLK	プルダウン	入力を弱くグラウンドにバイアス
SDI	プルダウン	入力を弱くグラウンドにバイアス
nCS	プルアップ	デバイスが選択されないよう、入力を弱く V _{IO} にバイアス
nWKRQ	なし	このピンはオープンドレイン バッファなので、外部プルアップが必要です。
RST	プルダウン	RST 端子を通常動作モード側に弱くバイアス

注

内部バイアスは、特にノイズの多い環境では唯一の終端として依存してはならず、フェイルセーフ保護として考慮する必要があります。オープンドレイン出力を使用する MCU と組み合わせてこのデバイスを使用する場合には、特に注意が必要です。

7.4.6.3 CAN TXD_INT ドミナント タイムアウト (DTO)

TCAN4572-Q1 はドミナント状態タイムアウトをサポートしています。これは、TXD_INT バスに基づく内部機能です。TXD_INT DTO 回路は、TXD_INT がタイムアウト期間 t_{TXD_INT.DTO} を超えてドミナント (Low) 状態に保持された場合に、ハードウェアまたはソフトウェア障害によってローカル ノードがネットワーク通信を妨げるのを防止します。TXD_INT DTO 回路は、TXD_INT の立ち下がりがエッジでトリガされます。回路のタイムアウト期間 t_{TXD_INT.DTO} よりも前に立ち上がりエッジが確認されない場合、CAN ドライバはディセーブルになります。これにより、ネットワーク上の他のノード間の通信のためにバスが解放されます。TXD_INT 端子でリセッシブ信号 (High) が検出されると、CAN ドライバは再び有効化さ

れ、ドミナント タイムアウトが解除されます。TXD_INT DTO 故障時でも、レシーバはアクティブ状態を維持し、RXD_INT 端子には CAN バス上のアクティビティが反映されます。また、バス端子はリセッシブ レベルにバイアスされます。

注

TXD_INT DTO 回路によって許容される最小ドミナント TXD_INT 時間により、デバイスで送信可能な最小データレートが制限されます。CAN プロトコルでは、最悪の場合、5 つの連続するドミナント ビットの直後にエラー フレームが続くことで、最大 11 個の連続したドミナント ビット (TXD_INT 上) が許可されています。

7.4.6.4 CAN バスの短絡電流制限

このデバイスには、CAN バス ラインが短絡した際に短絡電流を制限する複数の保護機能があります。これには、CAN ドライバの電流制限機能が含まれます。このデバイスには TXD_INT ドミナント タイムアウト機能があり、システム故障時にドミナント状態の高い短絡電流が永続的に流れ続けるのを防止します。CAN 通信中、バスはドミナント状態とリセッシブ状態の間で切り替わります。したがって、短絡電流は、各バス状態における電流として、または DC 平均電流として見ることができます。終端抵抗および同相モード チョークの定格に関するシステム電流および電力の検討では、平均短絡電流を使用する必要があります。パーセンテージドミナントは、TXD_INT ドミナントのタイムアウトと CAN プロトコルによって制限されます。このプロトコルでは、ビットの詰め、制御フィールド、フレーム間空間など強制的に状態が変化し、リセッシブビットが使用されています。これにより、データ フィールドにドミナント ビットが高い割合で含まれている場合でも、バス上で最小限のリセッシブ時間が確保されます。

注

バスの短絡電流は、リセッシブ ビットとドミナント ビットの比率と、それぞれの短絡電流に依存します。平均短絡電流は、式 1 で計算できます。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times IOS(SS)_REC) + (\%DOM_Bits \times IOS(SS)_DOM)] + [\%Receive \times IOS(SS)_REC] \quad (1)$$

ここで

- $I_{OS(AVG)}$ は平均短絡電流です。
- $\%Transmit$ は、ノードが CAN メッセージを送信している割合です。
- $\%Receive$ は、ノードが CAN メッセージを受信している割合です。
- $\%REC_Bits$ は、送信された CAN メッセージ内のリセッシブ ビットの割合です。
- $\%DOM_Bits$ は、送信された CAN メッセージ内のドミナント ビットの割合です。
- $IOS(SS)_REC$ はリセッシブ 定常状態の短絡電流で、 $IOS(SS)_DOM$ はドミナント 定常状態の短絡電流です。

注

終端抵抗、その他のネットワーク コンポーネント、および V_{SUP} を生成するために使用される電源の電力定格を決定する際には、ネットワークの短絡電流および想定される故障のケースを考慮する必要があります。

7.4.6.5 サーマル シャットダウン

デバイス保護のための動作です。デバイスの接合部温度がサーマル シャットダウンのスレッショルドを超えると、デバイスは CAN トランシーバーをオフにし、信号からバスへの送信経路を遮断します。マイクロプロセッサに通知するため、サーマル シャットダウン 割り込みフラグが設定されます。このイベントが発生した場合、CAN バスが V_{BAT} (V_{DD}) に短絡した際のバス故障などにより、ほかの割り込みフラグが設定されることもあります。この場合、デジタル コアと SPI インターフェイスは引き続き動作しています。サーマル シャットダウン イベントが解除されると、約 300ms のタイマが開始されます。そのタイマが満了すると (TSD 故障が引き続き解除されていることを確認した後)、デバイスはスタンバイ モードへ移行します。サーマル シャットダウン プロテクト モードは、デバイスを通常モードまたはスタンバイ モードに変更するための SPI 書き込みは無視されますが、スリープ モードへの変更の書き込みは受け付けられます。

追加の重要なサーマル シャットダウン (t_{CSD}) があり、通常のサーマル シャットダウンで温度上昇を抑えることができない場合にデジタル電源をオフにします。このサーマル シャットダウンによりデジタル回路への電源供給が停止されるため、デバイスは温度が下がるまで、電源が供給されていない状態と同様に動作します。これは、デバイスの保護を強化するためです。

注

UV_{IO} イベントによって TSD 中はデバイスをスリープ状態にはしません。デバイスが TSD を終了すると、 UV_{IO} イベントが引き続き持続し、 t_{UV} タイマを満了する場合、デバイスはスリープに移行します。

7.4.6.6 低電圧誤動作防止 (UVLO) および電源オフのデバイス

TCAN4572-Q1 は、 V_{DD} 、 V_{IO} 、および V_{CC} ピンを監視し、低電圧イベントを検出します。これらの電源レールには低電圧検出回路が備わっており、 V_{DD} および V_{IO} で低電圧故障が発生した場合、デバイスを保護状態へ移行させます。これにより、これらの端子で低電圧が生じた際にもバスが保護されます。 V_{DD} が低電圧状態になると、デバイスは内部レギュレータを動作させ続けるために必要な電源ソースを失います。これにより、マイクロプロセッサと TCAN4572-Q1 間の通信が無効化された状態へデバイスが移行します。TCAN4572-Q1 はバスから情報を受信できず、そのため、BWRR による Bus Wake 信号を含む、バスからのいかなる信号もマイクロプロセッサへ渡しません。

UV_{CC} イベントは、 UV_{CC} 状態を抜けた後 (電源投入後またはスリープ復帰後)、またはデバイスに通常モードへの移行要求が行われた時点でのみ監視されます。例えば、このデバイスは柔軟な電源投入順序をサポートしているため、電源投入直後には UV_{CC} の割り込みはすぐにはセットされません。これは、デバイスが V_{CC} の立ち上がりを待つためです。 V_{CC} が UV_{CC} を上回ると、 UV_{CC} を下回ると、割り込みがセットされます。別のケースとして、プロセッサが通常モードへの移行を要求しても、 V_{CC} がまだ UV_{CC} 未満である場合、故障割り込みがセットされます。

UV_{DD} イベントが発生すると、FAILSAFE_EN 機能の状態に関係なく、CPU に通知するための割り込みフラグがセットされ、デバイスはスタンバイモードへ移行します。

注

FAILSAFE_EN 機能の状態に関係なく、 UV_{IO} イベントが発生すると、デバイスはスタンバイモードへ移行し、マイコンに通知するための割り込みフラグをセットします。 UV_{IO} イベントが発生し、その状態が t_{UV} を超えて継続した場合、デバイスはスリープモードへ移行します。

注

POR スレッシュホールド電圧が、直接 V_{DD} ではなく FLTR ピンの電圧とチェックされます。 V_{DD} のランプアップまたはランプダウンの速度によっては、FLTR ピンに遅延効果が生じる可能性があります。これにより、POR イベントでデバイス全体がリセットされるため、電源ノイズに対する堅牢性が向上します。

UVLO 回路は、電源レールの立ち上がり時と立ち下がり時の両方を監視します。

表 7-12. 低電圧ロックアウトおよび IO レベル シフト デバイス

V_{DD}	V_{IO}	デバイスの状態	CAN BUS	RXD_INT	GPIO または SPI
$> UV_{DD}$	$> UV_{VIO}$	通常	TXD_INT ごと	ミラー・バス	通常
$< UV_{DD}$	$> UV_{VIO}$	保護	高インピーダンス	High (リセツプ)	高インピーダンス
$> UV_{DD}$	$< UV_{VIO}$	保護	リセツプ	高インピーダンス	高インピーダンス
$< UV_{DD}$	$< UV_{VIO}$	保護	高インピーダンス	高インピーダンス	高インピーダンス

注

低電圧状態および割り込みフラグがクリアされ、 V_{DD} 電源が正常なレベルに戻った後、デバイスは通常動作へ移行するために t_{MODE_CHANGE} の時間が必要です。ホスト プロセッサは、この遷移時間が経過するまで、メッセージの送信または受信を試みないようにします。

7.4.6.6.1 UV_{CC}

デバイスが通常モード中に、VCC が t_{UVCC} を超える時間にわたって UV_{CC} スレッシュホールドを下回った場合、UV_{CC} 割り込みを設定できます。これにより、CAN トランシーバはオフになり、MCAN はリセット状態に保持されます。デバイスは通常モードを終了しません。割り込みが設定され、MCAN/CAN は疑似リセット状態に保持されます (MCAN INIT ビットがセットされ、トランシーバはオフになります)。なお、スリープ モード中の UV_{CC} イベントでは何も発生しません。これは、デバイスが VCC から電源が取り除かれる可能性を想定しており、必要に応じて内部電源レールを使用して CAN バスをバイアスすることで、VCC がない状態でもスリープ中に受信 CAN フレームをデコードできるためです。

7.4.6.6.2 UV_{IO}

V_{IO} が UV_{IO} の低電圧検出スレッシュホールドを下回ると、いくつかの機能が無効化されます。V_{IO} が回復するまで、トランシーバはオフになります。入力クロックまたは水晶振動子回路は無効化され、TCAN4572-Q1 とマイクロプロセッサ間の IO はアクティブではありません。UV_{IO} がトリガされると、 t_{UV} タイマが開始します。タイマが満了しても、UV_{IO} 状態が継続している場合、デバイスはスリープ モードに移行します。V_{IO} が戻った場合、デバイスは自動的にウェークアップしません。スリープ モードに移行すると、TCAN4572-Q1 をスタンバイ モードに移行するためにウェーク イベントが必要とされます。または、V_{IO} が復帰してデバイスをスタンバイ モードに移行させるために SPI に書き込みます。スリープ モードではレジスタがクリアされないため、V_{IO} が UV_{IO} スレッシュホールドを上回ると、UV_{IO} 割り込みフラグが保持されます。UV_{IO} イベントが継続している場合は、このサイクルが繰り返されます。サーマル シャットダウン イベント中に UV_{IO} イベントが発生すると、デバイスは自動的にスリープ モードに移行します。

デバイスに電源が供給されていないとき、CAN バスへの「パッシブ」または「無負荷」となるように設計されています。デバイスが無給電のとき、バス端末 (CANH、CANL) のリーク電流は非常に小さく、バスに負荷をかけません。この特性は、ネットワーク内の一部のノードが無給電でも、他のノードが動作を継続している状況において非常に重要です。また、デバイスの電源がオフのときでも、ロジック端子のリーク電流は低いいため、電源が入ったままの他の回路に負荷を与えることはありません。

7.4.6.6.3 故障と M_CAN コア動作 :

UV_{IO} または TSD の故障時、TCAN4572-Q1 は M_CAN コアを既知状態に維持するため、自動的に以下の処理を実行します。通常からスタンバイへ遷移するたびに、CCCR.INIT に「1」が書き込まれます。現在保留中の TX または RX 処理が停止します。デバイスが再び通常モードに入ると、CCCR.INIT に「0」が書き込まれ、保留中のメッセージ (TXBRP のアクティブ ビット) は自動的に送信されます。

7.5 プログラミング

TCAN4572-Q1 は 32 ビット アクセスを使用します。TCAN4572-Q1 は、システムのニーズに応じて、必要に応じて TX/RX バッファ / FIFO 用に完全に構成可能な 2K バイトのデバイスメモリ RAM (MRAM と呼ばれます) を備えています。POR 後、まだ書き込まれていないメモリ領域の読み出し時に ECC エラーが発生するのを防ぐため、MRAM は自動的に 0 で埋められます。この処理により、MRAM 用の有効な ECC 値が生成され、既知の状態になります。

7.5.1 SPI 通信

SPI 通信では、標準の SPI インターフェイスを使用します。物理的なデジタル インターフェイス ピンは、nCS (チップ セレクト反転)、SDI (SPI データ入力)、SDO (SPI データ出力)、および SCLK (SPI クロック) です。各 SPI トランザクションは 32 ビット ワードで、コマンド バイトとそれに続く 2 つのアドレス バイトと長さバイトを含みます。トランザクションの SDO ピンでシフトアウトされたデータは、常にグローバル ステータス レジスタ (バイト) から開始されます。このレジスタは、デバイス ステータスについて高レベルのステータス情報を提供します。コマンド バイトに対する「応答」となる 2 つのデータ バイトが、その後シフトアウトされます。書き込みコマンド中にシフトアウトされるデータ バイトは、新しいデータが書き込まれレジスタを更新する前のレジスタの内容です。読み取りコマンド中にシフトアウトされるデータ バイトは、そのレジスタのその時点の内容であり、レジスタは更新されません。

SDI 上の SPI 入力データは、SCLK の「Low」から「High」のエッジでサンプリングされます。SDO 上の SPI 出力データは、SCLK の「High」から「Low」のエッジで変更されます。

7.5.1.1 ノットチップセレクト (nCS) :

この入力ピンは、SPI トランザクション用デバイスを選択するために使用します。このピンはアクティブ Low であるため、nCS が High の間、デバイスの SDO ピンはハイインピーダンス状態となり、SPI バスを構成できます。nCS が "Low" になると、SDO ドライバが有効となり、通信を開始できる状態になります。SPI トランザクションでは、nCS ピンは Low に保持されます。このデバイスの特別な機能を使用すると、nCS の立ち下がりエッジで SDO ピンをグローバル故障フラグとして直ちに表示できます。

注

nCS ピンがフローティング状態になった場合のピン状態を保護するため、内部プルアップ抵抗が内蔵されています。

7.5.1.2 SPI クロック入力 (SCLK) :

この入力ピンを使用して、SPI にクロックを入力し、入力および出力のシリアル データ ビット ストリームを同期します。SPI データ入力は、SCLK の立ち上がりエッジでサンプリングされ、SPI データ出力は、SCLK の立ち下がりエッジでデータが変更されます。

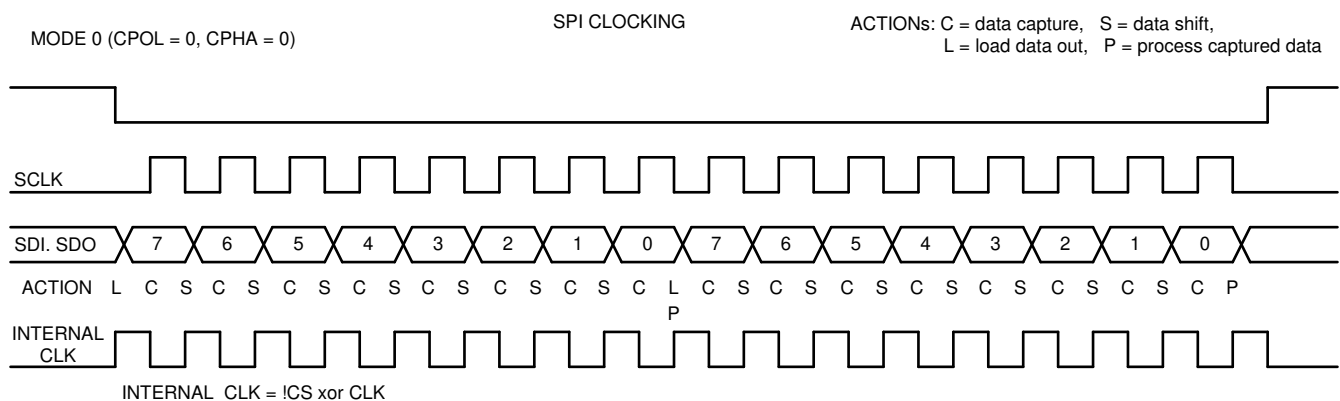


図 7-15. SPI クロック

注

nCS ピンがフローティング状態になった場合のピン状態を保護するため、内部プルアップ抵抗が内蔵されています。

7.5.1.3 SPI データ入力 (SDI) :

この入力ピンは、デバイスにデータをシフトインするために使用されます。nCS が Low になって SPI が有効化されると、SDI は SCLK の各立ち上がりエッジでシフト入力データをサンプリングします。データは 32 ビットのシフトレジスタに取り込まれます。書き込みコマンドコードが指定されている場合、新しいデータは、SCLK によって正確に 32 ビットがシフトインされ、nCS が立ち上がってデバイスが非選択状態になるタイミングで、指定されたレジスタに書き込まれます。一つの SPI トランザクション (nCS Low) 中に、正確に 32 ビットの倍数がデバイスに取り込まれない場合、転送の最後のワードは無視され、SPIERR フラグが設定されます。

注

各 SPI トランザクションに 32 ビットの倍数が必要なため、SPI を並列動作させるには、デバイスはシフトレジスタのデイジーチェーンとしてではなく、nCS を使用してデバイスを制御するバスとして配線する必要があります。

注

SDI ピンがフローティング状態になる場合にピン状態を保護するため、内部プルアップ抵抗が備えられています。

7.5.1.4 SPI データ出力 (SDO)

nCS によって SPI 出力が有効になるまで、このピンはハイインピーダンスです。nCS の Low により SPI が有効になると、SDO は直ちに High または Low に駆動され、グローバル故障フラグのステータスを示します。これは、SPI にクロックが供給されている場合にシフトアウトされる最初のビット (ビット 32) でもあります。SCLK が開始されると、クロックの最初の "Low" から "High" のエッジで、SDO はグローバル故障フラグ (シフトのビット 31) を保持します。SCLK の最初の立ち下がりエッジでは、32 ビットすべてがシフトレジスタからシフトアウトされるまで、データのシフトアウトが SCLK の各立ち下がりエッジを継続します。

7.5.1.5 SPI ヘッド形式およびバイト順序

各 SPI フレームは、1 ワードの SPI ヘッドで始まります。このヘッドには、転送される SPI フレームに関するいくつかの重要な情報をデバイスに伝えるための情報が含まれています。次のものが含まれています：

1. 操作コード (オペコード)。フレームが読み取りか書き込みか (バイト順序も同様) を定義します
2. アクセスされるレジスタの開始アドレス
3. 転送されるワード数 (ワードあたり 4 バイト)

SPI CRC が有効になっている場合、すべての SPI フレームは CRC ワードで終了します。詳細については、[セクション 7.5.1.6](#) を参照してください。

開始アドレスはワード境界 (32 ビット) に合わせる必要があります。レジスタにアクセスする際、アドレスは常にワード (32 ビット / 4 バイト) 境界に整列されるため、アドレスのビット [1:0] は無視されます。M_CAN レジスタへのアクセス例として、レジスタ 0x1004 にアクセスする場合、SPI アドレスに 1004、1005、1006、または 1007 を指定しても、アクセスされるのはレジスタ 1004 です。この例では、レジスタは 32 ビットであり、1004 のみが有効です。

MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要です。例えば、目的の開始アドレスが 0x8634 の場合、SA[15:0] の値は 0x0634 になります。

表 7-13 は、プログラミング オペコードを提供します。

表 7-13. アクセス コマンド

名称	オペコード	説明	使用法 (ヘッド)
WRITE_B_H (バースト: 固定長 SPI 書き込み、高位データバイト先行)	8'h61	一つ以上のアドレスに対して、高位データバイト先行で書き込みます	< WRITE_B_FL > <2 address bytes> <1 length bytes> <data payload to device>
READ_B_H (バースト: 固定長 SPI 読み取り、高位データバイト先行)	8'h41	一つ以上のアドレスを、高位データバイト先行で読み取ります	< READ_B_FL > <2 address bytes> <1 length bytes> <data payload from device>
WRITE_B_L (バースト: 固定長 SPI 書き込み、下位データバイト先行)	8'h60	一つ以上のアドレスに対して、下位データバイト先行で書き込み	< WRITE_B_FL > <2 address bytes> <1 length bytes> <data payload to device>
READ_B_L (バースト: 固定長 SPI 読み取り、下位データバイト先行)	8'h40	一つ以上のアドレスを、下位データバイト先行で読み取ります	< READ_B_FL > <2 address bytes> <1 length bytes> <data payload from device>

注

長さフィールドにはヘッドワードは含まれず、ヘッド後に転送されるデータ バイト数のみが含まれます。CRC を使用する場合、CRC ワードも含まれません。

注

- 下位 2 ビットのアドレスは無視されます
- 8'h00 の長さは、転送される 256 ワードを示します

WRITE_B_H

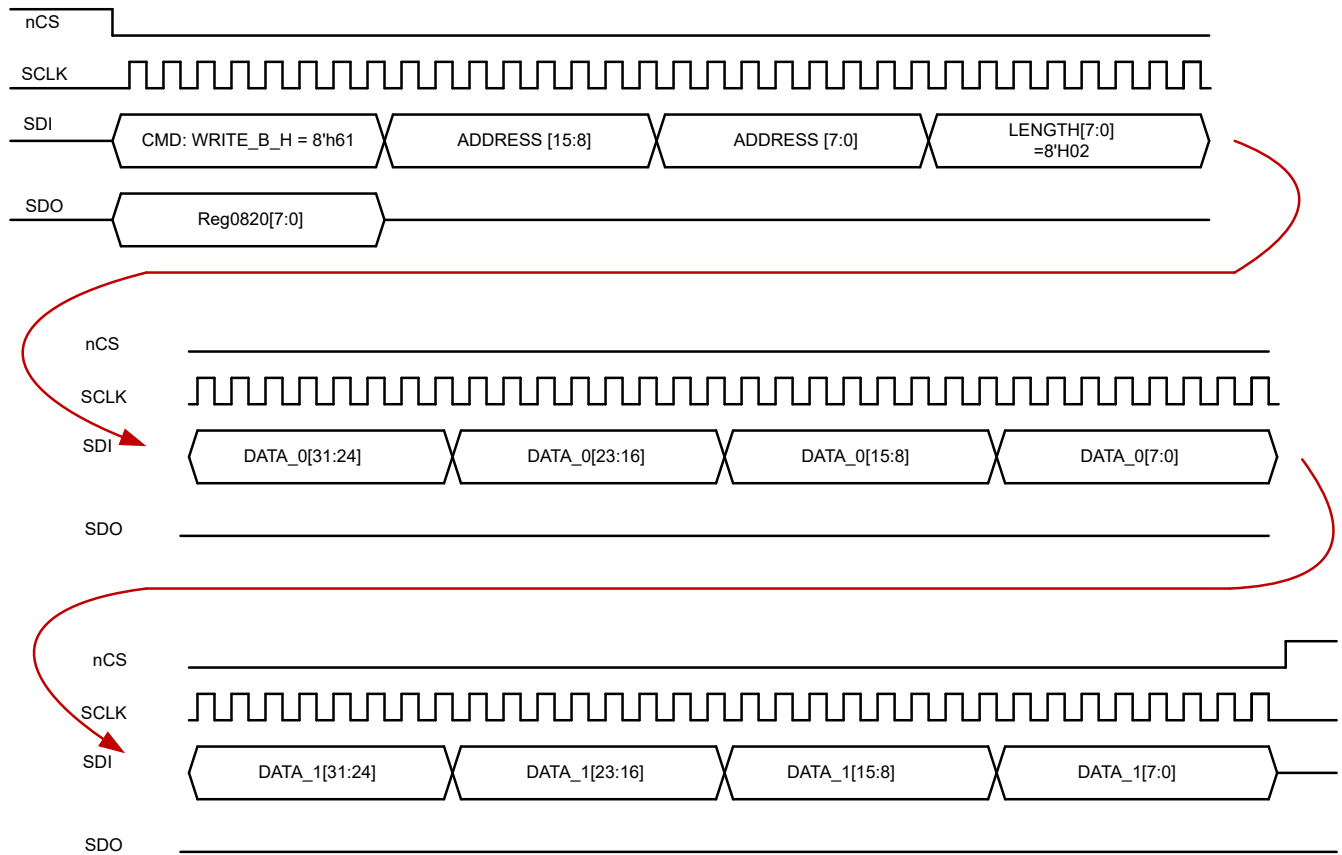


図 7-16. 書き込み、高位バイト先行 (コマンド オペコード 8'h61)

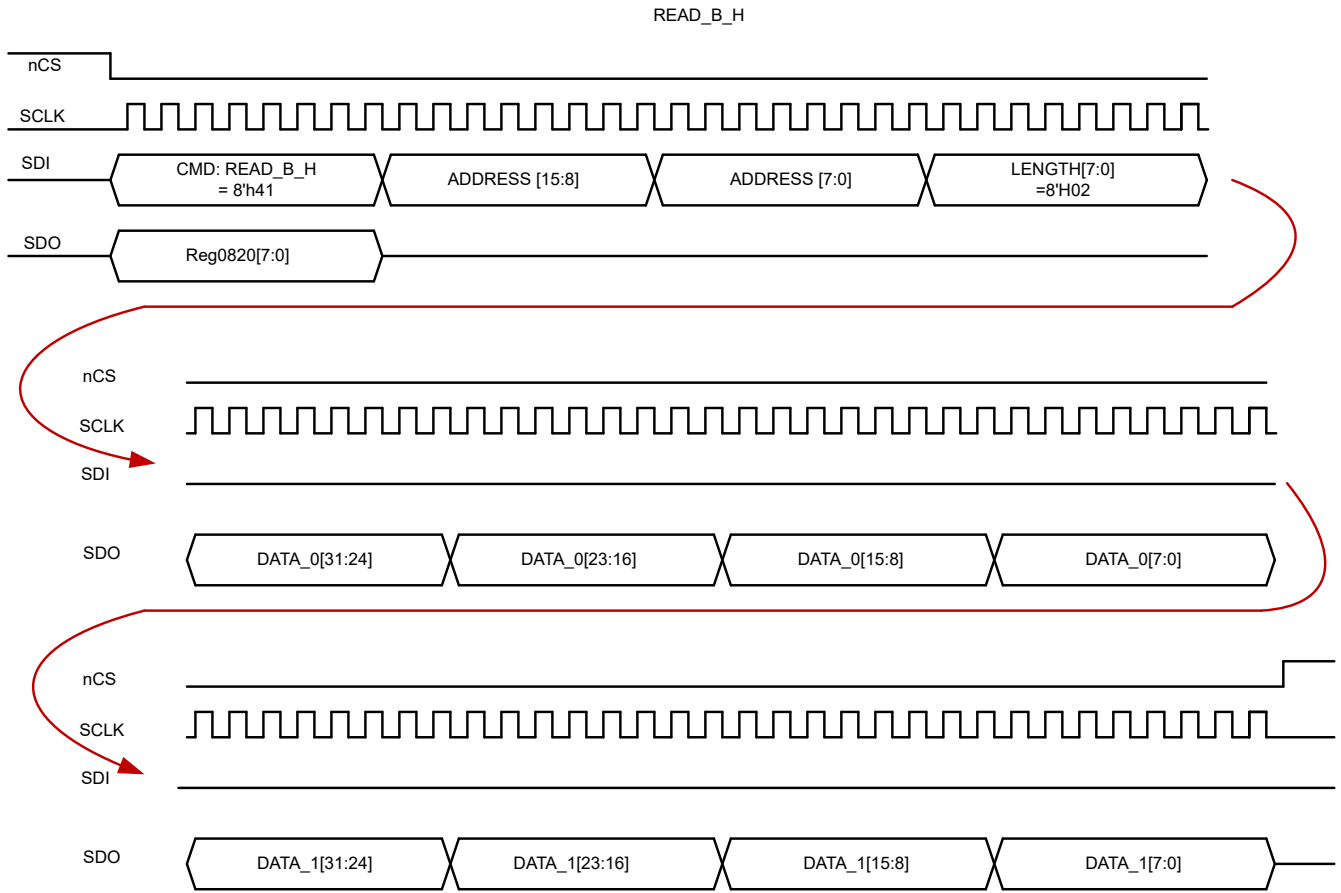


図 7-17. 読み取り、高位バイト先行 (コマンド オペコード 8'h41)

WRITE_B_L

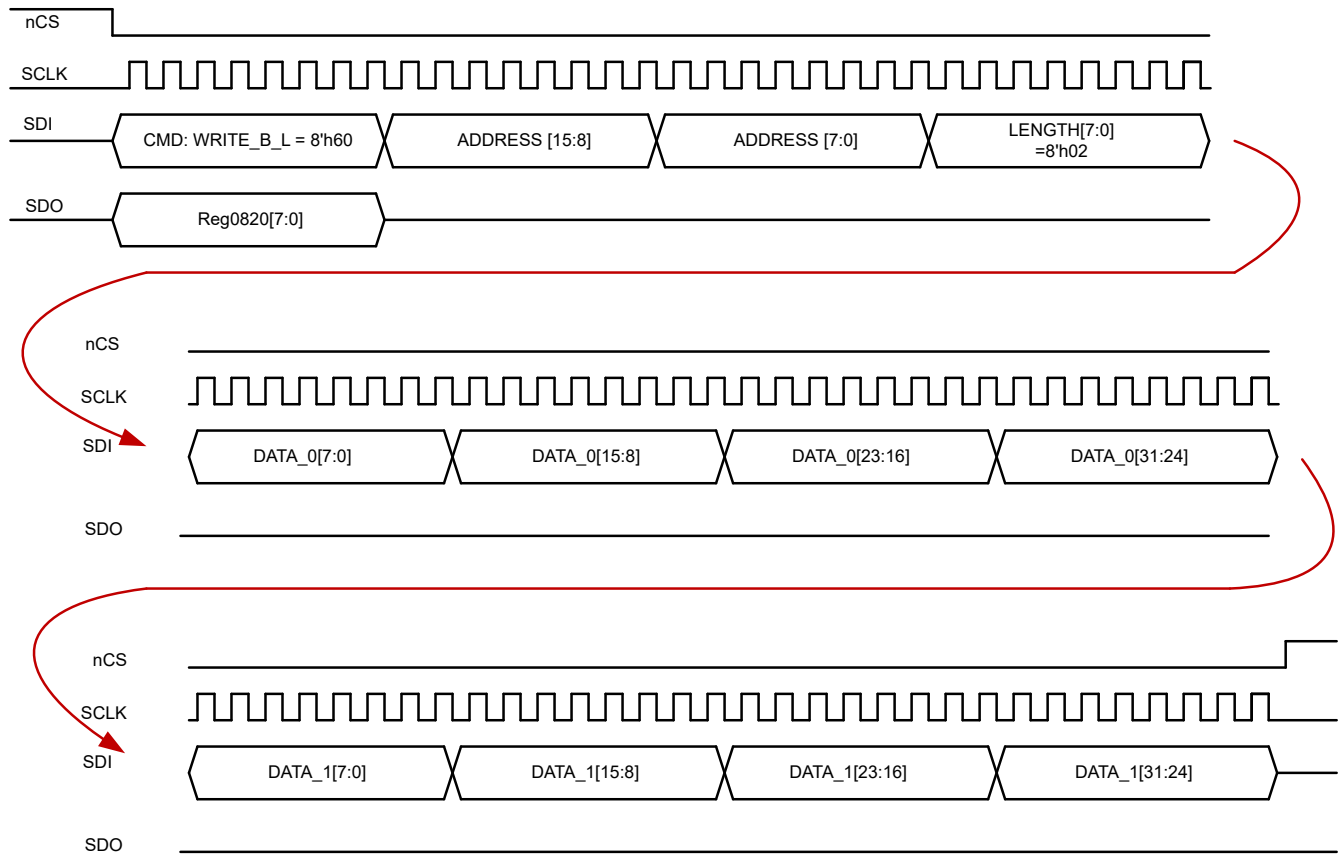


図 7-18. 書き込み、下位バイト先行 (コマンド オペコード 8'h60)

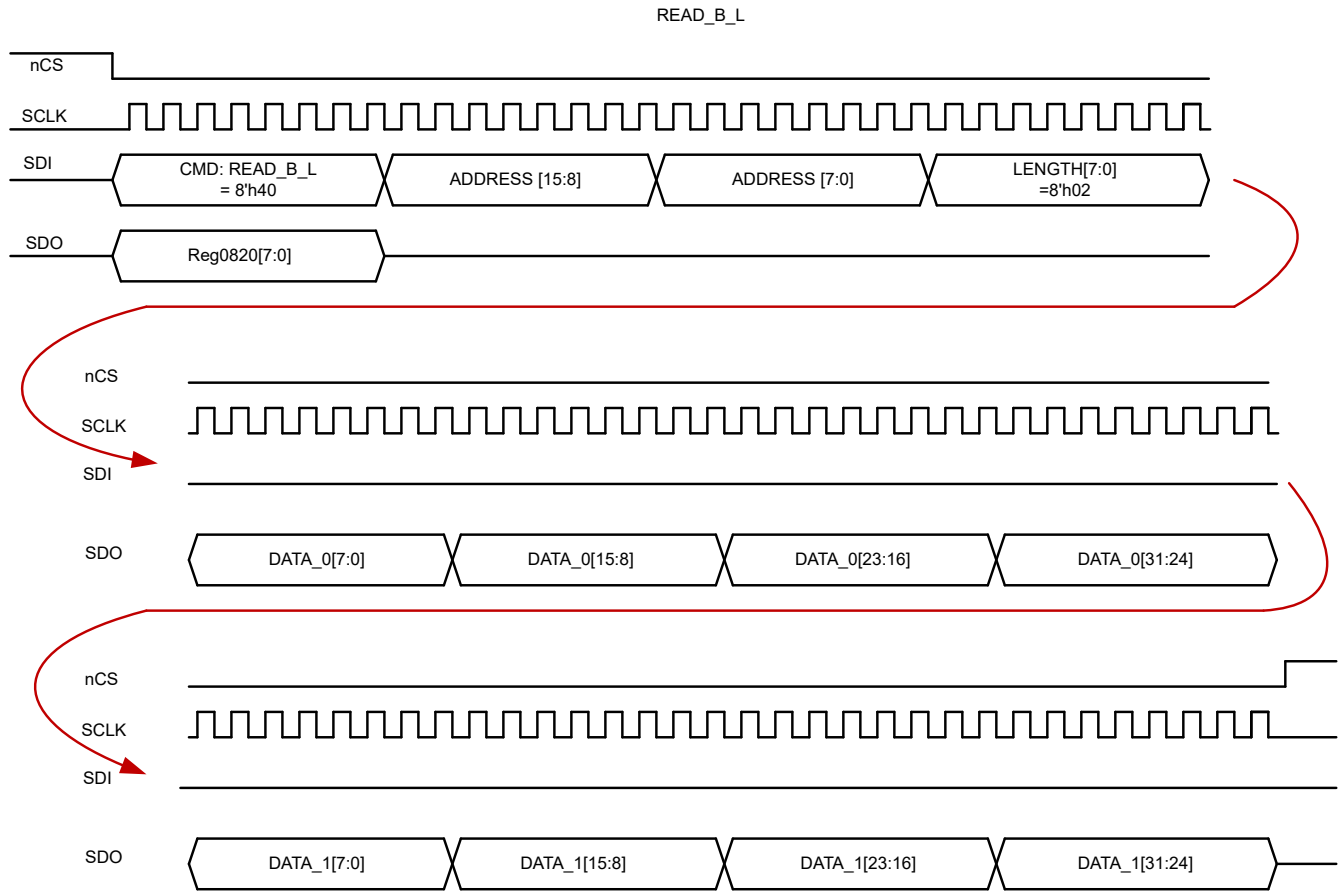


図 7-19. 読み取り、下位バイト先行 (コマンド オペコード 8'h40)

7.5.1.6 SPI 巡回冗長検査 (CRC)

SPI インターフェイスは、16 ビット CRC を含む SPI フレームをサポートしています。データには 16 ビット CRC が使用され、CRC に使用される 32 ビットワードの末尾でステータス フラグを送信できるようになっています。

デフォルトでは、CRC はイネーブルされていません。CRC を有効にするには、SPI 設定レジスタ内の対応するビットを有効にする必要があります。有効にすると、SPI モジュールはストア アンド フォワード型の動作を行い、SPI トランザクションの終了まで待機して、計算された CRC が一致することを確認した後、データを目的のレジスタへ書き込みます。CRC が一致しない場合、CRC_STATUS バイトは否定応答を示し、データはレジスタに書き込まれません。これにより、ビット反転によるデータ破損が発生しないようにします。

CRC 設定では、フリップング (CRC 計算時のバイト順序の反転) およびプログラム可能な 32 ビット シードをサポートしており、このシードは各 SPI トランザクションの開始シードとして使用されます。

注

SPI CRC が有効な場合、SPI ドメイン以外のレジスタ (0x1000 以上のレジスタ) に対する一回の SPI トランザクションあたりの最大ワード長は、18 ワード (72 バイト) です。それより長いトランザクションが必要な場合は、複数の短いメッセージに分割する必要があります。CRC が有効な状態で 18 ワードを超えるワード長が要求された場合、その書き込みは無視されます。読み取りの場合、18 ワード制限は適用されず、最大 256 ワード (0 で表現) まで引き続き使用できます。SPI ドメイン レジスタ (0x0000 ~ 0x0FFF) の場合、最大サイズは小さくなります。

図 7-20 に示すように、CRC ワードは、読み取りと書き込みの両方において、常にトランザクションの最後のワードになります。SPI ワードの最初の 16 ビットは、常に 16 ビットの CRC 値です。これをワードの先頭に配置することで、デバイスは CRC を計算してステータスを返すための十分な時間を確保できます。

WRITE_B_x (CRC Enabled)

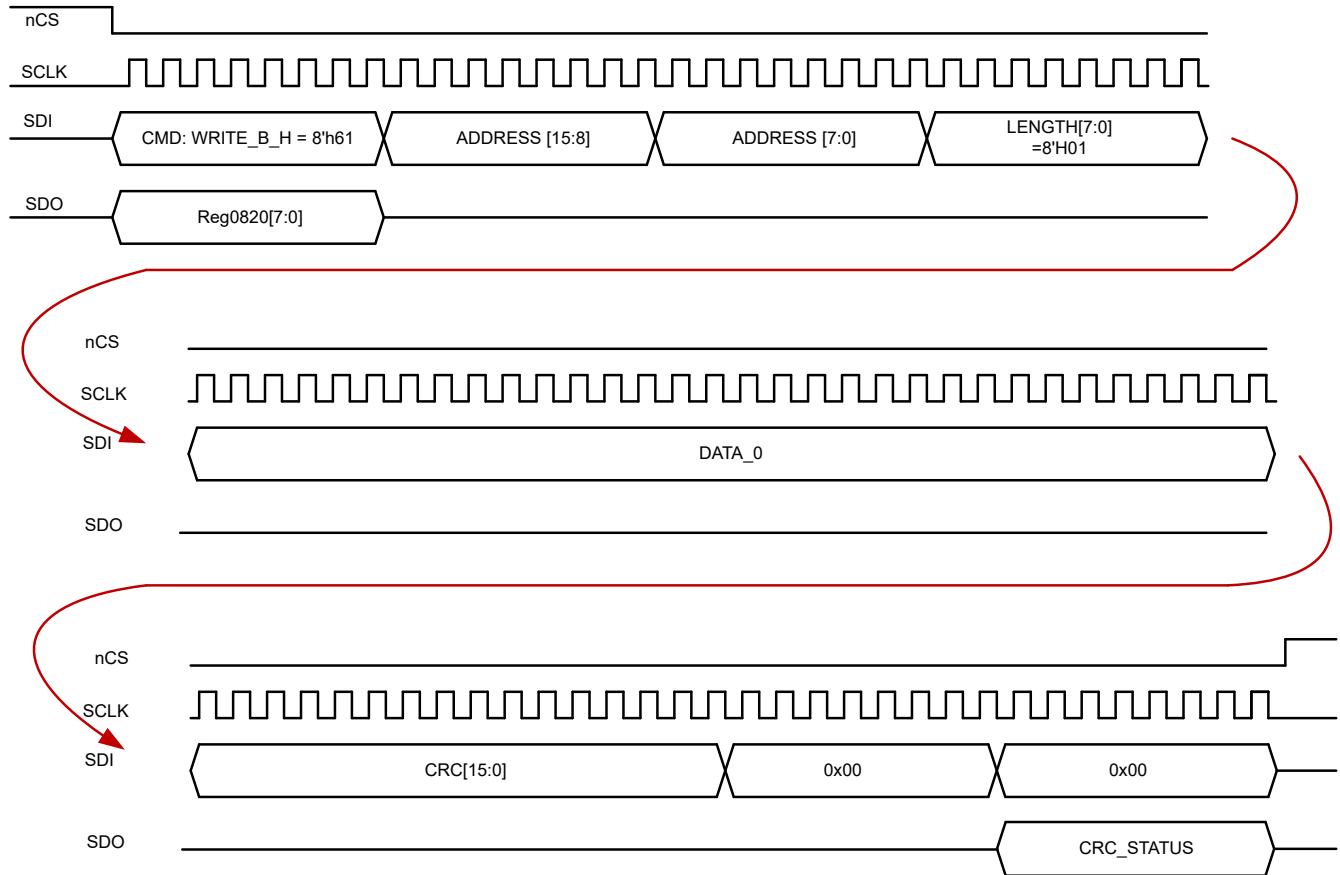


図 7-20. CRC SPI トランザクションの例

ADVANCE INFORMATION

7.5.2 MCAN CAN FD コントローラと MRAM のプログラミング

TCAN4572-Q1 には、CAN メッセージの送受信に使用される Bosch MCAN CAN FD コントローラが内蔵されています。CAN フレームの送受信方法の詳細および例については、『[TCAN45xx ソフトウェア ユーザー ガイド](#)』の「CAN/CAN FD」のセクションを参照してください。このユーザー ガイドでは、MRAM の設定方法および CAN フレームの送受信方法に関する例を提供しています。

7.5.3 MRAM アロケーション

TCAN4572-Q1 は、2048 バイトのデバイス メモリ RAM (MRAM) を備えており、システム要件に応じて、TX/RX バッファまたは FIFO 用に完全に構成可能です。まだ書き込まれていないメモリ領域の読み出し時に ECC エラーが発生するのを防ぐため、POR 時に MRAM は自動的に 0 で埋められます。この処理により、MRAM 用の有効な ECC 値が生成され、既知の状態になります。

このメモリは、すべての MCAN 機能 (メッセージフィルタ、TX FIFO、RX FIFO、RX バッファなど)。

これらのセクションが重複しないよう十分注意することが重要です。重複すると、予期しない動作が発生する可能性があります。

7.5.4 MCAN DMA の改善

TCAN4572-Q1 には、スループットを向上させるための追加機能があります。この機能により、既知のアドレスを読み書きして、内部 TCAN4572-Q1MRAM との間で CAN メッセージをシフトすることで、DMA に似た機能を実現できます。nWKRQ ピンは、新着メッセージ専用の割り込み出力として再利用することもできます。この場合、FIFO 内に新しいメッセージが存在するかどうかに応じて、クリアおよびセットされます。

その結果、複数の SPI レジスタの読み取りが除去されます。RX FIFO 0 の MRAM からメッセージを読み取りの一般的な処理の例として、次のようになります：

1. IR レジスタを読み出し、MCAN ビットがセットされていることを確認します。
2. MCAN IR レジスタを読み取り、RX0N がセットされていることを確認します (RX FIFO 0 に新しいメッセージがあります)。
3. RXF0S を読み取り、FIFO 内に何件のメッセージがあるか、および開始アドレスがどこかを確認します。
4. MRAM のベース アドレスが保存されていない場合は、RXF0C を読み取ってベース アドレスを確認します
5. 計算を実行して FIFO アドレスを決定します。MRAM から FIFO の内容を読み取ります。
6. RXF0A に書き込んで、FIFO メッセージを確認します。

RX DMA から読み取る処理の例を示します

1. (新しいメッセージ割り込みモードでは) nWKRQ は low にプルされます。
2. マイコンは、RX DMA アドレス (16'h5100) から FIFO 要素ワード分のデータを読み取ります。
3. nWKRQ がまだ low のままであるかどうかを確認します。該当する場合、nWKRQ が high になるまで手順 2 を繰り返します。

これにより、受信メッセージごとに 6 回以上の読み取りを行う代わりに、1 回の SPI 読み取りのみで済みます。

各 DMA セクションのアドレスは以下のとおりです：

- レジスタ 16'h5000 ~ 16'h5044 は TX DMA です
- レジスタ 16'h5100 ~ 16'h5144 は RX0 DMA です
- レジスタ 16'h5200 ~ 16'h5244 は RX1 DMA です

注

MRAM は、引き続き通常どおり設定する必要があります。デバイスは FIFO モード用に設定する必要があり、ユーザーは 0x8000 レジスタ空間内のこのレジスタ領域へ手動でアクセスしてはいけません。そうしないと、予期しない結果が発生する可能性があります。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション設計に関する考慮事項

8.1.1 水晶振動子とクロック入力の要件

水晶振動子またはクロック入力の選択は、システムの実装に応じて異なります。2Mbps および 5Mbps の CAN FD をサポートするため、クロック入力または水晶発振子には 0.5% の周波数精度が必要です。2Mbps の CAN FD をサポートするには、最小 20MHz が必要です。より高いデータ スループットをサポートするため、最大 5Mbps の CAN FD データレートに対応する CLKIN または水晶発振子の推奨値は 40MHz です。水晶振動子を使用する場合は、適切なバイアスに関するメーカーのドキュメントを参照してください。

水晶発振子のレイアウトは重要であり、OSC1 ピンと水晶発振子端子の間に電力消費抵抗を配置することも推奨されます。初期状態では 0Ω を使用できますが、フットプリントを用意しておくことで、必要に応じて水晶発振子に供給する電力を調整できるようになります。

注

TCAN4572-Q1 は NX2016SA 20MHz および 40MHz 水晶を使用して評価しました

8.1.2 バスの負荷、長さ、ノード数

一般的な CAN アプリケーションでは、最大バス長は 40m、最大スタブ長は 0.3m です。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、このトランシーバファミリーのような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO 11898-2:2016 規格外のアプリケーションへと CAN の使用を拡大してきました。これらは、データレート、ケーブル長、およびバスの寄生負荷に関するシステム レベルのトレードオフを考慮して策定されています。こうした CAN システム レベル仕様の例として、ARINC825、CANopen、DeviceNet、SAE J2284、SAE J1939、および NMEA200 があります。

CAN システム設計は、一連のトレードオフの上に成り立っています。ISO 11898-2:2016 では、ドライバの差動出力は、50Ω ~ 65Ω のバス負荷条件で規定されており、その差動出力は 1.5V を超える必要があります。TCAN4572-Q1 は、この負荷範囲において 1.5V の要件を満たすことが規定されており、45Ω のバス負荷で 1.4V の差動出力を満たすように規定されています。このトランシーバファミリーの差動入力抵抗は最小で 30kΩ です。167 個のこれらのトランシーバをバス上で並列に接続する場合は、終端から 60Ω と並列に接続された 180Ω の差動負荷に相当し、合計バス負荷は 45Ω になります。したがって、このファミリーは理論的には、各受信ノードで最小差動入力電圧要件として 1.2V までのマージンを備えた単一のバスセグメント上で、167 個を超えるトランシーバをサポートします。ただし、CAN 回路の設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、タイミング、回路の不均衡、グランドオフセット、および信号品位に対してマージンを与える必要があるため、実際の最大ノード数のはるかに少なくなります。また、バス長は、慎重なシステム設計およびデータ レートとのトレードオフにより、本来の ISO 11898-2:2016 規格の 40m を超えて延長することが可能です。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。

CAN ネットワーク設計のこの柔軟性は、システム レベルのネットワーク拡張と追加の標準を元の ISO 11898-2 CAN 標準に基づいて構築できるようにする重要な強みの一つです。ただし、この柔軟性を使用する場合は、堅牢なネットワーク動作のために適切なネットワーク設計を行う責任が CAN ネットワーク システムの設計者に課されます。

8.1.3 CAN の終端

標準的な CAN バス接続では、特性インピーダンス (Z_0) が 120Ω のツイスト ペア ケーブル (シールドありまたはなし) を一対使用します。

8.1.3.1 終端

信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端します。ノードをバスに接続する終端されていないドロップライン (スタブ) は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端はノード内で行うこともできますが、一般的には推奨されません。特にノードがバスから取り外される可能性がある場合はなおさらです。終端は、バスから取り外されないように慎重に配置する必要があります。CANopen などのシステムレベルの CAN 実装では、ケーブル長を延長するなど、様々な終端処理や配線方法が採用されています。

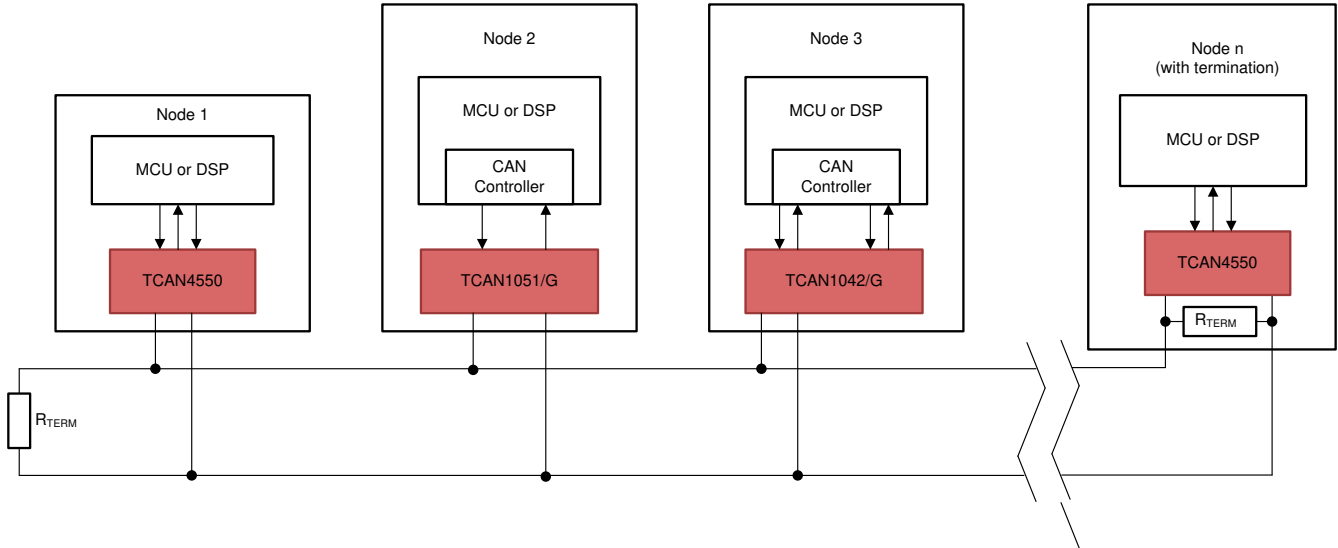


図 8-1. 代表的な CAN バス

終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの共通モード電圧のフィルタリングと安定化が必要な場合は、「分割終端」を使用できます。図 8-2 を参照してください。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧レベルの変動を排除することで、ネットワークの電磁放射の挙動を改善します。

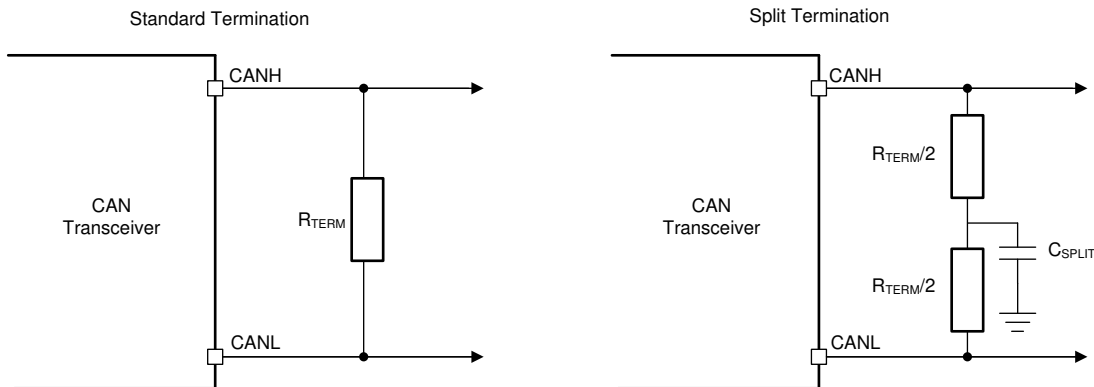


図 8-2. CAN バス終端の概念

8.1.3.2 CAN バスのバイアス印加

バスバイアスは通常バイアスの場合があり、通常モードではアクティブ、低消費電力モードでは非アクティブです。自動電圧バイアス印加とは通常モードでバスがアクティブな状態ですが、低消費電力モードでは CANH と CANL 間の電圧によって制御されます。図 8-3 は、TCAN4572-Q1 が自動バイアス印加を実行する方法の状態図を示しています。図 8-4 は、動作モードに基づいてバス バイアスを提供します。

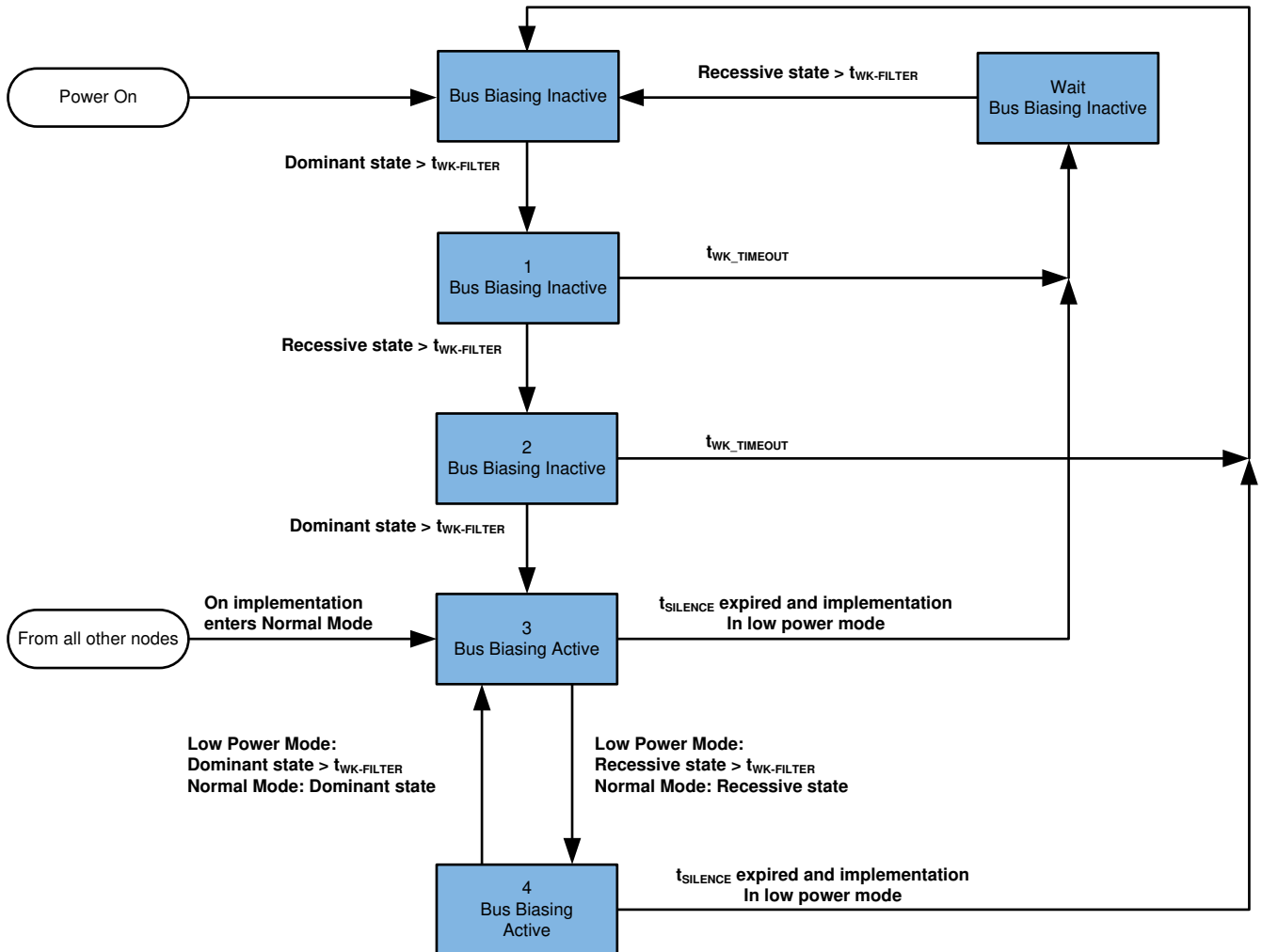


図 8-3. 自動バスバイアス印加の状態図

ADVANCE INFORMATION

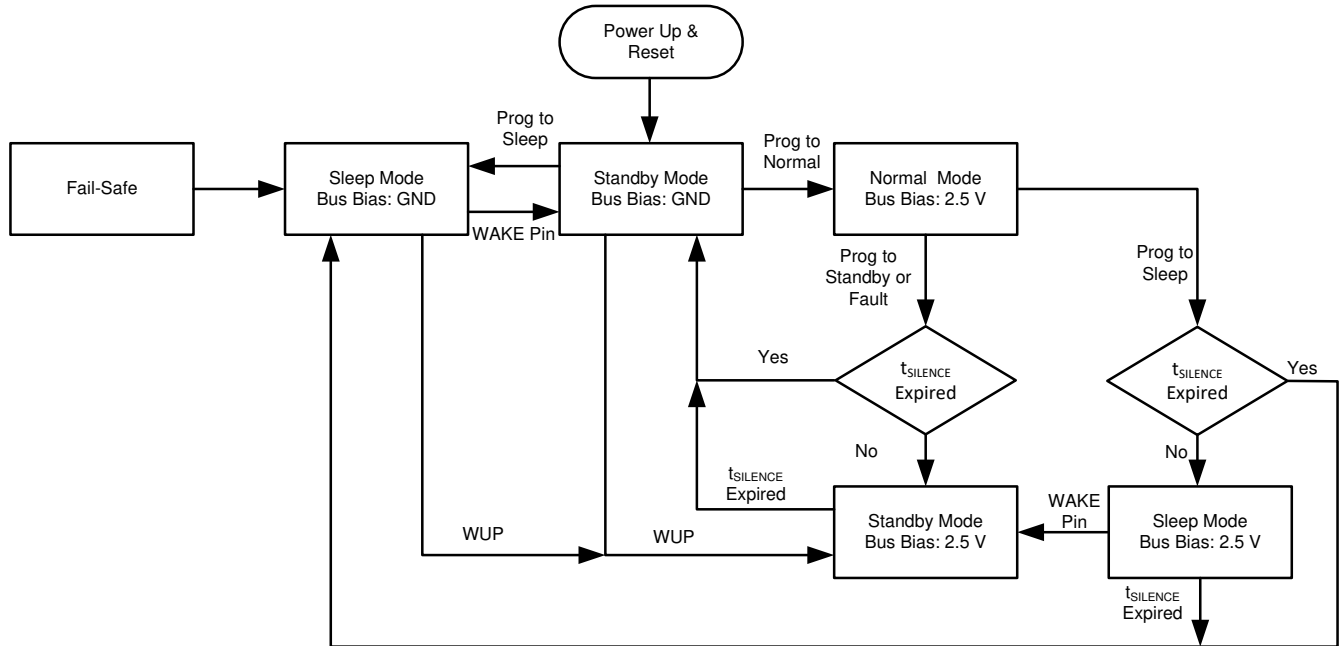


図 8-4. 動作モードに基づくバス バイアス印加

8.2 代表的なアプリケーション

TCAN4572-Q1 は通常、CAN プロトコルのリンク層部分を含まないホスト マイクロプロセッサまたは FPGA を使用するアプリケーションで使用されます。図 8-5 は、3.3V マイクロプロセッサ アプリケーション向けの一般的な構成例です。

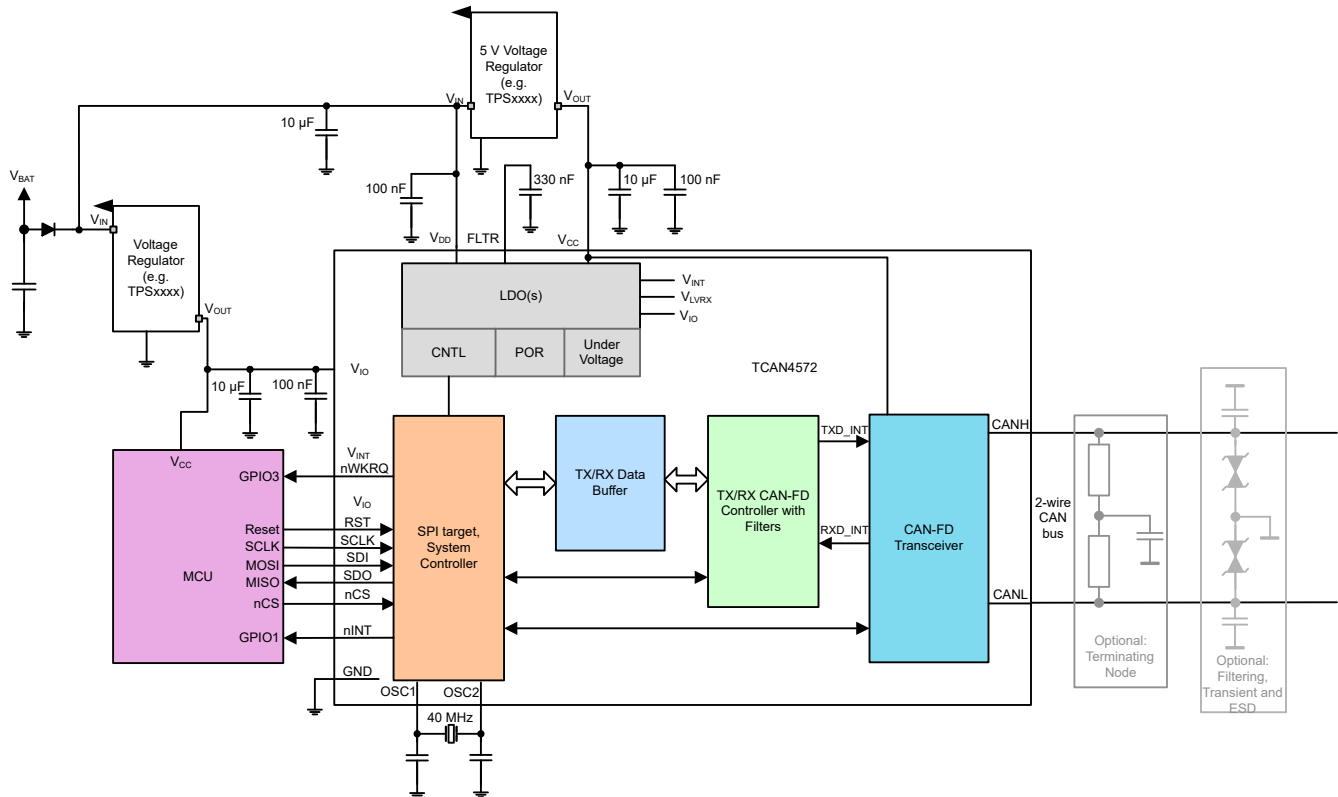


図 8-5. 3.3V μ C および水晶発振子向け TCAN4572-Q1 の一般的な CAN アプリケーション

8.2.1 要件の詳細

TCAN4572-Q1 は、マイクロプロセッサの電圧レギュレータからの V_{IO} ピンを使用することで、3.3V、5V のマイクロプロセッサと動作します。バス終端を、説明のために示します。

8.2.2 設計手順の詳細

TCAN4572-Q1 は、ISO 11898 規格に準拠し、45 Ω ~ 65 Ω のバス負荷をサポートするアプリケーションで動作するように設計されています。TCAN4572-Q1 は、最大 5Mbps の CAN FD データレートをサポートしているため、40MHz 水晶振動子を使用し、プロセッサとデバイス間でトレース長をできるだけ短く一致させて維持することを推奨します。CAN スタブ長は規格で定義されているため、システムは規格に従って設計することを推奨します。高温および広い入力電圧範囲に対応するため、最高の性能を得るには、適切な熱放散手法を用いた High-k 基板を使用することを推奨します。

8.2.3 アプリケーション曲線

内部発振器の値は温度によって変化し、一般に温度の両極端 (低温および高温コーナー) では低下します。また、VDD 電圧が極端に低い場合にも、発振器の動作速度が低下する可能性があることに注意する必要があります。

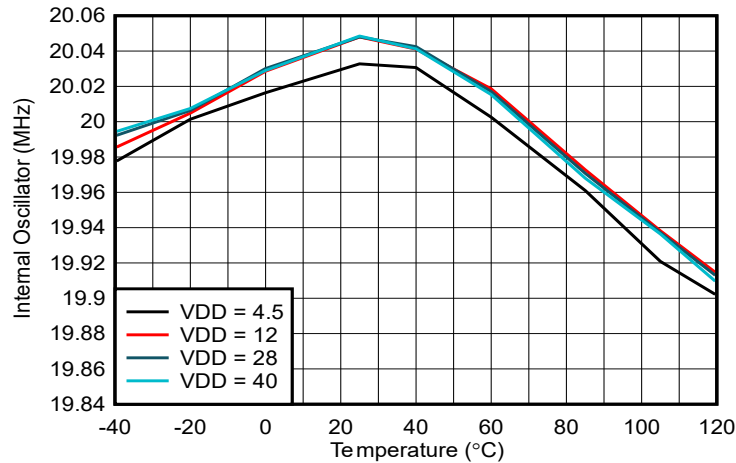


図 8-6. 温度および電圧に対する発振器値

8.3 電源に関する推奨事項

TCAN4572-Q1 は、 V_{DD} ピンの広い範囲の電圧で動作するように設計されています。CAN トランシーバは、 V_{CC} 入力によりサポートされています。幅広いマイクロプロセッサをサポートするため、SPI インターフェイスは V_{IO} ピンから給電されており、1.8V ~ 5V の公称電源レール レベルをサポートします。バルク容量は、システム要件を満たす V_{DD} 、 V_{IO} 、および V_{CC} 電圧レールに配置する必要があります。デカップリング ノイズを防止するため、 V_{DD} 、 V_{IO} 、および V_{CC} 電源端子の近くに 100nF の容量を配置することを推奨します。

注

- 選択する静電容量値は、経時劣化を考慮し、値が示されている最小値を下回らないようにする必要があります。
- 上記は最小限の静電容量であり、システム要件によっては、さらに大きな容量が必要になる場合があります。

8.4 レイアウト

堅牢で信頼性の高いバスノード設計を実現するには、工業環境で発生し得る EFT やサージ過渡から保護するために、外付けの過渡保護デバイスを使用する必要があることがよくあります。ESD およびトランジスタの過渡現象は、およそ 3MHz ~ 3GHz にわたる広い周波数帯域を持つため、PCB 設計時には高周波レイアウト技術を適用する必要があります。このファミリは高いオンチップ IEC ESD 保護機能を搭載していますが、より高いレベルのシステム耐性が必要な場合は外部 TVS ダイオードを使用できます。TVS ダイオードとバスフィルタリング コンデンサをオンボード コネクタのできるだけ近くに配置すると、ノイズの多い過渡イベントが PCB やシステム内に伝播することを防止できます。

8.4.1 レイアウトのガイドライン

過渡現象、ESD、ノイズがボード上に伝播するのを防ぐため、保護およびフィルタリング回路をバス コネクタ J1 のできるだけ近くに配置します。このレイアウト例では、デバイスの周囲のコンポーネントに関する情報を提供します。過渡電圧抑制 (TVS) デバイスを追加することで、D1 に示すように保護を強化できます。量産ソリューションでは、アプリケーション要件に一致する定格を持つ双方向 TVS ダイオードまたはバリスタを使用できます。この例では、オプションのバスフィルタ コンデンサ C10、および C11 も示しています。直列同相モードチョーク (CMC) を、コネクタ J1 と TCAN4572-Q1 の間の CANH ラインおよび CANL ライン上に配置します。

信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。電源およびグランド プレーンを使用して、低インダクタンスを実現します。

注

高周波電流は、抵抗が最小なパスではなく、インピーダンスが最小なパスに追従します。

水晶発振器には特別な考慮事項があるため、ユーザーはアプリケーション ノート「TCAN455x クロック最適化および設計ガイドライン」『TCAN455x クロック最適化および設計のガイドライン (SLLA549)』を読むことを推奨します。これらの推奨事項の一部を以下に示します

- OSC1 と水晶発振器の間に電力消費抵抗を配置します。この抵抗は、水晶発振器が過駆動状態になった場合に、水晶発振器への電力を低減するために使用できます。これは、R1 を使用した例に示されています

必要に応じて、トレースおよびビアのインダクタンスを最小限に抑えるため、バイパス コンデンサおよび保護デバイスの電源接続とグランド接続には、少なくとも二つのビアを使用します。

- バイパス コンデンサおよびバルク コンデンサは、トランシーバの電源端子のできるだけ近くに配置する必要があります。例として、FLTR、V_{IO}、V_{CC} ピンの C3、C4、C5、および V_{DD} 電源の C6、C7 があります。
- バス終端: このレイアウト例では、分割終端を示します。終端は 2 つの抵抗 R5 と R6 に分割され、終端の中央タップまたは分割タップはコンデンサ C9 を介してグランドに接続されます。分割終端はバス同相モードフィルタを提供します。バス終端をバス上に直接配置するのではなく、ボード上に配置する場合は、終端ノードがバスから外れないように、また終端も外れないように注意する必要があります。
- nINT および nWKRQ はオープンドレインであるため、電源 (通常は V_{IO} への外部抵抗が必要です。抵抗値は 1kΩ ~ 10kΩ の範囲で使用できます。

8.4.2 レイアウト例

注

CANH および CANL のチョークとより高度なバランシング ネットワークは必須ではありませんが、エミッション性能が向上します。

9 レジスタ マップ

TCAN4572-Q1 には、32 ビット アドレッシングを持つ包括的なレジスタ セットがあります。レジスタは、いくつかのセクションに分かれています:

- デバイス ID および割り込み / 診断フラグ レジスタ: 16'h0000 ~ 16'h002F
- デバイス構成レジスタ: 16'h0800 ~ 16'h08FF
- CAN FD レジスタ: 16'h1000 ~ 16'h10FF
- CAN TX DMA レジスタ: 16'h5000 ~ 16'h5044
- CAN RX0 DMA レジスタ: 16'h5100 ~ 16'h5144
- CAN RX1 DMA レジスタ: 16'h5200 ~ 16'h5244

9.1 DEVICE_INFO_AND_SPI レジスタ

Device_Info_and_SPI レジスタのメモリマップされたレジスタを、[セクション 9.1](#) に示します。[セクション 9.1](#) にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

デバイス情報および SPI レジスタ

表 9-1. DEVICE_INFO_AND_SPI レジスタ

アドレス	略称	レジスタ名	セクション
0x0	DEVICE_ID0	デバイス ID 0	セクション 9.1.1
0x4	DEVICE_ID1	デバイス ID 1	セクション 9.1.2
0x8	DEVICE_REV	デバイスリビジョン	セクション 9.1.3
0xC	SPI_IR_STATUS	SPI ステータスと割り込み	セクション 9.1.4
0x10	SPI_IE	SPI 割り込みイネーブル	セクション 9.1.5
0x14	SPI_CRC_CONF	SPI CRC 構成	セクション 9.1.6
0x18	SPI_CRC_SEED	SPI CRC シード値	セクション 9.1.7
0x1C	スクラッチ パッド	スクラッチ パッド	セクション 9.1.8

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。[セクション 9.1](#) に、このセクションでアクセスタイプに使用しているコードを示します。

表 9-2. Device_Info_and_SPI のアクセス タイプ コード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.1.1 DEVICE_ID0 レジスタ (アドレス = 0x0) [リセット = 0x4E414354]

図 9-1 に、DEVICE_ID0 を示し、表 9-3 に、その説明を示します。

概略表に戻ります。

図 9-1. DEVICE_ID0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEVICE_ID0[31:0]																															
R-0x4E414354																															

表 9-3. DEVICE_ID0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEVICE_ID0[31:0]	R	0x4E414354	「TCAN」のための ASCII

9.1.2 DEVICE_ID1 レジスタ (アドレス = 0x4) [リセット = 0x32373534]

図 9-2 に、DEVICE_ID1 を示し、表 9-4 に、その説明を示します。

概略表に戻ります。

図 9-2. DEVICE_ID1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEVICE_ID1[31:0]																															
R-0x32373534																															

表 9-4. DEVICE_ID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEVICE_ID1[31:0]	R	0x32373534	ASCII の場合は「4572」

9.1.3 DEVICE_REV レジスタ (アドレス = 0x8) [リセット = 0x04000300]

DEVICE_REV は図 9-3 に示されており、表 9-5 で説明されています。

[概略表](#)に戻ります。

図 9-3. DEVICE_REV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SPI_REVISION R-0x4								予約済み R-0x0							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV_MAJOR R-0x3								REV_MINOR R-0x0							

表 9-5. DEVICE_REV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	SPI_REVISION	R	0x4	SPI モジュールのリビジョンバージョン
23-16	予約済み	R	0x0	予約済み
15-8	REV_MAJOR	R	0x3	デバイスリビジョン ID メジャー
7-0	REV_MINOR	R	0x0	デバイスリビジョン ID マイナー

9.1.4 SPI_IR_STATUS レジスタ (アドレス = 0xC) [リセット = 0x00000000]

SPI_IR_STATUS は図 9-4 に示されており、表 9-6 で説明されています。

概略表に戻ります。

図 9-4. SPI_IR_STATUS レジスタ

31	30	29	28	27	26	25	24
予約済み	SLP_IA	INT_R_ERR	INT_W_ERR	ERR_LOG_NE	R_FIFO_UF	R_FIFO_EMPTY	W_FIFO_OF
R-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
23	22	21	20	19	18	17	16
予約済み	CRC_ERR	SPI_END_ERR	IC	SPI_W_OF	SPI_W_UF	SPI_R_OF	SPI_R_UF
R-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
15	14	13	12	11	10	9	8
予約済み							
R-0x0							
7	6	5	4	3	2	1	0
予約済み		W_FIFO_A	R_FIFO_A	INT_ACT	INT_ERR	SPI_ERR	割り込み
R-0x0		R-0x0	R-0x0	RH-0x0	R-0x0	R-0x0	R-0x0

表 9-6. SPI_IR_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	予約済み
30	SLP_IA	R/W1C	0x0	スリープ モード中に無効なアドレスを読み取ろうとしました。 スリープ モードでは、ほとんどのレジスタにアクセスできません
29	INT_R_ERR	R/W1C	0x0	内部読み取りエラー
28	INT_W_ERR	R/W1C	0x0	内部書き込みエラー
27	ERR_LOG_NE	R/W1C	0x0	エントリは内部エラー ログに書き込まれました
26	R_FIFO_UF	R/W1C	0x0	1 つ以上の読み取りデータワードを返した後に、読み出し FIFO アンダーフローが発生しました。 これは通常、高速クロックに問題があることを示しています
25	R_FIFO_EMPTY	R/W1C	0x0	SPI を介して返される最初の読み取りデータワードの場合は、FIFO を空にします。 これは通常、高速クロックに問題があることを示しています
24	W_FIFO_OF	R/W1C	0x0	書き込み / コマンド FIFO オーバーフロー。 これは通常、高速クロックに問題があることを示しています
23	予約済み	R	0x0	予約済み
22	CRC_ERR	R/W1C	0x0	SPI CRC エラーが発生しました。 受信した CRC が期待値と一致しませんでした。データが書き込み要求だった場合、その書き込みは無視されました。
21	SPI_END_ERR	R/W1C	0x0	SPI 転送がバイト境界で終了しませんでした。 通常は、SPI ライン上のグリッチ / ノイズを示します
20	IC	R/W1C	0x0	SPI 要求で無効なコマンドが受信されました
19	SPI_W_OF	R/W1C	0x0	SPI 書き込みオーバーフロー。指定されたワード数の転送後も、書き込みシーケンスが継続されました。 これは、SPI ヘッダで指定された数を超えるデータワードを書き込んだことによって発生します
18	SPI_W_UF	R/W1C	0x0	SPI 書き込みアンダーフロー。指定されたワード数が転送される前に、書き込みシーケンスが終了しました。 これは、SPI ヘッダで指定された数より少ないデータワードを書き込んだことによって発生します

表 9-6. SPI_IR_STATUS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
17	SPI_R_OF	R/W1C	0x0	SPI 読み出しオーバーフロー。指定されたワード数の転送後も、読み出しシーケンスが継続されました。これは、SPI ヘッダで指定されているワードよりも多くのデータを読み取ることが原因です
16	SPI_R_UF	R/W1C	0x0	SPI 読み取りアンダーフロー。指定されたワード数の転送完了前に、読み取りシーケンスが終了しました。これは、SPI ヘッダで指定されているワードよりも少ないデータの読み取りによって発生します
15-6	予約済み	R	0x0	予約済み
5	W_FIFO_A	R	0x0	書き込み FIFO には使用可能な領域があります。これはステータス フラグであり、割り込みではありません
4	R_FIFO_A	R	0x0	読み取り FIFO に使用可能な領域があります。これはステータス フラグであり、割り込みではありません
3	INT_ACT	RH	0x0	内部転送モードへのアクセスは現在進行中です。これはステータス フラグであり、割り込みではありません
2	INT_ERR	R	0x0	マスクされていない内部エラー フラグ。内部転送エラー割り込みのいずれかがセットされると、このビットもセットされます
1	SPI_ERR	R	0x0	マスクなし SPI エラー フラグ。SPI 転送エラー割り込みのいずれかがセットされると、このビットもセットされます
0	割り込み	R	0x0	割り込み出力。マスクされていない割り込みのいずれかがセットされると、このビットもセットされます

9.1.5 SPI_IE レジスタ (アドレス = 0x10) [リセット = 0x00000000]

SPI_IE は図 9-5 に示されており、表 9-7 で説明されています。

概略表に戻ります。

図 9-5. SPI_IE レジスタ

31	30	29	28	27	26	25	24
予約済み	SLP_IA	INT_R_ERR	INT_W_ERR	ERR_LOG_NE	R_FIFO_UF	R_FIFO_EMPTY	W_FIFO_OF
R-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
23	22	21	20	19	18	17	16
予約済み		SPI_END_ERR	IC	SPI_W_OF	SPI_W_UF	SPI_R_OF	SPI_R_UF
R-0x0		R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
15	14	13	12	11	10	9	8
予約済み							
R-0x0							
7	6	5	4	3	2	1	0
予約済み							
R-0x0							

表 9-7. SPI_IE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	予約済み
30	SLP_IA	R/W	0x0	スリープ モード中に無効なアドレスを読み取ろうとしました。 スリープ モードでは、ほとんどのレジスタにアクセスできません 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
29	INT_R_ERR	R/W	0x0	内部読み取りエラー 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
28	INT_W_ERR	R/W	0x0	内部書き込みエラー 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
27	ERR_LOG_NE	R/W	0x0	エントリは内部エラー ログに書き込まれました 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
26	R_FIFO_UF	R/W	0x0	1 つ以上の読み取りデータワードを返した後に、読み出し FIFO アンダーフローが発生しました。 これは通常、高速クロックに問題があることを示しています 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
25	R_FIFO_EMPTY	R/W	0x0	SPI を介して返される最初の読み取りデータワードの場合は、FIFO を空にします。 これは通常、高速クロックに問題があることを示しています 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
24	W_FIFO_OF	R/W	0x0	書き込み / コマンド FIFO オーバーフロー。 これは通常、高速クロックに問題があることを示しています 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
23-22	予約済み	R	0x0	予約済み
21	SPI_END_ERR	R/W	0x0	SPI 転送がバイト境界で終了しませんでした。 通常は、SPI ライン上のグリッチ / ノイズを示します 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です

表 9-7. SPI_IE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
20	IC	R/W	0x0	SPI 要求で無効なコマンドが受信されました 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
19	SPI_W_OF	R/W	0x0	SPI 書き込みオーバーフロー。指定されたワード数の転送後も、書き込みシーケンスが継続されました。 これは、SPI ヘッダで指定された数を超えるデータワードを書き込んだこと によって発生します 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
18	SPI_W_UF	R/W	0x0	SPI 書き込みアンダーフロー。指定されたワード数が転送される前に、書き込みシーケンスが終了しました。 これは、SPI ヘッダで指定された数より少ないデータワードを書き込んだ ことによって発生します 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
17	SPI_R_OF	R/W	0x0	SPI 読み出しオーバーフロー。指定されたワード数の転送後も、読み出しシーケンスが継続されました。 これは、SPI ヘッダで指定されているワードよりも多くのデータを読み取ることが原因です 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
16	SPI_R_UF	R/W	0x0	SPI 読み取りアンダーフロー。指定されたワード数の転送完了前に、読み取りシーケンスが終了しました。 これは、SPI ヘッダで指定されているワードよりも少ないデータの読み取り によって発生します 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
15-0	予約済み	R	0x0	予約済み

9.1.6 SPI_CRC_CONF レジスタ (アドレス = 0x14) [リセット = 0x00000000]

SPI_CRC_CONF は図 9-6 に示されており、表 9-8 で説明されています。

[概略表](#)に戻ります。

図 9-6. SPI_CRC_CONF レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
予約済み							
R-0x0							
7	6	5	4	3	2	1	0
予約済み	CRC_BYTE_ORDER	CRC_POLY		CRC_SEED_CFG		CRC_EN	
R-0x0	R/W-0x0	R/W-0x0		R/W-0x0		R/W-0x0	

表 9-8. SPI_CRC_CONF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0x0	予約済み
5	CRC_BYTE_ORDER	R/W	0x0	CRC バイトの順序 0x0 = MSB ファースト 0x1 = LSB ファースト
4-3	CRC_POLY	R/W	0x0	CRC 計算に使用される CRC 多項式 0x0 = 0x8005 (CRC-16-IBM) 0x1 = 0x1021 (CRC-16-CCITT) 0x2 = 0xC867 (CRC-16-CDMA2000) 0x3 = 0x0589 (CRC-16-DECT)
2-1	CRC_SEED_CFG	R/W	0x0	各 SPI フレームで使用される CRC シード値 0x0 = 0x0000 0x1 = 0xFFFF 0x2 = CRC_SEED の値を使用 0x3 = 予約済み
0	CRC_EN	R/W	0x0	CRC イネーブル 0x0 = SPI CRC が無効です 0x1 = SPI CRC が有効です

9.1.7 SPI_CRC_SEED レジスタ (アドレス = 0x18) [リセット = 0x00000000]

SPI_CRC_SEED は図 9-7 に示されており、表 9-9 で説明されています。

[概略表](#)に戻ります。

図 9-7. SPI_CRC_SEED レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																SPI_CRC_SEED															
R-0x0																R/W-0x0															

表 9-9. SPI_CRC_SEED レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0x0	予約済み
15-0	SPI_CRC_SEED	R/W	0x0	各 SPI フレームの CRC 計算に使用される初期シード値。 SPI_CRC_CONF.SPI_SEED_CFG = 2 の場合のみ使用されます

9.1.8 SCRATCHPAD レジスタ (アドレス = 0x1C) [リセット = 0x00000000]

SCRATCHPAD は図 9-8 に示されており、表 9-10 で説明されています。

概略表に戻ります。

図 9-8. SCRATCHPAD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
スクラッチ パッド																															
R/W-0x0																															

表 9-10. SCRATCHPAD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	スクラッチ パッド	R/W	0x0	テストに使用するスクラッチパッド レジスタ。 リセットによって保存されることはありません

9.2 DEVICE_CONFIG レジスタ

DEVICE_CONFIG レジスタのメモリマップされたレジスタを、セクション 9.2 に示します。セクション 9.2 にないレジスタ オフセットアドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

デバイス情報および SPI レジスタ

表 9-11. DEVICE_CONFIG レジスタ

アドレス	略称	レジスタ名	セクション
0x800	DEV_MODE_PINS	デバイスの動作モードおよびピン構成	セクション 9.2.1
0x804	TIMESTAMP_PRESCALER	タイムスタンプ プリスケイラ	セクション 9.2.2
0x808	スクラッチ パッド	デバイスのタイムスタンプ	セクション 9.2.3
0x80C	ECC_CONFIG	ECC の構成	セクション 9.2.4
0x814	IP_EN_CNTRL	IP のイネーブルおよび制御	セクション 9.2.5
0x820	INT_DEVICE	デバイス割り込みフラグ	セクション 9.2.6
0x824	INT_MCAN	MCAN 割り込みフラグ	セクション 9.2.7
0x830	INT_DEVICE_EN	デバイス割り込みイネーブル	セクション 9.2.8
0x830	INT_DEVICE_EN	デバイス割り込みイネーブル	セクション 9.2.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。セクション 9.2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-12. DEVICE_CONFIG のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
W1S	W 1S	1 を書き込むことで セット
WP	W P	書き込み 特権アクセスが必要
リセットまたはデフォルト値		

表 9-12. DEVICE_CONFIG のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

9.2.1 DEV_MODE_PINS レジスタ (アドレス = 0x800) [リセット = 0x00000040]

DEV_MODE_PINS は図 9-9 に示されており、表 9-13 で説明されています。

概略表に戻ります。

注

MODE_SEL フィールドはモードを変更しますが、読み取り時には、デバイスが現在動作しているモードが読み出されます。

図 9-9. DEV_MODE_PINS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み	TEST_MODE_EN		予約済み				
R-0x0	R/W-0x0		R-0x0				
15	14	13	12	11	10	9	8
予約済み	FAILSAFE_EN		予約済み		nWKRQ_MCAN_INT 1	予約済み	nWKRQ_CONFIG
R-0x0	R/W-0x0		R-0x0		R/W-0x0	R-0x0	R/W-0x0
7	6	5	4	3	2	1	0
MODE_SEL		予約済み	予約済み	予約済み	DEV_RESET	SWE_DIS	予約済み
R/W-0x1		R-0x0	R-0x0	R-0x0	R-0x0	R/W-0x0	R-0x0

表 9-13. DEV_MODE_PINS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0x0	予約済み
21	TEST_MODE_EN	R/W	0x0	トランシーバテストモードの有効化 注 このビットは常に 0 を読み取ります。これは、このビットを 1 に設定した場合でも、レジスタを読み出そうとした時点でテストモードが終了し、このビットが 0 になるためです 0x0=ディセーブル 0x1 = イネーブル。CAN トランシーバの TXD は SDI に割り当てられ、RXD は SDO に接続され、EN は SCLK に接続されます。テストモードは、nCS がデアサートされると直ちにアクティブになります。nCS が再アサートされると、テストモードは直ちに終了します。
20-14	予約済み	R	0x0	予約済み
13	FAILSAFE_EN	R/W	0x0	フェイルセーフモードを有効化 注 電源投入時のフェイルセーフは除外されます。 詳細については、「フェイルセーフ」セクションを参照してください 0x0=ディセーブル 0x1 = イネーブル
12-11	予約済み	R	0x0	予約済み

表 9-13. DEV_MODE_PINS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	nWKRQ_MCAN_INT1	R/W	0x0	nWKRQ から MCAN INT1 へのオーバーライド。 nWKRQ の機能を MCAN の INT1 出力ラインに接続するように設定します。 注 MCAN で INT1 を使用するには、MCAN_ILE レジスタで INT1 を有効にする必要があります。また、各種 MCAN 割り込みに対してどの INT ラインを使用するかは、MCAN_ILS を使用して選択します 0x0 = nWKRQ を nWKRQ_CONFIG に従って設定します 0x1 = nWKRQ は MCAN_INT1 です (アクティブ Low)
9	予約済み	R	0x0	予約済み
8	nWKRQ_CONFIG	R/W	0x0	nWKRQ ピンの機能 0x0 = nWKRQ は INH 機能をミラーリングします 0x1 = nWKRQ はウェーク要求割り込みピンです (アクティブ Low)
7-6	MODE_SEL	R/W	0x1	デバイス モード選択 注 デバイスを通常モードに変更すると、CCCR.INIT ビットに 0 の書き込みが自動的に発行されます。 通常モードからスタンバイ モードまたはスリープ モードに変更すると、CCCR.INIT に 1 を書き込む処理が自動的に実行されます。 0x0 = スリープ 0x1 = スタンバイ 0x2 = 通常 0x3 = TSD 保護 (読み取り専用)
5	予約済み	R	0x0	予約済み
4	予約済み	R	0x0	予約済み
3	予約済み	R	0x0	予約済み
2	DEV_RESET	R	0x0	デバイスリセット。 注 このビットを機能させるには、デバイスがスタンバイ モード、通常モード、または TSD 保護モードになっている必要があります。 スリープ状態にある場合、最初にスタンバイ モードに移行してデバイスをウェークアップする必要があります 0x0 = nWKRQ は INH 機能をミラーリングします 0x1 = nWKRQ はウェーク要求割り込みピンです (アクティブ Low)

表 9-13. DEV_MODE_PINS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	SWE_DIS	R/W	0x0	<p>スリープ ウェーク エラーの無効化。</p> <hr/> <p style="text-align: center;">注</p> <p>これにより、ウェーク イベントによってスリープ モードから復帰した際に、デバイスが 4 分タイマーを開始しないようになります。</p> <p>スリープ ウェーク エラーが有効 (= 0) の場合、この 4 分間のウィンドウ内に SPI の読み取りまたは書き込みを実行しないと、デバイスは再びスリープ モードに移行します。</p> <p>これにより、最初のパワーオンリセット時に機能は無効化されません</p>
0	予約済み	R	0x0	予約済み

9.2.2 **TIMESTAMP_PRESCALER** レジスタ (アドレス = 0x804) [リセット = 0x00000002]

TIMESTAMP_PRESCALER は図 9-10 に示されており、表 9-14 で説明されています。

[概略表](#)に戻ります。

図 9-10. **TIMESTAMP_PRESCALER レジスタ**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0x0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								プリスケアラ							
R-0x0								R/W-0x2							

表 9-14. **TIMESTAMP_PRESCALER レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0x0	予約済み
7-0	プリスケアラ	R/W	0x2	このレジスタに書き込むと、内部タイムスタンプ カウンタが 0 にリセットされ、MCAN タイムスタンプ生成に使用される内部 CAN クロックデバイダが (タイムスタンプ プリスケアラ x 8) に設定されます

9.2.3 SCRATCHPAD レジスタ (アドレス = 0x808) [リセット = 0x00000000]

SCRATCHPAD は図 9-11 に示されており、表 9-15 で説明されています。

[概略表](#)に戻ります。

図 9-11. SCRATCHPAD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
スクラッチ パッド																															
R/W-0x0																															

表 9-15. SCRATCHPAD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	スクラッチ パッド	R/W	0x0	スクラッチパッドレジスタの読み取りおよび書き込みをテスト

9.2.4 ECC_CONFIG レジスタ (アドレス = 0x80C) [リセット = 0x00000000]

ECC_CONFIG は図 9-12 に示されており、表 9-16 で説明されています。

概略表に戻ります。

図 9-12. ECC_CONFIG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み		ECC_ERR_FORCE_BIT_SEL					
R-0x0		R/W-0x0					
15	14	13	12	11	10	9	8
予約済み			ECC_ERR_FORCE	ECC_ERR_CHECK	予約済み		
R-0x0			R/W-0x0	R/W1C-0x0	R-0x0		
7	6	5	4	3	2	1	0
予約済み							
R-0x0							

表 9-16. ECC_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0x0	予約済み
21-16	ECC_ERR_FORCE_BIT_SEL	R/W	0x0	ビット内の特定のビットを、正しい値から反転した値に設定します。 6b 000000 = ビット 0 6b 000001 = ビット 1 6b 000010 = ビット 2 and 6b 100110 = ビット 38
15-13	予約済み	R	0x0	予約済み
12	ECC_ERR_FORCE	R/W	0x0	シングル ビット ECC エラー 0x0 = エラーは強制されていません 0x1 = MRAM に対して単一ビット ECC エラーを強制的に発生させます
11	ECC_ERR_CHECK	R/W1C	0x0	ECC エラーが検出された場合のステータス ビット。 0x0 = シングル ビット ECC エラーは検出されませんでした 0x1 = シングル ビット ECC エラーが検出されました
10-0	予約済み	R	0x0	予約済み

9.2.5 IP_EN_CNTRL レジスタ (アドレス = 0x814) [リセット = 0x000000X0]

図 9-13. IP_EN_CNTRL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
予約済み		CLK_SEL	CLK_FORCE	予約済み			
R-0x0		R/WP-0x0	R/WP-0x0	R-0x0			
7	6	5	4	3	2	1	0
CLK_EXT	CLK_XTAL	FDL_ACK_DIS	FDL_CMDR_EN	予約済み			CCE
R-0xX	R-0xX	R/WP-0x0	R/WP-0x0	R-0x0			R/W-0x0

表 9-17. IP_EN_CNTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0x0	予約済み
13	CLK_SEL	R/WP	0x0	クロック ソース選択。このビットは、CLK_FORCE が有効な場合に使用するクロック ソースを選択します 0x0 = 内部 20MHz クロック 0x1 = 外部クロック ソース
12	CLK_FORCE	R/WP	0x0	クロック ソース オーバーライド。このビットは、自動クロック選択ロジックを上書きし、デバイスに CLK_SEL で指定されたクロック ソースを強制的に使用させます。 注 クロック ソースを変更するときは、システムがクロックを切り替えるために、t _{CLOCK_SWITCH} 時間を待つことが重要です。 外部水晶発振子へ切り替える場合、必要な待機時間は水晶発振子の起動時間によって決まります。 0x0 = 自動クロック検出を使用 0x1 = クロック ソースのオーバーライド
11-8	予約済み	R	0x0	予約済み
7	CLK_EXT	R	X	クロック ステータス: 外部。現在選択されているクロック ソースを反映します 0x0 = 内部クロック ソース 0x1 = 外部クロック ソース
6	CLK_XTAL	R	X	水晶発振子検出。電源投入時にデバイスが水晶発振子を検出したかどうかを示します。 0x0 = 水晶発振子未検出 (外部クロック入力または内部クロック入力) 0x1 = 水晶振動子が検出されました
5	FDL_ACK_DIS	R/WP	0x0	アクリッジ無効ビット CAN FD ライトコマンド モード (ビット 4 = 1) の場合、このビットを使用して ACK ビットを無効化します。 1Mbps を超える速度では、このビットを 1 に設定して ACK ビットを無効化することを推奨します 0x0 = アクリッジビットが有効です (通常の CAN 動作と同様) 0x1 = アクリッジビットが無効です
4	FDL_CMDR_EN	R/WP	0x0	CAN FD ライト コマンド モードの有効化。CAN FD ライト コマンド機能を有効にするために使用します 0x0 = CAN FD 機能 0x1 = CAN FD ライト コマンド機能

表 9-17. IP_EN_CNTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-1	予約済み	R	0x0	予約済み
0	CCE	R/W	0x0	構成変更を有効化 <hr/> <p style="text-align: center;">注</p> <p>CCE ビットを設定すると、この IP イネーブルレジスタ (0x0814) 内の保護ビットにのみアクセスできます。このビットは、スタンバイモード時にのみ設定できます。通常モードに設定しようすると無視されます。また、スタンバイモードから通常モードへ遷移すると、CCE ビットは自動的にクリアされる点にも注意してください。</p> <hr/> <p>0x0 = 保護された構成レジスタへの書き込みアクセス不可 0x1 = 保護された構成レジスタへの書き込みアクセスが有効になります (デバイスがスタンバイモードである必要があります)</p>

9.2.6 INT_DEVICE レジスタ (アドレス = 0x820) [リセット = 0x00100000]

図 9-14 に INT_DEVICE を示し、表 9-18 に、その説明を示します。

概略表に戻ります。

図 9-14. INT_DEVICE レジスタ

31		30		29		28		27		26		25		24	
予約済み		MODE_SLEEP		予約済み		予約済み		予約済み		予約済み		予約済み		予約済み	
R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0	
23		22		21		20		19		18		17		16	
SMS		UV _{DD}		UV _{IO}		PWRON		TSD		予約済み		UVCC		ECCERR	
R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x1		R/W1C-0x0		R-0x0		R/W1C-0x0		R/W1C-0x0	
15		14		13		12		11		10		9		8	
予約済み		WKERR		CRCERR_INT		CANSLNT		予約済み		CANDOM		予約済み		予約済み	
R-0x0		R-0x0		R/W1C-0x0		R/W1C-0x0		R-0x0		R/W1C-0x0		R-0x0		R/W1C-0x0	
7		6		5		4		3		2		1		0	
GLOBALERR		WKRQ		CANERR		CBF		SPIERR		予約済み		MCAN_INT		VT	
R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0	

表 9-18. INT_DEVICE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	予約済み
30	MODE_SLEEP	R	0x0	デバイスが現在スリープモードであることをマイコンに示すためのビット。デバイスがスリープ状態の場合、アクセスできるのはレジスタの一部のみです。このフラグが設定されている場合、割り込みをクリアするには、まずデバイスをウェイクアップする必要があります。詳細については、スリープモードのセクションを参照してください。
29-24	予約済み	R	0x0	予約済み
23	SMS	R/W1C	0x0	スリープモードのステータス (フラグであり、割り込みではありません)。WKERR、UV _{IO} タイムアウト、または UVCC タイムアウト (フェイルセーフが有効な場合) によってスリープモードに入った場合にのみセットされます。
22	UV _{DD}	R/W1C	0x0	V _{DD} の低電圧。これは、POR が発生する前にユーザーへ通知するための単なるフラグです。
21	UV _{IO}	R/W1C	0x0	V _{IO} 用の低電圧。
20	PWRON	R/W1C	0x1	パワーオン抵抗割り込み。これは、パワーリセットイベントが発生するたびにセットされます。このフラグは、スリープモードまたは通常モードに移行することでもクリアできます。
19	TSD	R/W1C	0x0	サーマルシャットダウン
18	予約済み	R	0x0	予約済み
17	UVCC	R/W1C	0x0	V _{CC} の低電圧。このフラグは、故障が解消されるまでクリアできません。
16	ECCERR	R/W1C	0x0	訂正不可能 ECC エラーが検出されました
14	予約済み	R	0x0	予約済み
13	WKERR	R	0x0	ウェイクエラー。デバイスがウェイクアップ要求 (WUP) を受信した後、t _{INACTIVE} までに通常モードへ移行しない、または PWRON フラグもしくはウェイクフラグをクリアしない場合、デバイスはスリープモードへ移行します。ウェイクイベント後、ウェイクエラー (WKERR) が報告され、SMS フラグが 1 に設定されます。
12	予約済み	R	0x0	予約済み

表 9-18. INT_DEVICE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	CRCERR_INT	R/W1C	0x0	内部 EEPROM CRC エラーが検出されました
10	CANSLNT	R/W1C	0x0	CAN バスの無音化により、CAN サイレント (t _{SILENCE}) タイマが期限切れになりました
9	予約済み	R	0x0	予約済み
8	CANDOM	R/W1C	0x0	CAN バスがドミナント状態に固着
7	GLOBALERR	R	0x0	グローバル エラー (任意の故障)、すべての故障 / 割り込みの論理 OR。一部のステータス フラグは含まれていません (スリープ モード フラグ)
6	WKRQ	R	0x0	ウェーク要求、CANINT と WKERR の論理 OR
5	CANERR	R	0x0	CAN エラー、CANSLNT 故障と CANDOM 故障の論理 OR
4	CBF	R	0x0	CAN バス故障、CANHCANL、CANHVDD、CANLGND、CANBUSOPEN、CANBUSGND、および CANBUSVDD 故障の論理 OR
3	SPIERR	R	0x0	SPI エラー。0x000C[30:16] のいずれかの割り込みがセットされると、このフラグがセットされます。これらの割り込みをクリアするには、0x000C のビットをクリアする必要があります。
2	SWERR	R	0x0	選択的ウェーク エラー
2	予約済み	R	0x0	予約済み
1	MCAN_INT	R	0x0	MCAN グローバル INT の論理 OR
0	VT	R	0x0	グローバル電圧、温度、または ECC エラー。UVCC、UVDD、UV _{IO} 、TSD、ECCERR の論理 OR。

9.2.7 INT_MCAN レジスタ (アドレス = 0x824) [リセット = 0x00000000]

INT_MCAN は図 9-15 に示されており、表 9-19 で説明されています。

概略表に戻ります。

図 9-15. INT_MCAN レジスタ

31		30		29		28		27		26		25		24	
予約済み		ARA		PED		PEA		WDI		BO		EW			
R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0	
23		22		21		20		19		18		17		16	
EP		ELO		BEU		BEC		DRX		TOO		MRAF		TSW	
R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0	
15		14		13		12		11		10		9		8	
TEFL		TEFF		TEFW		TEFN		TFE		TCF		TC		HPM	
R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0	
7		6		5		4		3		2		1		0	
RF1L		RF1F		RF1W		RF1N		RF0L		RF0F		RF0W		RF0N	
R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0		R-0x0	

表 9-19. INT_MCAN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	予約済み
29	ARA	R	0x0	予約済みアドレスへのアクセス
28	PED	R	0x0	データ位相におけるプロトコル エラー (データ ビット時間が使用されます)
27	PEA	R	0x0	アービトレーション位相におけるプロトコル エラー (公称ビット時間が使用されます)
26	WDI	R	0x0	MRAM ウォッチドッグ割り込み
25	BO	R	0x0	バスオフ割り込み
24	EW	R	0x0	警告ステータス
23	EP	R	0x0	エラー パッシブ
22	ELO	R	0x0	エラー ログ オーバーフロー
21	BEU	R	0x0	ビット エラー訂正なし
20	BEC	R	0x0	ビット エラー訂正
19	DRX	R	0x0	専用 RX バッファにメッセージを格納
18	TOO	R	0x0	タイムアウトが発生
17	MRAF	R	0x0	メッセージ RAM アクセス失敗
16	TSW	R	0x0	タイムスタンプ ラップアラウンド
15	TEFL	R	0x0	TX イベント FIFO 素子消失
14	TEFF	R	0x0	TX イベント FIFO フル
13	TEFW	R	0x0	TX イベント FIFO ウォーターマークに到達
12	TEFN	R	0x0	TX イベント FIFO の新しいエントリ
11	TFE	R	0x0	TX FIFO が空
10	TCF	R	0x0	送信キャンセル完了
9	TC	R	0x0	送信完了
8	HPM	R	0x0	高優先度メッセージ
7	RF1L	R	0x0	RX FIFO 1 メッセージ消失
6	RF1F	R	0x0	RX FIFO 1 フル
5	RF1W	R	0x0	RX FIFO 1 ウォーターマーク到達

表 9-19. INT_MCAN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	RF1N	R	0x0	RX FIFO 1 新規メッセージ
3	RF0L	R	0x0	RX FIFO 0 メッセージ消失
2	RF0F	R	0x0	RX FIFO 0 フル
1	RF0W	R	0x0	RX FIFO 0 ウォーターマーク到達
0	RF0N	R	0x0	RX FIFO 0 新規メッセージ

9.2.8 INT_DEVICE_EN レジスタ (アドレス = 0x830) [リセット = 0xFFFFF01]

INT_DEVICE_EN は図 9-16 に示されており、表 9-20 で説明されています。

概略表に戻ります。

図 9-16. INT_DEVICE_EN レジスタ

31	30	29	28	27	26	25	24
予約済み		CANHCANL	CANHVDD	CANLGND	CANBUSOPEN	CANBUSGND	CANBUSVDD
R-0x0		R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1
23	22	21	20	19	18	17	16
予約済み		UV _{IO}	予約済み	TSD	予約済み	UVCC	ECCERR
R-0x0		R/W-0x1	R-0x0	R/W-0x1	R-0x0	R/W-0x1	R/W-0x1
15	14	13	12	11	10	9	8
CANINT			予約済み		CANSLNT	予約済み	CANDOM
R/W-0x1			R-0x0		R/W-0x1	R-0x0	R/W-0x1
7	6	5	4	3	2	1	0
予約済み							
R-0x0							

表 9-20. INT_DEVICE_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	予約済み
29	CANHCANL	R/W	0x1	CANH と CANL が短絡しています
28	CANHVDD	R/W	0x1	CANH は VDD に短絡
27	CANLGND	R/W	0x1	CANL は GND に短絡
26	CANBUSOPEN	R/W	0x1	CAN バス オープン (3 か所のうちいずれか)
25	CANBUSGND	R/W	0x1	CANH が GND に短絡、または CANH と CANL の両方が GND に短絡
24	CANBUSVDD	R/W	0x1	CANH が VDD に短絡、または CANH と CANL の両方が VDD に短絡
23	予約済み	R	0x0	予約済み
21	UV _{IO}	R/W	0x1	V _{IO} 用の低電圧。
20	予約済み	R	0x0	予約済み
19	TSD	R/W	0x1	サーマル シャットダウン
18	予約済み	R	0x0	予約済み
17	UVCC	R/W	0x1	VCC の低電圧。 このフラグは、故障が解消されるまでクリアできません。
16	ECCERR	R/W	0x1	訂正不可能 ECC エラーが検出されました
15	CANINT	R/W	0x1	CAN バス ウェークアップ 割り込み。 CAN ウェークアップ イベントによってウェークアップ イベントが発生したことを示します。 フラグは、通常モードまたはスリープ モードへ移行することでもクリアできます
13-11	予約済み	R	0x0	予約済み
10	CANSLNT	R/W	0x1	CAN バスの無音化により、CAN サイレント (t _{SILENCE}) タイマが期限切れになりました
9	予約済み	R	0x0	予約済み
8	CANDOM	R/W	0x1	CAN バスがドミナント状態に固着
7-0	予約済み	R	0x0	予約済み

9.2.9 INT_DEVICE_EN レジスタ (アドレス = 0x830) [リセット = 0xFFFFF01]

INT_DEVICE_EN は図 9-17 に示されており、表 9-21 で説明されています。

概略表に戻ります。

図 9-17. INT_DEVICE_EN レジスタ

31	30	29	28	27	26	25	24
予約済み	予約済み	CANHCANL	CANHVDD	CANLGND	CANBUSOPEN	CANBUSGND	CANBUSVDD
R-0x0	R-0x0	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1	R/W-0x1
23	22	21	20	19	18	17	16
予約済み	予約済み	UV _{IO}	予約済み	TSD	予約済み	UVCC	ECCERR
R-0x0	R-0x0	R/W-0x1	R-0x0	R/W-0x1	R-0x0	R/W-0x1	R/W-0x1
15	14	13	12	11	10	9	8
CANINT	予約済み	予約済み			CANSLNT	予約済み	CANDOM
R/W-0x1	R-0x0	R-0x0			R/W-0x1	R-0x0	R/W-0x1
7	6	5	4	3	2	1	0
予約済み							
R-0x0							

表 9-21. INT_DEVICE_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	予約済み
30	予約済み	R	0x0	予約済み
29	CANHCANL	R/W	0x1	CANH と CANL が短絡しています
28	CANHVDD	R/W	0x1	CANH は VDD に短絡
27	CANLGND	R/W	0x1	CANL は GND に短絡
26	CANBUSOPEN	R/W	0x1	CAN バス オープン (3 か所のうちいずれか)
25	CANBUSGND	R/W	0x1	CANH が GND に短絡、または CANH と CANL の両方が GND に短絡
24	CANBUSVDD	R/W	0x1	CANH が VDD に短絡、または CANH と CANL の両方が VDD に短絡
23	予約済み	R	0x0	予約済み
22	予約済み	R	0x0	予約済み
21	UV _{IO}	R/W	0x1	V _{IO} 用の低電圧。
20	予約済み	R	0x0	予約済み
19	TSD	R/W	0x1	サーマル シャットダウン
18	予約済み	R	0x0	予約済み
17	UVCC	R/W	0x1	VCC の低電圧。 このフラグは、故障が解消されるまでクリアできません。
16	ECCERR	R/W	0x1	訂正不可能 ECC エラーが検出されました
15	CANINT	R/W	0x1	CAN バス ウェークアップ 割り込み。 CAN ウェークアップ イベントによってウェークアップ イベントが発生したことを示します。 フラグは、通常モードまたはスリープモードへ移行することでもクリアできません
14	予約済み	R	0x0	予約済み
13-11	予約済み	R	0x0	予約済み
10	CANSLNT	R/W	0x1	CAN バスの無音化により、CAN サイレント (t _{SILENCE}) タイマが期限切れになりました
9	予約済み	R	0x0	予約済み
8	CANDOM	R/W	0x1	CAN バスがドミナント状態に固着

表 9-21. INT_DEVICE_EN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0x0	予約済み

9.3 割り込み / 診断フラグおよびイネーブルフラグレジスタ : 16'h0820 ~ 16'h0830

このレジスタブロックは、デバイスのすべての割り込みフラグを提供します。M-CAN 割り込みフラグ 16'h0824 は、16'h1050 の MCAN レジスタ説明セクションで説明されているため、ここにも表示されますが、詳細な説明については 16'h1050 を参照してください。16'h0830 は割り込みイネーブルで、16'h0820 の割り込みをトリガします。

9.3.1 割り込み (アドレス = h0820) [リセット = h00100000]

図 9-18. 割り込み

31	30	29	28	27	26	25	24
RSVD	MODE_SLEEP	CANHCANL	CANHVDD	CANLGND	CANBUSOPEN	CANBUSGND	CANBUSVDD
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
SMS		UVIO	PWRON	TSD	RSVD	UVCC	ECCERR
R	R	R/WC	R/WC/U	R/WC	R	R/WC	R/WC
15	14	13	12	11	10	9	8
CANINT	RSVD	WKERR	RSVD	CRCERR_INT	CANSLNT	RSVD	CANDOM
R/WC	R	R/WC	R	R/WC	R/WC	R	R/WC
7	6	5	4	3	2	1	0
GLOBALERR	WKRQ	CANERR	RSVD	SPIERR	RSVD	M_CAN_INT	VT
R	R	R	R	R	R	R	R

表 9-22. 割り込みフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	RSVD	R	1'b0	予約済み
30	MODE_SLEEP	R	1'b0	デバイスが現在スリープ状態であることをマイコンに示すためのビット。デバイスがスリープ状態の場合、アクセスできるのはレジスタの一部のみです。これにより、割り込みをクリアするには CPU がデバイスをウェークアップする必要があることを認識できます。
29	CANHCANL	R/WC	1'b0	CANH と CANL が短絡しています
28	CANHVDD	R/WC	1'b0	CANH は V _{DD} に短絡
27	CANLGND	R/WC	1'b0	CANL は GND に短絡
26	CANBUSOPEN	R/WC	1'b0	CAN バス オープン (3 か所のうちいずれかで断線)
25	CANBUSGND	R/WC	1'b0	CANH が GND に短絡、または CANH と CANL の両方が GND に短絡
24	CANBUSVDD	R/WC	1'b0	CANH が V _{DD} に短絡、または CANH および CANL の両方が V _{DD} に短絡
23	SMS	R/WC	1'b0	スリープモードステータス (フラグであり、割り込みではありません)。WKERR、UVIO タイムアウト、または UVCC タイムアウト (フェイルセーフが有効な場合) によってスリープモードへ移行した場合のみセットされます
22	UVDD	R/WC	1'b0	V _{DD} の低電圧。このフラグは、故障が解消されるまでクリアできません。
21	UVIO	R/WC	1'b0	V _{IO} の低電圧保護
20	PWRON	R/WC/U	1'b1	パワーオンリセット割り込み
19	TSD	R/WC	1'b0	サーマルシャットダウン
18	RSVD	R	1'b0	予約済み
17	UVCC	R/WC	1'b0	V _{CC} の低電圧。このフラグは、故障が解消されるまでクリアできません。
16	ECCERR	R/WC	1'b0	訂正不可能 ECC エラーが検出されました
15	CANINT	R/WC	1'b0	CAN バスウェークアップ割り込み

表 9-22. 割り込みフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	RSVD	R	1'b0	予約済み
13	WKERR	R/WC	1'b0	ウェーク エラー
12	RSVD	R	1'b0	予約済み
11	CRCERR_INT	R/WC	1'b0	内部 EEPROM CRC エラーが検出されました
10	CANSLNT	R/WC	1'b0	CAN サイレント
9	RSVD	R	1'b0	予約済み
8	CANDOM	R/WC	1'b0	CAN スタックドミナント
7	GLOBALERR	R	1'b0	グローバル エラー (任意の故障)
6	WKRQ	R	1'b0	ウェークリクエスト
5	CANERR	R	1'b0	CAN 誤差
4	CBF	R	1'b0	CAN バスの不具合
3	SPIERR	R	1'b0	SPI 誤差
2	RSVD	R	1'b0	予約済み
1	M_CAN_INT	R	1'b0	M_CAN グローバル INT の論理 OR
0	VT	R	1'b0	グローバル電圧、温度、または ECC エラー

GLOBALERR: レジスタ 0x0820 ~ 0824、および 内のすべての故障 / 割り込みの論理 OR。

WKRQ: CANINT と WKERR の論理 OR。

CANBUSNOM は割り込みではなく、フラグです。通常モードでは、最初のドミナントからリセッパへの遷移後にセットされます。スタンバイ モードまたはスリープ モードへ移行した時、あるいは通常モード中にバス故障状態が発生した時に、0 にリセットされます。

CANERR: CANSLNT 故障と CANDOM 故障の論理 OR。

CBF: CANBUSTERMOPEN、CANHCANL、CANHVDD、CANLGND、CANBUSOPEN、CANBUSGND、および CANBUSVDD 故障の論理 OR。

SPIERR: SPI ステータス レジスタ 16'h000C[30:16] のいずれかがセットされると、このフラグがセットされます。

- SPI アンダーフローが発生した場合、そのエラーは次の SPI トランザクション開始時まで検出 / 通知されません。
- 16'h0010[30:16] は、これらのエラーに対するマスクです

VT: UV_{CC}、UV_{DD}、UV_{IO}、TSD、ECCERR の論理 OR。

CANINT: WUP が発生したことを示します。フラグは、通常モードまたはスリープ モードに変更することでクリアできます。

WKERR: デバイスがウェークアップ要求 (WUP) を受信した後、t_{INACTIVE} までに通常モードへ移行しない、または PWRON フラグもしくはウェーク フラグをクリアしない場合、デバイスはスリープ モードへ移行します。ウェーク イベント後、ウェーク エラー (WKERR) が報告され、SMS フラグが 1 に設定されます。

注

PWRON フラグは、1 を書き込むこと、またはスタンバイ モードからスリープ モードもしくは通常モードへ移行することによってクリアされます。

9.3.2 MCAN 割り込み (アドレス = h0824) [リセット = h00000000]

注

対応する割り込みイネーブル (IE) レジスタ ビットが有効になっていない場合でも、割り込みレジスタ内のビットはセットされます。ただし、IE ビットがセットされていないときは、割り込みビットによって nINT がデアサートされることはありません。

図 9-19. MCAN 割り込み

31	30	29	28	27	26	25	24
RSVD		ARA	PED	PEA	WDI	BO	EW
R		R	R	R	R	R	R
23	22	21	20	19	18	17	16
EP	ELO	BEU	BEC	DRX	TOO	MRAF	TSW
R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
TEFL	TEFF	TEFW	TEFN	TFE	TCF	TC	HPM
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
RF1L	RF1F	RF1W	RF1N	RF0L	RF0F	RF0W	RF0N
R	R	R	R	R	R	R	R

表 9-23. MCAN 割り込みフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:30	RSVD	R	1'b0	予約済み
29	ARA	R	1'b0	ARA: 予約済みアドレスへのアクセス
28	PED	R	1'b0	PED: データ位相におけるプロトコル エラー (データビット時間が使用されます)
27	PEA	R	1'b0	PEA: アービトレーション位相におけるプロトコル エラー (公称ビット時間が使用されます)
26	WDI	R	1'b0	WDI: ウォッチドッグ割り込み
25	BO	R	1'b0	BO: Bus_Off ステータス
24	EW	R	1'b0	EW: 警告ステータス
23	EP	R	1'b0	EP: エラー パッシブ
22	ELO	R	1'b0	ELO: エラー ログ オーバーフロー
21	BEU	R	1'b0	BEU: ビット エラー訂正なし
20	BEC	R	1'b0	BEC: ビット エラー訂正
19	DRX	R	1'b0	DRX: 専用 Rx パッファにメッセージを格納
18	TOO	R	1'b0	TOO: タイムアウトが発生
17	MRAF	R	1'b0	MRAF: メッセージ RAM アクセス失敗
16	TSW	R	1'b0	TSW: タイムスタンプ ラップアラウンド
15	TEFL	R	1'b0	TEFL: Tx イベント FIFO 素子消失
14	TEFF	R	1'b0	TEFF: Tx イベント FIFO フル
13	TEFW	R	1'b0	TEFW: Tx イベント FIFO ウォーターマークに到達
12	TEFN	R	1'b0	TEFN: Tx イベント FIFO の新しいエントリ
11	TFE	R	1'b0	TFE: Tx FIFO が空
10	TCF	R	1'b0	TCF: 送信キャンセル完了
9	TC	R	1'b0	TC: 送信完了

表 9-23. MCAN 割り込みフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	HPM	R	1'b0	HPM: 高優先度メッセージ
7	RF1L	R	1'b0	RF1L: Rx FIFO 1 メッセージ消失
6	RF1F	R	1'b0	RF1F: Rx FIFO 1 フル
5	RF1W	R	1'b0	RF1W: Rx FIFO 1 ウォーターマーク到達
4	RF1N	R	1'b0	RF1N: Rx FIFO 1 新規メッセージ
3	RF0L	R	1'b0	RF0L: Rx FIFO 0 メッセージ消失
2	RF0F	R	1'b0	RF0F: Rx FIFO 0 フル
1	RF0W	R	1'b0	RF0W: Rx FIFO 0 ウォーターマーク到達
0	RF0N	R	1'b0	RF0N: Rx FIFO 0 新規メッセージ

9.3.3 割り込みイネーブル(アドレス = h0830) [リセット = hFFFFFFF]

図 9-20. 32 ビット、4 行

31	30	29	28	27	26	25	24
RSVD	CANBUSTERM OPEN	CANHCANL	CANHVDD	CANLGND	CANBUSOPEN	CANBUSGND	CANBUSVDD
R	R	R	R	R	R	R	R
23	22	21	20	19	18	17	16
RSVD	UVDD	UVIO	RSVD	TSD	RSVD	UVCC	ECCERR
R	R/W	R/W	R	R/W	R	R	R/W
15	14	13	12	11	10	9	8
CANINT	RSVD				CANSLNT	RSVD	CANDOM
R/W	R				R/W	R	R
7	6	5	4	3	2	1	0
RSVD							
R							

表 9-24. 割り込みイネーブルのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	RSVD	R	1'b1	予約済み
30	CANBUSTERMOPEN	R/W	1'b1	CAN バスの片側終端オープン検出イネーブル
29	CANHCANL	R/W	1'b1	CANH および CANL 短絡検出イネーブル
28	CANHVDD	R/W	1'b1	CANH の V _{DD} 短絡検出イネーブル
27	CANLGND	R/W	1'b1	CANL の GND への短絡検出イネーブル
26	CANBUSOPEN	R/W	1'b1	CAN バス オープン検出イネーブル
25	CANBUSGND	R/W	1'b1	CANH の GND への短絡、または CANH と CANL の両方の GND への短絡検出イネーブル
24	CANBUSVDD	R/W	1'b1	CANH の V _{DD} への短絡、または CANH と CANL の両方の V _{DD} への短絡検出イネーブル
23	RSVD	R	1'b1	予約済み
22	UVDD	R/W	1'b1	V _{DD} の低電圧
21	UVIO	R/W	1'b1	V _{IO} の低電圧
20	RSVD	R	1'b1	予約済み
19	TSD	R/W	1'b1	サーマル シャットダウン
18	RSVD	R	1'b1	予約済み
17	UVCC	R/W	1'b1	V _{CC} の低電圧
16	ECCERR	R/W	1'b1	訂正不可能 ECC エラーが検出されました
15	CANINT	R/W	1'b1	CAN バス ウェークアップ割り込み
14:11	RSVD	R	4'b1111	予約済み
10	CANSLNT	R/W	1'b1	CAN サイレント
9	RSVD	R	1'b1	予約済み
8	CANDOM	R/W	1'b1	CAN スタックドミナント
7:0	RSVD	R	8'hFF	予約済み

9.4 CAN_CONTROLLER レジスタ

CAN_Controller レジスタのメモリマップされたレジスタを、[セクション 9.4](#) に示します。[セクション 9.4](#) にないレジスタ オフセットアドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

CAN コントローラ

表 9-25. CAN_CONTROLLER レジスタ

アドレス	略称	レジスタ名	セクション
0x1000	CREL	コア リリースレジスタ	セクション 9.4.1
0x1004	ENDN	エンディアン レジスタ	セクション 9.4.2
0x100C	DBTP	データ ビット タイミングおよびプリスケアラ レジスタ	セクション 9.4.3
0x1010	TEST	TEST レジスタ	セクション 9.4.4
0x1014	RWD	RAM ウォッチドッグ	セクション 9.4.5
0x1018	CCCR	CC 制御レジスタ	セクション 9.4.6
0x101C	NBTP	公称ビット タイミングおよびプリスケアラ レジスタ	セクション 9.4.7
0x1020	TSCC	タイムスタンプ カウンタの設定	セクション 9.4.8
0x1024	TSCV	タイムスタンプ カウンタ値	セクション 9.4.9
0x1028	TOCC	タイムアウト カウンタ設定	セクション 9.4.10
0x102C	TOCV	タイムアウト カウンタ値	セクション 9.4.11
0x1040	ECR	エラー カウンタ レジスタ	セクション 9.4.12
0x1044	PSR	プロトコル ステータス レジスタ	セクション 9.4.13
0x1048	TDCR	トランスミッタ遅延補償レジスタ	セクション 9.4.14
0x1050	IR	割り込みレジスタ	セクション 9.4.15
0x1054	IE	割り込みイネーブル	セクション 9.4.16
0x1058	ILS	割り込みライン選択	セクション 9.4.17
0x105C	ILE	割り込みラインの有効化	セクション 9.4.18
0x1080	GFC	グローバル フィルタ設定	セクション 9.4.19
0x1084	SIDFC	標準 ID フィルタの構成	セクション 9.4.20
0x1088	XIDFC	標準拡張 ID フィルタの構成	セクション 9.4.21
0x1090	XIDAM	拡張 ID およびマスク	セクション 9.4.22
0x1094	HPMS	高優先度メッセージ ステータス	セクション 9.4.23
0x1098	NDAT1	新規データ 1	セクション 9.4.24
0x109C	NDAT2	新規データ 2	セクション 9.4.25
0x10A0	RXF0C	Rx FIFO 0 構成	セクション 9.4.26
0x10A4	RXF0S	Rx FIFO 0 ステータス	セクション 9.4.27
0x10A8	RXF0A	Rx FIFO 0 アクブリッジ	セクション 9.4.28
0x10AC	RXBC	Rx バッファ構成	セクション 9.4.29
0x10B0	RXF1C	Rx FIFO 1 構成	セクション 9.4.30
0x10B4	RXF1S	Rx FIFO 1 ステータス	セクション 9.4.31
0x10B8	RXF1A	Rx FIFO 1 アクブリッジ	セクション 9.4.32
0x10BC	RXESC	Rx バッファ / FIFO 素子サイズの構成	セクション 9.4.33
0x10C0	TXBC	Tx バッファ構成	セクション 9.4.34
0x10C4	TXFQS	Tx FIFO / キュー ステータス	セクション 9.4.35
0x10C8	TXESC	Tx バッファ素子サイズの構成	セクション 9.4.36
0x10CC	TXBRP	Tx バッファ要求保留中	セクション 9.4.37
0x10D0	TXBAR	Tx バッファの追加要求	セクション 9.4.38
0x10D4	TXBCR	Tx バッファ キャンセル要求	セクション 9.4.39
0x10D8	TXBTO	Tx バッファ送信が発生	セクション 9.4.40
0x10DC	TXBCF	Tx バッファのキャンセルが完了	セクション 9.4.41
0x10E0	TXBTIE	Tx バッファ送信割り込みの有効化	セクション 9.4.42
0x10E4	TXBCIE	Tx バッファ キャンセル完了割り込みの有効化	セクション 9.4.43
0x10F0	TXEFC	Tx イベント FIFO 構成	セクション 9.4.44
0x10F4	TXEFS	Tx イベント FIFO ステータス	セクション 9.4.45
0x10F8	TXEFA	Tx イベント FIFO アクブリッジ	セクション 9.4.46

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。セクション 9.4 に、このセクションでアクセスタイプに使用しているコードを示します。

表 9-26. CAN_Controller アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R0	R	読み出し
RC	R C	読み出し後 クリア
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
RS	R S	を読み取って設定
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
W1S	W 1S	1 を書き込むことで セット
WP	W P	書き込み 特権アクセスが必要
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.4.1 CREL レジスタ (アドレス = 0x1000) [リセット = 0x32380608]

図 9-21 に、CREL を示し、表 9-27 に、その説明を示します。

概略表に戻ります。

図 9-21. CREL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REL				ステップ				SUBSTEP				YEAR			
R-0x3				R-0x2				R-0x3				R-0x8			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
月								日							
R-0x6								R-0x8							

表 9-27. CREL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	REL	R	0x3	1 桁、BCD コード
27-24	ステップ	R	0x2	1 桁、BCD コード
23-20	SUBSTEP	R	0x3	1 桁、BCD コード
19-16	YEAR	R	0x8	1 桁、BCD コード
15-8	月	R	0x6	2 桁、BCD コード
7-0	日	R	0x8	2 桁、BCD コード

9.4.2 ENDN レジスタ (アドレス = 0x1004) [リセット = 0x87654321]

図 9-22 に、ENDN を示し、表 9-28 に、その説明を示します。

概略表に戻ります。

図 9-22. ENDN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ETV_31:24								ETV_23:16							
R-0x87								R-0x65							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETV_15:8								ETV_7:0							
R-0x43								R-0x21							

表 9-28. ENDN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	ETV_31:24	R	0x87	エンディアンネス テスト値
23-16	ETV_23:16	R	0x65	エンディアンネス テスト値
15-8	ETV_15:8	R	0x43	エンディアンネス テスト値
7-0	ETV_7:0	R	0x21	エンディアンネス テスト値

9.4.3 DBTP レジスタ (アドレス = 0x100C) [リセット = 0x00000A33]

図 9-23 に、DBTP を示し、表 9-29 に、その説明を示します。

概略表に戻ります。

データ位相ビットのタイミング構成

注

DBTP によって CAN FD データ位相用に設定されるビット レートは、NBTP によってアービトレーション位相用に設定されるビット レート以上である必要があります。

図 9-23. DBTP レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
TDC	予約済み			DBRP			
R/WP-0x0	R-0x0			R/WP-0x0			
15	14	13	12	11	10	9	8
予約済み				DTSEG1			
R-0x0				R/WP-0xA			
7	6	5	4	3	2	1	0
DTSEG2				DSJW			
R/WP-0x3				R/WP-0x3			

表 9-29. DBTP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0x0	予約済み
23	TDC	R/WP	0x0	トランスミッタ遅延補償 0x0 = TDC ディセーブル 0x1 = TDC イネーブル
22-21	予約済み	R	0x0	予約済み
20-16	DBRP	R/WP	0x0	データビット プリスケーラ: ビット時間量子を生成するために発振器周波数を分周する値。 ビット時間はこの量子の倍数から構築されます。 ビットレートプリスケーラの有効な値は 0 ~ 31 です。 ハードウェアによるこの値の実際の解釈では、ここで設定された値に 1 を加えた値が使用されます。
15-13	予約済み	R	0x0	予約済み
12-8	DTSEG1	R/WP	0xA	サンプル ポイント前のデータ時間セグメント: 有効な値は 0 ~ 31 です。 ハードウェアでは、設定された値に 1 を加えた値が使用されます。
7-4	DTSEG2	R/WP	0x3	サンプル ポイント後のデータ時間セグメント: 有効な値は 0 ~ 15 です。 ハードウェアでは、設定された値に 1 を加えた値が使用されます。
3-0	DSJW	R/WP	0x3	データ (再) 同期ジャンプ幅: 有効な値は 0 ~ 15 です。 ハードウェアによるこの値の実際の解釈では、ここで設定された値に 1 を加えた値が使用されます。

9.4.4 TEST レジスタ (アドレス = 0x1010) [リセット = 0x00000000]

図 9-24 に、TEST を示し、表 9-30 に、その説明を示します。

概略表に戻ります。

テスト レジスタへの書き込みアクセスは、CCCR.TEST ビットを「1」に設定することで有効にする必要があります。CCCR.TEST ビットがリセットされると、すべてのテスト レジスタ機能はリセット値に設定されます。

図 9-24. TEST レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
予約済み							
R-0x0							
7	6	5	4	3	2	1	0
RX	予約済み		LBCK	予約済み			
RH-0x0	R-0x0		R/WP-0x0		R-0x0		

表 9-30. TEST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0x0	予約済み
7	RX	RH	0x0	受信ピン: MCAN RX ピンの実際の値を監視します
6-5	予約済み	R	0x0	
4	LBCK	R/WP	0x0	ループバックモード: 詳細については、および CAN ルックバック セクションを参照してください 0x0 = リセット値、ループバック モードが無効です 0x1 = ループバック モードが有効です
3-0	予約済み	R	0x0	予約済み

9.4.5 RWD レジスタ (アドレス = 0x1014) [リセット = 0x00000000]

図 9-25 に、RWD を示し、表 9-31 に、その説明を示します。

概略表に戻ります。

RAM ウォッチドッグは、メッセージ RAM の READY 出力を監視します。M_CAN の汎用マスタ インターフェイスを介したメッセージ RAM アクセスにより、RWD.WDC で設定された値でメッセージ RAM ウォッチドッグ カウンタが開始されます。メッセージ RAM が READY 出力をアクティブにして正常完了を通知すると、カウンタは RWD.WDC の値で再読み込みされます。メッセージ RAM から応答がないままカウンタがゼロまでカウントダウンすると、カウンタは停止し、割り込みフラグ IR.WDI がセットされます。RAM ウォッチドッグ カウンタは、ホスト クロックで駆動されます。

図 9-25. RWD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																WDV						WDC									
R-0x0																R-0x0						R/WP-0x0									

表 9-31. RWD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0x0	予約済み
15-8	WDV	R	0x0	実際のメッセージ RAM カウンタ値
7-0	WDC	R/WP	0x0	メッセージ RAM ウォッチドッグ カウンタの開始値。 リセット値が「0」の場合、カウンタは無効になります。

9.4.6 CCCR レジスタ (アドレス = 0x1018) [リセット = 0x00000001]

図 9-26 に、CCCR を示し、表 9-32 に、その説明を示します。

概略表に戻ります。

図 9-26. CCCR レジスタ

31								30								29								28								27								26								25								24							
予約済み																																																															
R-0x0																																																															
23								22								21								20								19								18								17								16							
予約済み																																																															
R-0x0																																																															
15								14								13								12								11								10								9								8							
NISO								TXP								EFBI								PXHD								予約済み								BRSE								FDOE															
R/WP-0x0								R/WP-0x0								R/WP-0x0								R/WP-0x0								R-0x0								R/WP-0x0								R/WP-0x0															
7								6								5								4								3								2								1								0							
TEST								DAR								MON								CSR								CSA								ASM								CCE								INIT							
R/WP-0x0								R/WP-0x0								R/WP-0x0								R/WP-0x0								R-0x0								R/WP-0x0								R/WP-0x0								R/W-0x1							

表 9-32. CCCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0x0	予約済み
15	NISO	R/WP	0x0	非 ISO 操作 0x0 = ISO 11898-1:2015 に準拠した CAN FD フレーム形式、0b1 = Bosch CAN FD Specification V1.0 に準拠した CAN FD フレーム形式
14	TXP	R/WP	0x0	トランスミッタの一時停止: このビットがセットされている場合、M_CAN は自身がフレームを正常送信した後、次の送信を開始する前に 2 CAN ビット時間だけ待機します。 0x0 = 送信一時停止を無効にします 0x1 = 送信一時停止を有効にします
13	EFBI	R/WP	0x0	バス統合時のエッジフィルタリング 0x0 = エッジフィルタを無効化 0x1 = ハード同期のためにエッジを検出するには、連続する 2 つのドミナント時間量子が必要です。
12	PXHD	R/WP	0x0	プロトコル例外処理が無効です。 注 プロトコル例外処理が無効になっている場合、M_CAN はプロトコル例外条件を検出すると、(CAN FD Light モードが有効でない限り) エラー フレームを送信します 0x0 = プロトコル例外処理を有効にします 0x1 = プロトコル例外処理を無効にします
11-10	予約済み	R	0x0	予約済み
9	BRSE	R/WP	0x0	ビットレート切り替えを有効化 #NOTE# CAN FD 動作を無効化 (FDOE = 0) の場合 #NOTE# 0x0 = 送信時のビットレート切り替えが無効 0x1 = 送信用のビットレート切り替えが有効
8	FDOE	R/WP	0x0	FD 動作を有効化 0x0 = FD 動作が無効 0x1 = FD 動作が有効
7	TEST	R/WP	0x0	テスト モードを有効化 0x0 = 通常動作、TEST レジスタはリセット値を保持 0x1 = テスト モード、TEST レジスタへの書き込みアクセスは有効

表 9-32. CCCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DAR	R/WP	0x0	自動再送信を無効化 0x0 = 正常に送信されなかったメッセージの自動再送信が有効 0x1 = 自動再送信は無効
5	MON	R/WP	0x0	バス監視を有効化 0x0 = バス監視モードは無効 0x1 = バス監視は有効
4	CSR	R/WP	0x0	クロック停止要求 #NOTE# デバイスはハードウェアを介して停止要求を処理します。 スタンバイモードでは、クロック停止要求が自動的に設定されます。 ユーザーは、Read-Modify-Write 操作中にクロック停止要求を行いたくない場合、このビットに 0 を書き込むよう注意する必要があります #/NOTE# 0x0 = クロック停止は要求されません 0x1 = クロック停止が要求されました。クロック停止が要求されると、保留中のすべての転送要求が完了し、CAN バスがアイドル状態に達した後、まず INIT、続いて CSA がセットされます。
3	CSA	R	0x0	クロック停止確認 0x0 = クロック停止は要求されません 0x1 = M_CAN のクロック停止要求が受け入れられ、CAN クロックを停止できます (内部的に処理されます)
2	ASM	R/WP	0x0	制限操作モード: このビットは、CCE と INIT の両方が 1 に設定されている場合にのみ、ホストによってセットできます。 このビットは、ホストによっていつでもリセットできます。 0x0 = 通常の CAN 動作 0x1 = 制限動作モードがアクティブ
1	CCE	R/WP	0x0	設定変更を有効化 #NOTE# CCE ビットは、MCAN レジスタ空間 (0x1000 ~ 0x10F8) 内の保護ビットへのアクセスを可能にします #/NOTE# 0x0 = ホストは、保護された構成レジスタへの書き込みアクセス権を持ちません 0x1 = ホストは、保護された構成レジスタへの書き込みアクセス権を持ちます (CCCR.INIT が 1 に設定されている場合にのみ、このビットを 1 に設定可能)
0	INIT	R/W	0x1	初期化: MCAN は「リセット」状態に保持されます #NOTE# デバイスがスタンバイモードへ移行すると、INIT ビットはハードウェアによってセットされます #/NOTE# 0x0 = 通常動作 0x1 = 初期化モード (CCCR.CCE を 1 に設定するために必要)

9.4.7 NBTP レジスタ (アドレス = 0x101C) [リセット = 0x06000A03]

図 9-27 に、NBTP を示し、表 9-33 に、その説明を示します。

概略表に戻ります。

図 9-27. NBTP レジスタ

31	30	29	28	27	26	25	24
NSJW							NBRP
R/WP-0x3							R/WP-0x0
23	22	21	20	19	18	17	16
NBRP							
R/WP-0x0							
15	14	13	12	11	10	9	8
NTSEG1							
R/WP-0xA							
7	6	5	4	3	2	1	0
予約済み	NTSEG2						
R-0x0	-0						

表 9-33. NBTP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	NSJW	R/WP	0x3	公称 (再) 同期ジャンプ幅 有効な値は 0~127 です。 ハードウェアによる実際の解釈は、ここに設定された値より 1 大きくなります
24-16	NBRP	R/WP	0x0	公称ビット レート プリスケアラ: ビット時間量子を生成するために発振器周波数を分周する値。 有効な値は 0~511 です。 ハードウェアによる実際の解釈は、ここに設定された値より 1 大きくなります
15-8	NTSEG1	R/WP	0xA	サンプルポイント前の公称時間セグメント。 有効な値は 1~255 です。 ハードウェアによる実際の解釈は、ここに設定された値より 1 大きくなります
7	予約済み	R	0x0	予約済み
6-0	NTSEG2	0x0	サンプル ポイント後の公称時間セグメント。 有効な値は 1~127 です。 ハードウェアによる実際の解釈は、ここに設定された値より 1 大きくなります	

9.4.8 TSCC レジスタ (アドレス = 0x1020) [リセット = 0x00000000]

図 9-28 に、TSCC を示し、表 9-34 に、その説明を示します。

概略表に戻ります。

図 9-28. TSCC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み											TCP				
R-0x0											R/WP-0x0				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													TSS		
R-0x0													R/WP-0x0		

表 9-34. TSCC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0x0	予約済み
19-16	TCP	R/WP	0x0	タイムスタンプ カウンタ プリスケーラの有効な値: 0x0 - 0xF: タイムスタンプ カウンタおよびタイムアウト カウンタの時間単位を、CAN ビット時間の倍数 [1 ~ 16] で設定します
15-2	予約済み	R	0x0	予約済み
1-0	TSS	R/WP	0x0	タイムスタンプ 選択 0x0 = タイムスタンプ カウンタ値は常に 0x0000 です 0x1 = タイムスタンプ カウンタ値は、TCP ビット プリスケーラに従ってインクリメントされます 0x2 = 外部タイムスタンプ カウンタ値を使用します (デバイスと同じ) 0x3 = 0b00 構成と同じ

9.4.9 TSCV レジスタ (アドレス = 0x1024) [リセット = 0x00000000]

図 9-29 に、TSCV を示し、表 9-35 に、その説明を示します。

概略表に戻ります。

図 9-29. TSCV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																TSC															
R-0x0																R/W1C-0x0															

表 9-35. TSCV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0x0	予約済み
15-0	TSC	R/W1C	0x0	<p>タイムスタンプ カウンタ値。内部 / 外部タイムスタンプ カウンタ値は、フレーム開始時 (RX および TX の両方) にキャプチャされます。</p> <p>TSCC.TSS = 0b01 の場合、タイムスタンプ カウンタは TSCC.TCP の設定に応じて、CAN ビット時間の倍数 ([1 ~ 16]) でインクリメントされます。ラップ アラウンドが発生すると、割り込みフラグ IR.TSW がセットされます。書き込みアクセスにより、カウンタはゼロにリセットされます。</p> <p>TSCC.TSS = 0b10 の場合、TSC は外部タイムスタンプ カウンタ値を反映し、書き込みアクセスは影響を与えません。</p>

9.4.10 TOCC レジスタ (アドレス = 0x1028) [リセット = 0xFFFF0000]

図 9-30 に、TOCC を示し、表 9-36 に、その説明を示します。

概略表に戻ります。

図 9-30. TOCC レジスタ

31	30	29	28	27	26	25	24
TOP							
R/WP-0xFFFF							
23	22	21	20	19	18	17	16
TOP							
R/WP-0xFFFF							
15	14	13	12	11	10	9	8
予約済み							
R-0x0							
7	6	5	4	3	2	1	0
予約済み					TOS		ETOC
R-0x0					R/WP-0x0		R/WP-0x0

表 9-36. TOCC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	TOP	R/WP	0xFFFF	タイムアウト期間。タイムアウト カウンタ (ダウン カウンタ) の開始値。 タイムアウト期間を設定しました
15-3	予約済み	R	0x0	予約済み
2-1	TOS	R/WP	0x0	タイムアウト選択。連続モードで動作中、TOCV への書き込みにより、カウンタは TOCC.TOP で設定された値にプリセットされ、ダウン カウンタを継続します。 タイムアウト カウンタがいずれかの FIFO によって制御されている場合、FIFO が空になると、カウンタは TOCC.TOP で設定された値にプリセットされます。 最初の FIFO 要素が格納されると、ダウン カウンタが開始されます。 0x0 = 連続動作。0b01 タイムアウトは TX イベント FIFO によって制御されます 0x2 = RX FIFO 0 によってタイムアウトを制御 0x3 = RX FIFO 1 によってタイムアウトを制御
0	ETOC	R/WP	0x0	タイムアウト カウンタをイネーブルに 0x0 = タイムアウトが無効化 0x1 = タイムアウトが有効化

9.4.11 TOCV レジスタ (アドレス = 0x102C) [リセット = 0x0000FFFF]

図 9-31 に、TOCV を示し、表 9-37 に、その説明を示します。

概略表に戻ります。

図 9-31. TOCV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																TOC															
R-0x0																R/W1C-0xFFFF															

表 9-37. TOCV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0x0	予約済み
15-0	TOC	R/W1C	0xFFFF	タイムアウト カウンタ タイムアウト カウンタは、CAN ビット時間の倍数 [1 ~ 16] でデクリメントされます

9.4.12 ECR レジスタ (アドレス = 0x1040) [リセット = 0x00000000]

図 9-32 に、ECR を示し、表 9-38 に、その説明を示します。

概略表に戻ります。

図 9-32. ECR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CEL							
R-0x0								RC-0x0							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RP		REC						TEC							
R-0x0		R-0x0						R-0x0							

表 9-38. ECR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0x0	予約済み
23-16	CEL	RC	0x0	CAN エラー ログギング。CAN プロトコル エラーによって送信エラー カウンターまたは受信エラー カウンタがインクリメントされるたびに、このカウンタはインクリメントされます。 CEL への読み取りアクセスによってリセットされます。 このカウンタは 0xFF で停止し、その後の TEC または REC の次回インクリメント時に、割り込みフラグ IR.ELO がセットされます
15	RP	R	0x0	受信エラー パッシブ 0x0 = 受信エラー カウンタは、エラー パッシブ レベル 128 未満です 0x1 = 受信エラー カウンタが、エラー パッシブ レベルである 128 に到達しました
14-8	REC	R	0x0	受信エラー カウンタの現在値、0 ~ 127 の値
7-0	TEC	R	0x0	送信エラー カウンタの実際の状態、0 ~ 255 の値

9.4.13 PSR レジスタ (アドレス = 0x1044) [リセット = 0x00000707]

図 9-33 に、PSR を示し、表 9-39 に、その説明を示します。

概略表に戻ります。

注

CAN FD 形式のフレームが、BRS フラグがセットされた状態でデータ位相に達した場合、次の CAN イベント (エラーまたは有効なフレーム) は、LEC ではなく DLEC に表示されます。CAN FD CRC シーケンスの固定されたもののビットのエラーは、スタップ エラーではなくフォーム エラーとして表示されます。Bus_Off リカバリシーケンス (ISO 11898-1:2015 を参照) は、CCCR.INIT をセットまたはリセットしても短縮できません。デバイスが Bus_Off 状態になると、デバイス自身が CCCR.INIT をセットし、すべてのバス アクティビティを停止します。CPU によって CCCR.INIT がクリアされると、デバイスは通常動作を再開する前に、129 回のバス アイドル (129 × 11 個の連続したリセッスビ ビット) が発生するのを待機します。Bus_Off リカバリ シーケンスの終了時に、エラー管理カウンタはリセットされます。CCCR.INIT のリセット後の待機時間中、11 個のリセッスビ ビットのシーケンスが監視されるたびに、Bit0Error コードが PSR.LEC に書き込まれます。これにより CPU は、CAN バスがドミナント状態で張り付いているか、または継続的に妨害されているかを容易に確認でき、さらに Bus_Off シーケンスを監視できます。ECR.REC は、これらのシーケンスをカウントするために使用されます。

図 9-33. PSR レジスタ

31	30	29	28	27	26	25	24	
予約済み								
R-0x0								
23	22	21	20	19	18	17	16	
予約済み	TDCV							
R-0x0				R-0x0				
15	14	13	12	11	10	9	8	
予約済み	PXE	RFDF	RBRB	RESI	DLEC			
R-0x0		RC-0x0	RC-0x0	RC-0x0	RC-0x0	RS-0x7		
7	6	5	4	3	2	1	0	
BO	EW	EP	ACT		LEC			
R-0x0		R-0x0	R-0x0	R-0x0		RS-0x7		

表 9-39. PSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-23	予約済み	R	0x0	予約済み
22-16	TDCV	R	0x0	トランスミッタの遅延補償値 0x00-0x7F - m_can_tx から m_can_rx および TDCR.TDCO までの測定遅延の合計によって定義されるセカンダリ サンプル ポイントの位置。 SSP の位置は、データ位相において、送信ビットの開始からセカンダリ サンプル ポイントまでの tq 数です。 有効な値は 0 ~ 127 です
15	予約済み	R	0x0	予約済み
14	PXE	RC	0x0	プロトコル例外イベント 0x0 = 前回の読み出しアクセス以降、プロトコル例外イベントは発生していません 0x1 = プロトコル例外イベントが発生しました
13	RFDF	RC	0x0	CAN FD メッセージを受信しました。このビットは、受け入れフィルタリングに関係なくセットされます 0x0 = CPU によってこのビットがリセットされて以降、CAN FD メッセージを受信していません 0x1 = FDF フラグが設定された CAN FD フォーマットのメッセージを受信しました

表 9-39. PSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	RBRS	RC	0x0	最後に受信した CAN FD メッセージの BRS フラグ。このビットは、受け入れフィルタリングに関係なく、RFDf と同時にセットされます 0x0 = 最後に受信した CAN FD メッセージでは、BRS フラグはセットされていませんでした 0x1 = 最後に受信した CAN FD メッセージでは、BRS フラグがセットされていました
11	RESI	RC	0x0	最後に受信した CAN FD メッセージの ESI フラグ。このビットは、受け入れフィルタリングに関係なく、RFDf と同時にセットされます 0x0 = 最後に受信した CAN FD メッセージでは、ESI フラグはセットされていませんでした 0x1 = 最後に受信した CAN FD メッセージでは、ESI フラグがセットされていました
10-8	DLEC	RS	0x7	BRS フラグがセットされた CAN FD 形式フレームのデータ位相で最後に発生したエラーの種類。 このフィールドは、BRS フラグがセットされた CAN FD 形式フレームがエラーなしで送受信された場合、ゼロにクリアされます。 このフィールドの値は、LEC フィールドと同じです。
7	BO	R	0x0	バス オフ 0x0 = M_CAN は Bus_Off ではありません 0x1 = M_CAN は Bus_Off 状態です
6	EW	R	0x0	エラーに関する警告 0x0 = 両方のエラー カウンタが、96 の Error_Warning 制限値未満です 0x1 = 少なくとも一つのエラー カウンタが、96 の Error_Warning 制限値に達しています
5	EP	R	0x0	エラー パッシブ 0x0 = M_CAN は Error_Active 状態です。通常、このノードはバス通信に参加し、エラーが検出されるとアクティブ エラー フラグを送信します 0x1 = M_CAN は Error_Passive 状態です
4-3	ACT	R	0x0	アクティビティはモジュールの CAN 通信状態を監視します 0x0 = 同期化 - ノードは CAN 通信に同期しています 0x1 = アイドル - ノードはレシーバでもトランスミッタでもありません 0x2 = レシーバ - ノードはレシーバとして動作しています 0b11 - トランスミッタ ノードはトランスミッタとして動作しています

表 9-39. PSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	LEC	RS	0x7	<p>CAN バスで最後に発生したエラーのタイプ。このフィールドは、メッセージがエラーなしで送受信されるとゼロにクリアされます</p> <hr/> <p style="text-align: center;">注</p> <p>CAN FD 形式のフレームが、BRS フラグがセットされた状態でデータ位相に達した場合、次の CAN イベント (エラーまたは有効なフレーム) は、LEC ではなく DLEC に表示されます。</p> <p>CAN FD CRC シーケンスの固定されたもののビットのエラーは、スタッフ エラーではなくフォーム エラーとして表示されます。</p> <hr/> <p style="text-align: center;">注</p> <p>Bus_Off リカバリ シーケンス (ISO 11898-1:2015 を参照) は、CCCR.INIT をセットまたはリセットしても短縮できません。</p> <p>デバイスが Bus_Off になると、デバイスは CCCR.INIT を独自に設定し、すべてのバスアクティビティを停止します。CPU によって CCCR.INIT がクリアされると、デバイスは通常動作を再開する前に、129 回のバス アイドル (129 × 11 個の連続したリセッピ ビット) が発生するのを待機します。Bus_Off リカバリ シーケンスの終了時に、エラー管理カウンタはリセットされます。</p> <p>CCCR.INIT のリセット後の待機時間中、11 個のリセッピ ビットのシーケンスが監視されるたびに、Bit0Error コードが PSR.LEC に書き込まれます。これにより CPU は、CAN バスがドミナント状態で張り付いているか、または継続的に妨害されているかを容易に確認でき、さらに Bus_Off リカバリ シーケンスを監視できます。</p> <p>ECR.REC は、これらのシーケンスをカウントするために使用されます。</p> <hr/> <p>0x0 = エラーなし - DLEC が正常な受信または送信によってリセットされているため、エラーは発生していません</p> <p>0x1 = スタッフ エラー - 許可されていない受信メッセージ部分において、5 個を超える同一ビットの連続が発生しました</p> <p>0x2 = フォーム エラー - 受信フレームの固定フォーマット部分の形式が正しくありません</p> <p>0x3 = AckError - M_CAN によって送信されたメッセージは、別のノードから確認応答されませんでした</p> <p>0x4 = Bit1Error - メッセージ送信中 (アービトレーション フィールドを除く) に、デバイスはリセッピ レベル (論理値「1」のビット) を送信しようとしたが、監視されたバス値はドミナントでした</p> <p>0x5 = Bit0Error - メッセージ (またはアクリッジ ビット、アクティブ エラー フラグ、過負荷フラグ) の送信中に、デバイスは支配的なレベル (データまたは識別子ビットの論理値「0」) を送信しようとしたが、監視されたバス値はリセッピでした。Bus_Off の回復中、このステータスは 11 のリセッピ ビットのシーケンスが監視されるたびに設定されます。これにより、CPU は Bus_Off リカバリ シーケンスの進行状況を監視できます (バスが支配的な状態に固着していないか、連続的に中断されていないことを示します)。</p>

9.4.14 TDCR レジスタ (アドレス = 0x1048) [リセット = 0x00000000]

図 9-34 に、TDCR を示し、表 9-40 に、その説明を示します。

概略表に戻ります。

図 9-34. TDCR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
予約済み	TDCO						
R-0x0	R/WP-0x0						
7	6	5	4	3	2	1	0
予約済み	TDCF						
R-0x0	R/WP-0x0						

表 9-40. TDCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0x0	予約済み
14-8	TDCO	R/WP	0x0	送信遅延補償オフセット。m_can_tx から m_can_rx までの測定遅延と、セカンダリ サンプル ポイントとの距離を定義するオフセット値です。有効な値は 0 ~ 127 tq です
7	予約済み	R	0x0	予約済み
6-0	TDCF	R/WP	0x0	送信遅延補償フィルタ ウィンドウ長。SSP 位置の最小値を定義します。m_can_rx 上のドミナント エッジによって SSP 位置がより早くなる場合、そのエッジは送信遅延測定では無視されます。この機能は、TDCF が TDCO より大きい値に設定されている場合に有効になります。有効な値は 0 ~ 127 です。

9.4.15 IR レジスタ (アドレス = 0x1050) [リセット = 0x00000000]

図 9-35 に、IR を示し、表 9-41 に、その説明を示します。

概略表に戻ります。

図 9-35. IR レジスタ

31		30		29		28		27		26		25		24	
予約済み		ARA		PED		PEA		WDI		BO		EW			
R-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0	
23		22		21		20		19		18		17		16	
EP		ELO		BEU		BEC		DRX		TOO		MRAF		TSW	
R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0	
15		14		13		12		11		10		9		8	
TEFL		TEFF		TEFW		TEFN		TCE		TCF		TC		HPM	
R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0	
7		6		5		4		3		2		1		0	
RF1L		RF1F		RF1W		RF1N		RF0L		RF0F		RF0W		RF0N	
R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0		R/W1C-0x0	

表 9-41. IR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	予約済み
29	ARA	R/W1C	0x0	予約済みアドレスへのアクセス 0x0 = 予約済みアドレスへのアクセスは発生していません 0x1 = 予約済みアドレスへのアクセスが発生しました
28	PED	R/W1C	0x0	データ位相におけるプロトコル エラー (データビット時間が使用されます) 0x0 = データ位相でプロトコル エラーはありません
27	PEA	R/W1C	0x0	アービトレーション位相におけるプロトコル エラー (公称ビット時間が使用されます) 0x0 = アービトレーション位相でプロトコル エラーはありません
26	WDI	R/W1C	0x0	ウォッチドッグ割り込み 0x0 = メッセージ RAM ウォッチドッグ イベントが発生していません 0x1 = READY 信号未検出による Message RAM ウォッチドッグ イベント
25	BO	R/W1C	0x0	Bus_Off ステータス 0x0 = Bus_Off ステータスは変化していません 0x1 = Bus_Off ステータスが変化しました
24	EW	R/W1C	0x0	警告ステータス 0x0 = Error_Warning ステータスは変化していません 0x1 = Error_Warning ステータスが変更されました
23	EP	R/W1C	0x0	エラー パッシブ 0x0 = Error_Passive ステータスは変化していません 0x1 = Error_Passive ステータスが変化しました
22	ELO	R/W1C	0x0	エラー ログ オーバーフロー 0x0 = CAN エラー ログ カウンタはオーバーフローしていません 0x1 = CAN エラー ログ カウンタのオーバーフローが発生しました
21	BEU	R/W1C	0x0	ビット エラー未訂正。修正不能なメッセージ RAM ビット エラーが検出されました。 メッセージ RAM に接続された ECC ロジックによって制御されます。 訂正されていないメッセージ RAM のビット エラーが発生すると、CCCR.INIT が「1」に設定されます。 これは、破損したデータの送信を防ぐためです。 0x0 = メッセージ RAM の読み出し時にビット エラーは検出されませんでした 0x1 = ビット エラーが検出され、訂正されていません

表 9-41. IR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
20	BEC	R/W1C	0x0	メッセージ RAM でビット エラーが検出され、訂正されました。 メッセージ RAM に接続された外部 ECC ロジックによって制御されます 0x0 = メッセージ RAM の読み出し時にビット エラーは検出されませんでした 0x1 = ビット エラーが検出され、訂正されています
19	DRX	R/W1C	0x0	専用 Rx バッファへのメッセージ格納。受信メッセージが専用 Rx バッファに格納されるたびに、このフラグがセットされます 0x0 = Rx バッファは更新されていません 0x1 = 少なくとも一件の受信メッセージが Rx バッファに格納されました
18	TOO	R/W1C	0x0	タイムアウトが発生 0x0 = タイムアウトは発生していません 0x1 = タイムアウトに達しました
17	MRAF	R/W1C	0x0	メッセージ RAM アクセス失敗。Rx ハンドラが、受信許可されたメッセージの受け入れフィルタリングまたは格納処理を完了する前に、次のメッセージのアービトラージ フィールドを受信した場合、このフラグがセットされます。 この場合、受け入れフィルタリングまたはメッセージ格納処理は中止され、Rx ハンドラは次のメッセージの処理を開始します。 また、Rx ハンドラがメッセージ RAM にメッセージを書き込むことができなかった場合にも設定されます。 この場合、メッセージ格納処理は中止されます。 どちらの場合も、FIFO の put インデックスは更新されません。 このフラグは、Tx ハンドラがメッセージ RAM からメッセージを時間内に読み出せなかった場合にもセットされます。 この場合、メッセージの送信は中止されます。 Tx ハンドラのアクセスに失敗した場合、M_CAN は制限付き動作モードに切り替わります。 制限動作モードを終了するには、ホスト CPU が CCCR.ASM をリセットする必要があります。 0x0 = メッセージ RAM アクセス障害が発生しました 0x1 = メッセージ RAM アクセス障害が発生しました
16	TSW	R/W1C	0x0	タイムスタンプ ラップアラウンド 0x0 = タイムスタンプ カウンタのラップアラウンドは発生していません 0x1 = タイムスタンプ カウンタのラップアラウンドが発生しています
15	TEFL	R/W1C	0x0	Tx イベント FIFO 素子消失 0x0 = Tx イベント FIFO 素子は消失していません 0x1 = Tx イベント FIFO 素子が消失し、サイズ ゼロの Tx イベント FIFO への書き込み試行後にもセットされました
14	TEFF	R/W1C	0x0	Tx イベント FIFO フル 0x0 = Tx イベント FIFO はフルではありません 0x1 = Tx イベント FIFO がフルです
13	TEFW	R/W1C	0x0	Tx イベント FIFO ウォーターマークに到達 0x0 = Tx イベント FIFO の格納レベルがウォーターマーク未満です 0x1 = Tx イベント FIFO の格納レベルがウォーターマークに到達しました
12	TEFN	R/W1C	0x0	Tx イベント FIFO の新しいエントリ 0x0 = Tx イベント FIFO は変更されません 0x1 = Tx イベント FIFO の新しい素子
11	TCE	R/W1C	0x0	Tx FIFO が空 0x0 = Tx FIFO が空ではありません 0x1 = Tx FIFO が空です
10	TCF	R/W1C	0x0	送信キャンセル完了 0x0 = 送信キャンセル完了は発生していません 0x1 = 送信キャンセルが完了しました
9	TC	R/W1C	0x0	送信完了 0x0 = 送信完了は発生していません 0x1 = 送信が完了しました

表 9-41. IR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	HPM	R/W1C	0x0	高優先度メッセージ 0x0 = 高優先度メッセージは受信されていません 0x1 = 高優先度メッセージを受信しました
7	RF1L	R/W1C	0x0	Rx FIFO 1 メッセージ消失 0x0 = Rx FIFO 1 メッセージ消失は発生していません 0x1 = Rx FIFO 1 メッセージが失われ、サイズ ゼロの Rx FIFO 1 への書き込み試行後にもセットされます
6	RF1F	R/W1C	0x0	Rx FIFO 1 フル 0x0 = Rx FIFO 1 はフルではありません 0x1 = Rx FIFO 1 がフルです
5	RF1W	R/W1C	0x0	Rx FIFO 1 ウォーターマーク到達 0x0 = Rx FIFO 1 の格納レベルはウォーターマーク未満です 0x1 = Rx FIFO 1 の格納レベルがウォーターマークに達しました
4	RF1N	R/W1C	0x0	Rx FIFO 1 新規メッセージ 0x0 = Rx FIFO 1 に新規メッセージはありません 0x1 = Rx FIFO 1 に新規メッセージがあります
3	RF0L	R/W1C	0x0	Rx FIFO 0 メッセージ消失 0x0 = Rx FIFO 0 メッセージ消失は発生していません 0x1 = Rx FIFO 0 メッセージが失われ、サイズ ゼロの Rx FIFO 0 への書き込み試行後にもセットされます
2	RF0F	R/W1C	0x0	Rx FIFO 0 フル 0x0 = Rx FIFO 0 はフルではありません 0x1 = Rx FIFO 0 がフルです
1	RF0W	R/W1C	0x0	Rx FIFO 0 ウォーターマーク到達 0x0 = Rx FIFO 0 の格納レベルはウォーターマーク未満です 0x1 = Rx FIFO 0 の格納レベルがウォーターマークに達しました
0	RF0N	R/W1C	0x0	Rx FIFO 0 新規メッセージ 0x0 = Rx FIFO 0 に新規メッセージはありません 0x1 = Rx FIFO 0 に新規メッセージがあります

9.4.16 IE レジスタ (アドレス = 0x1054) [リセット = 0x00000000]

図 9-36 に、IE を示し、表 9-42 に、その説明を示します。

概略表に戻ります。

図 9-36. IE レジスタ

31		30		29		28		27		26		25		24	
予約済み		ARAE		PEDE		PEAE		WDIE		BOE		EWE			
R-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	
23		22		21		20		19		18		17		16	
EPE		ELOE		BEUE		BECE		DRXE		TOOE		MRAFE		TSWE	
R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	
15		14		13		12		11		10		9		8	
TEFLE		TEFFE		TEFWE		TEFNE		TCEE		TCFE		TCE		HPME	
R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	
7		6		5		4		3		2		1		0	
RF1LE		RF1FE		RF1WE		RF1NE		RF0LE		RF0FE		RF0WE		RF0NE	
R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	

表 9-42. IE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	予約済み
29	ARAE	R/W	0x0	予約済みアドレス アクセス割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
28	PEDE	R/W	0x0	データ位相のプロトコル エラー割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
27	PEAE	R/W	0x0	アービトレーション位相のプロトコル エラー割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
26	WDIE	R/W	0x0	ウォッチドッグ イベント割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
25	BOE	R/W	0x0	Bus_Off ステータス割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
24	EWE	R/W	0x0	警告ステータス割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
23	EPE	R/W	0x0	エラー パッシブ割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
22	ELOE	R/W	0x0	エラー ログイング オーバーフロー割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
21	BEUE	R/W	0x0	ビット エラー訂正なし割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
20	BECE	R/W	0x0	メッセージ RAM ビット エラー割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です

表 9-42. IE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	DRXE	R/W	0x0	専用 Rx バッファへのメッセージ格納割り込みを有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
18	TOOE	R/W	0x0	タイムアウト発生割り込みを有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
17	MRAFE	R/W	0x0	メッセージ RAM アクセス障害割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
16	TSWE	R/W	0x0	タイムスタンプ ラップアラウンド割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
15	TEFLE	R/W	0x0	Tx イベント FIFO 素子喪失割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
14	TEFFE	R/W	0x0	Tx イベント FIFO フル割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
13	TEFWE	R/W	0x0	Tx イベント FIFO ウォーターマーク到達割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
12	TEFNE	R/W	0x0	Tx イベント FIFO 新規エントリ割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
11	TCEE	R/W	0x0	Tx FIFO 空割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
10	TCFE	R/W	0x0	送信キャンセル完了割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
9	TCE	R/W	0x0	送信完了割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
8	HPME	R/W	0x0	高優先度メッセージ割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
7	RF1LE	R/W	0x0	Rx FIFO 1 メッセージ喪失割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
6	RF1FE	R/W	0x0	Rx FIFO 1 フル割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
5	RF1WE	R/W	0x0	Rx FIFO 1 ウォーターマーク到達割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
4	RF1NE	R/W	0x0	Rx FIFO 1 の新規メッセージ割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
3	RF0LE	R/W	0x0	Rx FIFO 0 メッセージ喪失割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です

表 9-42. IE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	RF0FE	R/W	0x0	Rx FIFO 0 フル割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
1	RF0WE	R/W	0x0	Rx FIFO 0 ウォーターマーク到達割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です
0	RF0NE	R/W	0x0	Rx FIFO 0 の新規メッセージ割り込みの有効化 0x0 = 割り込みは無効です 0x1 = 割り込みは有効です

9.4.17 ILS レジスタ (アドレス = 0x1058) [リセット = 0x00000000]

図 9-37 に、ILS を示し、表 9-43 に、その説明を示します。

概略表に戻ります。

図 9-37. ILS レジスタ

31		30		29		28		27		26		25		24	
予約済み		ARAL		PEDL		PEAL		WDIL		BOL		EWL			
R-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	
23		22		21		20		19		18		17		16	
EPL		ELOL		BEUL		BECL		DRXL		ツール		MRAFL		TSWL	
R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	
15		14		13		12		11		10		9		8	
TEFLL		TEFFL		TEFWL		TEFNL		TCEL		TCFL		TCL		HPML	
R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	
7		6		5		4		3		2		1		0	
RF1LL		RF1FL		RF1WL		RF1NL		RF0LL		RF0FL		RF0WL		RF0NL	
R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0		R/W-0x0	

表 9-43. ILS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	予約済み
29	ARAL	R/W	0x0	予約済みアドレスラインへのアクセス 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
28	PEDL	R/W	0x0	データ位相ラインのプロトコル エラー 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
27	PEAL	R/W	0x0	アービトレーション位相ラインのプロトコル エラー 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
26	WDIL	R/W	0x0	ウォッチドッグ割り込みライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
25	BOL	R/W	0x0	Bus_Off ステータスライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
24	EWL	R/W	0x0	警告ステータスライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)

表 9-43. ILS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
23	EPL	R/W	0x0	エラー バッファ回線 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
22	ELOL	R/W	0x0	エラー ログ オーバーフロー ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
21	BEUL	R/W	0x0	ビット エラー訂正されていないメッセージ RAM ビット エラー検出、訂正されていないライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
20	BECL	R/W	0x0	メッセージ RAM ビット エラー検出および訂正ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
19	DRXL	R/W	0x0	専用 Rx バッファへのメッセージ格納ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
18	ツール	R/W	0x0	タイムアウト発生ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
17	MRAFL	R/W	0x0	メッセージ RAM アクセス失敗回線 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
16	TSWL	R/W	0x0	タイムスタンプ ラップアラウンド ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
15	TEFLL	R/W	0x0	Tx イベント FIFO 要素の喪失ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
14	TEFFL	R/W	0x0	Tx イベント FIFO フル ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
13	TEFWL	R/W	0x0	Tx イベント FIFO ウォーターマーク到達ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)

ADVANCE INFORMATION

表 9-43. ILS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	TEFNL	R/W	0x0	Tx イベント FIFO 新規エントリライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
11	TCEL	R/W	0x0	Tx FIFO の空ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
10	TCFL	R/W	0x0	転送キャンセル終了ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
9	TCL	R/W	0x0	送信完了ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
8	HPML	R/W	0x0	高優先度メッセージライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
7	RF1LL	R/W	0x0	Rx FIFO 1 メッセージ喪失ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
6	RF1FL	R/W	0x0	Rx FIFO 1 フルライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
5	RF1WL	R/W	0x0	Rx FIFO 1 ウォーターマーク到達ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
4	RF1NL	R/W	0x0	Rx FIFO 1 新規メッセージライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
3	RF0LL	R/W	0x0	Rx FIFO 0 メッセージ喪失ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
2	RF0FL	R/W	0x0	Rx FIFO 0 フルライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)

表 9-43. ILS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	RF0WL	R/W	0x0	Rx FIFO 0 ウォーターマーク到達ライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)
0	RF0NL	R/W	0x0	Rx FIFO 0 新規メッセージライン 0x0 = この割り込みに対して割り込みライン 0 が選択されます (有効な場合) 0x1 = この割り込みに対して割り込みライン 1 が選択されます (有効な場合)

9.4.18 ILE レジスタ (アドレス = 0x105C) [リセット = 0x00000000]

図 9-38 に、ILE を示し、表 9-44 に、その説明を示します。

概略表に戻ります。

CAN コントローラからの割り込み出力を有効にします。#NOTE#m_can_int0(INT0) は、メイン デバイスの nINT ピンにルーティングされます。m_can_int1(INT1) は、デフォルトではどのピンにもルーティングされていませんが、INT1 ライン用のアクティブ Low 出力として nWKRQ にルーティングできます。この機能は、レジスタ 0x0800[10] で有効にされます。#NOTE#

図 9-38. ILE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
予約済み							
R-0x0							
7	6	5	4	3	2	1	0
予約済み						EINT1	EINT0
R-0x0						R/W-0x0	R/W-0x0

表 9-44. ILE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0x0	予約済み
1	EINT1	R/W	0x0	割り込みライン 1 を有効化 0x0 = 割り込みライン m_can_int1 を無効化 0x1 = 割り込みライン m_can_int1 を有効化
0	EINT0	R/W	0x0	割り込みライン 0 を有効化 0x0 = 割り込みライン m_can_int0 を無効化 0x1 = 割り込みライン m_can_int0 を有効化

9.4.19 GFC レジスタ (アドレス = 0x1080) [リセット = 0x00000000]

図 9-39 に、GFC を示し、表 9-45 に、その説明を示します。

概略表に戻ります。

図 9-39. GFC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
予約済み							
R-0x0							
7	6	5	4	3	2	1	0
予約済み	ANFS			ANFE		RRFS	RRFE
R-0x0	R/WP-0x0			R/WP-0x0		R/WP-0x0	R/WP-0x0

表 9-45. GFC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0x0	予約済み
5-4	ANFS	R/WP	0x0	Accept Non-matching Frames Standard (標準不一致フレームの受け入れ): フィルタリストのどの要素にも一致しない 11 ビットの ID を持つ受信メッセージの処理方法を定義します。 0x0 = Rx FIFO 0 で受信許可 0x1 = Rx FIFO 1 で受信許可 0x2 = 拒否 0x3 = 拒否
3-2	ANFE	R/WP	0x0	非一致フレーム受信 (拡張 ID)。フィルタリスト内のどの要素にも一致しない 29 ビット ID の受信メッセージをどのように処理するかを定義します。 0x0 = Rx FIFO 0 で受信許可 0x1 = Rx FIFO 1 で受信許可 0x2 = 拒否 0x3 = 拒否
1	RRFS	R/WP	0x0	リモートフレーム拒否標準 ID 0x0 = 11 ビット標準 ID のリモートフレームをフィルタリング 0x1 = 11 ビット標準 ID のすべてのリモートフレームを拒否
0	RRFE	R/WP	0x0	リモートフレーム拡張 ID を拒否 0x0 = 29 ビット拡張 ID のリモートフレームをフィルタリング 0x1 = 29 ビット拡張 ID のすべてのリモートフレームを拒否

9.4.20 SIDFC レジスタ (アドレス = 0x1084) [リセット = 0x00000000]

図 9-40 に、SIDFC を示し、表 9-46 に、その説明を示します。

概略表に戻ります。

図 9-40. SIDFC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								LSS								FLSSA															
R-0x0								R/WP-0x0								R/WP-0x0															

表 9-46. SIDFC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0x0	予約済み
23-16	LSS	R/WP	0x0	リスト サイズ標準 0 = 標準メッセージ ID なしフィルタ 1- 128 = 標準メッセージ ID フィルタ エLEMENT数 # 62# 128 = 128 より大きい値は 128 と解釈されます
15-0	FLSSA	R/WP	0x0	フィルタリスト標準開始アドレス 標準 Message ID フィルタリストの開始アドレス。#NOTE# このレジスタ FLSSA の MRAM および開始アドレスには、特別な考慮事項があります。開始アドレスは、MRAM 内でワード境界 (32 ビット) にアラインされている必要があります。この動作を保証するため、最下位 2 ビットは書き込み時に無視されます。MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要です。たとえば、目的の開始アドレスが 0x8634 の場合、SA[15:0] ビットに入力する値は 0x0634 である必要があります。#NOTE#

9.4.21 XIDFC レジスタ (アドレス = 0x1088) [リセット = 0x00000000]

図 9-41 に、XIDFC を示し、表 9-47 に、その説明を示します。

概略表に戻ります。

図 9-41. XIDFC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									LSE									FLSEA													
R-0x0									R/WP-0x0									R/WP-0x0													

表 9-47. XIDFC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-23	予約済み	R	0x0	予約済み
22-16	LSE	R/WP	0x0	リスト サイズ拡張 0 = 標準メッセージ ID なしフィルタ 1- 128 = 標準メッセージ ID フィルタ エLEMENT数 # 62# 128 = 128 より大きい値は 128 と解釈されます
15-0	FLSEA	R/WP	0x0	フィルタリスト拡張開始アドレス 拡張 Message ID フィルタリストの開始アドレス。#NOTE# このレジスタ FLSSA の MRAM および開始アドレスには、特別な考慮事項があります。開始アドレスは、MRAM 内でワード境界 (32 ビット) にアラインされている必要があります。この動作を保証するため、最下位 2 ビットは書き込み時に無視されます。MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要です。たとえば、目的の開始アドレスが 0x8634 の場合、SA[15:0] ビットに入力する値は 0x0634 である必要があります。#NOTE#

9.4.22 XIDAM レジスタ (アドレス = 0x1090) [リセット = 0x3FFFFFFF]

図 9-42 に、XIDAM を示し、表 9-48 に、その説明を示します。

概略表に戻ります。

図 9-42. XIDAM レジスタ

31	30	29	28	27	26	25	24
予約済み		拡張					
R-0x0		R/WP-0x3FFFFFFF					
23	22	21	20	19	18	17	16
拡張							
R/WP-0x3FFFFFFF							
15	14	13	12	11	10	9	8
拡張							
R/WP-0x3FFFFFFF							
7	6	5	4	3	2	1	0
拡張							
R/WP-0x3FFFFFFF							

表 9-48. XIDAM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	予約済み
29-0	拡張	R/WP	0x3FFFFFFF	拡張 ID マスク。拡張フレームの受け入れフィルタリングでは、拡張 ID AND マスクが受信フレームのメッセージ ID に対して AND 演算されます。SAE J1939 における 29 ビット ID のマスクングを目的としています。すべてのビットのリセット値が 1 に設定されている場合、マスクは有効になりません。

9.4.23 HPMS レジスタ (アドレス = 0x1094) [リセット = 0x00000000]

図 9-43 に、HPMS を示し、表 9-49 に、その説明を示します。

概略表に戻ります。

図 9-43. HPMS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
FLST				FIDX			
R-0x0				R-0x0			
7	6	5	4	3	2	1	0
MSI		BIDX					
R-0x0		R-0x0					

表 9-49. HPMS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0x0	予約済み
15	FLST	R	0x0	フィルタリスト。一致したフィルタ要素のフィルタリストを示します 0x0 = 標準フィルタリスト 0x1 = 拡張フィルタリスト
14-8	FIDX	R	0x0	フィルタ インデックス。一致したフィルタ要素のインデックス。 範囲は 0 ~ SIDFC.LSS - 1、および XIDFC.LSE - 1 まで
7-6	MSI	R	0x0	メッセージ ストレージ インジケータ 0x0 = FIFO は選択されていません 0x1 = FIFO メッセージが消失されました 0x2 = メッセージが FIFO0 に保存されます 0x3 = メッセージが FIFO1 に保存されます
5-0	BIDX	R	0x0	バッファ インデックス。メッセージが格納された Rx FIFO 要素のインデックス。 MSI[1] = 「1」の場合のみ有効

9.4.24 NDAT1 レジスタ (アドレス = 0x1098) [リセット = 0x00000000]

図 9-44 に、NDAT1 を示し、表 9-50 に、その説明を示します。

概略表に戻ります。

図 9-44. NDAT1 レジスタ

31	30	29	28	27	26	25	24
ND31	ND30	ND29	ND28	ND27	ND26	ND25	ND24
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
23	22	21	20	19	18	17	16
ND23	ND22	ND21	ND20	ND19	ND18	ND17	ND16
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
15	14	13	12	11	10	9	8
ND15	ND14	ND13	ND12	ND11	ND10	ND9	ND8
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
7	6	5	4	3	2	1	0
ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0

表 9-50. NDAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	ND31	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
30	ND30	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
29	ND29	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
28	ND28	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
27	ND27	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
26	ND26	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
25	ND25	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
24	ND24	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
23	ND23	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
22	ND22	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
21	ND21	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
20	ND20	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
19	ND19	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
18	ND18	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
17	ND17	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します

表 9-50. NDAT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
16	ND16	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
15	ND15	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
14	ND14	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
13	ND13	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
12	ND12	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
11	ND11	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
10	ND10	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
9	ND9	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
8	ND8	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
7	ND7	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
6	ND6	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
5	ND5	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
4	ND4	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
3	ND3	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
2	ND2	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
1	ND1	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
0	ND0	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します

9.4.25 NDAT2 レジスタ (アドレス = 0x109C) [リセット = 0x00000000]

図 9-45 に、NDAT2 を示し、表 9-51 に、その説明を示します。

概略表に戻ります。

図 9-45. NDAT2 レジスタ

31	30	29	28	27	26	25	24
ND63	ND62	ND61	ND60	ND59	ND58	ND57	ND56
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
23	22	21	20	19	18	17	16
ND55	ND54	ND53	ND52	ND51	ND50	ND49	ND48
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
15	14	13	12	11	10	9	8
ND47	ND46	ND45	ND44	ND43	ND42	ND41	ND40
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0
7	6	5	4	3	2	1	0
ND39	ND38	ND37	ND36	ND35	ND34	ND33	ND32
R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0	R/W1C-0x0

表 9-51. NDAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	ND63	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
30	ND62	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
29	ND61	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
28	ND60	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
27	ND59	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
26	ND58	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
25	ND57	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
24	ND56	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
23	ND55	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
22	ND54	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
21	ND53	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
20	ND52	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
19	ND51	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
18	ND50	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
17	ND49	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します

表 9-51. NDAT2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
16	ND48	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
15	ND47	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
14	ND46	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
13	ND45	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
12	ND44	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
11	ND43	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
10	ND42	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
9	ND41	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
8	ND40	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
7	ND39	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
6	ND38	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
5	ND37	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
4	ND36	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
3	ND35	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
2	ND34	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
1	ND33	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します
0	ND32	R/W1C	0x0	0x0 = Rx バッファは更新されていません 0x1 = Rx バッファを新規メッセージで更新します

9.4.26 RXF0C レジスタ (アドレス = 0x10A0) [リセット = 0x00000000]

図 9-46 に、RXF0C を示し、表 9-52 に、その説明を示します。

概略表に戻ります。

図 9-46. RXF0C レジスタ

31	30	29	28	27	26	25	24
F0OM				F0WM			
R/WP-0x0				R/WP-0x0			
23	22	21	20	19	18	17	16
予約済み				F0S			
R-0x0				R/WP-0x0			
15	14	13	12	11	10	9	8
F0SA							
R/WP-0x0							
7	6	5	4	3	2	1	0
F0SA							
R/WP-0x0							

表 9-52. RXF0C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	F0OM	R/WP	0x0	FIFO 0 動作モード。FIFO がフルのときの新規メッセージに対する動作を設定します 0x0 = FIFO 0 は、新規メッセージを拒否するモードです 0x1 = FIFO 0 は、古いメッセージを上書きするモードです
30-24	F0WM	R/WP	0x0	FIFO 0 ウォーターマーク 0 = ウォーターマーク割り込み無効 1- 64 = Rx FIFO 0 ウォーターマーク割り込み (IR.RF 0W) のレベル # 62# 64 = ウォーターマーク割り込み無効
23	予約済み	R	0x0	予約済み
22-16	F0S	R/WP	0x0	FIFO 0 サイズ。Rx FIFO 0 の要素数を設定します。 0 = Rx FIFO はありません 0 1- 64 = Rx FIFO 0 素子の数 # 62# 64 = 64 として解釈
15-0	F0SA	R/WP	0x0	Rx FIFO 0 開始アドレス。Rx FIFO0 の開始アドレス。#NOTE#このレジスタの MRAM および開始アドレスには特別な考慮事項があります。開始アドレスは、MRAM 内でワード境界 (32 ビット) にアラインされている必要があります。この動作を保証するため、最下位 2 ビットは書き込み時に無視されます。MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要です。たとえば、目的の開始アドレスが 0x8634 の場合、SA[15:0] ビットに入力する値は 0x0634 である必要があります。#NOTE#

9.4.27 RXF0S レジスタ (アドレス = 0x10A4) [リセット = 0x00000000]

図 9-47 に、RXF0S を示し、表 9-53 に、その説明を示します。

概略表に戻ります。

図 9-47. RXF0S レジスタ

31	30	29	28	27	26	25	24
予約済み						RF0L	RF0F
R-0x0						R-0x0	R-0x0
23	22	21	20	19	18	17	16
予約済み				F0PI			
R-0x0				R-0x0			
15	14	13	12	11	10	9	8
予約済み				F0GI			
R-0x0				R-0x0			
7	6	5	4	3	2	1	0
予約済み				F0FL			
R-0x0				R-0x0			

表 9-53. RXF0S レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0x0	予約済み
25	RF0L	R	0x0	Rx FIFO 0 メッセージ消失。このビットは、割り込みフラグ IR.RF0L のコピーです。 IR.RF0L がリセットされると、このビットもリセットされます。 #NOTE#RXF0C.F0OM = 1 の場合、最も古いメッセージを上書きしても、このフラグはセットされません #/NOTE# 0x0 = Rx FIFO 0 メッセージ消失は発生していません 0x1 = Rx FIFO 0 メッセージが失われ、サイズ ゼロの Rx FIFO 0 への書き込み試行後にもセットされます
24	RF0F	R	0x0	Rx FIFO 0 フル。このビットは、割り込みフラグ IR.RF0F のコピーです。 IR.RF0F がクリアされている場合、このビットもリセットされます 0x0 = Rx FIFO 0 はフルではありません 0x1 = Rx FIFO 0 がフルです
23-22	予約済み	R	0x0	予約済み
21-16	F0PI	R	0x0	Rx FIFO 0 入力インデックス。有効範囲は 0 ~ 63 です
15-14	予約済み	R	0x0	予約済み
13-8	F0GI	R	0x0	Rx FIFO 0 取得インデックス、有効範囲は 0 ~ 63 です
7	予約済み	R	0x0	予約済み
6-0	F0FL	R	0x0	Rx FIFO 0 充填レベル。Rx FIFO 0 に格納されている要素の数、有効範囲は 0 ~ 64 です

9.4.28 RXF0A レジスタ (アドレス = 0x10A8) [リセット = 0x00000000]

図 9-48 に、RXF0A を示し、表 9-54 に、その説明を示します。

概略表に戻ります。

図 9-48. RXF0A レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	FOAI														
R-0x0																	R/W-0x0														

表 9-54. RXF0A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0x0	予約済み
5-0	FOAI	R/W	0x0	Rx FIFO 0 アクナリッジ インデックス ホストが Rx FIFO 0 からメッセージまたは複数のメッセージを読み出した後、Rx FIFO 0 から最後に読み出した要素のバッファ インデックスを FOAI に書き込む必要があります。これにより、Rx FIFO 0 取得インデックスが FOAI + 1 に設定され、RXF0S.F0FL に示すフィルレベルが更新されます

9.4.29 RXBC レジスタ (アドレス = 0x10AC) [リセット = 0x00000000]

図 9-49 に、RXBC を示し、表 9-55 に、その説明を示します。

概略表に戻ります。

図 9-49. RXBC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																RBSA															
R-0x0																R/WP-0x0															

表 9-55. RXBC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0x0	予約済み
15-0	RBSA	R/WP	0x0	Rx バッファの開始アドレス。Rx バッファの開始アドレスです。#NOTE# このレジスタの MRAM および開始アドレスには、特別な考慮事項があります。 開始アドレスは、MRAM 内でワード境界 (32 ビット) にアラインされている必要があります。 この動作を保証するため、最下位 2 ビットは書き込み時に無視されます。 MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要です。 たとえば、目的の開始アドレスが 0x8634 の場合、SA[15:0] ビットに入力する値は 0x0634 である必要があります。#NOTE#

9.4.30 RXF1C レジスタ (アドレス = 0x10B0) [リセット = 0x00000000]

図 9-50 に、RXF1C を示し、表 9-56 に、その説明を示します。

概略表に戻ります。

図 9-50. RXF1C レジスタ

31	30	29	28	27	26	25	24
F1OM							F1WM
R/WP-0x0				R/WP-0x0			
23	22	21	20	19	18	17	16
予約済み							F1S
R-0x0				R/WP-0x0			
15	14	13	12	11	10	9	8
F1SA							
R/WP-0x0							
7	6	5	4	3	2	1	0
F1SA							
R/WP-0x0							

表 9-56. RXF1C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	F1OM	R/WP	0x0	FIFO 1 動作モード。FIFO がフルのときの新規メッセージに対する動作を設定します 0x0 = FIFO 1 は、新規メッセージを拒否するモードです 0x1 = FIFO 1 は、古いメッセージを上書きするモードです
30-24	F1WM	R/WP	0x0	FIFO 1 ウォーターマーク 0 = ウォーターマーク割り込み無効 1- 64 = Rx FIFO 1 ウォーターマーク割り込み (IR.RF 1W) のレベル # 62# 64 = ウォーターマーク割り込み無効
23	予約済み	R	0x0	予約済み
22-16	F1S	R/WP	0x0	FIFO 1 サイズ。Rx FIFO 1 の要素数を設定します。 0 = Rx FIFO はありません 1 1- 64 = Rx FIFO 1 素子の数 # 62# 64 = 64 として解釈
15-0	F1SA	R/WP	0x0	Rx FIFO 1 開始アドレス。Rx FIFO1 の開始アドレス。#NOTE#このレジスタの MRAM および開始アドレスには特別な考慮事項があります。開始アドレスは、MRAM 内でワード境界 (32 ビット) にアラインされている必要があります。この動作を保証するため、最下位 2 ビットは書き込み時に無視されます。MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要です。たとえば、目的の開始アドレスが 0x8634 の場合、SA[15:0] ビットに入力する値は 0x0634 である必要があります。#NOTE#

9.4.31 RXF1S レジスタ (アドレス = 0x10B4) [リセット = 0x00000000]

図 9-51 に、RXF1S を示し、表 9-57 に、その説明を示します。

概略表に戻ります。

図 9-51. RXF1S レジスタ

31	30	29	28	27	26	25	24
予約済み						RF1L	RF1F
R-0x0						R-0x0	R-0x0
23	22	21	20	19	18	17	16
予約済み				F1PI			
R-0x0				R-0x0			
15	14	13	12	11	10	9	8
予約済み				F1GI			
R-0x0				R-0x0			
7	6	5	4	3	2	1	0
予約済み				F1FL			
R-0x0				R-0x0			

表 9-57. RXF1S レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0x0	予約済み
25	RF1L	R	0x0	Rx FIFO 1 メッセージ消失。このビットは、割り込みフラグ IR.RF1L のコピーです。 IR.RF1L がリセットされると、このビットもリセットされます。 #NOTE#RXF1C.F1OM = 1 によって最も古いメッセージが上書きされる場合、このフラグは設定されません #NOTE# 0x0 = Rx FIFO 1 メッセージ消失は発生していません 0x1 = Rx FIFO 1 メッセージが失われ、サイズ ゼロの Rx FIFO 1 への書き込み試行後にもセットされます
24	RF1F	R	0x0	Rx FIFO 1 フル。このビットは、割り込みフラグ IR.RF1F のコピーです。 IR.RF1F がクリアされている場合、このビットもリセットされます 0x0 = Rx FIFO 1 はフルではありません 0x1 = Rx FIFO 1 がフルです
23-22	予約済み	R	0x0	予約済み
21-16	F1PI	R	0x0	Rx FIFO 1 入力インデックス。有効範囲は 0 ~ 63 です
15-14	予約済み	R	0x0	予約済み
13-8	F1GI	R	0x0	Rx FIFO 1 取得インデックス、有効範囲は 0 ~ 63 です
7	予約済み	R	0x0	予約済み
6-0	F1FL	R	0x0	Rx FIFO 1 フィル レベル。Rx FIFO 1 に格納されている要素の数、有効範囲は 0 ~ 64 です

9.4.32 RXF1A レジスタ (アドレス = 0x10B8) [リセット = 0x00000000]

図 9-52 に、RXF1A を示し、表 9-58 に、その説明を示します。

概略表に戻ります。

図 9-52. RXF1A レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																	F1AI														
R-0x0																	R/W-0x0														

表 9-58. RXF1A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0x0	予約済み
5-0	F1AI	R/W	0x0	Rx FIFO 1 アクブリッジ インデックス ホストが Rx FIFO 1 からメッセージまたは複数のメッセージを読み出した後、Rx FIFO 1 から最後に読み出した要素のバッファ インデックスを F1AI に書き込む必要があります。これにより、Rx FIFO 1 取得インデックスが F1AI + 1 に設定され、RXF1S.F1FL に示すフィルレベルが更新されます

9.4.33 RXESC レジスタ (アドレス = 0x10BC) [リセット = 0x00000000]

図 9-53 に、RXESC を示し、表 9-59 に、その説明を示します。

概略表に戻ります。

図 9-53. RXESC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0x0							
23	22	21	20	19	18	17	16
予約済み							
R-0x0							
15	14	13	12	11	10	9	8
予約済み						RBDS	
R-0x0						R/WP-0x0	
7	6	5	4	3	2	1	0
予約済み		F1DS			予約済み		F0DS
R-0x0		R/WP-0x0			R-0x0		R/WP-0x0

表 9-59. RXESC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0x0	予約済み
10-8	RBDS	R/WP	0x0	Rx バッファのデータフィールドのサイズ 0x0 = 8 バイトのデータフィールド 0x1 = 12 バイトのデータフィールド 0x2 = 16 バイトのデータフィールド 0x3 = 20 バイトのデータフィールド 0x4 = 24 バイトのデータフィールド 0x5 = 32 バイトのデータフィールド 0x6 = 48 バイトのデータフィールド 0x7 = 64 バイトのデータフィールド
7	予約済み	R	0x0	予約済み
6-4	F1DS	R/WP	0x0	Rx FIFO 1 のデータフィールドサイズ 0x0 = 8 バイトのデータフィールド 0x1 = 12 バイトのデータフィールド 0x2 = 16 バイトのデータフィールド 0x3 = 20 バイトのデータフィールド 0x4 = 24 バイトのデータフィールド 0x5 = 32 バイトのデータフィールド 0x6 = 48 バイトのデータフィールド 0x7 = 64 バイトのデータフィールド
3	予約済み	R	0x0	予約済み
2-0	F0DS	R/WP	0x0	Rx FIFO 0 のデータフィールドサイズ 0x0 = 8 バイトのデータフィールド 0x1 = 12 バイトのデータフィールド 0x2 = 16 バイトのデータフィールド 0x3 = 20 バイトのデータフィールド 0x4 = 24 バイトのデータフィールド 0x5 = 32 バイトのデータフィールド 0x6 = 48 バイトのデータフィールド 0x7 = 64 バイトのデータフィールド

9.4.34 TXBC レジスタ (アドレス = 0x10C0) [リセット = 0x00000000]

図 9-54 に、TXBC を示し、表 9-60 に、その説明を示します。

概略表に戻ります。

図 9-54. TXBC レジスタ

31	30	29	28	27	26	25	24
予約済み	TFQM				TFQS		
R-0x0	R/WP-0x0				R/WP-0x0		
23	22	21	20	19	18	17	16
予約済み					NDTB		
R-0x0					R/WP-0x0		
15	14	13	12	11	10	9	8
			TBSA				
			R/WP-0x0				
7	6	5	4	3	2	1	0
			TBSA				
			R/WP-0x0				

表 9-60. TXBC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0x0	予約済み
30	TFQM	R/WP	0x0	Tx FIFO / キュー モード 0x0 = Tx FIFO 動作 0x1 = Tx キュー動作
29-24	TFQS	R/WP	0x0	送信 FIFO / キュー サイズ 0 = Tx FIFO なし / キュー 1 ~ 32 = Tx FIFO / キューに使用される Tx バッファの 数 #62# 32 = 32 より大きい値 は 32 と解釈されます
23-22	予約済み	R	0x0	予約済み
21-16	NDTB	R/WP	0x0	専用送信バッファの数 0 = Tx FIFO / キュー 1 ~ 32 = Tx FIFO / キューに使用される Tx バッファの数 # 62# 32 = 32 より大きい値は 32 と解釈されます
15-0	TBSA	R/WP	0x0	Tx バッファの開始アドレス。メッセージ RAM 内の Tx バッファ セクション の開始アドレス。#NOTE# このレジスタの MRAM および開始アドレスには 特別な考慮事項があります。 開始アドレスは、MRAM 内でワード境界 (32 ビット) にアラインされている 必要があります。 この動作を保証するため、最下位 2 ビットは書き込み時に無視されます。 MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要で す。 たとえば、目的の開始アドレスが 0x8634 の場合、SA[15:0] ビットに入力 する値は 0x0634 である必要があります。#NOTE#

9.4.35 TXFQS レジスタ (アドレス = 0x10C4) [リセット = 0x00000000]

図 9-55 に、TXFQS を示し、表 9-61 に、その説明を示します。

概略表に戻ります。

図 9-55. TXFQS レジスタ

31	30	29	28	27	26	25	24	
予約済み								
R-0x0								
23	22	21	20	19	18	17	16	
予約済み		TFQF				TFQPI		
R-0x0		R-0x0				R-0x0		
15	14	13	12	11	10	9	8	
予約済み				TFGI				
R-0x0				R-0x0				
7	6	5	4	3	2	1	0	
予約済み		TFFL						
R-0x0		R-0x0						

表 9-61. TXFQS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0x0	予約済み
21	TFQF	R	0x0	Tx FIFO / キューがフル 0x0 = Tx FIFO / キューがフルではありません 0x1 = Tx FIFO / キューはフルです
20-16	TFQPI	R	0x0	Tx FIFO / キュー入力インデックス、Tx FIFO / キュー書き込みインデックス ポインタ、範囲 0 ~ 31
15-13	予約済み	R	0x0	予約済み
12-8	TFGI	R	0x0	Tx FIFO 取得インデックス、Tx FIFO 読み取りインデックス ポインタ、範囲 0 ~ 31。 Tx キュー動作が設定されている場合 (TXBC.TFQM = 1)、ゼロとして読み取られます
7-6	予約済み	R	0x0	予約済み
5-0	TFFL	R	0x0	Tx FIFO フリー レベル。TFGI から始まる連続した空き Tx FIFO 要素数 (範囲: 0 ~ 32)。 Tx キュー動作が設定されている場合 (TXBC.TFQM = 1)、ゼロとして読み出されます #NOTE# 専用 Tx バッファと Tx FIFO または Tx キューを組み合わせた混在構成の場合、入力インデックスおよび取得インデックスは、最初の専用 Tx バッファから始まる Tx バッファ番号を示します。 例: 12 個の専用 Tx バッファと 20 個の Tx FIFO バッファを構成した場合、入力インデックスが 15 のときは、Tx FIFO の 4 番目のバッファを指します #NOTE#

9.4.36 TXESC レジスタ (アドレス = 0x10C8) [リセット = 0x00000000]

図 9-56 に、TXESC を示し、表 9-62 に、その説明を示します。

概略表に戻ります。

図 9-56. TXESC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0x0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													TBDS		
R-0x0													R/WP-0x0		

表 9-62. TXESC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0x0	予約済み
2-0	TBDS	R/WP	0x0	Tx バッファ データ フィールド サイズ #NOTE#Tx バッファ要素のデータ長コード DLC が、Tx バッファ データ フィールド サイズ TXESC.TBDS より大きい値に設定されている場合、Tx バッファで定義されていないバイトは「0xCC」(パディング バイト) として送信されます #NOTE# 0x0 = 8 バイトのデータ フィールド 0x1 = 12 バイトのデータ フィールド 0x2 = 16 バイトのデータ フィールド 0x3 = 20 バイトのデータ フィールド 0x4 = 24 バイトのデータ フィールド 0x5 = 32 バイトのデータ フィールド 0x6 = 48 バイトのデータ フィールド 0x7 = 64 バイトのデータ フィールド

9.4.37 TXBRP レジスタ (アドレス = 0x10CC) [リセット = 0x00000000]

図 9-57 に、TXBRP を示し、表 9-63 に、その説明を示します。

概略表に戻ります。

送信要求保留レジスタ。各 Tx バッファには、それぞれ専用の送信要求保留ビットがあります。これらのビットは、TXBAR レジスタを介して設定されます。これらのビットは、要求された送信が完了した後、または TXBCR レジスタを介して送信がキャンセルされた後にクリアされます。TXBRP ビットは、TXBC を介して設定された Tx バッファに対してのみセットされます。TXBRP ビットが設定されると、保留中の送信要求のうち最も優先度の高いもの (メッセージ ID が最も小さい Tx バッファ) を確認するために、Tx スキャンが開始されます。キャンセル要求により、TXBRP レジスタ内の対応する送信要求保留ビットがクリアされます。キャンセル要求時に送信がすでに開始されている場合、この処理は、送信が成功したかどうかにかかわらず、送信終了時に実行されます。キャンセル要求ビットは、対応する TXBRP ビットがクリアされた直後にリセットされます。キャンセル要求後、キャンセル完了は TXBCF を介して通知され、これは、1) 送信が正常に完了した後 (対応する TXBTO ビットとともに)、2) キャンセル時点で送信がまだ開始されていなかった場合、3) アービトラージョン喪失により送信が中断された場合、4) フレーム送信中にエラーが発生した場合に行われます。DAR モードでは、送信が成功しなかった場合、すべての送信は自動的にキャンセルされます。対応する TXBCF ビットは、すべての送信失敗時にセットされます。#NOTE#Tx スキャンの進行中にセットされた TXBRP ビットは、その Tx スキャンでは考慮されません。そのような Tx バッファに対してキャンセル要求が行われた場合、この追加要求は直ちにキャンセルされ、対応する TXBRP ビットがクリアされます。#NOTE#

図 9-57. TXBRP レジスタ

31		30		29		28		27		26		25		24	
TRP31	TRP30	TRP29	TRP28	TRP27	TRP26	TRP25	TRP24	TRP23	TRP22	TRP21	TRP20	TRP19	TRP18	TRP17	TRP16
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
23		22		21		20		19		18		17		16	
TRP23	TRP22	TRP21	TRP20	TRP19	TRP18	TRP17	TRP16	TRP15	TRP14	TRP13	TRP12	TRP11	TRP10	TRP9	TRP8
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
15		14		13		12		11		10		9		8	
TRP15	TRP14	TRP13	TRP12	TRP11	TRP10	TRP9	TRP8	TRP7	TRP6	TRP5	TRP4	TRP3	TRP2	TRP1	TRP0
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
7		6		5		4		3		2		1		0	
TRP7	TRP6	TRP5	TRP4	TRP3	TRP2	TRP1	TRP0	TRP7	TRP6	TRP5	TRP4	TRP3	TRP2	TRP1	TRP0
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0

表 9-63. TXBRP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TRP31	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
30	TRP30	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
29	TRP29	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
28	TRP28	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
27	TRP27	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です

表 9-63. TXBRP レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26	TRP26	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
25	TRP25	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
24	TRP24	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
23	TRP23	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
22	TRP22	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
21	TRP21	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
20	TRP20	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
19	TRP19	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
18	TRP18	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
17	TRP17	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
16	TRP16	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
15	TRP15	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
14	TRP14	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
13	TRP13	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
12	TRP12	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
11	TRP11	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
10	TRP10	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
9	TRP9	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です

表 9-63. TXBRP レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	TRP8	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
7	TRP7	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
6	TRP6	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
5	TRP5	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
4	TRP4	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
3	TRP3	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
2	TRP2	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
1	TRP1	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です
0	TRP0	R	0x0	送信要求保留、上記の注記を参照 0x0 = 保留中の送信要求はありません 0x1 = 送信要求は保留中です

9.4.38 TXBAR レジスタ (アドレス = 0x10D0) [リセット = 0x00000000]

図 9-58 に、TXBAR を示し、表 9-64 に、その説明を示します。

概略表に戻ります。

Tx バッファ追加要求。各 Tx バッファは、それぞれ独自の追加要求ビットを備えています。1 を書き込むと対応する追加要求ビットがセットされ、0 を書き込んでも影響はありません。これにより、ホストは TXBAR への 1 回の書き込みで複数の Tx バッファに対する送信要求を設定できます。TXBAR ビットは、TXBC を介して設定された Tx バッファに対してのみセットされます。Tx スキャンが実行されていない場合、ビットは直ちにリセットされます。Tx スキャンが実行中の場合、Tx スキャン処理が完了するまでビットはセットされたままになります。**#NOTE#** 送信要求保留中の Tx バッファ (対応する TXBRP ビットがすでにセットされている) に対して追加要求が適用された場合、その追加要求は無視されます **#/NOTE#**

図 9-58. TXBAR レジスタ

31	30	29	28	27	26	25	24
AR31	AR30	AR29	AR28	AR27	AR26	AR25	AR24
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0
23	22	21	20	19	18	17	16
AR23	AR22	AR21	AR20	AR19	AR18	AR17	AR16
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0
15	14	13	12	11	10	9	8
AR15	AR14	AR13	AR12	AR11	AR10	AR9	AR8
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0
7	6	5	4	3	2	1	0
AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0

表 9-64. TXBAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	AR31	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
30	AR30	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
29	AR29	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
28	AR28	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
27	AR27	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
26	AR26	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
25	AR25	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
24	AR24	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました

表 9-64. TXBAR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
23	AR23	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
22	AR22	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
21	AR21	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
20	AR20	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
19	AR19	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
18	AR18	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
17	AR17	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
16	AR16	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
15	AR15	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
14	AR14	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
13	AR13	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
12	AR12	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
11	AR11	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
10	AR10	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
9	AR9	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
8	AR8	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
7	AR7	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
6	AR6	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました

表 9-64. TXBAR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	AR5	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
4	AR4	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
3	AR3	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
2	AR2	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
1	AR1	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました
0	AR0	RH/W1S	0x0	リクエストの追加 0x0 = 送信要求が追加されていません 0x1 = 送信要求が追加されました

9.4.39 TXBCR レジスタ (アドレス = 0x10D4) [リセット = 0x00000000]

図 9-59 に、TXBCR を示し、表 9-65 に、その説明を示します。

概略表に戻ります。

各 Tx バッファには、独自のキャンセル要求ビットがあります。1 を書き込むと、対応するキャンセル要求ビットがセットされます。0 を書き込んでも影響はありません。これにより、ホストは TXBCR への一回の書き込みで複数の Tx バッファに対するキャンセル要求を設定できます。TXBCR ビットは、TXBCR によって設定された Tx バッファに対してのみセットされます。これらのビットは、対応する TXBRP のビットがリセットされるまでセットされたままになります。**#NOTE#CAN FD Light Commander モードでは使用しないでください #/NOTE#**

図 9-59. TXBCR レジスタ

31	30	29	28	27	26	25	24
CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0
23	22	21	20	19	18	17	16
CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0
15	14	13	12	11	10	9	8
CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0
7	6	5	4	3	2	1	0
CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0	RH/W1S-0x0

表 9-65. TXBCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CR31	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
30	CR30	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
29	CR29	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
28	CR28	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
27	CR27	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
26	CR26	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
25	CR25	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
24	CR24	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
23	CR23	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中

表 9-65. TXBCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	CR22	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
21	CR21	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
20	CR20	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
19	CR19	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
18	CR18	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
17	CR17	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
16	CR16	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
15	CR15	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
14	CR14	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
13	CR13	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
12	CR12	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
11	CR11	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
10	CR10	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
9	CR9	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
8	CR8	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
7	CR7	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
6	CR6	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
5	CR5	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中

表 9-65. TXBCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	CR4	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
3	CR3	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
2	CR2	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
1	CR1	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中
0	CR0	RH/W1S	0x0	キャンセル要求 0x0 = キャンセル保留なし 0x1 = キャンセル保留中

9.4.40 TXBTO レジスタ (アドレス = 0x10D8) [リセット = 0x00000000]

図 9-60 に、TXBTO を示し、表 9-66 に、その説明を示します。

概略表に戻ります。

各 Tx バッファには、独自の送信が発生したビットがあります。対応する TXBRP ビットが正常な送信後にクリアされると、これらのビットがセットされます。レジスタ TXBAR の対応するビットに 1 を書き込んで新しい送信を要求すると、これらのビットはリセットされます

図 9-60. TXBTO レジスタ

31	30	29	28	27	26	25	24
TO31	TO30	TO29	TO28	TO27	TO26	TO25	TO24
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
23	22	21	20	19	18	17	16
TO23	TO22	TO21	TO20	TO19	TO18	TO17	TO16
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
15	14	13	12	11	10	9	8
TO15	TO14	TO13	TO12	TO11	TO10	TO9	TO8
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
TO7	TO6	TO5	TO4	TO3	TO2	TO1	TO0
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0

表 9-66. TXBTO レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TO31	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
30	TO30	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
29	TO29	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
28	TO28	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
27	TO27	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
26	TO26	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
25	TO25	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
24	TO24	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
23	TO23	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
22	TO22	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました

表 9-66. TXBTO レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21	TO21	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
20	TO20	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
19	TO19	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
18	TO18	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
17	TO17	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
16	TO16	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
15	TO15	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
14	TO14	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
13	TO13	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
12	TO12	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
11	TO11	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
10	TO10	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
9	TO9	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
8	TO8	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
7	TO7	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
6	TO6	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
5	TO5	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
4	TO4	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました

ADVANCE INFORMATION

表 9-66. TXBTO レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	TO3	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
2	TO2	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
1	TO1	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました
0	TO0	R	0x0	送信発生 0x0 = 送信は発生していません 0x1 = 送信が発生しました

9.4.41 TXBCF レジスタ (アドレス = 0x10DC) [リセット = 0x00000000]

図 9-61 に、TXBCF を示し、表 9-67 に、その説明を示します。

概略表に戻ります。

各 Tx バッファには、独自のキャンセル完了ビットがあります。TXBCR を介してキャンセル要求が行われた後、対応する TXBRP ビットがクリアされると、これらのビットがセットされます。キャンセル時点で対応する TXBRP ビットがセットされていなかった場合、CF が直ちにセットされます。レジスタ TXBAR の対応するビットに 1 を書き込んで新しい送信を要求すると、これらのビットはリセットされます。

図 9-61. TXBCF レジスタ

31	30	29	28	27	26	25	24
CF31	CF30	CF29	CF28	CF27	CF26	CF25	CF24
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
23	22	21	20	19	18	17	16
CF23	CF22	CF21	CF20	CF19	CF18	CF17	CF16
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
15	14	13	12	11	10	9	8
CF15	CF14	CF13	CF12	CF11	CF10	CF9	CF8
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0
7	6	5	4	3	2	1	0
CF7	CF6	CF5	CF4	CF3	CF2	CF1	CF0
R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x0

表 9-67. TXBCF レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CF31	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
30	CF30	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
29	CF29	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
28	CF28	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
27	CF27	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
26	CF26	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
25	CF25	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
24	CF24	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
23	CF23	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました

表 9-67. TXBCF レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	CF22	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
21	CF21	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
20	CF20	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
19	CF19	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
18	CF18	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
17	CF17	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
16	CF16	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
15	CF15	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
14	CF14	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
13	CF13	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
12	CF12	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
11	CF11	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
10	CF10	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
9	CF9	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
8	CF8	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
7	CF7	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
6	CF6	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
5	CF5	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました

表 9-67. TXBCF レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	CF4	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
3	CF3	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
2	CF2	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
1	CF1	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました
0	CF0	R	0x0	キャンセル完了 0x0 = 送信バッファのキャンセルなし 0x1 = 送信バッファのキャンセルが完了しました

9.4.42 TXBTIE レジスタ (アドレス = 0x10E0) [リセット = 0x00000000]

図 9-62 に、TXBTIE を示し、表 9-68 に、その説明を示します。

概略表に戻ります。

各 TX バッファには、独自の送信割り込みイネーブルがあります

図 9-62. TXBTIE レジスタ

31		30		29		28		27		26		25		24	
TIE31	TIE30	TIE29	TIE28	TIE27	TIE26	TIE25	TIE24								
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0								
23		22		21		20		19		18		17		16	
TIE23	TIE22	TIE21	TIE20	TIE19	TIE18	TIE17	TIE16								
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0								
15		14		13		12		11		10		9		8	
TIE15	TIE14	TIE13	TIE12	TIE11	TIE10	TIE9	TIE8								
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0								
7		6		5		4		3		2		1		0	
TIE7	TIE6	TIE5	TIE4	TIE3	TIE2	TIE1	TIE0								
R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0								

表 9-68. TXBTIE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TIE31	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
30	TIE30	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
29	TIE29	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
28	TIE28	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
27	TIE27	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
26	TIE26	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
25	TIE25	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
24	TIE24	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
23	TIE23	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
22	TIE22	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です

表 9-68. TXBTIE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21	TIE21	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
20	TIE20	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
19	TIE19	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
18	TIE18	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
17	TIE17	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
16	TIE16	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
15	TIE15	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
14	TIE14	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
13	TIE13	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
12	TIE12	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
11	TIE11	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
10	TIE10	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
9	TIE9	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
8	TIE8	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
7	TIE7	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
6	TIE6	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
5	TIE5	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
4	TIE4	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です

表 9-68. TXBTIE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	TIE3	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
2	TIE2	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
1	TIE1	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です
0	TIE0	R/W	0x0	送信割り込みイネーブル 0x0 = 送信割り込みは無効です 0x1 = 送信割り込みは有効です

9.4.43 TXBCIE レジスタ (アドレス = 0x10E4) [リセット = 0x00000000]

図 9-63 に、TXBCIE を示し、表 9-69 に、その説明を示します。

概略表に戻ります。

各 Tx バッファには、独自のキャンセル完了割り込みイネーブルがあります

図 9-63. TXBCIE レジスタ

31		30		29		28		27		26		25		24	
CFIE31	CFIE30	CFIE29	CFIE28	CFIE27	CFIE26	CFIE25	CFIE24	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
23		22		21		20		19		18		17		16	
CFIE23	CFIE22	CFIE21	CFIE20	CFIE19	CFIE18	CFIE17	CFIE16	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
15		14		13		12		11		10		9		8	
CFIE15	CFIE14	CFIE13	CFIE12	CFIE11	CFIE10	CFIE9	CFIE8	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
7		6		5		4		3		2		1		0	
CFIE7	CFIE6	CFIE5	CFIE4	CFIE3	CFIE2	CFIE1	CFIE0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 9-69. TXBCIE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CFIE31	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
30	CFIE30	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
29	CFIE29	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
28	CFIE28	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
27	CFIE27	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
26	CFIE26	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
25	CFIE25	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
24	CFIE24	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
23	CFIE23	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
22	CFIE22	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です

表 9-69. TXBCIE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21	CFIE21	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
20	CFIE20	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
19	CFIE19	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
18	CFIE18	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
17	CFIE17	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
16	CFIE16	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
15	CFIE15	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
14	CFIE14	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
13	CFIE13	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
12	CFIE12	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
11	CFIE11	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
10	CFIE10	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
9	CFIE9	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
8	CFIE8	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
7	CFIE7	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
6	CFIE6	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
5	CFIE5	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
4	CFIE4	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です

表 9-69. TXBCIE レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	CFIE3	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
2	CFIE2	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
1	CFIE1	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です
0	CFIE0	R/W	0x0	キャンセル終了割り込みの有効化 0x0 = キャンセル完了割り込みは無効です 0x1 = キャンセル完了割り込みは有効です

9.4.44 TXEFC レジスタ (アドレス = 0x10F0) [リセット = 0x00000000]

図 9-64 に、TXEFC を示し、表 9-70 に、その説明を示します。

概略表に戻ります。

図 9-64. TXEFC レジスタ

31	30	29	28	27	26	25	24
予約済み				EFWM			
R-0x0				R/WP-0x0			
23	22	21	20	19	18	17	16
予約済み				EFS			
R-0x0				R/WP-0x0			
15	14	13	12	11	10	9	8
EFSA							
R/WP-0x0							
7	6	5	4	3	2	1	0
EFSA							
R/WP-0x0							

表 9-70. TXEFC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0x0	予約済み
29-24	EFWM	R/WP	0x0	イベント FIFO ウォーターマーク 0 = ウォーターマーク割り込みが無効 1- 32 = Tx イベント IR ウォーターマーク割り込みのレベル (FIFO.TEFW) # 62# 32 = ウォーターマーク割り込みが無効
23-22	予約済み	R	0x0	予約済み
21-16	EFS	R/WP	0x0	イベント FIFO サイズ 0 = Tx イベント FIFO が無効 1 ~ 32 = Tx イベント FIFO 要素の数 # 62# 32 = 32 と解釈
15-0	EFSA	R/WP	0x0	イベント FIFO 開始アドレス #NOTE# このレジスタの MRAM および開始アドレスには特別な考慮事項があります。開始アドレスは、MRAM 内でワード境界 (32 ビット) にアラインされている必要があります。この動作を保証するため、最下位 2 ビットは書き込み時に無視されます。MRAM の開始アドレスを入力する際、0x8000 のプレフィックスは不要です。たとえば、目的の開始アドレスが 0x8634 の場合、SA[15:0] ビットに入力する値は 0x0634 である必要があります。#NOTE#

9.4.45 TXEFS レジスタ (アドレス = 0x10F4) [リセット = 0x00000000]

図 9-65 に、TXEFS を示し、表 9-71 に、その説明を示します。

概略表に戻ります。

図 9-65. TXEFS レジスタ

31	30	29	28	27	26	25	24
予約済み						TEFL	TEFF
R-0x0						R-0x0	R-0x0
23	22	21	20	19	18	17	16
予約済み				EFPI			
R-0x0				R-0x0			
15	14	13	12	11	10	9	8
予約済み				REFGI			
R-0x0				R-0x0			
7	6	5	4	3	2	1	0
予約済み			EFFL				
R-0x0			R-0x0				

表 9-71. TXEFS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0x0	予約済み
25	TEFL	R	0x0	Tx イベント FIFO 要素損失。このビットは、割り込みフラグ IR.TEFL のコピーです。 IR.TEFL がリセットされると、このビットもリセットされます 0x0 = Tx イベント FIFO 素子は消失していません 0x1 = Tx イベント FIFO 素子が消失し、サイズ ゼロの Tx イベント FIFO への書き込み試行後にもセットされました
24	TEFF	R	0x0	Tx イベント FIFO フル。このビットは、割り込みフラグ IR.TEFF のコピーです。 IR.TEFF がリセットされると、このビットも再表示されます 0x0 = Tx イベント FIFO はフルではありません 0x1 = Tx イベント FIFO がフルです
23-21	予約済み	R	0x0	予約済み
20-16	EFPI	R	0x0	Tx イベント FIFO 出力インデックス。Tx イベント FIFO 書き込みインデックスポインタ、範囲 0 ~ 31
15-13	予約済み	R	0x0	予約済み
12-8	REFGI	R	0x0	Tx イベント FIFO 取得インデックス。Tx イベント FIFO 読み取りインデックスポインタ、範囲:0 ~ 31
7-6	予約済み	R	0x0	予約済み
5-0	EFFL	R	0x0	Tx イベント FIFO フィル レベル、Tx イベント FIFO に格納された要素数、範囲:0 ~ 32

9.4.46 TXEFA レジスタ (アドレス = 0x10F8) [リセット = 0x00000000]

図 9-66 に、TXEFA を示し、表 9-72 に、その説明を示します。

概略表に戻ります。

図 9-66. TXEFA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																EFAI															
R-0x0																R0/W-0x0															

表 9-72. TXEFA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0x0	予約済み
4-0	EFAI	R0/W	0x0	イベント FIFO アクリッジ インデックス ホストが Tx Event FIFO から要素または一連の要素を読み出した後、Tx Event FIFO から最後に読み出した要素のインデックスを EFAI に書き込む必要があります。これにより、Tx イベント FIFO 取得インデックス TXEFS.EFGI は EFAI + 1 に設定され、イベント FIFO フィル レベル TXEFS.EFFL が更新されます

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

10.1.1.1 CAN トランシーバの物理層の規格：

- ISO 11898-2:2016: 低消費電力モードを持つ高速媒体アクセス ユニット
- ISO 8802-3: CSMA/CD は- ISO11898-2 から衝突検出用に参照。
- CAN FD 1.0 仕様と資料
- Bosch、『CAN のビット タイミングの構成』、第 6 回国際 CAN 会議(ICC)、1999 年からの資料。これは、このシステム仕様にコピーされた DCAN IP CAN コントローラ仕様で繰り返し行われます。
- SAE J2284-2: 250kbps の車載用アプリケーション向けの高速度 CAN (HSC)
- SAE J2284-3: 500kbps の車載用アプリケーション向けの高速度 CAN (HSC)
- Bosch M_CAN コントローラ エリア ネットワーク リビジョン 3.2.1.1 (2016/3/24)

10.1.1.2 EMC 要件

- SAE J2962-2: CAN トランシーバの US3 要件
- CAN、LIN、FR V1.3 の HW 要件:

10.1.1.3 準拠テストの要件

- HS_TRX_Test_Spec_V_1_0: 高速物理層用の GIFT/ICT CAN テストの要件

10.1.1.4 サポート ドキュメント

- [TCAN45xx ソフトウェア ユーザー ガイド](#)
- 『A Comprehensive Guide to Controller Area Network』、Wilfried Voss、Copperhill Media Corporation
- 『CAN System Engineering: From Theory to Practical Applications』、第 2 版、2013 年、Dr. Wolfhard Lawrenz、Springer

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

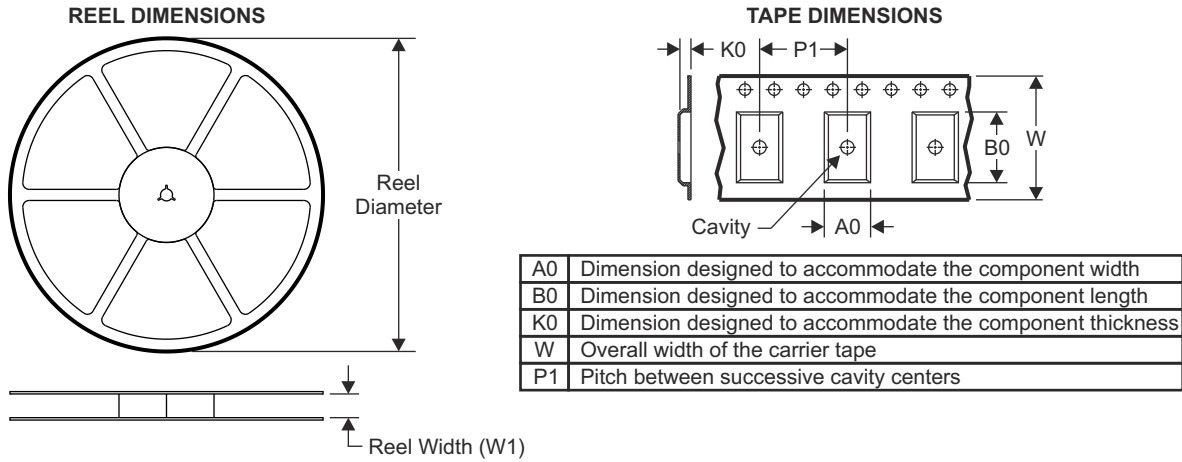
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

12.1 パッケージ情報

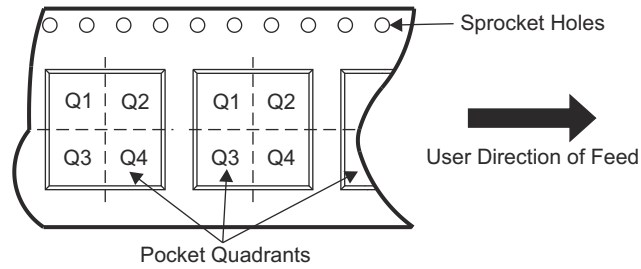
注文可能な型番	供給状況 ⁽¹⁾	資料のタイプ ⁽²⁾	パッケージ ピン数	パッケージ数量 キャリア	RoHS ⁽³⁾	リード端子の仕上げ / ボールの原材料 ⁽⁴⁾	MSL 定格/ピークリフロー ⁽⁵⁾	動作温度 (°C)	部品マーキング ⁽⁶⁾
TCAN4572-Q1	アクティブ	量産出荷中	VQFN (RGY)/20	3000 / トレイ	RoHS および グリーン 対応	CU NIPDAU	レベル-1-260C-1 年	-40~85	未定

- (1) **ステータス:**ステータスの詳細については、TI の [製品ライフ サイクル](#) をご覧ください。
- (2) **資料のタイプ:**指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス (品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません) がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
- (3) **RoHS 値:**はい、いいえ、RoHS 免除。詳細情報および値の定義については、[TI RoHS に関する声明](#) を参照してください。
- (4) **リード端子の仕上げ/ボールの原材料:**部品には複数の材料仕上げオプションがある場合があります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) **MSL 定格/ピークリフロー:**湿度感度レベルの定格、および半田付けのピーク (リフロー) 温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
- (6) **部品マーキング:**ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。複数の部品マーキングが括弧の中に記載されています。括弧内で「~」で区切られた 1 つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスの部品マーキング全体となります。

12.2 テープおよびリール情報

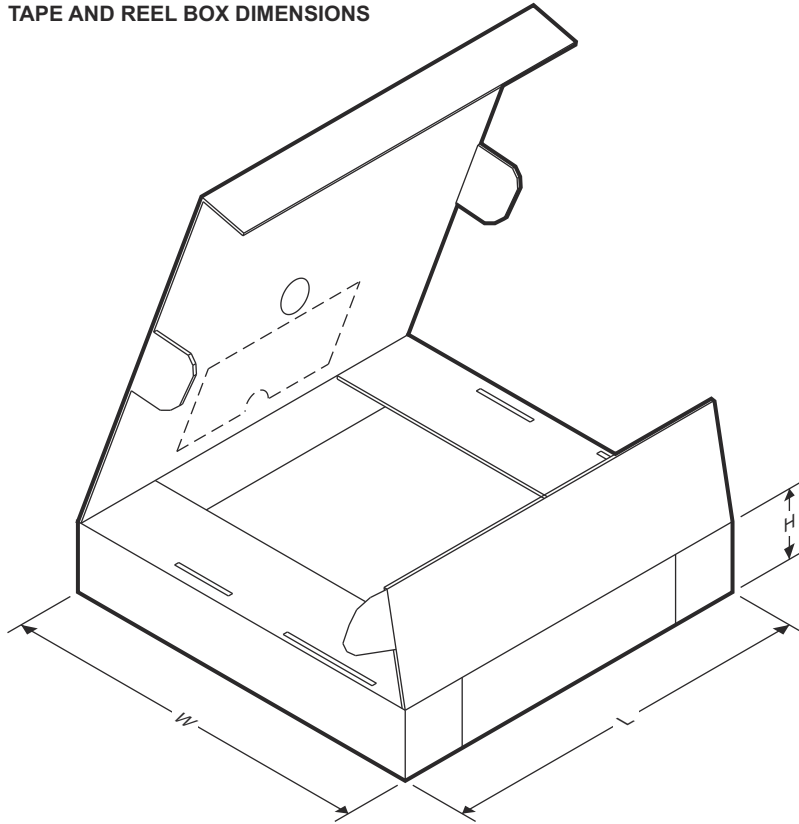


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
TCAN4572-Q1	SOT	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



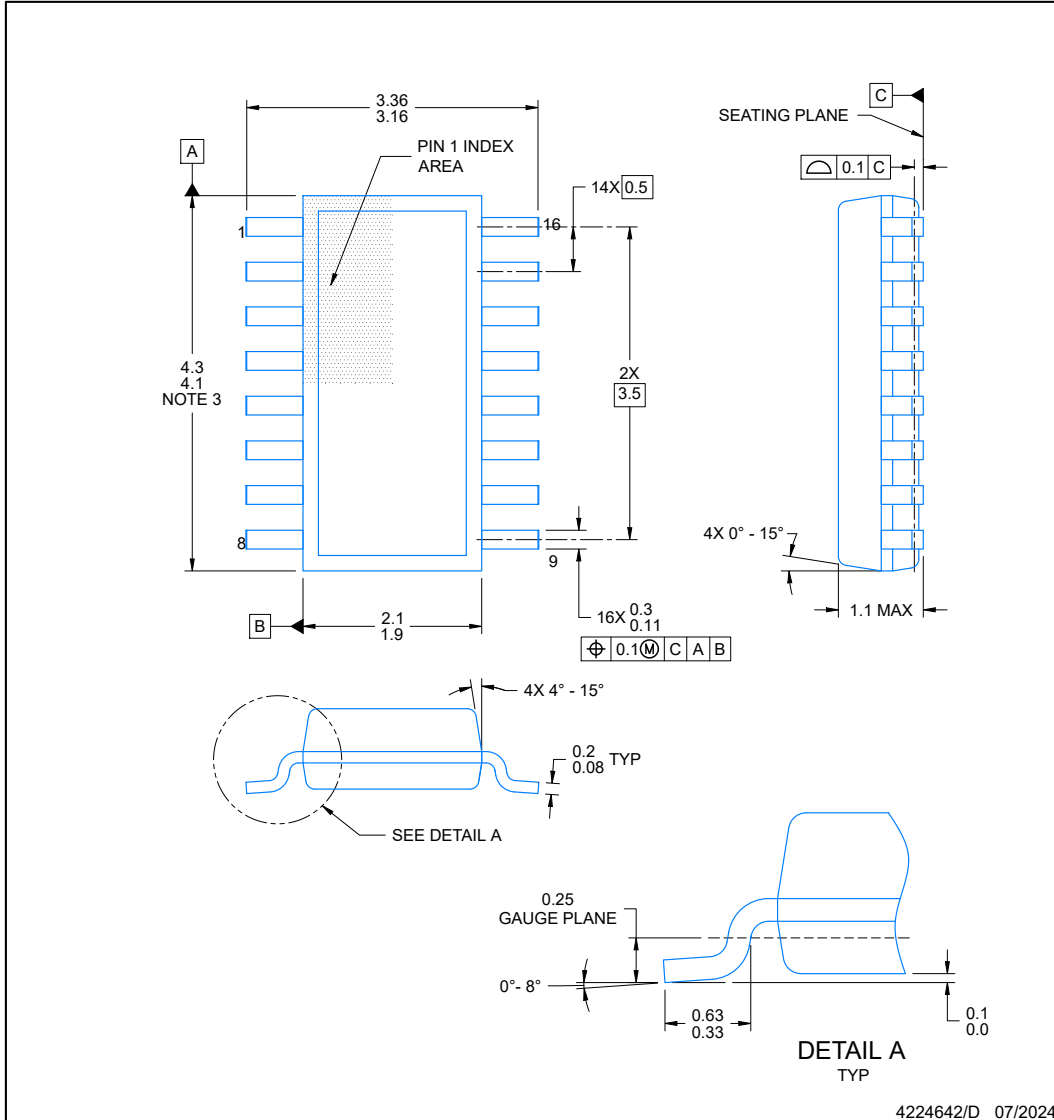
ADVANCE INFORMATION

デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TCAN4572-Q1	SOT	DYY	16	3000	336.6	336.6	31.8

12.3 メカニカル データ

DYY0016A **PACKAGE OUTLINE** **SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



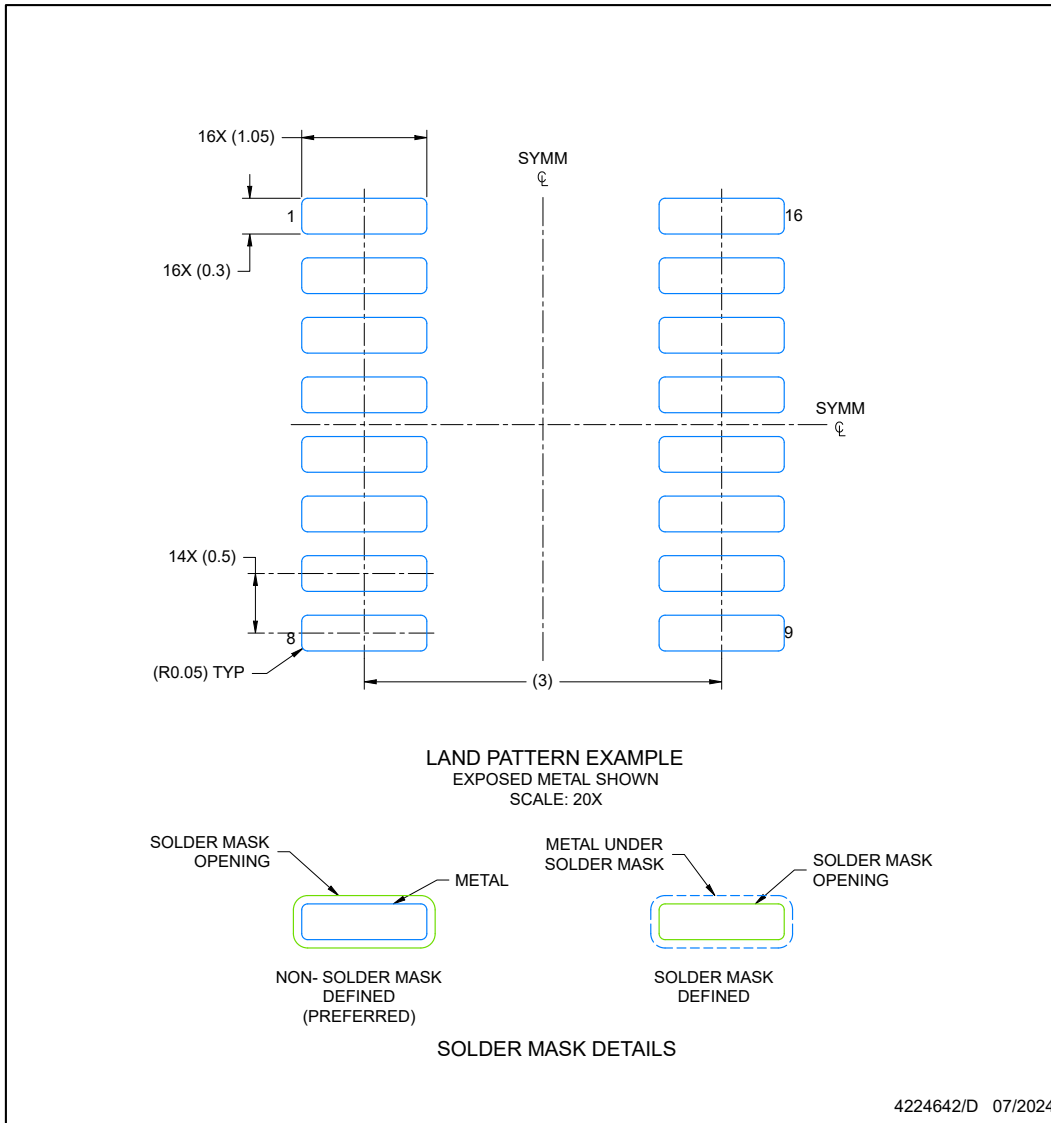
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA

EXAMPLE BOARD LAYOUT
SOT-23-THIN - 1.1 mm max height

DYY0016A

PLASTIC SMALL OUTLINE



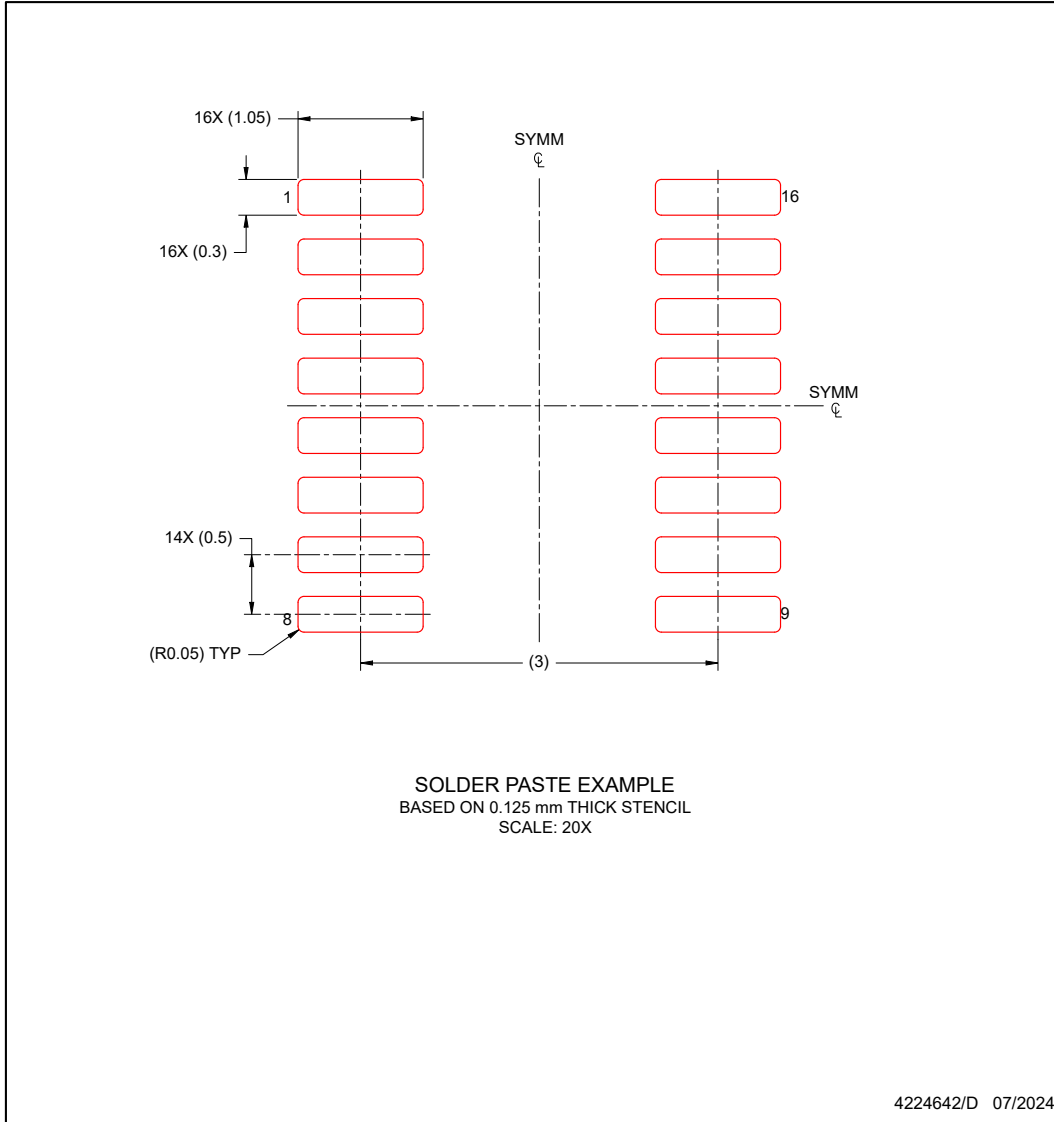
NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN
SOT-23-THIN - 1.1 mm max height

DYY0016A

PLASTIC SMALL OUTLINE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTCAN4572DYYRQ1	Active	Preproduction	SOT-23-THIN (DYY) 16	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

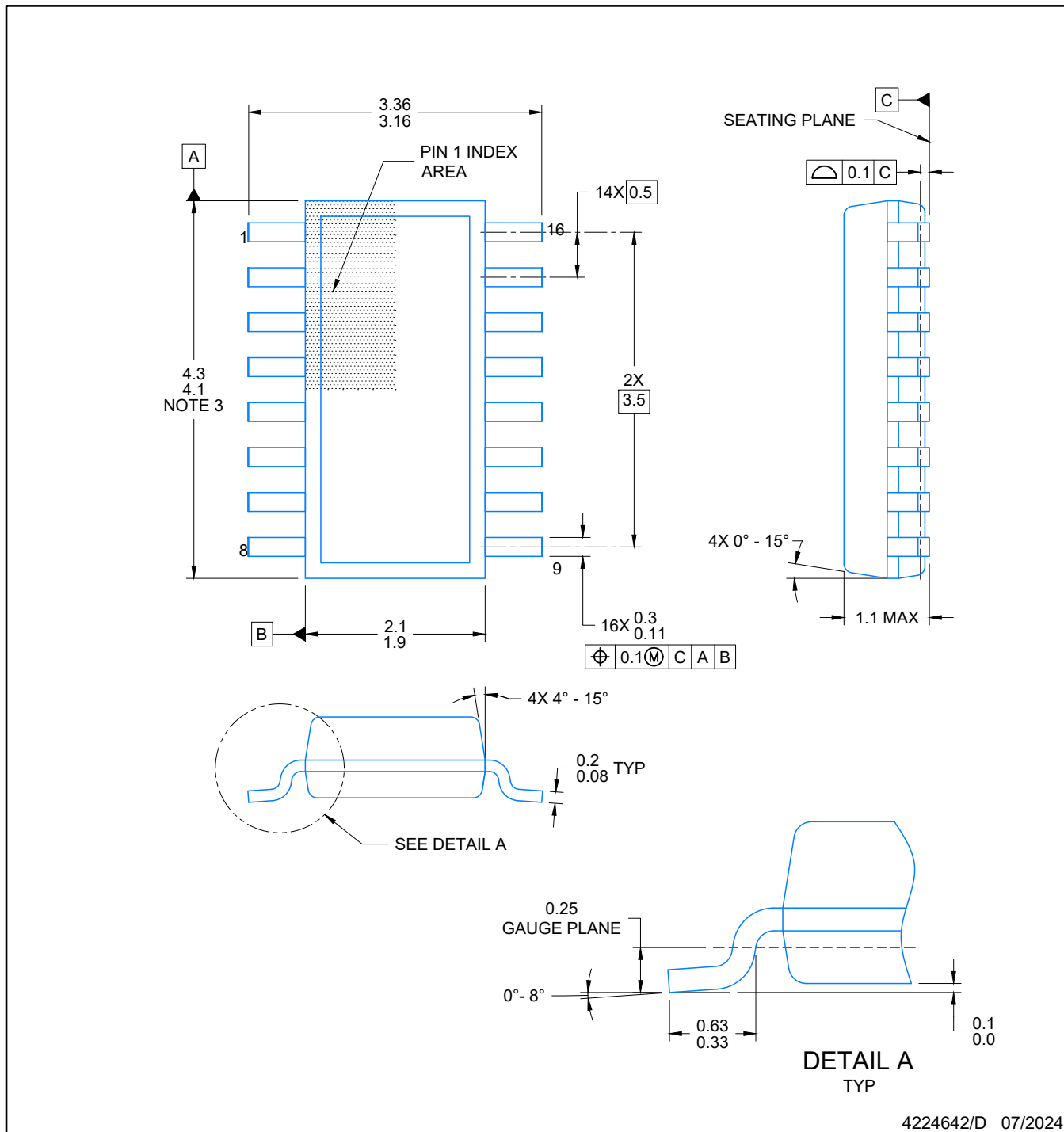
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

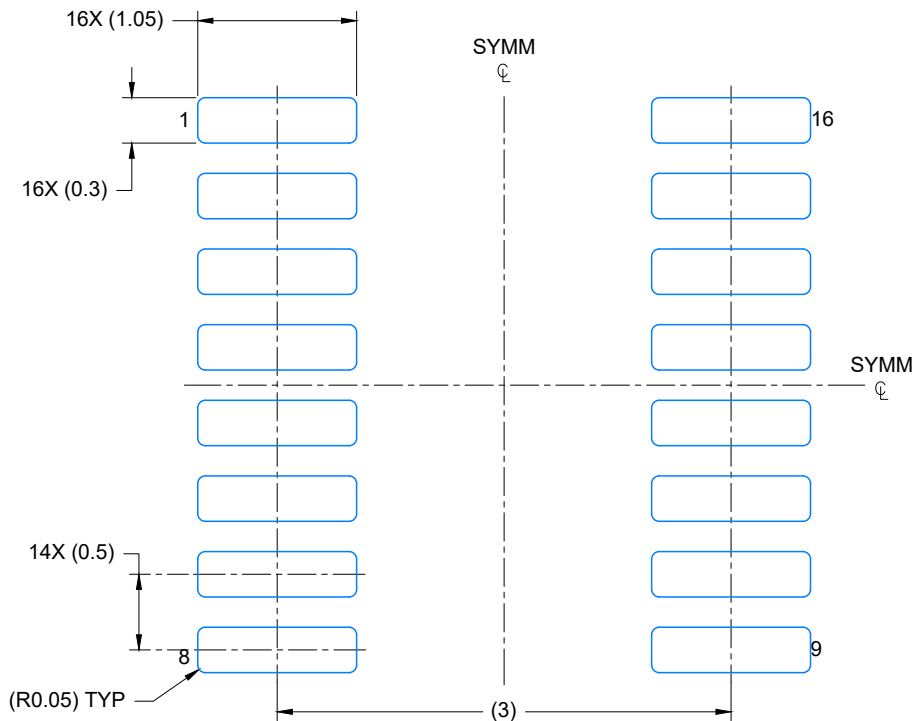
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



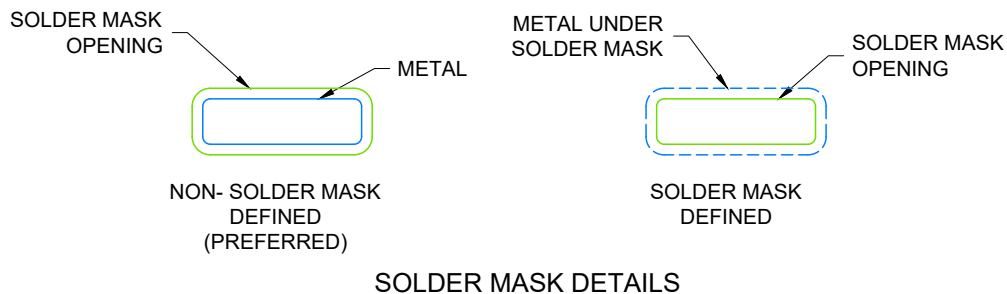
4224642/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



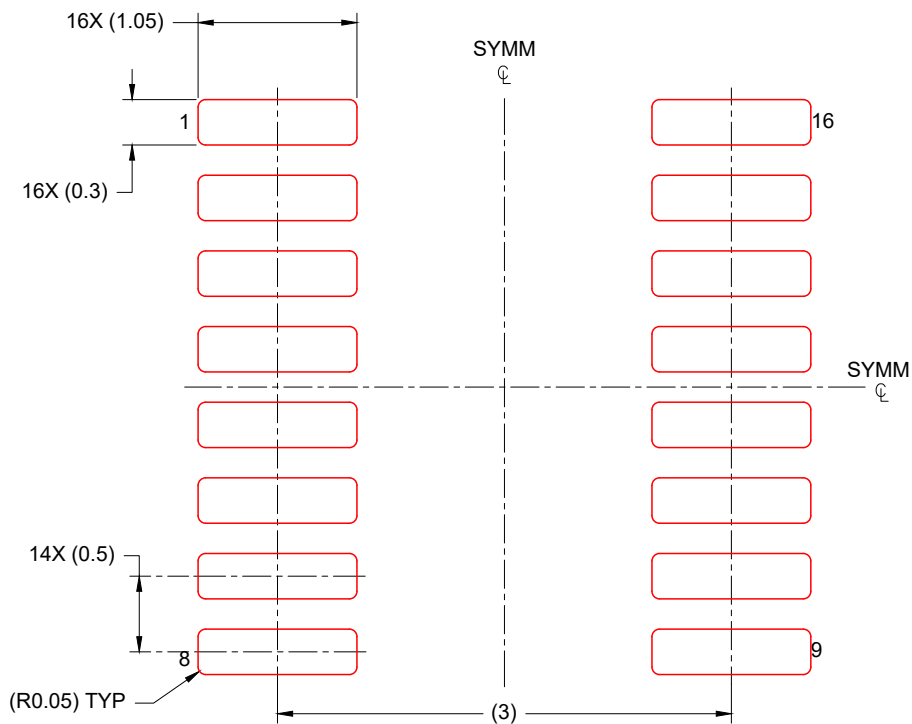
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224642/D 07/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月