

TDA4VM プロセッサ

1 特長

プロセッサ コア:

- C7x 浮動小数点、ベクタ DSP、最高 1.0GHz、80GFLOPS、256GOPS
- ディープ ラーニング用マトリクス乗算アクセラレータ (MMA)、1.0GHz で最大 8TOPS (8b)
- 画像信号プロセッサ (ISP) 搭載ビジョン処理アクセラレータ (VPAC) と複数のビジョン支援アクセラレータ
- 深度およびモーション処理アクセラレータ (DMPAC)
- デュアル 64 ビット Arm® Cortex®-A72 マイクロプロセッサ サブシステム、最大 2.0GHz
 - デュアル コア Cortex®-A72 クラスタごとに 1MB の共有 L2 キャッシュ
 - Cortex®-A72 コアごとに 32KB L1 D キャッシュと 48KB L1 I キャッシュ
- 6 つの Arm® Cortex®-R5F MCU、最大 1.0GHz
 - 16K I キャッシュ、16K D キャッシュ、64K L2 TCM
 - 分離された MCU サブシステムに 2 つの Arm® Cortex®-R5F MCU
 - 汎用コンピューティング パーティションに 4 つの Arm® Cortex®-R5F MCU
- 2 つの C66x 浮動小数点 DSP、最高 1.35GHz、40GFLOPS、160GOPS
- 3D GPU PowerVR® Rogue 8XE GE8430、最高 750MHz、96GFLOPS、6Gpix/sec
- ほぼ最大限の処理権限をサポートするカスタム設計された相互接続構造

メモリ サブシステム:

- 最大 8MB のオンチップ L3 RAM、ECC およびコヒーレンシ機能付き
 - ECC エラー保護
 - 共有コヒーレント キャッシュ
 - 内部 DMA エンジンをサポート
- ECC 付きの外部メモリ インターフェイス (EMIF) モジュール
 - LPDDR4 メモリ タイプをサポート
 - 最大 4266MT/s の速度をサポート
 - インライン ECC 付きでの 32 ビット データ バス
- 汎用メモリコントローラ (GPMC)
- メインドメインの 512KB のオンチップ SRAM、ECC 保護付き

機能安全:

- **機能安全準拠** (一部の部品番号でのみ対応)
 - 機能安全アプリケーション向けに開発
 - ISO 26262/IEC 61508 に準拠した機能安全システム設計 (ASIL D/SIL 3) を支援するためのドキュメントが利用可能
 - ASIL D/SC 3 までの決定論的対応能力
 - マイコンドメイン向け ASIL D/SIL 3 までのハードウェア インテグリティ
 - ハードウェア整合性、メインドメインの ASIL B/SIL 2 までを対象
- 安全関連認証
 - TÜV SÜD による ISO 26262 認証 (ASIL D まで対応) (SR1.1, SR2.0)
 - TÜV SÜD により SIL 3 までの IEC 61508 認証を取得 (SR1.1, SR2.0)
- 部品番号の末尾が Q1 のバリエーションについては AEC-Q100 認定済み

デバイスのセキュリティ (一部の部品番号のみ):

- セキュアなランタイム サポートによるセキュア ブート
- お客様がプログラム可能なルート キー (RSA-4K または ECC-512 まで)
- 組み込みハードウェア セキュリティ モジュール
- 暗号化ハードウェア アクセラレータ – ECC 付き PKA、AES、SHA、RNG、DES、3DES

高速シリアル インターフェイス:

- 最大 8 つの外部ポートをサポートする統合型イーサネット スイッチ
 - すべてのポートが 2.5Gb SGMII をサポート
 - すべてのポートが 1Gb SGMII/RGMII をサポート
 - すべてのポートが 100Mb RMII をサポート
 - 任意の 2 つのポートが QSGMII をサポート (1 つの QSGMII ごとに 4 つの内部ポートを使用)
- 最大 4 つの PCI-Express® (PCIe) Gen3 コントローラ
 - コントローラごとに最大 2 つのレーン
 - Gen1 (2.5GT/s)、Gen2 (5.0GT/s)、Gen3 (8.0GT/s) で動作 (オート ネゴシエーション付き)
- 2 つの USB 3.0 デュアルロール デバイス (DRD) サブシステム
 - 2 つの Enhanced SuperSpeed Gen1 ポート
 - 各ポートは Type-C スイッチングをサポート
 - 各ポートを個別に USB ホスト、USB ペリフェラル、USB DRD として構成可能

車載インターフェイス:



- CAN-FD をフルサポートする 16 個のモジュラー コントローラ エリア ネットワーク (MCAN) モジュール
- 2 つの CSI2.0 4L RX と 1 つの CSI2.0 4L TX
 - レーンごとに 2.5Gbps の RX スループット (合計 20Gbps)

ディスプレイ サブシステム:

- 1 つの eDP/DP インターフェイス (マルチ ディスプレイ サポート (MST) 付き)
 - HDCP1.4/HDCP2.2 高帯域幅デジタル コンテンツ保護
- 1 つの DSI TX (最大 2.5K)
- 最大 2 つの DPI

オーディオ インターフェイス:

- 12 個のマルチチャネル オーディオ シリアル ポート (MCASP) モジュール

ビデオ アクセラレーション:

- Ultra-HD ビデオ、1 つ (3840 × 2160p、60fps) または 2 つ (3840 × 2160p、30fps) の H.264/H.265 デコード
- Full-HD ビデオ、4 つ (1920 × 1080p、60fps) または 8 つ (1920 × 1080p、30fps) の H.264/H.265 デコード
- Full-HD ビデオ、1 つ (1920 × 1080p、60fps) または 最大 3 つ (1920 × 1080p、30fps) の H.264 エンコード

2 アプリケーション

- 先進のサラウンド・ビューおよび駐車支援システム
- カメラ、レーダー、LIDAR センサを含む自律的センサ・フュージョン / 認識システム
- 単一センサおよびマルチセンサのフロント・カメラ・システム
- 次世代電子ミラー・システム
- 安全機能付きの産業用モバイル・ロボット (AGV/AMR)
- マシン・ビジョン
- スマート・リテール
- スマート・ショッピング・カート
- 建設、農業
- エッジ AI ボックス
- シングル・ボード・コンピュータ
- オフハイウェイ車両向け制御機能
- AI を搭載した産業用 PC

フラッシュ メモリ インターフェイス:

- 組み込み MultiMediaCard インターフェイス (eMMC™ 5.1)
- 2 つのレーンを持つユニバーサル フラッシュ ストレージ (UFS 2.1) インターフェイス
- 2 つの Secure Digital® 3.0/Secure Digital Input Output 3.0 インターフェイス (SD3.0/SDIO3.0)
- 2 つの同時フラッシュ インターフェイスを以下のように構成
 - 1 つの OSPI と 1 つの QSPI フラッシュ インターフェイス
 - または、1 つの HyperBus™ と 1 つの QSPI フラッシュ インターフェイス

システム オン チップ (SoC) アーキテクチャ:

- 16nm FinFET テクノロジー
- 24 mm × 24 mm、0.8mm ピッチ、827 ピンの FCBGA (ALF)、IPC クラス 3 PCB 配線に対応

TPS6594-Q1 コンパニオン パワー マネージメント IC (PMIC):

- ASIL-D までの機能安全対応
- 柔軟なマッピングにより各種の使用事例をサポート

3 概要

TDA4VM プロセッサ ファミリーは、ADAS および自動運転車 (AV) アプリケーションを対象としており、ADAS プロセッサ市場においてテキサス・インスツルメンツがリーダーとして 10 年以上蓄積した膨大な市場知識の上に構築されています。機能安全準拠の対象アーキテクチャにおいて、高性能コンピューティング、ディープ ラーニング エンジン、信号処理および画像処理専用のアクセラレータの独自の組み合わせにより、TDA4VM デバイスは以下のさまざまな産業用アプリケーションに最適です。ロボティクス、マシン ビジョン、レーダーなど。TDA4VM は、高度なシステム統合によって、従来型とディープ ラーニングの両方のアルゴリズムを業界最高の電力 / 性能比で高精度計算し、集中 ECU またはスタンドアロン センサの複数センサ方式をサポートする先進車載用プラットフォームの拡張とコスト低減を実現できます。主要なコアとして、スカラールおよびベクター コアを持つ次世代 DSP、ディープ ラーニング専用および従来型アルゴリズム用アクセラレータ、汎用計算用の最新の Arm および GPU プロセッサ、統合型次世代イメージング サブシステム (ISP)、ビデオ コーデック、イーサネット ハブ、分離された MCU アイランドが含まれています。これらはすべて、車載グレードの安全性とセキュリティ ハードウェア アクセラレータにより保護されています。

主要な高性能コアの概要

「C7x」次世代 DSP は、テキサス・インスツルメンツの業界最先端の DSP と EVE コアを 1 つの高性能コアに統合し、浮動小数点ベクトル計算機能を追加することで、ソフトウェアのプログラミングを簡単にしながら従来のコードとの後方互換性を確保しています。新しい「MMA」ディープ ラーニング アクセラレータは、一般的な車載用の最も厳しい接合部温度である 125°C で動作する場合でも、業界最小の電力エンベロップ内で最大 8TOPS の性能を達成できます。専用 ADAS/AV ハードウェア アクセラレータは、システム性能に影響を及ぼさずに、ビジョン前処理と測距およびモーション処理を実行します。

汎用コンピューティング コアと統合の概要

Arm® Cortex®-A72 の独立デュアル コア クラスタ構成を使うと、ソフトウェア ハイパーバイザの必要性を最小限に抑えながらマルチ OS アプリケーションを簡単に実現できます。最大 6 つの Arm® Cortex®-R5F サブシステムが低レベルのタイム クリティカル処理タスクを実行し、Arm® Cortex®-A72 に負荷がかからないようにしてアプリケーションの実行に備えさせます。内蔵の「8XE GE8430」GPU は最高 100GFLOPS の性能を備えており、拡張表示アプリケーションの動的 3D レンダリングを可能にします。既存の世界最先端の ISP に基づいて構築された テキサス・インスツルメンツの第 7 世代 ISP は、より広範なセンサ スイートを処理する柔軟性、より深いビット深度のサポート、分析アプリケーションを対象とした機能を備えています。内蔵セキュリティ機能が現代の攻撃からデータを保護する一方で、内蔵の診断および安全機能は ASIL-D/SIL-3 レベルまでの動作をサポートしています。大きなデータ帯域幅を要求するシステムに対応するため、PCIe ハブとギガビット イーサネット スイッチが内蔵されており、多くのセンサ入力に必要なスループットをサポートするための CSI-2 ポートも内蔵されています。さらに高度な統合のため、TDA4VM ファミリーには MCU アイランドも内蔵されているため、外部のシステム マイクロプロセッサは不要です。

パッケージ情報

部品番号 (1)	パッケージ	パッケージ サイズ(2)
TDA4VM...ALF	ALF (FCBGA, 827)	24.0mm × 24.0mm
XJ721E...ALF	ALF (FCBGA, 827)	24.0mm × 24.0mm

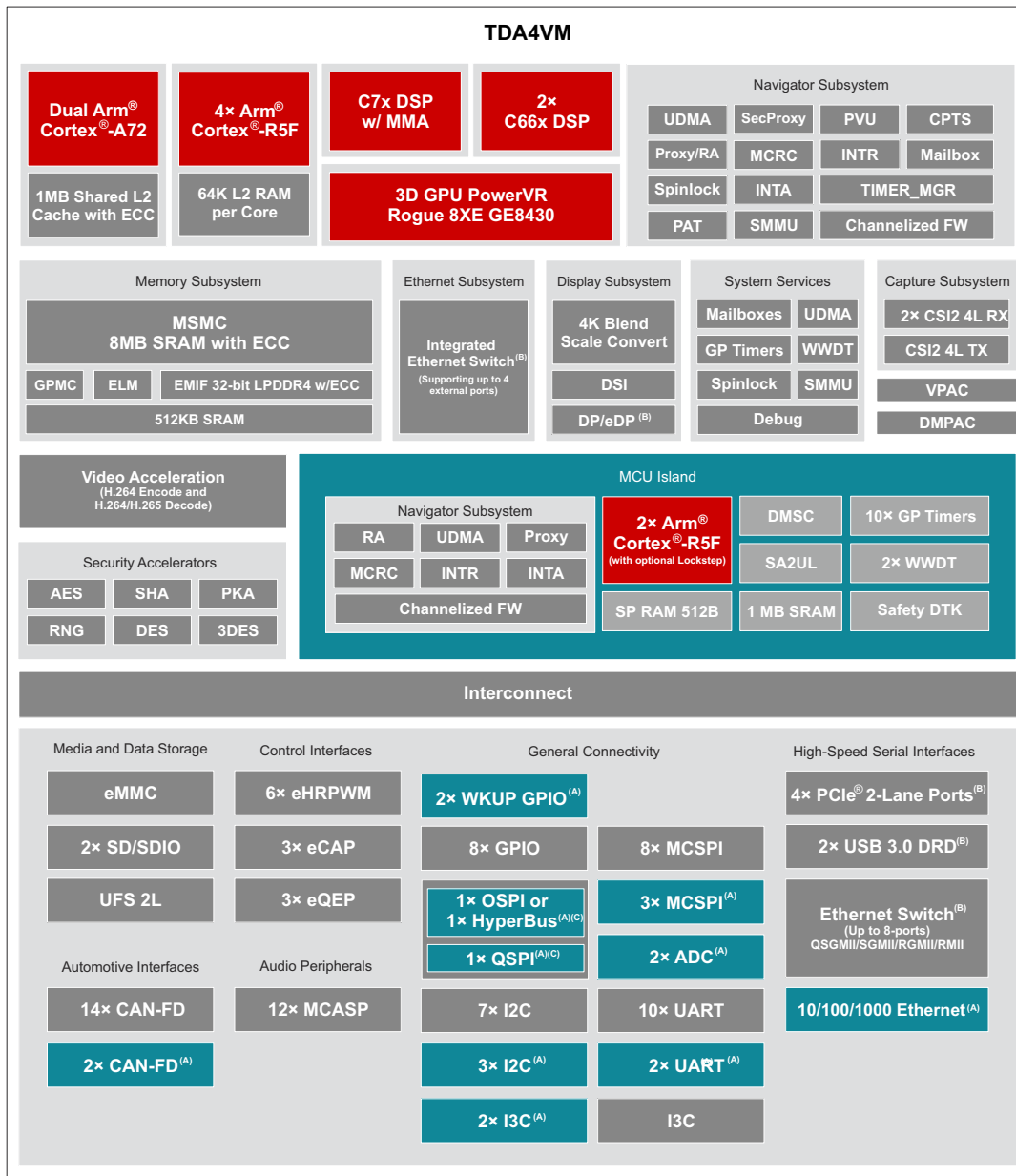
- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

図 3-1 は、このデバイスの機能ブロック図です。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、[DRA829](#) および [TDA4VM ソフトウェア ビルド シート \(PROCESSOR-SDK-J721E\)](#) を参照してください。



- A. このインターフェイスは MCU アイランドに位置しますが、システム全体からアクセス可能です。
- B. DP、SGMII、USB3.0、PCIe[3:0] は合計 12 本の SerDes レーンを共有しています。
- C. 2 つの同時フラッシュ インターフェイスは OSPI0 と OSPI1、または HyperBus™ と OSPI1 として構成されます。

図 3-1. 機能ブロック図

目次

1 特長	1	6.9 温度センサの特性	174
2 アプリケーション	2	6.10 タイミングおよびスイッチング特性	175
3 概要	3	7 詳細説明	303
3.1 機能ブロック図	4	7.1 概要	303
4 デバイスの比較	6	7.2 プロセッサ サブシステム	304
4.1 関連製品	9	7.3 アクセラレータとコプロセッサ	305
5 端子構成および機能	10	7.4 その他のサブシステム	307
5.1 ピン配置図	10	8 アプリケーションと実装	317
5.2 ピン属性	11	8.1 電源マッピング	317
5.3 信号の説明	78	8.2 デバイスの接続およびレイアウトの基礎	321
5.4 ピン多重化	137	8.3 パリフェラルおよびインターフェイス固有の設計情報	322
5.5 ピン接続要件「」	152	9 デバイスおよびドキュメントのサポート	327
6 仕様	155	9.1 デバイスの命名規則	327
6.1 絶対最大定格	155	9.2 ツールとソフトウェア	330
6.2 ESD 定格	158	9.3 ドキュメントのサポート	330
6.3 パワー オン時間 (POH) の制限	158	9.4 サポート・リソース	330
6.4 推奨動作条件	158	9.5 商標	331
6.5 動作性能ポイント	162	9.6 静電気放電に関する注意事項	331
6.6 電気的特性	163	9.7 用語集	331
6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様	171	10 改訂履歴	331
6.8 熱抵抗特性	173	11 メカニカル、パッケージ、および注文情報	333
		11.1 パッケージ情報	333

4 デバイスの比較

表 4-1 に、SoC の機能を示します。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、[DRA829](#) および [TDA4VM ソフトウェア ビルド シート \(PROCESSOR-SDK-J721E\)](#) を参照してください。

表 4-1. デバイスの比較

特長 ⁽⁷⁾	参照名	TDA4VM88
特長		
CTRLMMR_WKUP_JTAG_USER_ID[31:16]DEVICE_ID レジスタのビットフィールド値 ^{(6) (7)}		0x1340
プロセッサおよびアクセラレータ		
速度グレード		T
Arm Cortex-A72 マイクロプロセッサ サブシステム	Arm A72	デュアル コア
ARM Cortex-R5F	Arm R5F	Hexa Core
	ロックステップ	オプション ⁽¹⁾
デバイス管理セキュリティコントローラ	DMSC	あり
C7x 浮動小数点、ベクタ DSP	C7x DSP	あり
ディープ ラーニング アクセラレータ	MMA	あり
2 つの C66x 浮動小数点 DSP	C66x DSP	デュアル コア
グラフィックス アクセラレータ 3D GPU PowerVR Rogue 8XE GE8430	GPU	あり
深度およびモーション処理アクセラレータ	DMPAC	あり
ビジョン処理アクセラレータ	VPAC	あり
セキュリティ アクセラレータ	SA	あり
ビデオ エンコーダ / デコーダ	VENC/VDEC	あり
安全およびセキュリティ		
安全を対象	安全	オプション ⁽¹⁾
デバイスのセキュリティ	セキュリティ	オプション ⁽²⁾
AEC-Q100 認定済み	Q1	オプション ⁽³⁾
プログラムおよびデータ ストレージ		
MAIN ドメインのオンチップ共有メモリ (RAM)	OCSRAM	512KB SRAM
MCU ドメインのオンチップ共有メモリ (RAM)	MCU_MS RAM	1MB SRAM
マルチコア共有メモリコントローラ	MSMC	8MB (ECC 付きのオンチップ SRAM)
LPDDR4 DDR サブシステム	DDRSS	最大 8GB (32 ビット データ)、インライン ECC 付き
	SECEDED	7 ビット
汎用メモリコントローラ	GPMC	最大 1GB、ECC 付き
ペリフェラル		
ディスプレイ サブシステム	DSS	あり
モジュール式コントローラ エリア ネットワーク インターフェイス、CAN-FD フル サポート	MCAN	16
汎用 I/O	GPIO	最大 226
集積回路間インターフェイス	I2C	10
改良版集積回路間インターフェイス	I3C	3

表 4-1. デバイスの比較 (続き)

特長 ⁽⁷⁾	参照名	TDA4VM88
A/D コンバータ	ADC	2
キャプチャ サブシステム、カメラ シリアル インターフェイス (CSI2) 付き	CSI2.0 4L RX	2
	CSI2.0 4L TX	1
マルチチャネル シリアル パリフェラル インターフェイス	MCSPi	11
マルチチャネル オーディオ シリアル ポート	MCASP0	16 個のシリアライザ
	MCASP1	12 個のシリアライザ
	MCASP2	6 個のシリアライザ
	MCASP3	4 個のシリアライザ
	MCASP4	4 個のシリアライザ
	MCASP5	4 個のシリアライザ
	MCASP6	4 個のシリアライザ
	MCASP7	4 個のシリアライザ
	MCASP8	4 個のシリアライザ
	MCASP9	4 個のシリアライザ
	MCASP10	8 個のシリアライザ
	MCASP11	8 個のシリアライザ
マルチメディア カード / セキュア デジタル インターフェイス	MMCSd0	eMMC (8 ビット)
	MMCSd1	SD/SDIO (4 ビット)
	MMCSd2	SD/SDIO (4 ビット)
ユニバーサル フラッシュ ストレージ	UFS 2L	あり (2 レーン)
フラッシュ サブシステム (FSS)	OSPI0	8 ビット ⁽⁵⁾
	OSPI1 ⁽⁸⁾	4 ビット
	HyperBus	あり ⁽⁵⁾
PHY 内蔵 PCI Express ポート × 4	PCIE0	最大 2 レーン ⁽⁴⁾
	PCIE1	最大 2 レーン ⁽⁴⁾
	PCIE2	最大 2 レーン ⁽⁴⁾
	PCIE3	最大 2 レーン ⁽⁴⁾
2x プログラマブル リアルタイム ユニット サブシステムおよび TSN 通信サブシステム (イーサネット サブシステム)	PRU_ICSSG0	なし
	PRU_ICSSG1	なし
ギガビット イーサネット インターフェイス	CPSW2G	RMII または RGMII
	CPSW9G	8 × RMII 8 × RGMII 8 × SGMII ⁽⁴⁾
汎用タイマー	TIMER	30
改良型高分解能パルス幅変調器モジュール	eHRPWM	6
拡張キャプチャ モジュール	eCAP	3
拡張直交エンコーダ パルス モジュール	eQEP	3
汎用非同期レシーバ / トランスミッタ	UART	12
ユニバーサル シリアル バス (USB3.1) SuperSpeed デュアル ロール デバイス (DRD) ポート、SS PHY 付き	USB0	あり ⁽⁴⁾
	USB1	あり ⁽⁴⁾

(1) R5F ロックステップおよび SIL/ASIL 定格などの安全機能は、命名規則の説明の表、表 9-1 デバイス タイプ (Y) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。

- (2) セキュア ブートや顧客がプログラム可能なキーなどのデバイス セキュリティ機能は、命名規則の説明の表、表 9-1 のデバイス タイプ (Y) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (3) AEC-Q100 認定は、命名規則の説明の表、表 9-1 の車載識別記号 (Q1) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (4) DP、SGMII、USB3.0、PCIE[3:0] は合計 12 本の SerDes レーンを共有しています。
- (5) 2 つの同時フラッシュ インターフェイスは OSPI0 と OSPI1、または HyperBus と OSPI1 として構成。
- (6) CTRLMMR_WKUP_JTAG_USER_ID レジスタおよび DEVICE_ID ビット フィールドの詳細については、デバイスの TRM を参照してください。
- (7) J721E はスーパーセット デバイスの基本型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。(CTRLMMR_WKUP_JTAG_USER_ID[31:16]「DEVICE_ID」レジスタのビット フィールド値:0x1317。)
- (8) OSPI1 モジュールは 4 本のピンのみを配置しており、文脈によっては QSPI と呼ばれます。

4.1 関連製品

TDA4VM の関連製品 この製品と組み合わせて 購入または使用されることが多い製品をご確認ください。

ソフトウェア開発キット、DRA8x および TDA4x Jacinto™ プロセッサ用 プロセッサ SDK RTOS (PSDK RTOS) は、プロセッサ SDK Linux (PSDK Linux) またはプロセッサ SDK QNX (PSDK QNX) と組み合わせて使用することができます。これにより、TI の Jacinto™ プロセッサ プラットフォームに属する TDA4x および DRA8x の各 SoC に適したマルチプロセッサ ソフトウェア開発プラットフォームを構築できます。この SDK は、各種ソフトウェア ツールとコンポーネントで構成された包括的なセットを提供し、アプリケーションの開発と、サポート対象の J7 SoC への導入を支援します。PSDK RTOS と、PSDK Linux または PSDK QNX のどちらかを組み合わせて使用すると、ロボット、ビジョン、ファクトリ (工場) オートメーション、ビル オートメーション、車載用 ADAS およびゲートウェイの各システムで、さまざまな使用事例を実装できます。

TDA4VM 評価基板 TDA4VMXEVM は、ADAS アプリケーション開発の迅速化と、開発期間の短縮を実現する評価プラットフォームです。

TDA4x EVM は、TDA4VMx システム オン チップ (SoC) をベースとしています。この SoC は、TI の固定 / 浮動小数点 TMS320C66x デジタル信号プロセッサ (DSP) である C71x DSP のコア、AI 用 Matrix Math Accelerator、Arm® Cortex®-A72 コア、統合 ISP とビジョン処理アクセラレーション、2D および 3D GPU コア、H.264 エンコード / H.265 エンコード アクセラレーションの組み合わせで形成された、強力でスケーラブルな異種アーキテクチャを採用しています。デュアル ロックステップ R5F コアを搭載したオンチップ Safety Island は、外部セーフティ マイコンの必要性を低下させ、さらにシステム部品点数を低減しながら、システムでの ASIL-D/SIL-3 レベルの認証取得に役立ちます。オンチップ ペリフェラルを使用すると、CSI-2 ポート経由のマルチカメラ入力、PCI Express、CAN-FD、ギガビット Ethernet による自動車との接続、DSI インターフェイス経由のディスプレイ接続が可能になります。

この評価基板は、プロセッサ SDK でサポートされています。これには、基礎的なドライバ、コンピューティングおよびビジョン カーネル、強力な異種 SoC アーキテクチャの利用方法をユーザーに紹介するサンプル アプリケーション フレームワークおよびデモが含まれています。

アプリケーション ノートおよびホワイト ペーパー L2/L3 向け、近距離場分析システム、ディープ ラーニング テクノロジー採用、次世代 SoC ファミリー

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、827 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボールの位置を示します。信号名およびボールグリッド番号を特定するために、表 5-1 図 5-1 から 図 5-1 と組み合わせて使用します。

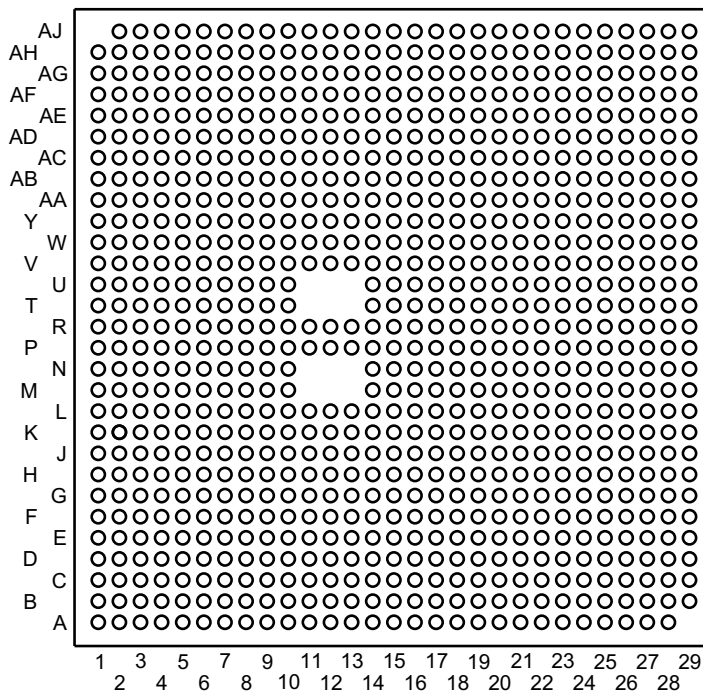


図 5-1. ALF FCBGA-N827 のピン配置図 (底面図)

5.2 ピン属性

注

MCU_BOOTMODE ピンは、MCU_PORz_OUT の立ち上がりエッジでラッチされます。BOOTMODE ピンは、PORz_OUT の立ち上がりエッジでラッチされます。

注

このデバイスでは、メディア ローカル バス (MLB) が利用できません。GPIO モードで使用しない場合、以下のボールは未接続のままにする必要があります。AE2、AD2、AD3、AC3、AC1、AD1

注

PRU_ICSSG0 および PRU_ICSSG1 は、このパッケージでは利用できません。prg* 信号は使用しないでください。これらのピンは、他の機能に使用できません。

注

4x RMII、4x RGMII、4x SGMII の CPSW9G ギガビット イーサネット インターフェイスをサポートするデバイスで、次のインスタンスとピンをできます。

1. RMII1/RGMII1/SGMII1
2. RMII2/RGMII2/SGMII2
3. RMII3/RGMII3/SGMII3
4. RMII4/RGMII4/SGMII4

2x RMII、2x RGMII、2x SGMII の CPSW9G ギガビット イーサネット インターフェイスをサポートするデバイスで、次のインスタンスとピンをできます。

1. RMII1/RGMII1/SGMII1
2. RMII2/RGMII2/SGMII2

表 5-1. ピン属性

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
U7	CAP_VDDSD0	CAP_VDDSD0		CAP									
K23	CAP_VDDSD0_MCU	CAP_VDDSD0_MCU		CAP									
AB21	CAP_VDDSD1	CAP_VDDSD1		CAP									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
J18	CAP_VDDS1_MCU	CAP_VDDS1_MCU		CAP									
Y18	CAP_VDDS2	CAP_VDDS2		CAP									
J19	CAP_VDDS2_MCU	CAP_VDDS2_MCU		CAP									
W21	CAP_VDDS3	CAP_VDDS3		CAP									
AA22	CAP_VDDS4	CAP_VDDS4		CAP									
R22	CAP_VDDS5	CAP_VDDS5		CAP									
V22	CAP_VDDS6	CAP_VDDS6		CAP									
B20	CSI0_RXCLKN	CSI0_RXCLKN		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
A21	CSI0_RXCLKP	CSI0_RXCLKP		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
F16	csi0_rxcailib	CSI0_RXRCALIB		A	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
F15	csi1_rxcailib	CSI1_RXRCALIB		A	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
B17	CSI1_RXCLKN	CSI1_RXCLKN		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
A18	CSI1_RXCLKP	CSI1_RXCLKP		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
B19	CSI0_RXN0	CSI0_RXN0		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
D18	CSI0_RXN1	CSI0_RXN1		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
D17	CSI0_RXN2	CSI0_RXN2		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
E16	CSI0_RXN3	CSI0_RXN3		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
A20	CSI0_RXP0	CSI0_RXP0		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
C19	CSI0_RXP1	CSI0_RXP1		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
C18	CSI0_RXP2	CSI0_RXP2		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
E17	CSI0_RXP3	CSI0_RXP3		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
B16	CSI1_RXN0	CSI1_RXN0		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
D15	CSI1_RXN1	CSI1_RXN1		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
D14	CSI1_RXN2	CSI1_RXN2		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
E13	CSI1_RXN3	CSI1_RXN3		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
A17	CSI1_RXP0	CSI1_RXP0		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
C16	CSI1_RXP1	CSI1_RXP1		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
C15	CSI1_RXP2	CSI1_RXP2		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
E14	CSI1_RXP3	CSI1_RXP3		I	OFF		1.8V	VDDA_0P8_CS IRX / VDDA_1P8_CS IRX		D-PHY			
J1	ddr0_ckn	DDR0_CKN		IO	OFF		1.1V	VDDS_DDR		DDR0			
H1	ddr0_ckp	DDR0_CKP		IO	OFF		1.1V	VDDS_DDR		DDR0			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABLE ¹⁴
K6	ddr0_resetrn	DDR0_RESETrn		IO	OFF		1.1V	VDDSD_DDR		DDR0			
G4	ddr0_ca0	DDR0_CA0		IO	OFF		1.1V	VDDSD_DDR		DDR0			
H3	ddr0_ca1	DDR0_CA1		IO	OFF		1.1V	VDDSD_DDR		DDR0			
K5	ddr0_ca2	DDR0_CA2		IO	OFF		1.1V	VDDSD_DDR		DDR0			
J4	ddr0_ca3	DDR0_CA3		IO	OFF		1.1V	VDDSD_DDR		DDR0			
K2	ddr0_ca4	DDR0_CA4		IO	OFF		1.1V	VDDSD_DDR		DDR0			
H5	ddr0_ca5	DDR0_CA5		IO	OFF		1.1V	VDDSD_DDR		DDR0			
H2	ddr0_cal0	DDR0_CAL0		A	OFF		1.1V	VDDSD_DDR		DDR0			
G3	ddr0_cke0	DDR0_CKE0		IO	OFF		1.1V	VDDSD_DDR		DDR0			
J3	ddr0_cke1	DDR0_CKE1		IO	OFF		1.1V	VDDSD_DDR		DDR0			
J5	ddr0_csn0_0	DDR0_CSn0_0		IO	OFF		1.1V	VDDSD_DDR		DDR0			
K3	ddr0_csn0_1	DDR0_CSn0_1		IO	OFF		1.1V	VDDSD_DDR		DDR0			
G5	ddr0_csn1_0	DDR0_CSn1_0		IO	OFF		1.1V	VDDSD_DDR		DDR0			
J2	ddr0_csn1_1	DDR0_CSn1_1		IO	OFF		1.1V	VDDSD_DDR		DDR0			
A3	ddr0_dm0	DDR0_DM0		IO	OFF		1.1V	VDDSD_DDR		DDR0			
E4	ddr0_dm1	DDR0_DM1		IO	OFF		1.1V	VDDSD_DDR		DDR0			
N1	ddr0_dm2	DDR0_DM2		IO	OFF		1.1V	VDDSD_DDR		DDR0			
R5	ddr0_dm3	DDR0_DM3		IO	OFF		1.1V	VDDSD_DDR		DDR0			
A5	ddr0_dq0	DDR0_DQ0		IO	OFF		1.1V	VDDSD_DDR		DDR0			
A6	ddr0_dq1	DDR0_DQ1		IO	OFF		1.1V	VDDSD_DDR		DDR0			
B5	ddr0_dq2	DDR0_DQ2		IO	OFF		1.1V	VDDSD_DDR		DDR0			
C2	ddr0_dq3	DDR0_DQ3		IO	OFF		1.1V	VDDSD_DDR		DDR0			
B4	ddr0_dq4	DDR0_DQ4		IO	OFF		1.1V	VDDSD_DDR		DDR0			
C3	ddr0_dq5	DDR0_DQ5		IO	OFF		1.1V	VDDSD_DDR		DDR0			
A2	ddr0_dq6	DDR0_DQ6		IO	OFF		1.1V	VDDSD_DDR		DDR0			
A4	ddr0_dq7	DDR0_DQ7		IO	OFF		1.1V	VDDSD_DDR		DDR0			
D1	ddr0_dq8	DDR0_DQ8		IO	OFF		1.1V	VDDSD_DDR		DDR0			
C4	ddr0_dq9	DDR0_DQ9		IO	OFF		1.1V	VDDSD_DDR		DDR0			
F1	ddr0_dq10	DDR0_DQ10		IO	OFF		1.1V	VDDSD_DDR		DDR0			
G2	ddr0_dq11	DDR0_DQ11		IO	OFF		1.1V	VDDSD_DDR		DDR0			
F2	ddr0_dq12	DDR0_DQ12		IO	OFF		1.1V	VDDSD_DDR		DDR0			
F3	ddr0_dq13	DDR0_DQ13		IO	OFF		1.1V	VDDSD_DDR		DDR0			
D3	ddr0_dq14	DDR0_DQ14		IO	OFF		1.1V	VDDSD_DDR		DDR0			
F5	ddr0_dq15	DDR0_DQ15		IO	OFF		1.1V	VDDSD_DDR		DDR0			
L5	ddr0_dq16	DDR0_DQ16		IO	OFF		1.1V	VDDSD_DDR		DDR0			
M5	ddr0_dq17	DDR0_DQ17		IO	OFF		1.1V	VDDSD_DDR		DDR0			
N5	ddr0_dq18	DDR0_DQ18		IO	OFF		1.1V	VDDSD_DDR		DDR0			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
L4	ddr0_dq19	DDR0_DQ19		IO	OFF		1.1V	VDD5_DDR		DDR0			
L2	ddr0_dq20	DDR0_DQ20		IO	OFF		1.1V	VDD5_DDR		DDR0			
L1	ddr0_dq21	DDR0_DQ21		IO	OFF		1.1V	VDD5_DDR		DDR0			
N2	ddr0_dq22	DDR0_DQ22		IO	OFF		1.1V	VDD5_DDR		DDR0			
N4	ddr0_dq23	DDR0_DQ23		IO	OFF		1.1V	VDD5_DDR		DDR0			
T3	ddr0_dq24	DDR0_DQ24		IO	OFF		1.1V	VDD5_DDR		DDR0			
T2	ddr0_dq25	DDR0_DQ25		IO	OFF		1.1V	VDD5_DDR		DDR0			
P2	ddr0_dq26	DDR0_DQ26		IO	OFF		1.1V	VDD5_DDR		DDR0			
P3	ddr0_dq27	DDR0_DQ27		IO	OFF		1.1V	VDD5_DDR		DDR0			
P5	ddr0_dq28	DDR0_DQ28		IO	OFF		1.1V	VDD5_DDR		DDR0			
R4	ddr0_dq29	DDR0_DQ29		IO	OFF		1.1V	VDD5_DDR		DDR0			
T4	ddr0_dq30	DDR0_DQ30		IO	OFF		1.1V	VDD5_DDR		DDR0			
T5	ddr0_dq31	DDR0_DQ31		IO	OFF		1.1V	VDD5_DDR		DDR0			
B1	ddr0_dqs0n	DDR0_DQS0N		IO	OFF		1.1V	VDD5_DDR		DDR0			
B2	ddr0_dqs0p	DDR0_DQS0P		IO	OFF		1.1V	VDD5_DDR		DDR0			
E2	ddr0_dqs1n	DDR0_DQS1N		IO	OFF		1.1V	VDD5_DDR		DDR0			
E3	ddr0_dqs1p	DDR0_DQS1P		IO	OFF		1.1V	VDD5_DDR		DDR0			
M2	ddr0_dqs2n	DDR0_DQS2N		IO	OFF		1.1V	VDD5_DDR		DDR0			
M3	ddr0_dqs2p	DDR0_DQS2P		IO	OFF		1.1V	VDD5_DDR		DDR0			
R1	ddr0_dqs3n	DDR0_DQS3N		IO	OFF		1.1V	VDD5_DDR		DDR0			
R2	ddr0_dqs3p	DDR0_DQS3P		IO	OFF		1.1V	VDD5_DDR		DDR0			
P6	ddr_ret	DDR_RET		I	OFF		1.1V	VDD5_DDR_BI AS		DDR0			
G6	dp0_auxn	DP0_AUXN		IO	OFF		0.8V	VDDA_0P8_DP / VDDA_1P8_DP		AUX-PHY			
F7	dp0_auxp	DP0_AUXP		IO	OFF		0.8V	VDDA_0P8_DP / VDDA_1P8_DP		AUX-PHY			
E10	DSI_TXCLKN	DSI_TXCLKN		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXCLKN		O									
E11	DSI_TXCLKP	DSI_TXCLKP		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXCLKP		O									
D11	DSI_TXN0	DSI_TXN0		IO	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXN0		O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
D12	DSI_TXN1	DSI_TXN1		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXN1		O									
B13	DSI_TXN2	DSI_TXN2		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXN2		O									
B14	DSI_TXN3	DSI_TXN3		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXN3		O									
C12	DSI_TXP0	DSI_TXP0		IO	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXP0		O									
C13	DSI_TXP1	DSI_TXP1		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXP1		O									
A14	DSI_TXP2	DSI_TXP2		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXP2		O									
A15	DSI_TXP3	DSI_TXP3		O	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
		CSI0_TXP3		O									
F12	dsi_txrcalib	DSI_TXRCALIB		A	OFF		1.8V	VDDA_0P8_DS ITX / VDDA_1P8_DS ITX		D-PHY			
U2	ecap0_in_apwm_out	ECAP0_IN_APWM_OUT	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVC MOS	PU/PD	0	0/1
		SYNC0_OUT	1	O									
		CPTS0_RFT_CLK	2	I								0	
		SPI2_CS3	4	IO								1	
		I3C0_SDAPULLEN	5	O									
		SPI7_CS0	6	IO								1	
		GPIO1_11	7	IO								0	
C26	emu0	EMU0	0	IO	PU	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVC MOS	PU/PD		1/1
B29	emu1	EMU1	0	IO	PU	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVC MOS	PU/PD		1/1
AC18	extintn	EXTINTn	0	I	OFF	7	1.8V/3.3V	VDDSHV2	あり	I2C OD FS		1	0/0
		GPIO0_0	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
U3	ext_refclk1	EXT_REFCLK1	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0	0/1
		SYNC1_OUT	1	O									
		SPI7_CLK	6	IO								0	
		GPIO1_12	7	IO								0	
AC5	i2c0_scl	I2C0_SCL	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS		1	1/0
		GPIO1_7	7	IO								0	
AA5	i2c0_sda	I2C0_SDA	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS		1	1/0
		GPIO1_8	7	IO								0	
Y6	i2c1_scl	I2C1_SCL	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS		1	1/0
		CPTS0_HW1TSPUSH	1	I								0	
		GPIO1_9	7	IO								0	
AA6	i2c1_sda	I2C1_SDA	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS		1	1/0
		CPTS0_HW2TSPUSH	1	I								0	
		GPIO1_10	7	IO								0	
W2	i3c0_scl	I3C0_SCL	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		MMC2_SDCD	1	I								1	
		UART9_CTSn	2	I								1	
		MCAN2_RX	3	I								1	
		I2C6_SCL	4	IOD								1	
		DP0_HPD	5	I								0	
		PCIE0_CLKREQn	6	IO								0	
		GPIO1_5	7	IO								0	
		UART6_RXD	8	I								0	
W1	i3c0_sda	I3C0_SDA	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		MMC2_SDWP	1	I								1	
		UART9_RTSn	2	O									
		MCAN2_TX	3	O									
		I2C6_SDA	4	IOD								1	
		PCIE1_CLKREQn	6	IO								0	
		GPIO1_6	7	IO								0	
		UART6_TXD	8	O								0	
W5	mcan0_rx	MCAN0_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		I2C2_SCL	4	IOD								1	
		GPIO1_1	7	IO								0	
W6	mcan0_tx	MCAN0_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/1
		I2C2_SDA	4	IOD								1	
		GPIO1_2	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
W3	mcan1_rx	MCAN1_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		UART6_CTSn	1	I								1	
		UART9_RXD	2	I								1	
		USB0_DRVVBUS	3	O									
		USB1_DRVVBUS	4	O									
		GPIO1_3	7	IO								0	
V4	mcan1_tx	MCAN1_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/1
		UART6_RTSn	1	O									
		UART9_TXD	2	O									
		USB0_DRVVBUS	3	O									
		USB1_DRVVBUS	4	O									
		GPIO1_4	7	IO								0	
K25	mcu_adc0_ain0	MCU_ADC0_AIN0	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_68	-1	I									
K26	mcu_adc0_ain1	MCU_ADC0_AIN1	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_69	-1	I									
K28	mcu_adc0_ain2	MCU_ADC0_AIN2	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_70	-1	I									
L28	mcu_adc0_ain3	MCU_ADC0_AIN3	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_71	-1	I									
K24	mcu_adc0_ain4	MCU_ADC0_AIN4	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_72	-1	I									
K27	mcu_adc0_ain5	MCU_ADC0_AIN5	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_73	-1	I									
K29	mcu_adc0_ain6	MCU_ADC0_AIN6	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_74	-1	I									
L29	mcu_adc0_ain7	MCU_ADC0_AIN7	0	A	OFF	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_75	-1	I									
N23	mcu_adc1_ain0	MCU_ADC1_AIN0	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_76	-1	I									
M25	mcu_adc1_ain1	MCU_ADC1_AIN1	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_77	-1	I									
L24	mcu_adc1_ain2	MCU_ADC1_AIN2	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_78	-1	I									
L26	mcu_adc1_ain3	MCU_ADC1_AIN3	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_79	-1	I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
N24	mcu_adc1_ain4	MCU_ADC1_AIN4	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_80	-1	I									
M24	mcu_adc1_ain5	MCU_ADC1_AIN5	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_81	-1	I									
L25	mcu_adc1_ain6	MCU_ADC1_AIN6	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_82	-1	I									
L27	mcu_adc1_ain7	MCU_ADC1_AIN7	0	A	OFF	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_83	-1	I									
J26	mcu_i2c0_scl	MCU_I2C0_SCL	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1	1/0
		WKUP_GPIO0_64	7	IO								0	
H25	mcu_i2c0_sda	MCU_I2C0_SDA	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1	1/0
		WKUP_GPIO0_65	7	IO								0	
D26	mcu_i3c0_scl	MCU_I3C0_SCL	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVC MOS	PU/PD	1	0/1
		MCU_UART0_CTSn	2	I								1	
		MCU_TIMER_IO8	4	IO								0	
		WKUP_GPIO0_60	7	IO								0	
D25	mcu_i3c0_sda	MCU_I3C0_SDA	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVC MOS	PU/PD	1	0/1
		MCU_UART0_RTSn	2	O									
		MCU_TIMER_IO9	4	IO								0	
		WKUP_GPIO0_61	7	IO								0	
C29	mcu_mcan0_rx	MCU_MCAN0_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVC MOS	PU/PD	0	0/1
		WKUP_GPIO0_59	7	IO								0	
D29	mcu_mcan0_tx	MCU_MCAN0_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVC MOS	PU/PD		0/1
		WKUP_GPIO0_58	7	IO								0	
F23	mcu_mdio0_mdc	MCU_MDIO0_MDC	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVC MOS	PU/PD		0/1
		WKUP_GPIO0_51	7	IO								0	
E23	mcu_mdio0_mdio	MCU_MDIO0_MDIO	0	IO	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVC MOS	PU/PD	0	0/1
		WKUP_GPIO0_50	7	IO								0	
E20	mcu_ospi0_clk	MCU_OSPI0_CLK	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVC MOS	PU/PD		0/1
		MCU_HYPERBUS0_CK	1	O									
		WKUP_GPIO0_16	7	IO								0	
D21	mcu_ospi0_dqs	MCU_OSPI0_DQS	0	I	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVC MOS	PU/PD	0	0/1
		MCU_HYPERBUS0_RWDS	1	IO								0	
		WKUP_GPIO0_18	7	IO								0	
C21	mcu_ospi0_lbccko	MCU_OSPI0_LBCKLO	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVC MOS	PU/PD	0	1/1
		MCU_HYPERBUS0_CKn	1	O									
		WKUP_GPIO0_17	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴	
F22	mcu_osp1_clk	MCU_OSPI1_CLK	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		WKUP_GPIO0_29	7	IO										0
B23	mcu_osp1_dqs	MCU_OSPI1_DQS	0	I	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_OSPI0_CSn3	1	O										1
		MCU_HYPERBUS0_INTn	2	I										1
		MCU_OSPI0_ECC_FAIL	6	I										1
		WKUP_GPIO0_31	7	IO										0
A23	mcu_osp1_lbciko	MCU_OSPI1_LBCLKO	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	1/1	
		MCU_OSPI0_CSn2	1	O										1
		MCU_HYPERBUS0_RESETO_n	2	I										1
		MCU_OSPI0_RESET_OUT0	6	O										0
		WKUP_GPIO0_30	7	IO										0
F19	mcu_osp10_csn0	MCU_OSPI0_CSn0	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_CSn0	1	O										0
		WKUP_GPIO0_27	7	IO										0
E19	mcu_osp10_csn1	MCU_OSPI0_CSn1	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_RESETO_n	1	O										0
		WKUP_GPIO0_28	7	IO										0
D20	mcu_osp10_d0	MCU_OSPI0_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_DQ0	1	IO										0
		WKUP_GPIO0_19	7	IO										0
G19	mcu_osp10_d1	MCU_OSPI0_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_DQ1	1	IO										0
		WKUP_GPIO0_20	7	IO										0
G20	mcu_osp10_d2	MCU_OSPI0_D2	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_DQ2	1	IO										0
		WKUP_GPIO0_21	7	IO										0
F20	mcu_osp10_d3	MCU_OSPI0_D3	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_DQ3	1	IO										0
		WKUP_GPIO0_22	7	IO										0
F21	mcu_osp10_d4	MCU_OSPI0_D4	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_DQ4	1	IO										0
		WKUP_GPIO0_23	7	IO										0
E21	mcu_osp10_d5	MCU_OSPI0_D5	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1	
		MCU_HYPERBUS0_DQ5	1	IO										0
		WKUP_GPIO0_24	7	IO										0

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
B22	mcu_ospi0_d6	MCU_OSPI0_D6	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ6	1	IO								0	
		WKUP_GPIO0_25	7	IO								0	
G21	mcu_ospi0_d7	MCU_OSPI0_D7	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ7	1	IO								0	
		WKUP_GPIO0_26	7	IO								0	
C22	mcu_ospi1_csn0	MCU_OSPI1_CS0	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1
		WKUP_GPIO0_36	7	IO								0	
E22	mcu_ospi1_csn1	MCU_OSPI1_CS1	0	O	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD		0/1
		MCU_HYPERBUS0_WPn	1	O									
		MCU_TIMER_IO0	2	IO								0	
		MCU_HYPERBUS0_CS1	3	O									
		MCU_UART0_RTSn	4	O									
		MCU_SPI0_CS2	5	IO								1	
		MCU_OSPI0_RESET_OUT1	6	O									
WKUP_GPIO0_37	7	IO	0										
D22	mcu_ospi1_d0	MCU_OSPI1_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1
		WKUP_GPIO0_32	7	IO								0	
G22	mcu_ospi1_d1	MCU_OSPI1_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1
		MCU_UART0_RXD	4	I								1	
		MCU_SPI1_CS1	5	IO								1	
		WKUP_GPIO0_33	7	IO								0	
D23	mcu_ospi1_d2	MCU_OSPI1_D2	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1
		MCU_UART0_TXD	4	O									
		MCU_SPI1_CS2	5	IO								1	
		WKUP_GPIO0_34	7	IO								0	
C23	mcu_ospi1_d3	MCU_OSPI1_D3	0	IO	OFF	7	1.8V/3.3V	VDDSHV1_MCU	あり	LVCMOS	PU/PD	0	0/1
		MCU_UART0_CTSn	4	I								1	
		MCU_SPI0_CS1	5	IO								1	
		WKUP_GPIO0_35	7	IO								0	
H23	mcu_porz	MCU_PORz		I	OFF		1.8V	VDDA_WKUP	あり	FS のリセット	PU/PD		
B28	mcu_porz_out	MCU_PORz_OUT	0	O	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/0
C27	mcu_resetstatz	MCU_RESETSTATz	0	O	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/0
D28	mcu_resetz	MCU_RESETz	0	I	PU	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		1/1

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
C24	mcu_rgmii1_rxc	MCU_RGMII1_RXC	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_REF_CLK	1	I								0	
		WKUP_GPIO0_45	7	IO								0	
C25	mcu_rgmii1_rx_ctl	MCU_RGMII1_RX_CTL	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_RX_ER	1	I								0	
		WKUP_GPIO0_39	7	IO								0	
B26	mcu_rgmii1_txc	MCU_RGMII1_TXC	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_TX_EN	1	O									
		WKUP_GPIO0_44	7	IO								0	
B27	mcu_rgmii1_tx_ctl	MCU_RGMII1_TX_CTL	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_CRSDV	1	I								0	
		WKUP_GPIO0_38	7	IO								0	
B24	mcu_rgmii1_rd0	MCU_RGMII1_RD0	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_RXD0	1	I								0	
		WKUP_GPIO0_49	7	IO								0	
A24	mcu_rgmii1_rd1	MCU_RGMII1_RD1	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_RXD1	1	I								0	
		WKUP_GPIO0_48	7	IO								0	
D24	mcu_rgmii1_rd2	MCU_RGMII1_RD2	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_TIMER_IO5	1	IO								0	
		WKUP_GPIO0_47	7	IO								0	
A25	mcu_rgmii1_rd3	MCU_RGMII1_RD3	0	I	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD	0	0/1
		MCU_TIMER_IO4	1	IO								0	
		WKUP_GPIO0_46	7	IO								0	
B25	mcu_rgmii1_td0	MCU_RGMII1_TD0	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD		0/1
		MCU_RMII1_TXD0	1	O									
		WKUP_GPIO0_43	7	IO								0	
A26	mcu_rgmii1_td1	MCU_RGMII1_TD1	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD		0/1
		MCU_RMII1_TXD1	1	O									
		WKUP_GPIO0_42	7	IO								0	
A27	mcu_rgmii1_td2	MCU_RGMII1_TD2	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MC U	あり	LVCMOS	PU/PD		0/1
		MCU_TIMER_IO3	1	IO								0	
		MCU_ADC_EXT_TRIGGER1	3	I								0	
		WKUP_GPIO0_41	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
A28	mcu_rgmii1_td3	MCU_RGMII1_TD3	0	O	OFF	7	1.8V/3.3V	VDDSHV2_MCU	あり	LVCMOS	PU/PD		0/1
		MCU_TIMER_IO2	1	IO								0	
		MCU_ADC_EXT_TRIGGER0	3	I								0	
		WKUP_GPIO0_40	7	IO								0	
D27	mcu_safety_errorn	MCU_SAFETY_ERRORn	0	IO	PD	0	1.8V	VDDA_WKUP	あり	LVCMOS	PU/PD		1/0
E27	mcu_spi0_clk	MCU_SPI0_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/1
		WKUP_GPIO0_52	7	IO								0	
		MCU_BOOTMODE00		ブートストラップ								I	
E25	mcu_spi0_cs0	MCU_SPI0_CS0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	0/1
		MCU_TIMER_IO1	4	IO								0	
		WKUP_GPIO0_55	7	IO								0	
E24	mcu_spi0_d0	MCU_SPI0_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/1
		WKUP_GPIO0_53	7	IO								0	
		MCU_BOOTMODE01		ブートストラップ								I	
E28	mcu_spi0_d1	MCU_SPI0_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/1
		MCU_TIMER_IO0	4	IO								0	
		WKUP_GPIO0_54	7	IO								0	
		MCU_BOOTMODE02		ブートストラップ								I	
V24	mdio0_mdc	MDIO0_MDC	0	O	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD		0/1
		TRC_DATA23	5	O									
		GPIO0_110	7	IO								0	
		GPMC0_WAIT2	8	I								0	
V26	mdio0_mdio	MDIO0_MDIO	0	IO	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD	0	0/1
		TRC_DATA22	5	O									
		GPIO0_109	7	IO								0	
		GPMC0_WAIT3	8	I								0	
AE2	mlb0_mlbcn	MLB0_MLBCN	0	I	OFF	0	1.8V	VDDA_1P8_MLB		MLB_LVDS			
		GPIO1_35	7	IO								0	
AD2	mlb0_mlbcp	MLB0_MLBPCP	0	I	OFF	0	1.8V	VDDA_1P8_MLB		MLB_LVDS			
		GPIO1_34	7	IO								0	
AD3	mlb0_mlbndn	MLB0_MLBNDN	0	IO	OFF	0	1.8V	VDDA_1P8_MLB		MLB_LVDS			
		GPIO1_33	7	IO								0	
AC3	mlb0_mlbdp	MLB0_MLBBDP	0	IO	OFF	0	1.8V	VDDA_1P8_MLB		MLB_LVDS			
		GPIO1_32	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AC1	mlb0_mlbsn	MLB0_MLBSN	0	IO	OFF	0	1.8V	VDDA_1P8_MLB		MLB_LVDS			
		GPIO1_31	7	IO								0	
AD1	mlb0_mlbsp	MLB0_MLBSP	0	IO	OFF	0	1.8V	VDDA_1P8_MLB		MLB_LVDS			
		GPIO1_30	7	IO								0	
AE1	mmc0_calpad	MMC0_CALPAD		A	OFF		1.8V	VDDS_MMC0		eMMCPHY	PU/PD		
AF1	mmc0_clk	MMC0_CLK		O	ドライブ 0 (オフ)		1.8V	VDDS_MMC0		eMMCPHY	PU/PD		
AE3	mmc0_cmd	MMC0_CMD		IO	ドライブ 1 (オフ)		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AE4	mmc0_ds	MMC0_DS		IO	PD		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
P25	mmc1_clk	MMC1_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	0	0/1
		UART8_RXD	1	I								1	
		I2C4_SCL	4	IOD								1	
		GPIO1_19	7	IO								0	
R29	mmc1_cmd	MMC1_CMD	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1	0/1
		UART8_TXD	1	O									
		I2C4_SDA	4	IOD								1	
		GPIO1_20	7	IO								0	
P23	mmc1_sdc	MMC1_SDCA	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCOS	PU/PD	1	0/1
		UART8_CTSn	1	I								1	
		UART0_DCDn	2	I								1	
		TIMER_IO2	3	IO								0	
		EQEP2_I	5	IO								0	
		PCIE2_CLKREQn	6	IO								0	
		GPIO1_21	7	IO								0	
		PRG0_IEP0_EDC_LATCH_IN1	8	I								0	
R28	mmc1_sdwp	MMC1_SDWP	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCOS	PU/PD	1	0/1
		UART8_RTSn	1	O									
		UART0_DSRn	2	I								1	
		TIMER_IO3	3	IO								0	
		ECAP2_IN_APWM_OUT	4	IO								0	
		EQEP2_S	5	IO								0	
		PCIE3_CLKREQn	6	IO								0	
		GPIO1_22	7	IO								0	
PRG0_IEP0_EDC_SYNC_OUT1	8	O								0			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
T26	mmc2_clk	MMC2_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD	0	0/1
		USB0_DRVVBUS	1	O									
		USB1_DRVVBUS	2	O									
		TIMER_IO6	3	IO								0	
		I2C3_SCL	4	IOD								1	
		UART3_RXD	5	I								1	
		GPIO1_27	7	IO								0	
T25	mmc2_cmd	MMC2_CMD	0	IO	OFF	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD	1	0/1
		USB0_DRVVBUS	1	O									
		USB1_DRVVBUS	2	O									
		TIMER_IO7	3	IO								0	
		I2C3_SDA	4	IOD								1	
		UART3_TXD	5	O									
		GPIO1_28	7	IO								0	
AG2	mmc0_dat0	MMC0_DAT0		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
AH1	mmc0_dat1	MMC0_DAT1		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
AG3	mmc0_dat2	MMC0_DAT2		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
AF4	mmc0_dat3	MMC0_DAT3		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
AE5	mmc0_dat4	MMC0_DAT4		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
AF3	mmc0_dat5	MMC0_DAT5		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
AG1	mmc0_dat6	MMC0_DAT6		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
AF2	mmc0_dat7	MMC0_DAT7		IO	PU		1.8V	VDD_MMC0		eMMCPHY	PU/PD	1	
R24	mmc1_dat0	MMC1_DAT0	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1	0/1
		UART7_RTSn	1	O									
		ECAP1_IN_APWM_OUT	2	IO								0	
		TIMER_IO1	3	IO								0	
		UART4_TXD	5	O									
		GPIO1_18	7	IO								0	
P24	mmc1_dat1	MMC1_DAT1	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1	0/1
		UART7_CTSn	1	I								1	
		ECAP0_IN_APWM_OUT	2	IO								0	
		TIMER_IO0	3	IO								0	
		UART4_RXD	5	I								1	
		GPIO1_17	7	IO								0	
R25	mmc1_dat2	MMC1_DAT2	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1	0/1
		UART7_TXD	1	O									
		GPIO1_16	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
R26	mmc1_dat3	MMC1_DAT3	0	IO	OFF	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD	1	0/1
		UART7_RXD	1	I								1	
		GPIO1_15	7	IO								0	
T24	mmc2_dat0	MMC2_DAT0	0	IO	OFF	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD	1	0/1
		UART9_RTSn	1	O									
		UART0_RIn	2	I								1	
		TIMER_IO5	3	IO								0	
		UART6_TXD	4	O									
		EQEP2_B	5	I								0	
		GPIO1_26	7	IO								0	
		PRG0_IEP1_EDC_SYNC_OUT1	8	O								0	
T27	mmc2_dat1	MMC2_DAT1	0	IO	OFF	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD	1	0/1
		UART9_CTSn	1	I								1	
		UART0_DTRn	2	O									
		TIMER_IO4	3	IO								0	
		UART6_RXD	4	I								1	
		EQEP2_A	5	I								0	
		GPIO1_25	7	IO								0	
		PRG0_IEP1_EDC_LATCH_IN1	8	I								0	
T29	mmc2_dat2	MMC2_DAT2	0	IO	OFF	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD	1	0/1
		UART9_TXD	1	O									
		CPTS0_HW2TSPUSH	2	I								0	
		I2C5_SDA	4	IOD								1	
		GPIO1_24	7	IO								0	
T28	mmc2_dat3	MMC2_DAT3	0	IO	OFF	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD	1	0/1
		UART9_RXD	1	I								1	
		CPTS0_HW1TSPUSH	2	I								0	
		I2C5_SCL	4	IOD								1	
		GPIO1_23	7	IO								0	
P29	osc1_xi	OSC1_XI		I	OFF		1.8V	VDDS_OSC1		HFOSC			
P27	osc1_xo	OSC1_XO		O	OFF		1.8V	VDDS_OSC1		HFOSC			
AE17	pcie_refclk0n	PCIE_REFCLK0N		IO	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
AD16	pcie_refclk0p	PCIE_REFCLK0P		IO	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AE14	pcie_refclk1n	PCIE_REFCLK1N		IO	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AD15	pcie_refclk1p	PCIE_REFCLK1P		IO	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AE11	pcie_refclk2n	PCIE_REFCLK2N		IO	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AD12	pcie_refclk2p	PCIE_REFCLK2P		IO	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AE9	pcie_refclk3n	PCIE_REFCLK3N		IO	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
AD10	pcie_refclk3p	PCIE_REFCLK3P		IO	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
E26	pmic_power_en0	MCU_I3C0_SDAPULLEN	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/0
		WKUP_GPIO0_66	7	IO		0							
G23	pmic_power_en1	PMIC_POWER_EN1	0	O	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/0
		MCU_I3C1_SDAPULLEN	5	O									
		WKUP_GPIO0_67	7	IO		0							
J24	porz	PORz	0	I	OFF	0	1.8V	VDDA_WKUP	あり	FS のリセット	PU/PD		
U1	porz_out	PORz_OUT	0	O	OFF	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/0
AA27	prg0_mdio0_mdc	PRG0_MDIO0_MDC	0	O	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD		0/1
		I2C5_SDA	2	IOD		1							
		MCAN13_RX	6	I		1							
		GPIO0_84	7	IO		0							
		GPMC0_A0	8	OZ		0							
		DSS_FSYNC2	10	O									
		MCASP2_ACLKR	12	IO									
		MCASP2_AXR5	13	IO		0							

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
Y26	prg0_mdio0_mdio	PRG0_MDIO0_MDIO	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		I2C5_SCL	2	IOD								1	
		MCAN13_TX	6	O									
		GPIO0_83	7	IO								0	
		GPMC0_A27	8	OZ								0	
		DSS_FSYNC0	10	O									
		MCASP2_AFSR	12	IO									
		MCASP2_AXR4	13	IO								0	
AF28	prg0_pru0_gpo0	PRG0_PRU0_GPO0	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI0	1	I								0	
		PRG0_RGMII1_RD0	2	I								0	
		PRG0_PWM3_A0	3	IO								0	
		RGMI13_RD0	4	I								0	
		RMII3_RXD1	5	I								0	
		GPIO0_43	7	IO								0	
		MCASP0_AXR0	12	IO									
AE28	prg0_pru0_gpo1	PRG0_PRU0_GPO1	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI1	1	I								0	
		PRG0_RGMII1_RD1	2	I								0	
		PRG0_PWM3_B0	3	IO								1	
		RGMI13_RD1	4	I								0	
		RMII3_RXD0	5	I								0	
		GPIO0_44	7	IO								0	
		MCASP0_AXR1	12	IO									
AE27	prg0_pru0_gpo2	PRG0_PRU0_GPO2	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI2	1	I								0	
		PRG0_RGMII1_RD2	2	I								0	
		PRG0_PWM2_A0	3	IO								0	
		RGMI13_RD2	4	I								0	
		RMII3_CRS_DV	5	I								0	
		GPIO0_45	7	IO								0	
		UART3_RXD	8	I								0	
MCASP0_ACLKR	12	IO											

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AD26	prg0_pru0_gpo3	PRG0_PRU0_GPO3	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI3	1	I								0	
		PRG0_RGMII1_RD3	2	I								0	
		PRG0_PWM3_A2	3	IO								0	
		RGMI13_RD3	4	I								0	
		RMII3_RX_ER	5	I								0	
		GPIO0_46	7	IO								0	
		UART3_TXD	8	O								0	
		MCASP0_AFSR	12	IO								0	
AD25	prg0_pru0_gpo4	PRG0_PRU0_GPO4	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI4	1	I								0	
		PRG0_RGMII1_RX_CTL	2	I								0	
		PRG0_PWM2_B0	3	IO								1	
		RGMI13_RX_CTL	4	I								0	
		RMII3_TXD1	5	O									
		GPIO0_47	7	IO								0	
		MCASP0_AXR2	12	IO									
AC29	prg0_pru0_gpo5	PRG0_PRU0_GPO5	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	1/1
		PRG0_PRU0_GPI5	1	I								0	
		PRG0_PWM3_B2	3	IO								1	
		RMII3_TXD0	5	O									
		GPIO0_48	7	IO								0	
		GPMC0_AD0	8	IO								0	
		MCASP0_AXR3	12	IO									
		BOOTMODE2		ブートストラップ								I	
AE26	prg0_pru0_gpo6	PRG0_PRU0_GPO6	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI6	1	I								0	
		PRG0_RGMII1_RXC	2	I								0	
		PRG0_PWM3_A1	3	IO								0	
		RGMI13_RXC	4	I								0	
		RMII3_TX_EN	5	O									
		GPIO0_49	7	IO								0	
		MCASP0_AXR4	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AC28	prg0_pru0_gpo7	PRG0_PRU0_GPO7	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI7	1	I								0	
		PRG0_IEP0_EDC_LATCH_IN1	2	I								0	
		PRG0_PWM3_B1	3	IO								1	
		PRG0_ECAP0_SYNC_IN	4	I								0	
		MCAN9_TX	6	O									
		GPIO0_50	7	IO								0	
		GPMC0_AD1	8	IO								0	
AC27	prg0_pru0_gpo8	PRG0_PRU0_GPO8	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI8	1	I								0	
		PRG0_PWM2_A1	3	IO								0	
		MCAN9_RX	6	I								1	
		GPIO0_51	7	IO								0	
		GPMC0_AD2	8	IO								0	
		MCASP0_AXR6	12	IO									
		UART6_RXD	14	I									
AB26	prg0_pru0_gpo9	PRG0_PRU0_GPO9	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI9	1	I								0	
		PRG0_UART0_CTSn	2	I								1	
		PRG0_PWM3_TZ_IN	3	I								0	
		SPI3_CS1	4	IO								1	
		PRG0_IEP0_EDIO_DATA_IN_OUT28	5	IO								0	
		MCAN10_TX	6	O									
		GPIO0_52	7	IO								0	
		GPMC0_AD3	8	IO								0	
		MCASP0_ACLKX	12	IO									
UART6_TXD	14	O											

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AB25	prg0_pru0_gpo10	PRG0_PRU0_GPO10	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI10	1	I								0	
		PRG0_UART0_RTSn	2	O									
		PRG0_PWM2_B1	3	IO								1	
		SPI3_CS2	4	IO								1	
		PRG0_IEP0_EDIO_DATA_IN_OUT29	5	IO								0	
		MCAN10_RX	6	I								1	
		GPIO0_53	7	IO								0	
		GPMC0_AD4	8	IO								0	
MCASP0_AFSX	12	IO											
AJ28	prg0_pru0_gpo11	PRG0_PRU0_GPO11	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI11	1	I								0	
		PRG0_RGMII1_TD0	2	O									
		PRG0_PWM3_TZ_OUT	3	O									
		RGMI13_TD0	4	O									
		GPIO0_54	7	IO								0	
		CLKOUT	9	OZ									
		MCASP0_AXR7	12	IO									
AH27	prg0_pru0_gpo12	PRG0_PRU0_GPO12	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI12	1	I								0	
		PRG0_RGMII1_TD1	2	O									
		PRG0_PWM0_A0	3	IO								0	
		RGMI13_TD1	4	O									
		GPIO0_55	7	IO								0	
		DSS_FSYNC0	10	O									
		MCASP0_AXR8	12	IO									
AH29	prg0_pru0_gpo13	PRG0_PRU0_GPO13	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI13	1	I								0	
		PRG0_RGMII1_TD2	2	O									
		PRG0_PWM0_B0	3	IO								1	
		RGMI13_TD2	4	O									
		GPIO0_56	7	IO								0	
		DSS_FSYNC2	10	O									
		MCASP0_AXR9	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AG28	prg0_pru0_gpo14	PRG0_PRU0_GPO14	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI14	1	I								0	
		PRG0_RGMII1_TD3	2	O									
		PRG0_PWM0_A1	3	IO								0	
		RGMI3_TD3	4	O									
		GPIO0_57	7	IO								0	
		UART4_RXD	8	I								0	
		MCASP0_AXR10	12	IO									
AG27	prg0_pru0_gpo15	PRG0_PRU0_GPO15	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI15	1	I								0	
		PRG0_RGMII1_TX_CTL	2	O									
		PRG0_PWM0_B1	3	IO								1	
		RGMI3_TX_CTL	4	O									
		GPIO0_58	7	IO								0	
		UART4_TXD	8	O								0	
		DSS_FSYNC3	10	O									
MCASP0_AXR11	12	IO											
AH28	prg0_pru0_gpo16	PRG0_PRU0_GPO16	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI16	1	I								0	
		PRG0_RGMII1_TXC	2	IO								0	
		PRG0_PWM0_A2	3	IO								0	
		RGMI3_TXC	4	O								0	
		GPIO0_59	7	IO								0	
		DSS_FSYNC1	10	O									
		MCASP0_AXR12	12	IO									
AB24	prg0_pru0_gpo17	PRG0_PRU0_GPO17	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	1/1
		PRG0_PRU0_GPI17	1	I								0	
		PRG0_IEP0_EDC_SYNC_OUT1	2	O									
		PRG0_PWM0_B2	3	IO								1	
		PRG0_ECAP0_SYNC_OUT	4	O									
		GPIO0_60	7	IO								0	
		GPMC0_AD5	8	IO								0	
		OBSCLK1	9	O								0	
		MCASP0_AXR13	12	IO									
BOOTMODE7	ブートストラップ	I											

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AB29	prg0_pru0_gpo18	PRG0_PRU0_GPO18	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI18	1	I								0	
		PRG0_IEP0_EDC_LATCH_IN0	2	I								0	
		PRG0_PWM0_TZ_IN	3	I								0	
		PRG0_ECAP0_IN_APWM_OUT	4	IO								0	
		GPIO0_61	7	IO								0	
		GPMC0_AD6	8	IO								0	
		MCASP0_AXR14	12	IO								0	
AB28	prg0_pru0_gpo19	PRG0_PRU0_GPO19	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI19	1	I								0	
		PRG0_IEP0_EDC_SYNC_OUT0	2	O									
		PRG0_PWM0_TZ_OUT	3	O									
		GPIO0_62	7	IO								0	
		GPMC0_AD7	8	IO								0	
AE29	prg0_pru1_gpo0	PRG0_PRU1_GPO0	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI0	1	I								0	
		PRG0_RGMII2_RD0	2	I								0	
		RGMI4_RD0	4	I								0	
		RMII4_RXD0	5	I								0	
		GPIO0_63	7	IO								0	
		UART4_CTSn	8	I								0	
		MCASP1_AXR0	12	IO									
UART5_RXD	14	I											
AD28	prg0_pru1_gpo1	PRG0_PRU1_GPO1	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI1	1	I								0	
		PRG0_RGMII2_RD1	2	I								0	
		RGMI4_RD1	4	I								0	
		RMII4_RXD1	5	I								0	
		GPIO0_64	7	IO								0	
		UART4_RTSn	8	O								0	
		MCASP1_AXR1	12	IO									
		UART5_TXD	14	O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AD27	prg0_pru1_gpo2	PRG0_PRU1_GPO2	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI2	1	I								0	
		PRG0_RGMII2_RD2	2	I								0	
		PRG0_PWM2_A2	3	IO								0	
		RGMI4_RD2	4	I								0	
		RMII4_CRS_DV	5	I								0	
		GPIO0_65	7	IO								0	
		GPMC0_A23	8	OZ								0	
		MCASP1_ACLKR	12	IO								0	
		MCASP1_AXR10	13	IO								0	
AC25	prg0_pru1_gpo3	PRG0_PRU1_GPO3	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI3	1	I								0	
		PRG0_RGMII2_RD3	2	I								0	
		RGMI4_RD3	4	I								0	
		RMII4_RX_ER	5	I								0	
		GPIO0_66	7	IO								0	
		MCASP1_AFSR	12	IO									
		MCASP1_AXR11	13	IO								0	
AD29	prg0_pru1_gpo4	PRG0_PRU1_GPO4	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI4	1	I								0	
		PRG0_RGMII2_RX_CTL	2	I								0	
		PRG0_PWM2_B2	3	IO								1	
		RGMI4_RX_CTL	4	I								0	
		RMII4_TXD1	5	O									
		GPIO0_67	7	IO								0	
		GPMC0_A24	8	OZ								0	
MCASP1_AXR2	12	IO											
AB27	prg0_pru1_gpo5	PRG0_PRU1_GPO5	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	1/1
		PRG0_PRU1_GPI5	1	I								0	
		GPIO0_68	7	IO								0	
		GPMC0_AD8	8	IO								0	
		MCASP1_ACLKX	12	IO									
		BOOTMODE6	ブートストラップ	I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AC26	prg0_pru1_gpo6	PRG0_PRU1_GPO6	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI6	1	I								0	
		PRG0_RGMII2_RXC	2	I								0	
		RGMI14_RXC	4	I								0	
		RMII4_TXD0	5	O									
		GPI00_69	7	IO								0	
		GPMC0_A25	8	OZ								0	
		MCASP1_AXR3	12	IO									
AA24	prg0_pru1_gpo7	PRG0_PRU1_GPO7	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI7	1	I								0	
		PRG0_IEP1_EDC_LATCH_IN1	2	I								0	
		SPI3_CS0	4	IO								1	
		MCAN11_TX	6	O									
		GPI00_70	7	IO								0	
		GPMC0_AD9	8	IO								0	
		MCASP1_AXR4	12	IO									
UART2_TXD	14	O											
AA28	prg0_pru1_gpo8	PRG0_PRU1_GPO8	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI8	1	I								0	
		PRG0_PWM2_TZ_OUT	3	O									
		MCAN11_RX	6	I								1	
		GPI00_71	7	IO								0	
		GPMC0_AD10	8	IO								0	
		MCASP1_AFSX	12	IO									
Y24	prg0_pru1_gpo9	PRG0_PRU1_GPO9	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI9	1	I								0	
		PRG0_UART0_RXD	2	I								1	
		SPI3_CS3	4	IO								1	
		PRG0_IEP0_EDIO_DATA_IN_OUT30	6	IO								0	
		GPI00_72	7	IO								0	
		GPMC0_AD11	8	IO								0	
		DSS_FSYNC3	10	O									
		MCASP1_AXR5	12	IO									
		UART8_RXD	14	I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AA25	prg0_pru1_gpo10	PRG0_PRU1_GPO10	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI10	1	I								0	
		PRG0_UART0_TXD	2	O									
		PRG0_PWM2_TZ_IN	3	I								0	
		PRG0_IEP0_EDIO_DATA_IN_OUT31	6	IO								0	
		GPIO0_73	7	IO								0	
		GPMC0_AD12	8	IO								0	
		CLKOUT	9	OZ								0	
		MCASP1_AXR6	12	IO								0	
UART8_TXD	14	O											
AG26	prg0_pru1_gpo11	PRG0_PRU1_GPO11	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI11	1	I								0	
		PRG0_RGMII2_TD0	2	O									
		RGMI4_TD0	4	O									
		RMII4_TX_EN	5	O									
		GPIO0_74	7	IO								0	
		GPMC0_A26	8	OZ								0	
		MCASP1_AXR7	12	IO									
AF27	prg0_pru1_gpo12	PRG0_PRU1_GPO12	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI12	1	I								0	
		PRG0_RGMII2_TD1	2	O									
		PRG0_PWM1_A0	3	IO								0	
		RGMI4_TD1	4	O									
		GPIO0_75	7	IO								0	
		MCASP1_AXR8	12	IO									
		UART8_CTSn	14	I									
AF26	prg0_pru1_gpo13	PRG0_PRU1_GPO13	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI13	1	I								0	
		PRG0_RGMII2_TD2	2	O									
		PRG0_PWM1_B0	3	IO								1	
		RGMI4_TD2	4	O									
		GPIO0_76	7	IO								0	
		MCASP1_AXR9	12	IO									
		UART8_RTSn	14	O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AE25	prg0_pru1_gpo14	PRG0_PRU1_GPO14	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI14	1	I								0	
		PRG0_RGMII2_TD3	2	O									
		PRG0_PWM1_A1	3	IO								0	
		RGMI4_TD3	4	O									
		GPIO0_77	7	IO								0	
		MCASP2_AXR0	12	IO									
		UART2_CTSn	14	I									
AF29	prg0_pru1_gpo15	PRG0_PRU1_GPO15	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI15	1	I								0	
		PRG0_RGMII2_TX_CTL	2	O									
		PRG0_PWM1_B1	3	IO								1	
		RGMI4_TX_CTL	4	O									
		GPIO0_78	7	IO								0	
		MCASP2_AXR1	12	IO									
		UART2_RTSn	14	O									
AG29	prg0_pru1_gpo16	PRG0_PRU1_GPO16	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI16	1	I								0	
		PRG0_RGMII2_TXC	2	IO								0	
		PRG0_PWM1_A2	3	IO								0	
		RGMI4_TXC	4	O								0	
		GPIO0_79	7	IO								0	
		MCASP2_AXR2	12	IO									
Y25	prg0_pru1_gpo17	PRG0_PRU1_GPO17	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD	0	1/1
		PRG0_PRU1_GPI17	1	I								0	
		PRG0_IEP1_EDC_SYNC_OUT1	2	O									
		PRG0_PWM1_B2	3	IO								1	
		SPI3_CLK	4	IO								0	
		GPIO0_80	7	IO								0	
		GPMC0_AD13	8	IO								0	
		MCASP2_AXR3	12	IO									
		BOOTMODE3	ブートストラップ	I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AA26	prg0_pru1_gpo18	PRG0_PRU1_GPO18	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCOS	PU/PD	0	0/1
		PRG0_PRU1_GPI18	1	I								0	
		PRG0_IEP1_EDC_LATCH_IN0	2	I								0	
		PRG0_PWM1_TZ_IN	3	I								0	
		SPI3_D0	4	IO								0	
		MCAN12_TX	6	O								0	
		GPIO0_81	7	IO								0	
		GPMC0_AD14	8	IO								0	
		MCASP2_AFSX	12	IO								0	
		UART2_RXD	14	I							0		
AA29	prg0_pru1_gpo19	PRG0_PRU1_GPO19	0	IO	OFF	7	1.8V/3.3V	VDDSHV1	あり	LVCOS	PU/PD	0	0/1
		PRG0_PRU1_GPI19	1	I								0	
		PRG0_IEP1_EDC_SYNC_OUT0	2	O								0	
		PRG0_PWM1_TZ_OUT	3	O								0	
		SPI3_D1	4	IO								0	
		MCAN12_RX	6	I								1	
		GPIO0_82	7	IO								0	
		GPMC0_AD15	8	IO								0	
		MCASP2_ACLKX	12	IO								0	
AD18	prg1_mdio0_mdc	PRG1_MDIO0_MDC	0	O	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCOS	PU/PD	0	0/1
		SPI1_CS3	1	IO								1	
		I2C4_SDA	2	IOD								1	
		RMII_REF_CLK	5	I								0	
		GPIO0_42	7	IO								0	
		VPFE0_DATA12	11	I								0	
		MCASP5_AXR3	12	IO								0	
		MCASP5_AFSR	13	IO								0	
		UART3_RTSn	14	O								0	
AD19	prg1_mdio0_mdio	PRG1_MDIO0_MDIO	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCOS	PU/PD	0	0/1
		SPI1_CS2	1	IO								1	
		I2C4_SCL	2	IOD								1	
		GPIO0_41	7	IO								0	
		DSS_FSYNC1	10	O								0	
		VPFE0_DATA11	11	I								0	
		MCASP5_AXR2	12	IO								0	
		MCASP5_ACLKR	13	IO								0	
		UART3_CTSn	14	I								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AC23	prg1_pru0_gpo0	PRG1_PRU0_GPO0	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI0	1	I								0	
		PRG1_RGMII1_RD0	2	I								0	
		PRG1_PWM3_A0	3	IO								0	
		RGMI1_RD0	4	I								0	
		RMII1_RXD0	5	I								0	
		GPIO0_1	7	IO								0	
		GPMC0_BE1n	8	O								0	
		RGMI17_RD0	9	I									
		MCASP6_ACLKX	12	IO									
		UART0_RXD	14	I									
AG22	prg1_pru0_gpo1	PRG1_PRU0_GPO1	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI1	1	I								0	
		PRG1_RGMII1_RD1	2	I								0	
		PRG1_PWM3_B0	3	IO								1	
		RGMI1_RD1	4	I								0	
		RMII1_RXD1	5	I								0	
		GPIO0_2	7	IO								0	
		GPMC0_WAIT0	8	I								0	
		RGMI17_RD1	9	I								0	
		MCASP6_AFSX	12	IO									
		UART0_TXD	14	O									
AF22	prg1_pru0_gpo2	PRG1_PRU0_GPO2	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI2	1	I								0	
		PRG1_RGMII1_RD2	2	I								0	
		PRG1_PWM2_A0	3	IO								0	
		RGMI1_RD2	4	I								0	
		RMII1_CRS_DV	5	I								0	
		GPIO0_3	7	IO								0	
		GPMC0_WAIT1	8	I								0	
		RGMI17_RD2	9	I								0	
		MCASP6_AXR0	12	IO									
		UART1_RXD	14	I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AJ23	prg1_pru0_gpo3	PRG1_PRU0_GPO3	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI3	1	I								0	
		PRG1_RGMII1_RD3	2	I								0	
		PRG1_PWM3_A2	3	IO								0	
		RGMI1_RD3	4	I								0	
		RMII1_RX_ER	5	I								0	
		GPIO0_4	7	IO								0	
		GPMC0_DIR	8	O								0	
		RGMI17_RD3	9	I									
		MCASP6_AXR1	12	IO									
		UART1_TXD	14	O									
AH23	prg1_pru0_gpo4	PRG1_PRU0_GPO4	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI4	1	I								0	
		PRG1_RGMII1_RX_CTL	2	I								0	
		PRG1_PWM2_B0	3	IO								1	
		RGMI1_RX_CTL	4	I								0	
		RMII1_TXD0	5	O									
		GPIO0_5	7	IO								0	
		GPMC0_CSn2	8	O								0	
		RGMI17_RX_CTL	9	I									
		MCASP6_AXR2	12	IO									
		MCASP6_ACLKR	13	IO								0	
		UART2_RXD	14	I								0	
		AD20	prg1_pru0_gpo5	PRG1_PRU0_GPO5								0	
PRG1_PRU0_GPI5	1			I	0								
PRG1_PWM3_B2	3			IO	1								
RMII1_TX_EN	5			O									
GPIO0_6	7			IO	0								
GPMC0_WEn	8			O	0								
MCASP3_AXR0	12			IO									
BOOTMODE0	ブートストラップ			I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AD22	prg1_pru0_gpo6	PRG1_PRU0_GPO6	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI6	1	I								0	
		PRG1_RGMII1_RXC	2	I								0	
		PRG1_PWM3_A1	3	IO								0	
		RGMI1_RXC	4	I								0	
		RMII1_TXD1	5	O									
		AUDIO_EXT_REFCLK0	6	IO								0	
		GPIO0_7	7	IO								0	
		GPMC0_CSn3	8	O								0	
		RGMI17_RXC	9	I									
		MCASP6_AXR3	12	IO									
		MCASP6_AFSR	13	IO								0	
		UART2_TXD	14	O								0	
		AE20	prg1_pru0_gpo7	PRG1_PRU0_GPO7								0	
PRG1_PRU0_GPI7	1			I	0								
PRG1_IEP0_EDC_LATCH_IN1	2			I	0								
PRG1_PWM3_B1	3			IO	1								
AUDIO_EXT_REFCLK1	5			IO	0								
MCAN4_TX	6			O									
GPIO0_8	7			IO	0								
MCASP3_AXR1	12			IO									
AJ20	prg1_pru0_gpo8	PRG1_PRU0_GPO8	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI8	1	I								0	
		PRG1_PWM2_A1	3	IO								0	
		RMII5_RXD0	5	I								0	
		MCAN4_RX	6	I								1	
		GPIO0_9	7	IO								0	
		GPMC0_OEn_REn	8	O								0	
		VOUT0_DATA22	10	O									
		MCASP3_AXR2	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AG20	prg1_pru0_gpo9	PRG1_PRU0_GPO9	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI9	1	I								0	
		PRG1_UART0_CTSn	2	I								1	
		PRG1_PWM3_TZ_IN	3	I								0	
		SPI6_CS1	4	IO								1	
		RMI5_RXD1	5	I								0	
		GPIO0_10	7	IO								0	
		GPMC0_ADVn_ALE	8	O								0	
		PRG1_IEP0_EDIO_DATA_IN_OUT28	9	IO								0	
		VOU0_DATA23	10	O								0	
		MCASP3_ACLKX	12	IO								0	
AD21	prg1_pru0_gpo10	PRG1_PRU0_GPO10	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI10	1	I								0	
		PRG1_UART0_RTSn	2	O									
		PRG1_PWM2_B1	3	IO								1	
		SPI6_CS2	4	IO								1	
		RMI5_CRS_DV	5	I								0	
		GPIO0_11	7	IO								0	
		GPMC0_BE0n_CLE	8	O								0	
		PRG1_IEP0_EDIO_DATA_IN_OUT29	9	IO								0	
		OBSCLK2	10	O								0	
		MCASP3_AFSX	12	IO									
AF24	prg1_pru0_gpo11	PRG1_PRU0_GPO11	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI11	1	I								0	
		PRG1_RGMII1_TD0	2	O									
		PRG1_PWM3_TZ_OUT	3	O									
		RGMII1_TD0	4	O									
		MCAN4_TX	6	O									
		GPIO0_12	7	IO								0	
		RGMII7_TD0	9	O									
		VOU0_DATA16	10	O									
		VPFE0_DATA0	11	I									
		MCASP7_ACLKX	12	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AJ24	prg1_pru0_gpo12	PRG1_PRU0_GPO12	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI12	1	I								0	
		PRG1_RGMII1_TD1	2	O									
		PRG1_PWM0_A0	3	IO								0	
		RGMI1_TD1	4	O									
		MCAN4_RX	6	I								1	
		GPIO0_13	7	IO								0	
		RGMI7_TD1	9	O									
		VOU0_DATA17	10	O									
		VPFE0_DATA1	11	I									
		MCASP7_AFSX	12	IO								0	
		AG24	prg1_pru0_gpo13	PRG1_PRU0_GPO13								0	
PRG1_PRU0_GPI13	1			I	0								
PRG1_RGMII1_TD2	2			O									
PRG1_PWM0_B0	3			IO	1								
RGMI1_TD2	4			O									
MCAN5_TX	6			O									
GPIO0_14	7			IO	0								
RGMI7_TD2	9			O									
VOU0_DATA18	10			O									
VPFE0_DATA2	11			I									
MCASP7_AXR0	12			IO	0								
AD24	prg1_pru0_gpo14			PRG1_PRU0_GPO14	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI14	1	I	0								
		PRG1_RGMII1_TD3	2	O									
		PRG1_PWM0_A1	3	IO	0								
		RGMI1_TD3	4	O									
		MCAN5_RX	6	I	1								
		GPIO0_15	7	IO	0								
		RGMI7_TD3	9	O									
		VOU0_DATA19	10	O									
		VPFE0_DATA3	11	I									
		MCASP7_AXR1	12	IO	0								

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AC24	prg1_pru0_gpo15	PRG1_PRU0_GPO15	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI15	1	I								0	
		PRG1_RGMII1_TX_CTL	2	O									
		PRG1_PWM0_B1	3	IO								1	
		RGMI1_TX_CTL	4	O									
		MCAN6_TX	6	O									
		GPIO0_16	7	IO								0	
		RGMI17_TX_CTL	9	O									
		VOU0_DATA20	10	O									
		VPFE0_DATA4	11	I									
		MCASP7_AXR2	12	IO								0	
		MCASP7_ACLKR	13	IO								0	
		AE24	prg1_pru0_gpo16	PRG1_PRU0_GPO16	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	
PRG1_PRU0_GPI16	1			I								0	
PRG1_RGMII1_TXC	2			IO								0	
PRG1_PWM0_A2	3			IO								0	
RGMI1_TXC	4			O								0	
MCAN6_RX	6			I								1	
GPIO0_17	7			IO								0	
RGMI17_TXC	9			O									
VOU0_DATA21	10			O								0	
VPFE0_DATA5	11			I									
MCASP7_AXR3	12			IO								0	
MCASP7_AFSR	13			IO								0	
AJ21	prg1_pru0_gpo17			PRG1_PRU0_GPO17	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI17	1	I								0	
		PRG1_IEP0_EDC_SYNC_OUT1	2	O									
		PRG1_PWM0_B2	3	IO								1	
		RMII5_TXD1	5	O									
		MCAN5_TX	6	O									
		GPIO0_18	7	IO								0	
		VPFE0_DATA6	11	I									
		MCASP3_AXR3	12	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AE21	prg1_pru0_gpo18	PRG1_PRU0_GPO18	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI18	1	I								0	
		PRG1_IEP0_EDC_LATCH_IN0	2	I								0	
		PRG1_PWM0_TZ_IN	3	I								0	
		RMI15_RX_ER	5	I								0	
		MCAN5_RX	6	I								1	
		GPIO0_19	7	IO								0	
		VPFE0_DATA7	11	I								0	
		MCASP4_ACLKX	12	IO								0	
AH21	prg1_pru0_gpo19	PRG1_PRU0_GPO19	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI19	1	I								0	
		PRG1_IEP0_EDC_SYNC_OUT0	2	O									
		PRG1_PWM0_TZ_OUT	3	O									
		RMI15_TXD0	5	O									
		MCAN6_TX	6	O									
		GPIO0_20	7	IO								0	
		VOUT0_EXTPCLKIN	10	I									
		VPFE0_PCLK	11	I								0	
MCASP4_AFSX	12	IO	0										
AE22	prg1_pru1_gpo0	PRG1_PRU1_GPO0	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI0	1	I								0	
		PRG1_RGMII2_RD0	2	I								0	
		RGMII2_RD0	4	I								0	
		RMI12_RXD0	5	I								0	
		GPIO0_21	7	IO								0	
		RGMII8_RD0	8	I								0	
		VOUT0_DATA0	10	O									
		VPFE0_HD	11	I									
MCASP8_ACLKX	12	IO	0										

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AG23	prg1_pru1_gpo1	PRG1_PRU1_GPO1	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI1	1	I								0	
		PRG1_RGMII2_RD1	2	I								0	
		RGMI2_RD1	4	I								0	
		RMII2_RXD1	5	I								0	
		GPIO0_22	7	IO								0	
		RGMI8_RD1	8	I								0	
		VOU0_DATA1	10	O									
		VPFE0_FIELD	11	I									
		MCASP8_AFSX	12	IO								0	
AF23	prg1_pru1_gpo2	PRG1_PRU1_GPO2	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI2	1	I								0	
		PRG1_RGMII2_RD2	2	I								0	
		PRG1_PWM2_A2	3	IO								0	
		RGMI2_RD2	4	I								0	
		RMII2_CRS_DV	5	I								0	
		GPIO0_23	7	IO								0	
		RGMI8_RD2	8	I								0	
		VOU0_DATA2	10	O									
		VPFE0_VD	11	I									
		MCASP8_AXR0	12	IO								0	
		MCASP3_ACLKR	13	IO								0	
		AD23	prg1_pru1_gpo3	PRG1_PRU1_GPO3								0	
PRG1_PRU1_GPI3	1			I	0								
PRG1_RGMII2_RD3	2			I	0								
RGMI2_RD3	4			I	0								
RMII2_RX_ER	5			I	0								
GPIO0_24	7			IO	0								
RGMI8_RD3	8			I	0								
EQEP1_A	9			I	0								
VOU0_DATA3	10			O	0								
VPFE0_WEN	11			I									
MCASP8_AXR1	12			IO	0								
MCASP3_AFSR	13			IO	0								
TIMER_IO2	14			IO	0								

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AH24	prg1_pru1_gpo4	PRG1_PRU1_GPO4	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI4	1	I								0	
		PRG1_RGMII2_RX_CTL	2	I								0	
		PRG1_PWM2_B2	3	IO								1	
		RGMI2_RX_CTL	4	I								0	
		RMII2_TXD0	5	O									
		GPIO0_25	7	IO								0	
		RGMI8_RX_CTL	8	I								0	
		EQEP1_B	9	I								0	
		VOU0_DATA4	10	O								0	
		VPFE0_DATA13	11	I									
		MCASP8_AXR2	12	IO								0	
		MCASP8_ACLKR	13	IO								0	
		TIMER_IO3	14	IO								0	
AG21	prg1_pru1_gpo5	PRG1_PRU1_GPO5	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI5	1	I								0	
		RMII5_TX_EN	5	O									
		MCAN6_RX	6	I								1	
		GPIO0_26	7	IO								0	
		GPMC0_WPn	8	O								0	
		EQEP1_S	9	IO									
		VOU0_DATA5	10	O								0	
		MCASP4_AXR0	12	IO									
		TIMER_IO4	14	IO									
AE23	prg1_pru1_gpo6	PRG1_PRU1_GPO6	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI6	1	I								0	
		PRG1_RGMII2_RXC	2	I								0	
		RGMI2_RXC	4	I								0	
		RMII2_TXD1	5	O									
		GPIO0_27	7	IO								0	
		RGMI8_RXC	8	I								0	
		VOU0_DATA6	10	O									
		VPFE0_DATA14	11	I									
		MCASP8_AXR3	12	IO								0	
		MCASP8_AFSR	13	IO								0	
		TIMER_IO5	14	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AC21	prg1_pru1_gpo7	PRG1_PRU1_GPO7	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI7	1	I								0	
		PRG1_IEP1_EDC_LATCH_IN1	2	I								0	
		SPI6_CS0	4	IO								1	
		RMI16_RX_ER	5	I								0	
		MCAN7_TX	6	O									
		GPIO0_28	7	IO								0	
		VOU0_DATA7	10	O									
		VPFE0_DATA15	11	I									
		MCASP4_AXR1	12	IO								0	
		UART3_TXD	14	O									
Y23	prg1_pru1_gpo8	PRG1_PRU1_GPO8	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI8	1	I								0	
		PRG1_PWM2_TZ_OUT	3	O									
		RMI16_RXD0	5	I								0	
		MCAN7_RX	6	I								1	
		GPIO0_29	7	IO								0	
		GPMC0_CSn1	8	O								0	
		VOU0_DATA8	10	O									
		MCASP4_AXR2	12	IO									
		UART3_RXD	14	I									
		AF21	prg1_pru1_gpo9	PRG1_PRU1_GPO9								0	
PRG1_PRU1_GPI9	1			I	0								
PRG1_UART0_RXD	2			I	1								
SPI6_CS3	4			IO	1								
RMI16_RXD1	5			I	0								
MCAN8_TX	6			O									
GPIO0_30	7			IO	0								
GPMC0_CSn0	8			O	0								
PRG1_IEP0_EDIO_DATA_IN_OUT30	9			IO									
VOU0_DATA9	10			O	0								
MCASP4_AXR3	12			IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AB23	prg1_pru1_gpo10	PRG1_PRU1_GPO10	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI10	1	I								0	
		PRG1_UART0_TXD	2	O									
		PRG1_PWM2_TZ_IN	3	I								0	
		RMII6_CRSDV	5	I								0	
		MCAN8_RX	6	I								1	
		GPIO0_31	7	IO								0	
		GPMC0_CLKOUT	8	O								0	
		PRG1_IEP0_EDIO_DATA_IN_OUT31	9	IO									
		VOUT0_DATA10	10	O								0	
		GPMC0_FCLK_MUX	11	O									
		MCASP5_ACLKX	12	IO									
AJ25	prg1_pru1_gpo11	PRG1_PRU1_GPO11	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI11	1	I								0	
		PRG1_RGMII2_TD0	2	O									
		RGMI2_TD0	4	O									
		RMII2_TX_EN	5	O									
		GPIO0_32	7	IO								0	
		RGMI8_TD0	8	O								0	
		EQEP1_I	9	IO									
		VOUT0_DATA11	10	O								0	
		MCASP9_ACLKX	12	IO									
AH25	prg1_pru1_gpo12	PRG1_PRU1_GPO12	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI12	1	I								0	
		PRG1_RGMII2_TD1	2	O									
		PRG1_PWM1_A0	3	IO								0	
		RGMI2_TD1	4	O									
		MCAN7_TX	6	O									
		GPIO0_33	7	IO								0	
		RGMI8_TD1	8	O								0	
		VOUT0_DATA12	10	O									
		MCASP9_AFSX	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴										
AG25	prg1_pru1_gpo13	PRG1_PRU1_GPO13	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1										
		PRG1_PRU1_GPI13	1	I								0											
		PRG1_RGMII2_TD2	2	O																			
		PRG1_PWM1_B0	3	IO								1											
		RGMI2_TD2	4	O																			
		MCAN7_RX	6	I								1											
		GPIO0_34	7	IO								0											
		RGMI8_TD2	8	O								0											
		VOU0_DATA13	10	O																			
		VPFE0_DATA8	11	I																			
		MCASP9_AXR0	12	IO								0											
		MCASP4_ACLKR	13	IO								0											
		AH26	prg1_pru1_gpo14	PRG1_PRU1_GPO14								0		IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1
PRG1_PRU1_GPI14	1			I	0																		
PRG1_RGMII2_TD3	2			O																			
PRG1_PWM1_A1	3			IO	0																		
RGMI2_TD3	4			O																			
MCAN8_TX	6			O																			
GPIO0_35	7			IO	0																		
RGMI8_TD3	8			O	0																		
VOU0_DATA14	10			O																			
MCASP9_AXR1	12			IO																			
MCASP4_AFSR	13			IO	0																		
AJ27	prg1_pru1_gpo15			PRG1_PRU1_GPO15	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0								0/1	
				PRG1_PRU1_GPI15	1	I								0									
		PRG1_RGMII2_TX_CTL	2	O																			
		PRG1_PWM1_B1	3	IO	1																		
		RGMI2_TX_CTL	4	O																			
		MCAN8_RX	6	I	1																		
		GPIO0_36	7	IO	0																		
		RGMI8_TX_CTL	8	O	0																		
		VOU0_DATA15	10	O																			
		VPFE0_DATA9	11	I																			
		MCASP9_AXR2	12	IO	0																		
		MCASP9_ACLKR	13	IO	0																		

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴	
AJ26	prg1_pru1_gpo16	PRG1_PRU1_GPO16	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	0/1	
		PRG1_PRU1_GPI16	1	I								0		
		PRG1_RGMII2_TXC	2	IO								0		
		PRG1_PWM1_A2	3	IO								0		
		RGMI2_TXC	4	O								0		
		GPIO0_37	7	IO								0		
		RGMI8_TXC	8	O								0		
		VOU0_VP2_HSYNC	9	O								0		
		VOU0_HSYNC	10	O										
		MCASP9_AXR3	12	IO										
		MCASP9_AFSR	13	IO								0		
		VOU0_VP0_HSYNC	14	O								0		
AC22	prg1_pru1_gpo17	PRG1_PRU1_GPO17	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD	0	1/1	
		PRG1_PRU1_GPI17	1	I								0		
		PRG1_IEP1_EDC_SYNC_OUT1	2	O										
		PRG1_PWM1_B2	3	IO								1		
		SPI6_CLK	4	IO								0		
		RMI6_TX_EN	5	O										
		PRG1_ECAP0_SYNC_OUT	6	O										
		GPIO0_38	7	IO								0		
		VOU0_VP2_DE	9	O										
		VOU0_DE	10	O										
		VPFE0_DATA10	11	I										
		MCASP5_AFSX	12	IO								0		
		VOU0_VP0_DE	14	O										
		BOOTMODE1	ブートストラップ	I										

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AJ22	prg1_pru1_gpo18	PRG1_PRU1_GPO18	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	PU/PD	0	0/1
		PRG1_PRU1_GPI18	1	I								0	
		PRG1_IEP1_EDC_LATCH_IN0	2	I								0	
		PRG1_PWM1_TZ_IN	3	I								0	
		SPI6_D0	4	IO								0	
		RMII6_TXD0	5	O									
		PRG1_ECAP0_SYNC_IN	6	I								0	
		GPIO0_39	7	IO								0	
		VOU0_VP2_VSYNC	9	O									
		VOU0_VSYNC	10	O									
		MCASP5_AXR0	12	IO									
		VOU0_VP0_VSYNC	14	O									
		AH22	prg1_pru1_gpo19	PRG1_PRU1_GPO19	0	IO	OFF	7	1.8V/3.3V	VDDSHV2	あり	LVC MOS	
PRG1_PRU1_GPI19	1			I								0	
PRG1_IEP1_EDC_SYNC_OUT0	2			O									
PRG1_PWM1_TZ_OUT	3			O									
SPI6_D1	4			IO								0	
RMII6_TXD1	5			O									
PRG1_ECAP0_IN_APWM_OUT	6			IO								0	
GPIO0_40	7			IO								0	
VOU0_PCLK	10			O									
MCASP5_AXR1	12			IO									
T6	resetstatz	RESETSTATz	0	O	OFF	0	1.8V/3.3V	VDDSHV0	あり	LVC MOS	PU/PD		0/0
C28	RESET_REQZ	RESET_REQz	0	I	PU	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVC MOS	PU/PD		1/1
U25	rgmii5_rxc	RGMII5_RXC	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVC MOS	PU/PD	0	0/1
		I2C6_SDA	2	IOD								1	
		VOU1_DATA7	4	O									
		TRC_DATA5	5	O									
		EHRPWM_TZn_IN1	6	I								0	
		GPIO0_92	7	IO								0	
		GPMC0_A8	8	OZ								0	
		MCASP10_AXR3	12	IO									
		EHRPWM_SOCA	14	O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
U26	rgmii5_rx_ctl	RGMI5_RX_CTL	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD	0	0/1
		RMII7_RX_ER	1	I								0	
		I2C2_SDA	2	IOD								1	
		VOUT1_DATA1	4	O									
		TRC_CTL	5	O									
		EHRPWM0_SYNCO	6	O									
		GPIO0_86	7	IO								0	
		GPMC0_A2	8	OZ								0	
		MCASP10_AFSX	12	IO									
U29	rgmii5_txc	RGMI5_TXC	0	O	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD	0	0/1
		RMII7_TX_EN	1	O									
		I2C6_SCL	2	IOD								1	
		VOUT1_DATA6	4	O									
		TRC_DATA4	5	O									
		EHRPWM1_B	6	IO								0	
		GPIO0_91	7	IO								0	
		GPMC0_A7	8	OZ								0	
		MCASP10_AXR2	12	IO									
U23	rgmii5_tx_ctl	RGMI5_TX_CTL	0	O	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD		0/1
		RMII7_CRS_DV	1	I								0	
		I2C2_SCL	2	IOD								1	
		VOUT1_DATA0	4	O									
		TRC_CLK	5	O									
		EHRPWM0_SYNCI	6	I								0	
		GPIO0_85	7	IO								0	
		GPMC0_A1	8	OZ								0	
		MCASP10_ACLKX	12	IO									
W26	rgmii6_rxc	RGMI6_RXC	0	I	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1
		AUDIO_EXT_REFCLK2	3	IO								0	
		VOUT1_DE	4	O									
		TRC_DATA17	5	O									
		EHRPWM4_B	6	IO								0	
		GPIO0_104	7	IO								0	
		GPMC0_A20	8	OZ								0	
		VOUT1_VP0_DE	9	O									
		MCASP10_AXR7	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
V23	rgmii6_rx_ctl	RGMII6_RX_CTL	0	I	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1
		RMII8_RX_ER	1	I								0	
		VOUT1_DATA13	4	O									
		TRC_DATA11	5	O									
		EHRPWM3_A	6	IO								0	
		GPIO0_98	7	IO								0	
		GPMC0_A14	8	OZ								0	
		MCASP10_AFSR	12	IO								0	
W29	rgmii6_txc	RGMII6_TXC	0	O	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1
		RMII8_TX_EN	1	O									
		SPI5_CLK	3	IO								0	
		VOUT1_PCLK	4	O									
		TRC_DATA16	5	O									
		EHRPWM4_A	6	IO								0	
		GPIO0_103	7	IO								0	
		GPMC0_A19	8	OZ								0	
MCASP10_AXR6	12	IO											
Y28	rgmii6_tx_ctl	RGMII6_TX_CTL	0	O	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD		0/1
		RMII8_CRSDV	1	I								0	
		VOUT1_DATA12	4	O									
		TRC_DATA10	5	O									
		GPIO0_97	7	IO								0	
		GPMC0_A13	8	OZ								0	
		MCASP10_ACLKR	12	IO									
T23	rgmii5_rd0	RGMII5_RD0	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD	0	0/1
		RMII7_RXD0	1	I								0	
		UART6_RTSn	3	O									
		VOUT1_DATA11	4	O									
		TRC_DATA9	5	O									
		GPIO0_96	7	IO								0	
		GPMC0_A12	8	OZ								0	
		MCASP11_AXR3	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
R23	rgmii5_rd1	RGMI5_RD1	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD	0	0/1
		RMII7_RXD1	1	I								0	
		UART6_CTSn	3	I								1	
		VOUT1_DATA10	4	O									
		TRC_DATA8	5	O									
		EHRPWM_TZn_IN2	6	I								0	
		GPIO0_95	7	IO								0	
		GPMC0_A11	8	OZ								0	
		MCASP11_AXR2	12	IO								0	
EHRPWM_SOCB	14	O											
U24	rgmii5_rd2	RGMI5_RD2	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD	0	0/1
		UART3_RTSn	1	O									
		UART6_TXD	3	O									
		VOUT1_DATA9	4	O									
		TRC_DATA7	5	O									
		EHRPWM2_B	6	IO								0	
		GPIO0_94	7	IO								0	
		GPMC0_A10	8	OZ								0	
		MCASP11_AXR1	12	IO									
U27	rgmii5_rd3	RGMI5_RD3	0	I	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD	0	0/1
		UART3_CTSn	1	I								1	
		UART6_RXD	3	I								1	
		VOUT1_DATA8	4	O									
		TRC_DATA6	5	O									
		EHRPWM2_A	6	IO								0	
		GPIO0_93	7	IO								0	
		GPMC0_A9	8	OZ								0	
		MCASP11_AXR0	12	IO									
U28	rgmii5_td0	RGMI5_TD0	0	O	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD		0/1
		RMII7_TXD0	1	O									
		I2C3_SDA	2	IOD								1	
		VOUT1_DATA5	4	O									
		TRC_DATA3	5	O									
		EHRPWM1_A	6	IO								0	
		GPIO0_90	7	IO								0	
		GPMC0_A6	8	OZ								0	
		MCASP11_AFSX	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴	
V27	rgmii5_td1	RGMI5_TD1	0	O	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD		0/1	
		RMII7_TXD1	1	O										
		I2C3_SCL	2	IOD										1
		VOUT1_DATA4	4	O										
		TRC_DATA2	5	O										
		EHRPWM0_B	6	IO										0
		GPIO0_89	7	IO										0
		GPMC0_A5	8	OZ										0
		MCASP11_ACLKX	12	IO										
V29	rgmii5_td2	RGMI5_TD2	0	O	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD		0/1	
		UART3_TXD	1	O										
		SYNC3_OUT	3	O										
		VOUT1_DATA3	4	O										
		TRC_DATA1	5	O										
		EHRPWM0_A	6	IO										0
		GPIO0_88	7	IO										0
		GPMC0_A4	8	OZ										0
		MCASP10_AXR1	12	IO										
V28	rgmii5_td3	RGMI5_TD3	0	O	OFF	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD		0/1	
		UART3_RXD	1	I										1
		SYNC2_OUT	3	O										
		VOUT1_DATA2	4	O										
		TRC_DATA0	5	O										
		EHRPWM_TZn_IN0	6	I										0
		GPIO0_87	7	IO										0
		GPMC0_A3	8	OZ										0
		MCASP10_AXR0	12	IO										
W25	rgmii6_rd0	RGMI6_RD0	0	I	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1	
		RMII8_RXD0	1	I										0
		SPI5_CS1	3	IO										1
		AUDIO_EXT_REFCLK3	4	IO										0
		TRC_DATA21	5	O										
		EHRPWM_TZn_IN5	6	I										0
		GPIO0_108	7	IO										0
		GPMC0_DIR	8	O										0
		MCASP11_AXR7	12	IO										

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
W24	rgmii6_rd1	RGMI16_RD1	0	I	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1
		RMI18_RXD1	1	I								0	
		SPI5_D1	3	IO								0	
		VOU1_EXTCLKIN	4	I								0	
		TRC_DATA20	5	O									
		EHRPWM5_B	6	IO								0	
		GPIO0_107	7	IO								0	
		GPMC0_BE1n	8	O								0	
Y27	rgmii6_rd2	RGMI16_RD2	0	I	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1
		UART4_RTSn	1	O									
		UART5_TXD	3	O									
		TRC_DATA19	5	O									
		EHRPWM5_A	6	IO								0	
		GPIO0_106	7	IO								0	
		GPMC0_A22	8	OZ								0	
		MCASP11_AXR5	12	IO									
Y29	rgmii6_rd3	RGMI16_RD3	0	I	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1
		UART4_CTSn	1	I								1	
		UART5_RXD	3	I								1	
		CLKOUT	4	OZ									
		TRC_DATA18	5	O									
		EHRPWM_TZn_IN4	6	I								0	
		GPIO0_105	7	IO								0	
		GPMC0_A21	8	OZ								0	
MCASP11_AXR4	12	IO											
W27	rgmii6_td0	RGMI16_TD0	0	O	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD		0/1
		RMI18_TXD0	1	O									
		SPI5_CS0	3	IO								1	
		VOU1_HSYNC	4	O									
		TRC_DATA15	5	O									
		EHRPWM_TZn_IN3	6	I								0	
		GPIO0_102	7	IO								0	
		GPMC0_A18	8	OZ								0	
		VOU1_VP0_HSYNC	9	O									
		MCASP10_AXR5	12	IO									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
V25	rgmii6_td1	RGMI6_TD1	0	O	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	0	0/1
		RMII8_TXD1	1	O									
		SPI5_D0	3	IO									
		VOUT1_VSYNC	4	O									
		TRC_DATA14	5	O									
		EHRPWM3_SYNCO	6	O									
		GPIO0_101	7	IO									
		GPMC0_A17	8	OZ									
		VOUT1_VP0_VSYNC	9	O									
		MCASP10_AXR4	12	IO									
W28	rgmii6_td2	RGMI6_TD2	0	O	OFF	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD	1	0/1
		UART4_TXD	1	O									
		SPI5_CS2	3	IO									
		VOUT1_DATA15	4	O									
		TRC_DATA13	5	O									
		EHRPWM3_SYNCI	6	I									
		GPIO0_100	7	IO									
		GPMC0_A16	8	OZ									
		MCASP11_AFSR	12	IO									
		W23	rgmii6_td3	RGMI6_TD3									
UART4_RXD	1			I									
SPI5_CS3	3			IO									
VOUT1_DATA14	4			O									
TRC_DATA12	5			O									
EHRPWM3_B	6			IO									
GPIO0_99	7			IO									
GPMC0_A15	8			OZ									
MCASP11_ACLKR	12			IO									
E7	SERDES4_REFCLK_N			SERDES4_REFCLK_N		IO	OFF		0.8V	VDDA_0P8_DP / VDDA_1P8_DP		4-L-PHY	
AE18	serdes0_rext	SERDES0_REXT		A	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
AE13	serdes1_rext	SERDES1_REXT		A	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッドのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AD13	serdes2_rext	SERDES2_REXT		A	OFF		0.8V	VDDA_0P8_SE RDES2_3 / VDDA_1P8_SE RDES2_3		2-L-PHY			
F9	serdes4_rext	SERDES4_REXT		I	OFF		0.8V	VDDA_0P8_DP / VDDA_1P8_DP		4-L-PHY			
E8	SERDES4_REFCLK_P	SERDES4_REFCLK_P		IO	OFF		0.8V	VDDA_0P8_DP / VDDA_1P8_DP		4-L-PHY			
AE8	serdes3_rext	SERDES3_REXT		A	OFF		0.8V	VDDA_0P8_SE RDES2_3 / VDDA_1P8_SE RDES2_3		2-L-PHY			
AH19	SERDES0_RX0_N	SERDES0_RX0_N		I	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_RXN0		I									
		PCIE0_RXN0		I									
		USB0_SSRX2N		I									
AJ18	SERDES0_RX0_P	SERDES0_RX0_P		I	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_RXP0		I									
		PCIE0_RXP0		I									
		USB0_SSRX2P		I									
AH18	SERDES0_RX1_N	SERDES0_RX1_N		I	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_RXN0		I									
		PCIE0_RXN1		I									
		USB0_SSRX1N		I									
AJ17	SERDES0_RX1_P	SERDES0_RX1_P		I	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_RXP0		I									
		PCIE0_RXP1		I									
		USB0_SSRX1P		I									
AF19	SERDES0_TX0_N	SERDES0_TX0_N		O	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_TXN0		O									
		PCIE0_TXN0		O									
		USB0_SSTX2N		O									
AG18	SERDES0_TX0_P	SERDES0_TX0_P		O	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_TXP0		O									
		PCIE0_TXP0		O									
		USB0_SSTX2P		O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッドのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AF18	SERDES0_TX1_N	SERDES0_TX1_N		O	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_TXN0		O									
		PCIE0_TXN1		O									
		USB0_SSTX1N		O									
AG17	SERDES0_TX1_P	SERDES0_TX1_P		O	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_TXP0		O									
		PCIE0_TXP1		O									
		USB0_SSTX1P		O									
AH15	SERDES1_RX0_N	SERDES1_RX0_N		I	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_RXN0		I									
		PCIE1_RXN0		I									
		USB1_SSRX2N		I									
		PRG1_SGMII0_RXN0		I									
AJ14	SERDES1_RX0_P	SERDES1_RX0_P		I	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_RXP0		I									
		PCIE1_RXP0		I									
		USB1_SSRX2P		I									
		PRG1_SGMII0_RXP0		I									
AH16	SERDES1_RX1_N	SERDES1_RX1_N		I	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_RXN0		I									
		PCIE1_RXN1		I									
		USB1_SSRX1N		I									
		PRG1_SGMII1_RXN0		I									
AJ15	SERDES1_RX1_P	SERDES1_RX1_P		I	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_RXP0		I									
		PCIE1_RXP1		I									
		USB1_SSRX1P		I									
		PRG1_SGMII1_RXP0		I									
AF15	SERDES1_TX0_N	SERDES1_TX0_N		O	OFF		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_TXN0		O									
		PCIE1_TXN0		O									
		USB1_SSTX2N		O									
		PRG1_SGMII0_TXN0		O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AG14	SERDES1_TX0_P	SERDES1_TX0_P		O	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_TXP0		O									
		PCIE1_TXP0		O									
		USB1_SSTX2P		O									
		PRG1_SGMII0_TXP0		O									
AF16	SERDES1_TX1_N	SERDES1_TX1_N		O	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_TXN0		O									
		PCIE1_TXN1		O									
		USB1_SSTX1N		O									
		PRG1_SGMII1_TXN0		O									
AG15	SERDES1_TX1_P	SERDES1_TX1_P		O	OFF		0.8V	VDDA_0P8_SE RDES0_1 / VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_TXP0		O									
		PCIE1_TXP1		O									
		USB1_SSTX1P		O									
		PRG1_SGMII1_TXP0		O									
AH13	SERDES2_RX0_N	SERDES2_RX0_N		I	OFF		0.8V	VDDA_0P8_SE RDES2_3 / VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXN0		I									
		USB1_SSRX2N		I									
		PRG1_SGMII0_RXN0		I									
AJ12	SERDES2_RX0_P	SERDES2_RX0_P		I	OFF		0.8V	VDDA_0P8_SE RDES2_3 / VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXP0		I									
		USB1_SSRX2P		I									
		PRG1_SGMII0_RXP0		I									
AH12	SERDES2_RX1_N	SERDES2_RX1_N		I	OFF		0.8V	VDDA_0P8_SE RDES2_3 / VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXN1		I									
		USB1_SSRX1N		I									
		PRG1_SGMII1_RXN0		I									
AJ11	SERDES2_RX1_P	SERDES2_RX1_P		I	OFF		0.8V	VDDA_0P8_SE RDES2_3 / VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXP1		I									
		USB1_SSRX1P		I									
		PRG1_SGMII1_RXP0		I									
AF13	SERDES2_TX0_N	SERDES2_TX0_N		O	OFF		0.8V	VDDA_0P8_SE RDES2_3 / VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_TXN0		O									
		USB1_SSTX2N		O									
		PRG1_SGMII0_TXN0		O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴	
AG12	SERDES2_TX0_P	SERDES2_TX0_P		O	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE2_TXP0		O										
		USB1_SSTX2P		O										
		PRG1_SGMII0_TXP0		O										
AF12	SERDES2_TX1_N	SERDES2_TX1_N		O	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE2_TXN1		O										
		USB1_SSTX1N		O										
		PRG1_SGMII1_TXN0		O										
AG11	SERDES2_TX1_P	SERDES2_TX1_P		O	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE2_TXP1		O										
		USB1_SSTX1P		O										
		PRG1_SGMII1_TXP0		O										
AH9	SERDES3_RX0_N	SERDES3_RX0_N		I	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_RXN0		I										
		USB0_SSRX2N		I										
AJ8	SERDES3_RX0_P	SERDES3_RX0_P		I	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_RXP0		I										
		USB0_SSRX2P		I										
AH10	SERDES3_RX1_N	SERDES3_RX1_N		I	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_RXN1		I										
		USB0_SSRX1N		I										
AJ9	SERDES3_RX1_P	SERDES3_RX1_P		I	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_RXP1		I										
		USB0_SSRX1P		I										
AF9	SERDES3_TX0_N	SERDES3_TX0_N		O	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_TXN0		O										
		USB0_SSTX2N		O										
AG8	SERDES3_TX0_P	SERDES3_TX0_P		O	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_TXP0		O										
		USB0_SSTX2P		O										
AF10	SERDES3_TX1_N	SERDES3_TX1_N		O	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_TXN1		O										
		USB0_SSTX1N		O										
AG9	SERDES3_TX1_P	SERDES3_TX1_P		O	OFF		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY				
		PCIE3_TXP1		O										
		USB0_SSTX1P		O										

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パップアのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
D9	SERDES4_RX0_N	SERDES4_RX0_N		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII5_RXN0		I									
C10	SERDES4_RX0_P	SERDES4_RX0_P		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII5_RXP0		I									
D8	SERDES4_RX1_N	SERDES4_RX1_N		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII6_RXN0		I									
C9	SERDES4_RX1_P	SERDES4_RX1_P		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII6_RXP0		I									
D6	SERDES4_RX2_N	SERDES4_RX2_N		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII7_RXN0		I									
C7	SERDES4_RX2_P	SERDES4_RX2_P		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII7_RXP0		I									
D5	SERDES4_RX3_N	SERDES4_RX3_N		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII8_RXN0		I									
C6	SERDES4_RX3_P	SERDES4_RX3_P		I	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		SGMII8_RXP0		I									
B11	SERDES4_TX0_N	SERDES4_TX0_N		O	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		DP0_TX0_N		O									
		SGMII5_TXN0		O									
A12	SERDES4_TX0_P	SERDES4_TX0_P		O	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		DP0_TX0_P		O									
		SGMII5_TXP0		O									
B10	SERDES4_TX1_N	SERDES4_TX1_N		O	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		DP0_TX1_N		O									
		SGMII6_TXN0		O									
A11	SERDES4_TX1_P	SERDES4_TX1_P		O	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		DP0_TX1_P		O									
		SGMII6_TXP0		O									
B8	SERDES4_TX2_N	SERDES4_TX2_N		O	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		DP0_TX2_N		O									
		SGMII7_TXN0		O									
A9	SERDES4_TX2_P	SERDES4_TX2_P		O	OFF		0.8V	VDDA_0P8_D P / VDDA_1P8_DP		4-L-PHY			
		DP0_TX2_P		O									
		SGMII7_TXP0		O									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABLE ¹⁴
B7	SERDES4_TX3_N	SERDES4_TX3_N		O	OFF		0.8V	VDDA_0P8_DP / VDDA_1P8_DP		4-L-PHY			
		DP0_TX3_N		O									
		SGMII8_TXN0		O									
A8	SERDES4_TX3_P	SERDES4_TX3_P		O	OFF		0.8V	VDDA_0P8_DP / VDDA_1P8_DP		4-L-PHY			
		DP0_TX3_P		O									
		SGMII8_TXP0		O									
U4	soc_safety_errorn	SOC_SAFETY_ERRORn	0	IO	PD	0	1.8V/3.3V	VDDSHV0	あり	LVCNOS	PU/PD		1/0
AA1	spi0_clk	SPI0_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCNOS	PU/PD	0	0/1
		UART1_CTSn	1	I								1	
		I2C2_SCL	2	IOD								1	
		GPIO0_113	7	IO								0	
Y1	spi1_clk	SPI1_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCNOS	PU/PD	0	0/1
		UART5_CTSn	1	I								1	
		I2C4_SDA	2	IOD								1	
		UART2_RXD	3	I								1	
		GPIO0_118	7	IO								0	
		PRG0_IEP0_EDC_SYNC_OUT0	8	O								0	
AA2	spi0_cs0	SPI0_CS0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCNOS	PU/PD	1	0/1
		UART0_RTSn	1	O									
		GPIO0_111	7	IO								0	
Y4	spi0_cs1	SPI0_CS1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCNOS	PU/PD	1	0/1
		CPTS0_TS_COMP	1	O									
		I2C3_SCL	2	IOD								1	
		DP0_HPD	5	I								0	
		PRG1_IEP0_EDIO_OUTVALID	6	O									
		GPIO0_112	7	IO								0	
AB5	spi0_d0	SPI0_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCNOS	PU/PD	0	0/1
		UART1_RTSn	1	O									
		I2C2_SDA	2	IOD								1	
		GPIO0_114	7	IO								0	
AA3	spi0_d1	SPI0_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCNOS	PU/PD	0	0/1
		I2C6_SCL	2	IOD								1	
		GPIO0_115	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
Y3	spi1_cs0	SPI1_CS0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		UART0_CTSn	1	I								1	
		UART5_RXD	3	I								1	
		PRG0_IEP0_EDIO_OUTVALID	6	O									
		GPIO0_116	7	IO								0	
		PRG0_IEP0_EDC_LATCH_IN0	8	I								0	
W4	spi1_cs1	SPI1_CS1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		CPTS0_TS_SYNC	1	O									
		I2C3_SDA	2	IOD								1	
		UART5_TXD	3	O									
		GPIO0_117	7	IO								0	
Y5	spi1_d0	SPI1_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0	0/1
		UART5_RTSn	1	O									
		I2C4_SCL	2	IOD								1	
		UART2_TXD	3	O									
		GPIO0_119	7	IO								0	
		PRG0_IEP1_EDC_LATCH_IN0	8	I								0	
Y2	spi1_d1	SPI1_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0	0/1
		I2C6_SDA	2	IOD								1	
		GPIO0_120	7	IO								0	
		PRG0_IEP1_EDC_SYNC_OUT0	8	O								0	
E29	tck	TCK	0	I	PU	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		1/1
V1	tdi	TDI	0	I	PU	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		1/1
V3	tdo	TDO	0	OZ	PU	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/0
V6	timer_io0	TIMER_IO0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0	1/1
		ECAP1_IN_APWM_OUT	1	IO								0	
		SYSClkOUT0	2	O									
		SPI7_D0	6	IO								0	
		GPIO1_13	7	IO								0	
		BOOTMODE4	ブートストラップ	I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
V5	timer_io1	TIMER_IO1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0	1/1
		ECAP2_IN_APWM_OUT	1	IO								0	
		OBSCLK0	2	O									
		SPI7_D1	6	IO								0	
		GPIO1_14	7	IO								0	
		BOOTMODE5		ブートストラップ								I	
V2	tms	TMS	0	I	PU	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		1/1
F24	trstn	TRStn	0	I	PD	0	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		1/1
AC2	uart0_ctsn	UART0_CTSn	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		TIMER_IO6	1	IO								0	
		SPI0_CS2	2	IO								1	
		MCAN2_RX	3	I								1	
		SPI2_CS0	4	IO								1	
		EQEP0_A	5	I								0	
		GPIO0_123	7	IO								0	
AB1	uart0_rtsn	UART0_RTSn	0	O	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/1
		TIMER_IO7	1	IO								0	
		SPI0_CS3	2	IO								1	
		MCAN2_TX	3	O									
		SPI2_CLK	4	IO								0	
		EQEP0_B	5	I								0	
		GPIO0_124	7	IO								0	
AB2	uart0_rxd	UART0_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		SPI2_CS1	4	IO								1	
		GPIO0_121	7	IO								0	
AB3	uart0_txd	UART0_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/1
		SPI2_CS2	4	IO								1	
		SPI7_CS1	6	IO								1	
		GPIO0_122	7	IO								0	
AC4	uart1_ctsn	UART1_CTSn	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		MCAN3_RX	1	I								1	
		SPI2_D0	4	IO								0	
		EQEP0_S	5	IO								0	
		GPIO0_127	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AD5	uart1_rtsn	UART1_RTSn	0	O	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/1
		MCAN3_TX	1	O									
		SPI2_D1	4	IO									
		EQEP0_I	5	IO								0	
		GPIO1_0	7	IO								0	
AA4	uart1_rxd	UART1_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	1	0/1
		SPI7_CS2	6	IO								1	
		GPIO0_125	7	IO								0	
AB4	uart1_txd	UART1_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD		0/1
		I3C0_SDAPULLEN	5	O									
		SPI7_CS3	6	IO								1	
		GPIO0_126	7	IO								0	
AE6	ufs0_ref_clk	UFS0_REF_CLK		O	OFF		1.2V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AD6	ufs0_rstn	UFS0_RSTn		O	OFF		1.2V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AH3	ufs0_rx_dn0	UFS0_RX_DN0		I	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AH4	ufs0_rx_dn1	UFS0_RX_DN1		I	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AJ2	ufs0_rx_dp0	UFS0_RX_DP0		I	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AJ3	ufs0_rx_dp1	UFS0_RX_DP1		I	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AG6	ufs0_tx_dn0	UFS0_TX_DN0		O	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AG5	ufs0_tx_dn1	UFS0_TX_DN1		O	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
AF7	ufs0_tx_dp0	UFS0_TX_DP0		O	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AF6	ufs0_tx_dp1	UFS0_TX_DP1		O	OFF		0.8V	VDDA_0P8_UFS / VDDA_1P8_UFS		M-PHY			
AJ5	usb0_dm	USB0_DM		IO	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
AH6	usb0_dp	USB0_DP		IO	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
U6	usb0_drvvbus	USB0_DRVVBUS	0	O	PD	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD	0	0/1
		USB1_DRVVBUS	1	O									
		GPIO1_29	7	IO									
AC6	usb0_id	USB0_ID		A	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
AB6	usb0_rcalib	USB0_RCALIB		IO	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
AC7	usb0_vbus	USB0_VBUS		A	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
AH7	usb1_dm	USB1_DM		IO	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッドのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AJ6	usb1_dp	USB1_DP		IO	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
AD7	usb1_id	USB1_ID		A	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
AD9	usb1_rcalib	USB1_RCALIB		IO	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
AD8	usb1_vbus	USB1_VBUS		A	OFF		3.3V	VDDA_0P8_USB / VDDA_1P8_USB / VDDA_3P3_USB		USB2PHY			
L14, V13, V16, W19	VDDAR_CORE	VDDAR_CORE		PWR									
L11, W12	VDDAR_CPU	VDDAR_CPU		PWR									
K19, T19	vddar_mcu	vddar_mcu		PWR									
H17	VDDA_0P8_CSIRX	VDDA_0P8_CSIRX		PWR									
G12, J12	VDDA_0P8_DP	VDDA_0P8_DP		PWR									
G14, H13	VDDA_0P8_DP_C	VDDA_0P8_DP_C		PWR									
H15	VDDA_0P8_DSITX	VDDA_0P8_DSITX		PWR									
J16	VDDA_0P8_DSITX_C	VDDA_0P8_DSITX_C		PWR									
AB9	VDDA_0P8_UFS	VDDA_0P8_UFS		PWR									
AA10	VDDA_0P8_USB	VDDA_0P8_USB		PWR									
AA15, Y14, Y16	VDDA_0P8_SERDES0_1	VDDA_0P8_SERDES0_1		PWR									
AA12, Y11, Y13	VDDA_0P8_SERDES2_3	VDDA_0P8_SERDES2_3		PWR									
AB14, AB15	VDDA_0P8_SERDES_C0_1	VDDA_0P8_SERDES_C0_1		PWR									
AB12, AB13	VDDA_0P8_SERDES_C2_3	VDDA_0P8_SERDES_C2_3		PWR									
G16	VDDA_1P8_CSIRX	VDDA_1P8_CSIRX		PWR									
H11	VDDA_1P8_DP	VDDA_1P8_DP		PWR									
J14	VDDA_1P8_DSITX	VDDA_1P8_DSITX		PWR									
AC8	VDDA_1P8_UFS	VDDA_1P8_UFS		PWR									
AC9	vdda_1p8_usb	vdda_1p8_usb		PWR									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
AC14, AC15	VDDA_1P8_SERDES0_1	VDDA_1P8_SERDES0_1		PWR									
AC11, AC12	VDDA_1P8_SERDES2_3	VDDA_1P8_SERDES2_3		PWR									
AB10	vdda_3p3_usb	vdda_3p3_usb		PWR									
N22	VDDA_ADC0	VDDA_ADC0		PWR									
M23	VDDA_ADC1	VDDA_ADC1		PWR									
N9	VDDA_0P8_PLL_DDR	VDDA_0P8_PLL_DDR		PWR									
G18	VDDA_MCU_PLLGRP0	VDDA_MCU_PLLGRP0		PWR									
P21	VDDA_MCU_TEMP	VDDA_MCU_TEMP		PWR									
W7	VDDA_1P8_MLB	VDDA_1P8_MLB		PWR									
Y20	VDDA_PLLGRP0	VDDA_PLLGRP0		PWR									
W17	VDDA_PLLGRP1	VDDA_PLLGRP1		PWR									
M17	VDDA_PLLGRP2	VDDA_PLLGRP2		PWR									
L12	VDDA_PLLGRP3	VDDA_PLLGRP3		PWR									
R11	VDDA_PLLGRP4	VDDA_PLLGRP4		PWR									
P9	VDDA_PLLGRP5	VDDA_PLLGRP5		PWR									
W18	VDDA_PLLGRP6	VDDA_PLLGRP6		PWR									
W8	VDDA_0P8_PLL_MLB	VDDA_0P8_PLL_MLB		PWR									
P22	vdda_por_wkup	vdda_por_wkup		PWR									
W15	VDDA_TEMP0_1	VDDA_TEMP0_1		PWR									
H9	VDDA_TEMP2_3	VDDA_TEMP2_3		PWR									
M26	VMON_ER_VSYS	VMON_ER_VSYS		A									
V19	VMON_IR_VEXT	VMON_IR_VEXT		A									
H22	VDDA_WKUP	VDDA_WKUP		PWR									
U8, V7	VDDSHV0	VDDSHV0		PWR									
L22, M22	VDDSHV0_MCU	VDDSHV0_MCU		PWR									
AA19, AA20, AC19, AC20	VDDSHV1	VDDSHV1		PWR									
H19, H21, J20	VDDSHV1_MCU	VDDSHV1_MCU		PWR									
AA17, AB16, AB18, AC17	VDDSHV2	VDDSHV2		PWR									
J22, K21	VDDSHV2_MCU	VDDSHV2_MCU		PWR									
V21, W22	VDDSHV3	VDDSHV3		PWR									
AA21, Y22	VDDSHV4	VDDSHV4		PWR									
T20, T22	VDDSHV5	VDDSHV5		PWR									
U20, U22	VDDSHV6	VDDSHV6		PWR									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
A1, G8, J8, K7, L8, M7, N8, P7, R8, T1	vdds_dds	vdds_dds		PWR									
H7, J6, R6, T7	vdds_dds_bias	vdds_dds_bias		PWR									
M9	VDDS_DDR_C	VDDS_DDR_C		PWR									
AA8, AB7, Y7	vdds_mmc0	vdds_mmc0		PWR									
R21	VDDS_OSC1	VDDS_OSC1		PWR									
J10, K11, K13, K15, K17, K9, L10, L16, L18, M15, N14, N16, N18, P13, P15, P17, R14, R16, R18, R20, T15, T17, T9, U14, U16, U18, V15, V17, V20, W14	VDD_CORE	VDD_CORE		PWR									
N10, P11, R10, R12, U10, V11, V9, W10	VDD_CPU	VDD_CPU		PWR									
Y9	VDDA_0P8_DLL_MMC0	VDDA_0P8_DLL_MMC0		PWR									
L20, M19, M21, N20, P19	vdd_mcu	vdd_mcu		PWR									
AB11	vpp_core	vpp_core		PWR									
F17	VPP_MCU	VPP_MCU		PWR									
AA13, AC10, AC13, AD11, AD14, AD17, AE10, AE12, AE15, AE16, AE19, AE7, AF20, AF25, AF5, AG4, AG7, AH2, AH20, AH5, AJ4, AJ7, B3, B6, C1, C5, D2, D4, E1, E5, F4, G1, G7, H4, H6, K1, K4, L3, M1, M28, M4, M6, N27, N29, N3, P1, P28, P4, R3, U5	vss	vss		GND									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	バッファのタイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
A10, A13, A16, A19, A22, A7, AA11, AA14, AA16, AA18, AA7, AA9, AB17, AB19, AB20, AB22, AB8, AC16, AF11, AF14, AF17, AF8, AG10, AG13, AG16, AG19, AH11, AH14, AH17, AH8, AJ10, AJ13, AJ16, AJ19, B12, B15, B18, B21, B9, C11, C14, C17, C20, C8, D10, D13, D16, D19, D7, E12, E15, E9, F14, F8, G11, G13, G15, G17, H10, H12, H14, H16, H18, H20, H8, J11, J13, J15, J17, J21, J23, J7, J9, K10, K12, K14, K16, K18, K20, K22, K8, L13, L15, L17, L19, L21, L23, L7, L9, M10, M14, M16, M18, M20, M8, N15, N17, N19, N21, N7, P10, P12, P14, P16, P18, P20, P8, R13, R15, R17, R19, R7, R9, T10, T14, T16, T18, T21, T8, U15, U17, U19, U21, U9, V10, V12, V14, V18, V8, W11, W13, W16, W20, W9, Y10, Y12, Y15, Y17, Y19, Y21, Y8	VSS	VSS		GND									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
F26	wkup_gpio0_0	MCU_SPI1_CLK	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/1
		MCU_SPI1_CLK	1	IO								0	
		WKUP_GPIO0_0	7	IO								0	
		MCU_BOOTMODE03		ブートストラップ									
F25	wkup_gpio0_1	MCU_SPI1_D0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/1
		MCU_SPI1_D0	1	IO								0	
		WKUP_GPIO0_1	7	IO								0	
		MCU_BOOTMODE04		ブートストラップ									
F28	wkup_gpio0_2	MCU_SPI1_D1	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	1/1
		MCU_SPI1_D1	1	IO								0	
		WKUP_GPIO0_2	7	IO								0	
		MCU_BOOTMODE05		ブートストラップ									
F27	wkup_gpio0_3	MCU_SPI1_CS0	0	IO	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	0/1
		MCU_SPI1_CS0	1	IO								1	
		WKUP_GPIO0_3	7	IO								0	
G25	wkup_gpio0_4	MCU_MCAN1_TX	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/1
		MCU_MCAN1_TX	1	O									
		MCU_SPI0_CS3	2	IO								1	
		MCU_ADC_EXT_TRIGGER0	3	I								パッド	
		WKUP_GPIO0_4	7	IO								0	
G24	wkup_gpio0_5	MCU_MCAN1_RX	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	0/1
		MCU_MCAN1_RX	1	I								1	
		MCU_SPI1_CS3	2	IO								1	
		MCU_ADC_EXT_TRIGGER1	3	I								パッド	
		WKUP_GPIO0_5	7	IO								0	
F29	wkup_gpio0_6	WKUP_UART0_CTSn	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	0/1
		WKUP_UART0_CTSn	1	I								1	
		MCU_CPTS0_HW1TSPUSH	2	I								0	
		MCU_I2C1_SCL	3	IOD								1	
		WKUP_GPIO0_6	7	IO								0	
G28	wkup_gpio0_7	WKUP_UART0_RTSn	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/1
		WKUP_UART0_RTSn	1	O									
		MCU_CPTS0_HW2TSPUSH	2	I								0	
		MCU_I2C1_SDA	3	IOD								1	
		WKUP_GPIO0_7	7	IO								0	

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファの タイプ ¹¹	PULL UP/ DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/ TXDISABL E ¹⁴
G27	wkup_gpio0_8	MCU_I2C1_SCL	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	0/1
		MCU_I2C1_SCL	1	IOD								1	
		MCU_CPTS0_TS_SYNC	2	O									
		MCU_I3C1_SCL	3	IO								1	
		MCU_TIMER_IO6	4	IO								0	
		WKUP_GPIO0_8	7	IO								0	
G26	wkup_gpio0_9	MCU_I2C1_SDA	0	IOD	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	0/1
		MCU_I2C1_SDA	1	IOD								1	
		MCU_CPTS0_TS_COMP	2	O									
		MCU_I3C1_SDA	3	IO								1	
		MCU_TIMER_IO7	4	IO								0	
		WKUP_GPIO0_9	7	IO								0	
H26	wkup_gpio0_10	MCU_EXT_REFCLK0	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	0	0/1
		MCU_EXT_REFCLK0	1	I								0	
		MCU_UART0_TXD	2	O									
		MCU_ADC_EXT_TRIGGER0	3	I								0	
		MCU_CPTS0_RFT_CLK	4	I								0	
		MCU_SYSCLKOUT0	5	O									
WKUP_GPIO0_10	7	IO	0										
H27	wkup_gpio0_11	MCU_OBSCLK0	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/1
		MCU_OBSCLK0	1	O									
		MCU_UART0_RXD	2	I								1	
		MCU_ADC_EXT_TRIGGER1	3	I								0	
		MCU_TIMER_IO1	4	IO								0	
		MCU_I3C1_SDAPULLEN	5	O									
MCU_CLKOUT0	6	OZ											
WKUP_GPIO0_11	7	IO	0										
G29	wkup_gpio0_12	MCU_UART0_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		1/1
		MCU_SPI0_CS1	1	O									
		WKUP_GPIO0_12	7	IO								0	
		MCU_BOOTMODE08	ブートストラップ	I									
H28	wkup_gpio0_13	MCU_UART0_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	1/1
		MCU_SPI1_CS1	1	O									
		WKUP_GPIO0_13	7	IO								0	
		MCU_BOOTMODE09	ブートストラップ	I									

表 5-1. ピン属性 (続き)

ボール番号 ¹	ボール名 ²	信号名 ³	MUXMODE ⁴	タイプ ⁵	BALL RESET STATE ⁶	BALL RESET REL. MUXMODE	I/O VOLTAGE VALUE ⁸	電源 ⁹	HYS ¹⁰	パッファのタイプ ¹¹	PULL UP/DOWN TYPE ¹²	DSIS ¹³	RXACTIVE/TXDISABLE ¹⁴
H29	wkup_gpio0_14	MCU_UART0_CTSn	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	1/1
		MCU_SPI0_CS2	1	O									
		WKUP_GPIO0_14	7	IO								0	
		MCU_BOOTMODE06		ブートストラップ									
J27	wkup_gpio0_15	MCU_UART0_RTSn	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		1/1
		MCU_SPI1_CS2	1	O									
		WKUP_GPIO0_15	7	IO								0	
		MCU_BOOTMODE07		ブートストラップ									
J25	wkup_i2c0_scl	WKUP_I2C0_SCL	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1	1/0
		WKUP_GPIO0_62	7	IO								0	
H24	wkup_i2c0_sda	WKUP_I2C0_SDA	0	IOD	OFF	0	1.8V/3.3V	VDDSHV0_MCU	あり	I2C OD FS		1	1/0
		WKUP_GPIO0_63	7	IO								0	
N28	wkup_lfosc0_xi	WKUP_LFOSC0_XI		I	OFF		1.8V	VDDA_WKUP		LFOSC			
N26	wkup_lfosc0_xo	WKUP_LFOSC0_XO		O	OFF		1.8V	VDDA_WKUP		LFOSC			
M29	wkup_osc0_xi	WKUP_OSC0_XI		I	OFF		1.8V	VDDA_WKUP		HFOSC			
M27	wkup_osc0_xo	WKUP_OSC0_XO		O	OFF		1.8V	VDDA_WKUP		HFOSC			
J29	wkup_uart0_rxd	WKUP_UART0_RXD	0	I	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD	1	0/1
		WKUP_GPIO0_56	7	IO								0	
J28	wkup_uart0_txd	WKUP_UART0_TXD	0	O	OFF	7	1.8V/3.3V	VDDSHV0_MCU	あり	LVCMOS	PU/PD		0/1
		WKUP_GPIO0_57	7	IO								0	

- MUXMODE フィールドは、このピンの多重化信号機能の選択には使用されません。詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「ADC 統合の詳細」セクションを参照してください。

以下は、表の列ヘッダーについて説明しています。

- ボール番号: 底面の各信号に関連付けられた底面側のボール番号。
- ボール名: パッケージ デバイスのメカニカル名 (名前は muxmode 0 に由来します)。
- 信号名: 各ボールで多重化された信号の名前 (ボールの名前は muxmode 0 での信号名であることにも注意)。

注

表 5-1、「ピン属性」では、サブシステム マルチプレクシング信号は考慮されていません。サブシステム マルチプレクシング信号については、[セクション 5.3](#)、「信号の説明」を参照してください。

- MUXMODE: マルチプレクシング モード番号:

- a. MUXMODE 0 はプライマリ muxmode です。プライマリ muxmode が必ずしもデフォルトの muxmode であるとは限りません。

注

デフォルトの muxmode は、リセット解除時のモードです。BALL RESET REL も参照してください。MUXMODE 列。

- b. MUXMODE 1 ~ 7 は、代替機能のための muxmode を使用できます。各ピンで、一部の muxmode が代替機能のために効果的に使用されますが、一部の muxmode は使用されません。定義された関数に対応する MUXMODE 値のみを使用する必要があります。
- c. MCU_BOOTMODE ピンは、MCU_PORz_OUT の立ち上がりエッジでラッチされます。BOOTMODE ピンは、PORz_OUT の立ち上がりエッジでラッチされます。
- d. 空欄は該当しないことを意味します。
5. **タイプ:**信号の種類と方向:
- I = 入力
 - O = 出力
 - IO = 入出力
 - IOD = オープンドレイン端子 - 入力または出力
 - IOZ = 入力、出力、またはスリー ステート端子
 - OZ = 出力またはスリー ステート端子
 - A = アナログ
 - PWR = 電源
 - GND = グランド
 - CAP = LDO コンデンサ。
6. **ボールリセット状態:**パワーオンリセット時の端子の状態:
- ドライブ 0 (オフ):バッファは V_{OL} (プルダウンまたはプルアップ抵抗がアクティブではない) を駆動します。
 - ドライブ 1 (オフ):バッファは V_{OH} (プルダウンまたはプルアップ抵抗がアクティブではない) を駆動します。
 - OFF:ハイ インピーダンス
 - PD:アクティブ プルダウン抵抗によるハイ インピーダンス
 - PU:アクティブ プルアップ抵抗によるハイ インピーダンス
 - 空欄は該当しないことを意味します。
7. **BALL RESET REL.MUXMODE:**この muxmode は、rstoutn 信号の解放時に自動的に設定されます。
空欄は該当しないことを意味します。
8. **I/O 電圧値:**この列は、IO 電圧値 (対応する電源) を示します。
空欄は該当しないことを意味します。
9. **電源:**端子 IO バッファに電力を供給する電圧電源。
空欄は該当しないことを意味します。
10. **HYS:**入力バッファにヒステリシスがあるかどうかを示します。
- あり:ヒステリシス付き
 - なし:ヒステリシスなし

空欄は「なし」を意味します。

詳細については、「電気的特性」のヒステリシスの値を参照してください。

11. **バッファのタイプ:**この列は、関連する出力バッファ タイプを示します

空欄は該当しないことを意味します。

関連する出力バッファの駆動強度については、「電気的特性」を参照してください。

12. **プルアップ / ダウン タイプ:**内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。

- **PU:** 内部プルアップ
- **PD:** 内部プルダウン
- **PU/PD:** 内部プルアップおよびプルダウン
- 空欄はプルアップ / ダウンがないことを意味します。

13. **DSIS:** 非選択時入力状態 (DSIS) は、いずれの **PINCNTLx** レジスタによってもそのペリフェラル ピン機能が選択されていない場合に、ペリフェラル入力に駆動される状態 (ロジック「0」、ロジック「1」、または「PIN」レベル) を示します。

- **0:** ロジック 0 がペリフェラルの入力信号ポートで駆動されます。
- **1:** ロジック 1 がペリフェラルの入力信号ポートで駆動されます。
- 空欄は該当しないことを意味します。

14. **RXACTIVE / TXDISABLE:**この列は、**PADCONFIG** レジスタの **RXACTIVE / TXDISABLE** ビットのデフォルト値を示します。

- **RXACTIVE: 0** = レシーバがディスエーブル、**1** = レシーバがイネーブル。
- **TXDISABLE: 0** = ドライバがイネーブル、**1** = ドライバがディスエーブル。
- 空欄は該当しないことを意味します。

注

2 つのピンを同一の入力信号に設定すると予期しない結果を引き起こす可能性があるため、この設定はサポートされていません。これは、正しいソフトウェア設定を使用することで、簡単に防止できます (**HiZ** モードは入力信号ではない)。

注

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避けるべきです。

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

1. **信号名:**ピンを通過する信号の名前。

注

「ピン属性」と「ピン多重化」では、サブシステムの多重化信号については説明していません。

2. **説明:**信号の説明
3. **ピンの種類:**信号の方向と種類:

- I = 入力
- O = 出力
- IO = 入出力
- IOD = オープンドレイン端子 — 入力または出力
- IOZ = 入力、出力、または 3 ステート端子
- OZ = 出力または 3 ステート端子
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

4. **ボール:**関連するボールの下部

IO セル構成の詳細については、デバイス TRM の「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 ADC

注

この ADC は、GPI として使用するように構成できます。詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

5.3.1.1 MCU ドメイン

表 5-2. ADC 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_ADC_EXT_TRIGGER0	ADC トリガ入力	I	A28、G25、H26
MCU_ADC_EXT_TRIGGER1	ADC トリガ入力	I	A27、G24、H27

表 5-3. ADC0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_ADC0_AIN0	ADC アナログ入力 0	A	K25
MCU_ADC0_AIN1	ADC アナログ入力 1	A	K26
MCU_ADC0_AIN2	ADC アナログ入力 2	A	K28
MCU_ADC0_AIN3	ADC アナログ入力 3	A	L28
MCU_ADC0_AIN4	ADC アナログ入力 4	A	K24
MCU_ADC0_AIN5	ADC アナログ入力 5	A	K27
MCU_ADC0_AIN6	ADC アナログ入力 6	A	K29

表 5-3. ADC0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_ADC0_AIN7	ADC アナログ入力 7	A	L29

表 5-4. ADC1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_ADC1_AIN0	ADC アナログ入力 0	A	N23
MCU_ADC1_AIN1	ADC アナログ入力 1	A	M25
MCU_ADC1_AIN2	ADC アナログ入力 2	A	L24
MCU_ADC1_AIN3	ADC アナログ入力 3	A	L26
MCU_ADC1_AIN4	ADC アナログ入力 4	A	N24
MCU_ADC1_AIN5	ADC アナログ入力 5	A	M24
MCU_ADC1_AIN6	ADC アナログ入力 6	A	L25
MCU_ADC1_AIN7	ADC アナログ入力 7	A	L27

5.3.2 DDRSS

5.3.2.1 メイン ドメイン

表 5-5. DDRSS 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
DDR_RET	外部 IO 保持イネーブル	I	P6

表 5-6. DDRSS0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
DDR0_CKN	DDRSS 差動クロック (負)	IO	J1
DDR0_CKP	DDRSS 差動クロック (正)	IO	H1
DDR0_RESETh	DDRSS のリセット	IO	K6
DDR0_CA0	DDRSS コマンド アドレス	IO	G4
DDR0_CA1	DDRSS コマンド アドレス	IO	H3
DDR0_CA2	DDRSS コマンド アドレス	IO	K5
DDR0_CA3	DDRSS コマンド アドレス	IO	J4
DDR0_CA4	DDRSS コマンド アドレス	IO	K2
DDR0_CA5	DDRSS コマンド アドレス	IO	H5
DDR0_CAL0 ⁽¹⁾	IO パッド較正抵抗	A	H2
DDR0_CKE0	DDRSS クロック イネーブル	IO	G3
DDR0_CKE1	DDRSS クロック イネーブル	IO	J3
DDR0_CSn0_0	DDRSS チップ セレクト	IO	J5
DDR0_CSn0_1	DDRSS チップ セレクト	IO	K3
DDR0_CSn1_0	DDRSS チップ セレクト	IO	G5
DDR0_CSn1_1	DDRSS チップ セレクト	IO	J2
DDR0_DM0	DDRSS データ マスク	IO	A3
DDR0_DM1	DDRSS データ マスク	IO	E4
DDR0_DM2	DDRSS データ マスク	IO	N1
DDR0_DM3	DDRSS データ マスク	IO	R5

表 5-6. DDRSS0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
DDR0_DQ0	DDRSS データ	IO	A5
DDR0_DQ1	DDRSS データ	IO	A6
DDR0_DQ2	DDRSS データ	IO	B5
DDR0_DQ3	DDRSS データ	IO	C2
DDR0_DQ4	DDRSS データ	IO	B4
DDR0_DQ5	DDRSS データ	IO	C3
DDR0_DQ6	DDRSS データ	IO	A2
DDR0_DQ7	DDRSS データ	IO	A4
DDR0_DQ8	DDRSS データ	IO	D1
DDR0_DQ9	DDRSS データ	IO	C4
DDR0_DQ10	DDRSS データ	IO	F1
DDR0_DQ11	DDRSS データ	IO	G2
DDR0_DQ12	DDRSS データ	IO	F2
DDR0_DQ13	DDRSS データ	IO	F3
DDR0_DQ14	DDRSS データ	IO	D3
DDR0_DQ15	DDRSS データ	IO	F5
DDR0_DQ16	DDRSS データ	IO	L5
DDR0_DQ17	DDRSS データ	IO	M5
DDR0_DQ18	DDRSS データ	IO	N5
DDR0_DQ19	DDRSS データ	IO	L4
DDR0_DQ20	DDRSS データ	IO	L2
DDR0_DQ21	DDRSS データ	IO	L1
DDR0_DQ22	DDRSS データ	IO	N2
DDR0_DQ23	DDRSS データ	IO	N4
DDR0_DQ24	DDRSS データ	IO	T3
DDR0_DQ25	DDRSS データ	IO	T2
DDR0_DQ26	DDRSS データ	IO	P2
DDR0_DQ27	DDRSS データ	IO	P3
DDR0_DQ28	DDRSS データ	IO	P5
DDR0_DQ29	DDRSS データ	IO	R4
DDR0_DQ30	DDRSS データ	IO	T4
DDR0_DQ31	DDRSS データ	IO	T5
DDR0_DQS0N	DDRSS 相補データ ストローブ	IO	B1
DDR0_DQS0P	DDRSS データ ストローブ	IO	B2
DDR0_DQS1N	DDRSS 相補データ ストローブ	IO	E2
DDR0_DQS1P	DDRSS データ ストローブ	IO	E3
DDR0_DQS2N	DDRSS 相補データ ストローブ	IO	M2
DDR0_DQS2P	DDRSS データ ストローブ	IO	M3
DDR0_DQS3N	DDRSS 相補データ ストローブ	IO	R1
DDR0_DQS3P	DDRSS データ ストローブ	IO	R2

(1) このピンと VSS の間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.3 GPIO

5.3.3.1 メインドメイン

表 5-7. GPIO0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
GPIO0_0	汎用入出力	IO	AC18
GPIO0_1	汎用入出力	IO	AC23
GPIO0_2	汎用入出力	IO	AG22
GPIO0_3	汎用入出力	IO	AF22
GPIO0_4	汎用入出力	IO	AJ23
GPIO0_5	汎用入出力	IO	AH23
GPIO0_6	汎用入出力	IO	AD20
GPIO0_7	汎用入出力	IO	AD22
GPIO0_8	汎用入出力	IO	AE20
GPIO0_9	汎用入出力	IO	AJ20
GPIO0_10	汎用入出力	IO	AG20
GPIO0_11	汎用入出力	IO	AD21
GPIO0_12	汎用入出力	IO	AF24
GPIO0_13	汎用入出力	IO	AJ24
GPIO0_14	汎用入出力	IO	AG24
GPIO0_15	汎用入出力	IO	AD24
GPIO0_16	汎用入出力	IO	AC24
GPIO0_17	汎用入出力	IO	AE24
GPIO0_18	汎用入出力	IO	AJ21
GPIO0_19	汎用入出力	IO	AE21
GPIO0_100	汎用入出力	IO	W28
GPIO0_101	汎用入出力	IO	V25
GPIO0_102	汎用入出力	IO	W27
GPIO0_103	汎用入出力	IO	W29
GPIO0_104	汎用入出力	IO	W26
GPIO0_105	汎用入出力	IO	Y29
GPIO0_106	汎用入出力	IO	Y27
GPIO0_107	汎用入出力	IO	W24
GPIO0_108	汎用入出力	IO	W25
GPIO0_109	汎用入出力	IO	V26
GPIO0_110	汎用入出力	IO	V24
GPIO0_111	汎用入出力	IO	AA2
GPIO0_112	汎用入出力	IO	Y4
GPIO0_113	汎用入出力	IO	AA1
GPIO0_114	汎用入出力	IO	AB5
GPIO0_115	汎用入出力	IO	AA3
GPIO0_116	汎用入出力	IO	Y3
GPIO0_117	汎用入出力	IO	W4
GPIO0_118	汎用入出力	IO	Y1
GPIO0_119	汎用入出力	IO	Y5
GPIO0_120	汎用入出力	IO	Y2

表 5-7. GPIO0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
GPIO0_121	汎用入出力	IO	AB2
GPIO0_122	汎用入出力	IO	AB3
GPIO0_123	汎用入出力	IO	AC2
GPIO0_124	汎用入出力	IO	AB1
GPIO0_125	汎用入出力	IO	AA4
GPIO0_126	汎用入出力	IO	AB4
GPIO0_127	汎用入出力	IO	AC4
GPIO0_20	汎用入出力	IO	AH21
GPIO0_21	汎用入出力	IO	AE22
GPIO0_22	汎用入出力	IO	AG23
GPIO0_23	汎用入出力	IO	AF23
GPIO0_24	汎用入出力	IO	AD23
GPIO0_25	汎用入出力	IO	AH24
GPIO0_26	汎用入出力	IO	AG21
GPIO0_27	汎用入出力	IO	AE23
GPIO0_28	汎用入出力	IO	AC21
GPIO0_29	汎用入出力	IO	Y23
GPIO0_30	汎用入出力	IO	AF21
GPIO0_31	汎用入出力	IO	AB23
GPIO0_32	汎用入出力	IO	AJ25
GPIO0_33	汎用入出力	IO	AH25
GPIO0_34	汎用入出力	IO	AG25
GPIO0_35	汎用入出力	IO	AH26
GPIO0_36	汎用入出力	IO	AJ27
GPIO0_37	汎用入出力	IO	AJ26
GPIO0_38	汎用入出力	IO	AC22
GPIO0_39	汎用入出力	IO	AJ22
GPIO0_40	汎用入出力	IO	AH22
GPIO0_41	汎用入出力	IO	AD19
GPIO0_42	汎用入出力	IO	AD18
GPIO0_43	汎用入出力	IO	AF28
GPIO0_44	汎用入出力	IO	AE28
GPIO0_45	汎用入出力	IO	AE27
GPIO0_46	汎用入出力	IO	AD26
GPIO0_47	汎用入出力	IO	AD25
GPIO0_48	汎用入出力	IO	AC29
GPIO0_49	汎用入出力	IO	AE26
GPIO0_50	汎用入出力	IO	AC28
GPIO0_51	汎用入出力	IO	AC27
GPIO0_52	汎用入出力	IO	AB26
GPIO0_53	汎用入出力	IO	AB25
GPIO0_54	汎用入出力	IO	AJ28
GPIO0_55	汎用入出力	IO	AH27
GPIO0_56	汎用入出力	IO	AH29

表 5-7. GPIO0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
GPIO0_57	汎用入出力	IO	AG28
GPIO0_58	汎用入出力	IO	AG27
GPIO0_59	汎用入出力	IO	AH28
GPIO0_60	汎用入出力	IO	AB24
GPIO0_61	汎用入出力	IO	AB29
GPIO0_62	汎用入出力	IO	AB28
GPIO0_63	汎用入出力	IO	AE29
GPIO0_64	汎用入出力	IO	AD28
GPIO0_65	汎用入出力	IO	AD27
GPIO0_66	汎用入出力	IO	AC25
GPIO0_67	汎用入出力	IO	AD29
GPIO0_68	汎用入出力	IO	AB27
GPIO0_69	汎用入出力	IO	AC26
GPIO0_70	汎用入出力	IO	AA24
GPIO0_71	汎用入出力	IO	AA28
GPIO0_72	汎用入出力	IO	Y24
GPIO0_73	汎用入出力	IO	AA25
GPIO0_74	汎用入出力	IO	AG26
GPIO0_75	汎用入出力	IO	AF27
GPIO0_76	汎用入出力	IO	AF26
GPIO0_77	汎用入出力	IO	AE25
GPIO0_78	汎用入出力	IO	AF29
GPIO0_79	汎用入出力	IO	AG29
GPIO0_80	汎用入出力	IO	Y25
GPIO0_81	汎用入出力	IO	AA26
GPIO0_82	汎用入出力	IO	AA29
GPIO0_83	汎用入出力	IO	Y26
GPIO0_84	汎用入出力	IO	AA27
GPIO0_85	汎用入出力	IO	U23
GPIO0_86	汎用入出力	IO	U26
GPIO0_87	汎用入出力	IO	V28
GPIO0_88	汎用入出力	IO	V29
GPIO0_89	汎用入出力	IO	V27
GPIO0_90	汎用入出力	IO	U28
GPIO0_91	汎用入出力	IO	U29
GPIO0_92	汎用入出力	IO	U25
GPIO0_93	汎用入出力	IO	U27
GPIO0_94	汎用入出力	IO	U24
GPIO0_95	汎用入出力	IO	R23
GPIO0_96	汎用入出力	IO	T23
GPIO0_97	汎用入出力	IO	Y28
GPIO0_98	汎用入出力	IO	V23
GPIO0_99	汎用入出力	IO	W23

表 5-8. GPIO1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
GPIO1_0	汎用入出力	IO	AD5
GPIO1_1	汎用入出力	IO	W5
GPIO1_2	汎用入出力	IO	W6
GPIO1_3	汎用入出力	IO	W3
GPIO1_4	汎用入出力	IO	V4
GPIO1_5	汎用入出力	IO	W2
GPIO1_6	汎用入出力	IO	W1
GPIO1_7	汎用入出力	IO	AC5
GPIO1_8	汎用入出力	IO	AA5
GPIO1_9	汎用入出力	IO	Y6
GPIO1_10	汎用入出力	IO	AA6
GPIO1_11	汎用入出力	IO	U2
GPIO1_12	汎用入出力	IO	U3
GPIO1_13	汎用入出力	IO	V6
GPIO1_14	汎用入出力	IO	V5
GPIO1_15	汎用入出力	IO	R26
GPIO1_16	汎用入出力	IO	R25
GPIO1_17	汎用入出力	IO	P24
GPIO1_18	汎用入出力	IO	R24
GPIO1_19	汎用入出力	IO	P25
GPIO1_20	汎用入出力	IO	R29
GPIO1_21	汎用入出力	IO	P23
GPIO1_22	汎用入出力	IO	R28
GPIO1_23	汎用入出力	IO	T28
GPIO1_24	汎用入出力	IO	T29
GPIO1_25	汎用入出力	IO	T27
GPIO1_26	汎用入出力	IO	T24
GPIO1_27	汎用入出力	IO	T26
GPIO1_28	汎用入出力	IO	T25
GPIO1_29	汎用入出力	IO	U6
GPIO1_30	汎用入出力	IO	AD1
GPIO1_31	汎用入出力	IO	AC1
GPIO1_32	汎用入出力	IO	AC3
GPIO1_33	汎用入出力	IO	AD3
GPIO1_34	汎用入出力	IO	AD2
GPIO1_35	汎用入出力	IO	AE2

5.3.3.2 WKUP ドメイン

表 5-9. GPIO0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
WKUP_GPIO0_0	汎用入出力	IO	F26
WKUP_GPIO0_1	汎用入出力	IO	F25
WKUP_GPIO0_2	汎用入出力	IO	F28

表 5-9. GPIO0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
WKUP_GPIO0_3	汎用入出力	IO	F27
WKUP_GPIO0_4	汎用入出力	IO	G25
WKUP_GPIO0_5	汎用入出力	IO	G24
WKUP_GPIO0_6	汎用入出力	IO	F29
WKUP_GPIO0_7	汎用入出力	IO	G28
WKUP_GPIO0_8	汎用入出力	IO	G27
WKUP_GPIO0_9	汎用入出力	IO	G26
WKUP_GPIO0_10	汎用入出力	IO	H26
WKUP_GPIO0_11	汎用入出力	IO	H27
WKUP_GPIO0_12	汎用入出力	IO	G29
WKUP_GPIO0_13	汎用入出力	IO	H28
WKUP_GPIO0_14	汎用入出力	IO	H29
WKUP_GPIO0_15	汎用入出力	IO	J27
WKUP_GPIO0_16	汎用入出力	IO	E20
WKUP_GPIO0_17	汎用入出力	IO	C21
WKUP_GPIO0_18	汎用入出力	IO	D21
WKUP_GPIO0_19	汎用入出力	IO	D20
WKUP_GPIO0_20	汎用入出力	IO	G19
WKUP_GPIO0_21	汎用入出力	IO	G20
WKUP_GPIO0_22	汎用入出力	IO	F20
WKUP_GPIO0_23	汎用入出力	IO	F21
WKUP_GPIO0_24	汎用入出力	IO	E21
WKUP_GPIO0_25	汎用入出力	IO	B22
WKUP_GPIO0_26	汎用入出力	IO	G21
WKUP_GPIO0_27	汎用入出力	IO	F19
WKUP_GPIO0_28	汎用入出力	IO	E19
WKUP_GPIO0_29	汎用入出力	IO	F22
WKUP_GPIO0_30	汎用入出力	IO	A23
WKUP_GPIO0_31	汎用入出力	IO	B23
WKUP_GPIO0_32	汎用入出力	IO	D22
WKUP_GPIO0_33	汎用入出力	IO	G22
WKUP_GPIO0_34	汎用入出力	IO	D23
WKUP_GPIO0_35	汎用入出力	IO	C23
WKUP_GPIO0_36	汎用入出力	IO	C22
WKUP_GPIO0_37	汎用入出力	IO	E22
WKUP_GPIO0_38	汎用入出力	IO	B27
WKUP_GPIO0_39	汎用入出力	IO	C25
WKUP_GPIO0_40	汎用入出力	IO	A28
WKUP_GPIO0_41	汎用入出力	IO	A27
WKUP_GPIO0_42	汎用入出力	IO	A26
WKUP_GPIO0_43	汎用入出力	IO	B25
WKUP_GPIO0_44	汎用入出力	IO	B26
WKUP_GPIO0_45	汎用入出力	IO	C24
WKUP_GPIO0_46	汎用入出力	IO	A25

表 5-9. GPIO0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
WKUP_GPIO0_47	汎用入出力	IO	D24
WKUP_GPIO0_48	汎用入出力	IO	A24
WKUP_GPIO0_49	汎用入出力	IO	B24
WKUP_GPIO0_50	汎用入出力	IO	E23
WKUP_GPIO0_51	汎用入出力	IO	F23
WKUP_GPIO0_52	汎用入出力	IO	E27
WKUP_GPIO0_53	汎用入出力	IO	E24
WKUP_GPIO0_54	汎用入出力	IO	E28
WKUP_GPIO0_55	汎用入出力	IO	E25
WKUP_GPIO0_56	汎用入出力	IO	J29
WKUP_GPIO0_57	汎用入出力	IO	J28
WKUP_GPIO0_58	汎用入出力	IO	D29
WKUP_GPIO0_59	汎用入出力	IO	C29
WKUP_GPIO0_60	汎用入出力	IO	D26
WKUP_GPIO0_61	汎用入出力	IO	D25
WKUP_GPIO0_62	汎用入出力	IO	J25
WKUP_GPIO0_63	汎用入出力	IO	H24
WKUP_GPIO0_64	汎用入出力	IO	J26
WKUP_GPIO0_65	汎用入出力	IO	H25
WKUP_GPIO0_66	汎用入出力	IO	E26
WKUP_GPIO0_67	汎用入出力	IO	G23
WKUP_GPIO0_68	汎用入力	I	K25
WKUP_GPIO0_69	汎用入力	I	K26
WKUP_GPIO0_70	汎用入力	I	K28
WKUP_GPIO0_71	汎用入力	I	L28
WKUP_GPIO0_72	汎用入力	I	K24
WKUP_GPIO0_73	汎用入力	I	K27
WKUP_GPIO0_74	汎用入力	I	K29
WKUP_GPIO0_75	汎用入力	I	L29
WKUP_GPIO0_76	汎用入力	I	N23
WKUP_GPIO0_77	汎用入力	I	M25
WKUP_GPIO0_78	汎用入力	I	L24
WKUP_GPIO0_79	汎用入力	I	L26
WKUP_GPIO0_80	汎用入力	I	N24
WKUP_GPIO0_81	汎用入力	I	M24
WKUP_GPIO0_82	汎用入力	I	L25
WKUP_GPIO0_83	汎用入力	I	L27

5.3.4 I2C

5.3.4.1 メイン ドメイン

表 5-10. I2C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C0_SCL	I2C クロック	IOD	AC5
I2C0_SDA	I2C データ	IOD	AA5

表 5-11. I2C1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C1_SCL	I2C クロック	IOD	Y6
I2C1_SDA	I2C データ	IOD	AA6

表 5-12. I2C2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C2_SCL	I2C クロック	IOD	AA1、U23、W5
I2C2_SDA	I2C データ	IOD	AB5、U26、W6

表 5-13. I2C3 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C3_SCL	I2C クロック	IOD	T26、V27、Y4
I2C3_SDA	I2C データ	IOD	T25、U28、W4

表 5-14. I2C4 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C4_SCL	I2C クロック	IOD	AD19、P25、Y5
I2C4_SDA	I2C データ	IOD	AD18、R29、Y1

表 5-15. I2C5 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C5_SCL	I2C クロック	IOD	T28、Y26
I2C5_SDA	I2C データ	IOD	AA27、T29

表 5-16. I2C6 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
I2C6_SCL	I2C クロック	IOD	AA3、U29、W2
I2C6_SDA	I2C データ	IOD	U25、W1、Y2

5.3.4.2 MCU ドメイン

表 5-17. I2C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_I2C0_SCL	I2C クロック	IOD	J26

表 5-17. I2C0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_I2C0_SDA	I2C データ	IOD	H25

表 5-18. I2C1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_I2C1_SCL	I2C クロック	IOD	F29、G27
MCU_I2C1_SDA	I2C データ	IOD	G26、G28

5.3.4.3 WKUP ドメイン

表 5-19. I2C0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
WKUP_I2C0_SCL	I2C クロック	IOD	J25
WKUP_I2C0_SDA	I2C データ	IOD	H24

5.3.5 I3C

5.3.5.1 メイン ドメイン

表 5-20. I3C0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
I3C0_SCL	I3C クロック	IO	W2
I3C0_SDA	I3C データ	IO	W1
I3C0_SDAPULLEN	メインドメイン I3C データブル イネーブル	O	AB4、U2

5.3.5.2 MCU ドメイン

表 5-21. I3C0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCU_I3C0_SCL	I3C クロック	IO	D26
MCU_I3C0_SDA	I3C データ	IO	D25
MCU_I3C0_SDAPULLEN	マイコンドメイン I3C データブル イネーブル	O	E26

表 5-22. I3C1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCU_I3C1_SCL	I3C クロック	IO	G27
MCU_I3C1_SDA	I3C データ	IO	G26
MCU_I3C1_SDAPULLEN	マイコンドメイン I3C データブル イネーブル	O	G23、H27

5.3.6 MCAN

5.3.6.1 メインドメイン

表 5-23. MCAN0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN0_RX	MCAN 受信データ	I	W5
MCAN0_TX	MCAN 送信データ	O	W6

表 5-24. MCAN1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN1_RX	MCAN 受信データ	I	W3
MCAN1_TX	MCAN 送信データ	O	V4

表 5-25. MCAN2 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN2_RX	MCAN 受信データ	I	AC2、W2
MCAN2_TX	MCAN 送信データ	O	AB1、W1

表 5-26. MCAN3 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN3_RX	MCAN 受信データ	I	AC4
MCAN3_TX	MCAN 送信データ	O	AD5

表 5-27. MCAN4 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN4_RX	MCAN 受信データ	I	AJ20、AJ24
MCAN4_TX	MCAN 送信データ	O	AE20、AF24

表 5-28. MCAN5 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN5_RX	MCAN 受信データ	I	AD24、AE21
MCAN5_TX	MCAN 送信データ	O	AG24、AJ21

表 5-29. MCAN6 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN6_RX	MCAN 受信データ	I	AE24、AG21
MCAN6_TX	MCAN 送信データ	O	AC24、AH21

表 5-30. MCAN7 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN7_RX	MCAN 受信データ	I	AG25、Y23
MCAN7_TX	MCAN 送信データ	O	AC21、AH25

表 5-31. MCAN8 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN8_RX	MCAN 受信データ	I	AB23、AJ27
MCAN8_TX	MCAN 送信データ	O	AF21、AH26

表 5-32. MCAN9 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN9_RX	MCAN 受信データ	I	AC27
MCAN9_TX	MCAN 送信データ	O	AC28

表 5-33. MCAN10 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN10_RX	MCAN 受信データ	I	AB25
MCAN10_TX	MCAN 送信データ	O	AB26

表 5-34. MCAN11 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN11_RX	MCAN 受信データ	I	AA28
MCAN11_TX	MCAN 送信データ	O	AA24

表 5-35. MCAN12 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN12_RX	MCAN 受信データ	I	AA29
MCAN12_TX	MCAN 送信データ	O	AA26

表 5-36. MCAN13 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCAN13_RX	MCAN 受信データ	I	AA27
MCAN13_TX	MCAN 送信データ	O	Y26

5.3.6.2 MCU ドメイン

表 5-37. MCAN0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_MCAN0_RX	MCAN 受信データ	I	C29
MCU_MCAN0_TX	MCAN 送信データ	O	D29

表 5-38. MCAN1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_MCAN1_RX	MCAN 受信データ	I	G24
MCU_MCAN1_TX	MCAN 送信データ	O	G25

5.3.7 MCSPI

5.3.7.1 メインドメイン

表 5-39. MCSPI0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
SPI0_CLK	SPI クロック	IO	AA1
SPI0_CS0	SPI チップ セレクト 0	IO	AA2
SPI0_CS1	SPI チップ セレクト 1	IO	Y4
SPI0_CS2	SPI チップ セレクト 2	IO	AC2
SPI0_CS3	SPI チップ セレクト 3	IO	AB1
SPI0_D0	SPI データ 0	IO	AB5
SPI0_D1	SPI データ 1	IO	AA3

表 5-40. MCSPI1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
SPI1_CLK	SPI クロック	IO	Y1
SPI1_CS0	SPI チップ セレクト 0	IO	Y3
SPI1_CS1	SPI チップ セレクト 1	IO	W4
SPI1_CS2	SPI チップ セレクト 2	IO	AD19
SPI1_CS3	SPI チップ セレクト 3	IO	AD18
SPI1_D0	SPI データ 0	IO	Y5
SPI1_D1	SPI データ 1	IO	Y2

表 5-41. MCSPI2 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
SPI2_CLK	SPI クロック	IO	AB1
SPI2_CS0	SPI チップ セレクト 0	IO	AC2
SPI2_CS1	SPI チップ セレクト 1	IO	AB2
SPI2_CS2	SPI チップ セレクト 2	IO	AB3
SPI2_CS3	SPI チップ セレクト 3	IO	U2
SPI2_D0	SPI データ 0	IO	AC4
SPI2_D1	SPI データ 1	IO	AD5

表 5-42. MCSPI3 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
SPI3_CLK	SPI クロック	IO	Y25
SPI3_CS0	SPI チップ セレクト 0	IO	AA24
SPI3_CS1	SPI チップ セレクト 1	IO	AB26
SPI3_CS2	SPI チップ セレクト 2	IO	AB25
SPI3_CS3	SPI チップ セレクト 3	IO	Y24
SPI3_D0	SPI データ 0	IO	AA26
SPI3_D1	SPI データ 1	IO	AA29

表 5-43. MCSPI5 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
SPI5_CLK	SPI クロック	IO	W29
SPI5_CS0	SPI チップ セレクト 0	IO	W27
SPI5_CS1	SPI チップ セレクト 1	IO	W25
SPI5_CS2	SPI チップ セレクト 2	IO	W28
SPI5_CS3	SPI チップ セレクト 3	IO	W23
SPI5_D0	SPI データ 0	IO	V25
SPI5_D1	SPI データ 1	IO	W24

表 5-44. MCSPI6 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
SPI6_CLK	SPI クロック	IO	AC22
SPI6_CS0	SPI チップ セレクト 0	IO	AC21
SPI6_CS1	SPI チップ セレクト 1	IO	AG20
SPI6_CS2	SPI チップ セレクト 2	IO	AD21
SPI6_CS3	SPI チップ セレクト 3	IO	AF21
SPI6_D0	SPI データ 0	IO	AJ22
SPI6_D1	SPI データ 1	IO	AH22

表 5-45. MCSPI7 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
SPI7_CLK	SPI クロック	IO	U3
SPI7_CS0	SPI チップ セレクト 0	IO	U2
SPI7_CS1	SPI チップ セレクト 1	IO	AB3
SPI7_CS2	SPI チップ セレクト 2	IO	AA4
SPI7_CS3	SPI チップ セレクト 3	IO	AB4
SPI7_D0	SPI データ 0	IO	V6
SPI7_D1	SPI データ 1	IO	V5

5.3.7.2 MCU ドメイン

表 5-46. MCSPI0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_SPI0_CLK	SPI クロック	IO	E27
MCU_SPI0_CS0	SPI チップ セレクト 0	IO	E25
MCU_SPI0_CS1	SPI チップ セレクト 1	IO	C23、G29
MCU_SPI0_CS2	SPI チップ セレクト 2	IO	E22、H29
MCU_SPI0_CS3	SPI チップ セレクト 3	IO	G25
MCU_SPI0_D0	SPI データ 0	IO	E24
MCU_SPI0_D1	SPI データ 1	IO	E28

表 5-47. MCSPI1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_SPI1_CLK	SPI クロック	IO	F26
MCU_SPI1_CS0	SPI チップ セレクト 0	IO	F27
MCU_SPI1_CS1	SPI チップ セレクト 1	O	G22、H28
MCU_SPI1_CS2	SPI チップ セレクト 2	O	D23、J27
MCU_SPI1_CS3	SPI チップ セレクト 3	IO	G24
MCU_SPI1_D0	SPI データ 0	IO	F25
MCU_SPI1_D1	SPI データ 1	IO	F28

5.3.8 UART

5.3.8.1 メイン ドメイン

表 5-48. UART0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART0_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	AC2、Y3
UART0_DCDn	UART DCD (Data Carrier Detect) (アクティブ Low)	I	P23
UART0_DSRn	UART DSR (Data Set Ready) (アクティブ Low)	I	R28
UART0_DTRn	UART DTR (Data Terminal Ready) (アクティブ Low)	O	T27
UART0_RIn	UART リング インジケータ	I	T24
UART0_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	AA2、AB1
UART0_RXD	UART 受信データ	I	AB2、AC23
UART0_TXD	UART 送信データ	O	AB3、AG22

表 5-49. UART1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART1_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	AA1、AC4
UART1_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	AB5、AD5
UART1_RXD	UART 受信データ	I	AA4、AF22
UART1_TXD	UART 送信データ	O	AB4、AJ23

表 5-50. UART2 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART2_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	AE25
UART2_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	AF29
UART2_RXD	UART 受信データ	I	AA26、AH23、Y1
UART2_TXD	UART 送信データ	O	AA24、AD22、Y5

表 5-51. UART3 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART3_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	AD19、U27
UART3_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	AD18、U24
UART3_RXD	UART 受信データ	I	AE27、T26、V28、Y23

表 5-51. UART3 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART3_TXD	UART 送信データ	O	AC21、AD26、T25、V29

表 5-52. UART4 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART4_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	AE29、Y29
UART4_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	AD28、Y27
UART4_RXD	UART 受信データ	I	AG28、P24、W23
UART4_TXD	UART 送信データ	O	AG27、R24、W28

表 5-53. UART5 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART5_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	Y1
UART5_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	Y5
UART5_RXD	UART 受信データ	I	AE29、Y29、Y3
UART5_TXD	UART 送信データ	O	AD28、W4、Y27

表 5-54. UART6 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART6_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	R23、W3
UART6_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	T23、V4
UART6_RXD	UART 受信データ	I	AC27、T27、U27、W2
UART6_TXD	UART 送信データ	O	AB26、T24、U24、W1

表 5-55. UART7 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART7_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	P24
UART7_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	R24
UART7_RXD	UART 受信データ	I	R26
UART7_TXD	UART 送信データ	O	R25

表 5-56. UART8 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART8_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	AF27、P23
UART8_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	AF26、R28
UART8_RXD	UART 受信データ	I	P25、Y24
UART8_TXD	UART 送信データ	O	AA25、R29

表 5-57. UART9 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART9_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	T27、W2

表 5-57. UART9 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
UART9_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	T24、W1
UART9_RXD	UART 受信データ	I	T28、W3
UART9_TXD	UART 送信データ	O	T29、V4

5.3.8.2 MCU ドメイン

表 5-58. UART0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_UART0_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	C23、D26、H29
MCU_UART0_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	D25、E22、J27
MCU_UART0_RXD	UART 受信データ	I	G22、H27、H28
MCU_UART0_TXD	UART 送信データ	O	D23、G29、H26

5.3.8.3 WKUP ドメイン

表 5-59. UART0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
WKUP_UART0_CTSn	UART CTS (Clear to Send) (アクティブ Low)	I	F29
WKUP_UART0_RTSn	UART RTS (Request to Send) (アクティブ Low)	O	G28
WKUP_UART0_RXD	UART 受信データ	I	J29
WKUP_UART0_TXD	UART 送信データ	O	J28

5.3.9 MDIO

5.3.9.1 MCU ドメイン

表 5-60. MDIO0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCU_MDIO0_MDC	MDIO クロック	O	F23
MCU_MDIO0_MDIO	MDIO データ	IO	E23

5.3.10 CPSW2G

注

このサブシステム (SS) は、CPSW2G と CPTS の両方に適用されます。CPTS 信号特性の詳細については、[セクション 5.3.21](#)「CPTS 信号の説明」を参照してください。

5.3.10.1 MCU ドメイン

表 5-61. CPSW2G0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_RGMII1_RXC	RGMII 受信クロック	I	C24
MCU_RGMII1_RX_CTL	RGMII 受信制御	I	C25
MCU_RGMII1_TXC	RGMII 送信クロック	O	B26
MCU_RGMII1_TX_CTL	RGMII 送信制御	O	B27

表 5-61. CPSW2G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_RGMII1_RD0	RGMII 受信データ 0	I	B24
MCU_RGMII1_RD1	RGMII 受信データ 1	I	A24
MCU_RGMII1_RD2	RGMII 受信データ 2	I	D24
MCU_RGMII1_RD3	RGMII 受信データ 3	I	A25
MCU_RGMII1_TD0	RGMII 送信データ 0	O	B25
MCU_RGMII1_TD1	RGMII 送信データ 1	O	A26
MCU_RGMII1_TD2	RGMII 送信データ 2	O	A27
MCU_RGMII1_TD3	RGMII 送信データ 3	O	A28
MCU_RMII1_CRD_DV	RMII キャリア センス / データ有効	I	B27
MCU_RMII1_REF_CLK	RMII 基準クロック	I	C24
MCU_RMII1_RX_ER	RMII 受信データ エラー	I	C25
MCU_RMII1_TX_EN	RMII 送信イネーブル	O	B26
MCU_RMII1_RXD0	RMII 受信データ 0	I	B24
MCU_RMII1_RXD1	RMII 受信データ 1	I	A24
MCU_RMII1_TXD0	RMII 送信データ 0	O	B25
MCU_RMII1_TXD1	RMII 送信データ 1	O	A26

5.3.11 CPSW9G

5.3.11.1 メイン ドメイン

表 5-62. CPSW9G0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
CLKOUT	RMII クロック出力 (50MHz)。このピンは外部 PHY へのクロック源に使われ、本デバイスを適切に動作させるには、RMII_REF_CLK ピンに接続する必要があります。	OZ	AA25, AJ28, Y29
MDIO0_MDC	MDIO クロック	O	V24
MDIO0_MDIO	MDIO データ	IO	V26
RGMII1_RXC	RGMII 受信クロック	I	AD22
RGMII1_RX_CTL	RGMII 受信制御	I	AH23
RGMII1_TXC	RGMII 送信クロック	O	AE24
RGMII1_TX_CTL	RGMII 送信制御	O	AC24
RGMII2_RXC	RGMII 受信クロック	I	AE23
RGMII2_RX_CTL	RGMII 受信制御	I	AH24
RGMII2_TXC	RGMII 送信クロック	O	AJ26
RGMII2_TX_CTL	RGMII 送信制御	O	AJ27
RGMII3_RXC	RGMII 受信クロック	I	AE26
RGMII3_RX_CTL	RGMII 受信制御	I	AD25
RGMII3_TXC	RGMII 送信クロック	O	AH28
RGMII3_TX_CTL	RGMII 送信制御	O	AG27
RGMII4_RXC	RGMII 受信クロック	I	AC26
RGMII4_RX_CTL	RGMII 受信制御	I	AD29
RGMII4_TXC	RGMII 送信クロック	O	AG29
RGMII4_TX_CTL	RGMII 送信制御	O	AF29

表 5-62. CPSW9G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
RGMII5_RXC	RGMII 受信クロック	I	U25
RGMII5_RX_CTL	RGMII 受信制御	I	U26
RGMII5_TXC	RGMII 送信クロック	O	U29
RGMII5_TX_CTL	RGMII 送信制御	O	U23
RGMII6_RXC	RGMII 受信クロック	I	W26
RGMII6_RX_CTL	RGMII 受信制御	I	V23
RGMII6_TXC	RGMII 送信クロック	O	W29
RGMII6_TX_CTL	RGMII 送信制御	O	Y28
RGMII7_RXC	RGMII 受信クロック	I	AD22
RGMII7_RX_CTL	RGMII 受信制御	I	AH23
RGMII7_TXC	RGMII 送信クロック	O	AE24
RGMII7_TX_CTL	RGMII 送信制御	O	AC24
RGMII8_RXC	RGMII 受信クロック	I	AE23
RGMII8_RX_CTL	RGMII 受信制御	I	AH24
RGMII8_TXC	RGMII 送信クロック	O	AJ26
RGMII8_TX_CTL	RGMII 送信制御	O	AJ27
RGMII1_RD0	RGMII 受信データ 0	I	AC23
RGMII1_RD1	RGMII 受信データ 1	I	AG22
RGMII1_RD2	RGMII 受信データ 2	I	AF22
RGMII1_RD3	RGMII 受信データ 3	I	AJ23
RGMII1_TD0	RGMII 送信データ 0	O	AF24
RGMII1_TD1	RGMII 送信データ 1	O	AJ24
RGMII1_TD2	RGMII 送信データ 2	O	AG24
RGMII1_TD3	RGMII 送信データ 3	O	AD24
RGMII2_RD0	RGMII 受信データ 0	I	AE22
RGMII2_RD1	RGMII 受信データ 1	I	AG23
RGMII2_RD2	RGMII 受信データ 2	I	AF23
RGMII2_RD3	RGMII 受信データ 3	I	AD23
RGMII2_TD0	RGMII 送信データ 0	O	AJ25
RGMII2_TD1	RGMII 送信データ 1	O	AH25
RGMII2_TD2	RGMII 送信データ 2	O	AG25
RGMII2_TD3	RGMII 送信データ 3	O	AH26
RGMII3_RD0	RGMII 受信データ 0	I	AF28
RGMII3_RD1	RGMII 受信データ 1	I	AE28
RGMII3_RD2	RGMII 受信データ 2	I	AE27
RGMII3_RD3	RGMII 受信データ 3	I	AD26
RGMII3_TD0	RGMII 送信データ 0	O	AJ28
RGMII3_TD1	RGMII 送信データ 1	O	AH27
RGMII3_TD2	RGMII 送信データ 2	O	AH29
RGMII3_TD3	RGMII 送信データ 3	O	AG28
RGMII4_RD0	RGMII 受信データ 0	I	AE29
RGMII4_RD1	RGMII 受信データ 1	I	AD28

表 5-62. CPSW9G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
RGMII4_RD2	RGMII 受信データ 2	I	AD27
RGMII4_RD3	RGMII 受信データ 3	I	AC25
RGMII4_TD0	RGMII 送信データ 0	O	AG26
RGMII4_TD1	RGMII 送信データ 1	O	AF27
RGMII4_TD2	RGMII 送信データ 2	O	AF26
RGMII4_TD3	RGMII 送信データ 3	O	AE25
RGMII5_RD0	RGMII 受信データ 0	I	T23
RGMII5_RD1	RGMII 受信データ 1	I	R23
RGMII5_RD2	RGMII 受信データ 2	I	U24
RGMII5_RD3	RGMII 受信データ 3	I	U27
RGMII5_TD0	RGMII 送信データ 0	O	U28
RGMII5_TD1	RGMII 送信データ 1	O	V27
RGMII5_TD2	RGMII 送信データ 2	O	V29
RGMII5_TD3	RGMII 送信データ 3	O	V28
RGMII6_RD0	RGMII 受信データ 0	I	W25
RGMII6_RD1	RGMII 受信データ 1	I	W24
RGMII6_RD2	RGMII 受信データ 2	I	Y27
RGMII6_RD3	RGMII 受信データ 3	I	Y29
RGMII6_TD0	RGMII 送信データ 0	O	W27
RGMII6_TD1	RGMII 送信データ 1	O	V25
RGMII6_TD2	RGMII 送信データ 2	O	W28
RGMII6_TD3	RGMII 送信データ 3	O	W23
RGMII7_RD0	RGMII 受信データ 0	I	AC23
RGMII7_RD1	RGMII 受信データ 1	I	AG22
RGMII7_RD2	RGMII 受信データ 2	I	AF22
RGMII7_RD3	RGMII 受信データ 3	I	AJ23
RGMII7_TD0	RGMII 送信データ 0	O	AF24
RGMII7_TD1	RGMII 送信データ 1	O	AJ24
RGMII7_TD2	RGMII 送信データ 2	O	AG24
RGMII7_TD3	RGMII 送信データ 3	O	AD24
RGMII8_RD0	RGMII 受信データ 0	I	AE22
RGMII8_RD1	RGMII 受信データ 1	I	AG23
RGMII8_RD2	RGMII 受信データ 2	I	AF23
RGMII8_RD3	RGMII 受信データ 3	I	AD23
RGMII8_TD0	RGMII 送信データ 0	O	AJ25
RGMII8_TD1	RGMII 送信データ 1	O	AH25
RGMII8_TD2	RGMII 送信データ 2	O	AG25
RGMII8_TD3	RGMII 送信データ 3	O	AH26
RMII1_CRD_DV	RMII キャリア センス / データ有効	I	AF22
RMII1_RX_ER	RMII 受信データ エラー	I	AJ23
RMII1_TX_EN	RMII 送信イネーブル	O	AD20
RMII2_CRD_DV	RMII キャリア センス / データ有効	I	AF23

表 5-62. CPSW9G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
RMII2_RX_ER	RMII 受信データ エラー	I	AD23
RMII2_TX_EN	RMII 送信イネーブル	O	AJ25
RMII3_CRS_DV	RMII キャリア センス / データ有効	I	AE27
RMII3_RX_ER	RMII 受信データ エラー	I	AD26
RMII3_TX_EN	RMII 送信イネーブル	O	AE26
RMII4_CRS_DV	RMII キャリア センス / データ有効	I	AD27
RMII4_RX_ER	RMII 受信データ エラー	I	AC25
RMII4_TX_EN	RMII 送信イネーブル	O	AG26
RMII5_CRS_DV	RMII キャリア センス / データ有効	I	AD21
RMII5_RX_ER	RMII 受信データ エラー	I	AE21
RMII5_TX_EN	RMII 送信イネーブル	O	AG21
RMII6_CRS_DV	RMII キャリア センス / データ有効	I	AB23
RMII6_RX_ER	RMII 受信データ エラー	I	AC21
RMII6_TX_EN	RMII 送信イネーブル	O	AC22
RMII7_CRS_DV	RMII キャリア センス / データ有効	I	U23
RMII7_RX_ER	RMII 受信データ エラー	I	U26
RMII7_TX_EN	RMII 送信イネーブル	O	U29
RMII8_CRS_DV	RMII キャリア センス / データ有効	I	Y28
RMII8_RX_ER	RMII 受信データ エラー	I	V23
RMII8_TX_EN	RMII 送信イネーブル	O	W29
RMII1_RXD0	RMII 受信データ 0	I	AC23
RMII1_RXD1	RMII 受信データ 1	I	AG22
RMII1_TXD0	RMII 送信データ 0	O	AH23
RMII1_TXD1	RMII 送信データ 1	O	AD22
RMII2_RXD0	RMII 受信データ 0	I	AE22
RMII2_RXD1	RMII 受信データ 1	I	AG23
RMII2_TXD0	RMII 送信データ 0	O	AH24
RMII2_TXD1	RMII 送信データ 1	O	AE23
RMII3_RXD0	RMII 受信データ 0	I	AE28
RMII3_RXD1	RMII 受信データ 1	I	AF28
RMII3_TXD0	RMII 送信データ 0	O	AC29
RMII3_TXD1	RMII 送信データ 1	O	AD25
RMII4_RXD0	RMII 受信データ 0	I	AE29
RMII4_RXD1	RMII 受信データ 1	I	AD28
RMII4_TXD0	RMII 送信データ 0	O	AC26
RMII4_TXD1	RMII 送信データ 1	O	AD29
RMII5_RXD0	RMII 受信データ 0	I	AJ20
RMII5_RXD1	RMII 受信データ 1	I	AG20
RMII5_TXD0	RMII 送信データ 0	O	AH21
RMII5_TXD1	RMII 送信データ 1	O	AJ21
RMII6_RXD0	RMII 受信データ 0	I	Y23
RMII6_RXD1	RMII 受信データ 1	I	AF21

表 5-62. CPSW9G0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
RMII6_TXD0	RMII 送信データ 0	O	AJ22
RMII6_TXD1	RMII 送信データ 1	O	AH22
RMII7_RXD0	RMII 受信データ 0	I	T23
RMII7_RXD1	RMII 受信データ 1	I	R23
RMII7_TXD0	RMII 送信データ 0	O	U28
RMII7_TXD1	RMII 送信データ 1	O	V27
RMII8_RXD0	RMII 受信データ 0	I	W25
RMII8_RXD1	RMII 受信データ 1	I	W24
RMII8_TXD0	RMII 送信データ 0	O	W27
RMII8_TXD1	RMII 送信データ 1	O	V25
RMII_REF_CLK	RMII 基準クロック	I	AD18

5.3.12 ECAP

5.3.12.1 メイン ドメイン

表 5-63. ECAP0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
ECAP0_IN_APWM_OUT	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	P24、U2

表 5-64. ECAP1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
ECAP1_IN_APWM_OUT	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	R24、V6

表 5-65. ECAP2 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
ECAP2_IN_APWM_OUT	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	R28、V5

5.3.13 EQEP

5.3.13.1 メイン ドメイン

表 5-66. EQEP0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EQEP0_A	EQEP 直交入力 A	I	AC2
EQEP0_B	EQEP 直交入力 B	I	AB1
EQEP0_I	EQEP インデックス	IO	AD5
EQEP0_S	EQEP ストロープ	IO	AC4

表 5-67. EQEP1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EQEP1_A	EQEP 直交入力 A	I	AD23
EQEP1_B	EQEP 直交入力 B	I	AH24
EQEP1_I	EQEP インデックス	IO	AJ25
EQEP1_S	EQEP ストロープ	IO	AG21

表 5-68. EQEP2 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EQEP2_A	EQEP 直交入力 A	I	T27
EQEP2_B	EQEP 直交入力 B	I	T24
EQEP2_I	EQEP インデックス	IO	P23
EQEP2_S	EQEP ストロープ	IO	R28

5.3.14 EHRPWM

5.3.14.1 メイン ドメイン

表 5-69. EHRPWM 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EHRPWM_SOC_A	EHRPWM 変換開始 A	O	U25
EHRPWM_SOC_B	EHRPWM 変換開始 B	O	R23

表 5-70. EHRPWM0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EHRPWM0_A	EHRPWM 出力 A	IO	V29
EHRPWM0_B	EHRPWM 出力 B	IO	V27
EHRPWM0_SYNCI	外部ピンから EHRPWM モジュールへの同期入力	I	U23
EHRPWM0_SYNCO	EHRPWM モジュールから外部ピンへの同期出力	O	U26
EHRPWM_TZn_IN0	EHRPWMトリップ ゾーン入力 0 (アクティブ Low)	I	V28

表 5-71. EHRPWM1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EHRPWM1_A	EHRPWM 出力 A	IO	U28
EHRPWM1_B	EHRPWM 出力 B	IO	U29
EHRPWM_TZn_IN1	EHRPWMトリップ ゾーン入力 1 (アクティブ Low)	I	U25

表 5-72. EHRPWM2 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EHRPWM2_A	EHRPWM 出力 A	IO	U27
EHRPWM2_B	EHRPWM 出力 B	IO	U24
EHRPWM_TZn_IN2	EHRPWMトリップ ゾーン入力 2 (アクティブ Low)	I	R23

表 5-73. EHRPWM3 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EHRPWM3_A	EHRPWM 出力 A	IO	V23
EHRPWM3_B	EHRPWM 出力 B	IO	W23
EHRPWM3_SYNCI	外部ピンから EHRPWM モジュールへの同期入力	I	W28
EHRPWM3_SYNCO	EHRPWM モジュールから外部ピンへの同期出力	O	V25
EHRPWM_TZn_IN3	EHRPWMトリップ ゾーン入力 3 (アクティブ Low)	I	W27

表 5-74. EHRPWM4 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EHRPWM4_A	EHRPWM 出力 A	IO	W29
EHRPWM4_B	EHRPWM 出力 B	IO	W26
EHRPWM_TZn_IN4	EHRPWMトリップ ゾーン入力 4 (アクティブ Low)	I	Y29

表 5-75. EHRPWM5 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EHRPWM5_A	EHRPWM 出力 A	IO	Y27
EHRPWM5_B	EHRPWM 出力 B	IO	W24
EHRPWM_TZn_IN5	EHRPWMトリップゾーン入力 5 (アクティブ Low)	I	W25

5.3.15 USB

5.3.15.1 メインドメイン

注

USB3 機能は、SERDES ピンで利用できます。詳細については、[セクション 5.3.16](#)、*SERDES* を参照してください。

表 5-76. USB0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
USB0_DM	USB 2.0 差動データ (負)	IO	AJ5
USB0_DP	USB 2.0 差動データ (正)	IO	AH6
USB0_DRVVBUS	USB VBUS 制御出力 (アクティブ High)	O	T25、T26、U6、V4、W3
USB0_ID	USB 2.0 デュアルロール デバイス ロール選択	A	AC6
USB0_RCALIB ⁽²⁾	キャリブレーション抵抗に接続するピン	A	AB6
USB0_VBUS ⁽¹⁾	USB レベル シフト VBUS 入力	A	AC7

(1) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「*USB 設計ガイドライン*」[セクション 8.3.4](#) を参照してください。

(2) このピンを使用しない場合でも、このピンと VSS との間に 500 Ω ±1% の外付け抵抗を接続する必要があります。

表 5-77. USB1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
USB1_DM	USB 2.0 差動データ (負)	IO	AH7
USB1_DP	USB 2.0 差動データ (正)	IO	AJ6
USB1_DRVVBUS	USB VBUS 制御出力 (アクティブ High)	O	T25、T26、U6、V4、W3
USB1_ID	USB 2.0 デュアルロール デバイス ロール選択	A	AD7
USB1_RCALIB ⁽²⁾	キャリブレーション抵抗に接続するピン	A	AD9
USB1_VBUS ⁽¹⁾	USB レベル シフト VBUS 入力	A	AD8

(1) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「*USB 設計ガイドライン*」[セクション 8.3.4](#) を参照してください。

(2) このピンを使用しない場合でも、このピンと VSS との間に 500 Ω ±1% の外付け抵抗を接続する必要があります。

5.3.16 SERDES

5.3.16.1 メインドメイン

表 5-78. SERDES0 信号の説明

信号名 [1] ⁽²⁾	説明 [2]	ピンの種類 [3]	BALL [4]
PCIE0_CLKREQn	PCIE クロック要求信号	IO	W2
PCIE_REFCLK0N	PCIE 基準クロック入出力 (負)	IO	AE17

表 5-78. SERDES0 信号の説明 (続き)

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
PCIE_REFCLK0P	PCIE リファレンスクロック入出力 (正)	IO	AD16
SERDES0_REXT ⁽¹⁾	外付け較正抵抗	A	AE18
SERDES0_RX0_N	SERDES 差動受信データ (負)	I	AH19
SERDES0_RX0_P	SERDES 差動受信データ (正)	I	AJ18
SERDES0_RX1_N	SERDES 差動受信データ (負)	I	AH18
SERDES0_RX1_P	SERDES 差動受信データ (正)	I	AJ17
SERDES0_TX0_N	SERDES 差動送信データ (負)	O	AF19
SERDES0_TX0_P	SERDES 差動送信データ (正)	O	AG18
SERDES0_TX1_N	SERDES 差動送信データ (負)	O	AF18
SERDES0_TX1_P	SERDES 差動送信データ (正)	O	AG17

(1) このピンが未使用の場合でも、このピンと VSS の間に 3.01kΩ ±1% の外部抵抗を接続する必要があります。

(2) これらのピンの機能は、SERDES0_LN[1:0]_CTRL の LANE_FUNC_SEL によって制御されます。

表 5-79. SERDES1 信号の説明

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
PCIE1_CLKREQn	PCIE クロック要求信号	IO	W1
PCIE_REFCLK1N	PCIE 基準クロック入出力 (負)	IO	AE14
PCIE_REFCLK1P	PCIE リファレンスクロック入出力 (正)	IO	AD15
SERDES1_REXT ⁽¹⁾	外付け較正抵抗	A	AE13
SERDES1_RX0_N	SERDES 差動受信データ (負)	I	AH15
SERDES1_RX0_P	SERDES 差動受信データ (正)	I	AJ14
SERDES1_RX1_N	SERDES 差動受信データ (負)	I	AH16
SERDES1_RX1_P	SERDES 差動受信データ (正)	I	AJ15
SERDES1_TX0_N	SERDES 差動送信データ (負)	O	AF15
SERDES1_TX0_P	SERDES 差動送信データ (正)	O	AG14
SERDES1_TX1_N	SERDES 差動送信データ (負)	O	AF16
SERDES1_TX1_P	SERDES 差動送信データ (正)	O	AG15

(1) このピンが未使用の場合でも、このピンと VSS の間に 3.01kΩ ±1% の外部抵抗を接続する必要があります。

(2) これらのピンの機能は、SERDES1_LN[1:0]_CTRL の LANE_FUNC_SEL によって制御されます。

表 5-80. SERDES2 信号の説明

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
PCIE2_CLKREQn	PCIE クロック要求信号	IO	P23
PCIE_REFCLK2N	PCIE 基準クロック入出力 (負)	IO	AE11
PCIE_REFCLK2P	PCIE リファレンスクロック入出力 (正)	IO	AD12
SERDES2_REXT ⁽¹⁾	外付け較正抵抗	A	AD13
SERDES2_RX0_N	SERDES 差動受信データ (負)	I	AH13
SERDES2_RX0_P	SERDES 差動受信データ (正)	I	AJ12
SERDES2_RX1_N	SERDES 差動受信データ (負)	I	AH12
SERDES2_RX1_P	SERDES 差動受信データ (正)	I	AJ11
SERDES2_TX0_N	SERDES 差動送信データ (負)	O	AF13
SERDES2_TX0_P	SERDES 差動送信データ (正)	O	AG12

表 5-80. SERDES2 信号の説明 (続き)

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
SERDES2_TX1_N	SERDES 差動送信データ (負)	O	AF12
SERDES2_TX1_P	SERDES 差動送信データ (正)	O	AG11

- (1) このピンが未使用の場合でも、このピンと VSS の間に 3.01kΩ ±1% の外部抵抗を接続する必要があります。
 (2) これらのピンの機能は、SERDES2_LN[1:0]_CTRL の LANE_FUNC_SEL によって制御されます。

表 5-81. SERDES3 信号の説明

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
PCIE3_CLKREQn	PCIE クロック要求信号	IO	R28
PCIE_REFCLK3N	PCIE 基準クロック入出力 (負)	IO	AE9
PCIE_REFCLK3P	PCIE リファレンスクロック入出力 (正)	IO	AD10
SERDES3_REXT (1)	外付け較正抵抗	A	AE8
SERDES3_RX0_N	SERDES 差動受信データ (負)	I	AH9
SERDES3_RX0_P	SERDES 差動受信データ (正)	I	AJ8
SERDES3_RX1_N	SERDES 差動受信データ (負)	I	AH10
SERDES3_RX1_P	SERDES 差動受信データ (正)	I	AJ9
SERDES3_TX0_N	SERDES 差動送信データ (負)	O	AF9
SERDES3_TX0_P	SERDES 差動送信データ (正)	O	AG8
SERDES3_TX1_N	SERDES 差動送信データ (負)	O	AF10
SERDES3_TX1_P	SERDES 差動送信データ (正)	O	AG9

- (1) このピンが未使用の場合でも、このピンと VSS の間に 3.01kΩ ±1% の外部抵抗を接続する必要があります。
 (2) これらのピンの機能は、SERDES3_LN[1:0]_CTRL の LANE_FUNC_SEL によって制御されます。

表 5-82. SERDES4 信号の説明

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
SERDES4_REFCLK_N	SERDES 基準差動クロック (負)	IO	E7
SERDES4_REFCLK_P	SERDES 基準差動クロック (正)	IO	E8
SERDES4_REXT (1)	外付け較正抵抗	A	F9
SERDES4_RX0_N	SERDES 差動受信データ (負)	I	D9
SERDES4_RX0_P	SERDES 差動受信データ (正)	I	C10
SERDES4_RX1_N	SERDES 差動受信データ (負)	I	D8
SERDES4_RX1_P	SERDES 差動受信データ (正)	I	C9
SERDES4_RX2_N	SERDES 差動受信データ (負)	I	D6
SERDES4_RX2_P	SERDES 差動受信データ (正)	I	C7
SERDES4_RX3_N	SERDES 差動受信データ (負)	I	D5
SERDES4_RX3_P	SERDES 差動受信データ (正)	I	C6
SERDES4_TX0_N	SERDES 差動送信データ (負)	O	B11
SERDES4_TX0_P	SERDES 差動送信データ (正)	O	A12
SERDES4_TX1_N	SERDES 差動送信データ (負)	O	B10
SERDES4_TX1_P	SERDES 差動送信データ (正)	O	A11
SERDES4_TX2_N	SERDES 差動送信データ (負)	O	B8
SERDES4_TX2_P	SERDES 差動送信データ (正)	O	A9
SERDES4_TX3_N	SERDES 差動送信データ (負)	O	B7

表 5-82. SERDES4 信号の説明 (続き)

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
SERDES4_TX3_P	SERDES 差動送信データ (正)	O	A8

(1) このピンが未使用の場合でも、このピンと VSS の間に $3.01k\Omega \pm 1\%$ の外部抵抗を接続する必要があります。

(2) これらのピンの機能は、SERDES4_LN[4:0]_CTRL の LANE_FUNC_SEL によって制御されます。

5.3.17 OSPI

5.3.17.1 MCU ドメイン

表 5-83. OSPI0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_OSPI0_CLK	OSPI クロック	O	E20
MCU_OSPI0_DQS	OSPI データ ストロープ (DQS) またはループバック クロック 入力	I	D21
MCU_OSPI0_ECC_FAIL (1)	OSPI ECC ステータス	I	B23
MCU_OSPI0_LBCLKO	OSPI ループバック クロック出力	IO	C21
MCU_OSPI0_CSn0	OSPI チップ セレクト 0 (アクティブ Low)	O	F19
MCU_OSPI0_CSn1	OSPI チップ セレクト 1 (アクティブ Low)	O	E19
MCU_OSPI0_CSn2	OSPI チップ セレクト 2 (アクティブ Low)	O	A23
MCU_OSPI0_CSn3	OSPI チップ セレクト 3 (アクティブ Low)	O	B23
MCU_OSPI0_D0	OSPI データ 0	IO	D20
MCU_OSPI0_D1	OSPI データ 1	IO	G19
MCU_OSPI0_D2	OSPI データ 2	IO	G20
MCU_OSPI0_D3	OSPI データ 3	IO	F20
MCU_OSPI0_D4	OSPI データ 4	IO	F21
MCU_OSPI0_D5	OSPI データ 5	IO	E21
MCU_OSPI0_D6	OSPI データ 6	IO	B22
MCU_OSPI0_D7	OSPI データ 7	IO	G21
MCU_OSPI0_RESET_OUT0	OSPI のリセット	O	A23
MCU_OSPI0_RESET_OUT1	OSPI のリセット	O	E22

(1) この信号には、対応する電源に外部プルアップ抵抗を使用することを推奨します。

表 5-84. OSPI1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_OSPI1_CLK	OSPI クロック	O	F22
MCU_OSPI1_DQS	OSPI データ ストロープ (DQS) またはループバック クロック 入力	I	B23
MCU_OSPI1_LBCLKO	OSPI ループバック クロック出力	IO	A23
MCU_OSPI1_CSn0	OSPI チップ セレクト 0 (アクティブ Low)	O	C22
MCU_OSPI1_CSn1	OSPI チップ セレクト 1 (アクティブ Low)	O	E22
MCU_OSPI1_D0	OSPI データ 0	IO	D22
MCU_OSPI1_D1	OSPI データ 1	IO	G22
MCU_OSPI1_D2	OSPI データ 2	IO	D23
MCU_OSPI1_D3	OSPI データ 3	IO	C23

5.3.18 Hyperbus

5.3.18.1 MCU ドメイン

表 5-85. HYPERBUS0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_HYPERBUS0_CK	Hyperbus 差動クロック (正)	O	E20
MCU_HYPERBUS0_CKn	Hyperbus 差動クロック (負)	O	C21
MCU_HYPERBUS0_INTn	Hyperbus 割り込み (アクティブ Low)	I	B23
MCU_HYPERBUS0_RESETn	Hyperbus リセット (アクティブ Low) 出力	O	E19
MCU_HYPERBUS0_RESETOn	Hyperbus メモリからの Hyperbus リセット ステータス インジケータ (アクティブ Low)	I	A23
MCU_HYPERBUS0_RWDS	Hyperbus 読み取り / 書き込みデータ ストローブ	IO	D21
MCU_HYPERBUS0_WPn	Hyperbus 書き込み保護 (未使用)	O	E22
MCU_HYPERBUS0_CSn0	Hyperbus チップ セレクト 0	O	F19
MCU_HYPERBUS0_CSn1	Hyperbus チップ セレクト 1	O	E22
MCU_HYPERBUS0_DQ0	Hyperbus データ 0	IO	D20
MCU_HYPERBUS0_DQ1	Hyperbus データ 1	IO	G19
MCU_HYPERBUS0_DQ2	Hyperbus データ 2	IO	G20
MCU_HYPERBUS0_DQ3	Hyperbus データ 3	IO	F20
MCU_HYPERBUS0_DQ4	Hyperbus データ 4	IO	F21
MCU_HYPERBUS0_DQ5	Hyperbus データ 5	IO	E21
MCU_HYPERBUS0_DQ6	Hyperbus データ 6	IO	B22
MCU_HYPERBUS0_DQ7	Hyperbus データ 7	IO	G21

5.3.19 GPMC

5.3.19.1 メイン ドメイン

表 5-86. GPMC0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPMC0_FCLK_MUX	MUX ロジックで選択された GPMC 機能クロック出力	O	AB23
GPMC0_ADVn_ALE	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	O	AG20
GPMC0_CLKOUT	外部同期用に生成された GPMC クロック	O	AB23
GPMC0_DIR	GPMC データ バス信号方向制御	O	AJ23、W25
GPMC0_OEn_REn	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	O	AJ20
GPMC0_WEn	GPMC 書き込みイネーブル (アクティブ Low)	O	AD20
GPMC0_WPn	GPMC フラッシュ書き込み保護 (アクティブ Low)	O	AG21
GPMC0_A0	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	OZ	AA27
GPMC0_A1	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	OZ	U23
GPMC0_A2	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	OZ	U26
GPMC0_A3	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	OZ	V28

表 5-86. GPMC0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPMC0_A4	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	OZ	V29
GPMC0_A5	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	OZ	V27
GPMC0_A6	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	OZ	U28
GPMC0_A7	GPMC アドレス 7 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) 出力	OZ	U29
GPMC0_A8	GPMC アドレス 8 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) 出力	OZ	U25
GPMC0_A9	GPMC アドレス 9 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) 出力	OZ	U27
GPMC0_A10	GPMC アドレス 10 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) 出力	OZ	U24
GPMC0_A11	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	R23
GPMC0_A12	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	T23
GPMC0_A13	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	Y28
GPMC0_A14	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	V23
GPMC0_A15	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	W23
GPMC0_A16	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	W28
GPMC0_A17	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	V25
GPMC0_A18	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	W27
GPMC0_A19	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	W29
GPMC0_A20	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	W26
GPMC0_A21	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	Y29
GPMC0_A22	GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	Y27
GPMC0_A23	GPMC アドレス 23 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AD27
GPMC0_A24	GPMC アドレス 24 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AD29
GPMC0_A25	GPMC アドレス 25 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AC26
GPMC0_A26	GPMC アドレス 26 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	OZ	AG26
GPMC0_A27	A/D 非多重化モード時の GPMC アドレス 27、および A/D 多重化モード時のアドレス 27	OZ	Y26

表 5-86. GPMC0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
GPMC0_AD0	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	IO	AC29
GPMC0_AD1	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	IO	AC28
GPMC0_AD2	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	IO	AC27
GPMC0_AD3	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード)	IO	AB26
GPMC0_AD4	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード)	IO	AB25
GPMC0_AD5	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード)	IO	AB24
GPMC0_AD6	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード)	IO	AB29
GPMC0_AD7	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード)	IO	AB28
GPMC0_AD8	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード)	IO	AB27
GPMC0_AD9	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード)	IO	AA24
GPMC0_AD10	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	IO	AA28
GPMC0_AD11	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	IO	Y24
GPMC0_AD12	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	IO	AA25
GPMC0_AD13	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	IO	Y25
GPMC0_AD14	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	IO	AA26
GPMC0_AD15	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	IO	AA29
GPMC0_BE0n_CLE	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンドラッチ イネーブル	O	AD21
GPMC0_BE1n	GPMC 上位バイト イネーブル (アクティブ Low)	O	AC23、W24
GPMC0_CS0n	GPMC チップ セレクト 0 (アクティブ Low)	O	AF21
GPMC0_CS1n	GPMC チップ セレクト 1 (アクティブ Low)	O	Y23
GPMC0_CS2n	GPMC チップ セレクト 2 (アクティブ Low)	O	AH23
GPMC0_CS3n	GPMC チップ セレクト 3 (アクティブ Low)	O	AD22
GPMC0_WAIT0	GPMC ウェイト外部表示	I	AG22
GPMC0_WAIT1	GPMC ウェイト外部表示	I	AF22
GPMC0_WAIT2	GPMC ウェイト外部表示	I	V24
GPMC0_WAIT3	GPMC ウェイト外部表示	I	V26

5.3.20 MMC

5.3.20.1 メイン ドメイン

表 5-87. MMC0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MMC0_CALPAD ⁽¹⁾	MMC/SD/SDIO 較正抵抗	A	AE1
MMC0_CLK	MMC/SD/SDIO クロック	O	AF1
MMC0_CMD ⁽²⁾	MMC/SD/SDIO コマンド	IO	AE3
MMC0_DS	MMC データ ストロープ	IO	AE4
MMC0_DAT0 ⁽²⁾	MMC/SD/SDIO データ	IO	AG2
MMC0_DAT1 ⁽²⁾	MMC/SD/SDIO データ	IO	AH1
MMC0_DAT2 ⁽²⁾	MMC/SD/SDIO データ	IO	AG3
MMC0_DAT3 ⁽²⁾	MMC/SD/SDIO データ	IO	AF4
MMC0_DAT4 ⁽²⁾	MMC/SD/SDIO データ	IO	AE5
MMC0_DAT5 ⁽²⁾	MMC/SD/SDIO データ	IO	AF3
MMC0_DAT6 ⁽²⁾	MMC/SD/SDIO データ	IO	AG1
MMC0_DAT7 ⁽²⁾	MMC/SD/SDIO データ	IO	AF2

(1) このピンと VSS との間に 10kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

(2) 仕様に規定されている 10kΩ ~ 50kΩ ±1% 抵抗の外部プルアップをこのボールに接続して、正常に動作させる必要があります。

表 5-88. MMC1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MMC1_CLK ⁽¹⁾	MMC/SD/SDIO クロック	IO	P25
MMC1_CMD	MMC/SD/SDIO コマンド	IO	R29
MMC1_SDCD ⁽²⁾	SD カード検出	I	P23
MMC1_SDWP	SD 書き込み保護	I	R28
MMC1_DAT0	MMC/SD/SDIO データ	IO	R24
MMC1_DAT1	MMC/SD/SDIO データ	IO	P24
MMC1_DAT2	MMC/SD/SDIO データ	IO	R25
MMC1_DAT3	MMC/SD/SDIO データ	IO	R26

(1) MMC1_CLK 信号を正常に動作させるには、リタイミング目的のため、CTRLMMR_PADCONFIG171 レジスタの RXACTIVE ビットを 0x1 に設定する必要があります。

(2) MMC1 インターフェイスからの ROM ブートを正常に動作させるには、SD カード / メモリデバイスが存在することを示すために、抵抗で MMC1_SDCD ピンを外部的に Low にプルする必要があります。

表 5-89. MMC2 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MMC2_CLK ⁽¹⁾	MMC/SD/SDIO クロック	IO	T26
MMC2_CMD	MMC/SD/SDIO コマンド	IO	T25
MMC2_SDCD ⁽²⁾	SD カード検出	I	W2
MMC2_SDWP	SD 書き込み保護	I	W1
MMC2_DAT0	MMC/SD/SDIO データ	IO	T24
MMC2_DAT1	MMC/SD/SDIO データ	IO	T27
MMC2_DAT2	MMC/SD/SDIO データ	IO	T29

表 5-89. MMC2 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MMC2_DAT3	MMC/SD/SDIO データ	IO	T28

- (1) MMC2_CLK 信号を正常に動作させるには、リタイミング目的のため、CTRLMMR_PADCONFIG172 レジスタの RXACTIVE ビットを 0x1 に設定する必要があります。
- (2) MMC2 モジュールが正常に動作するためには、SD カードまたはメモリ デバイスが装着されていることを示すように、MMC2_SDCD ピンを Low にプルする必要があります。

5.3.21 CPTS

注

一部の CPTS 信号は、デバイス内の CPTS モジュールに直接接続されています。その他の CPTS 信号は時間同期ルータに接続され、ルータにリンクされているペリフェラルにファンアウトされます。入力信号はペリフェラルに送信され、出力信号はペリフェラルから供給されます。詳細については、デバイスのテクニカル リファレンス マニュアルで「時間同期」の章にある「時間同期および比較イベント」セクションを参照してください。

5.3.21.1 MCU ドメイン

表 5-90. CPTS0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
MCU_CPTS0_RFT_CLK	CPTS 基準クロック	I	H26
MCU_CPTS0_TS_COMP	MCU_CPSW0_CPTS0 からのタイム スタンプ カウンタ比較	O	G26
MCU_CPTS0_TS_SYNC	MCU_CPSW0_CPTS0 のタイム スタンプ カウンタビット	O	G27
MCU_CPTS0_HW1TSPUSH	時間同期ルータおよび MCU_CPSW0_CPTS0 へのハードウェア タイム スタンプ プッシュ 1 入力	I	F29
MCU_CPTS0_HW2TSPUSH	時間同期ルータおよび MCU_CPSW0_CPTS0 へのハードウェア タイム スタンプ プッシュ 2 入力	I	G28

5.3.21.2 メイン ドメイン

表 5-91. CPTS0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
CPTS0_RFT_CLK	CPTS 基準クロック	I	U2
CPTS0_TS_COMP	NAVSS0_CPTS0 からのタイム スタンプ カウンタ比較出力	O	Y4
CPTS0_TS_SYNC	NAVSS0_CPTS0 からのタイム スタンプ カウンタビット出力	O	W4
CPTS0_HW1TSPUSH	時間同期ルータへのハードウェア タイム スタンプ プッシュ入力	I	T28, Y6
CPTS0_HW2TSPUSH	時間同期ルータへのハードウェア タイム スタンプ プッシュ入力	I	AA6, T29
SYNC0_OUT	時間同期ルータからのタイム スタンプ ジェネレータ ビット 0 出力	O	U2
SYNC1_OUT	時間同期ルータからのタイム スタンプ ジェネレータ ビット 1 出力	O	U3
SYNC2_OUT	時間同期ルータからのタイム スタンプ ジェネレータ ビット 2 出力	O	V28
SYNC3_OUT	時間同期ルータからのタイム スタンプ ジェネレータ ビット 3 出力	O	V29

5.3.22 UFS

5.3.22.1 メイン ドメイン

表 5-92. UFS0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
UFS0_REF_CLK	UFS 基準クロック	O	AE6
UFS0_RSTn	UFS リセット出力	O	AD6
UFS0_RX_DN0	UFS レーン 0 差動受信データ (負)	I	AH3
UFS0_RX_DP0	UFS レーン 0 差動受信データ (正)	I	AJ2
UFS0_RX_DN1	UFS レーン 1 差動受信データ (負)	I	AH4
UFS0_RX_DP1	UFS レーン 1 差動受信データ (正)	I	AJ3
UFS0_TX_DN0	UFS レーン 0 差動送信データ (負)	O	AG6
UFS0_TX_DP0	UFS レーン 0 差動送信データ (正)	O	AF7
UFS0_TX_DN1	UFS レーン 1 差動送信データ (負)	O	AG5
UFS0_TX_DP1	UFS レーン 1 差動送信データ (正)	O	AF6

5.3.23 PRU_ICSSG [現在サポートされていません]

5.3.23.1 メイン ドメイン

表 5-93. PRU_ICSSG0 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG0_ECAP0_IN_APWM_OUT	PRU_ICSSG 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	AB29
PRG0_ECAP0_SYNC_IN	PRU_ICSSG ECAP 同期入力	I	AC28
PRG0_ECAP0_SYNC_OUT	PRU_ICSSG ECAP 同期出力	O	AB24
PRG0_IEP0_EDIO_OUTVALID	PRU_ICSSG 産業用イーサネット デジタル I/O 出力有効	O	Y3
PRG0_IEP0_EDC_LATCH_IN0	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AB29、Y3
PRG0_IEP0_EDC_LATCH_IN1	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AC28、P23
PRG0_IEP0_EDC_SYNC_OUT0	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	AB28、Y1
PRG0_IEP0_EDC_SYNC_OUT1	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	AB24、R28
PRG0_IEP0_EDIO_DATA_IN_OUT28	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	AB26
PRG0_IEP0_EDIO_DATA_IN_OUT29	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	AB25
PRG0_IEP0_EDIO_DATA_IN_OUT30	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	Y24
PRG0_IEP0_EDIO_DATA_IN_OUT31	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	AA25
PRG0_IEP1_EDC_LATCH_IN0	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AA26、Y5
PRG0_IEP1_EDC_LATCH_IN1	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AA24、T27
PRG0_IEP1_EDC_SYNC_OUT0	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	AA29、Y2
PRG0_IEP1_EDC_SYNC_OUT1	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	T24、Y25
PRG0_MDIO0_MDC	PRU_ICSSG MDIO クロック	O	AA27
PRG0_MDIO0_MDIO	PRU_ICSSG MDIO データ	IO	Y26
PRG0_PRU0_GPI0	PRU_ICSSG PRU データ入力	I	AF28
PRG0_PRU0_GPI1	PRU_ICSSG PRU データ入力	I	AE28

表 5-93. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG0_PRU0_GPI2	PRU_ICSSG PRU データ入力	I	AE27
PRG0_PRU0_GPI3	PRU_ICSSG PRU データ入力	I	AD26
PRG0_PRU0_GPI4	PRU_ICSSG PRU データ入力	I	AD25
PRG0_PRU0_GPI5	PRU_ICSSG PRU データ入力	I	AC29
PRG0_PRU0_GPI6	PRU_ICSSG PRU データ入力	I	AE26
PRG0_PRU0_GPI7	PRU_ICSSG PRU データ入力	I	AC28
PRG0_PRU0_GPI8	PRU_ICSSG PRU データ入力	I	AC27
PRG0_PRU0_GPI9	PRU_ICSSG PRU データ入力	I	AB26
PRG0_PRU0_GPI10	PRU_ICSSG PRU データ入力	I	AB25
PRG0_PRU0_GPI11	PRU_ICSSG PRU データ入力	I	AJ28
PRG0_PRU0_GPI12	PRU_ICSSG PRU データ入力	I	AH27
PRG0_PRU0_GPI13	PRU_ICSSG PRU データ入力	I	AH29
PRG0_PRU0_GPI14	PRU_ICSSG PRU データ入力	I	AG28
PRG0_PRU0_GPI15	PRU_ICSSG PRU データ入力	I	AG27
PRG0_PRU0_GPI16	PRU_ICSSG PRU データ入力	I	AH28
PRG0_PRU0_GPI17	PRU_ICSSG PRU データ入力	I	AB24
PRG0_PRU0_GPI18	PRU_ICSSG PRU データ入力	I	AB29
PRG0_PRU0_GPI19	PRU_ICSSG PRU データ入力	I	AB28
PRG0_PRU0_GPO0	PRU_ICSSG PRU データ出力	IO	AF28
PRG0_PRU0_GPO1	PRU_ICSSG PRU データ出力	IO	AE28
PRG0_PRU0_GPO2	PRU_ICSSG PRU データ出力	IO	AE27
PRG0_PRU0_GPO3	PRU_ICSSG PRU データ出力	IO	AD26
PRG0_PRU0_GPO4	PRU_ICSSG PRU データ出力	IO	AD25
PRG0_PRU0_GPO5	PRU_ICSSG PRU データ出力	IO	AC29
PRG0_PRU0_GPO6	PRU_ICSSG PRU データ出力	IO	AE26
PRG0_PRU0_GPO7	PRU_ICSSG PRU データ出力	IO	AC28
PRG0_PRU0_GPO8	PRU_ICSSG PRU データ出力	IO	AC27
PRG0_PRU0_GPO9	PRU_ICSSG PRU データ出力	IO	AB26
PRG0_PRU0_GPO10	PRU_ICSSG PRU データ出力	IO	AB25
PRG0_PRU0_GPO11	PRU_ICSSG PRU データ出力	IO	AJ28
PRG0_PRU0_GPO12	PRU_ICSSG PRU データ出力	IO	AH27
PRG0_PRU0_GPO13	PRU_ICSSG PRU データ出力	IO	AH29
PRG0_PRU0_GPO14	PRU_ICSSG PRU データ出力	IO	AG28
PRG0_PRU0_GPO15	PRU_ICSSG PRU データ出力	IO	AG27
PRG0_PRU0_GPO16	PRU_ICSSG PRU データ出力	IO	AH28
PRG0_PRU0_GPO17	PRU_ICSSG PRU データ出力	IO	AB24
PRG0_PRU0_GPO18	PRU_ICSSG PRU データ出力	IO	AB29
PRG0_PRU0_GPO19	PRU_ICSSG PRU データ出力	IO	AB28
PRG0_PRU1_GPI0	PRU_ICSSG PRU データ入力	I	AE29
PRG0_PRU1_GPI1	PRU_ICSSG PRU データ入力	I	AD28
PRG0_PRU1_GPI2	PRU_ICSSG PRU データ入力	I	AD27
PRG0_PRU1_GPI3	PRU_ICSSG PRU データ入力	I	AC25

表 5-93. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG0_PRU1_GPI4	PRU_ICSSG PRU データ入力	I	AD29
PRG0_PRU1_GPI5	PRU_ICSSG PRU データ入力	I	AB27
PRG0_PRU1_GPI6	PRU_ICSSG PRU データ入力	I	AC26
PRG0_PRU1_GPI7	PRU_ICSSG PRU データ入力	I	AA24
PRG0_PRU1_GPI8	PRU_ICSSG PRU データ入力	I	AA28
PRG0_PRU1_GPI9	PRU_ICSSG PRU データ入力	I	Y24
PRG0_PRU1_GPI10	PRU_ICSSG PRU データ入力	I	AA25
PRG0_PRU1_GPI11	PRU_ICSSG PRU データ入力	I	AG26
PRG0_PRU1_GPI12	PRU_ICSSG PRU データ入力	I	AF27
PRG0_PRU1_GPI13	PRU_ICSSG PRU データ入力	I	AF26
PRG0_PRU1_GPI14	PRU_ICSSG PRU データ入力	I	AE25
PRG0_PRU1_GPI15	PRU_ICSSG PRU データ入力	I	AF29
PRG0_PRU1_GPI16	PRU_ICSSG PRU データ入力	I	AG29
PRG0_PRU1_GPI17	PRU_ICSSG PRU データ入力	I	Y25
PRG0_PRU1_GPI18	PRU_ICSSG PRU データ入力	I	AA26
PRG0_PRU1_GPI19	PRU_ICSSG PRU データ入力	I	AA29
PRG0_PRU1_GPO0	PRU_ICSSG PRU データ出力	IO	AE29
PRG0_PRU1_GPO1	PRU_ICSSG PRU データ出力	IO	AD28
PRG0_PRU1_GPO2	PRU_ICSSG PRU データ出力	IO	AD27
PRG0_PRU1_GPO3	PRU_ICSSG PRU データ出力	IO	AC25
PRG0_PRU1_GPO4	PRU_ICSSG PRU データ出力	IO	AD29
PRG0_PRU1_GPO5	PRU_ICSSG PRU データ出力	IO	AB27
PRG0_PRU1_GPO6	PRU_ICSSG PRU データ出力	IO	AC26
PRG0_PRU1_GPO7	PRU_ICSSG PRU データ出力	IO	AA24
PRG0_PRU1_GPO8	PRU_ICSSG PRU データ出力	IO	AA28
PRG0_PRU1_GPO9	PRU_ICSSG PRU データ出力	IO	Y24
PRG0_PRU1_GPO10	PRU_ICSSG PRU データ出力	IO	AA25
PRG0_PRU1_GPO11	PRU_ICSSG PRU データ出力	IO	AG26
PRG0_PRU1_GPO12	PRU_ICSSG PRU データ出力	IO	AF27
PRG0_PRU1_GPO13	PRU_ICSSG PRU データ出力	IO	AF26
PRG0_PRU1_GPO14	PRU_ICSSG PRU データ出力	IO	AE25
PRG0_PRU1_GPO15	PRU_ICSSG PRU データ出力	IO	AF29
PRG0_PRU1_GPO16	PRU_ICSSG PRU データ出力	IO	AG29
PRG0_PRU1_GPO17	PRU_ICSSG PRU データ出力	IO	Y25
PRG0_PRU1_GPO18	PRU_ICSSG PRU データ出力	IO	AA26
PRG0_PRU1_GPO19	PRU_ICSSG PRU データ出力	IO	AA29
PRG0_PWM0_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AB29
PRG0_PWM0_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	AB28
PRG0_PWM1_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AA26
PRG0_PWM1_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	AA29
PRG0_PWM2_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AA25
PRG0_PWM2_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	AA28

表 5-93. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG0_PWM3_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AB26
PRG0_PWM3_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	AJ28
PRG0_PWM0_A0	PRU_ICSSG PWM 出力 A	IO	AH27
PRG0_PWM0_A1	PRU_ICSSG PWM 出力 A	IO	AG28
PRG0_PWM0_A2	PRU_ICSSG PWM 出力 A	IO	AH28
PRG0_PWM0_B0	PRU_ICSSG PWM 出力 B	IO	AH29
PRG0_PWM0_B1	PRU_ICSSG PWM 出力 B	IO	AG27
PRG0_PWM0_B2	PRU_ICSSG PWM 出力 B	IO	AB24
PRG0_PWM1_A0	PRU_ICSSG PWM 出力 A	IO	AF27
PRG0_PWM1_A1	PRU_ICSSG PWM 出力 A	IO	AE25
PRG0_PWM1_A2	PRU_ICSSG PWM 出力 A	IO	AG29
PRG0_PWM1_B0	PRU_ICSSG PWM 出力 B	IO	AF26
PRG0_PWM1_B1	PRU_ICSSG PWM 出力 B	IO	AF29
PRG0_PWM1_B2	PRU_ICSSG PWM 出力 B	IO	Y25
PRG0_PWM2_A0	PRU_ICSSG PWM 出力 A	IO	AE27
PRG0_PWM2_A1	PRU_ICSSG PWM 出力 A	IO	AC27
PRG0_PWM2_A2	PRU_ICSSG PWM 出力 A	IO	AD27
PRG0_PWM2_B0	PRU_ICSSG PWM 出力 B	IO	AD25
PRG0_PWM2_B1	PRU_ICSSG PWM 出力 B	IO	AB25
PRG0_PWM2_B2	PRU_ICSSG PWM 出力 B	IO	AD29
PRG0_PWM3_A0	PRU_ICSSG PWM 出力 A	IO	AF28
PRG0_PWM3_A1	PRU_ICSSG PWM 出力 A	IO	AE26
PRG0_PWM3_A2	PRU_ICSSG PWM 出力 A	IO	AD26
PRG0_PWM3_B0	PRU_ICSSG PWM 出力 B	IO	AE28
PRG0_PWM3_B1	PRU_ICSSG PWM 出力 B	IO	AC28
PRG0_PWM3_B2	PRU_ICSSG PWM 出力 B	IO	AC29
PRG0_RGMII1_RXC	PRU_ICSSG RGMII 受信クロック	I	AE26
PRG0_RGMII1_RX_CTL	PRU_ICSSG RGMII 受信制御	I	AD25
PRG0_RGMII1_TXC	PRU_ICSSG RGMII 送信クロック	IO	AH28
PRG0_RGMII1_TX_CTL	PRU_ICSSG RGMII 送信制御	O	AG27
PRG0_RGMII2_RXC	PRU_ICSSG RGMII 受信クロック	I	AC26
PRG0_RGMII2_RX_CTL	PRU_ICSSG RGMII 受信制御	I	AD29
PRG0_RGMII2_TXC	PRU_ICSSG RGMII 送信クロック	IO	AG29
PRG0_RGMII2_TX_CTL	PRU_ICSSG RGMII 送信制御	O	AF29
PRG0_RGMII1_RD0	PRU_ICSSG RGMII 受信データ	I	AF28
PRG0_RGMII1_RD1	PRU_ICSSG RGMII 受信データ	I	AE28
PRG0_RGMII1_RD2	PRU_ICSSG RGMII 受信データ	I	AE27
PRG0_RGMII1_RD3	PRU_ICSSG RGMII 受信データ	I	AD26
PRG0_RGMII1_TD0	PRU_ICSSG RGMII 送信データ	O	AJ28
PRG0_RGMII1_TD1	PRU_ICSSG RGMII 送信データ	O	AH27
PRG0_RGMII1_TD2	PRU_ICSSG RGMII 送信データ	O	AH29
PRG0_RGMII1_TD3	PRU_ICSSG RGMII 送信データ	O	AG28

表 5-93. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG0_RGMII2_RD0	PRU_ICSSG RGMII 受信データ	I	AE29
PRG0_RGMII2_RD1	PRU_ICSSG RGMII 受信データ	I	AD28
PRG0_RGMII2_RD2	PRU_ICSSG RGMII 受信データ	I	AD27
PRG0_RGMII2_RD3	PRU_ICSSG RGMII 受信データ	I	AC25
PRG0_RGMII2_TD0	PRU_ICSSG RGMII 送信データ	O	AG26
PRG0_RGMII2_TD1	PRU_ICSSG RGMII 送信データ	O	AF27
PRG0_RGMII2_TD2	PRU_ICSSG RGMII 送信データ	O	AF26
PRG0_RGMII2_TD3	PRU_ICSSG RGMII 送信データ	O	AE25
PRG0_UART0_CTSn	PRU_ICSSG UART (Clear to Send) (アクティブ "Low")	I	AB26
PRG0_UART0_RTSn	PRU_ICSSG UART (Request to Send) (アクティブ "Low")	O	AB25
PRG0_UART0_RXD	PRU_ICSSG UART 受信データ	I	Y24
PRG0_UART0_TXD	PRU_ICSSG UART 送信データ	O	AA25

表 5-94. PRU_ICSSG1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG1_ECAP0_IN_APWM_OUT	PRU_ICSSG 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	IO	AH22
PRG1_ECAP0_SYNC_IN	PRU_ICSSG ECAP 同期入力	I	AJ22
PRG1_ECAP0_SYNC_OUT	PRU_ICSSG ECAP 同期出力	O	AC22
PRG1_IEP0_EDIO_OUTVALID	PRU_ICSSG 産業用イーサネット デジタル I/O 出力有効	O	Y4
PRG1_IEP0_EDC_LATCH_IN0	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AE21
PRG1_IEP0_EDC_LATCH_IN1	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AE20
PRG1_IEP0_EDC_SYNC_OUT0	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	AH21
PRG1_IEP0_EDC_SYNC_OUT1	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	AJ21
PRG1_IEP0_EDIO_DATA_IN_OUT28	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	AG20
PRG1_IEP0_EDIO_DATA_IN_OUT29	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	AD21
PRG1_IEP0_EDIO_DATA_IN_OUT30	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	AF21
PRG1_IEP0_EDIO_DATA_IN_OUT31	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	IO	AB23
PRG1_IEP1_EDC_LATCH_IN0	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AJ22
PRG1_IEP1_EDC_LATCH_IN1	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	I	AC21
PRG1_IEP1_EDC_SYNC_OUT0	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	AH22
PRG1_IEP1_EDC_SYNC_OUT1	PRU_ICSSG 産業用イーサネット分散クロック同期出力	O	AC22
PRG1_MDIO0_MDC	PRU_ICSSG MDIO クロック	O	AD18
PRG1_MDIO0_MDIO	PRU_ICSSG MDIO データ	IO	AD19
PRG1_PRU0_GPI0	PRU_ICSSG PRU データ入力	I	AC23
PRG1_PRU0_GPI1	PRU_ICSSG PRU データ入力	I	AG22
PRG1_PRU0_GPI2	PRU_ICSSG PRU データ入力	I	AF22
PRG1_PRU0_GPI3	PRU_ICSSG PRU データ入力	I	AJ23
PRG1_PRU0_GPI4	PRU_ICSSG PRU データ入力	I	AH23

表 5-94. PRU_ICSSG1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG1_PRU0_GPI5	PRU_ICSSG PRU データ入力	I	AD20
PRG1_PRU0_GPI6	PRU_ICSSG PRU データ入力	I	AD22
PRG1_PRU0_GPI7	PRU_ICSSG PRU データ入力	I	AE20
PRG1_PRU0_GPI8	PRU_ICSSG PRU データ入力	I	AJ20
PRG1_PRU0_GPI9	PRU_ICSSG PRU データ入力	I	AG20
PRG1_PRU0_GPI10	PRU_ICSSG PRU データ入力	I	AD21
PRG1_PRU0_GPI11	PRU_ICSSG PRU データ入力	I	AF24
PRG1_PRU0_GPI12	PRU_ICSSG PRU データ入力	I	AJ24
PRG1_PRU0_GPI13	PRU_ICSSG PRU データ入力	I	AG24
PRG1_PRU0_GPI14	PRU_ICSSG PRU データ入力	I	AD24
PRG1_PRU0_GPI15	PRU_ICSSG PRU データ入力	I	AC24
PRG1_PRU0_GPI16	PRU_ICSSG PRU データ入力	I	AE24
PRG1_PRU0_GPI17	PRU_ICSSG PRU データ入力	I	AJ21
PRG1_PRU0_GPI18	PRU_ICSSG PRU データ入力	I	AE21
PRG1_PRU0_GPI19	PRU_ICSSG PRU データ入力	I	AH21
PRG1_PRU0_GPO0	PRU_ICSSG PRU データ出力	IO	AC23
PRG1_PRU0_GPO1	PRU_ICSSG PRU データ出力	IO	AG22
PRG1_PRU0_GPO2	PRU_ICSSG PRU データ出力	IO	AF22
PRG1_PRU0_GPO3	PRU_ICSSG PRU データ出力	IO	AJ23
PRG1_PRU0_GPO4	PRU_ICSSG PRU データ出力	IO	AH23
PRG1_PRU0_GPO5	PRU_ICSSG PRU データ出力	IO	AD20
PRG1_PRU0_GPO6	PRU_ICSSG PRU データ出力	IO	AD22
PRG1_PRU0_GPO7	PRU_ICSSG PRU データ出力	IO	AE20
PRG1_PRU0_GPO8	PRU_ICSSG PRU データ出力	IO	AJ20
PRG1_PRU0_GPO9	PRU_ICSSG PRU データ出力	IO	AG20
PRG1_PRU0_GPO10	PRU_ICSSG PRU データ出力	IO	AD21
PRG1_PRU0_GPO11	PRU_ICSSG PRU データ出力	IO	AF24
PRG1_PRU0_GPO12	PRU_ICSSG PRU データ出力	IO	AJ24
PRG1_PRU0_GPO13	PRU_ICSSG PRU データ出力	IO	AG24
PRG1_PRU0_GPO14	PRU_ICSSG PRU データ出力	IO	AD24
PRG1_PRU0_GPO15	PRU_ICSSG PRU データ出力	IO	AC24
PRG1_PRU0_GPO16	PRU_ICSSG PRU データ出力	IO	AE24
PRG1_PRU0_GPO17	PRU_ICSSG PRU データ出力	IO	AJ21
PRG1_PRU0_GPO18	PRU_ICSSG PRU データ出力	IO	AE21
PRG1_PRU0_GPO19	PRU_ICSSG PRU データ出力	IO	AH21
PRG1_PRU1_GPI0	PRU_ICSSG PRU データ入力	I	AE22
PRG1_PRU1_GPI1	PRU_ICSSG PRU データ入力	I	AG23
PRG1_PRU1_GPI2	PRU_ICSSG PRU データ入力	I	AF23
PRG1_PRU1_GPI3	PRU_ICSSG PRU データ入力	I	AD23
PRG1_PRU1_GPI4	PRU_ICSSG PRU データ入力	I	AH24
PRG1_PRU1_GPI5	PRU_ICSSG PRU データ入力	I	AG21
PRG1_PRU1_GPI6	PRU_ICSSG PRU データ入力	I	AE23

表 5-94. PRU_ICSSG1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG1_PRU1_GPI7	PRU_ICSSG PRU データ入力	I	AC21
PRG1_PRU1_GPI8	PRU_ICSSG PRU データ入力	I	Y23
PRG1_PRU1_GPI9	PRU_ICSSG PRU データ入力	I	AF21
PRG1_PRU1_GPI10	PRU_ICSSG PRU データ入力	I	AB23
PRG1_PRU1_GPI11	PRU_ICSSG PRU データ入力	I	AJ25
PRG1_PRU1_GPI12	PRU_ICSSG PRU データ入力	I	AH25
PRG1_PRU1_GPI13	PRU_ICSSG PRU データ入力	I	AG25
PRG1_PRU1_GPI14	PRU_ICSSG PRU データ入力	I	AH26
PRG1_PRU1_GPI15	PRU_ICSSG PRU データ入力	I	AJ27
PRG1_PRU1_GPI16	PRU_ICSSG PRU データ入力	I	AJ26
PRG1_PRU1_GPI17	PRU_ICSSG PRU データ入力	I	AC22
PRG1_PRU1_GPI18	PRU_ICSSG PRU データ入力	I	AJ22
PRG1_PRU1_GPI19	PRU_ICSSG PRU データ入力	I	AH22
PRG1_PRU1_GPO0	PRU_ICSSG PRU データ出力	IO	AE22
PRG1_PRU1_GPO1	PRU_ICSSG PRU データ出力	IO	AG23
PRG1_PRU1_GPO2	PRU_ICSSG PRU データ出力	IO	AF23
PRG1_PRU1_GPO3	PRU_ICSSG PRU データ出力	IO	AD23
PRG1_PRU1_GPO4	PRU_ICSSG PRU データ出力	IO	AH24
PRG1_PRU1_GPO5	PRU_ICSSG PRU データ出力	IO	AG21
PRG1_PRU1_GPO6	PRU_ICSSG PRU データ出力	IO	AE23
PRG1_PRU1_GPO7	PRU_ICSSG PRU データ出力	IO	AC21
PRG1_PRU1_GPO8	PRU_ICSSG PRU データ出力	IO	Y23
PRG1_PRU1_GPO9	PRU_ICSSG PRU データ出力	IO	AF21
PRG1_PRU1_GPO10	PRU_ICSSG PRU データ出力	IO	AB23
PRG1_PRU1_GPO11	PRU_ICSSG PRU データ出力	IO	AJ25
PRG1_PRU1_GPO12	PRU_ICSSG PRU データ出力	IO	AH25
PRG1_PRU1_GPO13	PRU_ICSSG PRU データ出力	IO	AG25
PRG1_PRU1_GPO14	PRU_ICSSG PRU データ出力	IO	AH26
PRG1_PRU1_GPO15	PRU_ICSSG PRU データ出力	IO	AJ27
PRG1_PRU1_GPO16	PRU_ICSSG PRU データ出力	IO	AJ26
PRG1_PRU1_GPO17	PRU_ICSSG PRU データ出力	IO	AC22
PRG1_PRU1_GPO18	PRU_ICSSG PRU データ出力	IO	AJ22
PRG1_PRU1_GPO19	PRU_ICSSG PRU データ出力	IO	AH22
PRG1_PWM0_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AE21
PRG1_PWM0_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	AH21
PRG1_PWM1_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AJ22
PRG1_PWM1_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	AH22
PRG1_PWM2_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AB23
PRG1_PWM2_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	Y23
PRG1_PWM3_TZ_IN	PRU_ICSSG PWMトリップゾーン入力	I	AG20
PRG1_PWM3_TZ_OUT	PRU_ICSSG PWMトリップゾーン出力	O	AF24
PRG1_PWM0_A0	PRU_ICSSG PWM 出力 A	IO	AJ24

表 5-94. PRU_ICSSG1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG1_PWM0_A1	PRU_ICSSG PWM 出力 A	IO	AD24
PRG1_PWM0_A2	PRU_ICSSG PWM 出力 A	IO	AE24
PRG1_PWM0_B0	PRU_ICSSG PWM 出力 B	IO	AG24
PRG1_PWM0_B1	PRU_ICSSG PWM 出力 B	IO	AC24
PRG1_PWM0_B2	PRU_ICSSG PWM 出力 B	IO	AJ21
PRG1_PWM1_A0	PRU_ICSSG PWM 出力 A	IO	AH25
PRG1_PWM1_A1	PRU_ICSSG PWM 出力 A	IO	AH26
PRG1_PWM1_A2	PRU_ICSSG PWM 出力 A	IO	AJ26
PRG1_PWM1_B0	PRU_ICSSG PWM 出力 B	IO	AG25
PRG1_PWM1_B1	PRU_ICSSG PWM 出力 B	IO	AJ27
PRG1_PWM1_B2	PRU_ICSSG PWM 出力 B	IO	AC22
PRG1_PWM2_A0	PRU_ICSSG PWM 出力 A	IO	AF22
PRG1_PWM2_A1	PRU_ICSSG PWM 出力 A	IO	AJ20
PRG1_PWM2_A2	PRU_ICSSG PWM 出力 A	IO	AF23
PRG1_PWM2_B0	PRU_ICSSG PWM 出力 B	IO	AH23
PRG1_PWM2_B1	PRU_ICSSG PWM 出力 B	IO	AD21
PRG1_PWM2_B2	PRU_ICSSG PWM 出力 B	IO	AH24
PRG1_PWM3_A0	PRU_ICSSG PWM 出力 A	IO	AC23
PRG1_PWM3_A1	PRU_ICSSG PWM 出力 A	IO	AD22
PRG1_PWM3_A2	PRU_ICSSG PWM 出力 A	IO	AJ23
PRG1_PWM3_B0	PRU_ICSSG PWM 出力 B	IO	AG22
PRG1_PWM3_B1	PRU_ICSSG PWM 出力 B	IO	AE20
PRG1_PWM3_B2	PRU_ICSSG PWM 出力 B	IO	AD20
PRG1_RGMII1_RXC	PRU_ICSSG RGMII 受信クロック	I	AD22
PRG1_RGMII1_RX_CTL	PRU_ICSSG RGMII 受信制御	I	AH23
PRG1_RGMII1_TXC	PRU_ICSSG RGMII 送信クロック	IO	AE24
PRG1_RGMII1_TX_CTL	PRU_ICSSG RGMII 送信制御	O	AC24
PRG1_RGMII2_RXC	PRU_ICSSG RGMII 受信クロック	I	AE23
PRG1_RGMII2_RX_CTL	PRU_ICSSG RGMII 受信制御	I	AH24
PRG1_RGMII2_TXC	PRU_ICSSG RGMII 送信クロック	IO	AJ26
PRG1_RGMII2_TX_CTL	PRU_ICSSG RGMII 送信制御	O	AJ27
PRG1_RGMII1_RD0	PRU_ICSSG RGMII 受信データ	I	AC23
PRG1_RGMII1_RD1	PRU_ICSSG RGMII 受信データ	I	AG22
PRG1_RGMII1_RD2	PRU_ICSSG RGMII 受信データ	I	AF22
PRG1_RGMII1_RD3	PRU_ICSSG RGMII 受信データ	I	AJ23
PRG1_RGMII1_TD0	PRU_ICSSG RGMII 送信データ	O	AF24
PRG1_RGMII1_TD1	PRU_ICSSG RGMII 送信データ	O	AJ24
PRG1_RGMII1_TD2	PRU_ICSSG RGMII 送信データ	O	AG24
PRG1_RGMII1_TD3	PRU_ICSSG RGMII 送信データ	O	AD24
PRG1_RGMII2_RD0	PRU_ICSSG RGMII 受信データ	I	AE22
PRG1_RGMII2_RD1	PRU_ICSSG RGMII 受信データ	I	AG23
PRG1_RGMII2_RD2	PRU_ICSSG RGMII 受信データ	I	AF23

表 5-94. PRU_ICSSG1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
PRG1_RGMII2_RD3	PRU_ICSSG RGMII 受信データ	I	AD23
PRG1_RGMII2_TD0	PRU_ICSSG RGMII 送信データ	O	AJ25
PRG1_RGMII2_TD1	PRU_ICSSG RGMII 送信データ	O	AH25
PRG1_RGMII2_TD2	PRU_ICSSG RGMII 送信データ	O	AG25
PRG1_RGMII2_TD3	PRU_ICSSG RGMII 送信データ	O	AH26
PRG1_UART0_CTSn	PRU_ICSSG UART (Clear to Send) (アクティブ "Low")	I	AG20
PRG1_UART0_RTSn	PRU_ICSSG UART (Request to Send) (アクティブ "Low")	O	AD21
PRG1_UART0_RXD	PRU_ICSSG UART 受信データ	I	AF21
PRG1_UART0_TXD	PRU_ICSSG UART 送信データ	O	AB23

5.3.24 MCASP

5.3.24.1 メイン ドメイン

表 5-95. MCASP0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP0_ACLKR	MCASP 受信ビット クロック	IO	AE27
MCASP0_ACLKX	MCASP 送信ビット クロック	IO	AB26
MCASP0_AFSR	MCASP 受信フレーム同期	IO	AD26
MCASP0_AFSX	MCASP 送信フレーム同期	IO	AB25
MCASP0_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AF28
MCASP0_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AE28
MCASP0_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AD25
MCASP0_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AC29
MCASP0_AXR4	MCASP シリアル データ (入力 / 出力)	IO	AE26
MCASP0_AXR5	MCASP シリアル データ (入力 / 出力)	IO	AC28
MCASP0_AXR6	MCASP シリアル データ (入力 / 出力)	IO	AC27
MCASP0_AXR7	MCASP シリアル データ (入力 / 出力)	IO	AJ28
MCASP0_AXR8	MCASP シリアル データ (入力 / 出力)	IO	AH27
MCASP0_AXR9	MCASP シリアル データ (入力 / 出力)	IO	AH29
MCASP0_AXR10	MCASP シリアル データ (入力 / 出力)	IO	AG28
MCASP0_AXR11	MCASP シリアル データ (入力 / 出力)	IO	AG27
MCASP0_AXR12	MCASP シリアル データ (入力 / 出力)	IO	AH28
MCASP0_AXR13	MCASP シリアル データ (入力 / 出力)	IO	AB24
MCASP0_AXR14	MCASP シリアル データ (入力 / 出力)	IO	AB29
MCASP0_AXR15	MCASP シリアル データ (入力 / 出力)	IO	AB28

表 5-96. MCASP1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP1_ACLKR	MCASP 受信ビット クロック	IO	AD27
MCASP1_ACLKX	MCASP 送信ビット クロック	IO	AB27
MCASP1_AFSR	MCASP 受信フレーム同期	IO	AC25
MCASP1_AFSX	MCASP 送信フレーム同期	IO	AA28

表 5-96. MCASP1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP1_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AE29
MCASP1_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AD28
MCASP1_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AD29
MCASP1_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AC26
MCASP1_AXR4	MCASP シリアル データ (入力 / 出力)	IO	AA24
MCASP1_AXR5	MCASP シリアル データ (入力 / 出力)	IO	Y24
MCASP1_AXR6	MCASP シリアル データ (入力 / 出力)	IO	AA25
MCASP1_AXR7	MCASP シリアル データ (入力 / 出力)	IO	AG26
MCASP1_AXR8	MCASP シリアル データ (入力 / 出力)	IO	AF27
MCASP1_AXR9	MCASP シリアル データ (入力 / 出力)	IO	AF26
MCASP1_AXR10	MCASP シリアル データ (入力 / 出力)	IO	AD27
MCASP1_AXR11	MCASP シリアル データ (入力 / 出力)	IO	AC25

表 5-97. MCASP2 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP2_ACLKR	MCASP 受信ビット クロック	IO	AA27
MCASP2_ACLKX	MCASP 送信ビット クロック	IO	AA29
MCASP2_AFSR	MCASP 受信フレーム同期	IO	Y26
MCASP2_AFSX	MCASP 送信フレーム同期	IO	AA26
MCASP2_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AE25
MCASP2_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AF29
MCASP2_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AG29
MCASP2_AXR3	MCASP シリアル データ (入力 / 出力)	IO	Y25
MCASP2_AXR4	MCASP シリアル データ (入力 / 出力)	IO	Y26
MCASP2_AXR5	MCASP シリアル データ (入力 / 出力)	IO	AA27

表 5-98. MCASP3 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP3_ACLKR	MCASP 受信ビット クロック	IO	AF23
MCASP3_ACLKX	MCASP 送信ビット クロック	IO	AG20
MCASP3_AFSR	MCASP 受信フレーム同期	IO	AD23
MCASP3_AFSX	MCASP 送信フレーム同期	IO	AD21
MCASP3_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AD20
MCASP3_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AE20
MCASP3_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AJ20
MCASP3_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AJ21

表 5-99. MCASP4 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP4_ACLKR	MCASP 受信ビット クロック	IO	AG25
MCASP4_ACLKX	MCASP 送信ビット クロック	IO	AE21

表 5-99. MCASP4 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP4_AFSR	MCASP 受信フレーム同期	IO	AH26
MCASP4_AFSX	MCASP 送信フレーム同期	IO	AH21
MCASP4_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AG21
MCASP4_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AC21
MCASP4_AXR2	MCASP シリアル データ (入力 / 出力)	IO	Y23
MCASP4_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AF21

表 5-100. MCASP5 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP5_ACLKR	MCASP 受信ビット クロック	IO	AD19
MCASP5_ACLKX	MCASP 送信ビット クロック	IO	AB23
MCASP5_AFSR	MCASP 受信フレーム同期	IO	AD18
MCASP5_AFSX	MCASP 送信フレーム同期	IO	AC22
MCASP5_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AJ22
MCASP5_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AH22
MCASP5_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AD19
MCASP5_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AD18

表 5-101. MCASP6 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP6_ACLKR	MCASP 受信ビット クロック	IO	AH23
MCASP6_ACLKX	MCASP 送信ビット クロック	IO	AC23
MCASP6_AFSR	MCASP 受信フレーム同期	IO	AD22
MCASP6_AFSX	MCASP 送信フレーム同期	IO	AG22
MCASP6_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AF22
MCASP6_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AJ23
MCASP6_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AH23
MCASP6_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AD22

表 5-102. MCASP7 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP7_ACLKR	MCASP 受信ビット クロック	IO	AC24
MCASP7_ACLKX	MCASP 送信ビット クロック	IO	AF24
MCASP7_AFSR	MCASP 受信フレーム同期	IO	AE24
MCASP7_AFSX	MCASP 送信フレーム同期	IO	AJ24
MCASP7_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AG24
MCASP7_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AD24
MCASP7_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AC24
MCASP7_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AE24

表 5-103. MCASP8 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP8_ACLKR	MCASP 受信ビット クロック	IO	AH24
MCASP8_ACLKX	MCASP 送信ビット クロック	IO	AE22
MCASP8_AFSR	MCASP 受信フレーム同期	IO	AE23
MCASP8_AFSX	MCASP 送信フレーム同期	IO	AG23
MCASP8_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AF23
MCASP8_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AD23
MCASP8_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AH24
MCASP8_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AE23

表 5-104. MCASP9 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP9_ACLKR	MCASP 受信ビット クロック	IO	AJ27
MCASP9_ACLKX	MCASP 送信ビット クロック	IO	AJ25
MCASP9_AFSR	MCASP 受信フレーム同期	IO	AJ26
MCASP9_AFSX	MCASP 送信フレーム同期	IO	AH25
MCASP9_AXR0	MCASP シリアル データ (入力 / 出力)	IO	AG25
MCASP9_AXR1	MCASP シリアル データ (入力 / 出力)	IO	AH26
MCASP9_AXR2	MCASP シリアル データ (入力 / 出力)	IO	AJ27
MCASP9_AXR3	MCASP シリアル データ (入力 / 出力)	IO	AJ26

表 5-105. MCASP10 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP10_ACLKR	MCASP 受信ビット クロック	IO	Y28
MCASP10_ACLKX	MCASP 送信ビット クロック	IO	U23
MCASP10_AFSR	MCASP 受信フレーム同期	IO	V23
MCASP10_AFSX	MCASP 送信フレーム同期	IO	U26
MCASP10_AXR0	MCASP シリアル データ (入力 / 出力)	IO	V28
MCASP10_AXR1	MCASP シリアル データ (入力 / 出力)	IO	V29
MCASP10_AXR2	MCASP シリアル データ (入力 / 出力)	IO	U29
MCASP10_AXR3	MCASP シリアル データ (入力 / 出力)	IO	U25
MCASP10_AXR4	MCASP シリアル データ (入力 / 出力)	IO	V25
MCASP10_AXR5	MCASP シリアル データ (入力 / 出力)	IO	W27
MCASP10_AXR6	MCASP シリアル データ (入力 / 出力)	IO	W29
MCASP10_AXR7	MCASP シリアル データ (入力 / 出力)	IO	W26

表 5-106. MCASP11 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP11_ACLKR	MCASP 受信ビット クロック	IO	W23
MCASP11_ACLKX	MCASP 送信ビット クロック	IO	V27
MCASP11_AFSR	MCASP 受信フレーム同期	IO	W28
MCASP11_AFSX	MCASP 送信フレーム同期	IO	U28

表 5-106. MCASP11 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCASP11_AXR0	MCASP シリアル データ (入力 / 出力)	IO	U27
MCASP11_AXR1	MCASP シリアル データ (入力 / 出力)	IO	U24
MCASP11_AXR2	MCASP シリアル データ (入力 / 出力)	IO	R23
MCASP11_AXR3	MCASP シリアル データ (入力 / 出力)	IO	T23
MCASP11_AXR4	MCASP シリアル データ (入力 / 出力)	IO	Y29
MCASP11_AXR5	MCASP シリアル データ (入力 / 出力)	IO	Y27
MCASP11_AXR6	MCASP シリアル データ (入力 / 出力)	IO	W24
MCASP11_AXR7	MCASP シリアル データ (入力 / 出力)	IO	W25

5.3.25 DSS

5.3.25.1 メイン ドメイン

表 5-107. DSS0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
DSS_FSYNC0	ビデオ出力フレーム同期 0	O	AH27、Y26
DSS_FSYNC1	ビデオ出力フレーム同期 1	O	AD19、AH28
DSS_FSYNC2	ビデオ出力フレーム同期 2	O	AA27、AH29
DSS_FSYNC3	ビデオ出力フレーム同期 3	O	AG27、Y24
VOU0_DE	ビデオ出力データ イネーブル	O	AC22
VOU0_EXTPCLKIN	ビデオ出力の外部ピクセル クロック入力	I	AH21
VOU0_HSYNC	ビデオ出力の水平同期	O	AJ26
VOU0_PCLK	ビデオ出力のピクセル クロック出力	O	AH22
VOU0_VSYNC	ビデオ出力の垂直同期	O	AJ22
VOU0_DATA0	ビデオ出力データ 0	O	AE22
VOU0_DATA1	ビデオ出力データ 1	O	AG23
VOU0_DATA2	ビデオ出力データ 2	O	AF23
VOU0_DATA3	ビデオ出力データ 3	O	AD23
VOU0_DATA4	ビデオ出力データ 4	O	AH24
VOU0_DATA5	ビデオ出力データ 5	O	AG21
VOU0_DATA6	ビデオ出力データ 6	O	AE23
VOU0_DATA7	ビデオ出力データ 7	O	AC21
VOU0_DATA8	ビデオ出力データ 8	O	Y23
VOU0_DATA9	ビデオ出力データ 9	O	AF21
VOU0_DATA10	ビデオ出力データ 10	O	AB23
VOU0_DATA11	ビデオ出力データ 11	O	AJ25
VOU0_DATA12	ビデオ出力データ 12	O	AH25
VOU0_DATA13	ビデオ出力データ 13	O	AG25
VOU0_DATA14	ビデオ出力データ 14	O	AH26
VOU0_DATA15	ビデオ出力データ 15	O	AJ27
VOU0_DATA16	ビデオ出力データ 16	O	AF24
VOU0_DATA17	ビデオ出力データ 17	O	AJ24
VOU0_DATA18	ビデオ出力データ 18	O	AG24

表 5-107. DSS0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
VOUT0_DATA19	ビデオ出力データ 19	O	AD24
VOUT0_DATA20	ビデオ出力データ 20	O	AC24
VOUT0_DATA21	ビデオ出力データ 21	O	AE24
VOUT0_DATA22	ビデオ出力データ 22	O	AJ20
VOUT0_DATA23	ビデオ出力データ 23	O	AG20
VOUT0_VP0_DE	ビデオ出力データ イネーブル	O	AC22
VOUT0_VP0_HSYNC	ビデオ出力の水平同期	O	AJ26
VOUT0_VP0_VSYNC	ビデオ出力の垂直同期	O	AJ22
VOUT0_VP2_DE	ビデオ出力データ イネーブル	O	AC22
VOUT0_VP2_HSYNC	ビデオ出力の水平同期	O	AJ26
VOUT0_VP2_VSYNC	ビデオ出力の垂直同期	O	AJ22
VOUT1_DE	ビデオ出力データ イネーブル	O	W26
VOUT1_EXTPCLKIN	ビデオ出力の外部ピクセル クロック入力	I	W24
VOUT1_HSYNC	ビデオ出力の水平同期	O	W27
VOUT1_PCLK	ビデオ出力のピクセル クロック出力	O	W29
VOUT1_VSYNC	ビデオ出力の垂直同期	O	V25
VOUT1_DATA0	ビデオ出力データ 0	O	U23
VOUT1_DATA1	ビデオ出力データ 1	O	U26
VOUT1_DATA2	ビデオ出力データ 2	O	V28
VOUT1_DATA3	ビデオ出力データ 3	O	V29
VOUT1_DATA4	ビデオ出力データ 4	O	V27
VOUT1_DATA5	ビデオ出力データ 5	O	U28
VOUT1_DATA6	ビデオ出力データ 6	O	U29
VOUT1_DATA7	ビデオ出力データ 7	O	U25
VOUT1_DATA8	ビデオ出力データ 8	O	U27
VOUT1_DATA9	ビデオ出力データ 9	O	U24
VOUT1_DATA10	ビデオ出力データ 10	O	R23
VOUT1_DATA11	ビデオ出力データ 11	O	T23
VOUT1_DATA12	ビデオ出力データ 12	O	Y28
VOUT1_DATA13	ビデオ出力データ 13	O	V23
VOUT1_DATA14	ビデオ出力データ 14	O	W23
VOUT1_DATA15	ビデオ出力データ 15	O	W28
VOUT1_VP0_DE	ビデオ出力データ イネーブル	O	W26
VOUT1_VP0_HSYNC	ビデオ出力の水平同期	O	W27
VOUT1_VP0_VSYNC	ビデオ出力の垂直同期	O	V25

5.3.26 DP

5.3.26.1 メイン ドメイン

注

DP0_TX 機能は、SERDES ピンで利用できます。詳細については、[セクション 5.3.16](#)、[SERDES](#) を参照してください。

表 5-108. DP0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
DP0_AUXN	ディスプレイ ポート差動補助データ (負)	IO	G6
DP0_AUXP	ディスプレイ ポート差動補助データ (正)	IO	F7
DP0_HPDI	ディスプレイ ポートのホットプラグ ディスプレイ検出	I	W2、Y4

5.3.27 カメラストリーミングインターフェイス レシーバ(CSI_RX_IF) サブシステム

5.3.27.1 メインドメイン

表 5-109. CSI0 信号の説明

信号名 [1] (2)	説明 [2]	ピンの種類 [3]	BALL [4]
CSI0_RXCLKN	CSI 差動受信クロック入力 (負)	I	B20
CSI0_RXCLKP	CSI 差動受信クロック入力 (正)	I	A21
CSI0_RXRCALIB (1)	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	A	F16
CSI0_TXCLKN	CSI 差動送信クロック出力 (負)	O	E10
CSI0_TXCLKP	CSI 差動送信クロック出力 (正)	O	E11
CSI0_RXN0	CSI 差動受信入力 (負)	I	B19
CSI0_RXP0	CSI 差動受信入力 (正)	I	A20
CSI0_RXN1	CSI 差動受信入力 (負)	I	D18
CSI0_RXP1	CSI 差動受信入力 (正)	I	C19
CSI0_RXN2	CSI 差動受信入力 (負)	I	D17
CSI0_RXP2	CSI 差動受信入力 (正)	I	C18
CSI0_RXN3	CSI 差動受信入力 (負)	I	E16
CSI0_RXP3	CSI 差動受信入力 (正)	I	E17
CSI0_TXN0	CSI 差動送信出力 (負)	O	D11
CSI0_TXN1	CSI 差動送信出力 (負)	O	D12
CSI0_TXN2	CSI 差動送信出力 (負)	O	B13
CSI0_TXN3	CSI 差動送信出力 (負)	O	B14
CSI0_TXP0	CSI 差動送信出力 (正)	O	C12
CSI0_TXP1	CSI 差動送信出力 (正)	O	C13
CSI0_TXP2	CSI 差動送信出力 (正)	O	A14
CSI0_TXP3	CSI 差動送信出力 (正)	O	A15

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外部抵抗を接続する必要があります。

(2) CSI TX 機能は DSI ピンで利用できます。詳細については、[セクション 5.3.28](#)「DSI_TX」を参照してください。

表 5-110. CSI1 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
CSI1_RXCLKN	CSI 差動受信クロック入力 (負)	I	B17
CSI1_RXCLKP	CSI 差動受信クロック入力 (正)	I	A18
CSI1_RXRCALIB (1)	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	A	F15
CSI1_RXN0	CSI 差動受信入力 (負)	I	B16
CSI1_RXP0	CSI 差動受信入力 (正)	I	A17
CSI1_RXN1	CSI 差動受信入力 (負)	I	D15
CSI1_RXP1	CSI 差動受信入力 (正)	I	C16

表 5-110. CSI1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
CSI1_RXN2	CSI 差動受信入力 (負)	I	D14
CSI1_RXP2	CSI 差動受信入力 (正)	I	C15
CSI1_RXN3	CSI 差動受信入力 (負)	I	E13
CSI1_RXP3	CSI 差動受信入力 (正)	I	E14

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外部抵抗を接続する必要があります。

5.3.28 DSI_TX

5.3.28.1 メイン ドメイン

表 5-111. DSI_TX0 信号の説明

信号名 [1] (1)	説明 [2]	ピンの種類 [3]	BALL [4]
DSI_TXCLKN	DSI 差動送信クロック出力 (正)	O	E10
DSI_TXCLKP	DSI 差動送信クロック出力 (負)	O	E11
DSI_TXN0	DSI 差動送信出力 (負)	IO	D11
DSI_TXP0	DSI 差動送信出力 (正)	IO	C12
DSI_TXN1	DSI 差動送信出力 (負)	O	D12
DSI_TXP1	DSI 差動送信出力 (正)	O	C13
DSI_TXN2	DSI 差動送信出力 (負)	O	B13
DSI_TXP2	DSI 差動送信出力 (正)	O	A14
DSI_TXN3	DSI 差動送信出力 (負)	O	B14
DSI_TXP3	DSI 差動送信出力 (正)	O	A15
DSI_TXRCALIB (2)	オンチップ抵抗較正用に外部抵抗に接続する DSI ピン	A	F12

(1) これらのピンの機能は、CTRLMMR_DPHY_TX0_CTRL[1:0] LANE_FUNC_SEL によって制御されます。0x0 = DSI PPI、0x1 = CSI0 TX。

(2) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外部抵抗を接続する必要があります。

5.3.29 VPFE

5.3.29.1 メイン ドメイン

表 5-112. VPFE0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
VPFE0_FIELD	ビデオ入力フィールド インジケータ	I	AG23
VPFE0_HD	ビデオ入力の水平同期	I	AE22
VPFE0_PCLK	ビデオ入力ピクセル クロック	I	AH21
VPFE0_VD	ビデオ入力の垂直同期	I	AF23
VPFE0_WEN	ビデオ入力書き込みイネーブル	I	AD23
VPFE0_DATA0	ビデオ入力データ	I	AF24
VPFE0_DATA1	ビデオ入力データ	I	AJ24
VPFE0_DATA2	ビデオ入力データ	I	AG24
VPFE0_DATA3	ビデオ入力データ	I	AD24
VPFE0_DATA4	ビデオ入力データ	I	AC24
VPFE0_DATA5	ビデオ入力データ	I	AE24
VPFE0_DATA6	ビデオ入力データ	I	AJ21
VPFE0_DATA7	ビデオ入力データ	I	AE21

表 5-112. VPFE0 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
VPFE0_DATA8	ビデオ入力データ	I	AG25
VPFE0_DATA9	ビデオ入力データ	I	AJ27
VPFE0_DATA10	ビデオ入力データ	I	AC22
VPFE0_DATA11	ビデオ入力データ	I	AD19
VPFE0_DATA12	ビデオ入力データ	I	AD18
VPFE0_DATA13	ビデオ入力データ	I	AH24
VPFE0_DATA14	ビデオ入力データ	I	AE23
VPFE0_DATA15	ビデオ入力データ	I	AC21

5.3.30 DMTIMER

5.3.30.1 メイン ドメイン

表 5-113. DMTIMER 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
TIMER_IO0	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	P24, V6
TIMER_IO1	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	R24, V5
TIMER_IO2	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	AD23, P23
TIMER_IO3	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	AH24, R28
TIMER_IO4	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	AG21, T27
TIMER_IO5	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	AE23, T24
TIMER_IO6	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	AC2, T26
TIMER_IO7	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	AB1, T25

5.3.30.2 MCU ドメイン

表 5-114. DMTIMER 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCU_TIMER_IO0	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	E22, E28
MCU_TIMER_IO1	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	E25, H27
MCU_TIMER_IO2	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	A28
MCU_TIMER_IO3	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	A27
MCU_TIMER_IO4	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	A25
MCU_TIMER_IO5	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	D24

表 5-114. DMTIMER 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCU_TIMER_IO6	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	G27
MCU_TIMER_IO7	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	G26
MCU_TIMER_IO8	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	D26
MCU_TIMER_IO9	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	IO	D25

5.3.31 エミュレーションおよびデバッグ

5.3.31.1 メイン ドメイン

表 5-115. JTAG 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
EMU0	エミュレーション制御 0	IO	C26
EMU1	エミュレーション制御 1	IO	B29
TCK	JTAG テスト クロック入力	I	E29
TDI	JTAG テスト データ入力	I	V1
TDO	JTAG テスト データ出力	OZ	V3
TMS	JTAG テスト モード選択入力	I	V2
TRSTn	JTAG のリセット	I	F24

表 5-116. トレース信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
TRC_CLK	トレース クロック	O	U23
TRC_CTL	トレース制御	O	U26
TRC_DATA0	トレース データ 0	O	V28
TRC_DATA1	トレース データ 1	O	V29
TRC_DATA2	トレース データ 2	O	V27
TRC_DATA3	トレース データ 3	O	U28
TRC_DATA4	トレース データ 4	O	U29
TRC_DATA5	トレース データ 5	O	U25
TRC_DATA6	トレース データ 6	O	U27
TRC_DATA7	トレース データ 7	O	U24
TRC_DATA8	トレース データ 8	O	R23
TRC_DATA9	トレース データ 9	O	T23
TRC_DATA10	トレース データ 10	O	Y28
TRC_DATA11	トレース データ 11	O	V23
TRC_DATA12	トレース データ 12	O	W23
TRC_DATA13	トレース データ 13	O	W28
TRC_DATA14	トレース データ 14	O	V25
TRC_DATA15	トレース データ 15	O	W27
TRC_DATA16	トレース データ 16	O	W29
TRC_DATA17	トレース データ 17	O	W26
TRC_DATA18	トレース データ 18	O	Y29
TRC_DATA19	トレース データ 19	O	Y27
TRC_DATA20	トレース データ 20	O	W24
TRC_DATA21	トレース データ 21	O	W25
TRC_DATA22	トレース データ 22	O	V26
TRC_DATA23	トレース データ 23	O	V24

5.3.32 システム、その他

5.3.32.1 ブートモードの構成

5.3.32.1.1 メインドメイン

注

BOOTMODE ピンは、PORz_OUT の立ち上がりエッジでラッチされます。

表 5-117. Sysboot 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
BOOTMODE0	ブートモード ピン 0	I	AD20
BOOTMODE1	ブートモード ピン 1	I	AC22
BOOTMODE2	ブートモード ピン 2	I	AC29
BOOTMODE3	ブートモード ピン 3	I	Y25
BOOTMODE4	ブートモード ピン 4	I	V6
BOOTMODE5	ブートモード ピン 5	I	V5
BOOTMODE6	ブートモード ピン 6	I	AB27
BOOTMODE7 ⁽¹⁾	ブートモード ピン 7	I	AB24

(1) これらのボールが有効なロジック Low レベルに保持されるように、これらの各信号を個別の外付けプル抵抗を介して VSS に接続する必要があります。

5.3.32.1.2 MCU ドメイン

注

MCU_BOOTMODE ピンは、MCU_PORz_OUT の立ち上がりエッジでラッチされます。

表 5-118. Sysboot 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCU_BOOTMODE00	ブートモード ピン 00	I	E27
MCU_BOOTMODE01	ブートモード ピン 01	I	E24
MCU_BOOTMODE02	ブートモード ピン 02	I	E28
MCU_BOOTMODE03	ブートモード ピン 03	I	F26
MCU_BOOTMODE04	ブートモード ピン 04	I	F25
MCU_BOOTMODE05	ブートモード ピン 05	I	F28
MCU_BOOTMODE06	ブートモード ピン 06	I	H29
MCU_BOOTMODE07	ブートモード ピン 07	I	J27
MCU_BOOTMODE08	ブートモード ピン 08	I	G29
MCU_BOOTMODE09	ブートモード ピン 09	I	H28

5.3.32.2 クロック

5.3.32.2.1 メインドメイン

表 5-119. Clock1 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
OSC1_XI	高周波数発振器入力	I	P29

表 5-119. Clock1 信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
OSC1_XO	高周波数発振器出力	O	P27

5.3.32.2 WKUP ドメイン

表 5-120. Clock0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
WKUP_LFOSC0_XI	低周波 (32.768 KHz) 発振器入力	I	N28
WKUP_LFOSC0_XO	低周波数 (32.768kHz) 発振器出力	O	N26
WKUP_OSC0_XI	高周波数発振器入力	I	M29
WKUP_OSC0_XO	高周波数発振器出力	O	M27

5.3.32.3 システム

5.3.32.3.1 メイン ドメイン

表 5-121. System0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
AUDIO_EXT_REFCLK0	選択可能な入力クロックソースの 1 つとして、または ATL または MCASP の出力クロック出力として、ATL または MCASP に配線される外部クロック	IO	AD22
AUDIO_EXT_REFCLK1	選択可能な入力クロックソースの 1 つとして、または ATL または MCASP の出力クロック出力として、ATL または MCASP に配線される外部クロック	IO	AE20
AUDIO_EXT_REFCLK2	選択可能な入力クロックソースの 1 つとして、または ATL または MCASP の出力クロック出力として、ATL または MCASP に配線される外部クロック	IO	W26
AUDIO_EXT_REFCLK3	選択可能な入力クロックソースの 1 つとして、または ATL または MCASP の出力クロック出力として、ATL または MCASP に配線される外部クロック	IO	W25
EXTINTn	外部割り込み	I	AC18
EXT_REFCLK1	メインドメインへの外部クロック入力。タイマ / WDT モジュールのための選択可能な入力クロック源の 1 つとして、または MAIN_PLL2 (PER1 PLL) への基準クロックとして、タイマクロック マルチプレクサに配線します	I	U3
OBSCLK0	テストおよびデバッグ目的の監視クロック出力	O	V5
OBSCLK1	テストおよびデバッグ目的の監視クロック出力	O	AB24
OBSCLK2	テストおよびデバッグ目的の監視クロック出力	O	AD21
PORz_OUT	MAIN ドメインの POR ステータス出力	O	U1
RESETSTATz	MAIN ドメイン ウォームリセット ステータス出力	O	T6
SOC_SAFETY_ERRORn	MAIN ドメイン ESM からのエラー信号出力	IO	U4
SYSCLKOUT0	メイン PLL コントローラからの SYSCLK0 出力 (6 分周、テストおよびデバッグ専用)	O	V6
VMON_ER_VSYS	システム電源用の電圧モニタには、外付け分圧抵抗が必要です	A	M26
VMON_IR_VEXT	外部 1.8V 電源用の電圧モニタ、内蔵抵抗分圧器を使用します	A	V19

5.3.32.3.2 WKUP ドメイン

表 5-122. System0 信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
MCU_CLKOUT0	イーサネット PHY の基準クロック出力 (50MHz または 25MHz)	OZ	H27
MCU_EXT_REFCLK0	外部システム クロック入力	I	H26
MCU_OBSCLK0	テストおよびデバッグ目的の監視クロック出力	O	H27
MCU_PORz	MCU ドメイン コールドリセット	I	H23
MCU_PORz_OUT	マイコンドメインの POR ステータス出力	O	B28
MCU_RESETSTATz	MCU ドメイン ウォームリセット ステータス出力	O	C27
MCU_RESETz	MCU ドメイン ウォームリセット	I	D28
MCU_SAFETY_ERRORn	MCU ドメイン ESM からのエラー信号出力	IO	D27
MCU_SYSCLKOUT0	テストおよびデバッグ専用 MCU ドメイン システム クロック出力	O	H26
PORz	MAIN ドメイン コールドリセット	I	J24
RESET_REQz	メインドメイン外部ウォームリセット要求入力	I	C28
PMIC_POWER_EN0	ピン名は従来の目的で保持され、パワー イネーブルには使用されません	該当なし	E26
PMIC_POWER_EN1	メインドメイン電源用のパワー イネーブル出力	O	G23

5.3.32.4 EFUSE

表 5-123. EFUSE 信号の説明

信号名 [1]	説明 [2]	ピンの種類 [3]	BALL [4]
VPP_CORE ⁽¹⁾	MAIN ドメイン efuse のプログラミング電圧	PWR	AB11
VPP_MCU ⁽¹⁾	マイコンドメイン efuse のプログラミング電圧	PWR	F17

(1) この信号は、高セキュリティ デバイスに対してのみ有効です。詳細については、[セクション 6.7](#)「ワンタイム プログラマブル (OTP) eFUSE の VPP 仕様」を参照してください。汎用デバイスの場合は、信号、テスト ポイント、基板トレースをこの信号に接続しないでください。

5.3.33 電源

注

[セクション 6.4](#)、信号の説明」に特に記述のない限り、すべての電源ボールには、[セクション 5.3](#)、推奨動作条件で規定されている電圧を供給する必要があります。

表 5-124. 電源信号の説明

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
CAP_VDDSD0 ⁽¹⁾	外部コンデンサ接続	CAP	U7
CAP_VDDSD0_MCU ⁽¹⁾	外部コンデンサ接続	CAP	K23
CAP_VDDSD1 ⁽¹⁾	外部コンデンサ接続	CAP	AB21
CAP_VDDSD1_MCU ⁽¹⁾	外部コンデンサ接続	CAP	J18
CAP_VDDSD2 ⁽¹⁾	外部コンデンサ接続	CAP	Y18
CAP_VDDSD2_MCU ⁽¹⁾	外部コンデンサ接続	CAP	J19
CAP_VDDSD3 ⁽¹⁾	外部コンデンサ接続	CAP	W21
CAP_VDDSD4 ⁽¹⁾	外部コンデンサ接続	CAP	AA22
CAP_VDDSD5 ⁽¹⁾	外部コンデンサ接続	CAP	R22

表 5-124. 電源信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
CAP_VDDS6 ⁽¹⁾	外部コンデンサ接続	CAP	V22
VDDAR_CORE	メインドメイン RAM 電源	PWR	L14、V13、V16、W19
VDDAR_CPU	CPU RAM 電源	PWR	L11、W12
VDDAR_MCU	MCUSS RAM 電源	PWR	K19、T19
VDDA_0P8_CSIRX	CSIRX アナログ電源 LOW	PWR	H17
VDDA_0P8_DP	Displayport SERDES アナログ電源 low	PWR	G12、J12
VDDA_0P8_DP_C	Displayport SERDES クロック電源	PWR	G14、H13
VDDA_0P8_DSITX	DSITX クロック電源	PWR	H15
VDDA_0P8_DSITX_C	DSITX クロック電源	PWR	J16
VDDA_0P8_UFS	UFS アナログ電源 LOW	PWR	AB9
VDDA_0P8_USB	USB0-1 0.8V アナログ電源	PWR	AA10
VDDA_0P8_SERDES0_1	SERDES0-1 アナログ電源 LOW	PWR	AA15、Y14、Y16
VDDA_0P8_SERDES2_3	SERDES2-3 アナログ電源 LOW	PWR	AA12、Y11、Y13
VDDA_0P8_SERDES_C0_1	SERDES0-1 クロック電源	PWR	AB14、AB15
VDDA_0P8_SERDES_C2_3	SERDES2-3 クロック電源	PWR	AB12、AB13
VDDA_1P8_CSIRX	CSIRX アナログ電源 HIGH	PWR	G16
VDDA_1P8_DP	Displayport SERDES アナログ電源 high	PWR	H11
VDDA_1P8_DSITX	DSITX アナログ電源 HIGH	PWR	J14
VDDA_1P8_UFS	UFS アナログ電源 HIGH	PWR	AC8
VDDA_1P8_USB	USB0-1 1.8 V アナログ電源	PWR	AC9
VDDA_1P8_SERDES0_1	SERDES0-1 アナログ電源 HIGH	PWR	AC14、AC15
VDDA_1P8_SERDES2_3	SERDES2-3 アナログ電源 HIGH	PWR	AC11、AC12
VDDA_3P3_USB	USB0-1 3.3V アナログ電源	PWR	AB10
VDDA_ADC0	ADC アナログ電源と高電圧リファレンス (VREFP)	PWR	N22
VDDA_ADC1	ADC アナログ電源と高電圧リファレンス (VREFP)	PWR	M23
VDDA_0P8_PLL_DDR	DDR PLL アナログ電源	PWR	N9
VDDA_MCU_PLLGRP0	マイコン PLL グループ 0 のアナログ電源	PWR	G18
VDDA_MCU_TEMP	MCU ドメインの温度センサ 0 のアナログ電源	PWR	P21
VDDA_1P8_MLB	MLB IO 電源 (6 ピンインターフェイス)	PWR	W7
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源	PWR	Y20
VDDA_PLLGRP1	メイン PLL グループ 1 のアナログ電源	PWR	W17
VDDA_PLLGRP2	メイン PLL グループ 2 のアナログ電源	PWR	M17
VDDA_PLLGRP3	メイン PLL グループ 3 のアナログ電源	PWR	L12
VDDA_PLLGRP4	メイン PLL グループ 4 のアナログ電源	PWR	R11
VDDA_PLLGRP5	メイン PLL グループ 5 のアナログ電源 (DDR)	PWR	P9
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源	PWR	W18
VDDA_0P8_PLL_MLB	MLB PLL アナログ電源	PWR	W8
VDDA_POR_WKUP	WKUP ドメイン アナログ電源	PWR	P22
VDDA_TEMP0_1	温度センサ 0 および 1 のアナログ電源	PWR	W15
VDDA_TEMP2_3	温度センサ 2 および 3 のアナログ電源	PWR	H9
VDDA_WKUP	WKUP ドメインの発振器電源	PWR	H22
VDDSHV0	メインドメイン全般の IO 電源	PWR	U8、V7

表 5-124. 電源信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメインドメインのウォームリセットピン	PWR	L22、M22
VDDSHV1	メインドメイン IO グループ 1 の IO 電源	PWR	AA19、AA20、AC19、AC20
VDDSHV1_MCU	MCUSS IO グループ 1 の IO 電源	PWR	H19、H21、J20
VDDSHV2	メインドメイン IO グループ 2 の IO 電源	PWR	AA17、AB16、AB18、AC17
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	PWR	J22、K21
VDDSHV3	メインドメイン IO グループ 3 の IO 電源	PWR	V21、W22
VDDSHV4	メインドメイン IO グループ 4 の IO 電源	PWR	AA21、Y22
VDDSHV5	メインドメイン IO グループ 5 の IO 電源	PWR	T20、T22
VDDSHV6	メインドメイン IO グループ 6 の IO 電源	PWR	U20、U22
VDDS_DDR	DDR インターフェイス電源	PWR	A1、G8、J8、K7、L8、M7、N8、P7、R8、T1
VDDS_DDR_BIAS	LPDDR4 のバイアス電源	PWR	H7、J6、R6、T7
VDDS_DDR_C	DDR メモリクロックビット (MCB) マクロの IO 電源	PWR	M9
VDDS_MMC0	MMC0 IO 電源	PWR	AA8、AB7、Y7
VDDS_OSC1	HFOSC1 電源	PWR	R21
VDD_CORE	メインドメイン コア電源	PWR	J10、K11、K13、K15、K17、K9、L10、L16、L18、M15、N14、N16、N18、P13、P15、P17、R14、R16、R18、R20、T15、T17、T9、U14、U16、U18、V15、V17、V20、W14
VDD_CPU	CPU コア電源	PWR	N10、P11、R10、R12、U10、V11、V9、W10
VDDA_0P8_DLL_MMC0	MMC0 DLL アナログ電源	PWR	Y9
VDD_MCU	MCUSS コア電源	PWR	L20、M19、M21、N20、P19

表 5-124. 電源信号の説明 (続き)

信号名 [1]	説明 [2]	ピンタイプ [3]	BALL [4]
VSS	グラウンド	GND	AA13, AC10, AC13, AD11, AD14, AD17, AE10, AE12, AE15, AE16, AE19, AE7, AF20, AF25, AF5, AG4, AG7, AH2, AH20, AH5, AJ4, AJ7, B3, B6, C1, C5, D2, D4, E1, E5, F4, G1, G7, H4, H6, K1, K4, L3, M1, M28, M4, M6, N27, N29, N3, P1, P28, P4, R3, U5 A10, A13, A16, A19, A22, A7, AA11, AA14, AA16, AA18, AA7, AA9, AB17, AB19, AB20, AB22, AB8, AC16, AF11, AF14, AF17, AF8, AG10, AG13, AG16, AG19, AH11, AH14, AH17, AH8, AJ10, AJ13, AJ16, AJ19, B12, B15, B18, B21, B9, C11, C14, C17, C20, C8, D10, D13, D16, D19, D7, E12, E15, E9, F14, F8, G11, G13, G15, G17, H10, H12, H14, H16, H18, H20, H8, J11, J13, J15, J17, J21, J23, J7, J9, K10, K12, K14, K16, K18, K20, K22, K8, L13, L15, L17, L19, L21, L23, L7, L9, M10, M14, M16, M18, M20, M8, N15, N17, N19, N21, N7, P10, P12, P14, P16, P18, P20, P8, R13, R15, R17, R19, R7, R9, T10, T14, T16, T18, T21, T8, U15, U17, U19, U21, U9, V10, V12, V14, V18, V8, W11, W13, W16, W20, W9, Y10, Y12, Y15, Y17, Y19, Y21, Y8

(1) このピンは、常に $1\mu\text{F} \pm 10\%$ のコンデンサを介して VSS に接続する必要があります。

5.4 ピン多重化

注

多くのデバイスピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は2層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラルロジック機能に関連付けられます。

表 5-125「ピン属性」では、ピンにおける信号多重化しか説明していません。ピンでの信号多重化の詳細については、デバイスのテクニカルリファレンスマニュアルの「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。ペリフェラル信号の多重化に関する情報については、デバイスのテクニカルリファレンスマニュアルで該当するペリフェラルの章を参照してください。

注

定義されていないピン多重化モードにパッドが設定されると、そのパッドの挙動は未定義になります。これは避けるべきです。

注

表 5-125「ピン多重化」には SerDes 信号機能は含まれていません。詳細については、デバイスのテクニカルリファレンスマニュアルの「シリアライザ / デシリアライザ (SerDes)」の章を参照してください。

注

表 5-125「ピン多重化」には、DPHY_TX 信号機能は含まれていません。詳細については、デバイスのテクニカルリファレンスマニュアルの「D-PHY トランスミッタ (DPHY_TX)」の章を参照してください。」

I/O セル構成の詳細については、デバイスのテクニカルリファレンスマニュアルの「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

表 5-125. ピン多重化

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x00011C294	PADCONFIG165	AD1	MLB0_ML BSP								GPIO1_30								
0x00011C29C	PADCONFIG167	AC3	MLB0_ML BDP								GPIO1_32								
0x00011C290	PADCONFIG164	U6	USB0_DR VVBUS	USB1_DR VVBUS							GPIO1_29								
0x00011C298	PADCONFIG166	AC1	MLB0_ML BSN								GPIO1_31								
0x00011C2A0	PADCONFIG168	AD3	MLB0_ML BDN								GPIO1_33								

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x00011C2A4	PADCONFIG169	AD2	MLB0_MLBCP									GPIO1_34							
0x00011C2A8	PADCONFIG170	AE2	MLB0_MLBCN									GPIO1_35							
0x00011C000	PADCONFIG0	AC18	EXTINTn									GPIO0_0							
0x00011C004	PADCONFIG1	AC23	PRG1_PR U0_GPO0	PRG1_PR U0_GPI0	PRG1_RG MII1_RD0	PRG1_PW M3_A0	RGMI11_R D0	RMII1_RX D0				GPIO0_1	GPMC0_B E1n	RGMI17_R D0			MCASP6_ACLKX		UART0_R XD
0x00011C008	PADCONFIG2	AG22	PRG1_PR U0_GPO1	PRG1_PR U0_GPI1	PRG1_RG MII1_RD1	PRG1_PW M3_B0	RGMI11_R D1	RMII1_RX D1				GPIO0_2	GPMC0_W AIT0	RGMI17_R D1			MCASP6_AFSX		UART0_TX D
0x00011C00C	PADCONFIG3	AF22	PRG1_PR U0_GPO2	PRG1_PR U0_GPI2	PRG1_RG MII1_RD2	PRG1_PW M2_A0	RGMI11_R D2	RMII1_CR S_DV				GPIO0_3	GPMC0_W AIT1	RGMI17_R D2			MCASP6_AXR0		UART1_R XD
0x00011C010	PADCONFIG4	AJ23	PRG1_PR U0_GPO3	PRG1_PR U0_GPI3	PRG1_RG MII1_RD3	PRG1_PW M3_A2	RGMI11_R D3	RMII1_RX _ER				GPIO0_4	GPMC0_DI R	RGMI17_R D3			MCASP6_AXR1		UART1_TX D
0x00011C014	PADCONFIG5	AH23	PRG1_PR U0_GPO4	PRG1_PR U0_GPI4	PRG1_RG MII1_RX_CTL	PRG1_PW M2_B0	RGMI11_R X_CTL	RMII1_TX D0				GPIO0_5	GPMC0_C Sn2	RGMI17_R X_CTL			MCASP6_AXR2	MCASP6_ACLKR	UART2_R XD
0x00011C018	PADCONFIG6	AD20	PRG1_PR U0_GPO5	PRG1_PR U0_GPI5		PRG1_PW M3_B2		RMII1_TX_EN				GPIO0_6	GPMC0_W En				MCASP3_AXR0		BOOTMODE0
0x00011C01C	PADCONFIG7	AD22	PRG1_PR U0_GPO6	PRG1_PR U0_GPI6	PRG1_RG MII1_RXC	PRG1_PW M3_A1	RGMI11_R XC	RMII1_TX D1	AUDIO_EX T_REFCLK0			GPIO0_7	GPMC0_C Sn3	RGMI17_R XC			MCASP6_AXR3	MCASP6_AFSR	UART2_TX D
0x00011C020	PADCONFIG8	AE20	PRG1_PR U0_GPO7	PRG1_PR U0_GPI7	PRG1_IEP0_EDC_LA TCH_IN1	PRG1_PW M3_B1		AUDIO_EX T_REFCLK1	MCAN4_T X			GPIO0_8					MCASP3_AXR1		
0x00011C024	PADCONFIG9	AJ20	PRG1_PR U0_GPO8	PRG1_PR U0_GPI8		PRG1_PW M2_A1		RMII5_RX D0	MCAN4_R X			GPIO0_9	GPMC0_O En_REn			VOUT0_D ATA22		MCASP3_AXR2	
0x00011C028	PADCONFIG10	AG20	PRG1_PR U0_GPO9	PRG1_PR U0_GPI9	PRG1_UA RT0_CTSn	PRG1_PW M3_TZ_IN	SPI6_CS1	RMII5_RX D1				GPIO0_10	GPMC0_A DVn_ALE	PRG1_IEP0_EDIO_D ATA_IN_0 UT28		VOUT0_D ATA23		MCASP3_ACLKX	
0x00011C02C	PADCONFIG11	AD21	PRG1_PR U0_GPO10	PRG1_PR U0_GPI10	PRG1_UA RT0_RTsn	PRG1_PW M2_B1	SPI6_CS2	RMII5_CR S_DV				GPIO0_11	GPMC0_B E0n_CLE	PRG1_IEP0_EDIO_D ATA_IN_0 UT29		OBSCLK2		MCASP3_AFSX	
0x00011C030	PADCONFIG12	AF24	PRG1_PR U0_GPO11	PRG1_PR U0_GPI11	PRG1_RG MII1_TD0	PRG1_PW M3_TZ_0 UT	RGMI11_T D0		MCAN4_T X			GPIO0_12		RGMI17_T D0	VOUT0_D ATA16	VPFE0_D ATA0	MCASP7_ACLKX		
0x00011C034	PADCONFIG13	AJ24	PRG1_PR U0_GPO12	PRG1_PR U0_GPI12	PRG1_RG MII1_TD1	PRG1_PW M0_A0	RGMI11_T D1		MCAN4_R X			GPIO0_13		RGMI17_T D1	VOUT0_D ATA17	VPFE0_D ATA1	MCASP7_AFSX		
0x00011C038	PADCONFIG14	AG24	PRG1_PR U0_GPO13	PRG1_PR U0_GPI13	PRG1_RG MII1_TD2	PRG1_PW M0_B0	RGMI11_T D2		MCAN5_T X			GPIO0_14		RGMI17_T D2	VOUT0_D ATA18	VPFE0_D ATA2	MCASP7_AXR0		
0x00011C03C	PADCONFIG15	AD24	PRG1_PR U0_GPO14	PRG1_PR U0_GPI14	PRG1_RG MII1_TD3	PRG1_PW M0_A1	RGMI11_T D3		MCAN5_R X			GPIO0_15		RGMI17_T D3	VOUT0_D ATA19	VPFE0_D ATA3	MCASP7_AXR1		

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ	
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14
0x00011C040	PADCONFIG16	AC24	PRG1_PR U0_GPO15	PRG1_PR U0_GPI15	PRG1_RG MII1_TX_CTL	PRG1_PW M0_B1	RGMI11_TX_CTL		MCAN6_TX	GPIO0_16		RGMI17_TX_CTL	VOUT0_D ATA20	VPFE0_DTA4	MCASP7_AXR2	MCASP7_ACLKR		
0x00011C044	PADCONFIG17	AE24	PRG1_PR U0_GPO16	PRG1_PR U0_GPI16	PRG1_RG MII1_TXC	PRG1_PW M0_A2	RGMI11_TXC		MCAN6_RX	GPIO0_17		RGMI17_TXC	VOUT0_D ATA21	VPFE0_DTA5	MCASP7_AXR3	MCASP7_AFSR		
0x00011C04C	PADCONFIG19	AJ21	PRG1_PR U0_GPO17	PRG1_PR U0_GPI17	PRG1_IEP0_EDC_SY NC_OUT1	PRG1_PW M0_B2		RMI15_TXD1	MCAN5_TX	GPIO0_18				VPFE0_DTA6	MCASP3_AXR3			
0x00011C050	PADCONFIG20	AE21	PRG1_PR U0_GPO18	PRG1_PR U0_GPI18	PRG1_IEP0_EDC_LA TCH_IN0	PRG1_PW M0_TZ_IN		RMI15_RX_ER	MCAN5_RX	GPIO0_19				VPFE0_DTA7	MCASP4_ACLKX			
0x00011C054	PADCONFIG21	AH21	PRG1_PR U0_GPO19	PRG1_PR U0_GPI19	PRG1_IEP0_EDC_SY NC_OUT0	PRG1_PW M0_TZ_O UT		RMI15_TXD0	MCAN6_TX	GPIO0_20			VOUT0_E XTPCLKIN	VPFE0_PC LK	MCASP4_AFSX			
0x00011C058	PADCONFIG22	AE22	PRG1_PR U1_GPO0	PRG1_PR U1_GPI0	PRG1_RG MII2_RD0		RGMI12_RXD0	RMI12_RXD0		GPIO0_21	RGMI18_RXD0		VOUT0_D ATA0	VPFE0_H D	MCASP8_ACLKX			
0x00011C05C	PADCONFIG23	AG23	PRG1_PR U1_GPO1	PRG1_PR U1_GPI1	PRG1_RG MII2_RD1		RGMI12_RXD1	RMI12_RXD1		GPIO0_22	RGMI18_RXD1		VOUT0_D ATA1	VPFE0_FI ELD	MCASP8_AFSX			
0x00011C060	PADCONFIG24	AF23	PRG1_PR U1_GPO2	PRG1_PR U1_GPI2	PRG1_RG MII2_RD2	PRG1_PW M2_A2	RGMI12_RXD2	RMI12_CR S_DV		GPIO0_23	RGMI18_RXD2		VOUT0_D ATA2	VPFE0_VD	MCASP8_AXR0	MCASP3_ACLKR		
0x00011C064	PADCONFIG25	AD23	PRG1_PR U1_GPO3	PRG1_PR U1_GPI3	PRG1_RG MII2_RD3		RGMI12_RXD3	RMI12_RX_ER		GPIO0_24	RGMI18_RXD3	EQEP1_A	VOUT0_D ATA3	VPFE0_W EN	MCASP8_AXR1	MCASP3_AFSR	TIMER_IO2	
0x00011C068	PADCONFIG26	AH24	PRG1_PR U1_GPO4	PRG1_PR U1_GPI4	PRG1_RG MII2_RX_CTL	PRG1_PW M2_B2	RGMI12_RX_CTL	RMI12_TXD0		GPIO0_25	RGMI18_RX_CTL	EQEP1_B	VOUT0_D ATA4	VPFE0_DTA13	MCASP8_AXR2	MCASP8_ACLKR	TIMER_IO3	
0x00011C06C	PADCONFIG27	AG21	PRG1_PR U1_GPO5	PRG1_PR U1_GPI5				RMI15_TX_EN	MCAN6_RX	GPIO0_26	GPMC0_W Pn	EQEP1_S	VOUT0_D ATA5		MCASP4_AXR0		TIMER_IO4	
0x00011C070	PADCONFIG28	AE23	PRG1_PR U1_GPO6	PRG1_PR U1_GPI6	PRG1_RG MII2_RXC		RGMI12_RXC	RMI12_TXD1		GPIO0_27	RGMI18_RXC		VOUT0_D ATA6	VPFE0_DTA14	MCASP8_AXR3	MCASP8_AFSR	TIMER_IO5	
0x00011C074	PADCONFIG29	AC21	PRG1_PR U1_GPO7	PRG1_PR U1_GPI7	PRG1_IEP1_EDC_LA TCH_IN1		SPI6_CS0	RMI16_RX_ER	MCAN7_TX	GPIO0_28			VOUT0_D ATA7	VPFE0_DTA15	MCASP4_AXR1		UART3_TXD	
0x00011C078	PADCONFIG30	Y23	PRG1_PR U1_GPO8	PRG1_PR U1_GPI8		PRG1_PW M2_TZ_O UT		RMI16_RXD0	MCAN7_RX	GPIO0_29	GPMC0_C Sn1		VOUT0_D ATA8		MCASP4_AXR2		UART3_RXD	
0x00011C07C	PADCONFIG31	AF21	PRG1_PR U1_GPO9	PRG1_PR U1_GPI9	PRG1_UA RT0_RXD		SPI6_CS3	RMI16_RXD1	MCAN8_TX	GPIO0_30	GPMC0_C Sn0	PRG1_IEP0_EDIO_D ATA_IN_O UT30	VOUT0_D ATA9		MCASP4_AXR3			
0x00011C080	PADCONFIG32	AB23	PRG1_PR U1_GPO10	PRG1_PR U1_GPI10	PRG1_UA RT0_TXD	PRG1_PW M2_TZ_IN		RMI16_CR S_DV	MCAN8_RX	GPIO0_31	GPMC0_C LKOUT	PRG1_IEP0_EDIO_D ATA_IN_O UT31	VOUT0_D ATA10	GPMC0_F CLK_MUX	MCASP5_ACLKX			
0x00011C084	PADCONFIG33	AJ25	PRG1_PR U1_GPO11	PRG1_PR U1_GPI11	PRG1_RG MII2_TD0		RGMI12_TXD0	RMI12_TX_EN		GPIO0_32	RGMI18_TXD0	EQEP1_I	VOUT0_D ATA11		MCASP9_ACLKX			
0x00011C088	PADCONFIG34	AH25	PRG1_PR U1_GPO12	PRG1_PR U1_GPI12	PRG1_RG MII2_TD1	PRG1_PW M1_A0	RGMI12_TXD1		MCAN7_TX	GPIO0_33	RGMI18_TXD1		VOUT0_D ATA12		MCASP9_AFSX			

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ	
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14
0x00011C08C	PADCONFIG35	AG25	PRG1_PR U1_GPO1 3	PRG1_PR U1_GPI13	PRG1_RG MII2_TD2	PRG1_PW M1_B0	RGMI2_T D2		MCAN7_R X	GPIO0_34	RGMI8_T D2		VOUT0_D ATA13	VPFE0_DA TA8	MCASP9_ AXR0	MCASP4_ ACLKR		
0x00011C090	PADCONFIG36	AH26	PRG1_PR U1_GPO1 4	PRG1_PR U1_GPI14	PRG1_RG MII2_TD3	PRG1_PW M1_A1	RGMI2_T D3		MCAN8_T X	GPIO0_35	RGMI8_T D3		VOUT0_D ATA14		MCASP9_ AXR1	MCASP4_ AFSR		
0x00011C094	PADCONFIG37	AJ27	PRG1_PR U1_GPO1 5	PRG1_PR U1_GPI15	PRG1_RG MII2_TX_C TL	PRG1_PW M1_B1	RGMI2_T X_CTL		MCAN8_R X	GPIO0_36	RGMI8_T X_CTL		VOUT0_D ATA15	VPFE0_DA TA9	MCASP9_ AXR2	MCASP9_ ACLKR		
0x00011C098	PADCONFIG38	AJ26	PRG1_PR U1_GPO1 6	PRG1_PR U1_GPI16	PRG1_RG MII2_TXC	PRG1_PW M1_A2	RGMI2_T XC			GPIO0_37	RGMI8_T XC	VOUT0_V P2_HSYN C	VOUT0_H SYNC		MCASP9_ AXR3	MCASP9_ AFSR	VOUT0_V P0_HSYN C	
0x00011C09C	PADCONFIG39	AC22	PRG1_PR U1_GPO1 7	PRG1_PR U1_GPI17	PRG1_IEP 1_EDC_SY NC_OUT1	PRG1_PW M1_B2	SPI6_CLK	RMII6_TX_ EN	PRG1_EC AP0_SYN C_OUT	GPIO0_38		VOUT0_V P2_DE	VOUT0_D E	VPFE0_DA TA10	MCASP5_ AFSX		VOUT0_V P0_DE	BOOTMO DE1
0x00011C0A0	PADCONFIG40	AJ22	PRG1_PR U1_GPO1 8	PRG1_PR U1_GPI18	PRG1_IEP 1_EDC_LA TCH_IN0	PRG1_PW M1_TZ_IN	SPI6_D0	RMII6_TX D0	PRG1_EC AP0_SYN C_IN	GPIO0_39		VOUT0_V P2_VSYN C	VOUT0_V SYNC		MCASP5_ AXR0		VOUT0_V P0_VSYN C	
0x00011C0A4	PADCONFIG41	AH22	PRG1_PR U1_GPO1 9	PRG1_PR U1_GPI19	PRG1_IEP 1_EDC_SY NC_OUT0	PRG1_PW M1_TZ_O UT	SPI6_D1	RMII6_TX D1	PRG1_EC AP0_IN_A PWM_OUT	GPIO0_40			VOUT0_P CLK		MCASP5_ AXR1			
0x00011C0A8	PADCONFIG42	AD19	PRG1_MDI O0_MDIO	SPI1_CS2	I2C4_SCL					GPIO0_41			DSS_FSY NC1	VPFE0_DA TA11	MCASP5_ ACLKR	MCASP5_ ACLKR	UART3_CT Sn	
0x00011C0AC	PADCONFIG43	AD18	PRG1_MDI O0_MDC	SPI1_CS3	I2C4_SDA			RMII_REF _CLK		GPIO0_42				VPFE0_DA TA12	MCASP5_ AXR3	MCASP5_ AFSR	UART3_RT Sn	
0x00011C0B0	PADCONFIG44	AF28	PRG0_PR U0_GPO0	PRG0_PR U0_GPI0	PRG0_RG MII1_RD0	PRG0_PW M3_A0	RGMI3_R D0	RMII3_RX D1		GPIO0_43					MCASP0_ AXR0			
0x00011C0B4	PADCONFIG45	AE28	PRG0_PR U0_GPO1	PRG0_PR U0_GPI1	PRG0_RG MII1_RD1	PRG0_PW M3_B0	RGMI3_R D1	RMII3_RX D0		GPIO0_44					MCASP0_ AXR1			
0x00011C0B8	PADCONFIG46	AE27	PRG0_PR U0_GPO2	PRG0_PR U0_GPI2	PRG0_RG MII1_RD2	PRG0_PW M2_A0	RGMI3_R D2	RMII3_CR S_DV		GPIO0_45	UART3_R XD				MCASP0_ ACLKR			
0x00011C0BC	PADCONFIG47	AD26	PRG0_PR U0_GPO3	PRG0_PR U0_GPI3	PRG0_RG MII1_RD3	PRG0_PW M3_A2	RGMI3_R D3	RMII3_RX _ER		GPIO0_46	UART3_TX D				MCASP0_ AFSR			
0x00011C0C0	PADCONFIG48	AD25	PRG0_PR U0_GPO4	PRG0_PR U0_GPI4	PRG0_RG MII1_RX_ CTL	PRG0_PW M2_B0	RGMI3_R X_CTL	RMII3_TX D1		GPIO0_47					MCASP0_ AXR2			
0x00011C0C4	PADCONFIG49	AC29	PRG0_PR U0_GPO5	PRG0_PR U0_GPI5		PRG0_PW M3_B2		RMII3_TX D0		GPIO0_48	GPMC0_A D0				MCASP0_ AXR3			BOOTMO DE2
0x00011C0C8	PADCONFIG50	AE26	PRG0_PR U0_GPO6	PRG0_PR U0_GPI6	PRG0_RG MII1_RXC	PRG0_PW M3_A1	RGMI3_R XC	RMII3_TX_ EN		GPIO0_49					MCASP0_ AXR4			
0x00011C0CC	PADCONFIG51	AC28	PRG0_PR U0_GPO7	PRG0_PR U0_GPI7	PRG0_IEP 0_EDC_LA TCH_IN1	PRG0_PW M3_B1	PRG0_EC AP0_SYN C_IN		MCAN9_T X	GPIO0_50	GPMC0_A D1				MCASP0_ AXR5			
0x00011C0D0	PADCONFIG52	AC27	PRG0_PR U0_GPO8	PRG0_PR U0_GPI8		PRG0_PW M2_A1			MCAN9_R X	GPIO0_51	GPMC0_A D2				MCASP0_ AXR6		UART6_R XD	

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ	
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14
0x00011C0D4	PADCONFIG53	AB26	PRG0_PR U0_GPO9	PRG0_PR U0_GPI9	PRG0_UA RT0_CTSn	PRG0_PW M3_TZ_IN	SPI3_CS1	PRG0_IEP0_EDIO_D ATA_IN_O UT28	MCAN10_TX	GPIO0_52	GPMC0_A D3				MCASP0_ACLKX		UART6_TX D	
0x00011C0D8	PADCONFIG54	AB25	PRG0_PR U0_GPO10	PRG0_PR U0_GPI10	PRG0_UA RT0_RTSh	PRG0_PW M2_B1	SPI3_CS2	PRG0_IEP0_EDIO_D ATA_IN_O UT29	MCAN10_RX	GPIO0_53	GPMC0_A D4				MCASP0_AFSX			
0x00011C0DC	PADCONFIG55	AJ28	PRG0_PR U0_GPO11	PRG0_PR U0_GPI11	PRG0_RG MII1_TD0	PRG0_PW M3_TZ_O UT	RGMI13_T D0			GPIO0_54			CLKOUT		MCASP0_AXR7			
0x00011C0E0	PADCONFIG56	AH27	PRG0_PR U0_GPO12	PRG0_PR U0_GPI12	PRG0_RG MII1_TD1	PRG0_PW M0_A0	RGMI13_T D1			GPIO0_55			DSS_FSY NC0		MCASP0_AXR8			
0x00011C0E4	PADCONFIG57	AH29	PRG0_PR U0_GPO13	PRG0_PR U0_GPI13	PRG0_RG MII1_TD2	PRG0_PW M0_B0	RGMI13_T D2			GPIO0_56			DSS_FSY NC2		MCASP0_AXR9			
0x00011C0E8	PADCONFIG58	AG28	PRG0_PR U0_GPO14	PRG0_PR U0_GPI14	PRG0_RG MII1_TD3	PRG0_PW M0_A1	RGMI13_T D3			GPIO0_57	UART4_R XD				MCASP0_AXR10			
0x00011C0EC	PADCONFIG59	AG27	PRG0_PR U0_GPO15	PRG0_PR U0_GPI15	PRG0_RG MII1_TX_C TL	PRG0_PW M0_B1	RGMI13_T X_CTL			GPIO0_58	UART4_TX D		DSS_FSY NC3		MCASP0_AXR11			
0x00011C0F0	PADCONFIG60	AH28	PRG0_PR U0_GPO16	PRG0_PR U0_GPI16	PRG0_RG MII1_TXC	PRG0_PW M0_A2	RGMI13_T XC			GPIO0_59			DSS_FSY NC1		MCASP0_AXR12			
0x00011C0F4	PADCONFIG61	AB24	PRG0_PR U0_GPO17	PRG0_PR U0_GPI17	PRG0_IEP0_EDC_SY NC_OUT1	PRG0_PW M0_B2	PRG0_EC AP0_SYN C_OUT			GPIO0_60	GPMC0_A D5	OBSCLK1			MCASP0_AXR13			BOOTMO DE7
0x00011C0F8	PADCONFIG62	AB29	PRG0_PR U0_GPO18	PRG0_PR U0_GPI18	PRG0_IEP0_EDC_LA TCH_IN0	PRG0_PW M0_TZ_IN	PRG0_EC AP0_IN_A PWM_OUT			GPIO0_61	GPMC0_A D6				MCASP0_AXR14			
0x00011C0FC	PADCONFIG63	AB28	PRG0_PR U0_GPO19	PRG0_PR U0_GPI19	PRG0_IEP0_EDC_SY NC_OUT0	PRG0_PW M0_TZ_O UT				GPIO0_62	GPMC0_A D7				MCASP0_AXR15			
0x00011C100	PADCONFIG64	AE29	PRG0_PR U1_GPO0	PRG0_PR U1_GPI0	PRG0_RG MII2_RD0		RGMI14_R D0	RMII4_RX D0		GPIO0_63	UART4_CT Sn			MCASP1_AXR0		UART5_R XD		
0x00011C104	PADCONFIG65	AD28	PRG0_PR U1_GPO1	PRG0_PR U1_GPI1	PRG0_RG MII2_RD1		RGMI14_R D1	RMII4_RX D1		GPIO0_64	UART4_RT Sn			MCASP1_AXR1		UART5_TX D		
0x00011C108	PADCONFIG66	AD27	PRG0_PR U1_GPO2	PRG0_PR U1_GPI2	PRG0_RG MII2_RD2	PRG0_PW M2_A2	RGMI14_R D2	RMII4_CR S_DV		GPIO0_65	GPMC0_A 23			MCASP1_ACLKR	MCASP1_AXR10			
0x00011C10C	PADCONFIG67	AC25	PRG0_PR U1_GPO3	PRG0_PR U1_GPI3	PRG0_RG MII2_RD3		RGMI14_R D3	RMII4_RX_ER		GPIO0_66				MCASP1_AFSR	MCASP1_AXR11			
0x00011C110	PADCONFIG68	AD29	PRG0_PR U1_GPO4	PRG0_PR U1_GPI4	PRG0_RG MII2_RX_C TL	PRG0_PW M2_B2	RGMI14_R X_CTL	RMII4_TX D1		GPIO0_67	GPMC0_A 24			MCASP1_AXR2				
0x00011C114	PADCONFIG69	AB27	PRG0_PR U1_GPO5	PRG0_PR U1_GPI5						GPIO0_68	GPMC0_A D8			MCASP1_ACLKX				BOOTMO DE6

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ	
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14
0x00011C118	PADCONFIG70	AC26	PRG0_PR U1_GPO6	PRG0_PR U1_GPI6	PRG0_RG MII2_RXC		RGMI4_R XC	RMII4_TX D0		GPIO0_69	GPMC0_A D25				MCASP1_ AXR3			
0x00011C11C	PADCONFIG71	AA24	PRG0_PR U1_GPO7	PRG0_PR U1_GPI7	PRG0_IEP 1_EDC_LA TCH_IN1		SPI3_CS0		MCAN11_T X	GPIO0_70	GPMC0_A D9				MCASP1_ AXR4			UART2_TX D
0x00011C120	PADCONFIG72	AA28	PRG0_PR U1_GPO8	PRG0_PR U1_GPI8		PRG0_PW M2_TZ_O UT			MCAN11_ RX	GPIO0_71	GPMC0_A D10				MCASP1_ AFSX			
0x00011C124	PADCONFIG73	Y24	PRG0_PR U1_GPO9	PRG0_PR U1_GPI9	PRG0_UA RT0_RXD		SPI3_CS3		PRG0_IEP 0_EDIO_D ATA_IN_O UT30	GPIO0_72	GPMC0_A D11		DSS_FSY NC3		MCASP1_ AXR5			UART8_R XD
0x00011C128	PADCONFIG74	AA25	PRG0_PR U1_GPO10	PRG0_PR U1_GPI10	PRG0_UA RT0_TXD	PRG0_PW M2_TZ_IN			PRG0_IEP 0_EDIO_D ATA_IN_O UT31	GPIO0_73	GPMC0_A D12	CLKOUT			MCASP1_ AXR6			UART8_TX D
0x00011C12C	PADCONFIG75	AG26	PRG0_PR U1_GPO11	PRG0_PR U1_GPI11	PRG0_RG MII2_TD0		RGMI4_T D0	RMII4_TX_ EN		GPIO0_74	GPMC0_A D26				MCASP1_ AXR7			
0x00011C130	PADCONFIG76	AF27	PRG0_PR U1_GPO12	PRG0_PR U1_GPI12	PRG0_RG MII2_TD1	PRG0_PW M1_A0	RGMI4_T D1			GPIO0_75					MCASP1_ AXR8			UART8_CT Sn
0x00011C134	PADCONFIG77	AF26	PRG0_PR U1_GPO13	PRG0_PR U1_GPI13	PRG0_RG MII2_TD2	PRG0_PW M1_B0	RGMI4_T D2			GPIO0_76					MCASP1_ AXR9			UART8_RT Sn
0x00011C138	PADCONFIG78	AE25	PRG0_PR U1_GPO14	PRG0_PR U1_GPI14	PRG0_RG MII2_TD3	PRG0_PW M1_A1	RGMI4_T D3			GPIO0_77					MCASP2_ AXR0			UART2_CT Sn
0x00011C13C	PADCONFIG79	AF29	PRG0_PR U1_GPO15	PRG0_PR U1_GPI15	PRG0_RG MII2_TX_C TL	PRG0_PW M1_B1	RGMI4_T X_CTL			GPIO0_78					MCASP2_ AXR1			UART2_RT Sn
0x00011C140	PADCONFIG80	AG29	PRG0_PR U1_GPO16	PRG0_PR U1_GPI16	PRG0_RG MII2_TXC	PRG0_PW M1_A2	RGMI4_T XC			GPIO0_79					MCASP2_ AXR2			
0x00011C144	PADCONFIG81	Y25	PRG0_PR U1_GPO17	PRG0_PR U1_GPI17	PRG0_IEP 1_EDC_SY NC_OUT1	PRG0_PW M1_B2	SPI3_CLK			GPIO0_80	GPMC0_A D13				MCASP2_ AXR3			BOOTMO DE3
0x00011C148	PADCONFIG82	AA26	PRG0_PR U1_GPO18	PRG0_PR U1_GPI18	PRG0_IEP 1_EDC_LA TCH_IN0	PRG0_PW M1_TZ_IN	SPI3_D0		MCAN12_ TX	GPIO0_81	GPMC0_A D14				MCASP2_ AFSX			UART2_R XD
0x00011C14C	PADCONFIG83	AA29	PRG0_PR U1_GPO19	PRG0_PR U1_GPI19	PRG0_IEP 1_EDC_SY NC_OUT0	PRG0_PW M1_TZ_O UT	SPI3_D1		MCAN12_ RX	GPIO0_82	GPMC0_A D15				MCASP2_ ACLKX			
0x00011C150	PADCONFIG84	Y26	PRG0_MDI O0_MDIO		I2C5_SCL				MCAN13_ TX	GPIO0_83	GPMC0_A D27		DSS_FSY NC0		MCASP2_ AFSR	MCASP2_ AXR4		
0x00011C154	PADCONFIG85	AA27	PRG0_MDI O0_MDC		I2C5_SDA				MCAN13_ RX	GPIO0_84	GPMC0_A D0		DSS_FSY NC2		MCASP2_ ACLKR	MCASP2_ AXR5		
0x00011C158	PADCONFIG86	U23	RGMI5_T X_CTL	RMII7_CR S_DV	I2C2_SCL		VOUT1_D ATA0	TRC_CLK	EHRPWM0 _SYNCI	GPIO0_85	GPMC0_A D1				MCASP10 _ACLKX			

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ	
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14
0x00011C15C	PADCONFIG87	U26	RGMII5_RX_CTL	RMII7_RX_ER	I2C2_SDA		VOUT1_D_ATA1	TRC_CTL	EHRPWM0_SYNCO	GPIO0_86	GPMC0_A2			MCASP10_AFSX				
0x00011C160	PADCONFIG88	V28	RGMII5_TD3	UART3_RXD		SYNC2_OUT	VOUT1_D_ATA2	TRC_DATA0	EHRPWM_TZn_IN0	GPIO0_87	GPMC0_A3			MCASP10_AXR0				
0x00011C164	PADCONFIG89	V29	RGMII5_TD2	UART3_TXD		SYNC3_OUT	VOUT1_D_ATA3	TRC_DATA1	EHRPWM_A	GPIO0_88	GPMC0_A4			MCASP10_AXR1				
0x00011C168	PADCONFIG90	V27	RGMII5_TD1	RMII7_TXD1	I2C3_SCL		VOUT1_D_ATA4	TRC_DATA2	EHRPWM_B	GPIO0_89	GPMC0_A5			MCASP11_ACLKX				
0x00011C16C	PADCONFIG91	U28	RGMII5_TD0	RMII7_TXD0	I2C3_SDA		VOUT1_D_ATA5	TRC_DATA3	EHRPWM1_A	GPIO0_90	GPMC0_A6			MCASP11_AFSX				
0x00011C170	PADCONFIG92	U29	RGMII5_TXC	RMII7_TX_EN	I2C6_SCL		VOUT1_D_ATA6	TRC_DATA4	EHRPWM1_B	GPIO0_91	GPMC0_A7			MCASP10_AXR2				
0x00011C174	PADCONFIG93	U25	RGMII5_RXC		I2C6_SDA		VOUT1_D_ATA7	TRC_DATA5	EHRPWM_TZn_IN1	GPIO0_92	GPMC0_A8			MCASP10_AXR3			EHRPWM_SOCA	
0x00011C178	PADCONFIG94	U27	RGMII5_RS_n	UART3_CT_Sn		UART6_RXD	VOUT1_D_ATA8	TRC_DATA6	EHRPWM2_A	GPIO0_93	GPMC0_A9			MCASP11_AXR0				
0x00011C17C	PADCONFIG95	U24	RGMII5_RD2	UART3_RT_Sn		UART6_TXD	VOUT1_D_ATA9	TRC_DATA7	EHRPWM2_B	GPIO0_94	GPMC0_A10			MCASP11_AXR1				
0x00011C180	PADCONFIG96	R23	RGMII5_RD1	RMII7_RXD1		UART6_CT_Sn	VOUT1_D_ATA10	TRC_DATA8	EHRPWM_TZn_IN2	GPIO0_95	GPMC0_A11			MCASP11_AXR2			EHRPWM_SOCB	
0x00011C184	PADCONFIG97	T23	RGMII5_RD0	RMII7_RXD0		UART6_RT_Sn	VOUT1_D_ATA11	TRC_DATA9		GPIO0_96	GPMC0_A12			MCASP11_AXR3				
0x00011C188	PADCONFIG98	Y28	RGMII6_TX_CTL	RMII8_CR_S_DV			VOUT1_D_ATA12	TRC_DATA10		GPIO0_97	GPMC0_A13			MCASP10_ACLKR				
0x00011C18C	PADCONFIG99	V23	RGMII6_RX_CTL	RMII8_RX_ER			VOUT1_D_ATA13	TRC_DATA11	EHRPWM3_A	GPIO0_98	GPMC0_A14			MCASP10_AFSR				
0x00011C190	PADCONFIG100	W23	RGMII6_TD3	UART4_RXD		SPI5_CS3	VOUT1_D_ATA14	TRC_DATA12	EHRPWM3_B	GPIO0_99	GPMC0_A15			MCASP11_ACLKR				
0x00011C194	PADCONFIG101	W28	RGMII6_TD2	UART4_TXD		SPI5_CS2	VOUT1_D_ATA15	TRC_DATA13	EHRPWM3_SYNCI	GPIO0_100	GPMC0_A16			MCASP11_AFSR				
0x00011C198	PADCONFIG102	V25	RGMII6_TD1	RMII8_TXD1		SPI5_D0	VOUT1_V_SYNC	TRC_DATA14	EHRPWM3_SYNCO	GPIO0_101	GPMC0_A17	VOUT1_V_P0_VSYN_C		MCASP10_AXR4				
0x00011C19C	PADCONFIG103	W27	RGMII6_TD0	RMII8_TXD0		SPI5_CS0	VOUT1_H_SYNC	TRC_DATA15	EHRPWM_TZn_IN3	GPIO0_102	GPMC0_A18	VOUT1_V_P0_HSYN_C		MCASP10_AXR5				
0x00011C1A0	PADCONFIG104	W29	RGMII6_TXC	RMII8_TX_EN		SPI5_CLK	VOUT1_P_CLK	TRC_DATA16	EHRPWM4_A	GPIO0_103	GPMC0_A19			MCASP10_AXR6				
0x00011C1A4	PADCONFIG105	W26	RGMII6_RXC			AUDIO_EXT_REFCLK2	VOUT1_D_E	TRC_DATA17	EHRPWM4_B	GPIO0_104	GPMC0_A20	VOUT1_V_P0_DE		MCASP10_AXR7				
0x00011C1A8	PADCONFIG106	Y29	RGMII6_RD3	UART4_CT_Sn		UART5_RXD	CLKOUT	TRC_DATA18	EHRPWM_TZn_IN4	GPIO0_105	GPMC0_A21			MCASP11_AXR4				
0x00011C1AC	PADCONFIG107	Y27	RGMII6_RD2	UART4_RT_Sn		UART5_TXD		TRC_DATA19	EHRPWM5_A	GPIO0_106	GPMC0_A22			MCASP11_AXR5				

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ	
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14
0x00011C1B0	PADCONFIG108	W24	RGMI6_RD1	RMII8_RXD1		SPI5_D1	VOUT1_EXTPCLKIN	TRC_DATA20	EHRPWM5_B	GPIO0_107	GPMC0_BE1n				MCASP11_AXR6			
0x00011C1B4	PADCONFIG109	W25	RGMI6_RD0	RMII8_RXD0		SPI5_CS1	AUDIO_EX_T_REFCLK3	TRC_DATA21	EHRPWM_TZn_IN5	GPIO0_108	GPMC0_DIR				MCASP11_AXR7			
0x00011C1B8	PADCONFIG110	V26	MDIO0_MDIO					TRC_DATA22		GPIO0_109	GPMC0_WAIT3							
0x00011C1BC	PADCONFIG111	V24	MDIO0_MDC					TRC_DATA23		GPIO0_110	GPMC0_WAIT2							
0x00011C1C0	PADCONFIG112	AA2	SPI0_CS0	UART0_RT_Sn						GPIO0_111								
0x00011C1C4	PADCONFIG113	Y4	SPI0_CS1	CPTS0_TS_COMP	I2C3_SCL			DP0_HPDP	PRG1_IEP0_EDIO_UTVALID	GPIO0_112								
0x00011C1C8	PADCONFIG114	AA1	SPI0_CLK	UART1_CT_Sn	I2C2_SCL					GPIO0_113								
0x00011C1CC	PADCONFIG115	AB5	SPI0_D0	UART1_RT_Sn	I2C2_SDA					GPIO0_114								
0x00011C1D0	PADCONFIG116	AA3	SPI0_D1		I2C6_SCL					GPIO0_115								
0x00011C1D4	PADCONFIG117	Y3	SPI1_CS0	UART0_CT_Sn		UART5_RXD			PRG0_IEP0_EDIO_UTVALID	GPIO0_116	PRG0_IEP0_EDC_LATCH_IN0							
0x00011C1D8	PADCONFIG118	W4	SPI1_CS1	CPTS0_TS_SYNC	I2C3_SDA	UART5_TXD				GPIO0_117								
0x00011C1DC	PADCONFIG119	Y1	SPI1_CLK	UART5_CT_Sn	I2C4_SDA	UART2_RXD				GPIO0_118	PRG0_IEP0_EDC_SYNC_OUT0							
0x00011C1E0	PADCONFIG120	Y5	SPI1_D0	UART5_RT_Sn	I2C4_SCL	UART2_TXD				GPIO0_119	PRG0_IEP1_EDC_LATCH_IN0							
0x00011C1E4	PADCONFIG121	Y2	SPI1_D1		I2C6_SDA					GPIO0_120	PRG0_IEP1_EDC_SYNC_OUT0							
0x00011C1E8	PADCONFIG122	AB2	UART0_RXD				SPI2_CS1			GPIO0_121								
0x00011C1EC	PADCONFIG123	AB3	UART0_TXD				SPI2_CS2		SPI7_CS1	GPIO0_122								
0x00011C1F0	PADCONFIG124	AC2	UART0_CT_Sn	TIMER_IO6	SPI0_CS2	MCAN2_RX	SPI2_CS0	EQEP0_A		GPIO0_123								
0x00011C1F4	PADCONFIG125	AB1	UART0_RT_Sn	TIMER_IO7	SPI0_CS3	MCAN2_TX	SPI2_CLK	EQEP0_B		GPIO0_124								
0x00011C1F8	PADCONFIG126	AA4	UART1_RXD						SPI7_CS2	GPIO0_125								
0x00011C1FC	PADCONFIG127	AB4	UART1_TXD					I3C0_SDA PULLEN	SPI7_CS3	GPIO0_126								

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x00011C200	PADCONFIG128	AC4	UART1_CT Sn	MCAN3_R X				SPI2_D0	EQEP0_S			GPIO0_12 7							
0x00011C204	PADCONFIG129	AD5	UART1_RT Sn	MCAN3_T X				SPI2_D1	EQEP0_I			GPIO1_0							
0x00011C208	PADCONFIG130	W5	MCAN0_R X					I2C2_SCL				GPIO1_1							
0x00011C20C	PADCONFIG131	W6	MCAN0_T X					I2C2_SDA				GPIO1_2							
0x00011C210	PADCONFIG132	W3	MCAN1_R X	UART6_CT Sn	UART9_R XD	USB0_DR VVBUS	USB1_DR VVBUS					GPIO1_3							
0x00011C214	PADCONFIG133	V4	MCAN1_T X	UART6_RT Sn	UART9_TX D	USB0_DR VVBUS	USB1_DR VVBUS					GPIO1_4							
0x00011C218	PADCONFIG134	W2	I3C0_SCL	MMC2_SD CD	UART9_CT Sn	MCAN2_R X	I2C6_SCL	DP0_HPD	PCIE0_CL KREQn	GPIO1_5	UART6_R XD								
0x00011C21C	PADCONFIG135	W1	I3C0_SDA	MMC2_SD WP	UART9_RT Sn	MCAN2_T X	I2C6_SDA		PCIE1_CL KREQn	GPIO1_6	UART6_TX D								
0x00011C220	PADCONFIG136	AC5	I2C0_SCL									GPIO1_7							
0x00011C224	PADCONFIG137	AA5	I2C0_SDA									GPIO1_8							
0x00011C228	PADCONFIG138	Y6	I2C1_SCL	CPTS0_H W1TSPUS H								GPIO1_9							
0x00011C22C	PADCONFIG139	AA6	I2C1_SDA	CPTS0_H W2TSPUS H								GPIO1_10							
0x00011C230	PADCONFIG140	U2	ECAP0_IN _APWM_O UT	SYNC0_O UT	CPTS0_RF T_CLK			SPI2_CS3	I3C0_SDA PULLEN	SPI7_CS0	GPIO1_11								
0x00011C234	PADCONFIG141	U3	EXT_REF CLK1	SYNC1_O UT						SPI7_CLK	GPIO1_12								
0x00011C238	PADCONFIG142	V6	TIMER_IO 0	ECAP1_IN _APWM_O UT	SYSCCLKO UT0					SPI7_D0	GPIO1_13								BOOTMO DE4
0x00011C23C	PADCONFIG143	V5	TIMER_IO 1	ECAP2_IN _APWM_O UT	OBSCLK0					SPI7_D1	GPIO1_14								BOOTMO DE5
0x00011C240	PADCONFIG144	R26	MMC1_DA T3	UART7_R XD								GPIO1_15							
0x00011C244	PADCONFIG145	R25	MMC1_DA T2	UART7_TX D								GPIO1_16							
0x00011C248	PADCONFIG146	P24	MMC1_DA T1	UART7_CT Sn	ECAP0_IN _APWM_O UT	TIMER_IO 0			UART4_R XD			GPIO1_17							
0x00011C24C	PADCONFIG147	R24	MMC1_DA T0	UART7_RT Sn	ECAP1_IN _APWM_O UT	TIMER_IO 1			UART4_TX D			GPIO1_18							

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定																
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	ブートストラップ	
0x00011C250	PADCONFIG148	P25	MMC1_CLK	UART8_RXD				I2C4_SCL				GPIO1_19							
0x00011C254	PADCONFIG149	R29	MMC1_CMD	UART8_TXD				I2C4_SDA				GPIO1_20							
0x00011C258	PADCONFIG150	P23	MMC1_SDCD	UART8_CTSn	UART0_CDn	TIMER_IO2			EQEP2_I	PCIE2_CLKREQn	GPIO1_21	PRG0_IEP0_EDC_LATCH_IN1							
0x00011C25C	PADCONFIG151	R28	MMC1_SDRWP	UART8_RTSn	UART0_DSrn	TIMER_IO3	ECAP2_IN_APWM_OUT		EQEP2_S	PCIE3_CLKREQn	GPIO1_22	PRG0_IEP0_EDC_SYNC_OUT1							
0x00011C260	PADCONFIG152	T28	MMC2_DAT3	UART9_RXD	CPTS0_HW1TSPUSH			I2C5_SCL				GPIO1_23							
0x00011C264	PADCONFIG153	T29	MMC2_DAT2	UART9_TXD	CPTS0_HW2TSPUSH			I2C5_SDA				GPIO1_24							
0x00011C268	PADCONFIG154	T27	MMC2_DAT1	UART9_CTSn	UART0_DTRn	TIMER_IO4	UART6_RXD		EQEP2_A			GPIO1_25	PRG0_IEP1_EDC_LATCH_IN1						
0x00011C26C	PADCONFIG155	T24	MMC2_DAT0	UART9_RTSn	UART0_RIn	TIMER_IO5	UART6_TXD		EQEP2_B			GPIO1_26	PRG0_IEP1_EDC_SYNC_OUT1						
0x00011C270	PADCONFIG156	T26	MMC2_CLK	USB0_DRVVBUS	USB1_DRVVBUS	TIMER_IO6	I2C3_SCL	UART3_RXD				GPIO1_27							
0x00011C274	PADCONFIG157	T25	MMC2_CMD	USB0_DRVVBUS	USB1_DRVVBUS	TIMER_IO7	I2C3_SDA	UART3_TXD				GPIO1_28							
0x00011C278	PADCONFIG158	T6	RESETSTATz																
0x00011C27C	PADCONFIG159	U1	PORz_OUT																
0x00011C280	PADCONFIG160	U4	SOC_SAFETY_ERRORn																
0x00011C284	PADCONFIG161	V1	TDI																
0x00011C288	PADCONFIG162	V3	TDO																
0x00011C28C	PADCONFIG163	V2	TMS																
0x04301C000	WKUP_PADCONFIG0	E20	MCU_OSP_IO_CLK	MCU_HYP_ERBUS0_CLK								WKUP_GPIO_16							
0x04301C004	WKUP_PADCONFIG1	C21	MCU_OSP_IO_LBCLK_O	MCU_HYP_ERBUS0_CKn								WKUP_GPIO_17							
0x04301C008	WKUP_PADCONFIG2	D21	MCU_OSP_IO_DQS	MCU_HYP_ERBUS0_RWDS								WKUP_GPIO_18							

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x04301C00C	WKUP_PADCON FIG3	D20	MCU_OSP I0_D0	MCU_HYP ERBUS0_DQ0								WKUP_GP IO0_19							
0x04301C010	WKUP_PADCON FIG4	G19	MCU_OSP I0_D1	MCU_HYP ERBUS0_DQ1								WKUP_GP IO0_20							
0x04301C014	WKUP_PADCON FIG5	G20	MCU_OSP I0_D2	MCU_HYP ERBUS0_DQ2								WKUP_GP IO0_21							
0x04301C018	WKUP_PADCON FIG6	F20	MCU_OSP I0_D3	MCU_HYP ERBUS0_DQ3								WKUP_GP IO0_22							
0x04301C01C	WKUP_PADCON FIG7	F21	MCU_OSP I0_D4	MCU_HYP ERBUS0_DQ4								WKUP_GP IO0_23							
0x04301C020	WKUP_PADCON FIG8	E21	MCU_OSP I0_D5	MCU_HYP ERBUS0_DQ5								WKUP_GP IO0_24							
0x04301C024	WKUP_PADCON FIG9	B22	MCU_OSP I0_D6	MCU_HYP ERBUS0_DQ6								WKUP_GP IO0_25							
0x04301C028	WKUP_PADCON FIG10	G21	MCU_OSP I0_D7	MCU_HYP ERBUS0_DQ7								WKUP_GP IO0_26							
0x04301C02C	WKUP_PADCON FIG11	F19	MCU_OSP I0_CSn0	MCU_HYP ERBUS0_CSn0								WKUP_GP IO0_27							
0x04301C030	WKUP_PADCON FIG12	E19	MCU_OSP I0_CSn1	MCU_HYP ERBUS0_RESETh								WKUP_GP IO0_28							
0x04301C034	WKUP_PADCON FIG13	F22	MCU_OSP I1_CLK									WKUP_GP IO0_29							
0x04301C038	WKUP_PADCON FIG14	A23	MCU_OSP I1_LBCLK O	MCU_OSP I0_CSn2	MCU_HYP ERBUS0_RESETOh						MCU_OSP I0_RESETh_OUT0	WKUP_GP IO0_30							
0x04301C03C	WKUP_PADCON FIG15	B23	MCU_OSP I1_DQS	MCU_OSP I0_CSn3	MCU_HYP ERBUS0_I NTn						MCU_OSP I0_ECC_F AIL	WKUP_GP IO0_31							
0x04301C040	WKUP_PADCON FIG16	D22	MCU_OSP I1_D0									WKUP_GP IO0_32							
0x04301C044	WKUP_PADCON FIG17	G22	MCU_OSP I1_D1					MCU_UAR T0_RXD	MCU_SPI1_CS1			WKUP_GP IO0_33							
0x04301C048	WKUP_PADCON FIG18	D23	MCU_OSP I1_D2					MCU_UAR T0_TXD	MCU_SPI1_CS2			WKUP_GP IO0_34							
0x04301C04C	WKUP_PADCON FIG19	C23	MCU_OSP I1_D3					MCU_UAR T0_CTSn	MCU_SPI0_CS1			WKUP_GP IO0_35							
0x04301C050	WKUP_PADCON FIG20	C22	MCU_OSP I1_CSn0									WKUP_GP IO0_36							

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x04301C054	WKUP_PADCON FIG21	E22	MCU_OSP I1_CSn1	MCU_HYP ERBUS0_WPn	MCU_TIM ER_IO0	MCU_HYP ERBUS0_CSn1	MCU_UAR T0_RTSn	MCU_SPI0_CS2	MCU_OSP IO_RESET_OUT1	WKUP_GP IO0_37									
0x04301C058	WKUP_PADCON FIG22	B27	MCU_RG MII1_TX_CTL	MCU_RMII 1_CRSDV						WKUP_GP IO0_38									
0x04301C05C	WKUP_PADCON FIG23	C25	MCU_RG MII1_RX_CTL	MCU_RMII 1_RX_ER						WKUP_GP IO0_39									
0x04301C060	WKUP_PADCON FIG24	A28	MCU_RG MII1_TD3	MCU_TIM ER_IO2		MCU_ADC_EXT_TRIGGER0				WKUP_GP IO0_40									
0x04301C064	WKUP_PADCON FIG25	A27	MCU_RG MII1_TD2	MCU_TIM ER_IO3		MCU_ADC_EXT_TRIGGER1				WKUP_GP IO0_41									
0x04301C068	WKUP_PADCON FIG26	A26	MCU_RG MII1_TD1	MCU_RMII 1_TXD1						WKUP_GP IO0_42									
0x04301C06C	WKUP_PADCON FIG27	B25	MCU_RG MII1_TD0	MCU_RMII 1_TXD0						WKUP_GP IO0_43									
0x04301C070	WKUP_PADCON FIG28	B26	MCU_RG MII1_TXC	MCU_RMII 1_TX_EN						WKUP_GP IO0_44									
0x04301C074	WKUP_PADCON FIG29	C24	MCU_RG MII1_RXC	MCU_RMII 1_REF_CLK						WKUP_GP IO0_45									
0x04301C078	WKUP_PADCON FIG30	A25	MCU_RG MII1_RD3	MCU_TIM ER_IO4						WKUP_GP IO0_46									
0x04301C07C	WKUP_PADCON FIG31	D24	MCU_RG MII1_RD2	MCU_TIM ER_IO5						WKUP_GP IO0_47									
0x04301C080	WKUP_PADCON FIG32	A24	MCU_RG MII1_RD1	MCU_RMII 1_RXD1						WKUP_GP IO0_48									
0x04301C084	WKUP_PADCON FIG33	B24	MCU_RG MII1_RD0	MCU_RMII 1_RXD0						WKUP_GP IO0_49									
0x04301C088	WKUP_PADCON FIG34	E23	MCU_MDI O0_MDIO							WKUP_GP IO0_50									
0x04301C08C	WKUP_PADCON FIG35	F23	MCU_MDI O0_MDC							WKUP_GP IO0_51									
0x04301C090	WKUP_PADCON FIG36	E27	MCU_SPI0_CLK							WKUP_GP IO0_52									MCU_BOOTMODE0
0x04301C094	WKUP_PADCON FIG37	E24	MCU_SPI0_D0							WKUP_GP IO0_53									MCU_BOOTMODE01
0x04301C098	WKUP_PADCON FIG38	E28	MCU_SPI0_D1					MCU_TIM ER_IO0		WKUP_GP IO0_54									MCU_BOOTMODE02
0x04301C09C	WKUP_PADCON FIG39	E25	MCU_SPI0_CS0					MCU_TIM ER_IO1		WKUP_GP IO0_55									
0x04301C0A0	WKUP_PADCON FIG40	J29	WKUP_UART0_RXD							WKUP_GP IO0_56									

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x04301C0A4	WKUP_PADCON FIG41	J28	WKUP_UA RT0_TXD								WKUP_GP IO0_57								
0x04301C0A8	WKUP_PADCON FIG42	D29	MCU_MCA NO_TX								WKUP_GP IO0_58								
0x04301C0AC	WKUP_PADCON FIG43	C29	MCU_MCA NO_RX								WKUP_GP IO0_59								
0x04301C0B0	WKUP_PADCON FIG44	F26	MCU_SPI1 _CLK	MCU_SPI1 _CLK							WKUP_GP IO0_0								MCU_BOO TMODE03
0x04301C0B4	WKUP_PADCON FIG45	F25	MCU_SPI1 _D0	MCU_SPI1 _D0							WKUP_GP IO0_1								MCU_BOO TMODE04
0x04301C0B8	WKUP_PADCON FIG46	F28	MCU_SPI1 _D1	MCU_SPI1 _D1							WKUP_GP IO0_2								MCU_BOO TMODE05
0x04301C0BC	WKUP_PADCON FIG47	F27	MCU_SPI1 _CS0	MCU_SPI1 _CS0							WKUP_GP IO0_3								
0x04301C0C0	WKUP_PADCON FIG48	G25	MCU_MCA N1_TX	MCU_MCA N1_TX	MCU_SPI0 _CS3	MCU_ADC _EXT_TRI GGER0					WKUP_GP IO0_4								
0x04301C0C4	WKUP_PADCON FIG49	G24	MCU_MCA N1_RX	MCU_MCA N1_RX	MCU_SPI1 _CS3	MCU_ADC _EXT_TRI GGER1					WKUP_GP IO0_5								
0x04301C0C8	WKUP_PADCON FIG50	F29	WKUP_UA RT0_CTSn	WKUP_UA RT0_CTSn	MCU_CPT S0_HW1T SPUSH	MCU_I2C1 _SCL					WKUP_GP IO0_6								
0x04301C0CC	WKUP_PADCON FIG51	G28	WKUP_UA RT0_RTSn	WKUP_UA RT0_RTSn	MCU_CPT S0_HW2T SPUSH	MCU_I2C1 _SDA					WKUP_GP IO0_7								
0x04301C0D0	WKUP_PADCON FIG52	G27	MCU_I2C1 _SCL	MCU_I2C1 _SCL	MCU_CPT S0_TS_SY NC	MCU_I3C1 _SCL	MCU_TIMER_I06				WKUP_GP IO0_8								
0x04301C0D4	WKUP_PADCON FIG53	G26	MCU_I2C1 _SDA	MCU_I2C1 _SDA	MCU_CPT S0_TS_CO MP	MCU_I3C1 _SDA	MCU_TIMER_I07				WKUP_GP IO0_9								
0x04301C0D8	WKUP_PADCON FIG54	H26	MCU_EXT _REFCLK0	MCU_EXT _REFCLK0	MCU_UAR T0_TXD	MCU_ADC _EXT_TRI GGER0	MCU_CPT S0_RFT_C LK	MCU_SYS CLKOUT0			WKUP_GP IO0_10								
0x04301C0DC	WKUP_PADCON FIG55	H27	MCU_OBS CLK0	MCU_OBS CLK0	MCU_UAR T0_RXD	MCU_ADC _EXT_TRI GGER1	MCU_TIMER_I01	MCU_I3C1 _SDAPULL EN	MCU_CLK OUT0		WKUP_GP IO0_11								
0x04301C0E0	WKUP_PADCON FIG56	G29	MCU_UAR T0_TXD	MCU_SPI0 _CS1							WKUP_GP IO0_12								MCU_BOO TMODE08
0x04301C0E4	WKUP_PADCON FIG57	H28	MCU_UAR T0_RXD	MCU_SPI1 _CS1							WKUP_GP IO0_13								MCU_BOO TMODE09
0x04301C0E8	WKUP_PADCON FIG58	H29	MCU_UAR T0_CTSn	MCU_SPI0 _CS2							WKUP_GP IO0_14								MCU_BOO TMODE06
0x04301C0EC	WKUP_PADCON FIG59	J27	MCU_UAR T0_RTsn	MCU_SPI1 _CS2							WKUP_GP IO0_15								MCU_BOO TMODE07
0x04301C0F0	WKUP_PADCON FIG60	D26	MCU_I3C0 _SCL		MCU_UAR T0_CTSn		MCU_TIMER_I08				WKUP_GP IO0_60								

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール番号	MUXMODE[14:0] 設定														ブートストラップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x04301C0F4	WKUP_PADCON FIG61	D25	MCU_I3C0_SDA		MCU_UART0_RTSn		MCU_TIMER_I09				WKUP_GPI00_61								
0x04301C0F8	WKUP_PADCON FIG62	J25	WKUP_I2C0_SCL								WKUP_GPI00_62								
0x04301C0FC	WKUP_PADCON FIG63	H24	WKUP_I2C0_SDA								WKUP_GPI00_63								
0x04301C100	WKUP_PADCON FIG64	J26	MCU_I2C0_SCL								WKUP_GPI00_64								
0x04301C104	WKUP_PADCON FIG65	H25	MCU_I2C0_SDA								WKUP_GPI00_65								
0x04301C108	WKUP_PADCON FIG66	E26	MCU_I3C0_SDAPULLEN								WKUP_GPI00_66								
0x04301C10C	WKUP_PADCON FIG67	G23	PMIC_POWER_EN1						MCU_I3C1_SDAPULLEN		WKUP_GPI00_67								
0x04301C110	WKUP_PADCON FIG68	D27	MCU_SAFETY_ERRORn																
0x04301C114	WKUP_PADCON FIG69	D28	MCU_RESETz																
0x04301C118	WKUP_PADCON FIG70	C27	MCU_RESETSTATz																
0x04301C11C	WKUP_PADCON FIG71	B28	MCU_PORz_OUT																
0x04301C120	WKUP_PADCON FIG72	E29	TCK																
0x04301C124	WKUP_PADCON FIG73	F24	TRSTn																
0x04301C128	WKUP_PADCON FIG74	C26	EMU0																
0x04301C12C	WKUP_PADCON FIG75	B29	EMU1																
0x04301C130	WKUP_PADCON FIG76	K25	MCU_ADC0_AIN0																
0x04301C134	WKUP_PADCON FIG77	K26	MCU_ADC0_AIN1																
0x04301C138	WKUP_PADCON FIG78	K28	MCU_ADC0_AIN2																
0x04301C13C	WKUP_PADCON FIG79	L28	MCU_ADC0_AIN3																
0x04301C140	WKUP_PADCON FIG80	K24	MCU_ADC0_AIN4																
0x04301C144	WKUP_PADCON FIG81	K27	MCU_ADC0_AIN5																

表 5-125. ピン多重化 (続き)

アドレス	レジスタ名	ボール 番号	MUXMODE[14:0] 設定														ブートストラ ップ		
			0	1	2	3	4	5	6	7	8	9	10	11	12	13		14	
0x04301C1 48	WKUP_PADCON FIG82	K29	MCU_ADC 0_AIN6																
0x04301C1 4C	WKUP_PADCON FIG83	L29	MCU_ADC 0_AIN7																
0x04301C1 50	WKUP_PADCON FIG84	N23	MCU_ADC 1_AIN0																
0x04301C1 54	WKUP_PADCON FIG85	M25	MCU_ADC 1_AIN1																
0x04301C1 58	WKUP_PADCON FIG86	L24	MCU_ADC 1_AIN2																
0x04301C1 5C	WKUP_PADCON FIG87	L26	MCU_ADC 1_AIN3																
0x04301C1 60	WKUP_PADCON FIG88	N24	MCU_ADC 1_AIN4																
0x04301C1 64	WKUP_PADCON FIG89	M24	MCU_ADC 1_AIN5																
0x04301C1 68	WKUP_PADCON FIG90	L25	MCU_ADC 1_AIN6																
0x04301C1 6C	WKUP_PADCON FIG91	L27	MCU_ADC 1_AIN7																
0x04301C1 70	WKUP_PADCON FIG92	C28	RESET_R EQz																
0x04301C1 74	WKUP_PADCON FIG93	J24	PORz																

5.5 ピン接続要件「J」

このセクションでは、未使用 / 予備ボールの接続要件について説明します。

注

セクション 5.3「信号の説明」に特に記述のない限り、すべての電源ボールには、セクション 6.4「推奨動作条件」で規定されている電圧を供給する必要があります。

注

各 MMC モジュールの MMC1_SDCD と MMC2_SDCD は、ブートソースとして適切に動作させるためにプルダウンする必要があります。

表 5-126. 接続要件 (ALF パッケージ)

ボール番号	ボール名	接続要件
M29	WKUP_OSC0_XI	これらの各ボールは、使用しない場合、有効なロジック Low レベルに保持されるように、個別の外部プル抵抗を介して VSS に接続する必要があります。
P29	OSC1_XI	
N28	WKUP_LFOSC0_XI	
F24	TRSTn	
K25	MCU_ADC0_AIN0	
K26	MCU_ADC0_AIN1	
K28	MCU_ADC0_AIN2	
L28	MCU_ADC0_AIN3	
K24	MCU_ADC0_AIN4	
K27	MCU_ADC0_AIN5	
K29	MCU_ADC0_AIN6	
L29	MCU_ADC0_AIN7	
N23	MCU_ADC1_AIN0	
M25	MCU_ADC1_AIN1	
L24	MCU_ADC1_AIN2	
L26	MCU_ADC1_AIN3	
N24	MCU_ADC1_AIN4	
M24	MCU_ADC1_AIN5	
L25	MCU_ADC1_AIN6	
L27	MCU_ADC1_AIN7	
B2	DDR0_DQS0P	
E3	DDR0_DQS1P	
M3	DDR0_DQS2P	
R2	DDR0_DQS3P	
M26	VMON_ER_VSYS	
V19	VMON_IR_VEXT	

表 5-126. 接続要件 (ALF パッケージ) (続き)

ボール番号	ボール名	接続要件	
AE18	SERDES0_REXT	これらの各ボールは、使用しない場合、有効なロジック Low レベルに保持されるように、適切な外部プル抵抗を介して VSS に接続する必要があります。SERDES[4:0]_REXT ピンの抵抗値は 3.01kΩ ±1% で、CSI[1:0]_RXRCALIB ピン、USB[1:0]_RCALIB ピン、DSI_TXRCALIB ピンの抵抗値は 500Ω ±1% です。これは機能モード時と同じ接続です。	
AE13	SERDES1_REXT		
AD13	SERDES2_REXT		
AE8	SERDES3_REXT		
F9	SERDES4_REXT		
F16	CSI0_RXRCALIB		
F15	CSI1_RXRCALIB		
AB6	USB1_RCALIB		
AD9	USB1_RCALIB		
F12	DSI_TXRCALIB		
D28	MCU_RESETz		これらの各ボールは、使用しない場合、有効なロジック High レベルに保持されるように、個別の外部プル抵抗を介して対応する電源に接続する必要があります。(1)
H23	MCU_PORz		
J24	PORz		
E29	TCK		
V2	TMS		
J25	WKUP_I2C0_SCL		
H24	WKUP_I2C0_SDA		
H25	MCU_I2C0_SDA		
J26	MCU_I2C0_SCL		
Y6	I2C1_SCL		
AA6	I2C1_SDA		
AA5	I2C0_SDA		
AC5	I2C0_SCL		
AC18	EXTINTn		
V1	TDI		
V3	TDO		
B29	EMU1		
C26	EMU0		
B1	DDR0_DQS0N		
E2	DDR0_DQS1N		
M2	DDR0_DQS2N		
R1	DDR0_DQS3N		
AB11	VPP_CORE	これらの各ボールは、使用しない場合は未接続のままにしておく必要があります。	
F17	VPP_MCU		
AE1	MMC0_CALPAD		
AE2	MLB0_MLBCN		
AD2	MLB0_MLBPCP		
AD3	MLB0_MLBDN		
AC3	MLB0_MLBDP		
AC1	MLB0_MLBSN		
AD1	MLB0_MLBSP		

(1) IO にどの電源が関連付けられているかを確認するには、表 5-1「ピン属性」を参照してください。

表 5-127. 予備ボールの固有の接続要件

ボール	接続要件
A29 / AJ1 / U11 / U12 / U13 / T11 / T12 / T13 / M11 / M12 / M13 / N11 / N12 / N13	これらのボールはパッケージに存在しません。
N25 / AJ29 / P26 / R27 / AD4 / E18 / F18 / G10 / F11 / N6 / L6 / F6 / E6 / G9 / F10 / AA23 / F13	これらのボールは未接続のままにしておく必要があります。

注

パッド構成レジスタを備えていない他の未使用の信号ボールはすべて、未接続のままにできます。

注

パッド構成レジスタを備えた他の未使用の信号ボールはすべて、マルチプレクシング モードを GPIO 入力に設定し、内部プルダウン抵抗を有効にすることで、未接続のままにできます。

未使用のボールは、PCB の半田パッドにのみ接続するボールとして定義されます。有効なロジック レベルを保持するための唯一のソース/シンクとして、内部プル抵抗を使用できるのは、このユース ケースのみです。

ビア、テストポイント、PCB パターンに接続されたボールは、すべて使用されているものと見なされ、有効なロジック レベルの保持を内部プル抵抗に依存してはなりません。

内部プル抵抗は駆動力が弱い場合、動作条件によっては有効なロジック レベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジック レベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジック レベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外部接続のあるボール上で有効なロジック レベルを保持するには、外部プル抵抗が必要になる場合があります。

有効なロジックレベルの間でボールがフローティングになると、入力バッファが大電流状態に移行し、IO セルに損傷を与える可能性があります。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		最小値	最大値	単位
VDD_CORE	メインドメイン コア電源	-0.3	1.05	V
VDD_MCU	MCUSS コア電源	-0.3	1.05	V
VDD_CPU	CPU コア電源	-0.3	1.05	V
VDDA_0P8_DLL_MMC0	MMC0 DLL アナログ電源	-0.3	1.05	V
VDDAR_CORE	メインドメイン RAM 電源	-0.3	1.05	V
VDDAR_MCU	MCUSS RAM 電源	-0.3	1.05	V
VDDAR_CPU	CPU RAM 電源	-0.3	1.05	V
VDDA_0P8_DP	Displayport SERDES アナログ電源 Low	-0.3	1.05	V
VDDA_0P8_DP_C	Displayport SERDES クロック電源	-0.3	1.05	V
VDDA_0P8_DSITX	DSITX クロック電源	-0.3	1.05	V
VDDA_0P8_DSITX_C	DSITX クロック電源	-0.3	1.05	V
VDDA_0P8_CSIRX	CSIRX アナログ電源 LOW	-0.3	1.05	V
VDDA_0P8_SERDES0_1	SERDES0-1 アナログ電源 LOW	-0.3	1.05	V
VDDA_0P8_SERDES2_3	SERDES2-3 アナログ電源 LOW	-0.3	1.05	V
VDDA_0P8_SERDES_C0_1	SERDES0-1 クロック電源	-0.3	1.05	V
VDDA_0P8_SERDES_C2_3	SERDES2-3 クロック電源	-0.3	1.05	V
VDDA_0P8_USB	USB0-1 0.8 V アナログ電源	-0.3	1.05	V
VDDA_0P8_UFS	UFS アナログ電源 LOW	-0.3	1.05	V
VDDA_0P8_PLL_MLB	MLB PLL アナログ電源	-0.3	1.05	V
VDDA_0P8_PLL_DDR	DDR PLL アナログ電源	-0.3	1.05	V
VDDA_1P8_USB	USB0-1 1.8 V アナログ電源	-0.3	2.2	V
VDDA_1P8_UFS	UFS アナログ電源 HIGH	-0.3	2.2	V
VDDA_1P8_DP	Displayport SERDES アナログ電源 High	-0.3	2.2	V
VDDA_1P8_DSITX	DSITX アナログ電源 HIGH	-0.3	2.2	V
VDDA_1P8_CSIRX	CSIRX アナログ電源 HIGH	-0.3	2.2	V
VDDA_1P8_SERDES0_1	SERDES0-1 アナログ電源 HIGH	-0.3	2.2	V
VDDA_1P8_SERDES2_3	SERDES2-3 アナログ電源 HIGH	-0.3	2.2	V
VDDA_3P3_USB	USB0-1 3.3 V アナログ電源	-0.3	3.8	V
VDDA_MCU_PLLGRP0	マイコン PLL グループ 0 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP1	メイン PLL グループ 1 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP2	メイン PLL グループ 2 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP3	メイン PLL グループ 3 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP4	メイン PLL グループ 4 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP5	メイン PLL グループ 5 のアナログ電源 (DDR)	-0.3	2.2	V
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源	-0.3	2.2	V
VDDA_WKUP	WKUPドメインの発振器電源	-0.3	2.2	V
VDDA_ADC0	ADC アナログ電源	-0.3	2.2	V
VDDA_ADC1	ADC アナログ電源	-0.3	2.2	V

6.1 絶対最大定格 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		最小値	最大値	単位	
VDDA_MCU_TEMP	MCUドメインの温度センサ 0 のアナログ電源	-0.3	2.2	V	
VDDA_POR_WKUP	WKUPドメイン アナログ電源	-0.3	2.2	V	
VDDA_1P8_MLB	MLB IO 電源 (6 ピンインターフェイス)	-0.3	2.2	V	
VDDA_TEMP_0_1	温度センサ 0 のアナログ電源	-0.3	2.2	V	
VDDA_TEMP_2_3	温度センサ 2 のアナログ電源	-0.3	2.2	V	
VDDS_DDR	DDR インターフェイス電源	-0.3	1.2	V	
VDDS_DDR_BIAS	LPDDR4 のバイアス電源	-0.3	1.2	V	
VDDS_DDR_C	DDR メモリクロックビット (MCB) マクロの IO 電源	-0.3	1.2	V	
VDDS_MMC0	MMC0 IO 電源	-0.3	2.2	V	
VDDS_OSC1	HFOSC1 電源	-0.3	2.2	V	
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメインドメインのウォームリセットピン	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV0	メインドメイン全般の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV1_MCU	MCUSS IO グループ 1 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV1	メインドメイン IO グループ 1 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV2	メインドメイン IO グループ 2 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV3	メインドメイン IO グループ 3 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV4	メインドメイン IO グループ 4 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV5	メインドメイン IO グループ 5 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV6	メインドメイン IO グループ 6 の IO 電源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VPP_CORE	コア eFuse ドメインの電源電圧範囲	-0.3	1.89	V	
VPP_MCU	MCU eFuse ドメインの電源電圧範囲	-0.3	1.89	V	
USB0_VBUS ⁽⁹⁾	USB VBUS コンパレータ入力の電圧範囲	-0.3	3.6	V	
USB1_VBUS ⁽⁹⁾	USB VBUS コンパレータ入力の電圧範囲	-0.3	3.6	V	

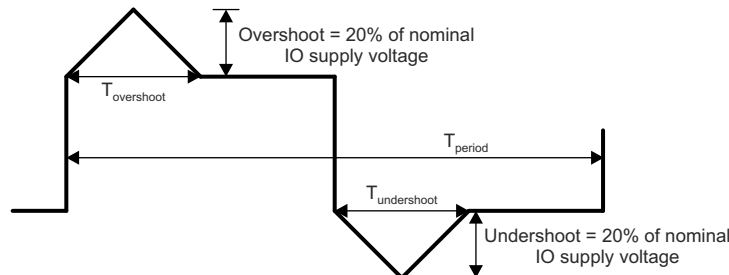
6.1 絶対最大定格 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		最小値	最大値	単位
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	I2C0_SCL、 I2C0_SDA、 I2C1_SCL、 I2C1_SDA、 WKUP_I2C0 _SCL、 WKUP_I2C0 _SDA、 MCU_I2C0_ SCL、 MCU_I2C0_ SDA、 EXTINTn	-0.3	3.8	V
	MCU_PORz 、PORz	-0.3	3.8	V
	VMON_IR_V EXT	-0.3	2.2	V
	VMON_ER_ VSYs ^{(7) (8)}	-0.3	1.05	V
他のすべての IO ピンの定常状態の最大電圧 ⁽³⁾	その他のすべ ての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュートの仕様	信号周期の最大 20% にわた って IO 電 源電圧の 20% 図 6-1(「IO 過 渡電圧範囲」 を参照)		0.2 × VDD ⁽⁶⁾	V
ラッチアップ性能、Class II (125°C) ⁽⁴⁾	I 試験	-100	100	mA
	過電圧 (OV) 試験	NA	1.5 × VDD ⁽⁶⁾	V
T _{STG} ⁽⁵⁾	保存温度	-55	+150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、本製品に永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、またはセクション 6.4「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、特に記述のない限り、関連付けられた VSS または VSSA_x を基準とします。
- (3) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
- (4) 電流パルス注入：
JEDEC JESD78E (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧で合格しました。
過電圧性能：
JEDEC JESD78E (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。
- (5) テープ アンド リールの保存温度範囲は [-10°C; +50°C]、最大相対湿度は 70% です。使用前に室温に戻すことをお勧めします。
- (6) VDD は、IO の対応する電源ピンの電圧です。
- (7) V_{sys} レベルが最小許容スレッショルドに達したときに V_{TH} = 0.45 でトリガされる VMON 入力値を生成するには、外付けの分圧抵抗が必要です。電流を制限するため、10kΩ 以上の直列抵抗 R2 (VMON_ER_VSYs = V_{sys} × R1 / (R1 + R2)) を使用することを推奨します。
- (8) VMON_ER_VSYs ピンは、システム電源を監視する手段を提供します。詳細については、セクション 8.3.5「システム電源監視設計ガイドライン」を参照してください。
- (9) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、セクション 8.3.4「USB VBUS の設計ガイドライン」を参照してください。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。I2C0_SCL、I2C0_SDA、I2C1_SCL、I2C1_SDA、DDR_FS_RESETn、NMIIn、VMON_ER_VSYS、VMON_IR_VEXT だけがフェイルセーフ IO 端子です。それ以外の IO 端子はどれもフェイルセーフではなく、それらに印加される電圧は、セクション 6.1 の「すべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 ESD 定格

			値	単位	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002、リビジョン J ⁽¹⁾	±1000	V	
		デバイス帯電モデル (CDM)、AEC Q100-011、リビジョン J	すべてのピン		±250
			コーナー ピン (A1、AJ29)		±750

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 パワー オン時間 (POH) の制限

IP ^{(1) (2) (3)}	電圧ドメイン	電圧 (V) (最大)	周波数 (MHz) (最大)	T _j (°C)	POH
すべて	100%	すべて	すべての対応 OPP	車載用 -40°C ~ 125°C ⁽⁴⁾	20000
すべて	100%	すべて	すべての対応 OPP	拡張 -40°C ~ 105°C	100000
すべて	100%	すべて	すべての対応 OPP	商業用 0°C ~ 90°C	100000

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
- (3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると、
- (4) 車載プロファイルは、接合部温度で 20000 時間の電源オン時間として次のように定義されます。5% @ -40°C、65% @ 70°C、20% @ 110°C、10% @ 125°C。

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDD_CORE	MAIN ドメイン コア電源のブート/アクティブ電圧	0.76	0.8	0.84	V
VDD_MCU	MCUSS コア電源のブート/アクティブ電圧	0.76	0.8	0.89	V
VDD_CPU	コールド パワーアップ イベント時に印加される CPU コア電源のブート電圧	0.76	0.8	0.84	V
	ソフトウェアで AVS モードを有効にした後の CPU コア電源のアクティブ電圧	AVS ⁽⁴⁾ -5%	AVS ⁽⁴⁾	AVS ⁽⁴⁾ +5%	V
VDD_CPU の AVS 範囲	VDD_CPU の AVS 有効電圧範囲	0.6		0.9	V

6.4 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDDA_0P8_DLL_MMC0	MMC PLL アナログ電源	0.76	0.8	0.84	V
VDDAR_CORE	メインドメイン RAM 電源	0.81	0.85	0.89	V
VDDAR_MCU	MCUSS RAM 電源	0.81	0.85	0.89	V
VDDAR_CPU	CPU RAM 電源	0.81	0.85	0.89	V
VDDA_0P8_DP	DisplayPort SERDES クロック電源	0.76	0.8	0.84	V
VDDA_0P8_DP_C	DisplayPort SERDES クロック電源	0.76	0.8	0.84	V
VDDA_0P8_DSITX	DSITX クロック電源	0.76	0.8	0.84	V
VDDA_0P8_DSITX_C	DSITX クロック電源	0.76	0.8	0.84	V
VDDA_0P8_CSIRX	CSIRX アナログ電源 LOW	0.76	0.8	0.84	V
VDDA_0P8_SERDES0_1	SERDES0-1 アナログ電源 LOW	0.76	0.8	0.84	V
VDDA_0P8_SERDES2_3	SERDES2-3 アナログ電源 LOW	0.76	0.8	0.84	V
VDDA_0P8_SERDES_C0_1	SERDES0-1 クロック電源	0.76	0.8	0.84	V
VDDA_0P8_SERDES_C2_3	SERDES2-3 クロック電源	0.76	0.8	0.84	V
VDDA_0P8_USB	USB0-1 0.8V アナログ電源	0.76	0.8	0.84	V
VDDA_0P8_UFS	UFS アナログ電源 LOW	0.76	0.8	0.84	V
VDDA_1P8_USB	USB0-1 0.8V アナログ電源	1.71	1.8	1.89	V
VDDA_1P8_UFS	UFS アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_1P8_DP	DisplayPort SERDES アナログ電源 High	1.71	1.8	1.89	V
VDDA_1P8_DSITX	DSITX アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_1P8_CSIRX	CSIRX アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_1P8_SERDES0_1	SERDES0-1 アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_1P8_SERDES2_3	SERDES2-3 アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_3P3_USB	USB0-1 3.3V アナログ電源	3.14	3.3	3.46	V
VDDA_MCU_PLLGRP0	MCU PLL グループ 0 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP1	メイン PLL グループ 1 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP2	メイン PLL グループ 2 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP3	メイン PLL グループ 3 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP4	メイン PLL グループ 4 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP5	メイン PLL グループ 5 のアナログ電源 (DDR)	1.71	1.8	1.89	V
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源	1.71	1.8	1.89	V
VDDA_0P8_PLL_MLB	MLB PLL アナログ電源	0.76	0.8	0.84	V
VDDA_WKUP	wkup ドメインの発振器電源	1.71	1.8	1.89	V
VDDA_ADC0	ADC アナログ電源	1.71	1.8	1.89	V
VDDA_ADC1	ADC アナログ電源	1.71	1.8	1.89	V
VDDA_0P8_PLL_DDR	DDR PLL アナログ電源	0.76	0.8	0.84	V
VDDA_MCU_TEMP	MCU ドメインの温度センサ 0 のアナログ電源	1.71	1.8	1.89	V
VDDA_POR_WKUP	WKUP ドメイン アナログ電源	1.71	1.8	1.89	V
VDDA_1P8_MLB	MLB IO 電源 (6 ピンインターフェイス)	1.71	1.8	1.89	V
VDDA_TEMP0_1	温度センサ 0 および 1 のアナログ電源	1.71	1.8	1.89	V
VDDA_TEMP2_3	温度センサ 2 および 3 のアナログ電源	1.71	1.8	1.89	V

6.4 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位	
VDDS_DDR ⁽²⁾	DDR インターフェイス電源	1.06	1.1	1.15	V	
VDDS_DDR_BIAS	LPDDR4x のバイアス電源	1.06	1.1	1.15	V	
VDDS_DDR_C	DDR メモリクロック ビット (MCB) マクロの IO 電源	1.06	1.1	1.15	V	
VDDS_MMC0	MMC0 IO 電源	1.71	1.8	1.89	V	
VDDS_OSC1	HFOSC1 電源	1.71	1.8	1.89	V	
VDDSHV0	メインドメイン全般の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメインドメインのウォームリセットピン	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV1	メインドメイン IO グループ 1 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV1_MCU	MCUSS IO グループ 1 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV2	メインドメイン IO グループ 2 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV3	メインドメイン IO グループ 3 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV4	メインドメイン IO グループ 4 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV5	メインドメイン IO グループ 5 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
VDDSHV6	メインドメイン IO グループ 6 の IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.14	3.3	3.46	V
USB0_VBUS	USB VBUS コンパレータ入力の電圧範囲	0	⁽⁵⁾ を参照	3.46	V	
USB1_VBUS	USB VBUS コンパレータ入力の電圧範囲		⁽⁵⁾ を参照		V	
USB0_ID	USB ID 入力の電圧範囲		⁽³⁾ を参照		V	
USB1_ID	USB ID 入力の電圧範囲		⁽³⁾ を参照		V	
VSS	グラウンド		0		V	
T _J	動作ジャンクション温度範囲	車載	-40	125	°C	
		拡張	-40	105	°C	
		商用	0	90	°C	

- (1) デバイス ボールの電圧が、わずかな時間であっても、最小電圧を下回ったり、最大電圧を上回ったりしてはいけません。この要件には、AC リップル、電圧過渡、電圧ディップなどの動的な電圧イベントが含まれます。
- (2) VDDS_DDR は、DDR インターフェイスを使用しない場合でも、LPDDR4 電圧範囲で電力を供給する必要があります。
- (3) この端子はそれぞれの USB PHY のアナログ回路に接続されています。この回路は、既知の電流を供給して電圧を測定することにより、端子が 10Ω 未満の抵抗または 100 kΩ を超える抵抗を経由して VSS に接続されているかどうかを判定します。この端子は、USB ホスト動作の場合はグラウンドに接続し、USB パリフェラル動作の場合は開路とする必要があります。また、外部電圧源には絶対に接続しないでください。
- (4) AVS 電圧は、デバイス依存、電圧ドメイン依存、OPP 依存です。この電圧は、VTM_DEVINFO_VDn から読み取る必要があります。VTM_DEVINFO_VDn レジスタのアドレスの詳細情報については、デバイスのテクニカル リファレンス マニュアルの「電圧およびサーマル マネージャ」セクションを参照してください。電源は、VDD_CPU の AVS 範囲の項目に示される範囲にわたって調整可能である必要があります。

- (5) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.3.4](#)、「USB VBUS の設計ガイドライン」を参照してください。

6.5 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロックとデバイス コア クロックの各動作性能の特長 (OPP) についても説明します。

表 6-1 に、デバイスの速度グレードごとにサポートされる最大周波数を示します。

表 6-1. 速度グレードの最大周波数

デバイス	最大周波数 (MHz)										
	A72SS0	C66SS0	C71SS0	R5FSS0/1	MCU_R5SS0	GPU	CBASS0	VPAC	DMPAC	DMSC	LPDDR4
TDA4VMxT	2000	1350	1000	1000	1000	750	500	720 ⁽¹⁾	520 ⁽¹⁾	333	4266MT/s ⁽²⁾
TDA4VMxL	1500	1000	750	1000	1000	600	500	600 ⁽¹⁾	433 ⁽¹⁾	333	3733MT/s ⁽²⁾
TDA4VMxE	1000	1000	750	1000	1000	400	500	600 ⁽¹⁾	該当なし	333	3200MT/s ⁽²⁾

- (1) PLL の共有により、最大 VPAC と DMPAC 速度は同時に利用できません (最大の組み合わせは、VPAC/DMPAC に対して、それぞれ 720/480 および 650/520 です)。
- (2) 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス インストルメンツ は、仕様のクロック周波数を完全に達成するために、すべての設計が、TI LPDDR4 評価基板の PCB レイアウト (配線、間隔、ビア / バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、『[Jacinto 7 LPDDR4 ボードの設計およびレイアウトのガイドライン](#)』を参照してください。

6.6 電気的特性

注

表 6-2 ~ 表 6-9 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

表 6-2. I2C オープン ドレイン フェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名: WKUP_I2C0_SDA, WKUP_I2C0_SCL, MCU_I2C0_SDA, MCU_I2C0_SCL, I2C0_SDA, I2C0_SCL, I2C1_SDA, I2C1_SCL, EXTINTN					
ボール番号: H24 / J25 / H25 / J26 / AA5 / AC5 / AA6 / Y6 / AC18 H24/ J25 / H25 / J26 / AA5 / AC5 / AA6 / Y6 / AC18					
1.8V モード					
V _{IL}	入力 Low レベル スレッショルド		0.3 × VDDSHV ⁽¹⁾		V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態		0.3 × VDDSHV ⁽¹⁾		V
V _{IH}	入力 High レベル スレッショルド	0.7 × VDDSHV ⁽¹⁾			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態	0.7 × VDDSHV ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧	0.1 × VDDSHV ⁽¹⁾			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V		±10	μA
V _{OL}	出力 Low レベル電圧		0.2 × VDDSHV ⁽¹⁾		V
I _{OL} ⁽²⁾	LOW レベル出力電流	V _{OL(MAX)}	6		mA
SR _I ⁽⁴⁾	入力スルーレート		18f ⁽³⁾ または 1.8E+6		V/s
3.3V モード ⁽⁵⁾					
V _{IL}	入力 Low レベル スレッショルド		0.3 × VDDSHV ⁽¹⁾		V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態		0.25 × VDDSHV ⁽¹⁾		V
V _{IH}	入力 High レベル スレッショルド	0.7 × VDDSHV ⁽¹⁾			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態	0.7 × VDDSHV ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧	0.05 × VDDSHV ⁽¹⁾			mV
I _{IN}	入力リーク電流	V _I = 3.3 V または 0V		±10	μA
V _{OL}	出力 Low レベル電圧		0.4 ⁽¹⁾		V
I _{OL} ⁽²⁾	LOW レベル出力電流	V _{OL(MAX)}	6		mA

表 6-2. I2C オープン ドレイン フェイルセーフ (I2C OD FS) の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR _I ⁽⁴⁾	入力スルーレート		33f ⁽³⁾ または 3.3E+6		8E + 7	V/s

- (1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、[セクション 5.2](#)、「ピン属性」の「電源」の欄を参照してください。
- (2) I_{OL} パラメータは、指定された V_{OL} 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V_{OL} 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。
- (3) f = 入力信号のトグル周波数 (Hz)。
- (4) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。
- (5) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

表 6-3. フェイルセーフ リセット (FS Reset) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名:MCU_PORz, PORz						
ボール番号:H23 / J24						
V _{IL}	入力 Low レベル スレッショルド				0.3 × VDDSHV ⁽¹⁾	V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態				0.3 × VDDSHV ⁽¹⁾	V
V _{IH}	入力 High レベル スレッショルド		0.7 × VDDSHV ⁽¹⁾			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態		0.7 × VDDSHV ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧		200			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V			±10	μA

- (1) VDDSHV は、対応する電源を表します。電源名と対応するボールの詳細については、[セクション 5.2](#)、「ピン属性」の「電源」の欄を参照してください。

表 6-4. HFOSC/LFOSC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
高周波数発振器						
ボール名:WKUP_OSC0_XO, WKUP_OSC0_XI, OSC1_XO, OSC1_XI						
ボール番号:M27 / M29 / P27 / P29						
V _{IH}	入力 High レベル スレッショルド		0.65 × VDDSHV ⁽¹⁾			V
V _{IL}	入力 Low レベル スレッショルド				0.35 × VDDSHV ⁽¹⁾	V
V _{HYS}	入力ヒステリシス電圧			49		mV
低周波数発振器						
ボール名:WKUP_LFOSC0_XO, WKUP_LFOSC0_XI						
ボール番号:N26 / N28						
V _{IH}	入力 High レベル スレッショルド		0.65 × VDDA_WKUP ⁽¹⁾			V

表 6-4. HFOSC/LFOSC の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low レベル スレッショルド			0.35 × VDDA_WKUP ⁽¹⁾	V
V _{HYS}	入力ヒステリシス電圧	アクティブ モード	85		mV
		バイパス モード	324		mV

(1) VDDSHV は、対応する電源を表します。WKUP_OSC0 の場合、対応する電源は VDDA_WKUP です。OSC1_XI の場合、対応する電源は VDDS_OSC1 です。

表 6-5. eMMCPHY の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	公称値	最大値	単位
モード 0 のボール名: MMC0_DAT[7:0], MMC0_CALPAD, MMC0_CMD, MMC0_DS, MMC0_CLK					
ボール番号: AG2 / AH1 / AG3 / AF4 / AE5 / AF3 / AG1 / AF2 / AE1 / AE3 / AE4 / AF1					
V _{IL}	入力 Low レベル スレッショルド			0.35 × VDDSHV ⁽¹⁾	V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態			0.20	V
V _{IH}	入力 High レベル スレッショルド	0.65 × VDDSHV ⁽¹⁾			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態	1.4			V
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V		±10	μA
I _{OZ}	トライステート出力リーク電流	V _O = 1.8 V または 0 V		±10	μA
R _{PU}	プルアップ抵抗	15	20	25	kΩ
R _{PD}	プルダウン抵抗	15	20	25	kΩ
V _{OL}	出力 Low レベル電圧			0.30	V
V _{OH}	出力 High レベル電圧	VDDSHV - 0.30 ⁽¹⁾			V
I _{OL}	LOW レベル出力電流	V _{OL(MAX)}	2		mA
I _{OH}	High レベル出力電流	V _{OH(MAX)}	2		mA
SR _I	入力スルーレート		5E + 8		V/s

(1) VDDSHV は、対応する電源 (Vddshv8) を表します。電源名と対応するボールの詳細については、[セクション 5.2](#)、「ピン属性」の「電源」の欄を参照してください。

表 6-6. SDIO の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	公称値	最大値	単位
モード 0 のボール名: MMC1_CLK, MMC1_CMD, MMC1_DAT[3:0], MMC2_CLK, MMC2_CMD, MMC2_DAT[3:0]					
ボール番号: P25 / R29 / R24 / P24 / R25 / R26 / T26 / T25 / T24 / T27 / T29 / T28					
1.8V モード					
V _{IL}	入力 Low レベル スレッショルド			0.58	V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態			0.58	V
V _{IH}	入力 High レベル スレッショルド	1.27			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態	1.7			V
V _{HYS}	入力ヒステリシス電圧	150			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V		±10	μA
R _{PU}	プルアップ抵抗	40	50	60	kΩ

表 6-6. SDIO の電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 Low レベル電圧				0.45	V
V _{OH}	出力 High レベル電圧		V _{DDSHV} - 0.45 ⁽¹⁾			V
I _{OL}	LOW レベル出力電流	V _{OL(MAX)}	4			mA
I _{OH}	High レベル出力電流	V _{OH(MAX)}	4			mA
SR _I ⁽³⁾	入力スルーレート		18f ⁽²⁾ または 1.8E+6			V/s
3.3V モード						
V _{IL}	入力 Low レベル スレッショルド				0.25 × V _{DDSHV} ⁽¹⁾	V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態				0.15 × V _{DDSHV} ⁽¹⁾	V
V _{IH}	入力 High レベル スレッショルド		0.625 × V _{DDSHV} ⁽¹⁾			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態		0.625 × V _{DDSHV} ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V			±10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 Low レベル電圧				0.125 × V _{DDSHV} ⁽¹⁾	V
V _{OH}	出力 High レベル電圧		0.75 × V _{DDSHV} ⁽¹⁾			V
I _{OL}	LOW レベル出力電流	V _{OL(MAX)}	6			mA
I _{OH}	High レベル出力電流	V _{OH(MAX)}	10			mA
SR _I ⁽³⁾	入力スルーレート		33f ⁽²⁾ または 3.3E+6			V/s

(1) V_{DDSHV} は、対応する電源 (V_{ddshv8}) を表します。電源名と対応するボールの詳細については、[セクション 5.2](#)、「ピン属性」の「電源」の欄を参照してください。

(2) f = 入力信号のトグル周波数 (Hz)。

(3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

CSI-2/DSI D-PHY の電気的特性

注

CSI-2/DSI (D-PHY) インターフェイスは、該当する ECN および Errata を含む、2014 年 8 月 1 日付の MIPI D-PHY 仕様 v1.2 に準拠しています。

表 6-7. ADC12B の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名: MCU_ADC0_AIN[7:0], MCU_ADC1_AIN[7:0]					

表 6-7. ADC12B の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ボール番号: K24 / K25 / K26 / K27 / K28 / K29 / L24 / L25 / L26 / L27 / L28 / L29 / M24 / M25 / N23 / N24						
アナログ入力						
$V_{MCU_ADC0/1_AIN[7:0]}$	フルスケール入力レンジ		VSS	VDDA_ADC0/1		V
DNL	微分非直線性		-1	0.5	4	LSB
INL	積分非直線性			±1	±4	LSB
$LSB_{GAIN-ERROR}$	ゲイン誤差			±2		LSB
$LSB_{OFFSET-ERROR}$	オフセット誤差			±2		LSB
C_{IN}	入力サンプリング容量			5.5		pF
SNR	信号対雑音比	入力信号: 200kHz 正弦波、-0.5dB フルスケール		70		dB
THD	全高調波歪み	入力信号: 200kHz 正弦波、-0.5dB フルスケール		73		dB
SFDR	スプリアス フリー ダイナミックレンジ	入力信号: 200kHz 正弦波、-0.5dB フルスケール		76		dB
$SNR_{(PLUS)}$	信号対雑音比 + 歪み	入力信号: 200kHz 正弦波、-0.5dB フルスケール		69		dB
$R_{MCU_ADC0/1_AIN[0:7]}$	MCU_ADC0/1_AIN[7:0] の入力インピーダンス	$f =$ 入力周波数		$[1/((65.97 \times 10^{-12}) \times f_{SMPL_CLK})]$		Ω
I_{IN}	入力リークage	MCU_ADC0/1_AIN[7:0] = VSS			-10	μA
		MCU_ADC0/1_AIN[7:0] = VDDA_ADC0/1			24	μA
サンプリング動特性						
F_{SMPL_CLK}	SMPL_CLK 周波数			60		MHz
t_C	変換時間			13		ADC0/1 SMPL_CLK サイクル
t_{ACQ}	アキュイジション時間		2		257	ADC0/1 SMPL_CLK サイクル
T_R	サンプリングレート	ADC0/1 SMPL_CLK = 60MHz		4		MSPS
CCISO	チャンネル間絶縁			100		dB
汎用入出力モード (1)						
V_{IL}	入力 Low レベル スレッショルド				$0.35 \times VDDA_ADC0/1$	V
V_{ILSS}	入力 High レベル スレッショルドの定常状態				$0.35 \times VDDA_ADC0/1$	V
V_{IH}	入力 High レベル スレッショルド		$0.65 \times VDDA_ADC0/1$			V

表 6-7. ADC12B の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IHSS}	入力 High レベル スレッショルドの定常状態	0.65 × VDDA_ADC0/1			V
V _{HYS}	入力ヒステリシス電圧	200			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V		6	μA

- (1) MCU_ADC0/1 は、汎用入力モードで動作するように構成できます。このモードでは、すべての MCU_ADC0/1_AIN[7:0] 入力に ADC0/1_CTRL レジスタ (gpi_mode_en = 1) を介してデジタル入力として動作するようにグローバルに有効化されます。

表 6-8. MLB LVCMOS の電気的特性

GPIO モードのみをサポート。自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
モード 0 のボール名: MLB0_MLBSN、MLB0_MLBDP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP					
ボール番号: AC1 / AC3 / AD1 / AD2 / AD3 / AE2					
V _{IL}	入力 Low 電圧			0.3 × VDD ⁽¹⁾	V
V _{ILSS}	入力 Low 電圧 (定常状態)			0.3 × VDD ⁽¹⁾	V
V _{IH}	入力 High 電圧	0.7 × VDD ⁽¹⁾			V
V _{IHSS}	入力 High 電圧 (定常状態)	0.75 × VDD ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧	80			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V		±10	μA
R _{PD}	プルダウン抵抗	20	53	130	kΩ
V _{OL}	出力 LOW 電圧			0.2	V
V _{OH}	出力 HIGH 電圧	VDD ⁽¹⁾ - 0.2			V
I _{OL}	LOW レベル出力電流	V _{OL(MAX)}	6		mA
I _{OH}	High レベル出力電流	V _{OH(MIN)}	6		mA
SR _I	入力スルーレート ⁽²⁾	f _{op} > 100MHz	1		V/ns
		f _{op} < 1MHz	10		V/ns

- (1) VDD は、対応する電源を表します。電源名と対応するボールの詳細については、[セクション 5.2](#)、「ピン属性」の「電源」の欄を参照してください。
(2) スルーレートはさらに制限される場合があります。動作中の実際のスルーレートについては[セクション 6.10](#)を参照してください。

表 6-9. LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾	テスト条件	最小値	標準値	最大値	単位
ボール名: その他すべての IO					
ボール番号: その他すべての IO					
1.8V モード					
V _{IL}	入力 Low 電圧			0.35 × VDD ⁽¹⁾	V
V _{ILSS}	入力 Low 電圧 (定常状態)			0.3 × VDD ⁽¹⁾	V
V _{IH}	入力 High 電圧	0.65 × VDD ⁽¹⁾			V
V _{IHSS}	入力 High 電圧 (定常状態)	0.85 × VDD ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧	150			mV
I _{IN}	入力リーク電流。	V _I = 1.8 V または 0V		±10	μA
R _{PU}	プルアップ抵抗	15	22	30	kΩ
R _{PD}	プルダウン抵抗	15	22	30	kΩ
V _{OL}	出力 LOW 電圧			0.45	V

表 6-9. LVCMOS の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ (1)		テスト条件	最小値	標準値	最大値	単位
V _{OH}	出力 HIGH 電圧		VDD ⁽¹⁾ - 0.45			V
I _{OL} (2)	LOW レベル出力電流	V _{OL(MAX)}	3			mA
I _{OH} (2)	High レベル出力電流	V _{OH(MIN)}	3			mA
SR _I (4)	入力スルーレート		18f ⁽³⁾ または 1.8E+6			V/s
3.3V モード						
V _{IL}	入力 Low 電圧				0.8	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.6	V
V _{IH}	入力 High 電圧		2.0			V
V _{IHSS}	入力 High 電圧 (定常状態)		2.0			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流。	V _I = 3.3 V または 0V			±10	μA
R _{PD}	プルダウン抵抗		15	22	30	kΩ
V _{OL}	出力 LOW 電圧				0.4	V
V _{OH}	出力 HIGH 電圧		2.4			V
I _{OL} (2)	LOW レベル出力電流	V _{OL(MAX)}	5			mA
I _{OH} (2)	High レベル出力電流	V _{OH(MIN)}	6			mA
SR _I (4)	入力スルーレート		33f ⁽³⁾ または 3.3E+6			V/s

- (1) VDD は、対応する電源を表します。電源名と対応するボールの詳細については、セクション 5.2、「ピン属性」の「電源」の欄を参照してください。
- (2) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (3) f = 入力信号のトグル周波数 (Hz)。
- (4) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

USB2PHY の電気的特性

注

USB0 および USB1 の電気的特性は、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

SerDes 4-L-PHY/2-L-PHY の電気的特性

注

PCIe インターフェイスは、『PCI Express® 基本仕様リビジョン 4.0』(2017 年 9 月 27 日) に規定された電気的パラメータに準拠しています。

このデバイスでは、表 6-10、「4-L-PHY SERDES REFCLK の電気的特性」のパラメータ V_{REFCLK_TERM} に記載されているように、内部終端がイネーブルされた入力モードで使用する場合、SERDES REFCLK に追加の制限が課されます。内部終端は、デフォルトでイネーブルになっており、 V_{REFCLK_TERM} で定義された制限を超えるリファレンスクロック信号を印加する前にディセーブルする必要があります。外部終端は、ソース側で常にイネーブルにする必要があります。

表 6-10. 4-L-PHY SERDES REFCLK の電気的特性

内部終端がイネーブルの場合にのみ適用されます。推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
モード 0 のボール名: SERDES4_REFCLK_P, SERDES4_REFCLK_N					
ボール番号: E8 / E7					
V_{REFCLK_TERM}	内部終端がイネーブルのときの基準クロックピンのシングルエンド電圧スレッショルド			400	mV
R_{TERM}	内部終端	40	50	62.5	Ω

注

SerDes USB インターフェイスは、『ユニバーサル シリアル バス 3.1 仕様リビジョン 1.0』(2013 年 7 月 26 日) で定義された USB3.1 SuperSpeed トランスミッタおよびレシーバの標準電気的パラメータに準拠しています。

注

SGMII インターフェイスの電気的特性は、IEEE802.3 Clause 70 の 1000BASE-KX に準拠しています。

注

SGMII 2.5G/XAUI インターフェイスの電気的特性は、IEEE802.3 Clause 47 に準拠しています。

注

QSGMII インターフェイスの電気的特性は、QSGMII 仕様リビジョン 1.2 に準拠しています。

このデバイスでは、表 6-11「2-L-PHY SERDES REFCLK の電気的特性」のパラメータ V_{IDTH} および V_{IDTL} により説明されているように、2-L-PHY SERDES REFCLK に追加の制限が課されます。

表 6-11. 2-L-PHY SERDES REFCLK の電気的特性

内部終端がイネーブルの場合にのみ適用されます。推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
モード 0 のボール名: PCIE_REFCLK[3:0]P, PCIE_REFCLK[3:0]N					
ボール番号: AE9 / AD10 / AE11 / AD12 / AE14 / AD15 / AE17 / AD16					
V_{IDTH}	入力差動高レベルスレッショルド			200	mV
V_{IDTL}	入力差動低レベルスレッショルド	-200			mV

UFS M-PHY の電気的特性

注

UFS インターフェイスの電気的特性は、MIPI M-PHY 仕様 v3.1 (2014 年 2 月 17 日) に準拠しています。

eDP/DP AUX-PHY の電気的特性

注

DP インターフェイスの電気的特性は、VESA DisplayPort (DP) Standard V 1.4 (2016 年 2 月 23 日) に準拠しています。

注

eDP インターフェイスの電気的特性は、VESA Embedded DisplayPort (eDP) Standard v1.4b (2015 年 10 月 23 日) に準拠しています。

DDR0 の電気的特性

注

DDR インターフェイスは、JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスと互換性があります。

6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、高セキュリティ デバイスにのみ適用できます。

6.7.1 OTP eFuse プログラミングの推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作時のコアドメイン電源電圧範囲	セクション 6.4 を参照			V
VDD_MCU	OTP 動作時のコアドメイン電源電圧範囲	セクション 6.4 を参照			V
VPP_CORE	通常動作時の eFuse ROM ドメインの電源電圧範囲	N/A(2)			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽¹⁾	1.71	1.8	1.89	V
VPP_MCU	通常動作時の eFuse ROM ドメインの電源電圧範囲	N/A(2)			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽¹⁾	1.71	1.8	1.89	V

(1) 電源電圧範囲には、DC 誤差およびピークツーピーク ノイズが含まれます。TLV707x ファミリの TI パワー マネージメントソリューション TLV70718 は、VPP_CORE と VPP_MCU が必要とする電源電圧範囲に適合しています。

(2) N/A は、該当なしを表します。

6.7.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP_CORE および VPP_MCU 電源をディセーブルにする必要があります。
- VPP_CORE 電源と VPP_MCU 電源は、デバイスの適切なパワーオン シーケンスの後にランプアップする必要があります (詳細については、セクション 6.10.2 を参照してください)。

6.7.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP_CORE および VPP_MCU 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- セクション 6.7.1 に示す仕様に従って、VPP_CORE および VPP_MCU 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP_CORE 端子と VPP_MCU 端子から電圧を取り除きます。

6.7.4 ハードウェア保証への影響

お客様は、eFuse を使用すると テキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。このため、お客様によって eFuse が誤って実行された TI のデバイスについて、TI は一切の責任 (保証またはその他の責任) を負いません。

6.8 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、セクション 6.4「推奨動作条件」に示されている T_J 値以下にする必要があります。

6.8.1 ALF パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	ALF パッケージ	
			$^{\circ}\text{C}/\text{W}$ ^{(1) (3)}	空気流 (m/s) ⁽²⁾
T1	$R_{\theta JC}$	接合部とケースとの間	0.25	該当なし
T2	$R_{\theta JB}$	接合部と基板との間	2.1	該当なし
T3	$R_{\theta JA}$	接合部と自由空気との間	11.5	0
T4			7.4	1
T5			6.5	2
T6			6	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.1	0
T8			0.1	1
T9			0.1	2
T10			0.1	3
T11	Ψ_{JB}	接合部と基板との間	1.6	0
T12			1.7	1
T13			1.6	2
T14			1.5	3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [$R_{\theta JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) m/s = メートル/秒。

(3) $^{\circ}\text{C}/\text{W}$ = 摂氏温度 / ワット。

6.9 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」に示されている T_J 値以下にする必要があります。

表 6-12. VTM ダイ温度センサの特性

パラメータ		テスト 条件	最小値	標準値	最大値	単位
T_{acc}	VTM 温度センサ精度	-40~110 °C	-5		5	°C
		110~125 °C	-2		2	°C

6.10 タイミングおよびスイッチング特性

注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

6.10.1 タイミングパラメータおよび情報

セクション 6.10 に使用されているタイミングパラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を表 6-13 に示すように短縮しました。

表 6-13. タイミングパラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタートビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

6.10.2 電源シーケンス

このセクションでは、デバイスが適切に動作するために必要な電源シーケンスについて説明します。このデバイスは、分離または結合された MCU およびメイン電源供給回路 (PDN) を使用して動作できます。分離および結合 MCU およびメイン PDN に基づいて、2 つの異なるプライマリ電源シーケンスを推奨します。さらに、このデバイスはマイコンのみ、または DDR 保持のいずれかの低消費電力モードで動作できます。低消費電力モードへの移行と終了のための、2 つの異なる推奨デバイス電源シーケンスを示します。

このセクションで使用される電源名はこのデバイスに固有であり、「信号の説明」セクションで与えられた名前に合わせてあります。Jacinto 7™ プロセッサ ファミリ内のさまざまなデバイスで、共通の電源名を使用することができます。これらの共通な電源名は、デバイス間で機能が同一ではないとしても、非常に類似しています。

ここに示すすべての電源シーケンス タイミング図では、以下の用語が使用されています。

- プライマリ = すべての電圧ドメインで必須である、オフ状態とフル アクティブ状態の間の電力シーケンス
- $V_{OPR\ MIN}$ = 「推奨動作条件」に規定された機能を保証する最小動作電圧レベル
- ランプアップ = オフ状態から最小動作電圧へ電源が遷移する時間の開始
- ランプダウン = 動作電圧からオフ状態へ電源が遷移する時間の開始
- SUPPLY_「n」 = 同様な電源の複数インスタンス (すなわち、VDDSHVn = VDDSHV0、VDDSHV1、VDDSHV2 ... VDDSHV6)
- SUPPLY_「xxx」 = さまざまな信号タイプに使用される、同様な電源の複数インスタンス (すなわち、VDDA_1P8_xxx = VDDA_1P8_DSITX、VDDA_1P8_USB、VDDA_0P8_DSITX、VDDA_0P8_USB など)
- タイム スタンプ = 一般的な参照のための説明とおおよその経過時間を記載した「T#」の記号。具体的なタイミング遷移は、PDN の設計に依存します (詳細については、『PDN ユーザーガイド』を参照)。

6.10.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するために、[図 6-2](#) に示すように、電源の最大スルーレートを 100mV/μs 未満に制限することを推奨します。たとえば、1.8V の電源では、100mV/μs 未満のスルーレートを確保するために、18μs を上回るランプ時間を設定する必要があります。

[図 6-2](#) に、デバイスの電源スルー レートの要件を示します。

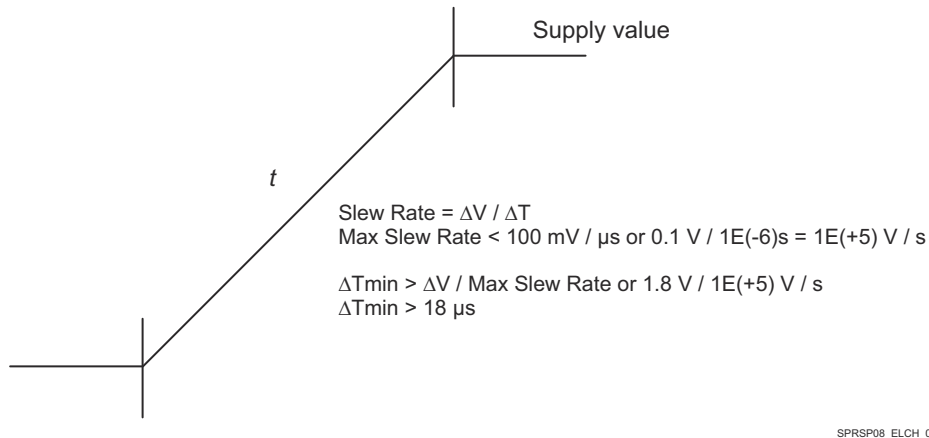


図 6-2. 電源のスルーおよびスルーレート

6.10.2.2 マイコンとメインのドメインを組み合わせたパワーアップ シーケンシング

[図 6-3](#) に、同様の MCU およびメイン電圧ドメインを共通の電源レールに結合したときの 1 次電源パワーアップ シーケンスを示します。MCU とメイン電圧ドメインを結合することにより、電源レールと電源の総数が減り、MCU およびメイン プロセッサのサブシステムが共通の電源レールによって動作するようになるので、PDN 設計が簡素化されます。[セクション 8.1](#) の表 8-1「電源マッピング」は、推奨デバイス電源グループと電源レールの対応関係をまとめた概要を示しています。

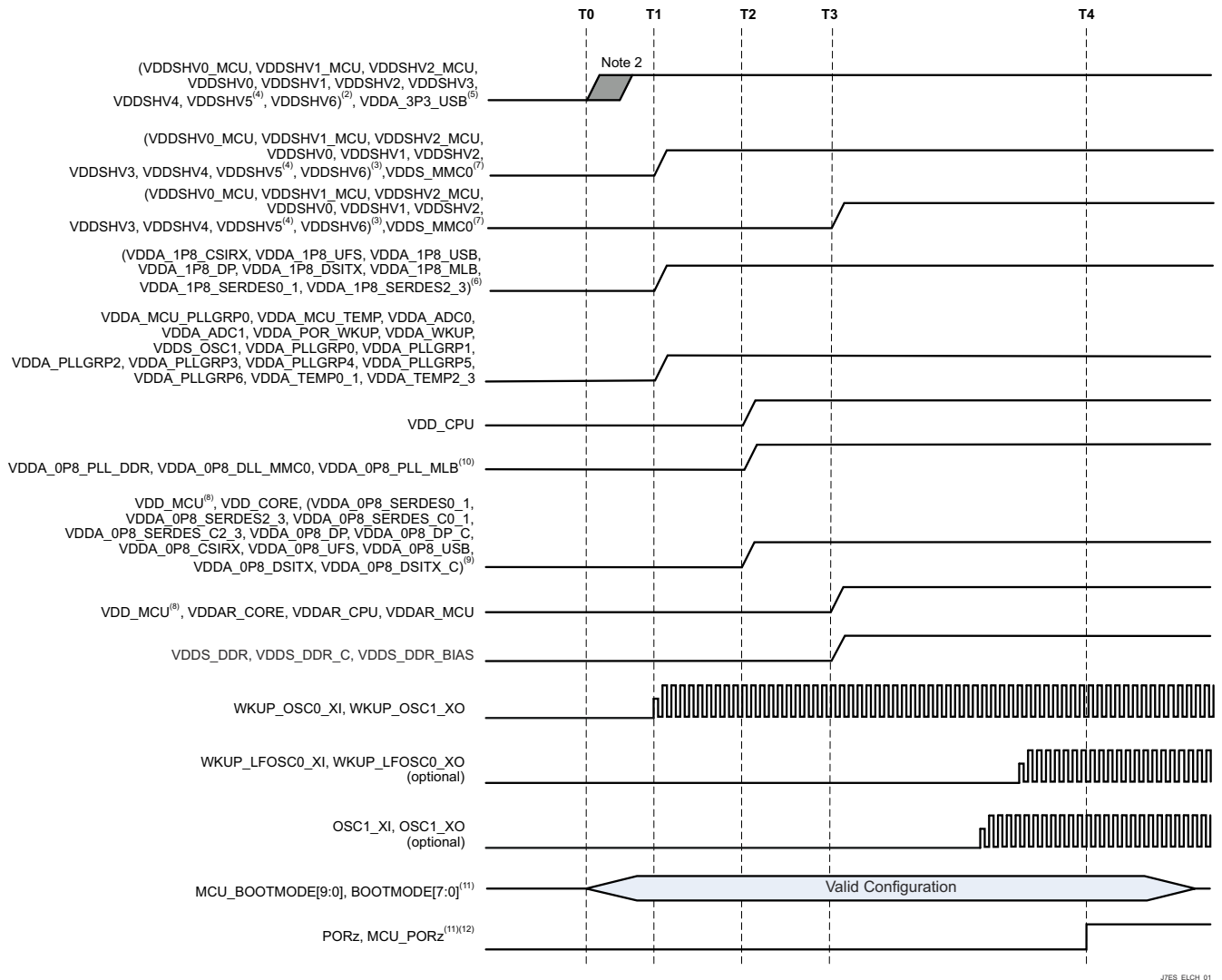


図 6-3. MCU およびメインドメインの結合、1次電源パワーアップシーケンス

1. タイムスタンプの記号

T0 – 3.3V 電圧が、 $V_{OPR\ MIN}$ までランプアップを開始します。(0ms)

T1 – 1.8V 電圧が、 $V_{OPR\ MIN}$ までランプアップを開始します。(2ms)

T2 – 低電圧コア電源が、 $V_{OPR\ MIN}$ までランプアップを開始します。(3ms)

T3 – 低電圧 RAM アレイ電圧が、 $V_{OPR\ MIN}$ までランプアップを開始します。(4ms)

T4 – OSC1 は安定しており、PORz/MCU_PORz はアサート解除されて、プロセッサをリセットから解放します。(13ms)

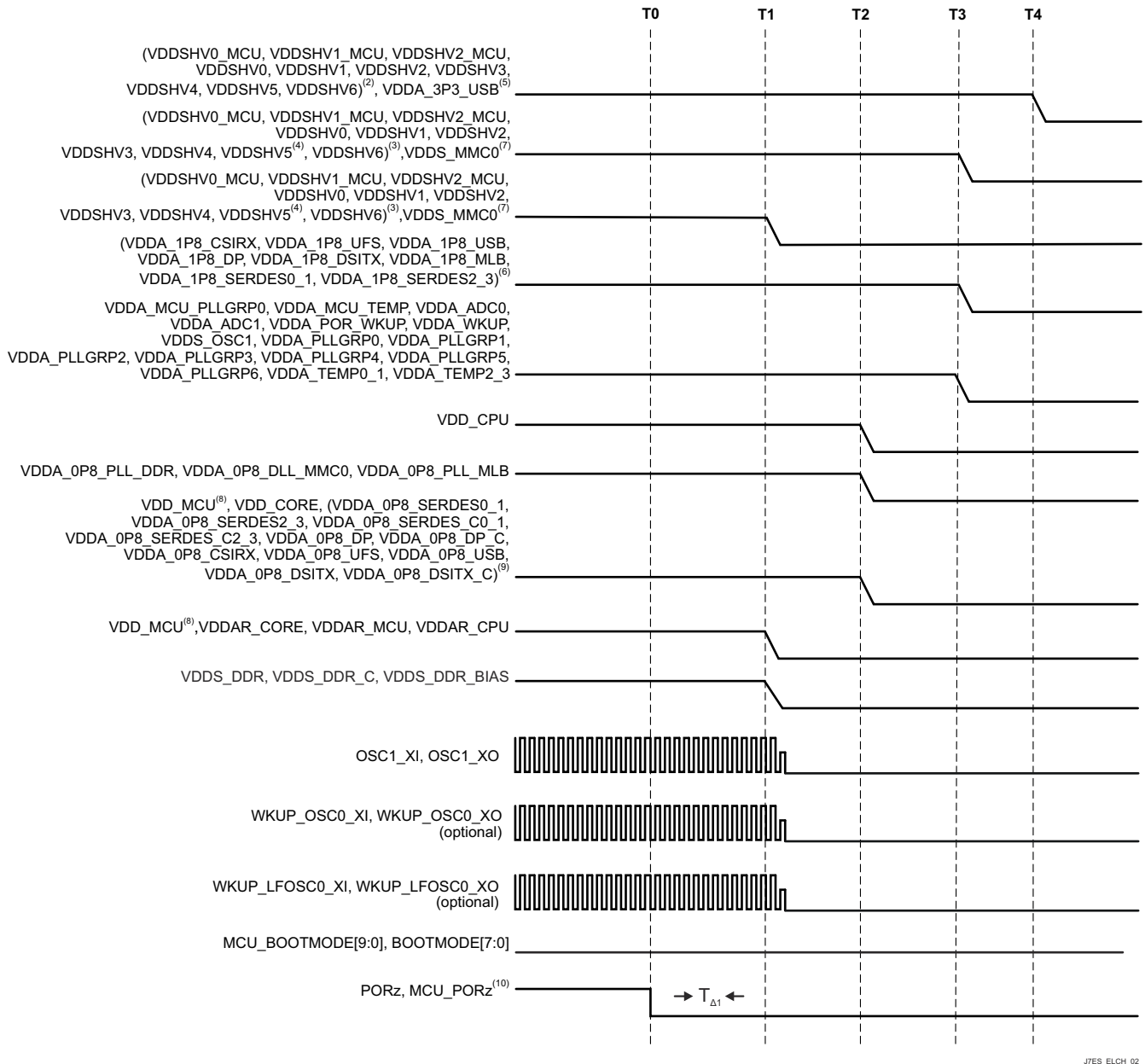
2. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源(VDDSHVn_MCU または VDDSHVn)。一部の電源では、PDN 設計により、異なる電源リソースを使用し、それぞれのターンオンおよびランプアップ遅延が異なるため、開始時間が T0 と T1 の間で変動する場合があります。

3. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源(VDDSHVn_MCU または VDDSHVn)。eMMC メモリを使用している場合、PDN 設計により電源が VDD_MMC0 とグループ化されているので、メインの 1.8V 電源では T3 に合わせてランプアップすることがあります。

4. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V までのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じになります。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
5. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V までのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じになります。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
6. VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
7. VDD_MMC0 は 1.8V のデジタル電源であり、eMMC インターフェイス用の MMC0 信号をサポートしています。MMC0 または eMMC0 インターフェイスが不要な場合は、T1 に起動タイム スタンプがある付デジタル IO 1.8V 電源レールにドメインをグループ化できます。ただし、MMC0 インターフェイスが必要な場合は、VDD_CORE が $V_{OPR\ MIN}$ に達してからタイム スタンプ T3 まで、VDD_MMC0 はランプアップを開始してはいけません。1.8V で動作するマイコンまたはメインのデュアル電圧 IO は、起動タイム スタンプ T3 がある共通の電源レールとして、VDD_MMC0 とグループ化することができます。
8. VDD_MCU は、広い動作電圧範囲と電源シーケンスのフレキシビリティを備えたデジタル電圧電源であり、タイムスタンプ T2 で 0.8V の VDD_CORE、またはタイムスタンプ T3 で 0.85V の RAM アレイドメイン (VDDAR_xxx) とグループ化およびランプアップが可能です。
9. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、アナログの VDDA_1P8_<phy> ドメイン、またはデジタルの VDDSHVn_MCU ドメインと VDDSHVn IO ドメインを結合することは推奨されません。
10. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
11. パワーアップ シーケンス中に MCU_PORz および PORz が High にアサートされてから、MCU_BOOTMODEn (MCU_VDDSHV0 を基準とする) および BOOTMODEn (VDDSHV2 を基準とする) 設定をレジスタにラッチするまでの最小セットアップおよびホールド時間を表示。
12. 水晶発振器回路に電源が供給されたとき (T1 の VDDS_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイムスタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロック ジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

6.10.2.3 MCU とメイン ドメインの結合パワーダウン シーケンス - オプション 1

図 6-4 で、オプション 1 のデバイス パワーダウン シーケンスについて説明します。



J7ES_ELCH_02

図 6-4. MCU とメインドメインの結合、プライマリパワーダウンシーケンス - オプション 1

1. タイムスタンプ マーカー

T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)

T1 –メイン DDR、SRAM コア、および SRAM CPU 電源がランプダウンを開始します。(0.5ms)

T2 – 低電圧コア電源がランプダウンを開始します。(2.5ms)

T3 - 1.8V 電圧がランプダウンを開始します。(3.0ms)

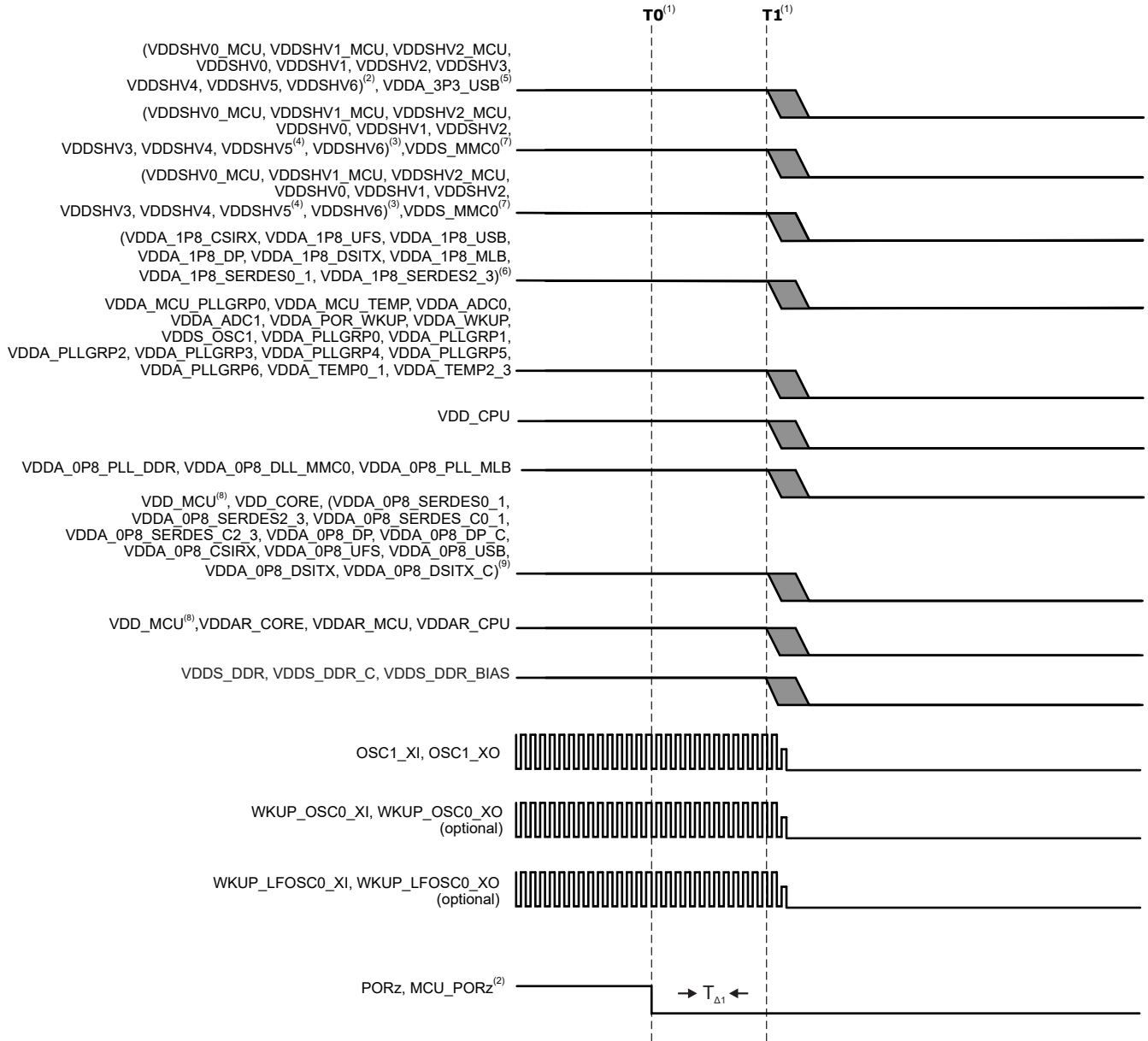
T4 – 3.3V 電圧がランプダウンを開始します。(3.5ms)

2. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかのマイコンまたはメインデュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)

3. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源(VDDSHVn_MCU または VDDSHVn)。eMMC メモリが使用されている場合、PDN 設計により電源が VDD_MMC0 とグループ化されているため、メインの 1.8V 電源では T1 に合わせてランプダウンすることがあります。
4. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) 電源レールが必要です。規格準拠の高速 SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V/1.8V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
5. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データアイマスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
6. VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
7. VDD_MMC0 は、eMMC インターフェイス用の MMC0 信号をサポートする 1.8V デジタル電源であり、VDD_CORE がランプダウンを開始する前にタイム スタンプ T1 でランプダウンする必要があります。1.8V で動作するいずれかのマイコンまたはメイン デュアル電圧 IO は、VDD_MMC0 とともに、パワーダウン タイム スタンプ T1 を持つ共通電源レールにグループ化できます。MMC0 または eMMC0 インターフェイスが不要な場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化し、タイム スタンプ T3 でランプダウンできます。
8. VDD_MCU は、広い動作電圧範囲と電源シーケンスのフレキシビリティを備えたデジタル電圧電源であり、タイム スタンプ T2 で 0.8V の VDD_CORE、またはタイム スタンプ T1 で 0.85V の RAM アレイドメイン (VDDAR_xxx) とグループ化およびランプダウンが可能です。
9. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、アナログの VDDA_1P8_<phy> ドメイン、またはデジタルの VDDSHVn_MCU と VDDSHVn IO ドメインを結合することは推奨しません。
10. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも TΔ1 = 200μs の間 Low にアサートする必要があります。

6.10.2.4 MCU とメイン ドメインの結合パワーダウン シーケンス - オプション 2

図 6-5 で、オプション 2 のデバイス パワーダウン シーケンスについて説明します。



J7ES_ELCH_02

図 6-5. MCU とメイン ドメインの結合、プライマリ パワーダウン シーケンス - オプション 2

1. タイム スタンプの記号

T_0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)

T_1 – すべての電源のランプダウンが開始されます。(1 μ s)

2. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、少なくとも $T_{\Delta 1} = 200\mu$ s の間、MCU_PORz および PORz を Low にアサートする必要があります。

6.10.2.5 MCU およびメイン ドメインの分離パワーアップ シーケンシング

MCU とメイン電圧ドメインの分離により、SoC の MCU とメイン プロセッサ サブシステムは独立して動作できます。SoC の PDN 設計において、MCU とメイン プロセッサの分離機能をサポートする必要がある理由は、2 つあります。第 1 に

は、SoC の低消費電力モードを有効にするフレキシビリティを提供することです。このモードを使用すると、プロセッサの動作が不要なときに SoC の消費電力を大幅に低減できます。第 2 に、単一の障害が MCU およびメイン プロセッサ サブシステムの両方に影響を及ぼすという干渉を回避すること (FFI) により、堅牢性を実現できます。これは、SoC の MCU をシステムの安全監視プロセッサとして使用する場合に特に有益です。必要とされる追加の PDN 電源レールの数は、異なる MCU IO 信号電圧レベルの数によって異なります。1.8V IO 信号のみを使用する場合は、必要とされる追加の電源レールは 2 つです。1.8V および 3.3V の IO 信号が必要な場合は、4 つの追加電源レールが必要になります。セクション 8.1 の表 8-2「電源マッピング」は、推奨デバイス電源と電源レールの対応関係をまとめた概要を示しています。

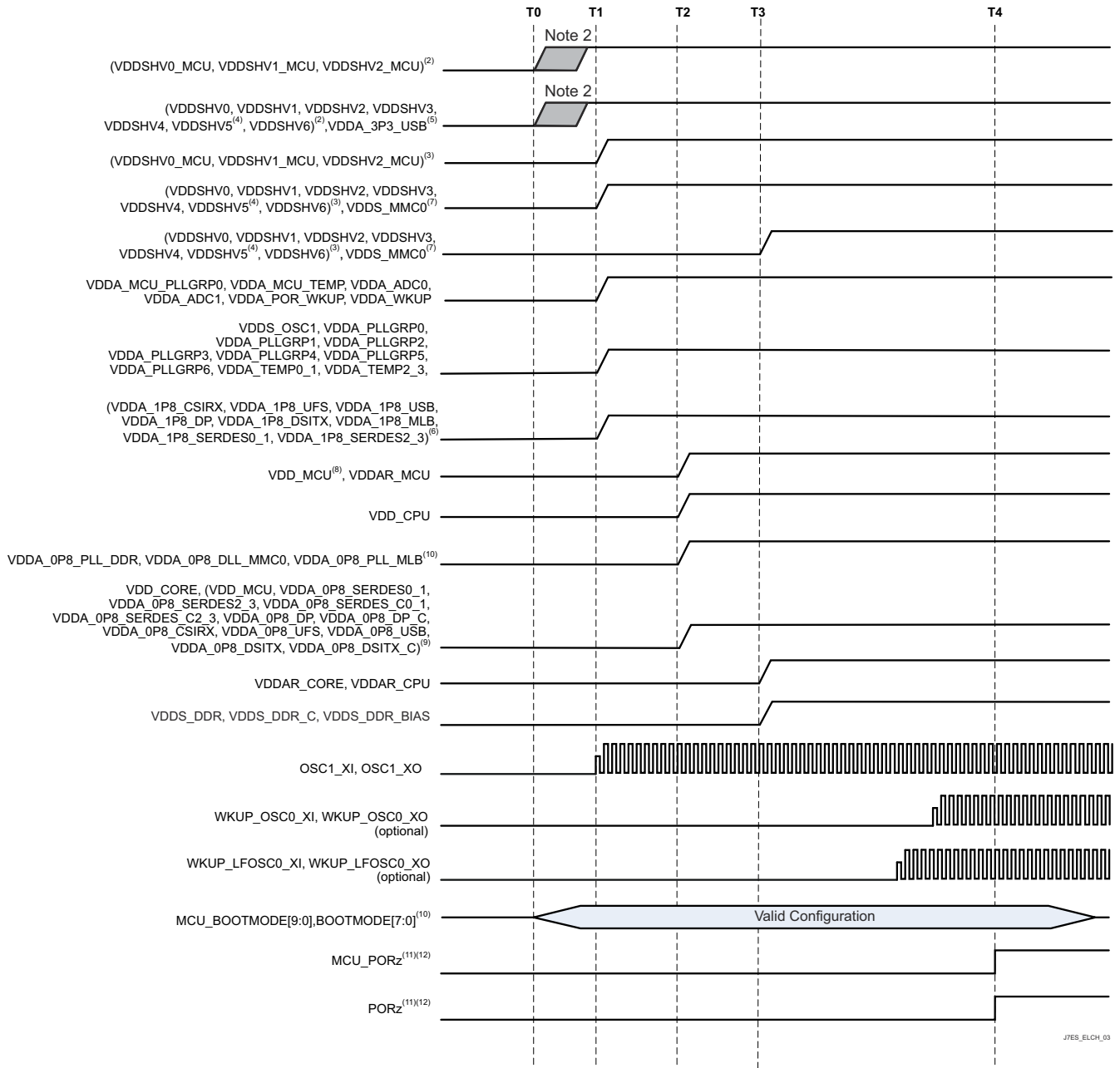


図 6-6. MCU およびメイン ドメインの分離、プライマリ パワーアップ シーケンス

1. タイム スタンプの記号

T0 – 3.3V 電圧が、V_{OPR MIN} までランプアップを開始します。(0ms)

- T1 – 1.8V 電圧が、V_{OPR MIN} までランプアップを開始します。(2ms)
- T2 – 低電圧コア電源が、V_{OPR MIN} までランプアップを開始します。(3ms)
- T3 – 低電圧 RAM アレイ電圧が、V_{OPR MIN} までランプアップを開始します。(4ms)
- T4 – OSC1 は安定しており、PORz/MCU_PORz はアサート解除されて、プロセッサをリセットから解放します。(13ms)
2. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源(VDDSHVn_MCU または VDDSHVn)。一部の電源では、PDN 設計により、異なる電源リソースを使用し、それぞれのターンオンおよびランプアップ遅延が異なるため、開始時間が T0 と T1 の間で変動する場合があります。
 3. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源(VDDSHVn_MCU または VDDSHVn)。eMMC メモリを使用する場合、PDN 設計により電源が VDD_MMC0 とグループ化されているため、メインの 1.8V 電源は、T3 に合わせて開始時間が遅延する可能性があります。
 4. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の UHS-I SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V までのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じになります。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、この電源をデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、この電源をデジタル IO 1.8V 電源レールにグループ化できます。
 5. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用する 3.3V アナログ電源です。最良のシグナル インテグリティを実現して USB データアイマスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V までのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じになります。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、この電源を 3.3V デジタル IO 電源レールにグループ化できます。
 6. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログ電源です。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、電源をデジタル IO 1.8V 電源レールにグループ化できます。
 7. VDD_MMC0 は 1.8V のデジタル電源であり、eMMC インターフェイス用の MMC0 信号をサポートしており、タイムスタンプ T3 でランプアップする必要があります。1.8V で動作するマイコンまたはメインのデュアル電圧 IO は、タイムスタンプ T3 でランプアップを行う共通の電源レールとして、VDD_MMC0 とグループ化することができます。MMC0 または eMMC0 インターフェイスが不要な場合は、タイムスタンプ T1 でランプアップを行うデジタル IO 1.8V 電源レールにドメインをグループ化できます。
 8. VDD_MCU は、広い動作電圧範囲と電源シーケンスのフレキシビリティを備えたデジタル電圧電源であり、タイムスタンプ T2 で 0.8V の VDD_CORE、またはタイムスタンプ T3 で 0.85V の RAM アレイドメイン (VDDAR_xxx) とグループ化およびランプアップが可能です。
 9. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログ電源であり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、アナログの VDDA_1P8_<phy> ドメイン、またはデジタルの VDDSHVn_MCU ドメインと VDDSHVn IO ドメインを結合することは推奨されません。
 10. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログ電源であり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
 11. パワーアップシーケンス中に MCU_PORz および PORz が High にアサートされてから、MCU_BOOTMODEn (MCU_VDDSHV0 を基準とする) および BOOTMODEn (VDDSHV2 を基準とする) 設定をレジスタにラッチするまでの最小セットアップおよびホールド時間を表示。
 12. 水晶発振器回路に電源が供給されたとき (T1 の VDDSC_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイムスタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロック ジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

6.10.2.6 MCU およびメインドメインの分離、プライマリパワーダウンシーケンス - オプション 1

図 6-7 で、オプション 1 のデバイスパワーダウンシーケンスについて説明します。

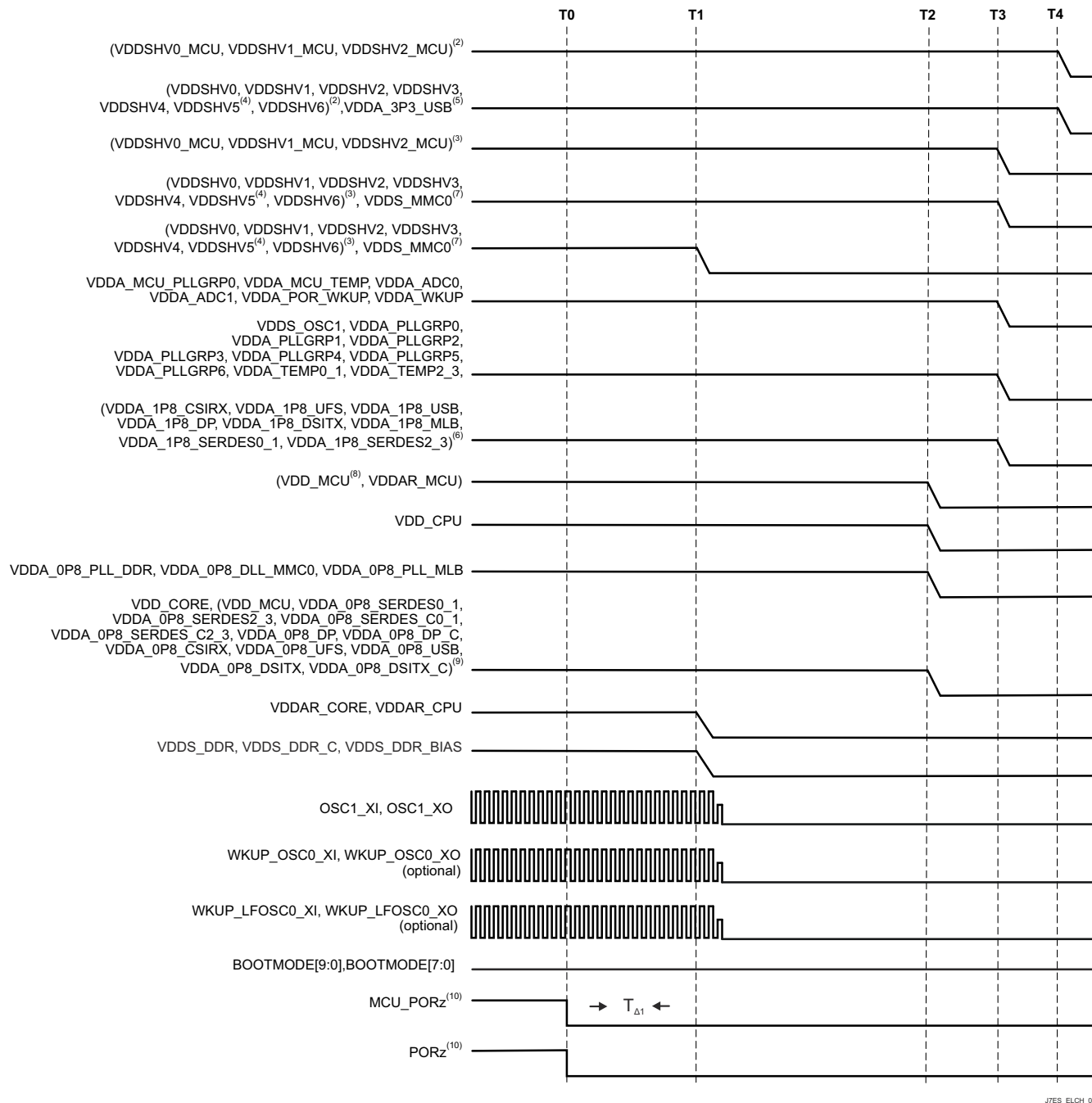


図 6-7. MCU およびメインドメインの分離、プライマリパワーダウンシーケンス - オプション 1

1. タイムスタンプ マーカー

T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)

T1 – メイン DDR、SRAM コア、および SRAM CPU 電源がランプダウンを開始します。(0.5ms)

T2 – 低電圧コア電源がランプダウンを開始します。(2.5ms)

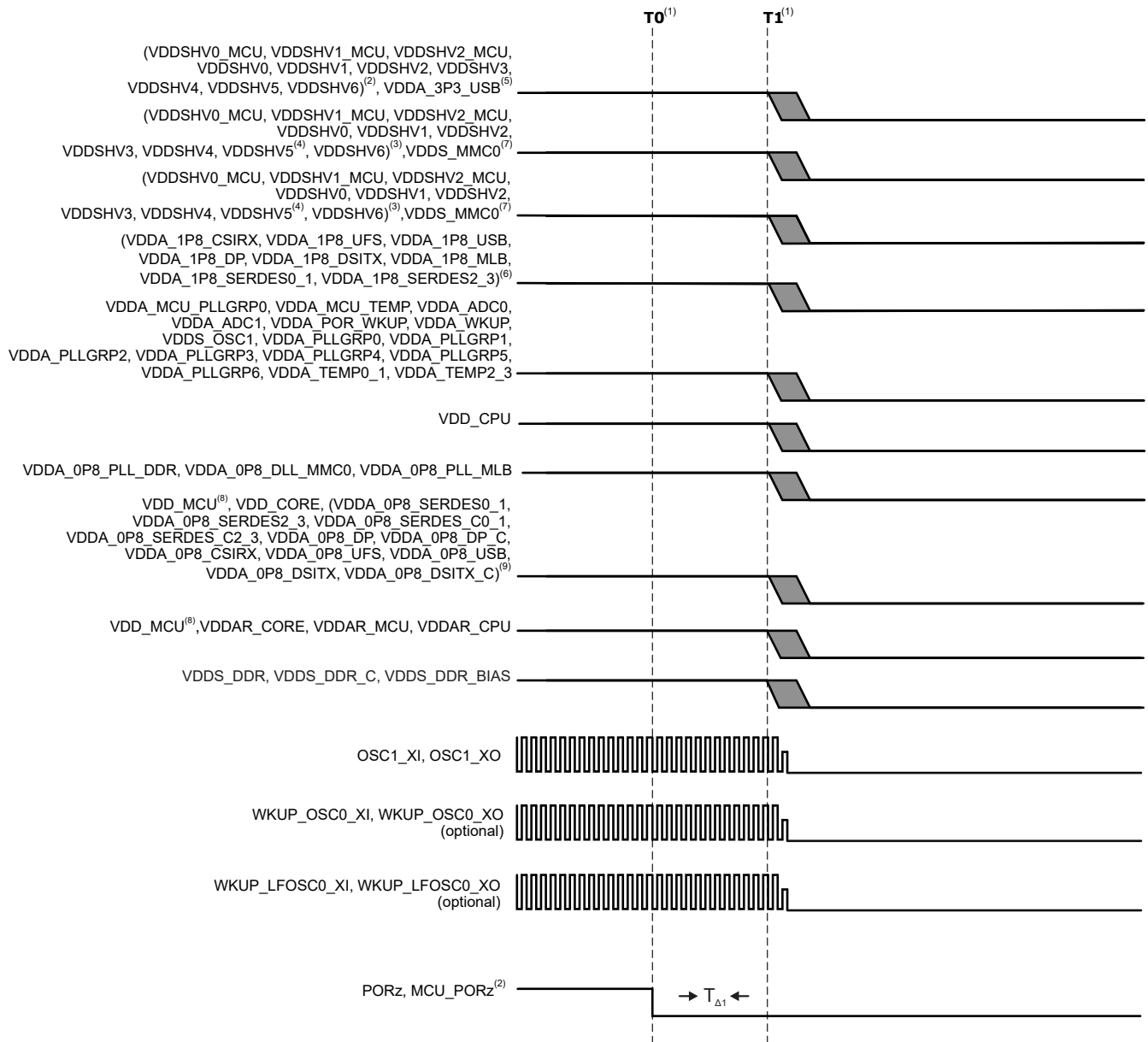
T3 - 1.8V 電圧がランプダウンを開始します。(3.0ms)

T4 – 3.3V 電圧がランプダウンを開始します。(3.5ms)

2. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかのマイコンまたはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)
3. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源(VDDSHVn_MCU または VDDSHVn)。eMMC メモリが使用されている場合、PDN 設計により電源が VDD_MMC0 とグループ化されているため、メインの 1.8V 電源では T1 に合わせてランプダウンすることがあります。
4. VDDSHV5 は、SD メモリカード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) 電源レールが必要です。規格準拠の高速 SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V/1.8V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
5. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データアイマスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
6. VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
7. VDD_MMC0 は、eMMC インターフェイス用の MMC0 信号をサポートする 1.8V デジタル電源であり、VDD_CORE がランプダウンを開始する前にタイム スタンプ T1 でランプダウンする必要があります。1.8V で動作するいずれかのマイコンまたはメイン デュアル電圧 IO は、VDD_MMC0 とともに、パワーダウン タイム スタンプ T1 を持つ共通電源レールにグループ化できます。MMC0 または eMMC0 インターフェイスが不要な場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化し、タイム スタンプ T3 でランプダウンできます。
8. VDD_MCU は、広い動作電圧範囲と電源シーケンスのフレキシビリティを備えたデジタル電圧電源であり、タイム スタンプ T2 で 0.8V の VDD_CORE、またはタイム スタンプ T1 で 0.85V の RAM アレイドメイン (VDDAR_xxx) とグループ化およびランプダウンが可能です。
9. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、アナログの VDDA_1P8_<phy> ドメイン、またはデジタルの VDDSHVn_MCU と VDDSHVn IO ドメインを結合することは推奨しません。
10. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも TΔ1 = 200μs の間 Low にアサートする必要があります。

6.10.2.7 MCU およびメイン ドメインの分離、プライマリ パワーダウン シーケンス - オプション 2

図 6-8 で、オプション 2 のデバイス パワーダウン シーケンスについて説明します。



J7ES_ELCH_02

図 6-8. MCU およびメイン ドメインの分離、プライマリ パワーダウン シーケンス - オプション 2

1. タイム スタンプの記号

T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサリソースを安全な状態にします。(0ms)

T1 – すべての電源のランプダウンが開始されます。(1μs)

2. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、少なくとも $T_{\Delta 1} = 200\mu s$ の間、MCU_PORz および PORz を Low にアサートする必要があります。

6.10.2.8 マイコンのみ状態の開始および終了

マイコンのみ低消費電力状態への移行は、電源が供給されたままの 4 つのマイコン電源グループ (3.3V の VDDSHVx_MCU、1.8V の VDDSHVx_MCU、1.8V の VDDA_MCU_PLLGRP0/VDDA_MCU_TEMP アナログ電源、

0.85V の VDD_MCU/VDDAR_MCU) を除いて、パワーダウンシーケンスを実行することによって行われます。マイコンのみ状態からの復帰は、シーケンス全体にわたって 4 つのマイコン電源グループに電源が供給されたままの状態、パワーアップシーケンスを実行することにより行われます。この図の例は、eMMC をサポートする分離されたマイコンおよびメイン PDN タイプを示しています。

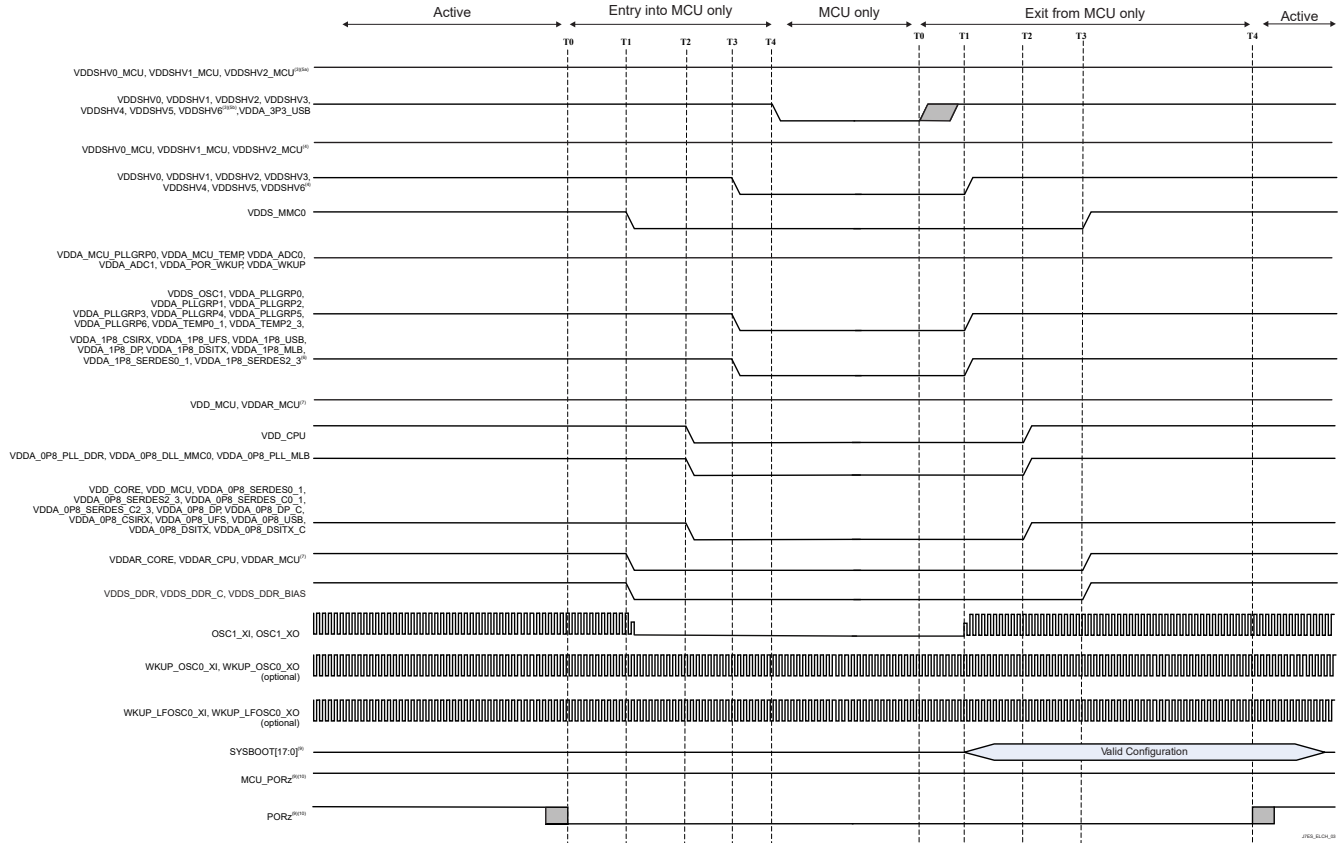


図 6-9. マイコンのみの開始および終了シーケンス

6.10.2.9 DDR 保持状態への移行および復帰

DDR 保持 (S2R: Suspend-to-RAM (RAM へのサスペンド)) 状態への移行は、パワーダウンシーケンスを実行することにより行われます。ただし、1 つのデバイス DDR 電源グループ (1.1V での VDDSDR_BIAS、VDDSDR、VDDSDR_C) と、電源が入っている状態の 1 つの追加ディスクリット SDRAM 電源 (1.8V での VDDLPDDR4_1V8。下図には表示されていない) を除きます。DDR 保持状態からの復帰は、これら 2 つの DDR 電源グループに電源が供給されたままの状態、パワーアップシーケンスを実行することにより行われます。以下に例として挙げている図は、eMMC をサポートする分離されたマイコンとメインの PDN タイプを示しています。

6.10.3 システムのタイミング

サブシステム多重化信号の機能および追加の説明情報については、[セクション 5.3](#)、信号の説明、内の対応するセクションを参照してください。

6.10.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-14. リセットのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スループレート	VDD ⁽¹⁾ = 1.8V	0.0018	V/ns
		VDD ⁽¹⁾ = 3.3V	0.0033	V/ns
出力条件				
C _L	出力負荷容量		30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「[ピン属性](#)」表の「電源」列を参照してください。

表 6-15. MCU_PORz のタイミング要件

図 6-11 参照

番号		説明	最小値	標準値	最大値	単位
RST1	t _h (MCU_DOMAIN_SUPPLIES_VALID - MCU_PORz)	ホールド時間、電源オン時に、すべての MCU ドメイン電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子使用の場合)	N + 1200 ⁽²⁾	9500000		ns
RST2		ホールド時間、電源オン時に、すべての MCU ドメインが ⁽¹⁾ 有効になり、さらに外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS 発振器使用の場合)	1200			ns
RST3	t _w (MCU_PORzL)	最小パルス幅、電源投入後の MCU_PORz low (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)	1200			ns

(1) マイコンドメイン電源の定義については、[マイコンとメインドメインの結合パワーアップシーケンス](#)を参照してください。

(2) N = 発振器の起動時間

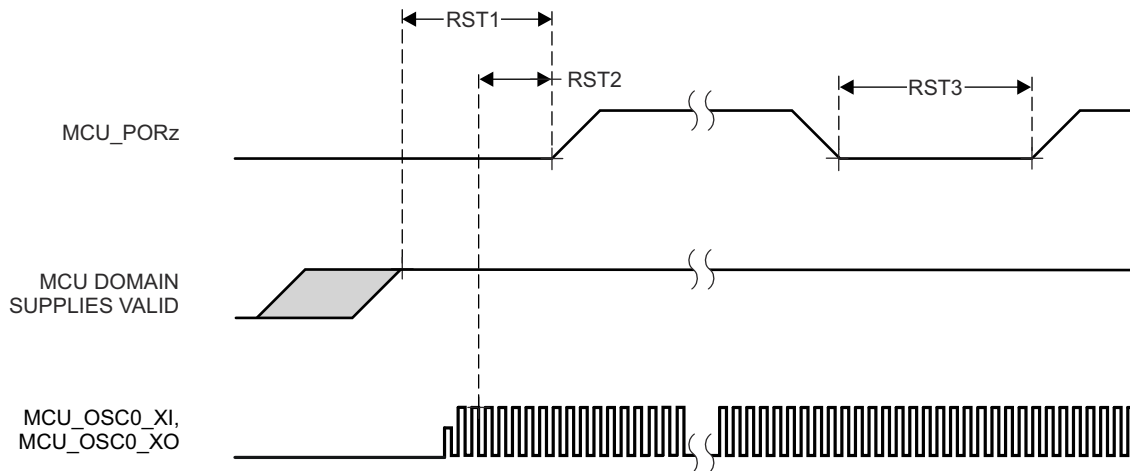


図 6-11. MCU_PORz のタイミング要件

表 6-16. PORz のタイミング要件

図 6-12 参照

番号			最小値	最大値	単位
RST4	$t_{h(MAIND_SUPPLIES_VALID - PORz)}$	ホールド時間、電源オン時に、すべての MAIN ドメイン電源が有効(1)になった後、PORz アクティブ(Low)の間	1200		ns
RST5	$t_{w(PORzL)}$	最小パルス幅、電源投入後の PORz low	1200		ns

(1) メインドメイン電源の定義については、マイコンとメインドメインの結合パワーアップシーケンスを参照してください。

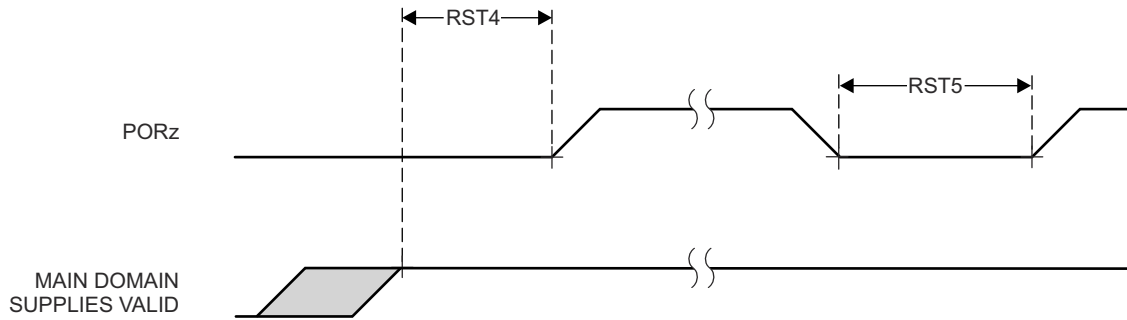


図 6-12. PORz のタイミング要件

表 6-17. MCU_PORz 開始、MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz、RESETSTATz のスイッチング特性

図 6-13 参照

番号	パラメータ	モード	最小値	最大値	単位
RST6	$t_{d(MCU_PORzL-MCU_PORz_OUTL)}$		0		ns
RST7	$t_{d(MCU_PORzH-MCU_PORz_OUTH)}$		0		ns
RST8	$t_{d(MCU_PORzL-PORz_OUTL)}$		0		ns
RST9	$t_{d(MCU_PORzH-PORz_OUTH)}$		1500		ns
RST10	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$		0		ns
RST11	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	POST バイパス	12000*S ⁽¹⁾		ns
RST12	$t_{d(MCU_PORzL-RESETSTATzL)}$		0		ns
RST13	$t_{d(MCU_PORzH-RESETSTATzH)}$		14500*S ⁽¹⁾		ns
RST14	$t_{w(MCU_PORz_OUTL)}$		1200		ns
RST15	$t_{w(PORz_OUTL)}$		2550		ns
RST16	$t_{w(MCU_RESETSTATzL)}$		3900*S ⁽¹⁾		ns
RST17	$t_{w(RESETSTATzL)}$		2650*S ⁽¹⁾		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

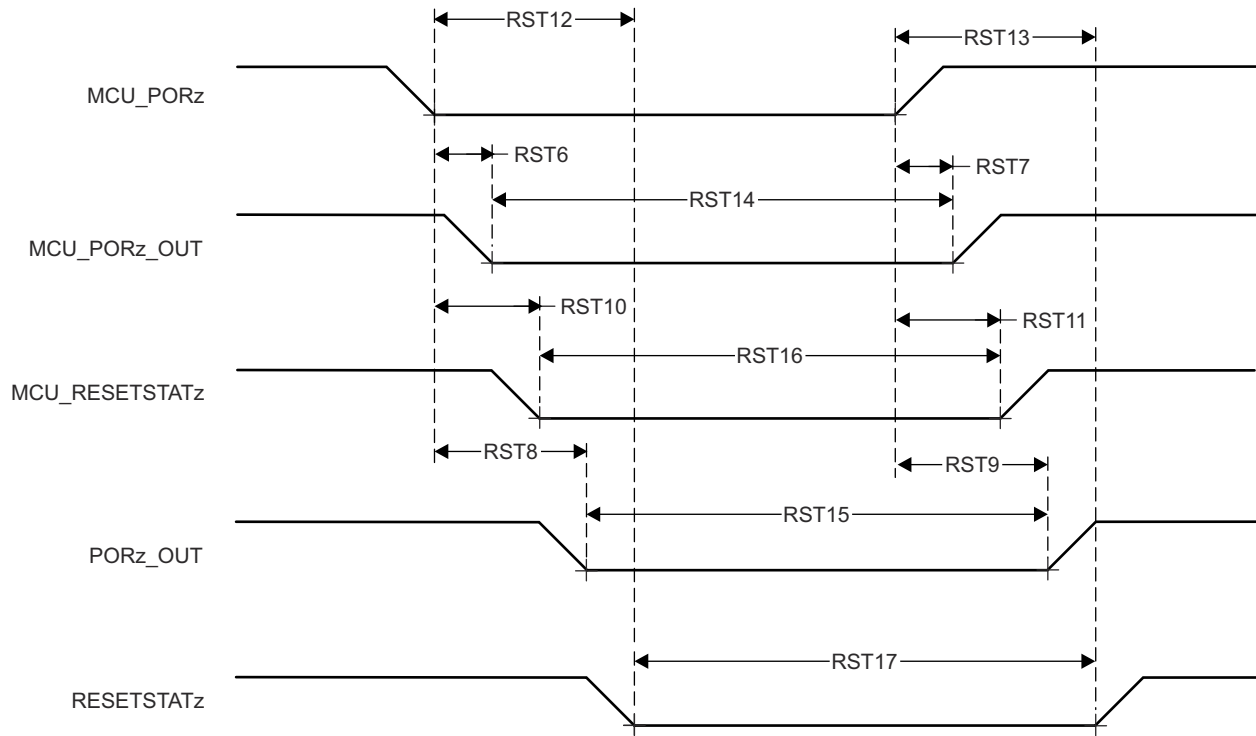


図 6-13. MCU_PORz 開始、MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz、RESETSTATz のスイッチング特性

表 6-18. PORz 開始、PORz_OUT および RESETSTATz のスイッチング特性

図 6-14 参照

番号	パラメータ	モード	最小値	最大値	単位
RST18	$t_{d(PORzL-PORz_OUTL)}$	遅延時間、PORz アクティブ (low) から PORz_OUT アクティブ (low) まで	POR_RST_ISO_DONE_Z の ソフトウェア制御	$T^{(1)}$	
			CTRLMMR_WKUP_POR_RST _CTRL[0].POR_RST_ISO_ DONE_Z = 0	0	ns
RST19	$t_{d(PORzH-PORz_OUTH)}$	遅延時間、PORz アクティブ (high) から PORz_OUT アクティブ (high) まで		1300	ns
RST20	$t_{d(PORzL-RESETSTATzL)}$	遅延時間、PORz アクティブ (low) から RESETSTATz アクティブ (low) まで		$T^{(1)}$	
			CTRLMMR_WKUP_POR_RST _CTRL[0].POR_RST_ISO_ DONE_Z = 0	0	ns
RST21	$t_{d(PORzH-RESETSTATzH)}$	遅延時間、PORz アクティブ (high) から RESETSTATz アクティブ (high) まで		14500*S ⁽²⁾	ns

(1) T = リセット分離時間 (ソフトウェアに依存)。

(2) S = MCU_OSC0_XI/XO クロック周期。

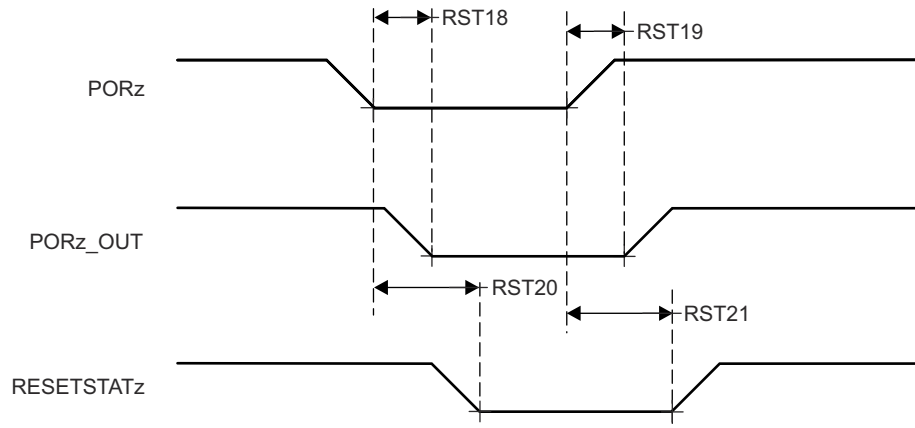


図 6-14. PORz 開始、PORz_OUT および RESETSTATz のスイッチング特性

表 6-19. MCU_RESETz のタイミング要件

図 6-15 参照

番号	パラメータ	最小値	最大値	単位
RST22	$t_{w(MCU_RESETz)}$ ⁽¹⁾	1200		ns

(1) MCU_RESETz のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-20. MCU_RESETz 開始、MCU_RESETSTATz、RESETSTATz のスイッチング特性

図 6-15 参照

番号	パラメータ	最小値	最大値	単位
RST23	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	800		ns
RST24	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	3900*S ⁽¹⁾		ns
RST25	$t_{d(MCU_RESETzL-RESETSTATzL)}$	800		ns
RST26	$t_{d(MCU_RESETzH-RESETSTATzH)}$	3900*S ⁽¹⁾		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

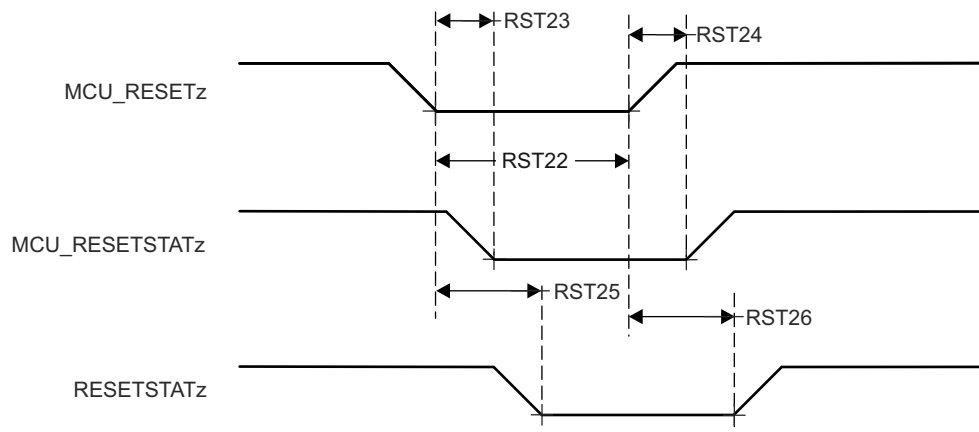


図 6-15. MCU_RESETz 開始、MCU_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

表 6-21. RESET_REQz のタイミング要件

図 6-16 参照

番号		最小値	最大値	単位
RST27	$t_w(\text{RESET_REQzL})^{(1)}$	最小パルス幅、RESET_REQz アクティブ (low)	1200	ns

(1) RESET_REQz のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-22. RESET_REQz 開始、RESETSTATz のスイッチング特性

図 6-16 参照

番号	パラメータ	モード	最小値	最大値	単位
RST28	$t_d(\text{RESET_REQzL-RESETSTATzL})$	SOC_WARMRST_ISO_DONE_Z のソフトウェア制御	T ⁽¹⁾		
		遅延時間、RESET_REQz アクティブ (low) から RESETSTATz アクティブ (low) まで	CTRLMMR_WKUP_MAIN_WARM_RST_CTRL[0].SOC_WARMRST_ISO_DONE_Z = 0	740	ns
RST29	$t_d(\text{RESET_REQzH-RESETSTATzH})$	遅延時間、RESET_REQz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	2650*S ⁽²⁾		ns

(1) T = リセット分離時間 (ソフトウェアに依存)。

(2) S = MCU_OSC0_XI/XO クロック周期。

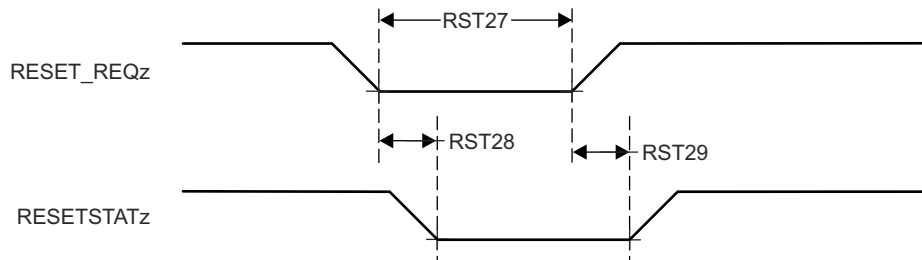


図 6-16. RESET_REQz 開始、RESETSTATz のタイミング要件とスイッチング特性

表 6-23. EMUx のタイミング要件

図 6-17 参照

番号			最小値	最大値	単位
RST30	$t_{su}(EMUx-MCU_PORz)$	セットアップ時間、EMU[1:0] から MCU_PORz 非アクティブ (high) まで	$3 \cdot S^{(1)}$		ns
RST31	$t_h(MCU_PORz - EMUx)$	ホールド時間、MCU_PORz 非アクティブ (high) から EMU[1:0] 有効の間	10		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

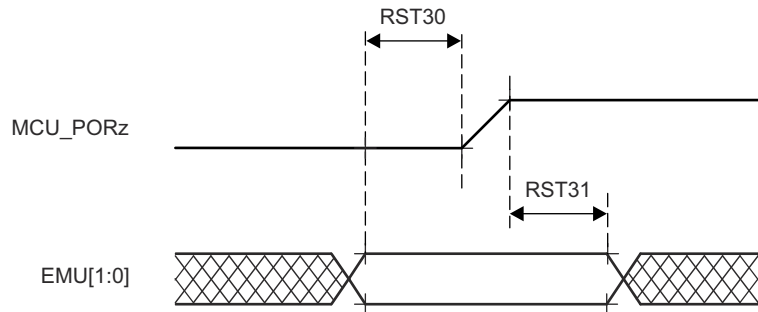


図 6-17. EMUx のタイミング要件

表 6-24. MCU_BOOTMODE のタイミング要件

図 6-18 参照

番号			最小値	最大値	単位
RST32	$t_{su}(MCU_BOOTMODE-MCU_PORz_OUT)$	セットアップ時間、MCU_BOOTMODE[09:00] から MCU_PORz_OUT high まで	$3 \cdot S^{(1)}$		ns
RST33	$t_h(MCU_PORz_OUT - MCU_BOOTMODE)$	ホールド時間、MCU_PORz_OUT high から MCU_BOOTMODE[09:00] 有効の間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

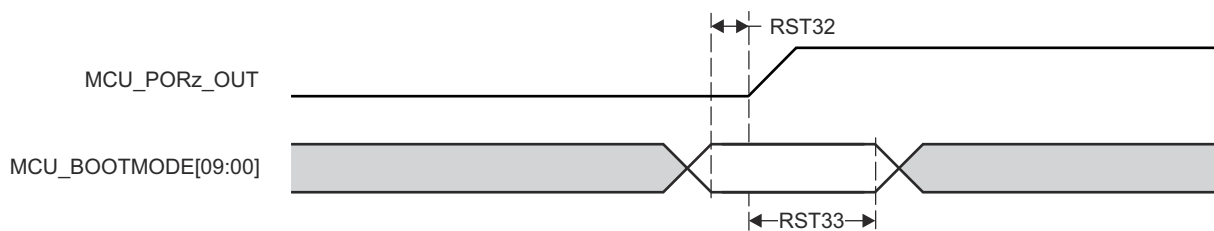


図 6-18. MCU_BOOTMODE のタイミング要件

表 6-25. BOOTMODE のタイミング要件

図 6-19 参照

番号			最小値	最大値	単位
RST34	$t_{su}(\text{BOOTMODE-PORz_OUT})$	セットアップ時間、BOOTMODE[7:0] から PORz_OUT high まで	$3 \cdot S^{(1)}$		ns
RST35	$t_h(\text{PORz_OUT - BOOTMODE})$	ホールド時間、PORz_OUT high から BOOTMODE[7:0] 有効の間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

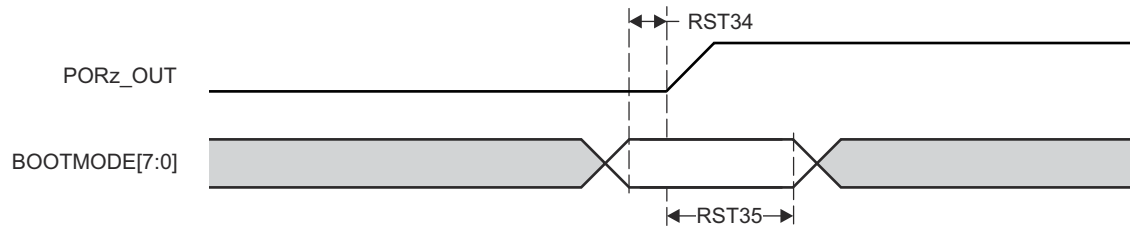


図 6-19. BOOTMODE のタイミング要件

6.10.3.2 安全信号タイミング

このセクションの表と図では、MCU_SAFETY_ERRORn および SOC_SAFETY_ERRORn のタイミング条件とスイッチング特性を定義します。

表 6-26. エラー信号のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.5	2	V/ns
出力条件				
C _L	出力負荷容量	3	30	pF

表 6-27. MCU_SAFETY_ERRORn のスイッチング特性

図 6-20 参照

番号	パラメータ	最小値	最大値	単位
SFTY1	t _w (MCU_SAFETY_ERRORn) 最小パルス幅、MCU_SAFETY_ERRORn アクティブ (PWM モード無効)	P*R ⁽¹⁾ (2)		ns
SFTY2	t _d (ERROR_CONDITION-MCU_SAFETY_ERRORnL) 遅延時間、エラー状態から MCU_SAFETY_ERRORn アクティブまで	50*P ⁽¹⁾		ns

- (1) P = ESM 機能クロック (MCU_SYSCCLK0/6)。
(2) R = エラー ピン カウンタ プリロード レジスタ カウント値。

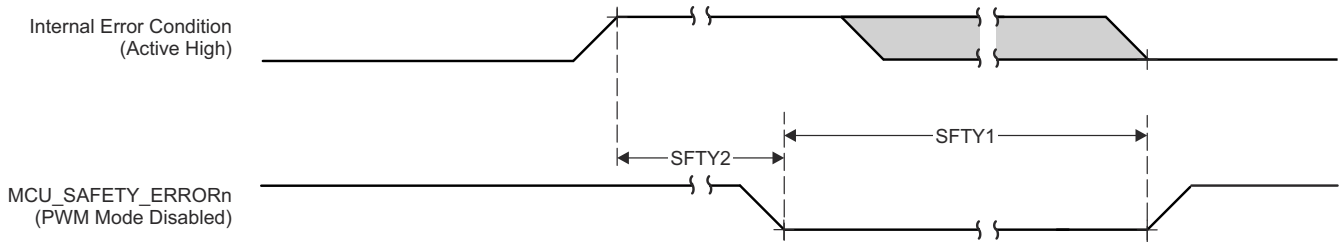


図 6-20. MCU_SAFETY_ERRORn のスイッチング特性

表 6-28. SOC_SAFETY_ERRORn のスイッチング特性

図 6-21 参照

番号	パラメータ	最小値	最大値	単位
SFTY3	t _w (SOC_SAFETY_ERRORn) 最小パルス幅、SOC_SAFETY_ERRORn アクティブ (PWM モード無効)	P*R ⁽¹⁾ (2)		ns
SFTY4	t _d (ERROR_CONDITION-SOC_SAFETY_ERRORnL) 遅延時間、エラー状態から SOC_SAFETY_ERRORn アクティブまで	50*P ⁽¹⁾		ns

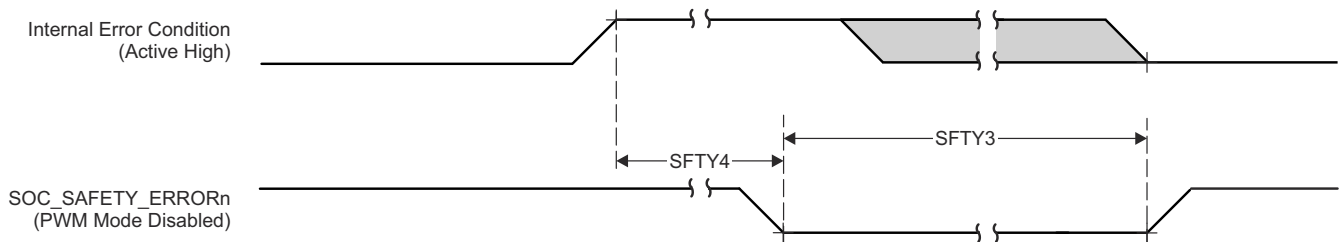


図 6-21. SOC_SAFETY_ERRORn のスイッチング特性

6.10.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-29. クロックのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.5	2	V/ns
出力条件				
C _L	出力負荷容量	3	30	pF

表 6-30. クロックのタイミング要件

図 6-22 参照

番号	パラメータ	説明	最小値	最大値	単位
CLK1	t _c (EXT_REFCLK1)	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	t _w (EXT_REFCLK1H)	最小パルス幅、EXT_REFCLK1 High	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK3	t _w (EXT_REFCLK1L)	最小パルス幅、EXT_REFCLK1 Low	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns

(1) E = EXT_REFCLK1 サイクル時間

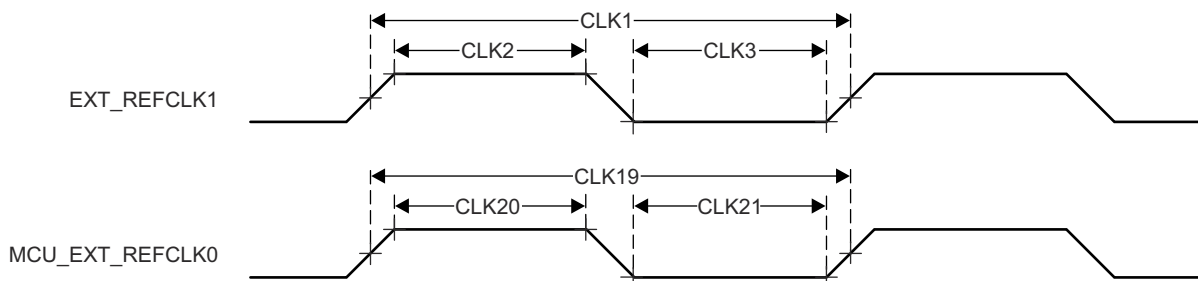


図 6-22. クロックのタイミング要件

表 6-31. クロックのスイッチング特性

図 6-23 参照

番号	パラメータ	説明	最小値	最大値	単位
CLK4	t _c (SYSCLKOUT0)	最小サイクル時間、SYSCLKOUT0	8		ns
CLK5	t _w (SYSCLKOUT0H)	最小パルス幅、SYSCLKOUT0 High	A*0.4 ⁽¹⁾	A*0.6 ⁽¹⁾	ns
CLK6	t _w (SYSCLKOUT0L)	最小パルス幅、SYSCLKOUT0 Low	A*0.4 ⁽¹⁾	A*0.6 ⁽¹⁾	ns
CLK7	t _c (OBSCLK0)	最小サイクル時間、OBSCLK0	5		ns
CLK8	t _w (OBSCLK0H)	最小パルス幅、OBSCLK0 High	B*0.4 ⁽²⁾	B*0.6 ⁽²⁾	ns
CLK9	t _w (OBSCLK0L)	最小パルス幅、OBSCLK0 Low	B*0.4 ⁽²⁾	B*0.6 ⁽²⁾	ns
CLK10	t _c (CLKOUT0)	最小サイクル時間、CLKOUT0	20		ns
CLK11	t _w (CLKOUT0H)	最小パルス幅、CLKOUT0 High	C*0.4 ⁽³⁾	C*0.6 ⁽³⁾	ns
CLK12	t _w (CLKOUT0L)	最小パルス幅、CLKOUT0 Low	C*0.4 ⁽³⁾	C*0.6 ⁽³⁾	ns

(1) A = SYSCLKOUT0 サイクル時間

(2) B = OBSCLK0 サイクル時間

(3) C = CLKOUT0 サイクル時間

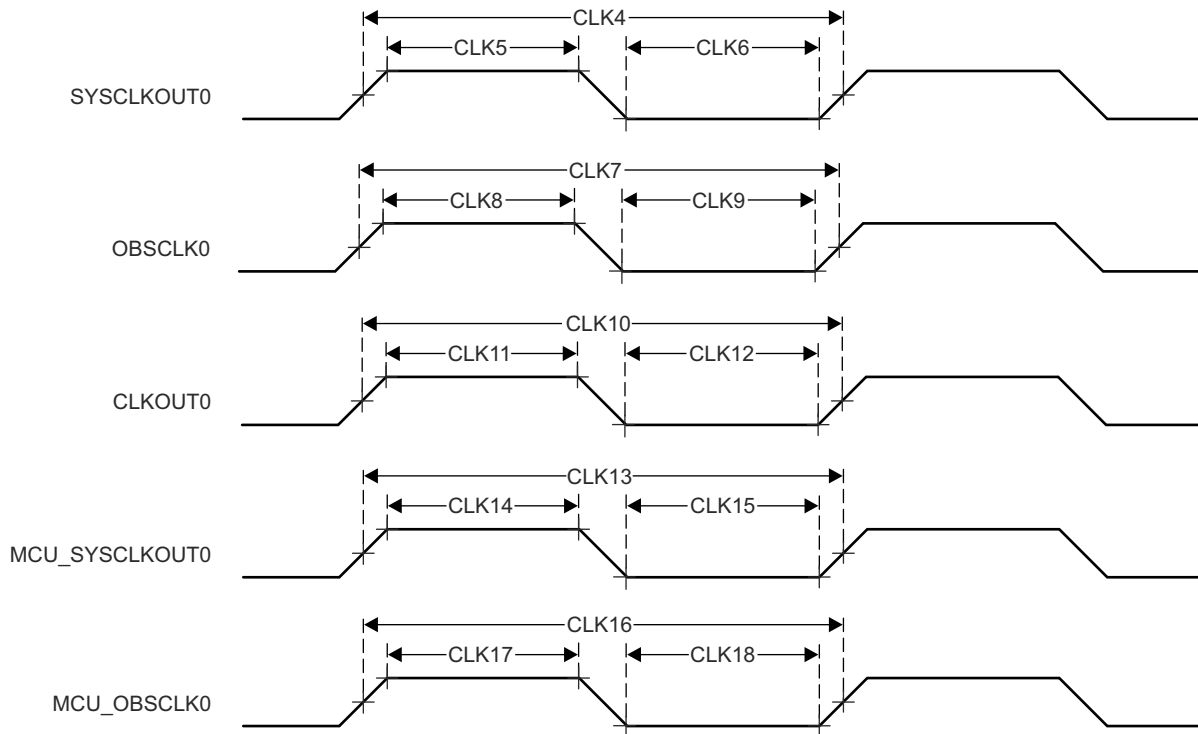


図 6-23. クロックのスイッチング特性

6.10.4 クロック仕様

6.10.4.1 入力および出力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- **OSC1_XO/OSC1_XI** — 外部メイン水晶振動子インターフェイスピン。基準クロックを発生しメインドメイン内の PLL に基準クロックを供給する、内部発振器に接続されています。また、オーディオ アプリケーションでは、高周波数発振器 0 を使用してオーディオ クロック周波数を MCASP に供給します。
- 高周波数発振器入力
 - **OSC1_XO/OSC1_XI** — 外部メイン水晶振動子インターフェイスピン。基準クロックを供給する内部発振器に接続されています。MCU ドメインおよびメインドメイン内の PLL に基準クロックを供給します。この高周波数発振器は、オーディオクロック周波数を MCASP に供給するために使用されます。
 - **WKUP_OSC0_XO/WKUP_OSC0_XI** — 外部メイン水晶振動子インターフェイスピン。基準クロックを供給する内部発振器に接続されています。WKUP およびメインドメイン内の PLL に基準クロックを供給します。
- 低周波数発振器入力
 - **WKUP_LFOSC_XO/WKUP_LFOSC_XI** — 基準クロックを供給する内部発振器に接続された外部メイン水晶振動子インターフェイスピンは、より深いスリープ モードでの低消費電力動作のためのクロックを供給します。
- 汎用クロック入力
 - **MCU_EXT_REFCLK0** — オプションの外部。システム クロック入力 (マイコンドメイン) を供給します。
 - **EXT_REFCLK1** — オプションの外部システム クロック入力 (メインドメイン)。オプションとして、PLL2 (PER1) および MCASP は EXT_REFCLK1 (外部から供給) から供給することもできます。
 - **SERDES4_REFCLK_P/N** — PCIe インターフェイス用の SerDes 基準クロック入力またはオプションの USB3 および SGMII インターフェイス。
 - **PCIE_REFCLK[3:0]N/P** — PCIe デバイスをサポートするために、4 つの差動クロック入出力ピンがあります。
- 外部ビデオ ピクセル クロック入力
 - **VOUT0_EXTPCLKIN** — DSS の DPI0 ポートの場合はオプション。

- VOUT1_EXT_PCLKIN — DSS の DPI1 ポートの場合はオプション。
- 外部 CPTS 基準クロック入力
 - MCU_CPTS_RFT_CLK — MCU_CPTS_RFT_CLK の CPTS 基準クロック入力。
 - CPTS_RFT_CLK — CPTS_RFT_CLK の CPTS 基準クロック入力。
- 外部オーディオ基準クロック入出力
 - AUDIO_EXT_REFCLK0
 - AUDIO_EXT_REFCLK1
 - AUDIO_EXT_REFCLK2
 - AUDIO_EXT_REFCLK3

図 6-24 に、外部入力クロック源と、ペリフェラルへの出力クロックを示します。

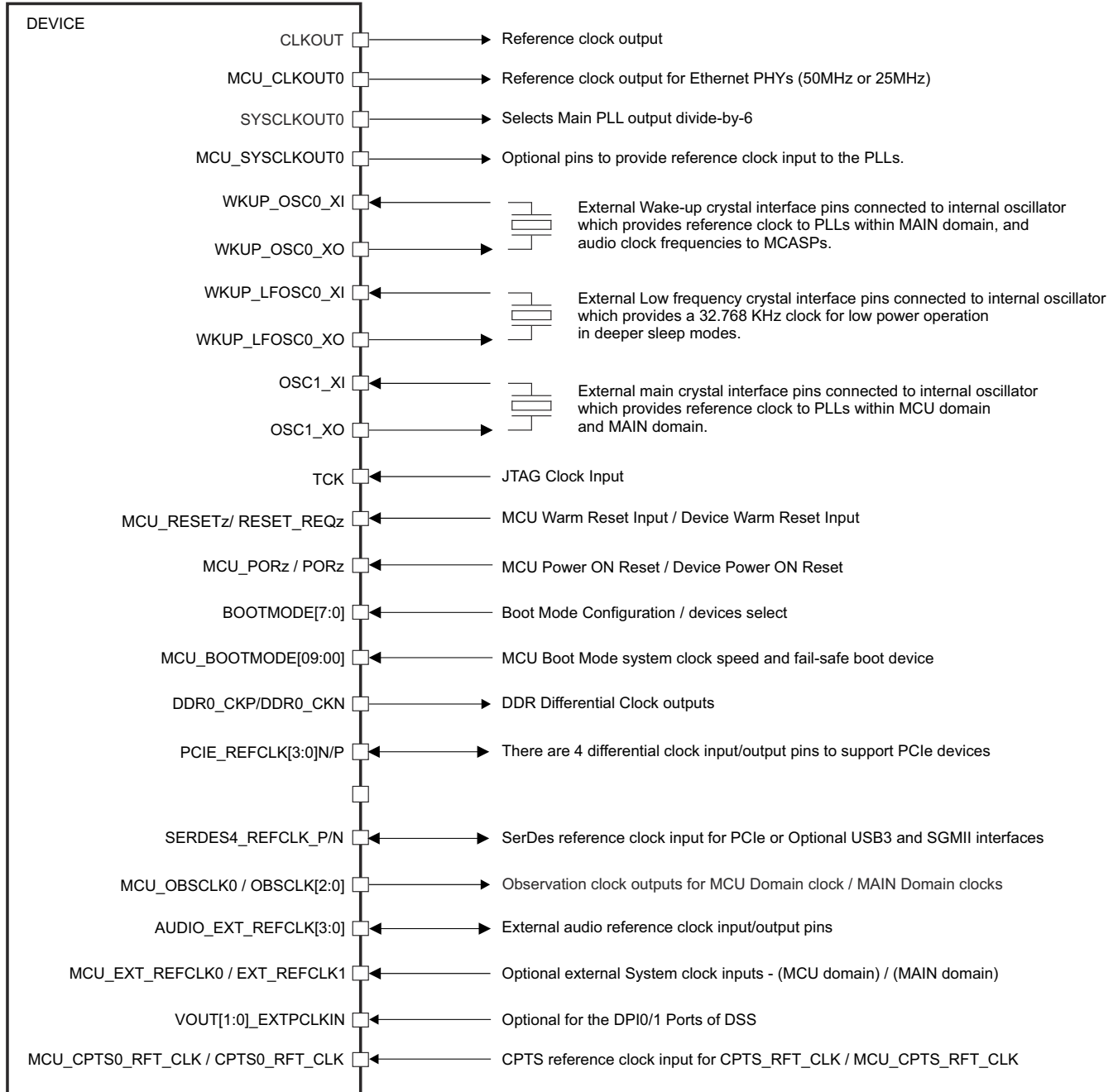


図 6-24. 入力クロック インターフェイス

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

6.10.4.1.1 WKUP_OSC0 内部発振器クロック ソース

図 6-25 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、WKUP_OSC0_XI および WKUP_OSC0_XO ピンのできるだけ近くに配置する必要があります。

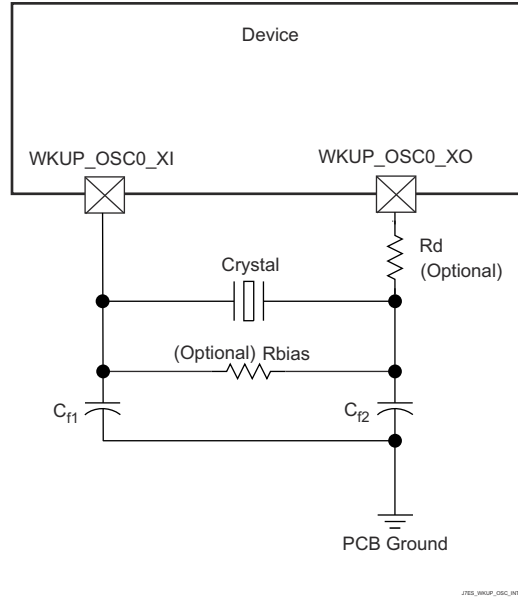


図 6-25. WKUP_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-32 に、必要な電氣的制約事項を示します。

表 6-32. WKUP_OSC0 水晶振動子の電氣的特性

パラメータ	最小値	標準値	最大値	単位
F_{xtal} 水晶振動子の並列共振周波数	19.2、20、24、25、26、27			MHz
F_{xtal} 水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用		±100	ppm
	派生クロックを使用するイーサネット RGMII と RMII		±50	
$C_{L1+PCBXI}$ $C_{L1} + C_{PCBXI}$ の容量	12		24	pF
$C_{L2+PCBXO}$ $C_{L2} + C_{PCBXO}$ の容量	12		24	pF
C_L 水晶振動子の負荷容量	6		12	pF
C_{shunt} 水晶発振回路のシャント容量	19.2MHz、20MHz	$ESR_{xtal} \leq 30\Omega$	7	pF
		$30\Omega < ESR_{xtal} \leq 80\Omega$	5	pF
		$80\Omega < ESR_{xtal} \leq 100\Omega$	3	pF
	24MHz	$ESR_{xtal} \leq 30\Omega$	7	pF
		$30\Omega < ESR_{xtal} \leq 60\Omega$	5	pF
		$60\Omega < ESR_{xtal} \leq 80\Omega$	3	pF
		サポート対象外: $80\Omega \leq ESR_{xtal}$	–	
	25MHz	$ESR_{xtal} \leq 30\Omega$	7	pF
		$30\Omega < ESR_{xtal} \leq 50\Omega$	5	pF
		$50\Omega < ESR_{xtal} \leq 80\Omega$	3	pF
		サポート対象外: $80\Omega \leq ESR_{xtal}$	–	
	26MHz、27MHz	$ESR_{xtal} \leq 30\Omega$	7	pF
$30\Omega < ESR_{xtal} \leq 50\Omega$		5	pF	
サポート対象外: $50\Omega \leq ESR_{xtal}$		–		

表 6-32. WKUP_OSC0 水晶振動子の電気的特性 (続き)

パラメータ	最小値	標準値	最大値	単位
ESR _{xtal} 水晶振動子の等価直列抵抗			(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-33 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-33. WKUP_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ	最小値	標準値	最大値	単位
C _{XI} XI 容量			1.521	pF
C _{XO} XO 容量			1.346	pF
C _{XIXO} XI から XO への相互容量			0.1	pF
t _s 最大スタートアップ時間		9.5 ⁽¹⁾		ms

(1) それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。

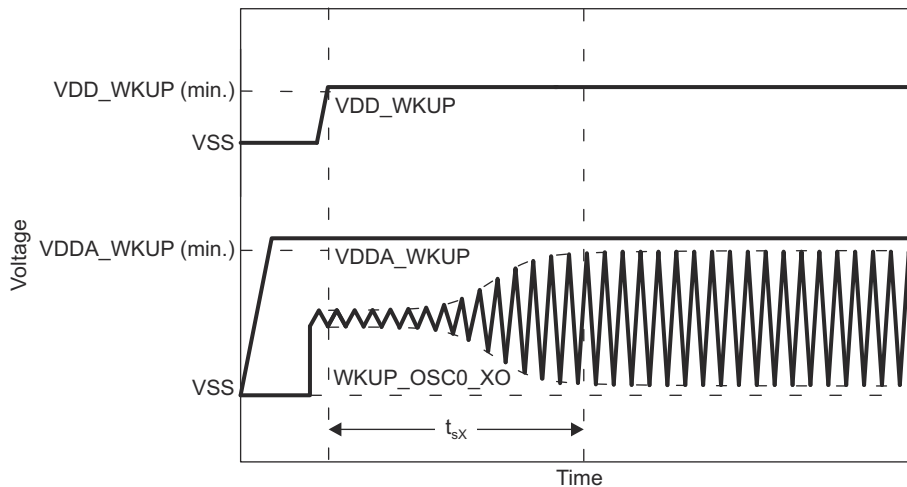


図 6-26. WKUP_OSC0 スタートアップ時間

6.10.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリート コンデンサ C_{L1}、C_{L2}、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を WKUP_OSC0_XI および WKUP_OSC0_XO に接続する PCB 信号パターンには、グラウンド への寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。WKUP_OSC0 回路およびデバイス パッケージには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-33 で定義されています。

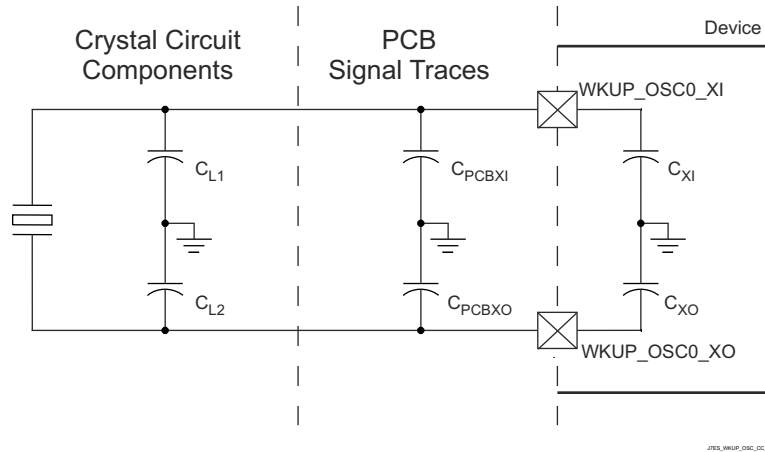


図 6-27. 負荷容量

図 6-25 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.10.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-32 に定義された WKUP_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を WKUP_OSC0 に接続する PCB 信号パターンには、相互寄生容量 C_{PCBXIXO} があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出する必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は表 6-33 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターン間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

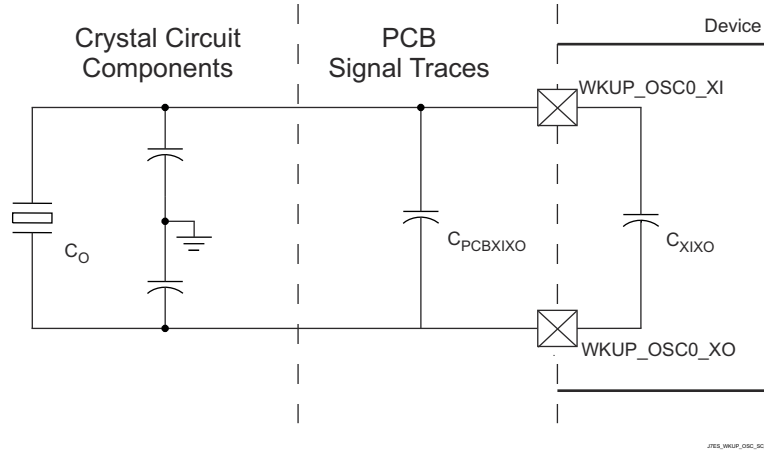


図 6-28. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_O は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{\text{shunt}} \geq C_O + C_{\text{PCBXIXO}} + C_{\text{XIXO}}$$

たとえば、使用する水晶振動子が $\text{ESR} = 30\Omega$ 、 $C_{\text{PCBXIXO}} = 0.04\text{pF}$ 、 $C_{\text{XIXO}} = 0.01\text{pF}$ の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.10.4.1.2 WKUP_OSC0 LVC MOS デジタル クロック ソース

図 6-29 に、WKUP_OSC0_XI を 1.8V LVC MOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、WKUP_OSC0_XI を DC 定常状態にすることは許容されません。WKUP_OSC0_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、WKUP_OSC0_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーション ソフトウェアは WKUP_OSC0 の電源をオフにする必要があります。

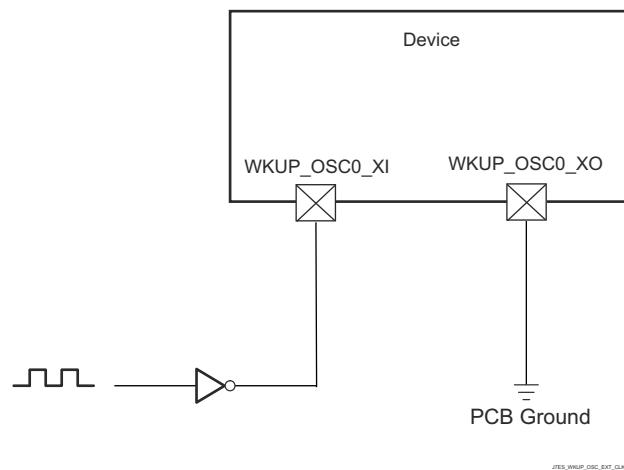


図 6-29. 1.8V LVC MOS 互換クロック入力

6.10.4.1.3 補助 OSC1 内部発振器クロック ソース

図 6-30 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、OSC1_XI および OSC1_XO ピンのできるだけ近くに配置する必要があります。

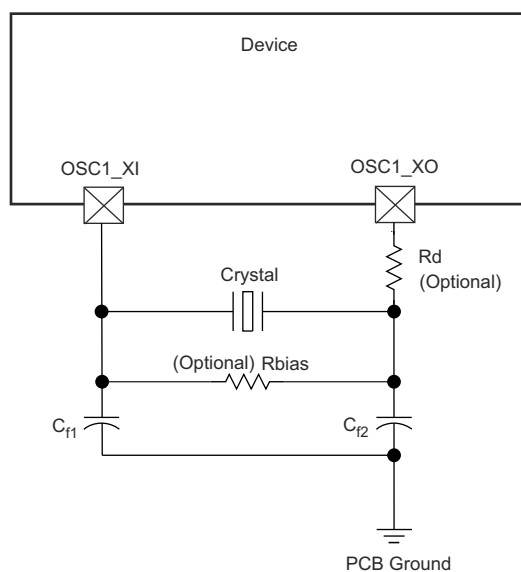


図 6-30. OSC1 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-34 に、必要な電氣的制約事項を示します。

表 6-34. OSC1 水晶振動子の電氣的特性

パラメータ		最小値	標準値	最大値	単位	
F_{xtal}	水晶振動子の並列共振周波数	19.2		27	MHz	
F_{xtal}	水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用		± 100	ppm	
		派生クロックを使用するイーサネット RGMII と RMII		± 50		
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ の容量	12		24	pF	
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ の容量	12		24	pF	
C_L	水晶振動子の負荷容量	6		12	pF	
C_{shunt}	水晶発振回路のシャント容量	$19.2\text{MHz} \leq F_{xtal} \leq 20\text{MHz}$	$ESR_{xtal} \leq 30\Omega$		7	pF
			$30\Omega \leq ESR_{xtal} \leq 80\Omega$		5	pF
			$80\Omega \leq ESR_{xtal} \leq 100\Omega$		3	pF
		$20\text{MHz} \leq F_{xtal} \leq 24.576\text{MHz}$	$ESR_{xtal} \leq 30\Omega$		7	pF
			$30\Omega \leq ESR_{xtal} \leq 60\Omega$		5	pF
			$60\Omega \leq ESR_{xtal} \leq 80\Omega$		3	pF
		サポート対象外: $80\Omega \leq ESR_{xtal}$		–		
		$24.576\text{MHz} \leq F_{xtal} \leq 25\text{MHz}$	$ESR_{xtal} \leq 30\Omega$		7	pF
			$30\Omega \leq ESR_{xtal} \leq 50\Omega$		5	pF
			$50\Omega \leq ESR_{xtal} \leq 80\Omega$		3	pF
		サポート対象外: $80\Omega \leq ESR_{xtal}$		–		
		$25\text{MHz} \leq F_{xtal} \leq 27\text{MHz}$	$ESR_{xtal} \leq 30\Omega$		7	pF
$30\Omega \leq ESR_{xtal} \leq 50\Omega$			5	pF		
サポート対象外: $50\Omega \leq ESR_{xtal}$			–			
ESR_{xtal}	水晶振動子の等価直列抵抗			100	Ω	

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-35 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-35. OSC1 のスイッチング特性 – 水晶振動子モード

パラメータ		最小値	標準値	最大値	単位
C_{XI}	XI 容量			1.544	pF
C_{XO}	XO 容量			1.395	pF
C_{XIXO}	XI から XO への相互容量			0.1	pF
t_s	最大スタートアップ時間		9.5 ⁽¹⁾		ms

- (1) それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。

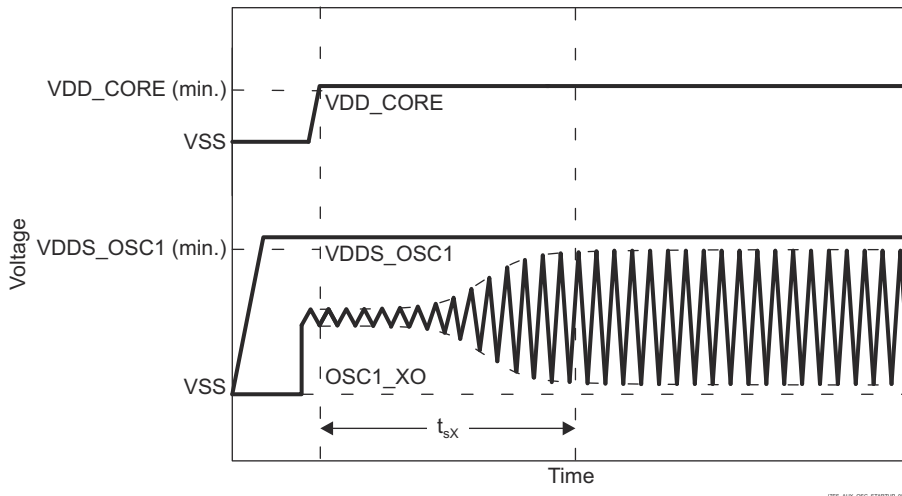


図 6-31. OSC1 スタートアップ時間

6.10.4.1.3.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリートコンデンサ C_{L1} 、 C_{L2} 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を OSC1_XI および OSC1_XO に接続する PCB 信号パターンには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。OSC1 回路およびデバイス パッケージには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-35 で定義されています。

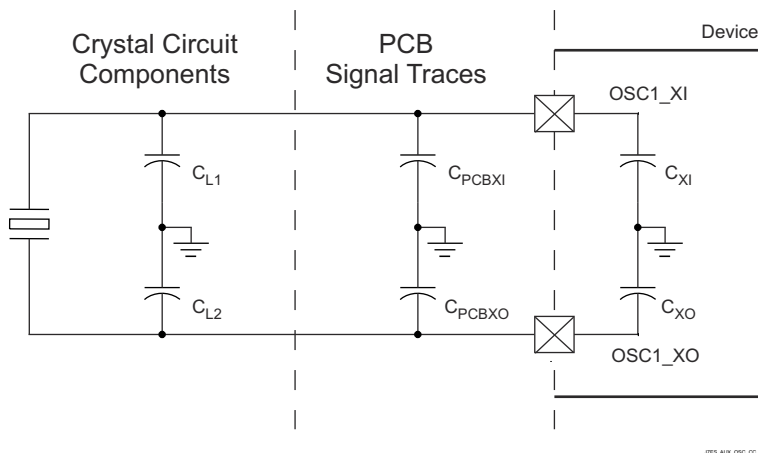


図 6-32. 負荷容量

図 6-30 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.10.4.1.3.2 シャント容量

また、水晶振動子回路は、表 6-34 に定義された OSC1 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を OSC1 に接続する PCB 信号パターンには、相互寄生容量 $C_{PCBXIXO}$ があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は表 6-35 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンとの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

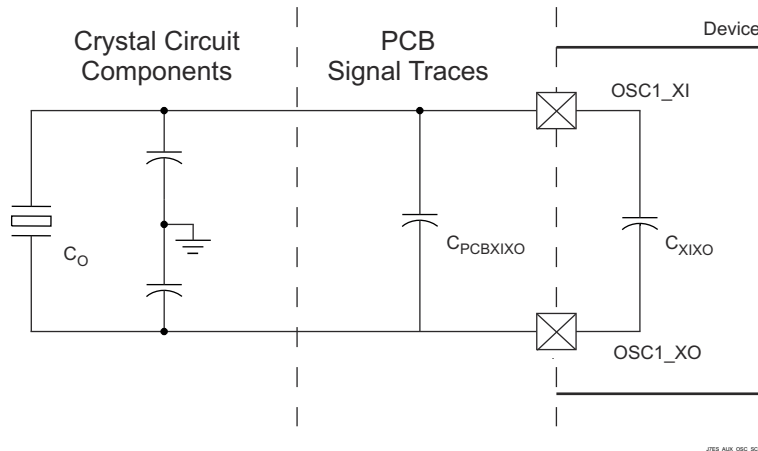


図 6-33. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_0 は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_0 + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04\text{pF}$ 、 $C_{XIXO} = 0.01\text{pF}$ の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.10.4.1.4 補助 OSC1 LVCMOS デジタル クロック ソース

図 6-34 に、OSC1 を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、OSC1_XI を DC 定常状態にすることは許容されません。OSC1_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、OSC1_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーション ソフトウェアは OSC1 の電源をオフにする必要があります。

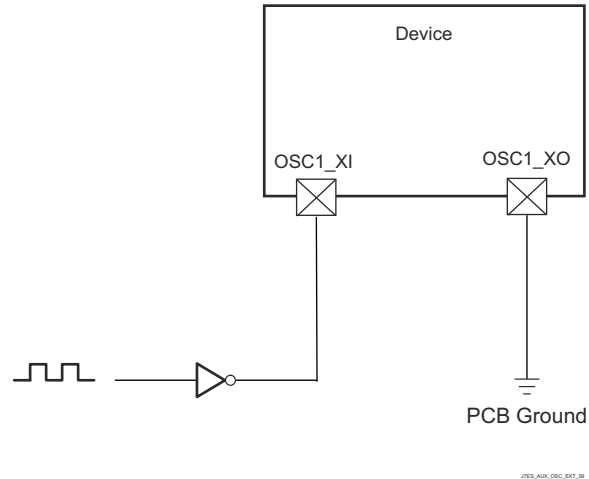


図 6-34. 1.8V LVCMOS 互換クロック入力

6.10.4.1.5 補助 OSC1 未使用

図 6-35 に、OSC1 を使用しない場合に推奨される発振器接続を示します。OSC1_XI は外付けプル抵抗 (R_{pd}) を介して VSS に接続する必要があります。これは、内部プルダウン抵抗がデフォルトで無効になっており、未使用時にこの入力を有効な Low レベルに保持するためです。

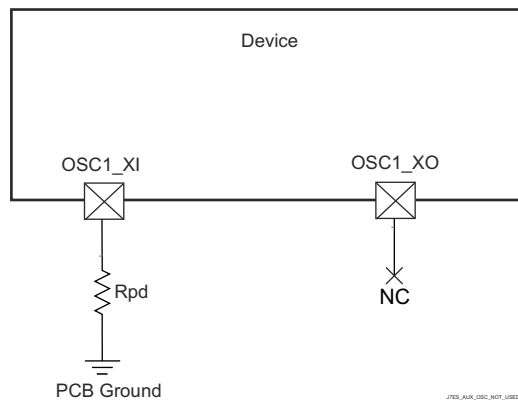


図 6-35. OSC1 を使用しない場合

6.10.4.1.6 WKUP_LFOSC0 内部発振器クロック ソース

図 6-36 に、水晶発振器の推奨回路を示します。量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗 R_{bias} および R_d を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせるとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。ほとんどの場合、 R_{bias} は不要であり、 R_d は 0Ω 抵抗です。量産前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、これらの抵抗を量産 PCB の設計から取り除くこともできます。

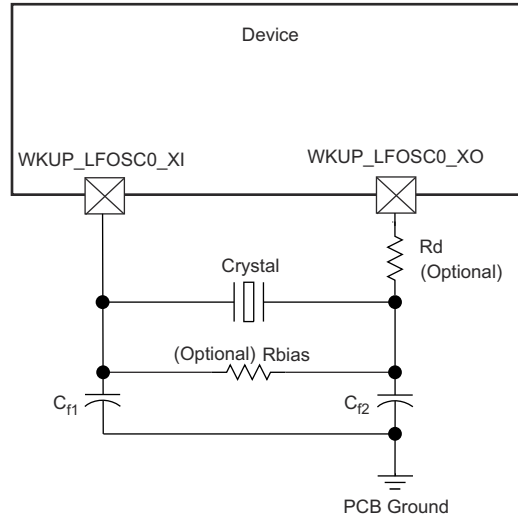


図 6-36. WKUP_LFOSC0 水晶振動子の実装

表 6-36 に、LFXOSC の動作モードを示します。

表 6-36. LFXOSC 動作モード

モード	BP_C	PD_C	XI	XO	CLK_OUT	説明
アクティブ	0	0	XTAL	XTAL	CLK_OUT	アクティブ発振器モードで 32kHz を供給
パワーダウン	0	1	X	PD	Low	出力は Low にプルダウンされます。PAD はトライステート。アクティブ モードはディセーブル。
バイパス	1	0	CLK	PD	CLK	XI は外部クロックソースによって駆動されます。XO は Low にプルダウンされます。電源に対して ESD ダイオードがあるため、発振器電源が存在しない場合は、XI を駆動しないでください。

注

ユーザーは、6pF~9.5pF の範囲の CL に対して、CTRLMMR_WKUP_LFXOSC_TRIM[18:16] i_mult = 3b'001 を設定する必要があります。8.5pF ~ 12pF の範囲の CL に対しては、CTRLMMR_WKUP_LFXOSC_TRIM [18:16] i_mult = 3b'010 とします。デフォルト設定は 3b'010 です。

注

図 6-37 の負荷コンデンサ C_{f1} および C_{f2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクレット部品は、関連する発振器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO、VSS ピンのできるだけ近くに配置する必要があります。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

図 6-37. 負荷容量の式

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-37 に、必要な電氣的制約事項を示します。

表 6-37. WKUP_LFOSC0 水晶振動子の電氣的特性

名称	説明	最小値	標準値	最大値	単位
f_p	並列共振水晶振動子周波数		32768		Hz
C_{f1}	$C_{f1} = C_{f2}$ の場合の水晶振動子並列共振の C_{f1} 負荷容量	12		24	pF
C_{f2}	$C_{f1} = C_{f2}$ の場合の水晶振動子並列共振の C_{f2} 負荷容量	12		24	pF
C_{shunt}	シャント容量	ESR _x tal – 40Ω		4	pF
		ESR _x tal – 60Ω		3	pF
		ESR _x tal – 80Ω		2	pF
		ESR _x tal – 100Ω		1	pF
ESR	水晶振動子の等価直列抵抗			100	kΩ

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-38 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-38. WKUP_LFOSC0 のスイッチング特性 – 水晶振動子モード

名称	説明	最小値	標準値	最大値	単位
f_{xtal}	発振周波数		32768		Hz
t_{sX}	起動時間			96.5	ms

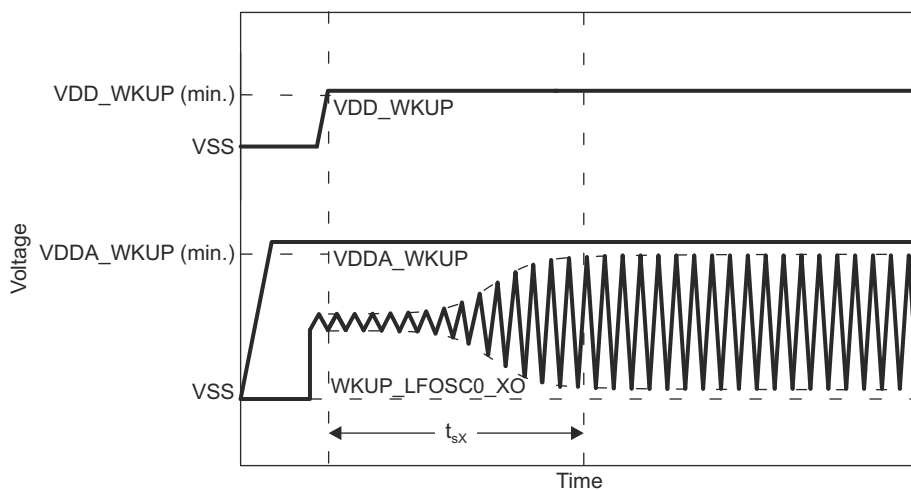


図 6-38. WKUP_LFOSC0 スタートアップ時間

6.10.4.1.7 WKUP_LFOSC0 を使用しない場合

図 6-39 に、WKUP_LFOSC0 を使用しない場合に推奨される発振器接続を示します。内部プルダウン抵抗がデフォルトでイネーブルであるため、発振器がディセーブルになっている場合は、WKUP_LFOSC0 は未接続でもかまいません。

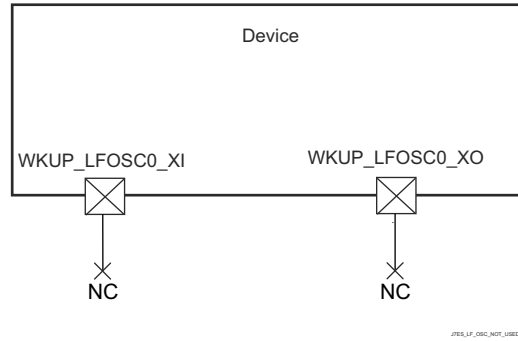


図 6-39. WKUP_LFOSC0 を使用しない場合

6.10.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU_CLKOUT0**
 - イーサネット PHY の基準クロック出力 (50MHz または 25MHz)
- **MCU_SYSCLKOUT0**
 - WKUP_PLLCTRL0 の SYSCLK0 は 6 分周され、LVCMOS クロック信号 (MCU_SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。
- **MCU_OBSCLK0**
 - クロック出力 MCU_OBSCLK0 では、テストおよびデバッグのために発振器と PLL クロックを監視できます。
- **SYSCLKOUT0**
 - MAIN_PLL コントローラの SYSCLK0 は 6 分周され、LVCMOS クロック信号 (SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。
- **CLKOUT**
 - 基準クロック出力
- **OBSCLK[2:0]**
 - クロック出力 OBSCLK0 では、テストおよびデバッグのために発振器と PLL クロックを監視できます。

6.10.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

このデバイスには、WKUP および MCU ドメインに合計 3 つの PLL があります。

- MCU_PLL0 (MCU R5FSS PLL)、WKUP_PLLCTRL0 付き
- MCU_PLL1 (MCU PERIPHERAL PLL)
- MCU_PLL2 (MCU CPSW PLL)

このデバイスの MAIN ドメインには、合計 20 個の PLL があります。

- PLL0 (MAIN PLL)、PLLCTRL0 付き
- PLL1 (PER0 PLL)
- PLL2 (PER1 PLL)
- PLL3 (CPSW9G PLL)
- PLL4 (AUDIO0 PLL)
- PLL5 (VIDEO PLL)
- PLL6 (GPU PLL)
- PLL7 (C7x PLL)
- PLL8 (ARM0 PLL)
- PLL12 (DDR PLL)
- PLL13 (C66 PLL)
- PLL14 (R5F PLL)
- PLL15 (AUDIO1 PLL)
- PLL16 (DSS PLL0)
- PLL17 (DSS PLL1)
- PLL18 (DSS PLL2)
- PLL19 (DSS PLL3)
- PLL23 (DSS PLL7)
- PLL24 (MLB PLL)
- PLL25 (VISION PLL)

注

詳細については、以下を参照してください。

- デバイスのテクニカル リファレンス マニュアルの「デバイス構成」「クロッキング」「PLL」セクション
 - デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」「ディスプレイ サブシステムの概要」セクション
-

注

入力基準クロック (OSC1_XI/OSC1_XO) は、デバイスのテクニカル リファレンス マニュアルの「デバイス構成」の章に記載されているように規定されており、ロック時間は PLL コントローラによって保証されます。

6.10.4.4 モジュールおよびペリフェラル クロックの周波数

セクション 6.10.5、「ペリフェラル」セクションには、デバイスのペリフェラル クロックに関連する最大周波数が記載されています。

各モジュールのクロック供給構造の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章を参照してください。

6.10.5 ペリフェラル

6.10.5.1 ATL

このデバイスには、オーディオの非同期サンプル レート変換に使用できる ATL モジュールが搭載されています。ATL は、オーディオ同期などの 2 つの時間ベース間の誤差を計算します。また、ソフトウェアによるサイクル スチールを使って、平均化されたクロックを生成することもできます。

注

ATL の詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオ トラッキング ロジック (ATL)」セクションを参照してください。

表 6-39 に、ATL のタイミング条件を示します。

表 6-39. ATL のタイミング条件

パラメータ	モード	最小値	最大値	単位	
入力条件					
SR _i	入力スルーレート	外部基準クロック	0.5	5	V/ns
出力条件					
C _L	出力負荷容量	内部基準クロック	1	10	pF

セクション 6.10.5.1.1、セクション 6.10.5.1.2、セクション 6.10.5.1.3、セクション 6.10.5.1.4 に、ATL のタイミング要件とスイッチング特性を示します。

6.10.5.1.1 ATL_PCLK のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D1	t _{c(pclk)}	サイクル時間、ATL_PCLK	外部基準クロック	5	ns
D2	t _{w(pclkL)}	パルス幅、ATL_PCLK low	外部基準クロック	0.45 × M ⁽¹⁾ + 2.5	ns
D3	t _{w(pclkH)}	パルス幅、ATL_PCLK high	外部基準クロック	0.45 × M ⁽¹⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

6.10.5.1.2 ATL_AWS[x] のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D4	t _{c(aws)}	サイクル時間、ATL_AWS[x] ⁽³⁾	外部基準クロック	2 × M ⁽¹⁾	ns
D5	t _{w(awsL)}	パルス幅、ATL_AWS[x] ⁽³⁾ Low	外部基準クロック	0.45 × A ⁽²⁾ + 2.5	ns
D6	t _{w(awsH)}	パルス幅、ATL_AWS[x] ⁽³⁾ High	外部基準クロック	0.45 × A ⁽²⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

(2) A = ATL_AWS[x] 周期

(3) x = 0~3

6.10.5.1.3 ATL_BWS[x] のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D7	t _{c(bws)}	サイクル時間、ATL_BWS[x] ⁽³⁾	外部基準クロック	2 × M ⁽¹⁾	ns
D8	t _{w(bwsL)}	パルス幅、ATL_BWS[x] low ⁽³⁾	外部基準クロック	0.45 × B ⁽²⁾ + 2.5	ns
D9	t _{w(bwsH)}	パルス幅、ATL_BWS[x] high ⁽³⁾	外部基準クロック	0.45 × B ⁽²⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

(2) B = ATL_BWS[x] 周期

(3) x = 0~3

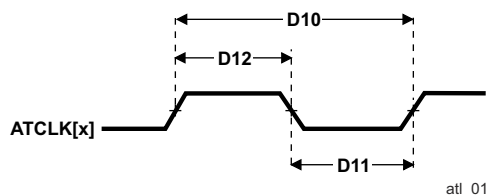
6.10.5.1.4 ATCLK[x] のスイッチング特性

番号	パラメータ		モード	最小値	最大値	単位
D10	$t_{c(atclk)}$	サイクル時間、ATCLK[x] ⁽³⁾	内部基準クロック	20		ns
D11	$t_{w(atclkL)}$	パルス幅、ATCLK[x] low ⁽³⁾	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$		ns
D12	$t_{w(atclkH)}$	パルス幅、ATCLK[x] high ⁽³⁾	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$		ns

(1) M = ATL_CLK[x] 周期

(2) P = ATCLK[x] 周期

(3) x = 0~3


図 6-40. ATCLK[x] タイミング

6.10.5.2 VPFE

表 6-40 に VPFE タイミング条件を示します。

表 6-40. VPFE のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	1.3	2.64	V/ns
PCB 接続要件				
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		50	ps

表 6-41、図 6-41、および図 6-42 に、VPFE0 のタイミング要件を示します。

表 6-41. VPFE0 インターフェイスのタイミング要件

番号 (1)			最小値	最大値	単位
V1	t _c (pclk)	サイクル時間、VPFE0_PCLK	6.06 ⁽¹⁾		ns
V2	t _w (pclkH)	パルス幅、VPFE0_PCLK high	0.45 × P ⁽²⁾		ns
V3	t _w (pclkL)	パルス幅、VPFE0_PCLK low	0.45 × P ⁽²⁾		ns
V4	t _{su} (ctrlV-pclkV)	セットアップ時間、制御信号 (VPFE0_HD、VPFE0_VD、VPFE0_WEN、VPFE0_FIELD) 有効から VPFE0_PCLK 遷移まで	2.12		ns
V5	t _{su} (dataV-pclkV)	セットアップ時間、VPFE0_DATA[15:0] 有効から VPFE0_PCLK 遷移まで	2.38		ns
V6	t _h (pclkV-ctrlV/dataV)	ホールド時間、制御信号 (VPFE0_HD、VPFE0_VD、VPFE0_WEN、VPFE0_FIELD) および VPFE0_DATA[15:0] 有効、VPFE0_PCLK 遷移後	-0.05		ns

(1) 最大周波数 165 MHz の場合。

(2) P = VPFE0_PCLK 周期。

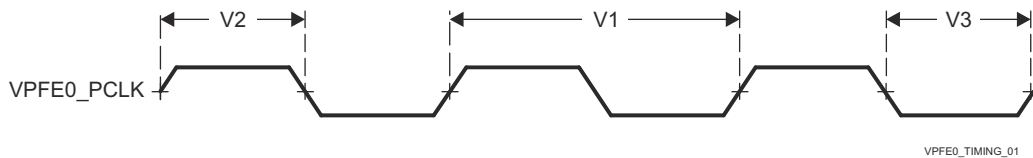


図 6-41. VPFE0 クロック信号要件

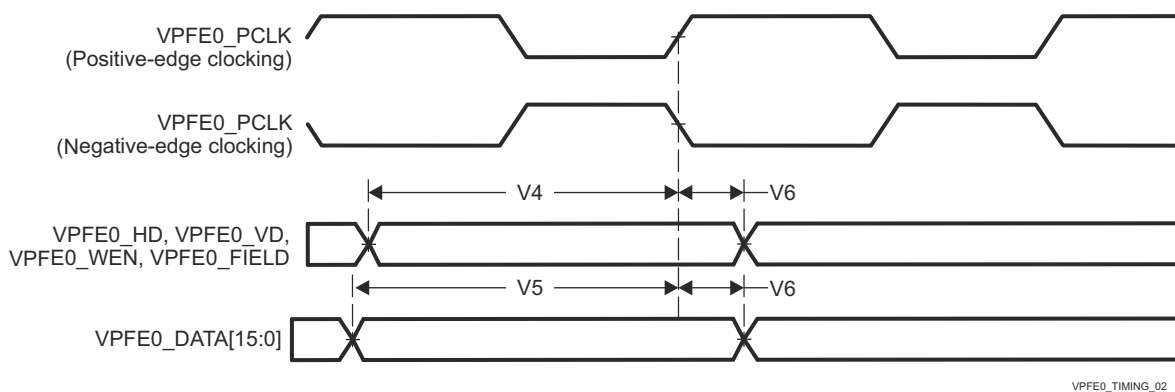


図 6-42. VPFE0 のタイミング要件

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ビデオ プロセッシング フロント エンド (VPFE)」セクションを参照してください。

6.10.5.3 CPSW2G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、[セクション 5.3](#)、信号の説明および [セクション 7](#)、詳細説明内の対応するセクションを参照してください。

6.10.5.3.1 CPSW2G MDIO インターフェ이스のタイミング

表 6-42 に CPSW2G のタイミング条件を示します。

表 6-42. CPSW2G MDIO のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_I	入力信号スループレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF

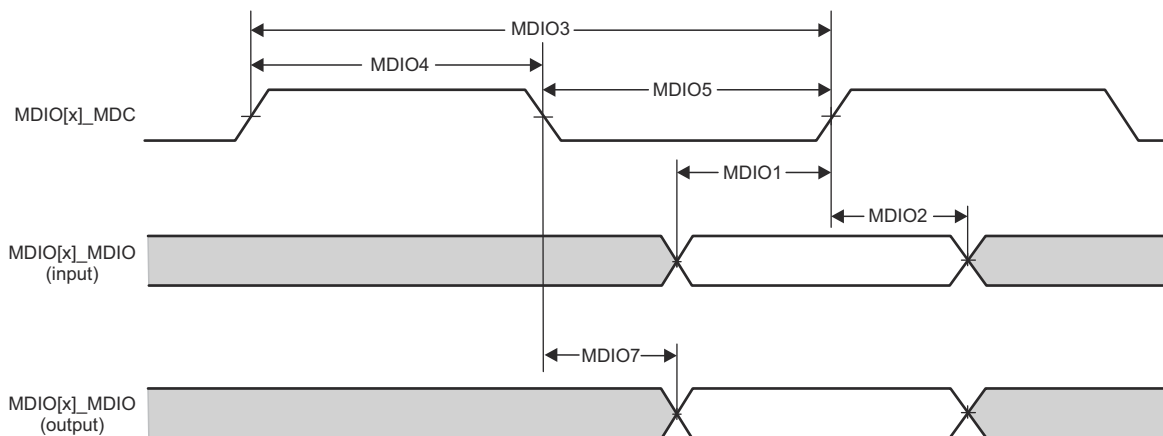
表 6-43、表 6-44、および [図 6-43](#) に、MDIO のタイミング要件を示します。

表 6-43. CPSW2G MDIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
MDIO1	$t_{su}(mdioV-mdcH)$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	90		ns
MDIO2	$t_h(mdcH-mdioV)$	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間	0		ns

表 6-44. CPSW2G MDIO のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MDIO3	$t_c(mdc)$	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	$t_w(mdcH)$	パルス幅、MDIO[x]_MDC high	160		ns
MDIO5	$t_w(mdcL)$	パルス幅、MDIO[x]_MDC low	160		ns
MDIO7	$t_d(mdcL-mdioV)$	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで	-150	150	ns



CPSW2G_MDIO_TIMING_01

図 6-43. CPSW2G MDIO のタイミング要件およびスイッチング特性

注

MCU ドメインでは $x = 0$

6.10.5.3.2 CPSW2G RMII のタイミング

表 6-45、セクション 6.10.5.3.2.1、セクション 6.10.5.3.2.2、セクション 6.10.5.3.2.3 に、CPSW2G RMII のタイミング条件、要件、スイッチング特性を示します。

表 6-45. CPSW2G RMII のタイミング条件

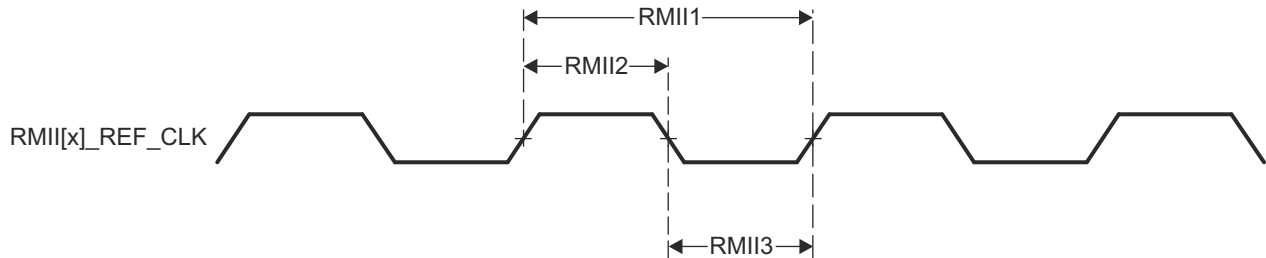
パラメータ		最小値	最大値	単位	
入力条件					
SR _I	入力信号スルーレート	VDDSHV _x ⁽¹⁾ = 1.8V	0.2	0.54	V/ns
		VDDSHV _x ⁽¹⁾ = 3.3V	0.8	1.2	V/ns
出力条件					
C _L	出力負荷容量	3	25	pF	

(1) x = 0 ~ 5 で、x はそれぞれの IO 電源レールを示します。IO 電源レールの割り当ての詳細については、ピン属性を参照してください。

6.10.5.3.2.1 CPSW2G RMII[x]_REF_CLK のタイミング要件 – RMII モード

図 6-44 参照

番号		説明	最小値	最大値	単位
RMII1	t _{c(ref_clk)}	サイクル時間、RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t _{w(ref_clkH)}	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	t _{w(ref_clkL)}	パルス幅、RMII[x]_REF_CLK Low	7	13	ns



A. MCU ドメインでは x = 1

図 6-44. CPSW2G RMII[x]_REFCLK のタイミング要件 – RMII モード

6.10.5.3.2.2 CPSW2G RMII[x]_RXD[1:0], RMII[x]_CRS_DV, RMII[x]_RX_ER のタイミング要件 – RMII モード

番号		説明	最小値	最大値	単位
RMII4	t _{su(rxdV-ref_clkH)}	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4		ns
	t _{su(crs_dvV-ref_clkH)}	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4		ns
	t _{su(rx_erV-ref_clkH)}	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4		ns
RMII5	t _{h(ref_clkH-rxdV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RXD[1:0] 有効の間	2		ns
	t _{h(ref_clkH-crs_dvV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_CRS_DV 有効の間	2		ns
	t _{h(ref_clkH-rx_erV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RX_ER 有効の間	2		ns

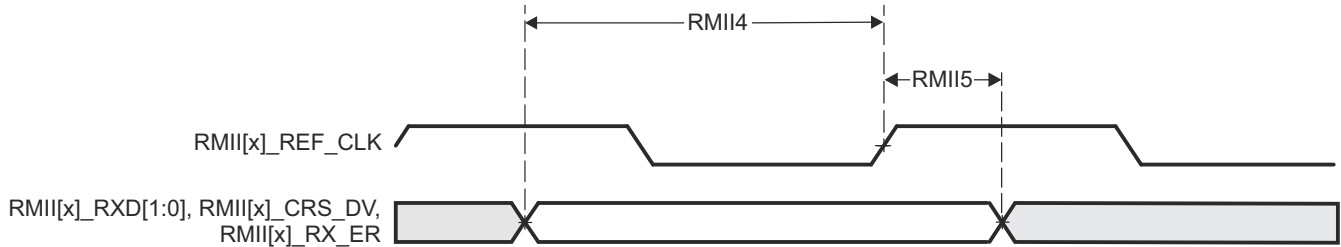


図 6-45. CPSW2G RMIIX_RXD[1:0]、RMIIX_CRS_DV、RMIIX_RX_ER のタイミング要件 – RMII モード

セクション 6.10.5.3.2.3 および 図 6-46 に、CPSW2G RMII 送信のスイッチング特性を示します。

6.10.5.3.2.3 CPSW2G RMIIX_TXD[1:0]、RMIIX_TX_EN のスイッチング特性 – RMII モード

図 6-46 参照

番号	パラメータ	最小値	最大値	単位
RMIIX6	$t_{d(\text{ref_clkH-txdV})}$	2	13	ns
	$t_{d(\text{ref_clkH-tx_enV})}$	2	13	ns

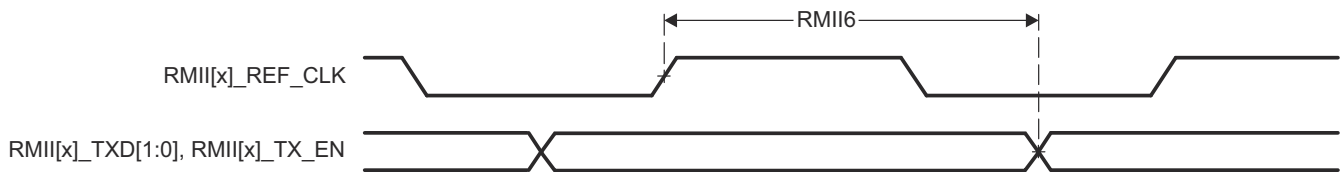


図 6-46. RMIIX_TXD[1:0]、RMIIX_TX_EN のスイッチング特性 – RMII モード

6.10.5.3.3 CPSW2G RGMII のタイミング

セクション 6.10.5.3.3.1、セクション 6.10.5.3.3.2、および 図 6-48 に、受信 RGMII 動作のタイミング要件を示します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット MAC (MCU_CPSW0)」セクションを参照してください。

表 6-46. CPSW2G RGMII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_i	入力スルーレート	2.64	5	V/ns
出力条件				
C_L	出力負荷容量	2	20	pF
PCB 接続要件				
$t_d(\text{Trace Mismatch Delay})$	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL	50	ps

6.10.5.3.3.1 RGMII[x]_RXC のタイミング要件 – RGMII モード

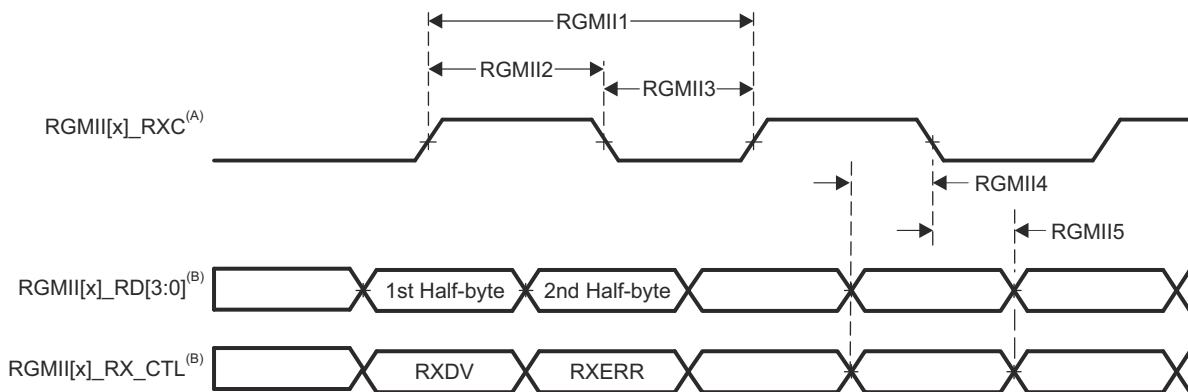
図 6-47 参照

番号			モード	最小値	最大値	単位
RGMII1	$t_{c(rx)}$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(rxch)}$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(rxcl)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.3.3.2 RGMII[x]_RD[3:0]、RGMII[x]_RCTL の CPSW2G タイミング要件 – RGMII モード

図 6-47 参照

番号			モード	最小値	最大値	単位
RGMII4	$t_{su(rdV-rxcV)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC 遷移まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII4	$t_{su(rx_ctlV-rxcV)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC 遷移まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(rxV-rdV)}$	ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(rxV-rx_ctlV)}$	ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII_TXC は、DATA ピンおよび制御ピンに対して、外部で遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_RXD[3:0] は、RGMII_RXC の立ち上がりエッジでデータビット 3~0 を、RGMII_RXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII_RXCTL は RGMII_RXC の立ち上がりエッジで RXDV を、RGMII_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-47. CPSW2G 受信インターフェイスのタイミング、RGMII 動作

セクション 6.10.5.3.3.3、セクション 6.10.5.3.3.4 に、10Mbps、100Mbps、および 1000Mbps の送信 RGMII のスイッチング特性を示します。

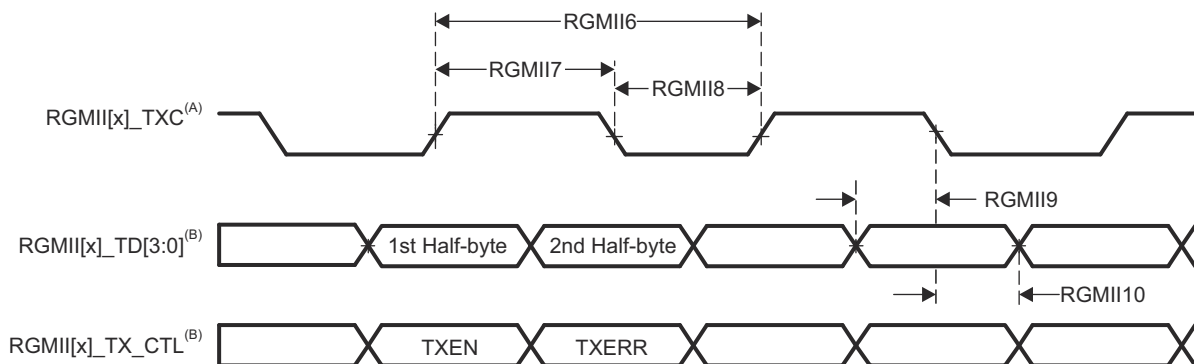
6.10.5.3.3.3 CPSW2G RGMII[x]_TXC のスイッチング特性 – RGMII モード

番号	パラメータ		モード	最小値	最大値	単位
RGMII6	$t_{c(tc)}$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(tcH)}$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(tcL)}$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.3.3.4 RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-48 参照

番号	パラメータ		モード	最小値	最大値	単位
RGMII9	$t_{osu(tdV-txcV)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC 遷移まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
RGMII9	$t_{osu(tx_ctlV-txcV)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC 遷移まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
RGMII10	$t_{oh(tdV-txcV)}$	出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
RGMII10	$t_{oh(tx_ctlV-txcV)}$	出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns



- A. TxC は内部で遅延されてから、RGMII[x]_TxC ピンを駆動します。この内部遅延は常にイネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_TD[3:0] は、RGMII_TxC の立ち上がりエッジでデータビット 3~0 を、RGMII_TxC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII_TX_CTL は RGMII_TxC の立ち上がりエッジで TXDV を、RGMII_TxC の立ち下がりエッジで RTXERR を伝送します。

図 6-48. CPSW2G 送信インターフェイスのタイミング RGMII モード

6.10.5.4 CPSW9G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、[セクション 5.3](#)、信号の説明および [セクション 7](#)、詳細説明内の対応するセクションを参照してください。

表 6-47 に CPSW9G のタイミング条件を示します。

表 6-47. CPSW9G のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力信号スルーレート	0.9	3.6	V/ns
出力条件				
C _L	出力負荷容量	10	470	pF

6.10.5.4.1 CPSW9G MDIO インターフェ이스のタイミング

表 6-48、表 6-49、[図 6-49](#) に、MDIO のタイミング要件とスイッチング特性を示します。

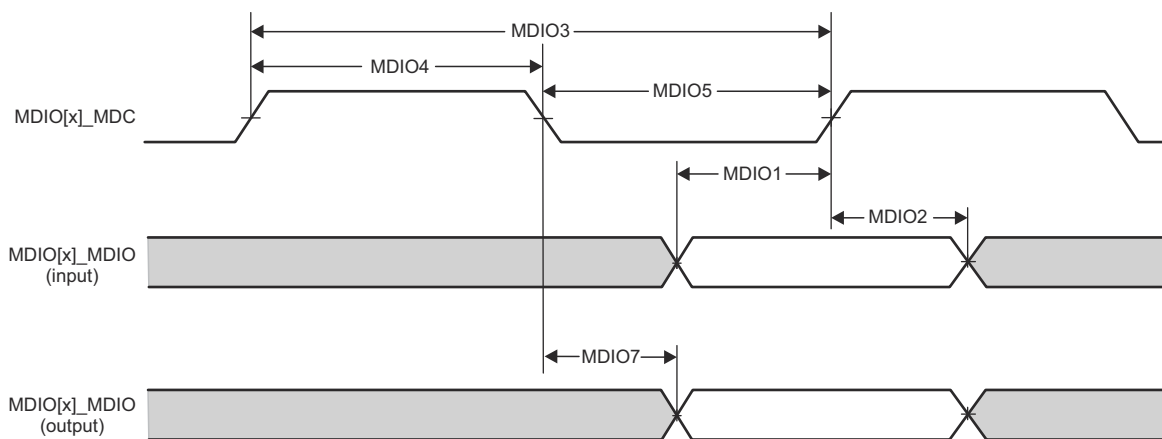
表 6-48. CPSW9G MDIO のタイミング要件

番号	パラメータ ⁽¹⁾		最小値	最大値	単位
MDIO1	t _{su(mdioV-mdcH)}	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	90		ns
MDIO2	t _{h(mdcH-mdioV)}	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間	0		ns

表 6-49. CPSW9G MDIO のスイッチング特性

番号	パラメータ ⁽¹⁾		最小値	最大値	単位
MDIO3	t _{c(mdc)}	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	t _{w(mdch)}	パルス幅、MDIO[x]_MDC high	160		ns
MDIO5	t _{w(mdcL)}	パルス幅、MDIO[x]_MDC low	160		ns
MDIO7	t _{d(mdcL-mdioV)}	遅延時間、MDIO[x]_MDC 立ち下がりエッジから MDIO[x]_MDIO 有効まで	-150	150	ns

(1) x = 0



CPSW2G_MDIO_TIMING_01

図 6-49. CPSW9G MDIO 図の受信および送信

6.10.5.4.2 CPSW9G RMII のタイミング

表 6-50、[セクション 6.10.5.4.2.1](#)、[セクション 6.10.5.4.2.2](#)、および [図 6-50](#) に、受信 CPSW9G RMII 動作のタイミング要件を示します。

表 6-50. CPSW9G RMII のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR _i	入力スループレート	VDDSHV _x ⁽¹⁾ = 1.8V	0.108	0.54	V/ns
		VDDSHV _x ⁽¹⁾ = 3.3V	0.4	1.2	V/ns
出力条件					
C _L	出力負荷容量	3	25	pF	

(1) x = 0 ~ 5 で、x はそれぞれの IO 電源レールを示します。IO 電源レールの割り当ての詳細については、ピン属性を参照してください。

6.10.5.4.2.1 RMII[x]_REF_CLK のタイミング要件 - RMII モード

図 6-50 参照

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII1	t _{c(ref_clk)}	サイクル時間、RMII[x]_REF_CLK	19.999		20.001	ns
RMII2	t _{w(ref_clkH)}	パルス幅、RMII[x]_REF_CLK High	7		13	ns
RMII3	t _{w(ref_clkL)}	パルス幅、RMII[x]_REF_CLK Low	7		13	ns

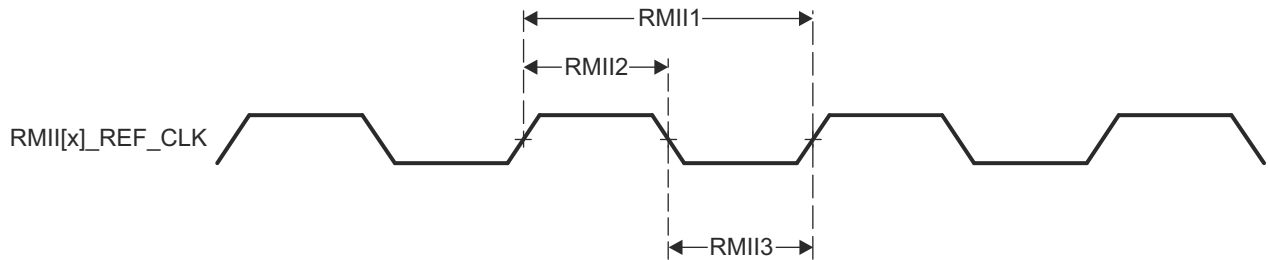


図 6-50. RMII[x]_REF_CLK のタイミング要件 - RMII モード

6.10.5.4.2.2 RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	標準値	最大値	単位
RMII4	t _{su(rxdV-ref_clkH)}	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4			ns
	t _{su(crs_dvV-ref_clkH)}	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4			ns
	t _{su(rx_erV-ref_clkH)}	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4			ns
RMII5	t _{h(ref_clkH-rxdV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RXD[1:0] 有効の間	2			ns
	t _{h(ref_clkH-crs_dvV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_CRS_DV 有効の間	2			ns
	t _{h(ref_clkH-rx_erV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RX_ER 有効の間	2			ns

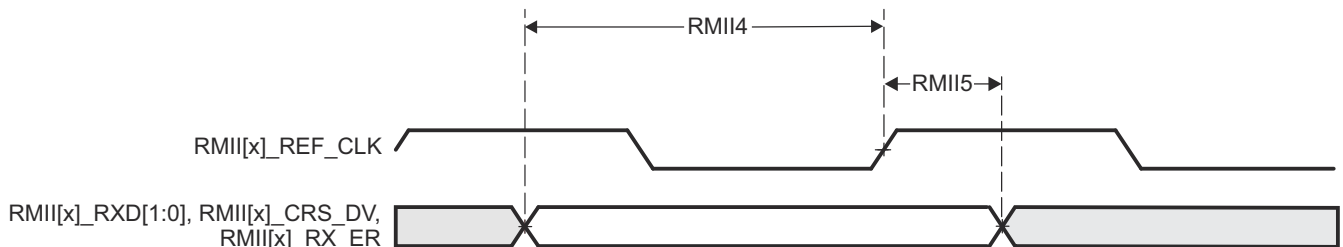


図 6-51. CPSW9G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER のタイミング要件 - RMII モード

セクション 6.10.5.4.2.3 および、CPSW9G RMII 送信のスイッチング特性を示します。

6.10.5.4.2.3 RMII[x]_TXD[1:0], RMII[x]_TXEN のスイッチング特性 – RMII モード

番号	パラメータ		最小値	標準値	最大値	単位
RMII6	$t_{d(\text{ref_clkH-txdV})}$	遅延時間、RMII[x]_REF_CLK の立ち上がりエッジから RMII[x]_TXD[1:0] 有効まで	2		13	ns
	$t_{d(\text{ref_clkH-tx_enV})}$	遅延時間、RMII[x]_REF_CLK の立ち上がりエッジから RMII[x]_TX_EN 有効まで	2		13	ns

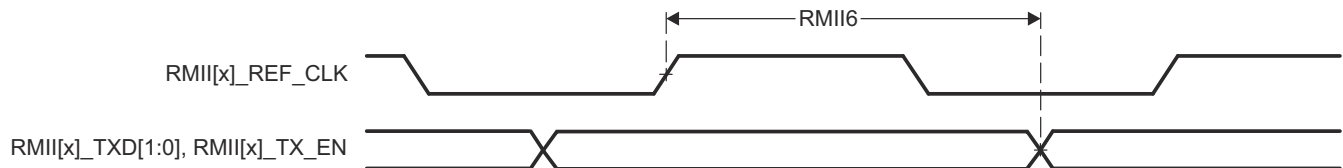


図 6-52. RMII[x]_TXD[1:0], RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.10.5.4.3 CPSW9G RGMII のタイミング

表 6-51、セクション 6.10.5.4.3.1、セクション 6.10.5.4.3.2、および 図 6-53 に、受信 RGMII 動作のタイミング要件を示します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (CPSW0)」セクションを参照してください。

表 6-51. CPSW9G RGMII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_i	入力スルーレート	2.64	5	V/ns
出力条件				
C_L	出力負荷容量	2	20	pF
PCB 接続要件				
t_d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	RGMI[x]_RXC、 RGMI[x]_RD[3:0] 、 RGMI[x]_RX_CTL	50	ps
		RGMI[x]_TXC、 RGMI[x]_TD[3:0] 、 RGMI[x]_TX_CTL	50	ps

6.10.5.4.3.1 RGMII[x]_RXC のタイミング要件 – RGMII モード

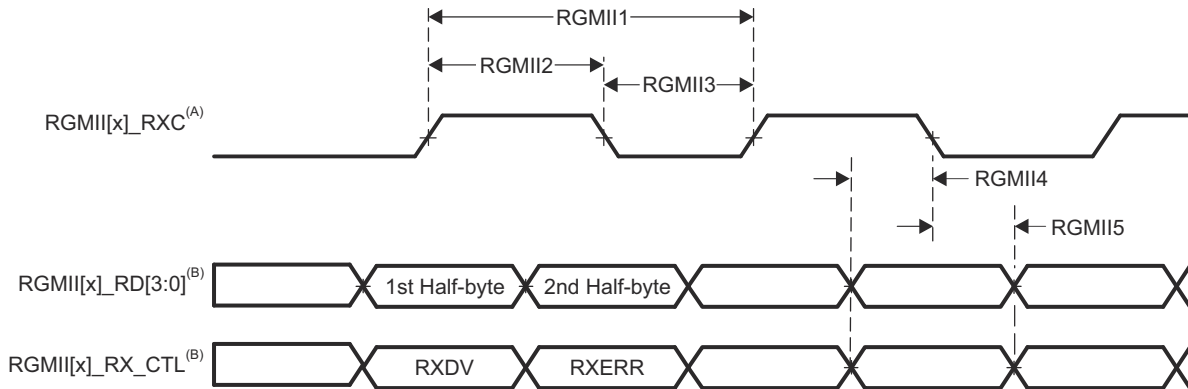
番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(\text{rx})}$	サイクル時間、RGMI[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_w(\text{rxch})$	パルス幅、RGMI[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII3	$t_{w(rxcl)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.4.3.2 RGMII[x]_RD[3:0] および RGMII[x]_RCTL のタイミング要件 - RGMII モード

図 6-53 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(rdV-rxcV)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC 遷移まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(rx_ctlV-rxcV)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC 遷移まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(rxcV-rdV)}$	ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(rxcV-rx_ctlV)}$	ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII_TXC は、DATA ピンおよび制御ピンに対して、外部で遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_RXD[3:0] は、RGMII_RXC の立ち上がりエッジでデータビット 3~0 を、RGMII_RXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII_RXCTL は RGMII_RXC の立ち上がりエッジで RXDV を、RGMII_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-53. CPSW9G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RCTL のタイミング要件 - RGMII モード

セクション 6.10.5.4.3.3、セクション 6.10.5.4.3.4、および 図 6-54 に、10 Mbps、100 Mbps、および 1000 Mbps の送信 RGMII のスイッチング特性を示します。

6.10.5.4.3.3 RGMII[x]_TXC のスイッチング特性 - RGMII モード

図 6-54 参照

番号	パラメータ	説明	モード	最小値	標準値	最大値	単位
RGMII6	$t_{c(txc)}$	サイクル時間、RGMII[x]_TXC	10Mbps	360		440	ns
			100Mbps	36		44	ns
			1000Mbps	7.2		8.8	ns

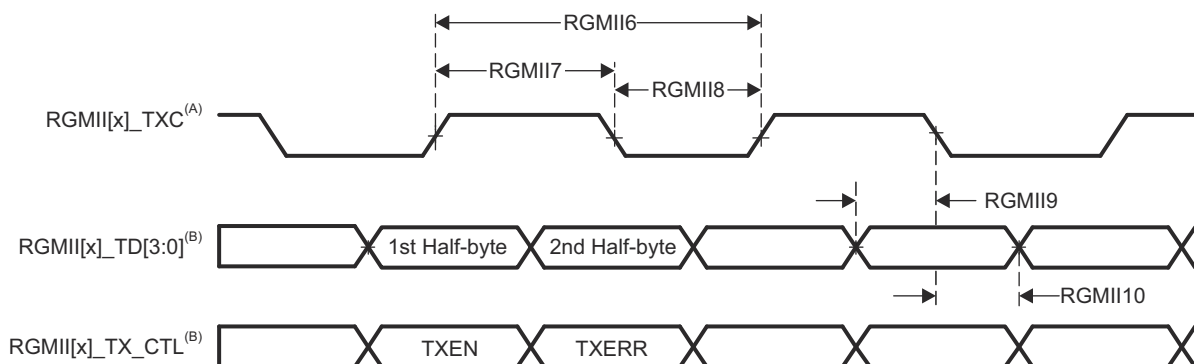
図 6-54 参照

番号	パラメータ	モード	最小値	標準値	最大値	単位
RGMII7	$t_{w(\text{txcH})}$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(\text{txcL})}$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.4.3.4 RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-54 参照

番号	パラメータ	モード	最小値	最大値	単位
RGMII9	$t_{\text{osu}(\text{tdV-txcV})}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC 遷移まで	10Mbps	1.2	ns
			100Mbps	1.2	ns
			1000Mbps	1.05	ns
	$t_{\text{osu}(\text{tx_ctlV-txcV})}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC 遷移まで	10Mbps	1.2	ns
			100Mbps	1.2	ns
			1000Mbps	1.05	ns
RGMII10	$t_{\text{oh}(\text{tdV-txcV})}$	出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2	ns
			100Mbps	1.2	ns
			1000Mbps	1.05	ns
	$t_{\text{oh}(\text{tx_ctlV-txcV})}$	出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2	ns
			100Mbps	1.2	ns
			1000Mbps	1.05	ns



- A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_TD[3:0] は、RGMII_TXC の立ち上がりエッジでデータビット 3~0 を、RGMII_TXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII_TX_CTL は RGMII_TXC の立ち上がりエッジで TXDV を、RGMII_TXC の立ち下がりエッジで RTXERR を伝送します。

図 6-54. CPSW9G RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

6.10.5.5 CSI-2

注

詳細については、デバイス テクニカル リファレンス マニュアルで「カメラ ストリーミング インターフェイス レシーバ (CSI_RX_IF)」の章を参照してください。

CSI_RX_IF は、外部イメージ センサから得られるピクセル データおよびメモリからのデータの処理を取り扱います。これは、カメラビューファインダー、ビデオ録画、静止画像キャプチャなどのマルチメディア アプリケーションの重要なコンポーネントです。

CSI_RX_IF には、MIPI D-PHY RX 仕様 v1.2 および MIPI CSI-2 仕様 v1.3 に準拠したプライマリ シリアル インターフェイス (CSI-2 ポート) があり、同期モードのダブル データレートで 4 つの差動データレーンと 1 つの差動クロックレーンがあります。タイミングの詳細については、仕様を参照してください。

- 各レーンで 2.5Gbps (1.25GHz)。

6.10.5.6 DDRSS

本デバイスの LPDDR4 メモリ インターフェイスの機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および [セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

このデバイスには、LPDDR4 のための専用インターフェイスが搭載されています。JEDEC JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスをサポートし、以下に示す特長を備えています。

- 外部 SDRAM メモリへの 32 ビット データ パス
- メモリ デバイスの容量: 2 つのチップ セレクトにより最大 8GB のアドレス空間を利用可能 (ランクごとに 4GB)
- バイト モード、および、17 ビットを超える行アドレスを含むメモリはサポートしていない

[表 6-52](#) および [図 6-55](#) に、DDRSS のスイッチング特性を示します。

表 6-52. DDRSS のスイッチング特性

番号	パラメータ	DDR タイプ	最小値	最大値	単位
1	$t_{c(DDR_CKP/DDR_CKN)}$ サイクル時間、DDR0_CKP および DDR0_CKN	LPDDR4	0.536	3.003	ns

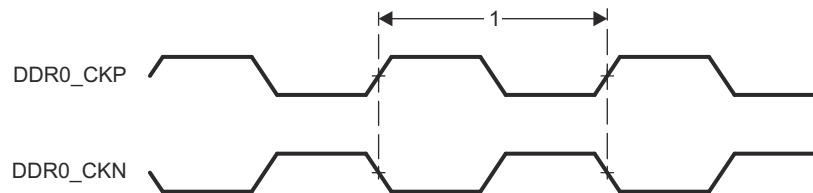


図 6-55. DDRSS メモリ インターフェイスのクロック タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

6.10.5.7 DSS

本デバイスのディスプレイ サブシステム – ビデオ出力ポートの機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および [セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

[表 6-53](#) に、DPI のタイミング条件を示します。

表 6-53. DPI のタイミング条件

パラメータ	最小値	最大値	単位
入力条件			
SR_I 入力スループレート	1.44	26.4	V/ns
出力条件			
C_L 出力負荷容量	1.5	5	pF
PCB 接続要件			
t_d (Trace Mismatch Delay) すべてのパターンにわたる伝搬遅延の不整合		100	ps

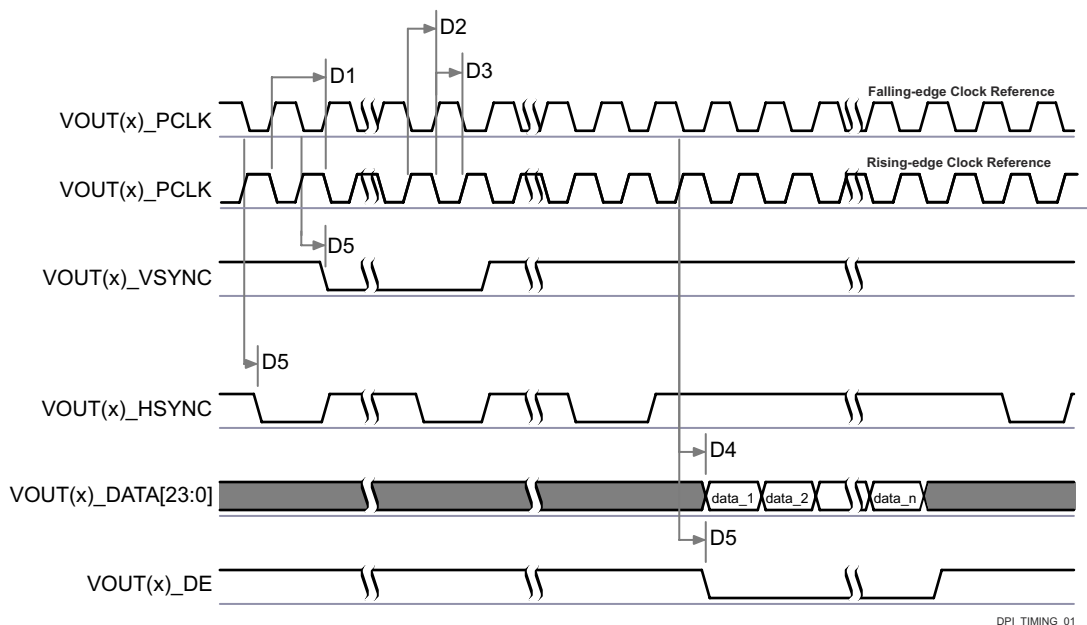
表 6-54、表 6-55、図 6-56、図 6-57 は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

表 6-54. DPI ビデオ出力のスイッチング特性

番号 (2)	パラメータ		最小値	最大値	単位
D1	$t_{c(pclk)}$	サイクル時間、VOUT(x)_PCLK	6.06		ns
D2	$t_{w(pclkL)}$	パルス幅、VOUT(x)_PCLK low	$0.475 \times P^{(1)}$		ns
D3	$t_{w(pclkH)}$	パルス幅、VOUT(x)_PCLK high	$0.475 \times P^{(1)}$		ns
D4	$t_{d(pclkV-dataV)}$	遅延時間、VOUT(x)_PCLK 遷移から VOUT(x)_DATA[23:0] 遷移まで	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrlL)}$	遅延時間、VOUT(x)_PCLK 遷移から制御信号 VOUT(x)_VSYNC、VOUT(x)_HSYNC、VOUT(x)_DE 立ち下がりエッジ	-0.68	1.78	ns

(1) P = 出力の VOUT(x)_PCLK 周期 (ns 単位)。

(2) VOUT(x)で、x = 1 または 2



- A. データのアサートの設定は、ピクセル クロックの立ち下がりエッジまたは立ち上がりエッジにプログラムできます。
- B. VOUT(x)_HSYNC および VOUT(x)_VSYNC の極性とパルス幅はプログラム可能です。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- C. VOUT(x)_PCLK 周波数は設定できます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。
- D. VOUT(x) の x = 1 または 2

図 6-56. DPI ビデオ出力

表 6-55. DPI 外部ピクセル クロックのタイミング要件

番号 (2)			最小値	最大値	単位
D6	$t_{c(\text{extpclk})}$	サイクル時間、VOUT(x)_EXTPCLKIN	6.06		ns
D7	$t_{w(\text{extpclkL})}$	パルス幅、VOUT(x)_EXTPCLKIN low	$0.45 \times P^{(1)}$		ns
D8	$t_{w(\text{extpclkH})}$	パルス幅、VOUT(x)_EXTPCLKIN high	$0.45 \times P^{(1)}$		ns

- (1) P = 出力の VOUT(x)_PCLK 周期 (ns 単位)。
 (2) VOUT(x)で、x = 1 または 2

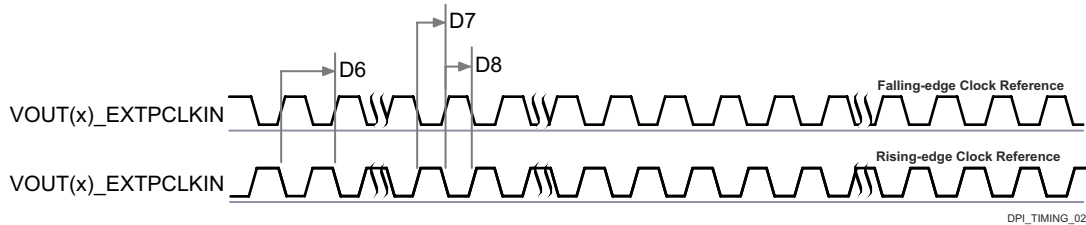


図 6-57. DPI 外部ピクセル クロック入力

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

6.10.5.8 eCAP

デバイス ECAP でサポートされている機能は次のとおりです。

- 32 ビット タイム ベース カウンタ
- 4 つの イベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの 順序付き タイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つの キャプチャ イベントのいずれかに対する 割り込み機能
- 入力キャプチャ信号のプリスケールリング (1~16)
- 各種キャプチャ モード (シングル ショット キャプチャ、連続モード キャプチャ、絶対タイムスタンプ キャプチャ、差分モード タイムスタンプ キャプチャ) のサポート

表 6-56 に、ECAP のタイミング条件を示します。

表 6-56. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_i	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

セクション 6.10.5.8.1 および セクション 6.10.5.8.2 に、eCAP のタイミング特性およびスイッチング特性を示します (図 6-58 および 図 6-59 を参照)。

6.10.5.8.1 eCAP のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
CAP1	$t_{w(\text{cap})}$	パルス幅、CAP (非同期)	$2 + 2P^{(1)}$		ns

(1) $P = \text{sysclk}$



図 6-58. eCAP の入力タイミング

6.10.5.8.2 eCAP のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
CAP2	$t_{w(\text{apwm})}$	パルス幅、APWM	$-2 + 2P^{(1)}$		ns

(1) $P = \text{sysclk}$

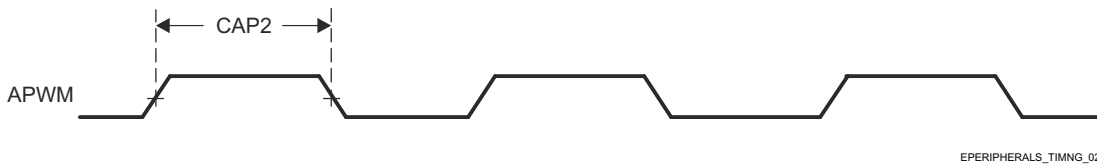


図 6-59. eCAP の出力タイミング

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

6.10.5.9 EPWM

デバイス EPWM でサポートされている機能は次のとおりです。

- 周期および周波数制御機能を備えた専用の 16 ビット時間ベース カウンタ
- さまざまな構成で使用できる 2 つの独立した PWM 出力 (シングル エッジ動作、デュアル エッジ対称動作、または 1 つの独立した PWM 出力のデュアル エッジ非対称動作)
- フォルト状態で PWM 信号の非同期オーバーライド制御
- その他の EPWM モジュールに対する遅れまたは進み動作のためのプログラマブルな位相制御のサポート
- 独立した立ち上がりおよび立ち下がりエッジ遅延制御によるデッドバンド生成
- ラッチされたフォルト状態およびラッチされていないフォルト状態の両方について、プログラム可能なトリップ ゾーンの割り当て
- CPU 割り込みと ADC 変換開始の両方をトリガできるイベント

表 6-57 に、EPWM のタイミング条件を示します。

表 6-57. EPWM のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_i	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

セクション 6.10.5.9.1 および セクション 6.10.5.9.2 に eHRPWM のタイミング特性とスイッチング特性を示します (図 6-60、図 6-61、図 6-62、図 6-63 を参照)。

6.10.5.9.1 eHRPWM のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_{w(pwm)}$	パルス幅、EHRPWM_A/B High または Low	P-3 ⁽¹⁾		ns
PWM2	$t_{w(syncout)}$	パルス幅、EHRPWM_SYNCO	P-3 ⁽¹⁾		ns
PWM3	$t_{d(tzL-pwmV)}$	遅延時間、EHRPWM_TZn_IN 立ち下がりエッジから EHRPWM_A/B 有効まで		11	ns
PWM4	$t_{d(tzL-pwmZ)}$	遅延時間、EHRPWM_TZn_IN 立ち下がりエッジから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	$t_{w(soc)}$	パルス幅、EHRPWM_SOCA/B	P-3 ⁽¹⁾		ns

(1) P = sysclk

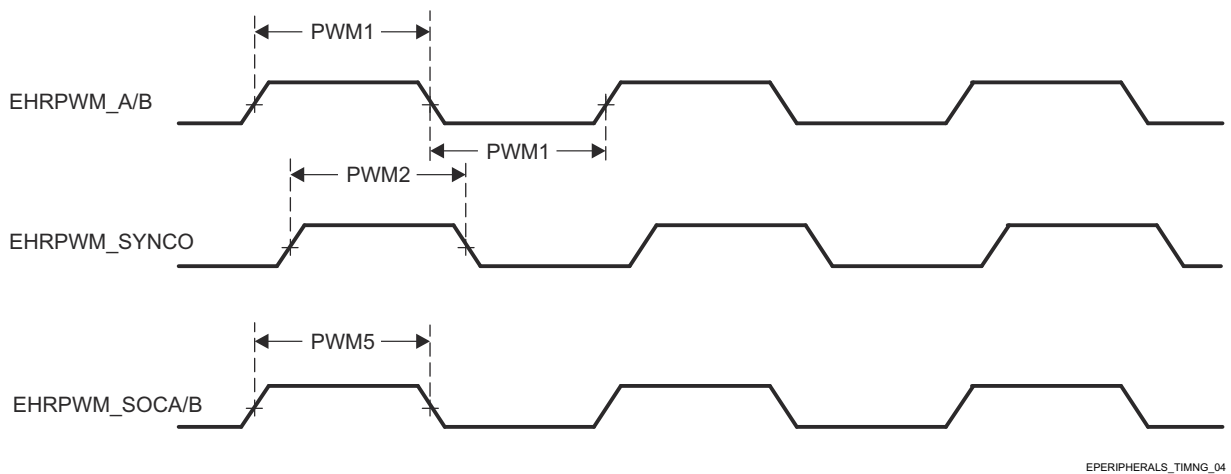


図 6-60. EPWM_A/B_out、ePWM_SYNCO、および ePWM_SOCA/B 入力タイミング

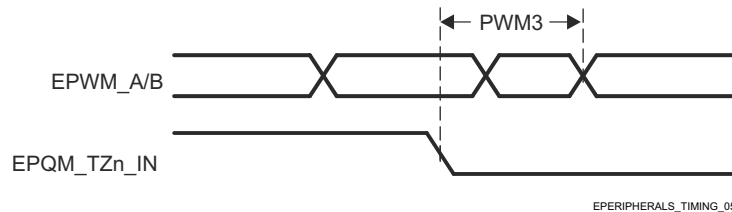


図 6-61. ePWM_A/B および ePWM_TZn_IN の強制的な High / Low 入力タイミング

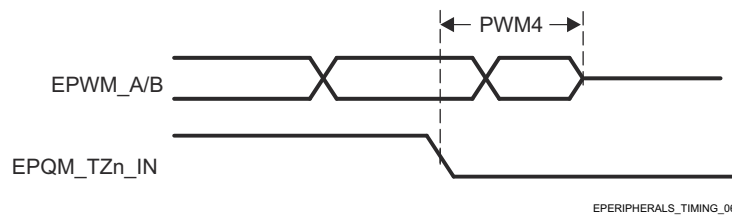


図 6-62. ePWM_A/B および ePWM_TZn_IN の Hi-Z 入力タイミング

6.10.5.9.2 eHRPWM のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PWM6	$t_{w(\text{synci})}$	パルス幅、EHRPWM_SYNCI	$2 + 2P^{(1)}$		ns
PWM7	$t_{w(\text{tz})}$	パルス幅、EHRPWM_TZn_IN low	$2 + 3P^{(1)}$		ns

(1) P = sysclk

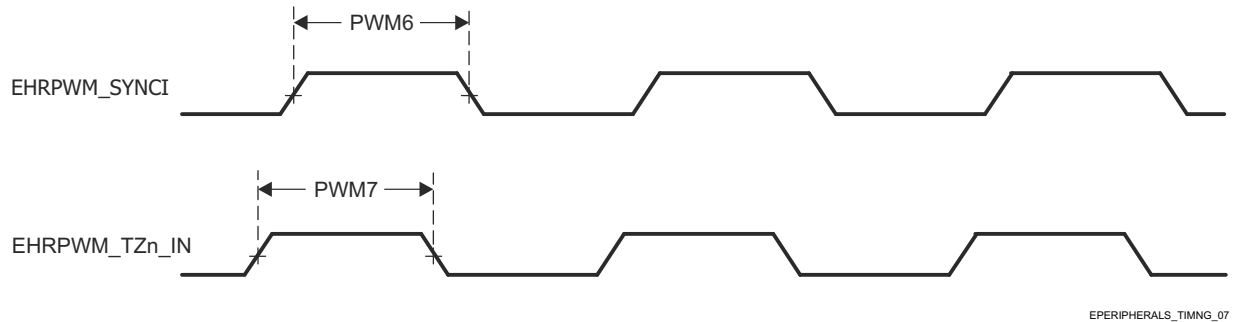


図 6-63. ePWM_SYNCI および ePWM_TZn_IN の出力タイミング

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「カメラサブシステム」セクションを参照してください。

6.10.5.10 eQEP

デバイス eQEP でサポートされている機能は次のとおりです。

- 入力同期
- 3 段 /6 段デジタル ノイズ フィルタ
- 直交デコーダ ユニット
- 位置測定用の位置カウンタおよび制御ユニット
- 低速測定用の直交エッジキャプチャ ユニット
- 速度および周波数測定用のユニット タイム ベース
- ストール検出用のウォッチドッグ タイマ

表 6-58 に、eQEP のタイミング条件を示します。

表 6-58. EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

セクション 6.10.5.10.1 および セクション 6.10.5.10.2 に、eQEP のタイミング要件とスイッチング特性を示します (図 6-64 を参照)。

6.10.5.10.1 eQEP のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
QEP1	$t_{w(\text{qep})}$	パルス幅、QEP_A/B	$2 + 2P^{(1)}$		ns
QEP2	$t_{w(\text{qepiH})}$	パルス幅、QEP_I high	$2 + 2P^{(1)}$		ns
QEP3	$t_{w(\text{qepiL})}$	パルス幅、QEP_I low	$2 + 2P^{(1)}$		ns

番号			最小値	最大値	単位
QEP4	$t_{w(qepsH)}$	パルス幅、QEP_S high	$2 + 2P^{(1)}$		ns
QEP5	$t_{w(qepsL)}$	パルス幅、QEP_S low	$2 + 2P^{(1)}$		ns

(1) P = sysclk

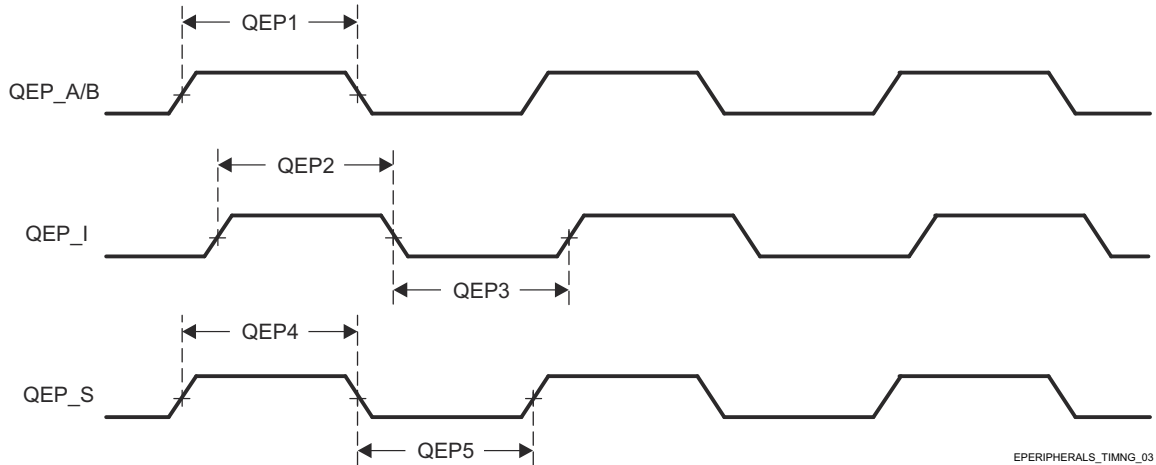


図 6-64. eQEP 入力タイミング

6.10.5.10.2 eQEP のスイッチング特性

番号	パラメータ	最小値	最大値	単位
QEP6	$t_d(QEP-CNTR)$	遅延時間、外部クロックからカウンタ インクリメントまで	24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

6.10.5.11 GPIO

このデバイスには、10 個の GPIO モジュール インスタンスがあります。GPIO モジュールは、3 つのグループに分かれています。

- グループ 1: WKUP_GPIO0, WKUP_GPIO1
- グループ 2: GPIO0, GPIO2, GPIO4, GPIO6
- グループ 3: GPIO1, GPIO3, GPIO5, GPIO7

各グループ内で、対応する I/O ピンおよびピン割り込みを制御するため、必ず 1 つのモジュールが選択されます。

GPIO ピンは、バンクとしてグループ化されています (1 つのバンクに 16 ピン)。各 GPIO モジュールは、入力および出力機能を備えた最大 144 本の専用汎用ピンを提供します。したがって、汎用インターフェイスは最大 432 本 (3 インスタンス × (9 バンク × 16 ピン)) のピンをサポートします。このデバイスでは、WKUP_GPIOu_[84:143] (u = 0, 1)、GPIO_n_[128:143] (n = 0, 2, 4, 6)、および GPIO_m_[36:143] (m = 1, 3, 5, 7) は予約済みなので、汎用インターフェイスは最大 248 本の I/O ピンをサポートします。

本デバイスの汎用インターフェイスの機能の詳細と追加の説明情報については、[セクション 5.3](#)、信号の説明および [セクション 7](#) 詳細説明内の対応するセクションを参照してください。

注

汎用入出力 i (i = 0~1) は、GPIO_i とも呼ばれます。

表 6-59 に、GPIO のタイミング条件を示します。

表 6-59. GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	LVC MOS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD ⁽¹⁾ = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 3.3V)	0.0033	0.08	V/ns
出力条件					
C _L	出力負荷容量	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

セクション 6.10.5.11.1 および セクション 6.10.5.11.2 に、GPIO インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.11.1 GPIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
GPIO1	t _w (GPIO_IN)	パルス幅、GPIO _n _x	2P + 30 ⁽¹⁾		ns

(1) P = 機能クロック周期 (ns 単位)。

6.10.5.11.2 GPIO スwitchング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GPIO2	t _w (GPIO_OUT)	パルス幅、GPIO _n _x	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
			I2C OD FS	160		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

6.10.5.12 GPMC

本デバイスの汎用メモリ コントローラの機能の詳細と追加の説明情報については、セクション 5.3、信号の説明」および セクション 7、詳細説明」内の対応するセクションを参照してください。

表 6-60 に、GPMC のタイミング条件を示します。

注

このセクションに示す IO タイミングは、GPMC0 の信号のすべての組み合わせに適用できます。ただし、1 つの IOSET 内の信号を使用する場合、このタイミングは GPMC0 に対してのみ有効です。IOSET は、セクション 6.10.5.12.4 GPMC0_IOSET の表で定義されます。

表 6-60. GPMC のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
t _{SR}	入力スルーレート	1.65	4	V/ns
出力条件				

表 6-60. GPMC のタイミング条件 (続き)

パラメータ	説明	最小値	最大値	単位
C _{LOAD}	出力負荷容量	5	20	pF

6.10.5.12.1 GPMC および NOR フラッシュ — 同期モード

セクション 6.10.5.12.1.1 および セクション 6.10.5.12.1.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-65 ~ 図 6-69 を参照)。

6.10.5.12.1.1 GPMC および NOR フラッシュのタイミング要件 — 同期モード

番号	パラメータ	説明 ⁽²⁾	モード ⁽³⁾	最小値	最大値	最小値	最大値	単位
				100MHz ⁽⁴⁾	133MHz ⁽⁴⁾	100MHz ⁽⁴⁾	133MHz ⁽⁴⁾	
F12	t _{su} (dV-clkH)	セットアップ時間、入力データ GPMC_AD[15:0] 有効から出力ク ロック GPMC_CLK high まで	div_by_1_mode;	1.81		1.11		ns
			not_div_by_1_mode;	1.06			ns	
F13	t _h (clkH-dV)	ホールド時間、出力クロック GPMC_CLK high から入力データ GPMC_AD[15:0] 有効の間	div_by_1_mode;	1.78		2.28		ns
			not_div_by_1_mode;	1.78			ns	
F21	t _{su} (waitV-clkH)	セットアップ時間、入力待機 GPMC_WAIT[j] 有効から出力ク ロック GPMC_CLK High まで ⁽¹⁾	div_by_1_mode;	1.81		1.11		ns
			not_div_by_1_mode;	1.06			ns	
F22	t _h (clkH-waitV)	ホールド時間、出力クロック GPMC_CLK high 後の入力待機 GPMC_WAIT[j] 有効 ⁽¹⁾	div_by_1_mode;	1.78		2.28		ns
			not_div_by_1_mode;	1.78			ns	

(1) GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

(2) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカルリファレンスマニュアルで「汎用メモリコントローラ (GPMC)」セクションを参照してください。

(3) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 1h~3h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数 / (2~4)

(4) 100 MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3

133MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.12.1.2 GPMC および NOR フラッシュのスイッチング特性 - 同期モード

番号 ⁽²⁾	パラメータ	説明	モード ⁽¹⁹⁾	最小値	最大値	最小値	最大値	単位
				100 MHz ⁽²⁰⁾		133 MHz ⁽²⁰⁾		
F0	t _c (clk)	周期、出力クロック GPMC_CLK ⁽¹⁸⁾	div_by_1_mode;	10		7.52		ns
F1	t _w (clkH)	標準パルス幅、出力クロック GPMC_CLK High	div_by_1_mode	0.475*P ⁽¹⁵⁾ -0.3		0.475*P ⁽¹⁵⁾ -0.3		ns
F1	t _w (clkL)	標準パルス幅、出力クロック GPMC_CLK Low	div_by_1_mode	0.475*P ⁽¹⁵⁾ -0.3		0.475*P ⁽¹⁵⁾ -0.3		ns
F2	t _d (clkH-csnV)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 遷移まで ⁽¹⁴⁾	div_by_1_mode no extra_delay なし	F ⁽⁶⁾ -2.2	F+3.75	F ⁽⁶⁾ -2.2	F ⁽⁶⁾ +3.75	ns
F3	t _d (clkH-CSn[i]V)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 無効まで ⁽¹⁴⁾	div_by_1_mode no extra_delay なし	E ⁽⁵⁾ -2.2	E ⁽⁵⁾ +3.75	E ⁽⁵⁾ -2.2	E ⁽⁵⁾ +3.75	ns

番号 (2)	パラメータ	説明	モード ⁽¹⁹⁾	最小値	最大値	最小値	最大値	単位
				100 MHz ⁽²⁰⁾		133 MHz ⁽²⁰⁾		
F4	t _{d(aV-clk)}	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode	B ⁽²⁾ -2.3	B ⁽²⁾ +4.5	B ⁽²⁾ -2.3	B ⁽²⁾ +4.5	ns
F5	t _{d(clkH-aIV)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで	div_by_1_mode;	-2.3	4.5	-2.3	4.5	ns
F6	t _{d(be[x]nV-clk)}	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode	B ⁽²⁾ -2.3	B ⁽²⁾ +1.9	B ⁽²⁾ -2.3	B ⁽²⁾ +1.9	ns
F7	t _{d(clkH-be[x]nIV)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで ⁽¹¹⁾	div_by_1_mode	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	ns
F7	t _{d(clkL-be[x]nIV)}	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで ⁽¹²⁾	div_by_1_mode	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	ns
F7	t _{d(clkL-be[x]nIV)}	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで ⁽¹³⁾	div_by_1_mode	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	ns
F8	t _{d(clkH-advn)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 遷移まで	div_by_1_mode no extra_delay なし	G ⁽⁷⁾ -2.3	G ⁽⁷⁾ +4.5	G ⁽⁷⁾ -2.3	G ⁽⁷⁾ +4.5	ns
F9	t _{d(clkH-advnIV)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode; extra_delay なし	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +4.5	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +4.5	ns
F10	t _{d(clkH-oen)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで	div_by_1_mode no extra_delay なし	H ⁽⁸⁾ -2.3	H ⁽⁸⁾ +3.5	H ⁽⁸⁾ -2.3	H ⁽⁸⁾ +3.5	ns
F11	t _{d(clkH-oenIV)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで	div_by_1_mode no extra_delay なし	E ⁽⁸⁾ -2.3	E ⁽⁸⁾ +3.5	E ⁽⁸⁾ -2.3	E ⁽⁸⁾ + 3.5	ns
F14	t _{d(clkH-wen)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで	div_by_1_mode no extra_delay なし	I ⁽⁹⁾ - 2.3	I ⁽⁹⁾ +4.5	I ⁽⁹⁾ - 2.3	I ⁽⁹⁾ +4.5	ns
F15	t _{d(clkH-do)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[15:0] 遷移まで ⁽¹¹⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F15	t _{d(clkL-do)}	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹²⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F15	t _{d(clkL-do)}	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹³⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F17	t _{d(clkH-be[x]n)}	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 遷移まで ⁽¹¹⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns
F17	t _{d(clkL-be[x]n)}	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで ⁽¹²⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns

番号 (2)	パラメータ	説明	モード ⁽¹⁹⁾	最小値	最大値	最小値	最大値	単位
				100 MHz ⁽²⁰⁾		133 MHz ⁽²⁰⁾		
F17	t _{d(clkL-be[x]n)}	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで ⁽¹³⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns
F18	t _{w(csnV)}	パルス幅、出力チップ セレクト GPMC_CS[n] low ⁽¹⁴⁾	読み出し	A ⁽¹⁾		A ⁽¹⁾		ns
			書き込み	A ⁽¹⁾		A ⁽¹⁾		ns
F19	t _{w(be[x]nV)}	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low	読み出し	C ⁽³⁾		C ⁽³⁾		ns
			書き込み	C ⁽³⁾		C ⁽³⁾		ns
F20	t _{w(advnV)}	パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low	読み出し	K ⁽¹⁶⁾		K ⁽¹⁶⁾		ns
			書き込み	K ⁽¹⁶⁾		K ⁽¹⁶⁾		ns

- (1) 単一読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 n はページバースト アクセス数。
- (2) $B = \text{ClkActivationTime} \times \text{GPMC_FCLK}^{(17)}$
- (3) 単一読み取りの場合: $C = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $C = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $C = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 n はページバースト アクセス数。
- (4) 単一読み取りの場合: $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $D = (\text{WrCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
- (5) 単一読み取りの場合: $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト読み取りの場合: $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
 バースト書き込みの場合: $E = (\text{CSWrOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$
- (6) csn 立ち下がりエッジ (CS がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $f = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((CSOnTime - ClkActivationTime) が 3 の倍数)
 - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)
- (7) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数)
- 読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:

- $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数)
- (8) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((OEOnTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((OEOffTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOffTime - ClkActivationTime - 2) が 3 の倍数)
- (9) WE 立ち下がりエッジ (WE がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:

- $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOnTime} - \text{ClkActivationTime})$ が 3 の倍数)
- $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOnTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
- $I = (2 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOnTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $(\text{ClkActivationTime}$ および WEOffTime が奇数) or $(\text{ClkActivationTime}$ および WEOffTime が偶数)
 - $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOffTime} - \text{ClkActivationTime})$ が 3 の倍数)
 - $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOffTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
 - $I = (2 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOffTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

(10) $J = \text{GPMC_FCLK}^{(17)}$

(11) 最初の転送は、CLK DIV 1 モードのみです。

(12) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。

(13) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLKOUT の半サイクルです。GPMC_FCLK から GPMC_CLKOUT を分周します。

(14) GPMC_CS*n*[*j*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[*j*] で、*j* は 0、1、2、または 3 です。

(15) $P = \text{GPMC_CLK}$ 周期 (ns 単位)

(16) 読み出しの場合: $K = (\text{ADVrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$

書き込みの場合: $K = (\text{ADVWrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$

(17) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。

(18) GPMC モジュールで、GPMC_CONFIG1_*i* 構成レジスタのビット フィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC_CLK 出力クロックの最高および最低周波数に関連します。

(19) div_by_1_mode の場合:

- GPMC_CONFIG1_*i* レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数

extra_delay なしの場合:

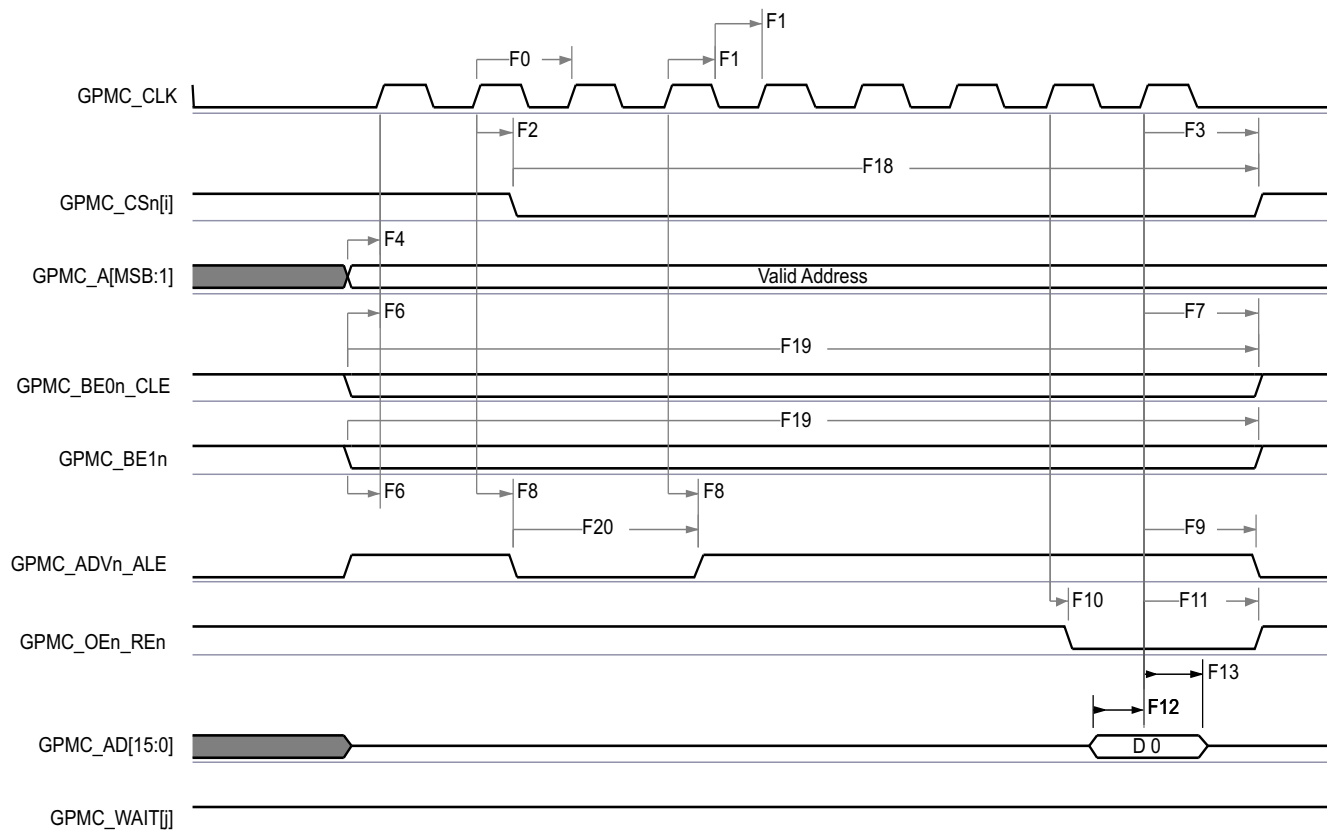
- GPMC_CONFIG2_*i* レジスタ: CSEXTRADELAY = 0h = CS*n* タイミング制御信号は遅延しない
- GPMC_CONFIG4_*i* レジスタ: WEEXTRADELAY = 0h = nWE タイミング制御信号は遅延しない
- GPMC_CONFIG4_*i* レジスタ: OEEXTRADELAY = 0h = nOE タイミング制御信号は遅延しない
- GPMC_CONFIG3_*i* レジスタ: ADVEXTRADELAY = 0h = nADV タイミング制御信号は遅延しない

(20) 100 MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3

133MHz の場合:

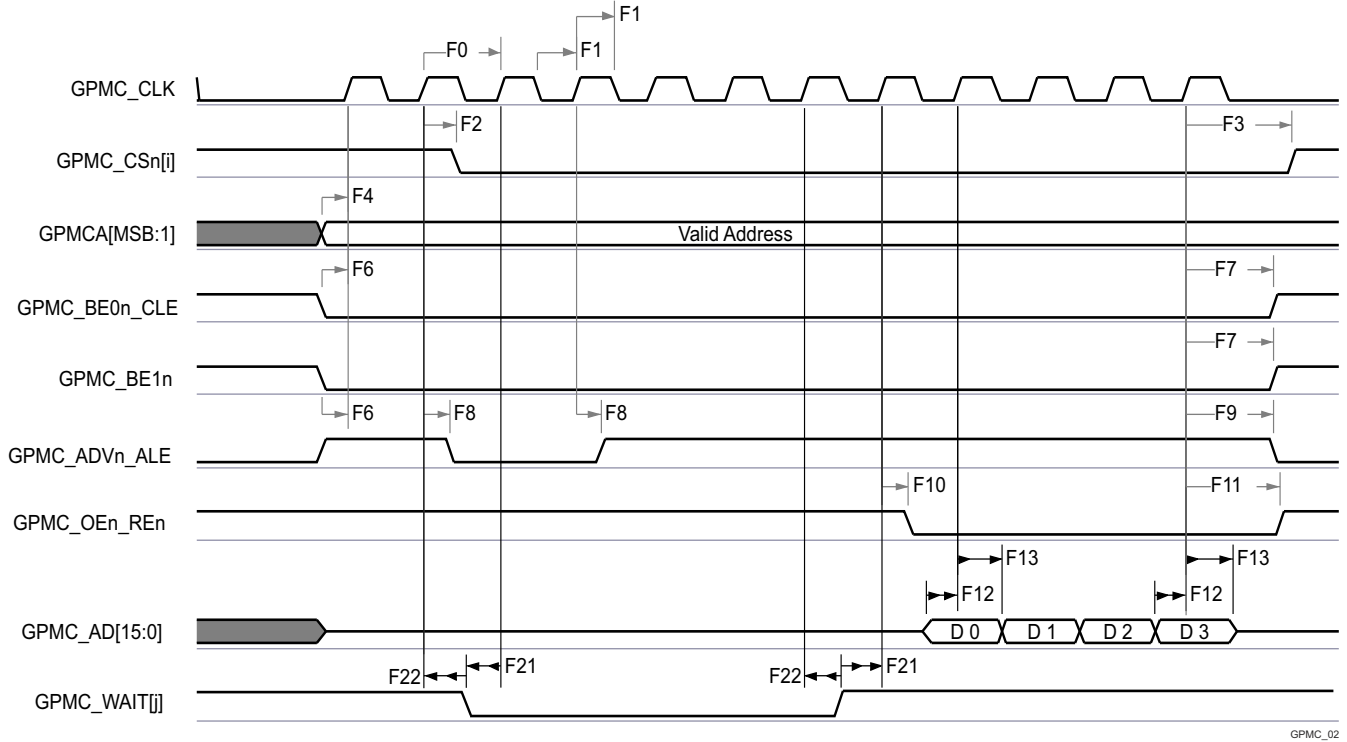
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



GPMC_01

- A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

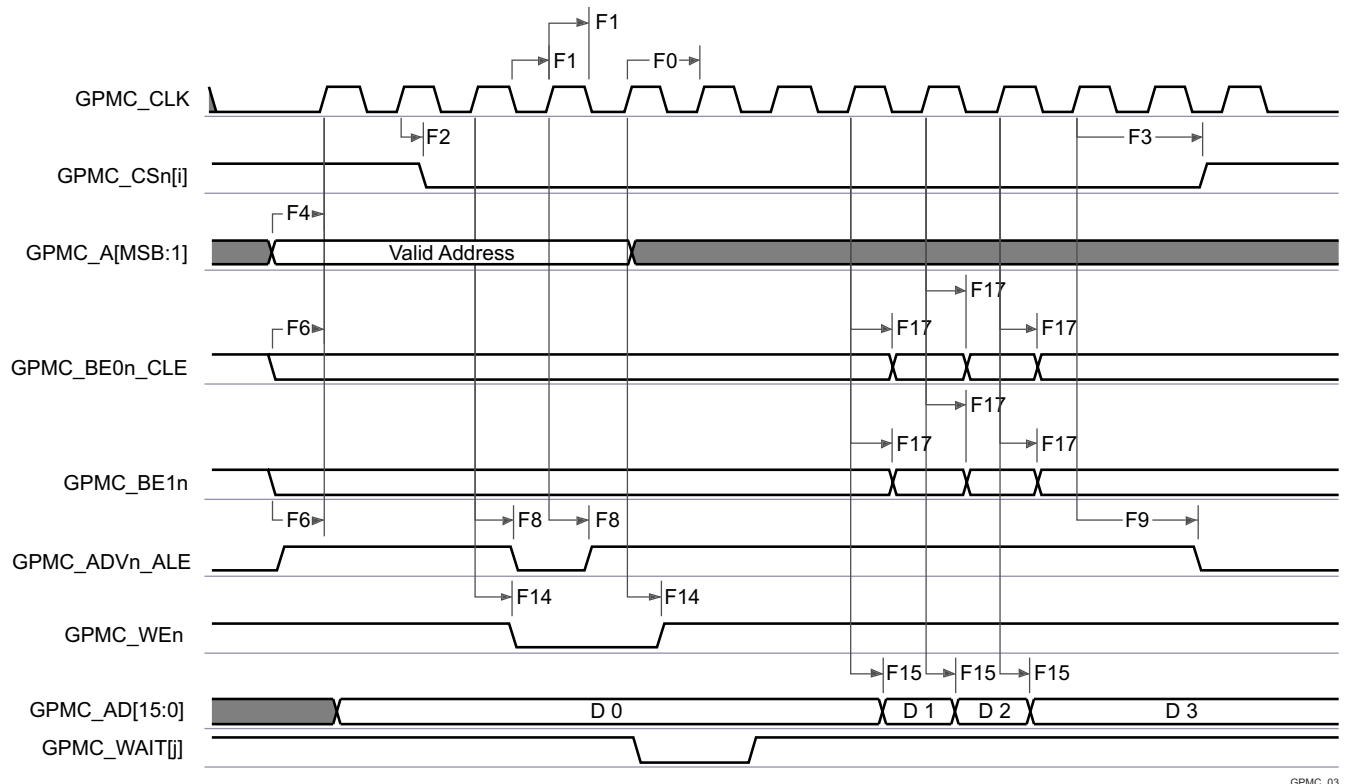
図 6-65. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



GPMC_02

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-66. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

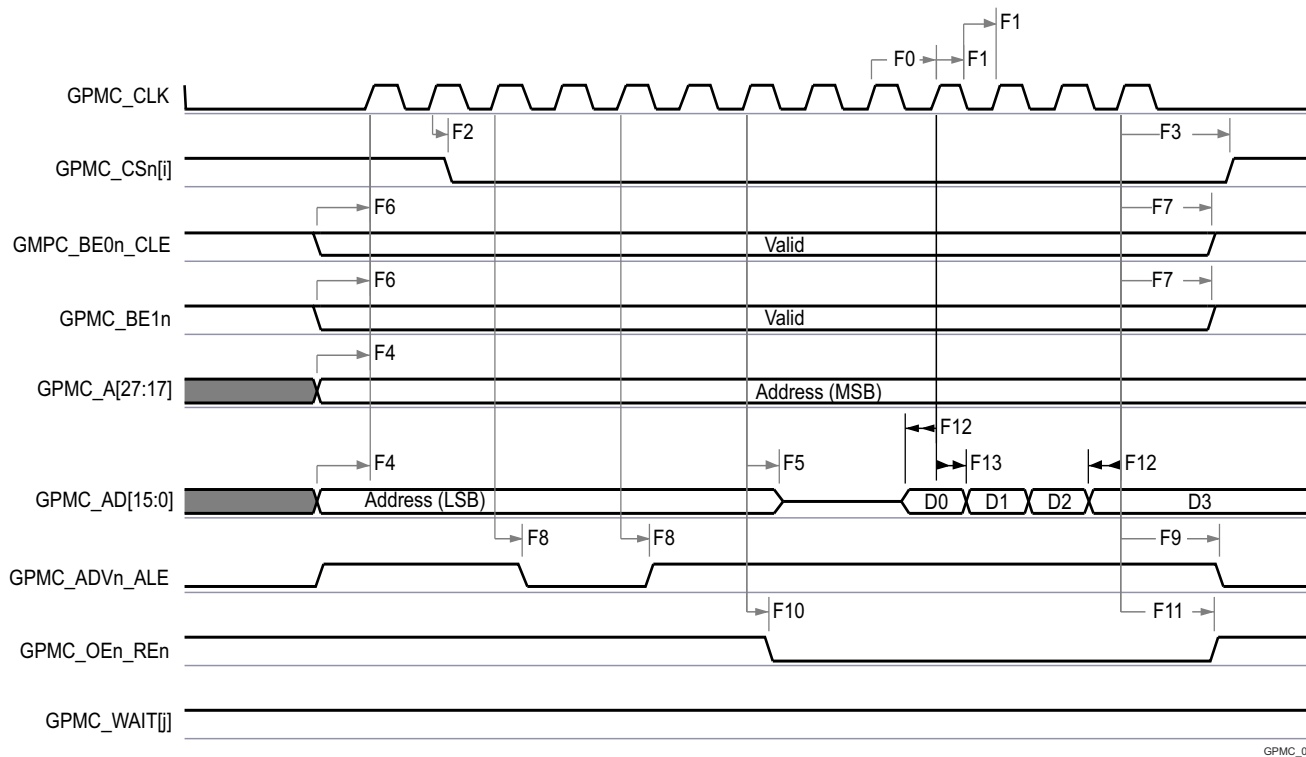


GPMC_03

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

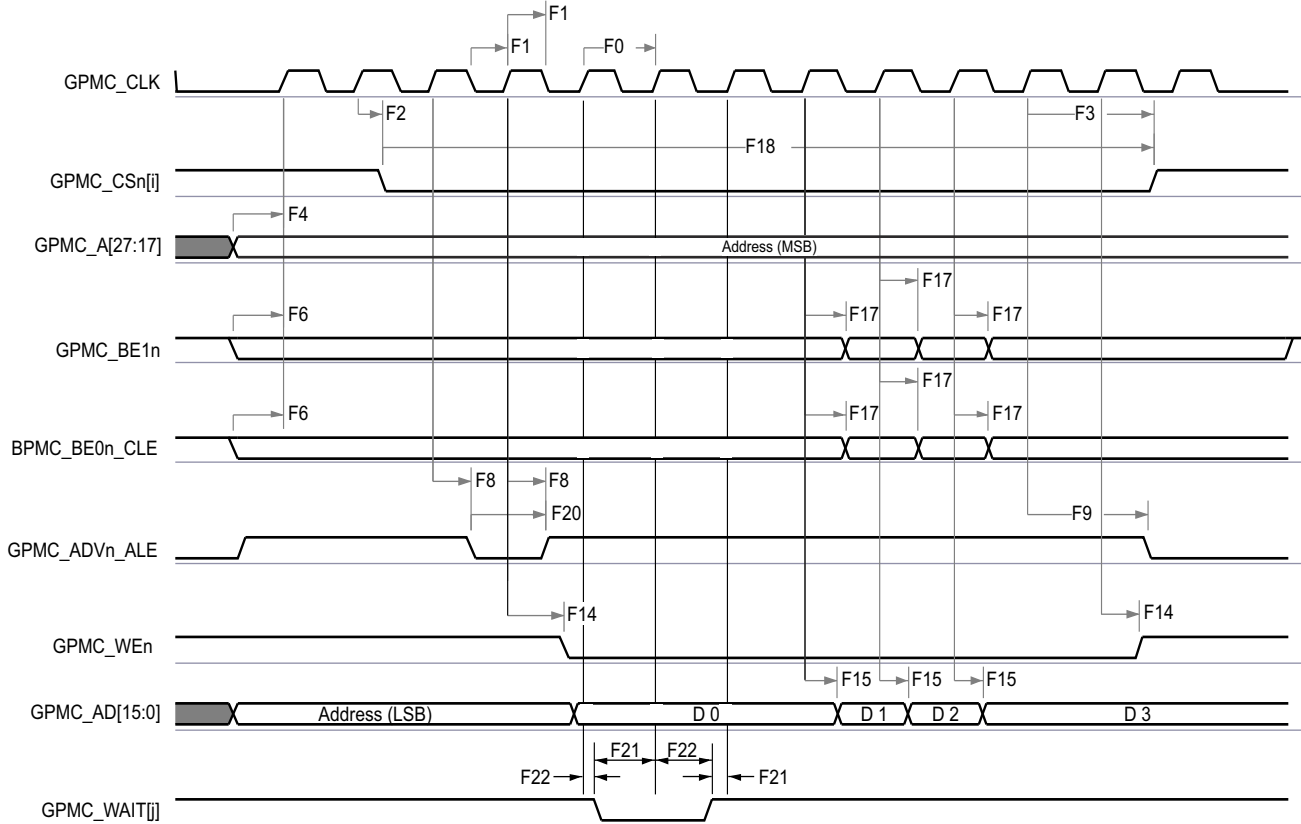
図 6-67. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



GPMC_04

- A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-68. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC_05

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-69. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.10.5.12.2 GPMC および NOR フラッシュ — 非同期モード

セクション 6.10.5.12.2.1 および セクション 6.10.5.12.2.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-70 ~ 図 6-75 を参照)。

6.10.5.12.2.1 GPMC および NOR フラッシュのタイミング要件 – 非同期モード

番号		モード ⁽⁷⁾	最小値	最大値	単位
FA5 ⁽¹⁾	t _{acc(d)}	データ アクセス時間	div_by_1_mode	H ⁽⁵⁾	ns
FA20 ⁽²⁾	t _{acc1-pgmode(d)}	ページ モードの連続データ アクセス時間	div_by_1_mode	P ⁽⁴⁾	ns
FA21 ⁽³⁾	t _{acc2-pgmode(d)}	ページ モードの最初のデータ アクセス時間	div_by_1_mode	H ⁽⁵⁾	ns

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (6) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (7) div_by_1_mode の場合:

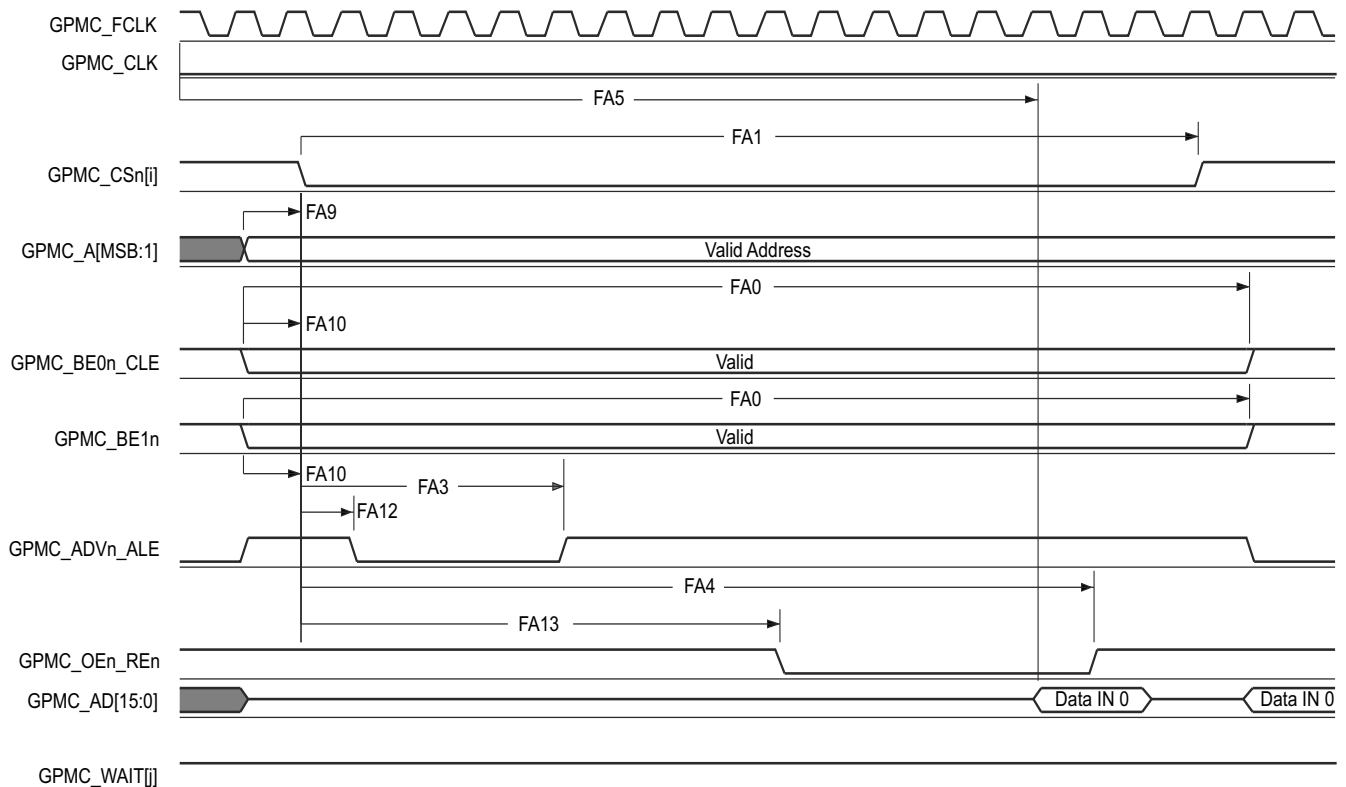
- GPMC_CONFIG1_j レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数

6.10.5.12.2.2 GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

番号	パラメータ	説明	モード ⁽¹⁵⁾	最小値	最大値	単位
				133MHz ⁽¹⁶⁾		
FA0	t _w (be[x]nV)	パルス幅、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間	読み出し		N ⁽¹²⁾	ns
			書き込み		N ⁽¹²⁾	
FA1	t _w (csnV)	パルス幅、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ low	読み出し		A ⁽¹⁾	ns
			書き込み		A ⁽¹⁾	
FA3	t _d (csnV-advnIV)	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADVn_ALE 無効まで	読み出し	B ⁽²⁾ -2.55	B ⁽²⁾ +2.65	ns
			書き込み	B ⁽²⁾ -2.55	B ⁽²⁾ +2.65	
FA4	t _d (csnV-oenIV)	遅延時間、出力チップセレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_REn 無効まで (単一読み取り)	div_by_1_mode;	C ⁽³⁾ -2.55	C ⁽³⁾ +2.65	ns
FA9	t _d (aV-csnV)	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効まで	div_by_1_mode;	J ⁽⁹⁾ -2.55	J ⁽⁹⁾ +2.65	ns
FA10	t _d (be[x]nV-csnV)	遅延時間、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ まで	div_by_1_mode;	J ⁽⁹⁾ -2.55	J ⁽⁹⁾ +2.65	ns
FA12	t _d (csnV-advnV)	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力アドレス有効、アドレスラッチ イネーブル GPMC_ADVn_ALE 有効まで	div_by_1_mode;	K ⁽¹⁰⁾ -2.55	K ⁽¹⁰⁾ +2.65	ns
FA13	t _d (csnV-oenV)	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode;	L ⁽¹¹⁾ -2.55	L ⁽¹¹⁾ +2.65	ns
FA16	t _w (aIV)	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	div_by_1_mode;	G ⁽⁷⁾		ns
FA18	t _d (csnV-oenIV)	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_REn 無効まで (バースト読み取り)	div_by_1_mode;	I ⁽⁸⁾ -2.55	I ⁽⁸⁾ +2.65	ns
FA20	t _w (aV)	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	div_by_1_mode;	D ⁽⁴⁾		ns
FA25	t _d (csnV-wenV)	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode;	E ⁽⁶⁾ -2.55	E ⁽⁶⁾ +2.65	ns
FA27	t _d (csnV-wenIV)	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 無効まで	div_by_1_mode;	F ⁽⁶⁾ -2.55	F ⁽⁶⁾ +2.65	ns
FA28	t _d (wenV-dV)	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで	div_by_1_mode;		2.65	ns
FA29	t _d (dV-csnV)	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効まで	div_by_1_mode;	J ⁽⁹⁾ -2.55	J ⁽⁹⁾ +2.65	ns
FA37	t _d (oenV-aIV)	遅延時間、出力イネーブル GPMC_OEn_REn 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで	div_by_1_mode;		2.65	ns

- (1) 単一読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
 単一書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
 バースト読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$
 バースト書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$

- n はページ バースト アクセス数
- (2) 読み取りの場合: $B = ((ADVrdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
書き込みの場合: $B = ((ADVWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (5) $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
- (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
- (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (12) 単一読み取りの場合: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
単一書き込みの場合: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
バースト読み取りの場合: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
バースト書き込みの場合: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
- (14) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。
- (15) div_by_1_mode の場合:
- GPMC_CONFIG1_*i* レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
- (16) 133MHz の場合:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

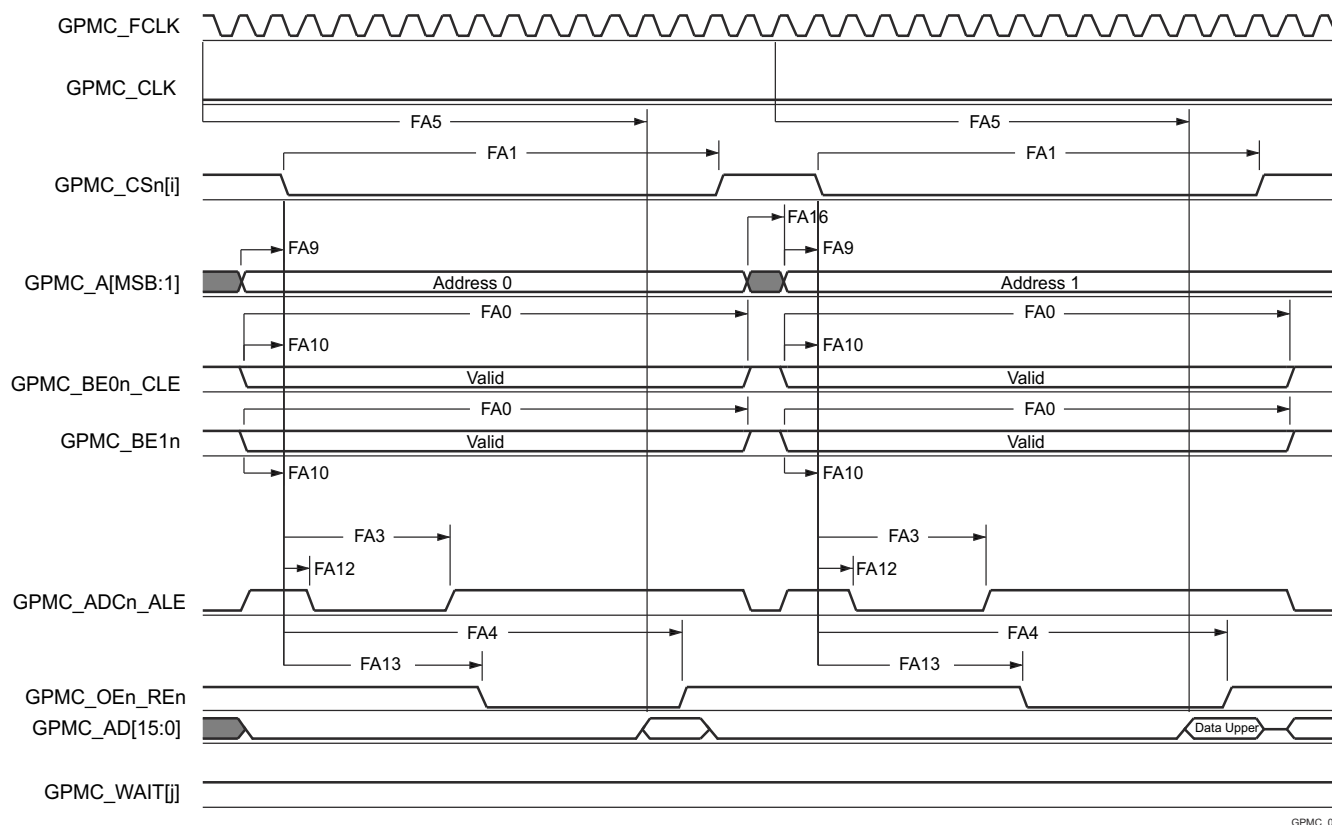


GPMC_06

- A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC_WAIT[j] で、*j* は 0、1、2、または 3 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

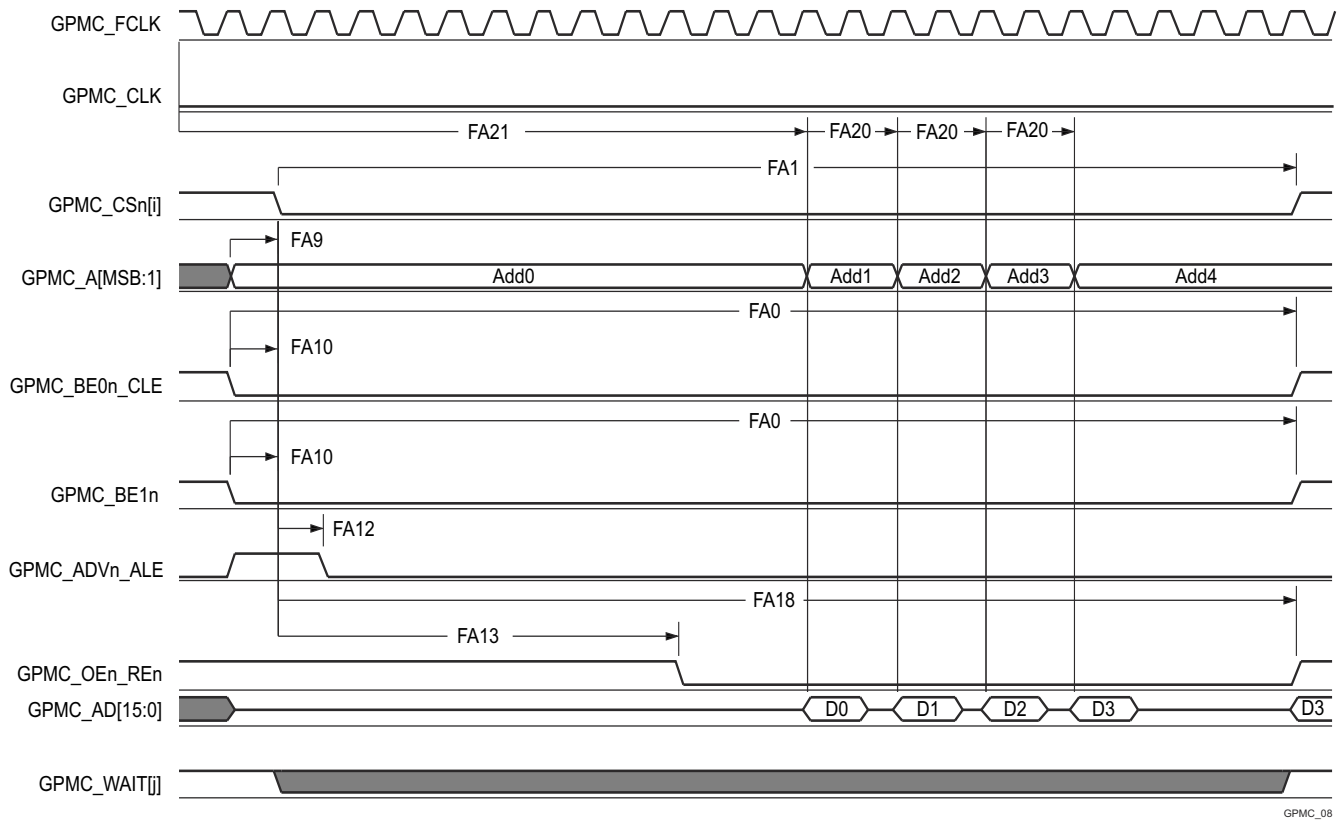
図 6-70. GPMC および NOR フラッシュ — 非同期読み取り — シングルワード



GPMC_07

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

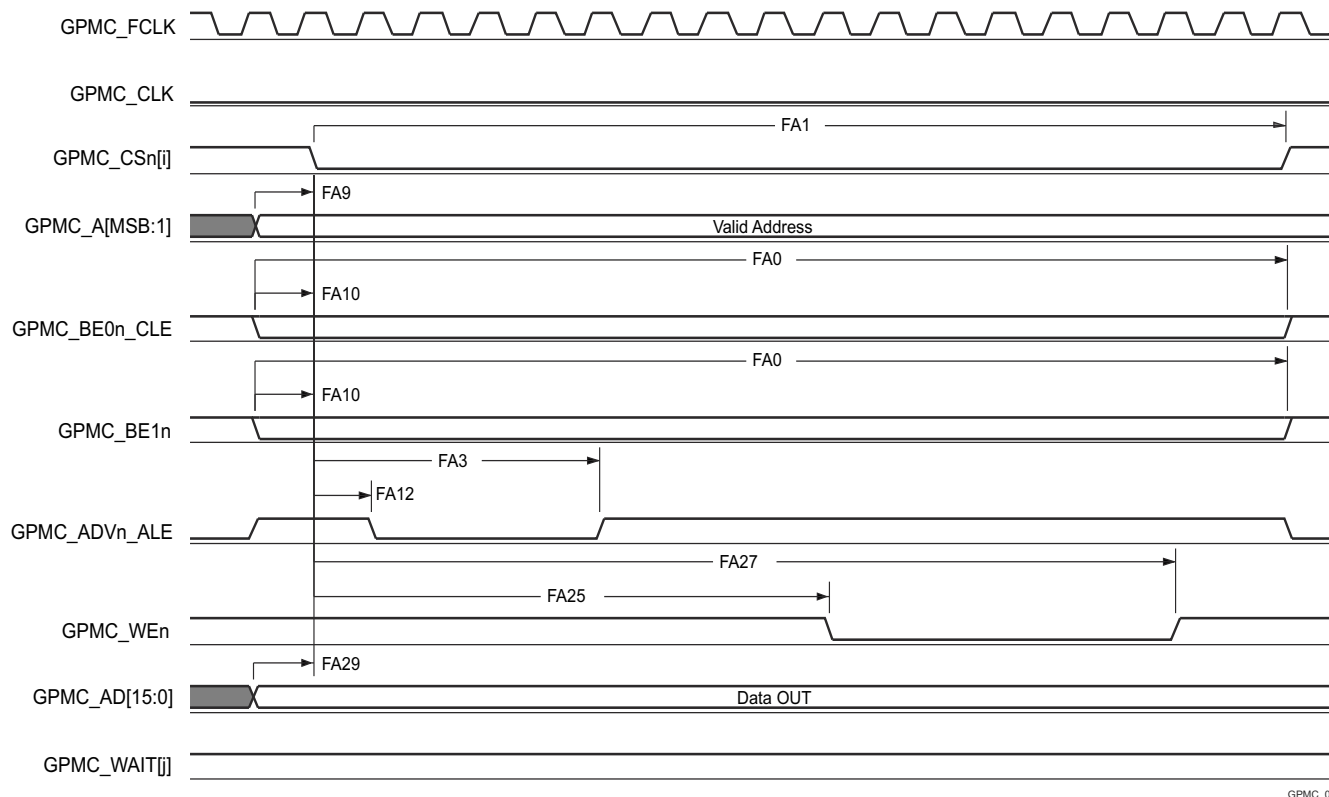
図 6-71. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



GPMC_08

- GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

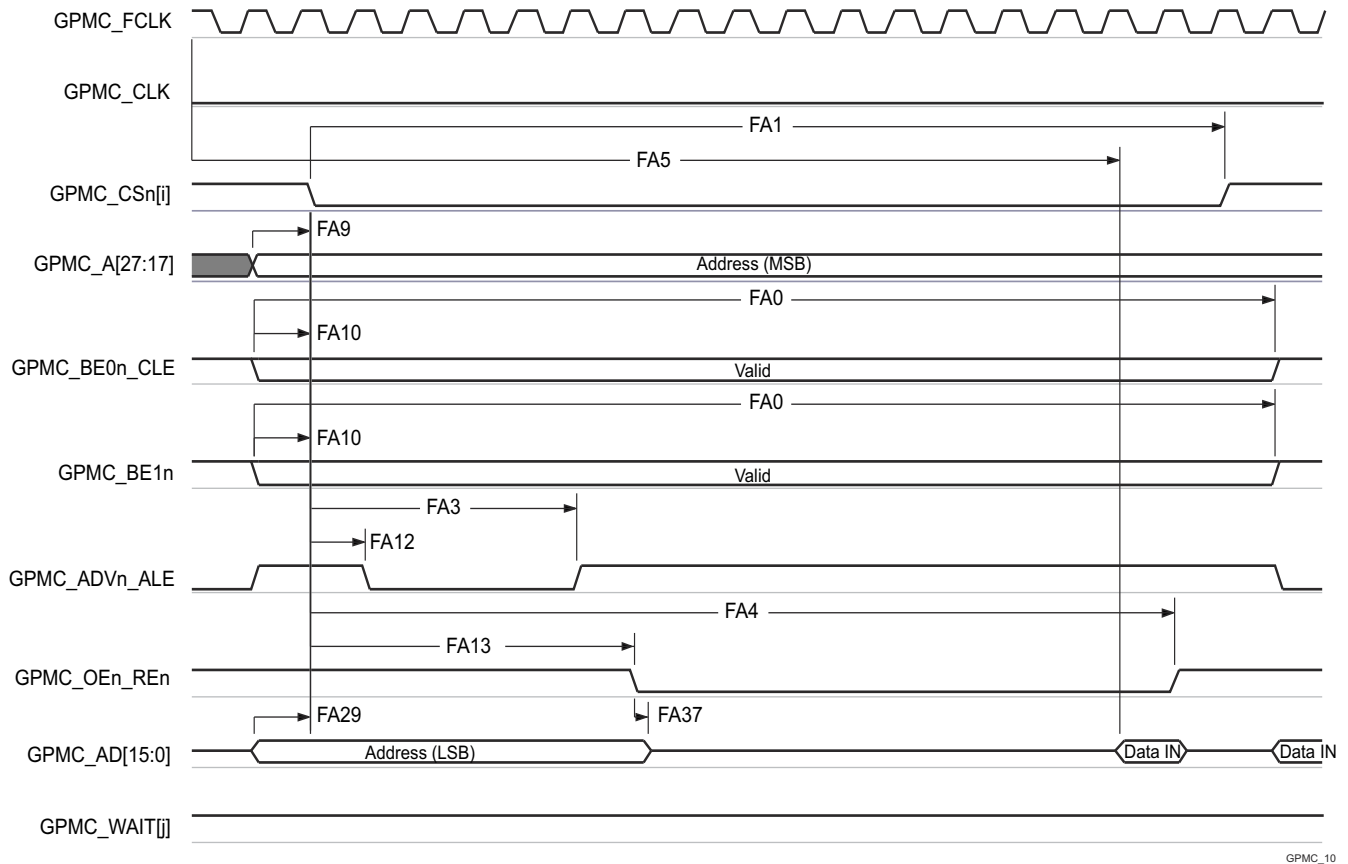
図 6-72. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC_09

A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

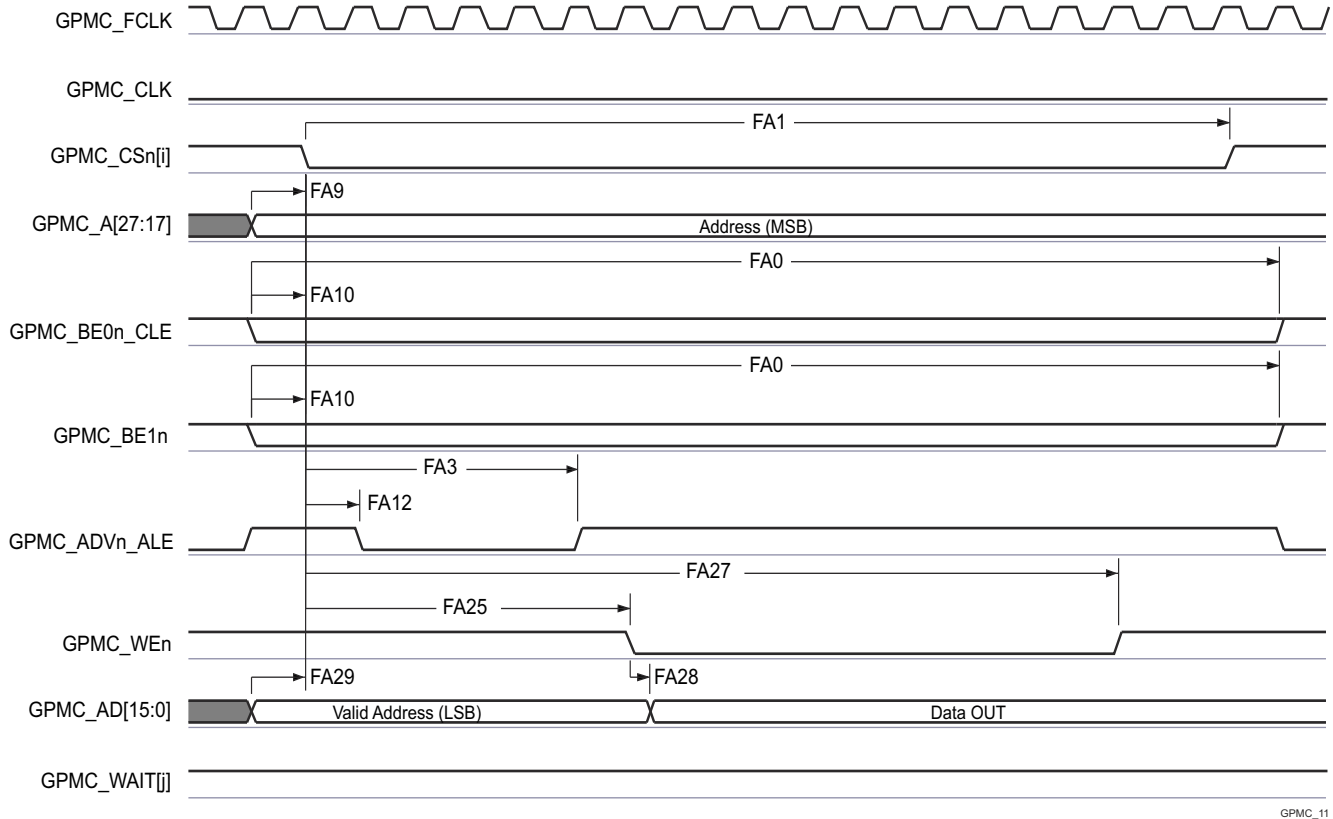
図 6-73. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード



GPMC_10

- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビットフィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-74. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングルワード



GPMC_11

A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-75. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングルワード

6.10.5.12.3 GPMC および NAND フラッシュ – 非同期モード

セクション 6.10.5.12.3.1 および セクション 6.10.5.12.3.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-76 ~ 図 6-79 を参照)。

6.10.5.12.3.1 GPMC および NAND フラッシュのタイミング要件 – 非同期モード

番号	パラメータ	モード ⁽⁴⁾	最小値	最大値	単位
			133MHz ⁽⁵⁾		
GNF12 ⁽¹⁾	$t_{acc(d)}$ アクセス時間、入力データ GPMC_AD[15:0] ⁽³⁾ div_by_1_mode;		J ⁽²⁾		ns

- (1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビットフィールドに保存する必要があります。
- (2) $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(3)}$
- (3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (4) div_by_1_mode の場合:
 - GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
- (5) 133MHz の場合:
 - CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.12.3.2 GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

番号	パラメータ		モード ⁽¹⁵⁾	最小値	最大値	単位
				133MHz ⁽¹⁶⁾		
GNF0	$t_{w(wenV)}$	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	div_by_1_mode;	A ⁽¹⁾		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode;	B ⁽²⁾ -2.55	B ⁽²⁾ +2.65	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode;	C ⁽³⁾ -2.55	C ⁽³⁾ +2.65	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode;	D ⁽⁴⁾ -2.55	D ⁽⁴⁾ +2.65	ns
GNF4	$t_{w(wenV-dIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	div_by_1_mode;	E ⁽⁵⁾ -2.55	E ⁽⁵⁾ +2.65	ns
GNF5	$t_{w(wenV-cleV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 無効まで	div_by_1_mode;	F ⁽⁶⁾ -2.55	F ⁽⁶⁾ +2.65	ns
GNF6	$t_{w(wenV-CSn[j]V)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 無効まで	div_by_1_mode;	G ⁽⁷⁾ -2.55	G ⁽⁷⁾ +2.65	ns
GNF7	$t_{w(aleH-wenV)}$	遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode;	C ⁽³⁾ -2.55 C ⁽³⁾ +2.65		ns
GNF8	$t_{w(wenV-aleV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode;	F ⁽⁶⁾ -2.55	F ⁽⁶⁾ +2.65	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み	div_by_1_mode;	H ⁽⁸⁾		ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[j] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode;	I ⁽⁹⁾ -2.55	I ⁽⁹⁾ +2.65	ns
GNF13	$t_{w(oenV)}$	パルス幅、出力イネーブル GPMC_OEn_REn 有効	div_by_1_mode;	K ⁽¹⁰⁾		ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	div_by_1_mode;	L ⁽¹¹⁾		ns

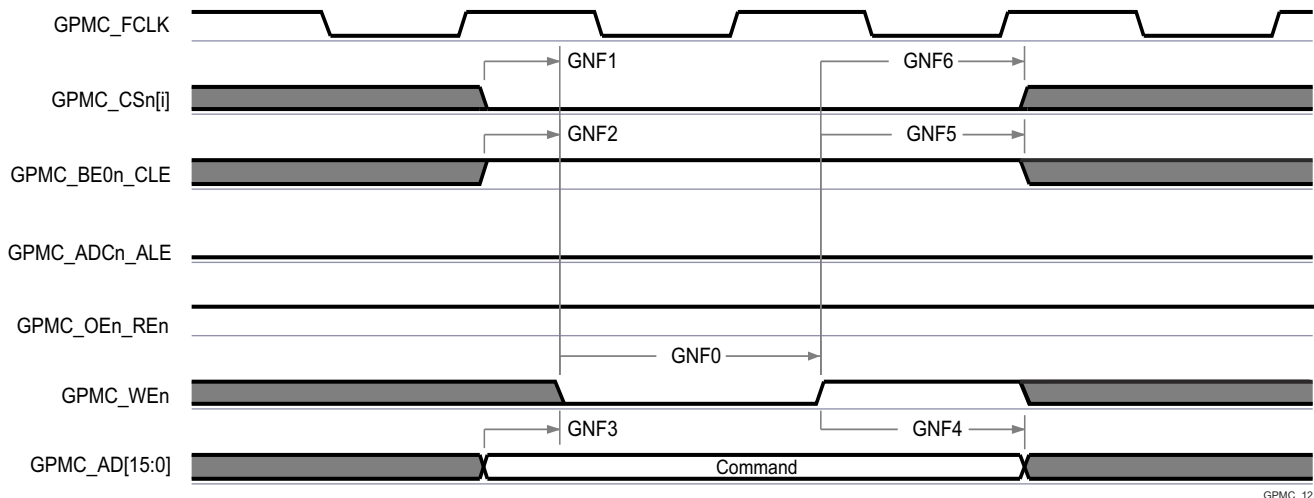
番号	パラメータ		モード ⁽¹⁵⁾	最小値	最大値	単位
				133MHz ⁽¹⁶⁾		
GNF15	$t_{w(oenIV-CSn[i]V)}$	遅延時間、出力イネーブル GPMC_OEn_REn 無効から出力チップ セレクト GPMC_CSn[i] ⁽¹³⁾ 無効まで	div_by_1_mode;	M ⁽¹²⁾ -2.55	M ⁽¹²⁾ +2.65	ns

- (1) $A = (WEOffTime - WEOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
(2) $B = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
(3) $C = ((WEOnTime - ADVOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - ADVExtraDelay)) \times GPMC_FCLK^{(14)}$
(4) $D = (WEOnTime \times (TimeParaGranularity + 1) + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
(5) $E = ((WrCycleTime - WEOffTime) \times (TimeParaGranularity + 1) - 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
(6) $F = ((ADVWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
(7) $G = ((CSWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
(8) $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
(9) $I = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
(10) $K = (OEOffTime - OEOnTime) \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
(11) $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
(12) $M = ((CSRdOffTime - OEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - OEEExtraDelay)) \times GPMC_FCLK^{(14)}$
(13) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
(14) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。
(15) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
– GPMC_CLK 周波数 = GPMC_FCLK 周波数

- (16) 133MHz の場合:

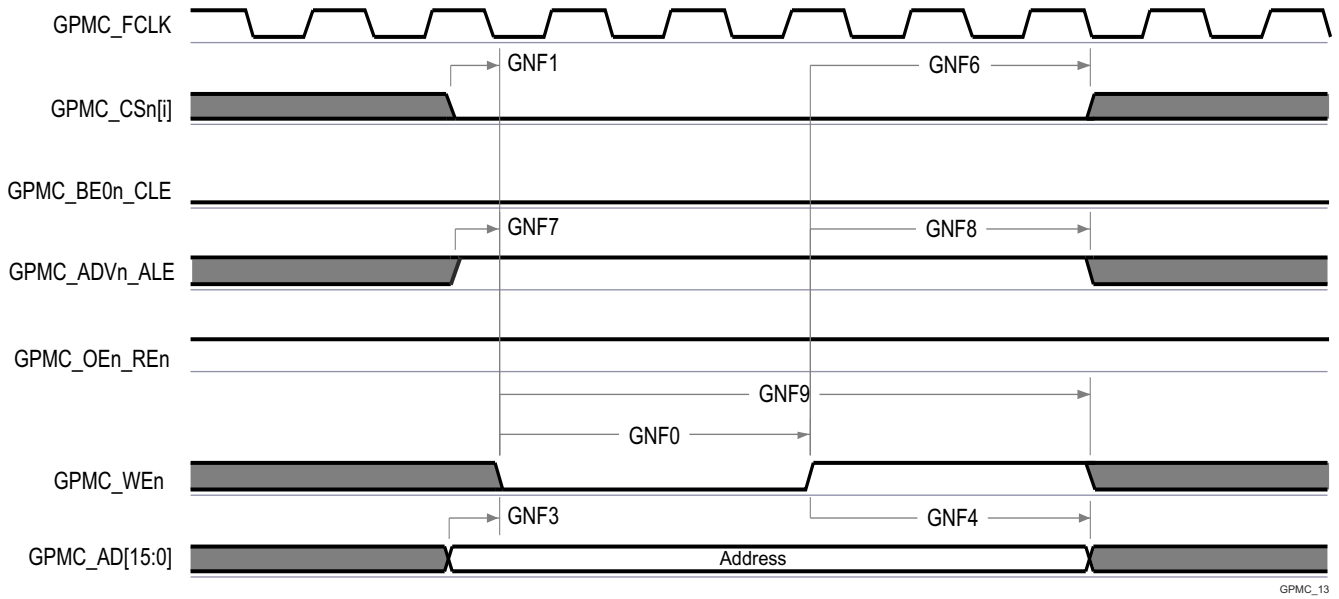
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



GPMC_12

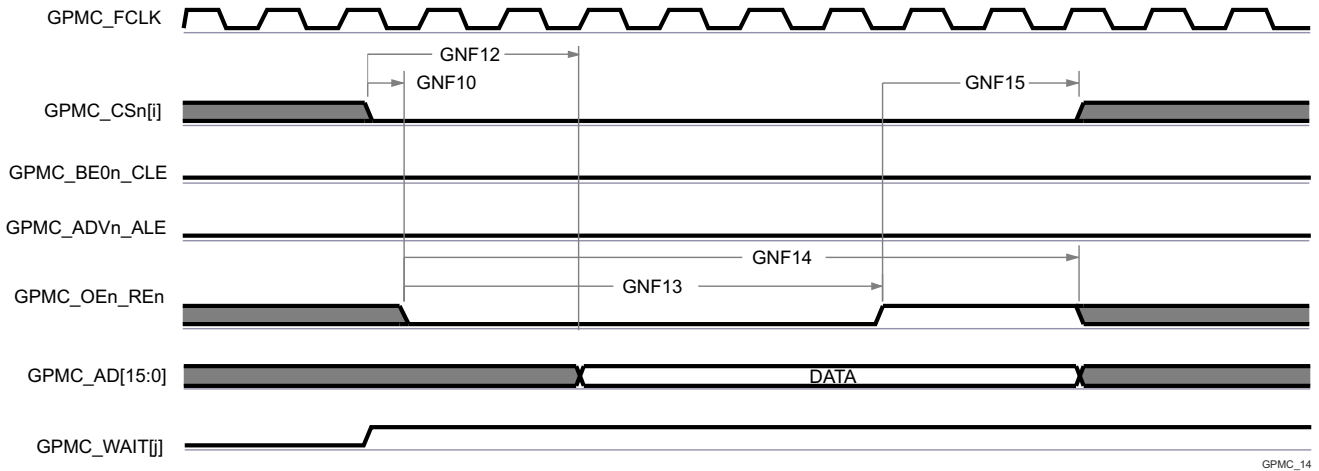
- A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-76. GPMC および NAND フラッシュ – コマンド ラッチ サイクル



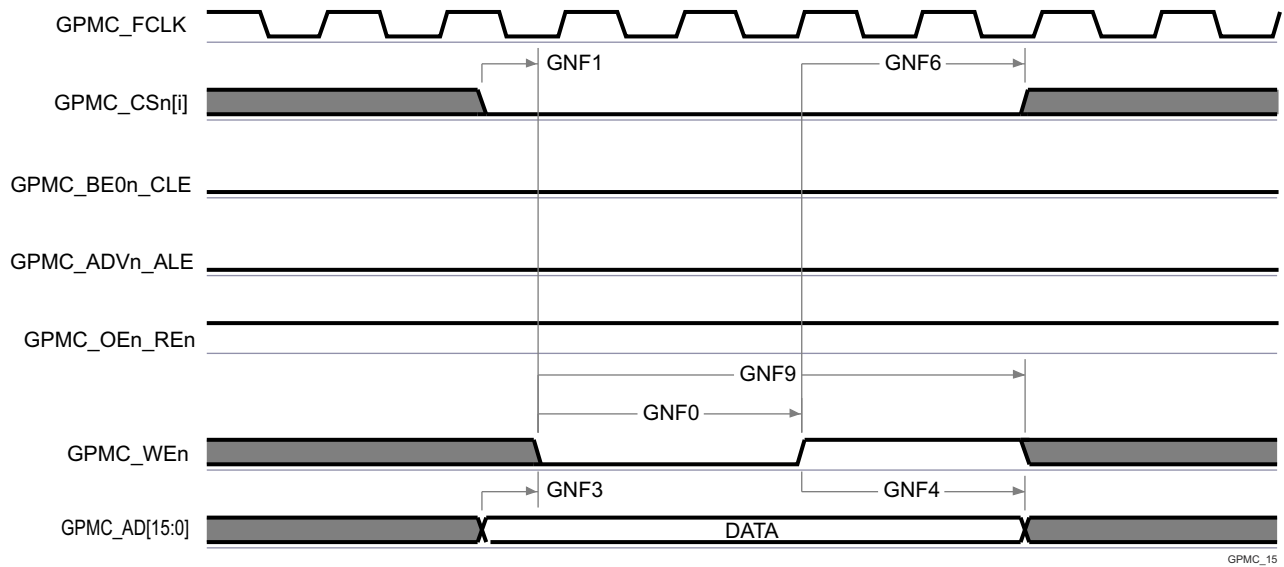
A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

図 6-77. GPMC および NAND フラッシュ – アドレス ラッチ サイクル



- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタビット フィールド内に格納する必要があります。
- B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-78. GPMC および NAND フラッシュ – データ読み取りサイクル



A. In GPMC_CS[n] で、i は 0、1、2、または 3 です。

図 6-79. GPMC および NAND フラッシュ — データ書き込みサイクル

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.10.5.12.4 GPMC0 IOSET

表 6-61 に、GPMC0 で使用する信号の具体的なグループ (IOSET) を示します。

表 6-61. GPMC0 IOSET

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
GPMC0_WAIT2	MDIO0_MDC	8	MDIO0_MDC	8
GPMC0_BE1n	PRG1_PRU0_GPO0	8	RGMI16_RD1	8
GPMC0_WAIT0	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8
GPMC0_WAIT1	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_DIR	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_CS2n	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_WEn	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_CS3n	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_OEn_REn	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_ADVn_ALE	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_BE0n_CLE	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8
GPMC0_WPn	PRG1_PRU1_GPO5	8	PRG1_PRU1_GPO5	8
GPMC0_CS1n	PRG1_PRU1_GPO8	8	PRG1_PRU1_GPO8	8
GPMC0_CS0n	PRG1_PRU1_GPO9	8	PRG1_PRU1_GPO9	8
GPMC0_CLKOUT	PRG1_PRU1_GPO10	8	PRG1_PRU1_GPO10	8
GPMC0_AD0	PRG0_PRU0_GPO5	8	PRG0_PRU0_GPO5	8
GPMC0_AD1	PRG0_PRU0_GPO7	8	PRG0_PRU0_GPO7	8
GPMC0_AD2	PRG0_PRU0_GPO8	8	PRG0_PRU0_GPO8	8
GPMC0_AD3	PRG0_PRU0_GPO9	8	PRG0_PRU0_GPO9	8
GPMC0_AD4	PRG0_PRU0_GPO10	8	PRG0_PRU0_GPO10	8

表 6-61. GPMC0 IOSET (続き)

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
GPMC0_AD5	PRG0_PRU0_GPO17	8	PRG0_PRU0_GPO17	8
GPMC0_AD6	PRG0_PRU0_GPO18	8	PRG0_PRU0_GPO18	8
GPMC0_AD7	PRG0_PRU0_GPO19	8	PRG0_PRU0_GPO19	8
GPMC0_AD8	PRG0_PRU1_GPO5	8	PRG0_PRU1_GPO5	8
GPMC0_AD9	PRG0_PRU1_GPO7	8	PRG0_PRU1_GPO7	8
GPMC0_AD10	PRG0_PRU1_GPO8	8	PRG0_PRU1_GPO8	8
GPMC0_AD11	PRG0_PRU1_GPO9	8	PRG0_PRU1_GPO9	8
GPMC0_AD12	PRG0_PRU1_GPO10	8	PRG0_PRU1_GPO10	8
GPMC0_AD13	PRG0_PRU1_GPO17	8	PRG0_PRU1_GPO17	8
GPMC0_AD14	PRG0_PRU1_GPO18	8	PRG0_PRU1_GPO18	8
GPMC0_AD15	PRG0_PRU1_GPO19	8	PRG0_PRU1_GPO19	8
GPMC0_A0	PRG0_MDIO0_MDC	8	PRG0_MDIO0_MDC	8
GPMC0_A1	RGMII5_TX_CTL	8	RGMII5_TX_CTL	8
GPMC0_A2	RGMII5_RX_CTL	8	RGMII5_RX_CTL	8
GPMC0_A3	RGMII5_TD3	8	RGMII5_TD3	8
GPMC0_A4	RGMII5_TD2	8	RGMII5_TD2	8
GPMC0_A5	RGMII5_TD1	8	RGMII5_TD1	8
GPMC0_A6	RGMII5_TD0	8	RGMII5_TD0	8
GPMC0_A7	RGMII5_TXC	8	RGMII5_TXC	8
GPMC0_A8	RGMII5_RXC	8	RGMII5_RXC	8
GPMC0_A9	RGMII5_RD3	8	RGMII5_RD3	8
GPMC0_A10	RGMII5_RD2	8	RGMII5_RD2	8
GPMC0_A11	RGMII5_RD1	8	RGMII5_RD1	8
GPMC0_A12	RGMII5_RD0	8	RGMII5_RD0	8
GPMC0_A13	RGMII6_TX_CTL	8	RGMII6_TX_CTL	8
GPMC0_A14	RGMII6_RX_CTL	8	RGMII6_RX_CTL	8
GPMC0_A15	RGMII6_TD3	8	RGMII6_TD3	8
GPMC0_A16	RGMII6_TD2	8	RGMII6_TD2	8
GPMC0_A17	RGMII6_TD1	8	RGMII6_TD1	8
GPMC0_A18	RGMII6_TD0	8	RGMII6_TD0	8
GPMC0_A19	RGMII6_TXC	8	RGMII6_TXC	8
GPMC0_A20	RGMII6_RXC	8	RGMII6_RXC	8
GPMC0_A21	RGMII6_RD3	8	RGMII6_RD3	8
GPMC0_A22	RGMII6_RD2	8	RGMII6_RD2	8
GPMC0_A23	PRG0_PRU1_GPO2	8	PRG0_PRU1_GPO2	8
GPMC0_A24	PRG0_PRU1_GPO4	8	PRG0_PRU1_GPO4	8
GPMC0_A25	PRG0_PRU1_GPO6	8	PRG0_PRU1_GPO6	8
GPMC0_A26	PRG0_PRU1_GPO11	8	PRG0_PRU1_GPO11	8
GPMC0_A27	PRG0_MDIO0_MDIO	8	PRG0_MDIO0_MDIO	8
GPMC0_WAIT3	MDIO0_MDIO	8	MDIO0_MDIO	8

6.10.5.13 HyperBus

本デバイスの HyperBus の機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および[セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

[セクション 6.10.5.13.1](#)、[セクション 6.10.5.13.2](#) および [セクション 6.10.5.13.3](#) は、推奨動作条件と電気的特性条件に基づくテストを想定しています ([図 6-80](#)、[図 6-81](#) および [図 6-82](#) を参照)。

表 6-62 に、HyperBus のタイミング条件を示します。

表 6-62. HyperBus のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	2	5	V/ns
出力条件				
C _L	出力負荷容量	1.5	10	pF
PCB 接続要件				
t _d (Trace Mismatch Delay)	パターン間の伝搬遅延の不整合	CK および CK _n 、RWDS および DQ[7:0]	10	ps
		CK/CK _n および RWDS、CK/CK _n および CS _n	200	ps
		CK/CK _n および DQ[7:0]	35	ps
		RESET _n および CS _n [1:0]	340	ps

6.10.5.13.1 HyperBus のタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
D1	t _w (resetnL)	パルス幅、HYPERBUS0_RESET _n low		200		ns
D2	t _w (csnL)	パルス幅、HYPERBUS0_CS _n [1:0] low			1000	ns
D3	t _d (resetnH-csnL)	遅延時間、HYPERBUS0_RESET _n 立ち上がりエッジから HYPERBUS0_CS _n [1:0] 立ち下がりエッジまで		200.34		ns
D4	t _d (csnL-rwdsL)	遅延時間、HYPERBUS0_CS _n [1:0] 立ち下がりエッジから HYPERBUS0_RWDS 立ち下がりエッジまで	166MHz		186	ns
			100MHz		182	ns
D5 LFD5	t _{skn} (rwdsV-dV)	入力スキュー、HYPERBUS0_RWDS 遷移から HYPERBUS0_DQ[7:0] 有効	166MHz	-0.46	0.46	ns
			100MHz	-0.81	0.81	ns

6.10.5.13.2 HyperBus 166 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
D6	t _c (ck/ckn)	サイクル時間、HYPERBUS0_CK/CK _n	6		ns
D7	t _w (ck/ckn)	パルス幅、HYPERBUS0_CK/CK _n High または Low	2.85		ns
D8	t _w (csnH)	パルス幅、動作間の HYPERBUS0_CS _n [1:0] 無効	6		ns
D9	t _d (csnL-ckH/cknL)	遅延時間、HYPERBUS0_CS _n [1:0] 立ち下がりエッジから最初の HYPERBUS0_CK 立ち上がり (HYPERBUS0_CK _n 立ち下がり) エッジまで		-3.28	ns
D10	t _d (ckL/cknH-csnH)	遅延時間、最後の HYPERBUS0_CK 立ち下がり (HYPERBUS0_CK _n 立ち上がり) エッジから HYPERBUS0_CS _n [1:0] 立ち上がりまで	0.28		ns
D11	t _d (ckV/cknV-rwdsV)	遅延時間、HYPERBUS0_CK/CK _n 遷移から HYPERBUS0_RWDS 有効まで	0.68	2.14	ns

番号	パラメータ	説明	最小値	最大値	単位
D12	$t_{d(ckV-dV)}$	遅延時間、HYPERBUS0_CK/CKn 遷移から HYPERBUS0_DQ[7:0] 有効まで	0.71	2.3	ns

6.10.5.13.3 HyperBus 100 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
LFD6	$t_{c(ck/ckn)}$	サイクル時間、HYPERBUS0_CK/CKn	10		ns
LFD7	$t_{w(ck/ckn)}$	パルス幅、HYPERBUS0_CK/CKn High または Low	4.88		ns
LFD8	$t_{w(csnH)}$	パルス幅、動作間の HYPERBUS0_CSn[1:0] 無効	10		ns
LFD9	$t_{d(csnL-ckH/cknL)}$	遅延時間、HYPERBUS0_CSn[1:0] 立ち下がりエッジから最初の HYPERBUS0_CK 立ち上がり (HYPERBUS0_CKn 立ち下がり) エッジまで		-3.33	ns
LFD10	$t_{d(ckL/cknH-csnH)}$	遅延時間、最後の HYPERBUS0_CK 立ち下がり (HYPERBUS0_CKn 立ち上がり) エッジから HYPERBUS0_CSn[1:0] 立ち上がりまで	0.33		ns
LFD11	$t_{d(ckV/cknV-rwdsV)}$	遅延時間、HYPERBUS0_CK/CKn 遷移から HYPERBUS0_RWDS 有効まで	1.13	3.68	ns
LFD12	$t_{d(ckV/cknV-dV)}$	遅延時間、HYPERBUS0_CK/CKn 遷移から HYPERBUS0_DQ[7:0] 有効まで	1.16	3.84	ns

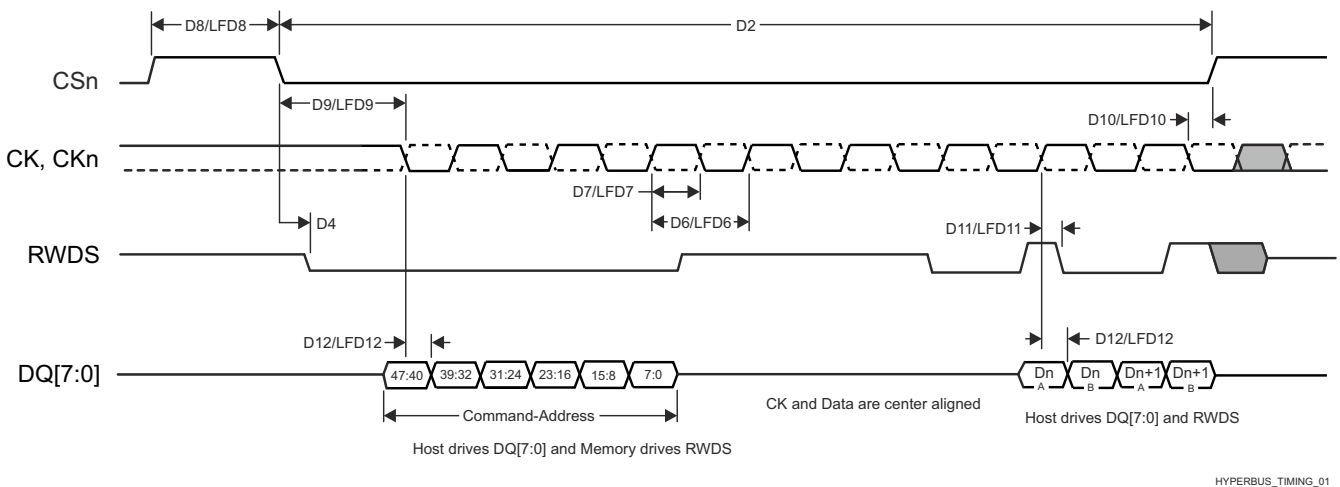


図 6-80. HyperBus タイミング図 – 送信モード

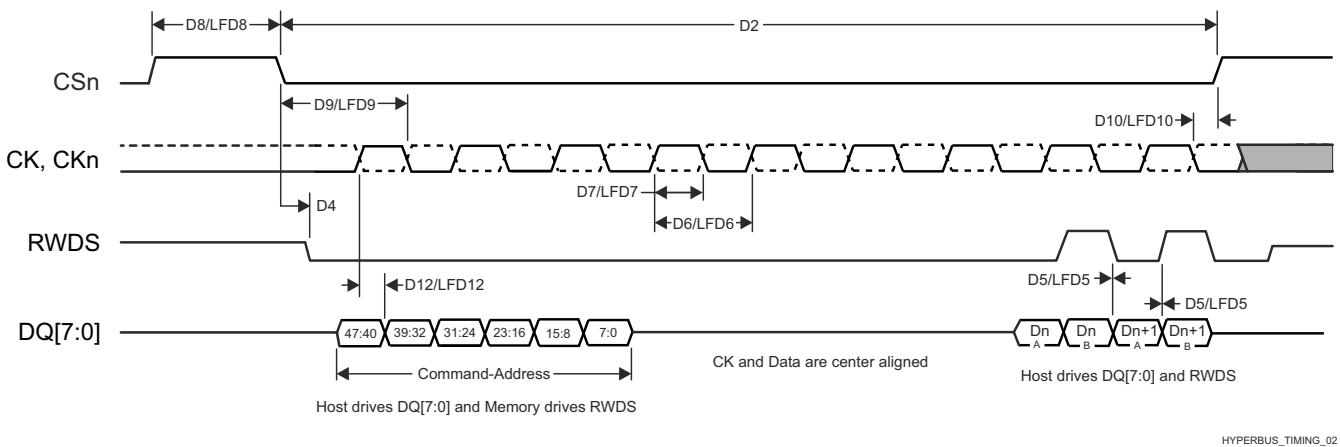


図 6-81. HyperBus タイミング図 – 受信モード

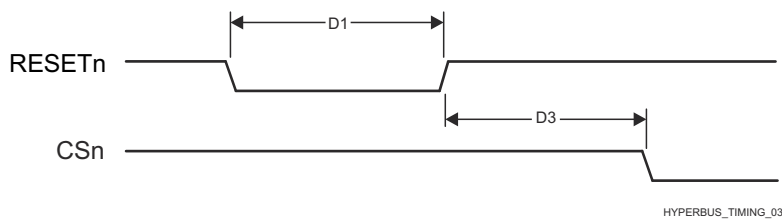


図 6-82. HyperBus タイミング図 – リセット

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「HyperBus インターフェイス」セクションを参照してください。

6.10.5.14 I2C

I2C モジュールは、Philips I2C Bus 仕様、リビジョン 2.1 に準拠しています。立ち上がり / 立ち下がり時間以外のすべてのパラメータのタイミングの詳細については、その仕様を参照してください。

Philips I2C 仕様の立ち上がり / 立ち下がりタイミングは、MCU_I2C0、WKUP_I2C0、I2C[0-1] にのみ適用されます。I2C の他のすべてのインスタンスは、標準の LVCMOS バッファを使用してオープン ドレイン バッファをエミュレートしており、立ち上がり / 立ち下がり時間はデバイス IBIS モデルを使って参照する必要があります。

本デバイスの集積回路間通信の機能の詳細と追加の説明情報については、[セクション 5.3](#)、信号の説明および [セクション 7](#)、詳細説明内の対応するセクションを参照してください。

6.10.5.15 I3C

デバイスの I2C (Inter-Integrated Circuit) の機能および追加の説明情報については、[セクション 5.3](#) の「信号の説明」内および [セクション 7](#) の「詳細説明」内の対応するセクションを参照してください。

[表 6-63](#)、[表 6-64](#)、[表 6-65](#)、[図 6-83](#)、[表 6-67](#)、[図 6-84](#)、[図 6-85](#) は、推奨動作条件および電気的特性条件に基づくテストを想定しています。

表 6-63. I3C のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.2276	5	V/ns
出力条件				
C _L	出力負荷容量		50	pF

表 6-64. I3C オープン ドレインのタイミング要件

[図 6-83](#) 参照

番号	パラメータ	モード	最小値	最大値	単位
OD4	t _{su(sdaV-sclH)}	セットアップ時間、SDA 有効から SCL 立ち下がりエッジまでの時間	3		ns

表 6-65. I3C オープンドレインのスイッチング特性

[図 6-83](#) 参照

番号	パラメータ	モード	最小値	最大値	単位
OD1	t _{w(sclL_od)}	パルス幅、SCL low	マスタ	200	ns
	t _{w(sclL_od_dig)}			t _{w(sclL_od)} + t _{f(sda_od), min}	ns
OD2	t _{w(sclH_od)}	パルス幅、SCL high	マスタ	41	ns
	t _{w(sclH_od_dig)}			t _{w(sclH_od)} + t _{f(scl)}	ns
OD3	t _{f(sda_od)}	立ち下がり時間、SDA	マスタ	t _{f(scl)}	12 ns
OD5	t _{d(sclL-START)}	遅延時間、START (S) 状態から SCL low まで	マスタ、ENTAS0	38.4	1000 ns
			マスタ、ENTAS1	38.4	100000 ns
			マスタ、ENTAS2	38.4	2000000 ns
			マスタ、ENTAS3	38.4	50000000 ns
OD6	t _{d(sclH-STOP)}	遅延時間、SCL high から STOP (P) 状態前まで	マスタ	t _{d(sclV), min} / 2	ns
OD7	t _{w(mmoverlap)}	パルス幅、ハンドオフ時の現在のマスタから次のマスタへのオーバーラップ時間	マスタ	t _{w(sclL_od_dig)}	ns
OD8	t _{w(aval)}	パルス幅、バス利用可能状態	マスタ	1000	ns
OD9	t _{w(idle)}	パルス幅、バスアイドル状態	マスタ	1000000	ns
OD10	t _{w(mmlock)}	パルス幅、新しいマスタが SDA を Low に駆動しない	マスタ	t _{w(aval)}	ns

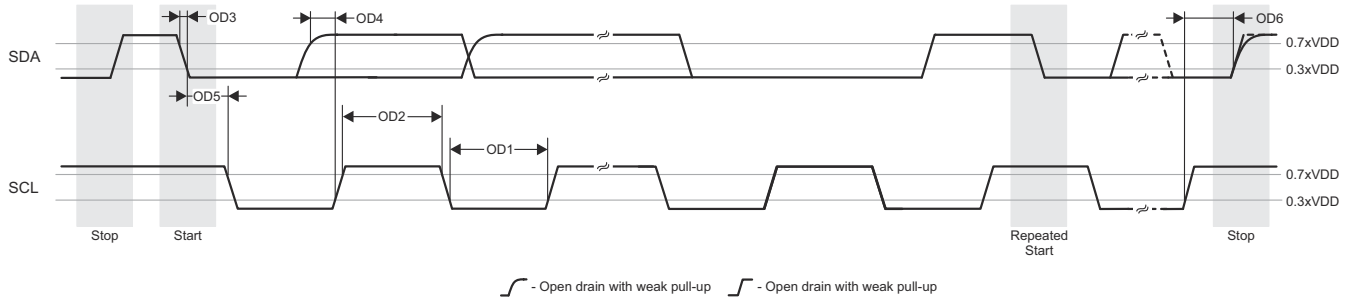


図 6-83. I3C オープンドレインのタイミング要件

表 6-66. I3C プッシュプル タイミング パラメータ - SDR モードと HDR-DDR モード

図 6-84 および 図 6-85

番号	パラメータ	説明	モード	最小値	最大値	単位
D8	$t_{h(sclV-sdaV)}$	ホールド時間、SCL 遷移から SDA 有効まで	マスタ	$t_{r(scl)} + 3$ および $t_{r(scl)} + 3$		ns
D9	$t_{su(sdaV-sclV)}$	セットアップ時間、SCL 有効から SDA 遷移前まで	マスタ	3		ns

表 6-67. I3C プッシュプル スイッチング特性 - SDR モードと HDR-DDR モード

図 6-85、図 6-84 を参照

番号	パラメータ	説明	モード	最小値	最大値	単位
D1	$t_{c(scl)}$	サイクル時間、SCL	マスタ	80	100000	ns
D2	$t_{w(sclL)}$	パルス幅、SCL low	マスタ	24		ns
	$t_{w(sclL_dig)}$			32		ns
D4	$t_{w(sclH)}$	パルス幅、SCL high	マスタ	24		ns
	$t_{w(sclH_dig)}$			32		ns
D6	$t_{r(scl)}$	立ち上がり時間、SCL	マスタ	$150 \times 1 / t_{c(scl)}$	60	ns
D7	$t_{f(scl)}$	立ち下がり時間、SCL	マスタ	$150 \times 1 / t_{c(scl)}$	60	ns
D10	$t_{d(Sr-sclV)}$	ホールド時間、反復 START (Sr) から SCL 有効まで	マスタ	$t_{d(sclV-START), \min}$		ns
D11	$t_{d(sclV-Sr)}$	遅延時間、SCL 有効から反復 START (Sr) まで	マスタ	$t_{d(sclV-START), \min} / 2$		ns

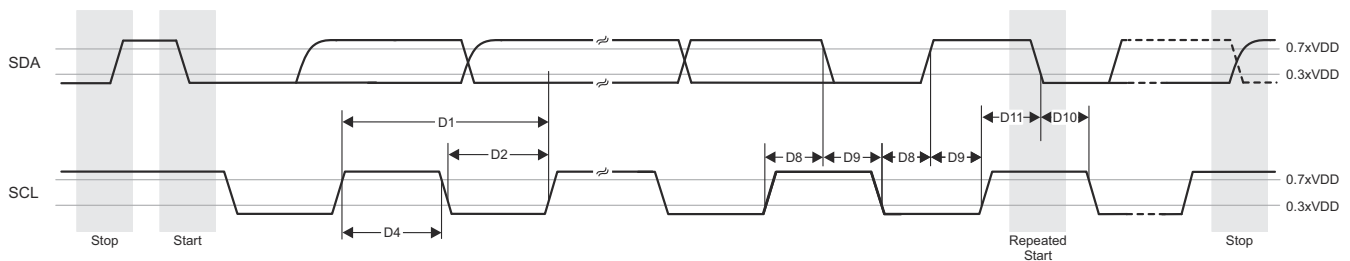


図 6-84. I3C プッシュプル タイミング要件 - HDR-DDR モード

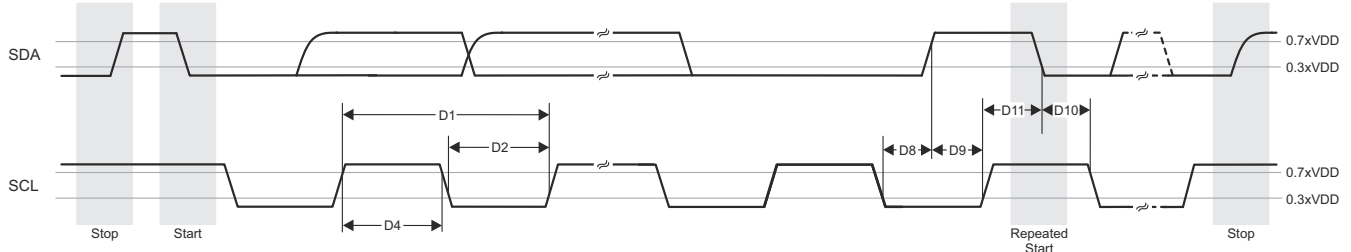


図 6-85. I3C プッシュプルのタイミング要件 - SDR モード

6.10.5.16 MCAN

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「[セクション 5.3](#)、信号の説明」および「[セクション 7](#)、細説明」内の対応するセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される一般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-68. MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	2	15	V/ns
出力条件				
C _L	出力負荷容量	5	20	pF

表 6-69. MCAN スイッチング特性

番号	パラメータ		最小値	最大値	単位
M1	t _d (MCAN_TX)	遅延時間、シフトレジスタ送信から MCANn_TX ピンまで ⁽¹⁾		10	ns
M2	t _d (MCAN_RX)	遅延時間、MCANn_RX ピンからシフトレジスタ受信まで ⁽¹⁾		10	ns

(1) MCANn_* の n は [0:13]、MCU_MCANn_* の n は [0:1]

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.10.5.17 MCASP

本デバイスのマルチチャネル オーディオ シリアル ポートの機能の詳細と追加の説明情報については、[セクション 5.3](#)、[信号の説明および セクション 7](#)、[詳細説明](#)」内の対応するセクションを参照してください。

表 6-71 および [図 6-86](#) に、MCASP0～MCASP11 のタイミング要件を示します。

表 6-70 に、MCASP のタイミング条件を示します。

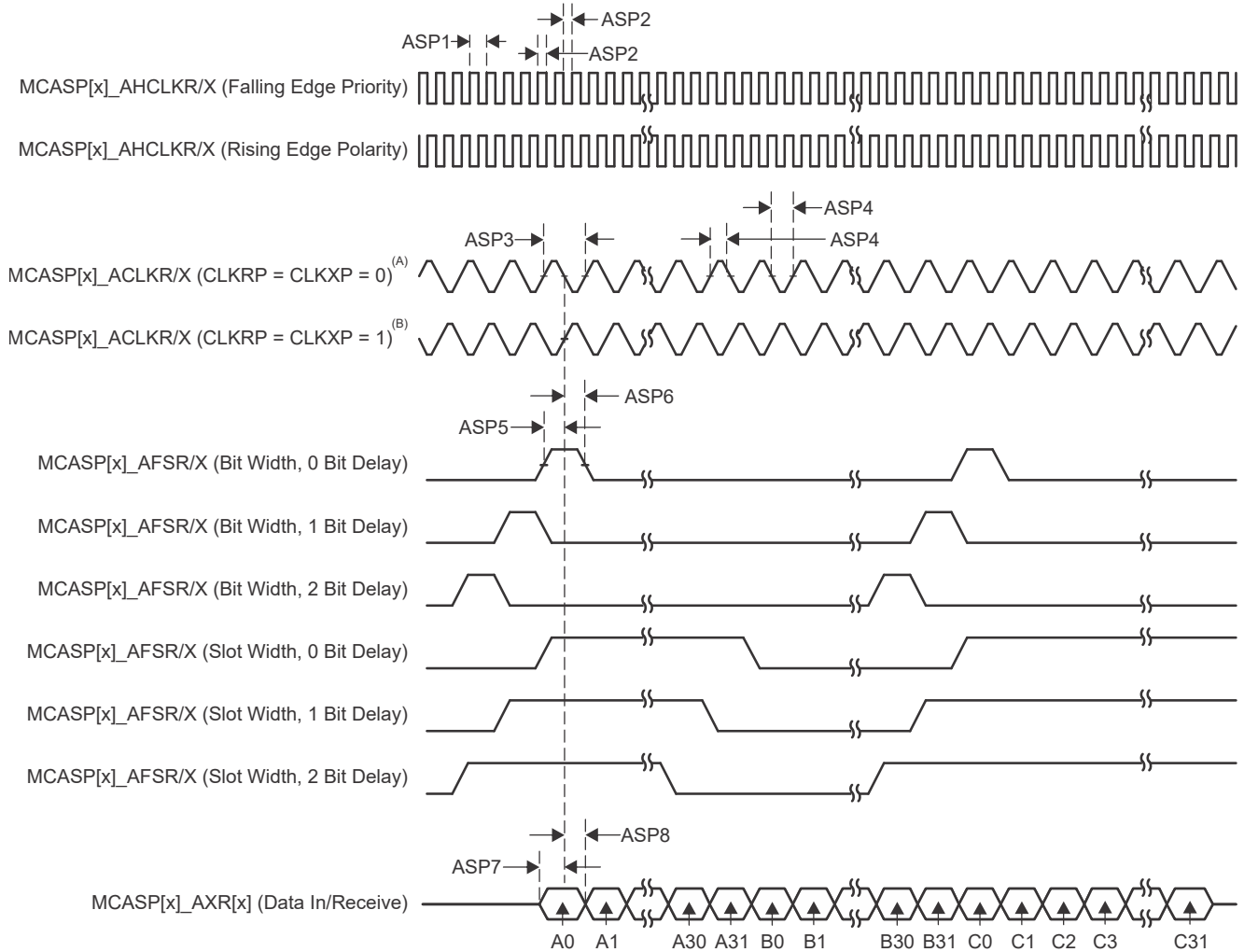
表 6-70. MCASP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.7	5	V/ns
出力条件				
C _L	出力負荷容量	1	10	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	100	1100	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

表 6-71. MCASP のタイミング要件

番号			モード ⁽¹⁾	最小値	最大値	単位
ASP1	t _c (AHCLKRX)	サイクル時間、MCASP[x]_AHCLKR/X		15.26		ns
ASP2	t _w (AHCLKRX)	パルス幅、MCASP[x]_AHCLKR/X high または low		0.5P ⁽²⁾ - 1.53		ns
ASP3	t _c (ACLKRX)	サイクル時間、MCASP[x]_ACLKRX		15.26		ns
ASP4	t _w (ACLKRX)	パルス幅、MCASP[x]_ACLKRX high または low		0.5R ⁽³⁾ - 1.53		ns
ASP5	t _{su} (AFSRX-ACLKRX)	セットアップ時間、MCASP[x]_AFSRX 入力有効から MCASP[x]_ACLKRX まで	ACLKRX 内部	12.3		ns
			ACLKRX 外部入力 / 出力	4		
ASP6	t _h (ACLKRX-AFSRX)	ホールド時間、MCASP[x]_ACLKRX から MCASP[x]_AFSRX 入力有効の間	ACLKRX 内部	-1		ns
			ACLKRX 外部入力 / 出力	1.6		
ASP7	t _{su} (AXR-ACLKRX)	セットアップ時間、MCASP[x]_AXR 入力有効から MCASP[x]_ACLKRX まで	ACLKRX 内部	12.3		ns
			ACLKRX 外部入力 / 出力	4		
ASP8	t _h (ACLKRX-AXR)	ホールド時間、MCASP[x]_ACLKRX から MCASP[x]_AXR 入力有効の間	ACLKRX 内部	-1		ns
			ACLKRX 外部入力 / 出力	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。
 (3) R = ACLKR/X 周期 (ns 単位)。



- A. $CLKRP = CLKXP = 0$ の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B. $CLKRP = CLKXP = 1$ の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

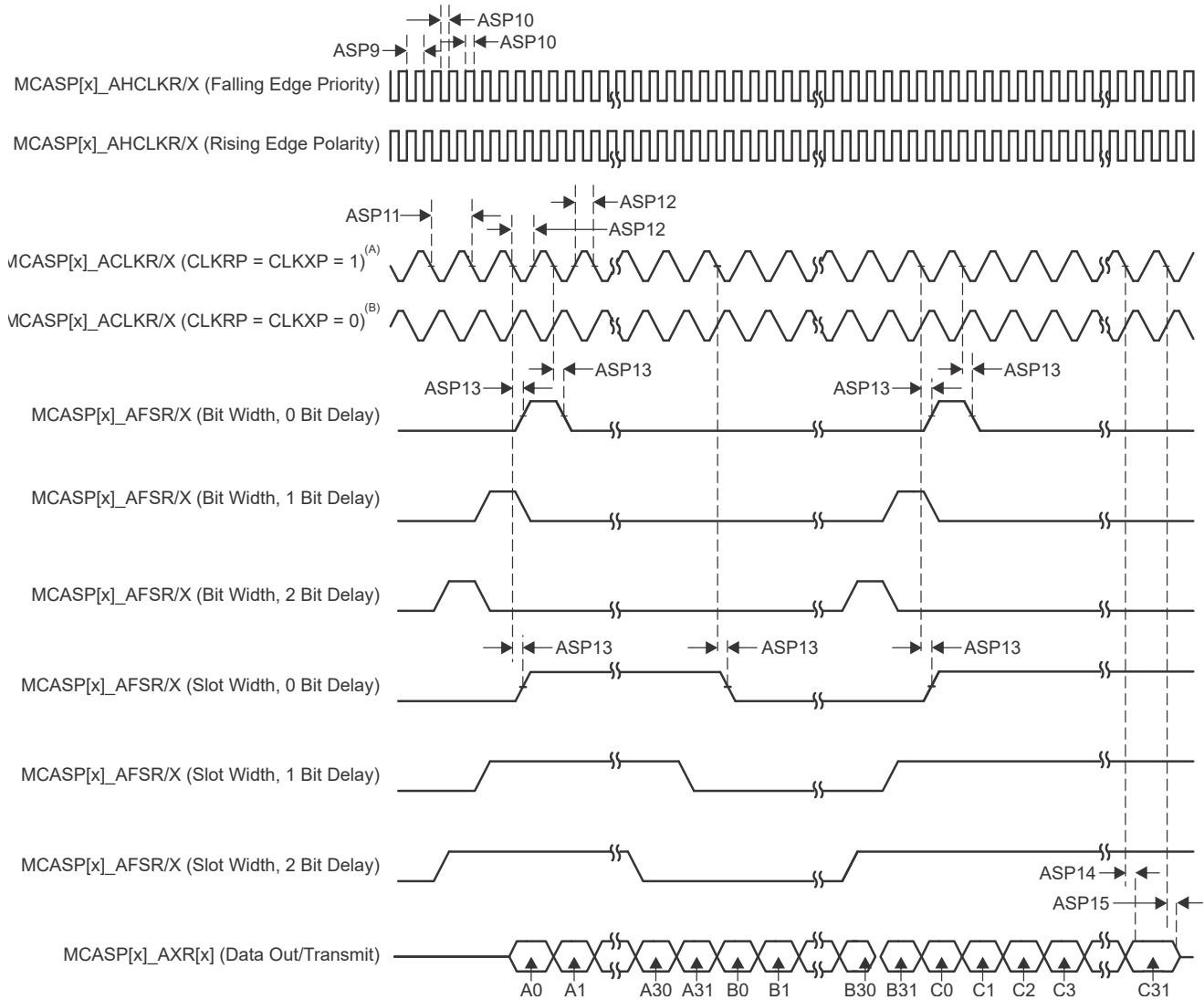
図 6-86. MCASP 入力のタイミング

表 6-72 および 図 6-87 に、MCASP0～MCASP11 の推奨動作条件全体にわたるスイッチング特性を示します。

表 6-72. MCASP スイッチング特性

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP9	$t_c(\text{AHCLKRX})$	サイクル時間、MCASP[x]_AHCLKR/X		20		ns
ASP10	$t_w(\text{AHCLKRX})$	パルス幅、MCASP[x]_AHCLKR/X high または low		$0.5P^{(2)} - 2$		ns
ASP11	$t_c(\text{ACLKRX})$	サイクル時間、MCASP[x]_ACLKR/X		20		ns
ASP12	$t_w(\text{ACLKRX})$	パルス幅、MCASP[x]_ACLKR/X high または low		$0.5R^{(3)} - 2$		ns
ASP13	$t_d(\text{ACLKRX-AFSRX})$	遅延時間、MCASP[x]_ACLKR/X 送信エッジから MCASP[x]_AFSRX 出力有効まで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.28	12.84	
ASP14	$t_d(\text{ACLKX-AXR})$	遅延時間、MCASP[x]_ACLKX 送信エッジから MCASP[x]_AXR 出力有効まで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.28	12.84	
ASP15	$t_{dis}(\text{ACLKX-AXR})$	ディセーブル時間、MCASP[x]_ACLKX 送信エッジから MCASP[x]_AXR 出力ハイインピーダンスまで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-14.9	14	

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。
- (3) R = ACLKR/X 周期 (ns 単位)。



- A. $CLKRP = CLKXP = 1$ の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。
- B. $CLKRP = CLKXP = 0$ の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-87. MCASP 出力のタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.10.5.18 MCSPI

本デバイスのシリアルポートインターフェイスの機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および [セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「マルチチャネルシリアルペリフェラルインターフェイス (MCSPI)」セクションを参照してください。

[表 6-73](#) に、MCSPI のタイミング条件を示します。

注

このセクションに示す IO タイミングは、MCU_SPI0 と MCU_SPI1 に対して信号のすべての組み合わせに適用できます。ただし、1 つの IOSET 内の信号を使用する場合、このタイミングは MCU_SPI0 と MCU_SPI1 にのみ有効です。IOSET は、[表 6-78](#) および [表 6-79](#) の表に定義されています。

表 6-73. MCSPI のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR _I	入力スループレート	2	8.5	V/ns	
出力条件					
C _L	出力負荷容量	CLK	6	24	pF
		D[x], CSi	6	12	pF

6.10.5.18.1 MCSPI – マスタ モード

[表 6-74](#)、[図 6-88](#)、[表 6-75](#)、[図 6-89](#) に、MCSPI – マスタ モードのタイミング要件とスイッチング特性を示します。

表 6-74. MCSPI のタイミング要件 - マスタ モード

[図 6-88](#) 参照

番号		説明	最小値	最大値	単位
SM4	t _{su(misoV-spicklV)}	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで	2.8		ns
SM5	t _{h(spicklV-misoV)}	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間	3		ns

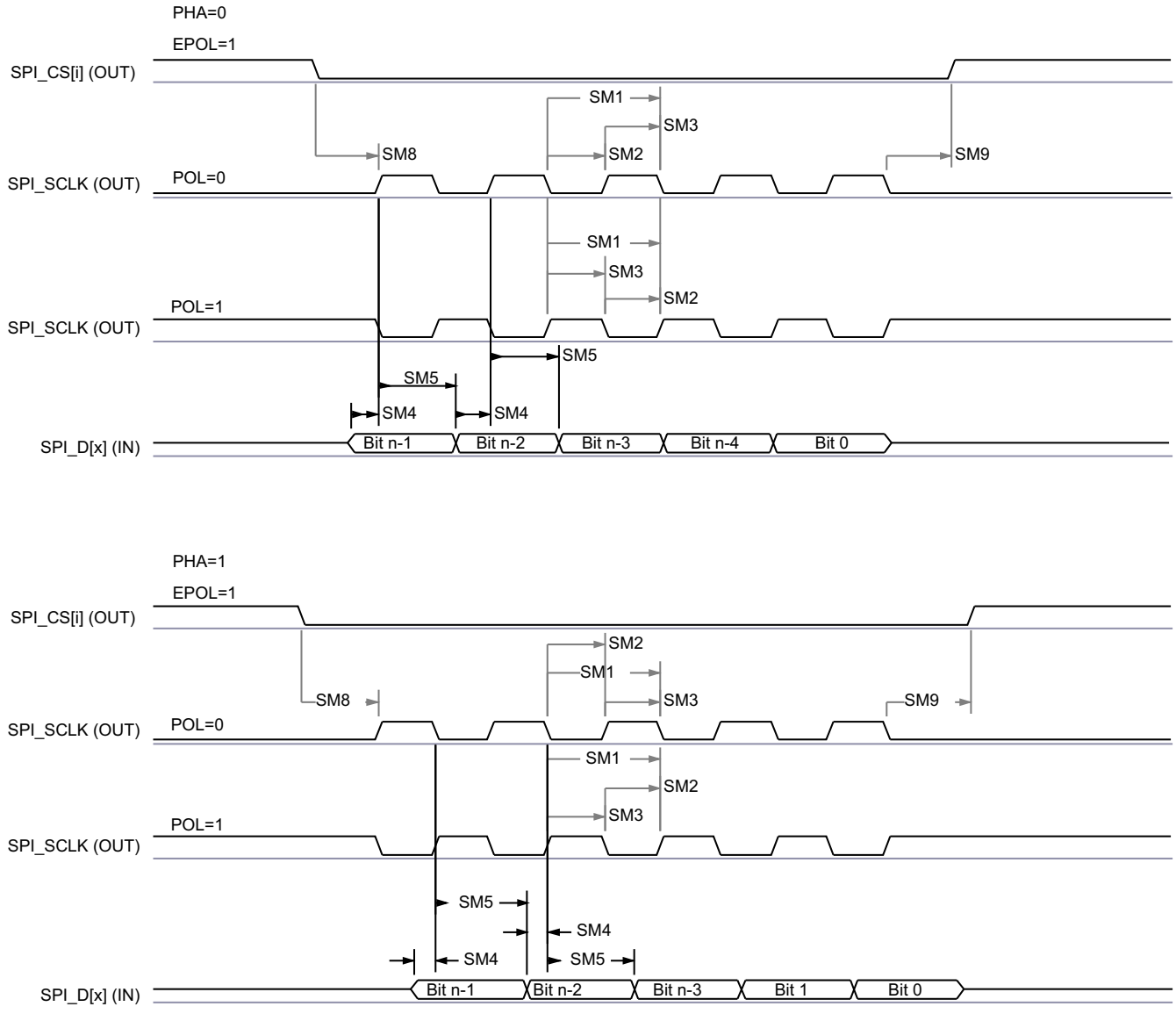
表 6-75. MCSPI のスイッチング特性 - マスタ モード

[図 6-89](#) 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
SM1	t _{c(spickl)}	サイクル時間、SPI_CLK		20		ns
SM2	t _{w(spicklL)}	パルス幅、SPI_CLK low		0.5P - 1 ⁽¹⁾		ns
SM3	t _{w(spicklH)}	パルス幅、SPI_CLK high		0.5P - 1 ⁽¹⁾		ns
SM6	t _{d(spicklV-simoV)}	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで		-3	2.5	ns
SM7	t _{d(csV-simoV)}	遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで		5		ns
SM8	t _{d(csV-spickl)}	遅延時間、SPI_CSi アクティブから SPI_CLK の最初のエッジまで	PHA = 0 ⁽²⁾	B - 4 ⁽³⁾		ns
			PHA = 1 ⁽²⁾	A - 4 ⁽⁴⁾		ns
SM9	t _{d(spicklV-csV)}	遅延時間、SPI_CLK の最後のエッジから SPI_CSi 非アクティブまで	PHA = 0 ⁽²⁾	A - 4 ⁽⁴⁾		ns
			PHA = 1 ⁽²⁾	B - 4 ⁽³⁾		ns

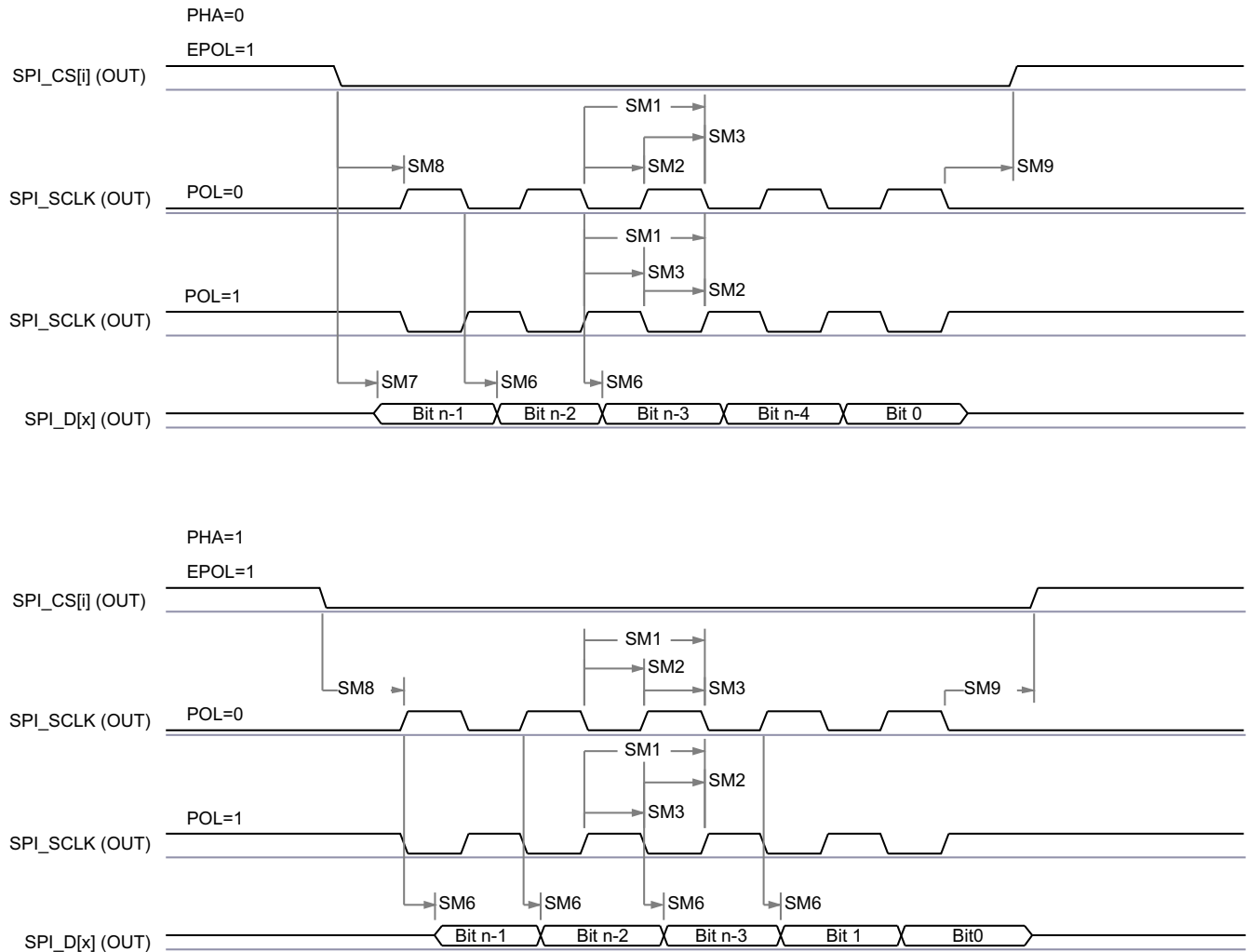
(1) P = SPI_CLK 周期 (ns 単位)

- (2) SPI_CLK の位相は、MCSPI_CHCONF_0/1/2/3 レジスタの PHA ビットを使用してプログラム可能です
- (3) $B = (TCS + .5) * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドであり、Fratio = 偶数 ≥ 2 です。
- (4) $P = 20ns$ のとき、 $A = (TCS + 1) * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドです。
 $P > 20ns$ のとき、 $A = (TCS + 0.5) * Fratio * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドです。



SPRSP08_TIMING_McSPI_02

図 6-88. SPI マスタ モードの受信タイミング



SPRSP08_TIMING_McSPI_01

図 6-89. MCSPi マスタ モードの送信タイミング

6.10.5.18.2 MCSPi – スレーブ モード

表 6-76、表 6-77、図 6-90、図 6-91 に、MCSPi – スレーブ モードのタイミング要件とスイッチング特性を示します。

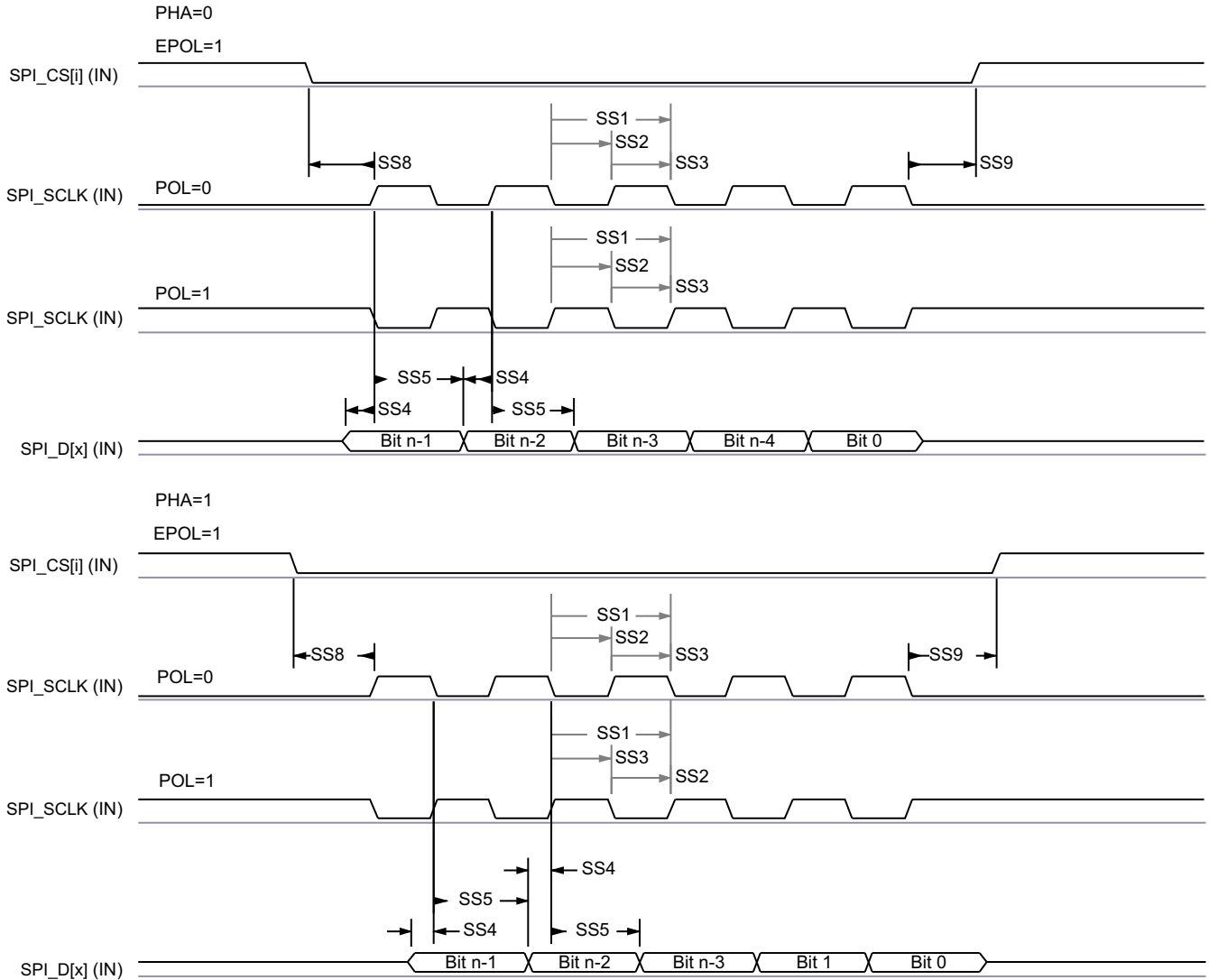
表 6-76. MCSPi のタイミング要件 - スレーブ モード

番号	パラメータ	説明	モード	最小値	最大値	単位
SS1	$t_{c(spick)}$	サイクル時間、SPI_CLK		20		ns
SS2	$t_{w(spickL)}$	パルス幅、SPI_CLK low		0.45P ⁽¹⁾		ns
SS3	$t_{w(spickH)}$	パルス幅、SPI_CLK high		0.45P ⁽¹⁾		ns
SS4	$t_{su(simoV-spickV)}$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで		5		ns
SS5	$t_{h(spickV-simoV)}$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間		5		ns
SS8	$t_{su(csV-spickV)}$	セットアップ時間、SPI_CS _i 有効から SPI_CLK の最初のエッジまで		5		ns
SS9	$t_{h(spickV-csV)}$	ホールド時間、SPI_CLK の最後のエッジから SPI_CS _i 有効の間		5		ns

表 6-77. MCSPI のスイッチング特性 - スレーブ モード

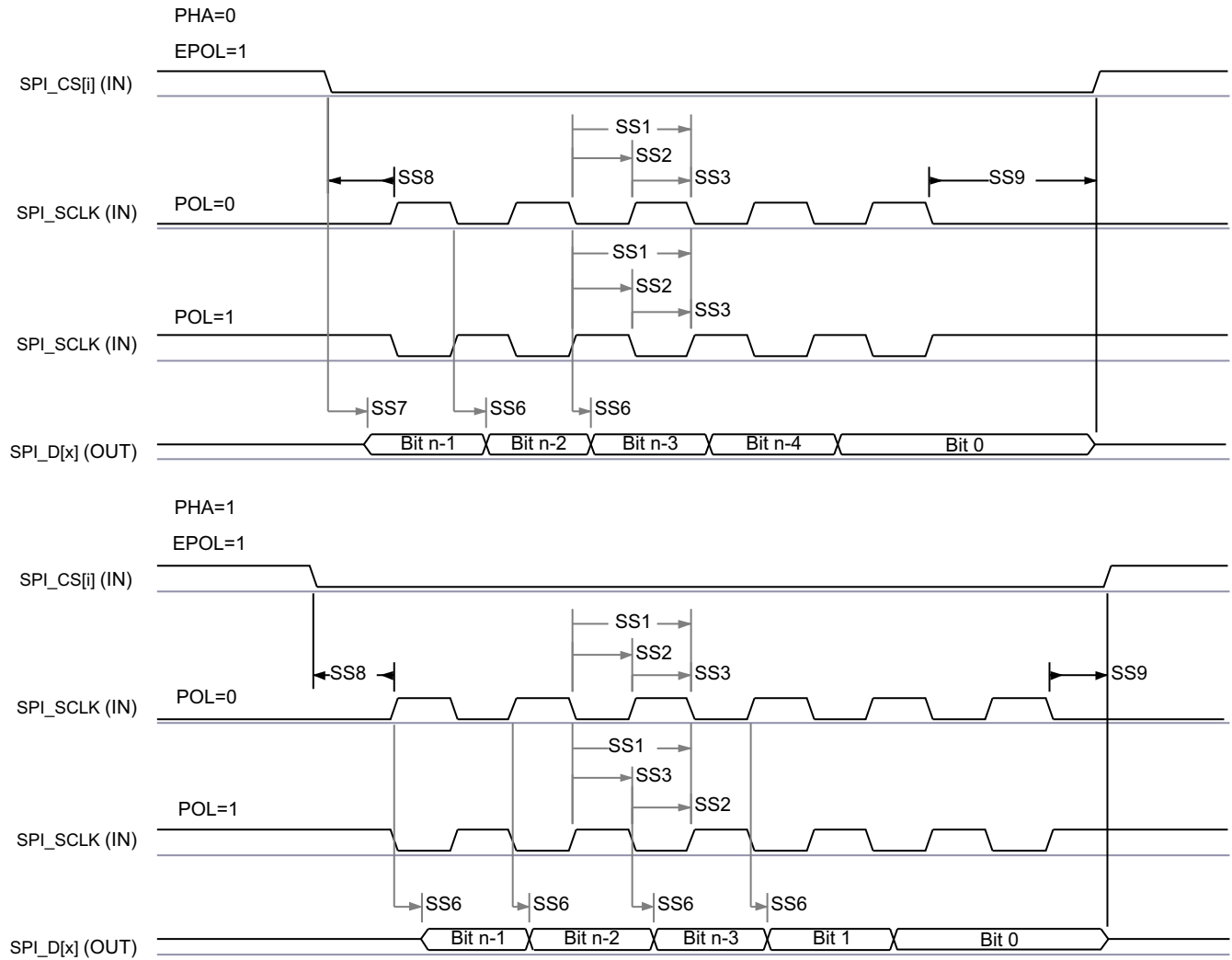
番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_{d(spiclkV-somiV)}$	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで	2	17.12	ns
SS7	$t_{sk(csV-somiV)}$	遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで	20.95		ns

(1) P = SPI_CLK 周期 (ns 単位)。



SPRSP08_TIMING_McSPI_04

図 6-90. SPI スレーブ モードの受信タイミング



SPRSP08_TIMING_McSPI_03

図 6-91. MCSPI スレーブ モードの送信タイミング

表 6-78 および 表 6-79 に、MCU_SPI0 および MCU_SPI1 で使用する信号の具体的なグループ (IOSET) を示します。

表 6-78. MCU_SPI0 IOSET

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
MCU_SPI0_CLK	MCU_SPI0_CLK	0	MCU_SPI0_CLK	0
MCU_SPI0_D0	MCU_SPI0_D0	0	MCU_SPI0_D0	0
MCU_SPI0_D1	MCU_SPI0_D1	0	MCU_SPI0_D1	0
MCU_SPI0_CS0	MCU_SPI0_CS0	0	MCU_SPI0_CS0	0
MCU_SPI0_CS1	MCU_OSPI1_D3	5	WKUP_GPIO0_12	1
MCU_SPI0_CS2	MCU_OSPI1_CSn1	5	WKUP_GPIO0_14	1

表 6-79. MCU_SPI1 IOSET

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
MCU_SPI1_CLK	MCU_SPI1_CLK	0	MCU_SPI1_CLK	0
MCU_SPI1_D0	MCU_SPI1_D0	0	MCU_SPI1_D0	0
MCU_SPI1_D1	MCU_SPI1_D1	0	MCU_SPI1_D1	0
MCU_SPI1_CS0	MCU_SPI1_CS0	0	MCU_SPI1_CS0	0
MCU_SPI1_CS1	MCU_OSPI1_D1	5	WKUP_GPIO0_13	1
MCU_SPI1_CS2	MCU_OSPI1_D2	5	WKUP_GPIO0_15	1

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

6.10.5.19 MMCS D

MMCS D ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCS D ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCS D インターフェイスの詳細については、

「信号の説明」および「詳細説明」をご覧ください。

注

一部の動作モードでは、表 6-80 および 表 6-90 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCS D) インターフェイス」セクションを参照してください。

6.10.5.19.1 MMC0 - eMMC インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー速度
- ハイスピード SDR
- ハイスピード DDR
- HS200

表 6-80 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-80. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCS D0_SS_PHY_CTRL_x_REG								
		x=1	x=4				x=5			
ビットフィールド		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビットフィールド名		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	イネーブル DLL	ストロブ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL/ 遅延チェーン 選択	DLL REF 周波数	遅延 バッファ 時間
レガシー SDR	8 ビット PHY、 1.8V、25MHz	0x0	0x0	0x0	NA ⁽¹⁾	0x1	0x10	0x1 または 0x3 ⁽²⁾	NA ⁽³⁾	0x7

表 6-80. すべてのタイミングモードに対する MMC0 DLL 遅延マッピング (続き)

レジスタ名		MMCS0_SS_PHY_CTRL_x_REG								
		x=1	x=4				x=5			
ビットフィールド		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビットフィールド名		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	イネーブル DLL	ストロブ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL/ 遅延チェーン 選択	DLL REF 周波数	遅延 バッファ 時間
ハイスピー ード SDR	8 ビット PHY、 1.8V、50MHz	0x0	0x0	0x0	NA ⁽¹⁾	0x1	0xA	0x1 または 0x3 ⁽²⁾	NA ⁽³⁾	0x7
ハイスピー ード DDR	8 ビット PHY、 1.8V、50MHz	0x1	0x0	0x1	0x6	0x1	0x3	0x0	0x4	NA ⁽⁴⁾
HS200	8 ビット PHY、 1.8V、200MHz	0x1	0x0	0x1	0x8	0x1	チューニング ⁽⁵⁾	0x0	0x0	NA ⁽⁴⁾

- (1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
(2) SELDLYTXCLK は、このモードに必要なハーフサイクル タイミングで動作する場合、いかなる機能も持ちません。
(3) NA は、ENDLL が 0x0 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
(4) NA は、ENDLL が 0x1 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
(5) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-81 に、MMC0 のタイミング条件を示します。

表 6-81. MMC0 のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR _i	入力スルーレート	レガシー SDR	0.14	1.44	V/ns
		ハイスピード SDR	0.3	0.9	V/ns
		ハイスピード DDR (CMD)	0.3	0.9	V/ns
		ハイスピード DDR (DAT[7:0])	0.45	0.9	V/ns
出力条件					
C _L	出力負荷容量	HS200	1	6	pF
		その他のすべてのモード	1	12	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	すべてのモード	126	756	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	レガシー SDR、高速 SDR、高速 DDR		100	ps
		HS200		8	ps

6.10.5.19.1.1 レガシー SDR モード

表 6-82、図 6-92、表 6-83、図 6-93 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-82. MMC0 のタイミング要件 – レガシー SDR モード

図 6-92 参照

番号			最小値	最大値	単位
LSDR1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	9.69		ns
LSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	9.65		ns
LSDR3	$t_{su}(dV-clkH)$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	9.69		ns
LSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	9.65		ns

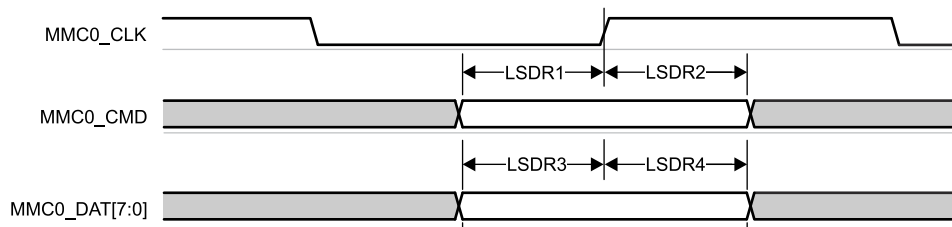


図 6-92. MMC0 – レガシー SDR – 受信モード

表 6-83. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-93 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		25	MHz
LSDR5	$t_c(clk)$	サイクル時間、MMC0_CLK	40		ns
LSDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high	18.7		ns
LSDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low	18.7		ns
LSDR8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-2.74	5.07	ns
LSDR9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	-2.74	5.07	ns

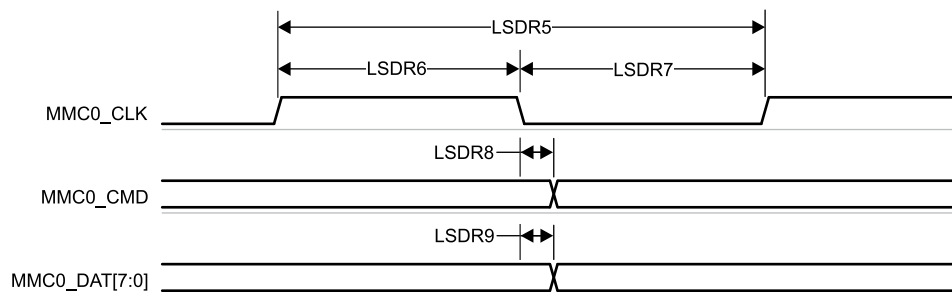


図 6-93. MMC0 – レガシー SDR – 送信モード

6.10.5.19.1.2 高速 SDR モード

表 6-84、図 6-94、表 6-85、および 図 6-95 に、MMC0 – 高速 SDR モードのタイミング要件とスイッチング特性を示します。

表 6-84. MMC0 のタイミング要件 – 高速 SDR モード

図 6-94 参照

番号			最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.99		ns
HSSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.99		ns
HSSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	2.67		ns

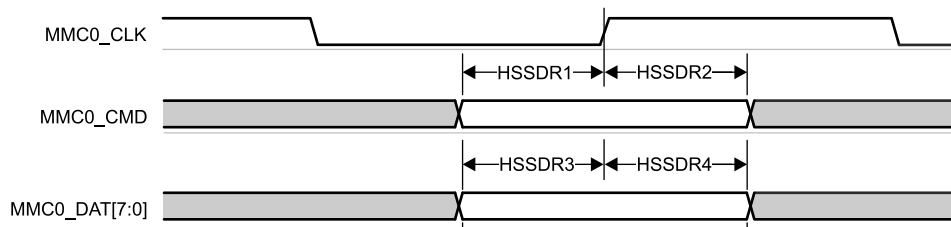


図 6-94. MMC0 – 高速 SDR モード – 受信モード

表 6-85. MMC0 のスイッチング特性 – 高速 SDR モード

図 6-95 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HSSDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
HSSDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
HSSDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-0.84	3.65	ns
HSSDR9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	-0.84	3.65	ns

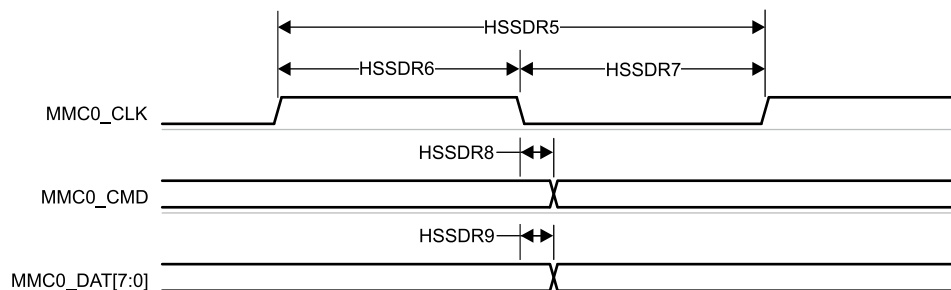


図 6-95. MMC0 – 高速 SDR モード – 送信モード

6.10.5.19.1.3 高速 DDR モード

表 6-86、図 6-96、表 6-87、および 図 6-97 に、MMC0 – 高速 DDR モードのタイミング要件とスイッチング特性を示します。

表 6-86. MMC0 のタイミング要件 – 高速 DDR モード

図 6-96 参照

番号			最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2		ns
HSDDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.5		ns
HSDDR3	$t_{su(dV-clkV)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	0.74		ns
HSDDR4	$t_{h(clkV-dV)}$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.67		ns

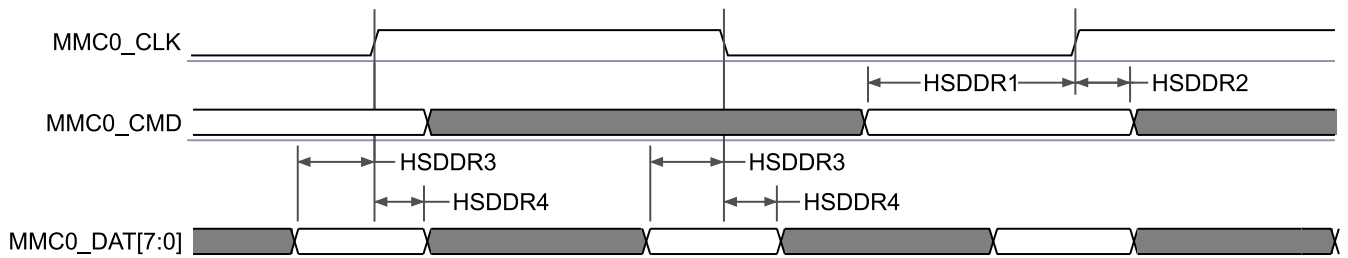


図 6-96. MMC0 – 高速 DDR モード – 受信モード

表 6-87. MMC0 のスイッチング特性 – 高速 DDR モード

図 6-97 参照

番号	パラメータ	最小値	最大値	単位	
	$f_{op(clk)}$	動作周波数、MMC0_CLK	50	MHz	
HSDDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20	ns	
HSDDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2	ns	
HSDDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2	ns	
HSDDR8	$t_{d(clkH-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	3.4	9.72	ns
HSDDR9	$t_{d(clkV-dV)}$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	2.9	6.6	ns

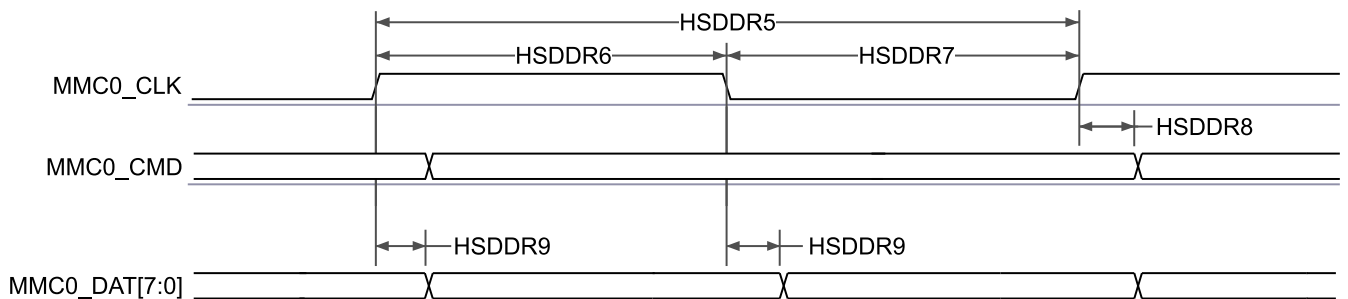


図 6-97. MMC0 – 高速 DDR モード – 送信モード

6.10.5.19.1.4 HS200 モード

表 6-88、図 6-98、表 6-89、図 6-99 に、MMC0 – HS200 モードでのタイミング要件とスイッチング特性の両方を示します。

表 6-88. MMC0 のタイミング要件 – HS200 モード

図 6-98 参照

番号	パラメータ	説明	最小値	最大値	単位
HS2004	t_{DvW}	入力データ有効ウィンドウ、MMC0_CMD および MMC0_DAT[7:0]	2.0 ⁽¹⁾		ns

(1) このパラメータは、ホストが必要とする最小データ有効ウィンドウを定義します。このとき、ホストに提示されるデータ有効ウィンドウがこの値を超える場合、ホストが有効なデータをキャプチャできることが保証されます。このパラメータで定義される値は、HS200 モードで動作する eMMC デバイスに定義されている可能な最小データ有効ウィンドウよりも小さくなります。

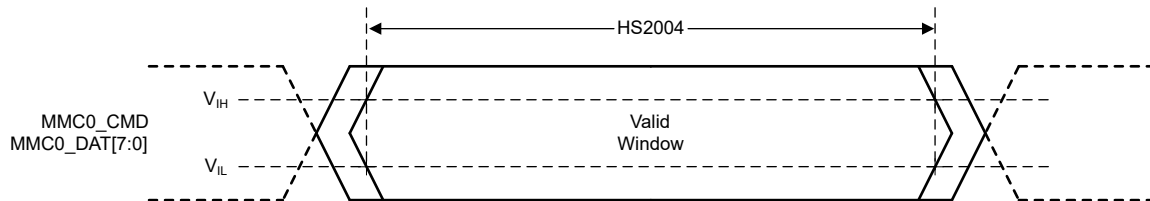


図 6-98. MMC0 – HS200 – 受信モード

表 6-89. MMC0 のスイッチング特性 – HS200 モード

図 6-99 参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz
HS2005	$t_c(clk)$	サイクル時間、MMC0_CLK	5		ns
HS2006	$t_w(clkH)$	パルス幅、MMC0_CLK high	2.08		ns
HS2007	$t_w(clkL)$	パルス幅、MMC0_CLK low	2.08		ns
HS2008	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.12	3.16	ns
HS2009	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	1.12	3.16	ns

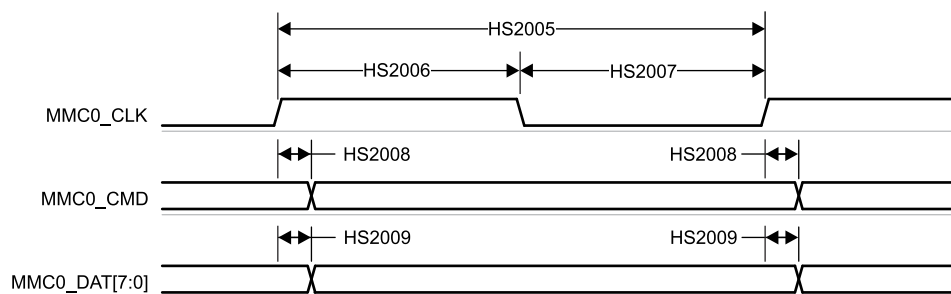


図 6-99. MMC0 – HS200 モード – 送信モード

6.10.5.19.2 MMC1/2 - SD/SDIO インターフェイス

MMC1 と MMC2 のインターフェイスは、SDIO 仕様 v3.00 だけでなく、SD ホストコントローラ標準仕様 4.10 および SD 物理層仕様 v3.01 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25

- UHS-I SDR50
- UHS-I SDR104
- UHS-I DDR50

表 6-90 に、MMC1 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-90. すべてのタイミング モードに対する MMC1/2 DLL 遅延マッピング

レジスタ名		MMCSD12_SS_PHY_CTRL_4_REG			
ビットフィールド		[20]	[15:12]	[8]	[4:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x0	0x0
高速	4 ビット PHY 動作 3.3V、50MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x0	0x0
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x0	0x0
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x0	0x0
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング ⁽²⁾
UHS-I DR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0xC	0x1	チューニング ⁽²⁾
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x5	0x1	チューニング ⁽²⁾

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。

(2) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-91 に、MMC1 のタイミング条件を示します。

表 6-91. MMC1/2 のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR _I	入力スルーレート	デフォルト スピード、ハイスピード	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
出力条件					
C _L	出力負荷容量	すべてのモード	1	10	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	UHS-I DDR50	240	1134	ps
		その他のすべてのモード	126	1386	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	UHS-I DDR50、UHS-I SDR104		20	ps
		その他のすべてのモード		100	ps

6.10.5.19.2.1 デフォルト速度モード

表 6-92、図 6-100、表 6-93、図 6-101 に、MMC1/2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-92. MMC1/2 のタイミング要件 – デフォルト速度モード

図 6-100 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.55		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	4.65		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.55		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	4.65		ns

- A. MMC1 および MMC2 に対して、x = 1, 2
- B. MMC1 および MMC2 に対して、x = 1, 2

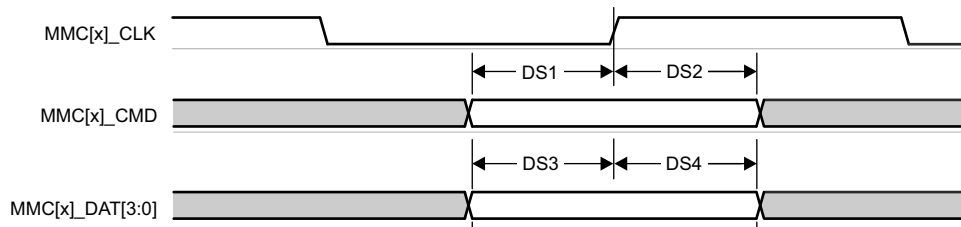


図 6-100. MMC1/2 – デフォルト速度 – 受信モード

表 6-93. MMC1/2 のスイッチング特性 – デフォルト速度モード

図 6-101 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
DS5	$t_c(clk)$	40		ns
DS6	$t_w(clkH)$	18.7		ns
DS7	$t_w(clkL)$	18.7		ns
DS8	$t_d(clkL-cmdV)$	-2.93	3.63	ns
DS9	$t_d(clkL-dV)$	-2.93	3.63	ns

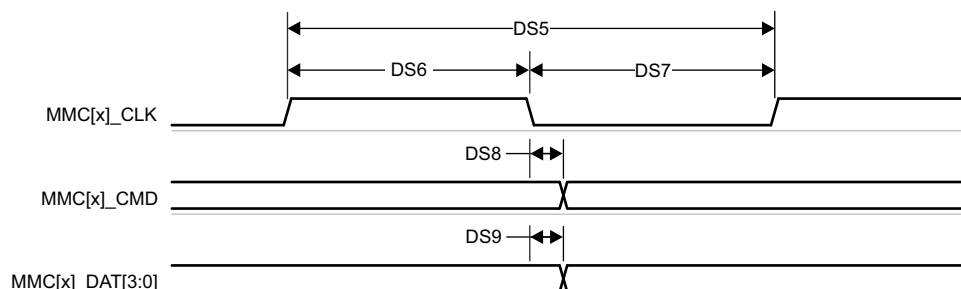


図 6-101. MMC1/2 – デフォルト速度 – 送信モード

6.10.5.19.2.2 高速モード

表 6-94、図 6-102、表 6-95、図 6-103 に、MMC1/2 – 高速モードのタイミング要件とスイッチング特性を示します。

表 6-94. MMC1/2 のタイミング要件 – 高速モード

図 6-102 参照

番号			最小値	最大値	単位
HS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.55		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	2.67		ns
HS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.55		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	2.67		ns

- A. MMC1 および MMC2 に対して、x = 1, 2
- B. MMC1 および MMC2 に対して、x = 1, 2

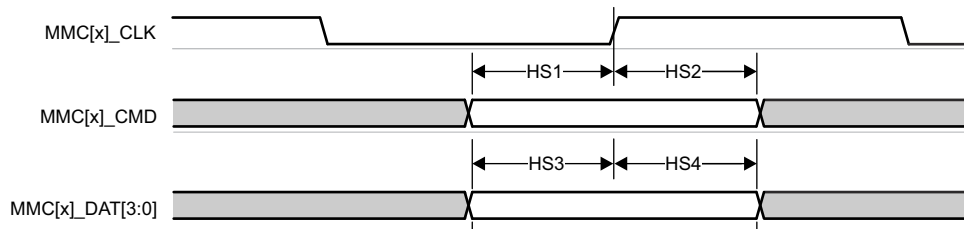


図 6-102. MMC1/2 – 高速 – 受信モード

表 6-95. MMC1/2 のスイッチング特性 – 高速モード

図 6-103 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		50	MHz
HS5	$t_c(clk)$	20		ns
HS6	$t_w(clkH)$	9.2		ns
HS7	$t_w(clkL)$	9.2		ns
HS8	$t_d(clkL-cmdV)$	-1.77	2.35	ns
HS9	$t_d(clkL-dV)$	-1.77	2.35	ns

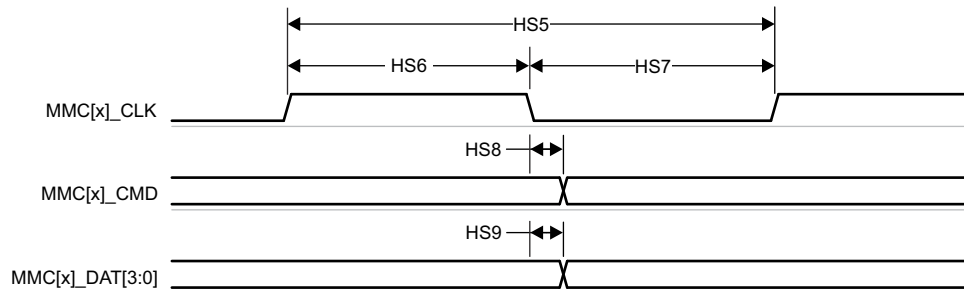


図 6-103. MMC1/2 – 高速 – 送信モード

6.10.5.19.2.3 UHS-I SDR12 モード

表 6-96、図 6-104、表 6-97、および図 6-105 に、MMC1/2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-96. MMC1/2 のタイミング要件 – UHS-I SDR12 モード

図 6-104 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	21.65		ns
SDR122	$t_h(clkH-cmdV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	1.67		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	21.65		ns
SDR124	$t_h(clkH-dV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	1.67		ns

- A. MMC1 および MMC2 に対して、x = 1, 2
- B. MMC1 および MMC2 に対して、x = 1, 2

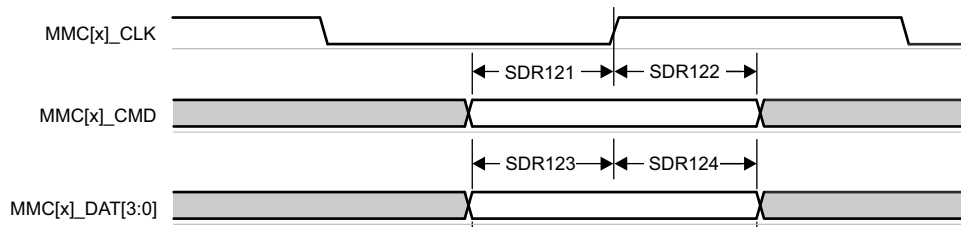


図 6-104. MMC1/2 – UHS-I SDR12 – 受信モード

表 6-97. MMC1/2 のスイッチング特性 – UHS-I SDR12 モード

図 6-105 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkH-cmdV)$	1.2	13.69	ns
SDR129	$t_d(clkH-dV)$	1.2	13.69	ns

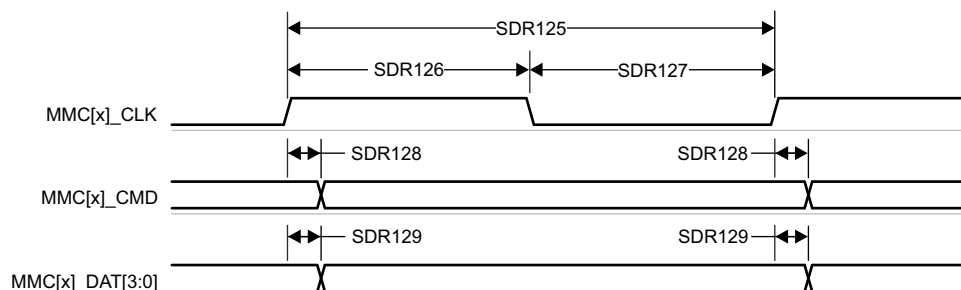


図 6-105. MMC1/2 – UHS-I SDR12 – 送信モード

6.10.5.19.2.4 UHS-I SDR25 モード

表 6-98、図 6-106、表 6-99、および図 6-107 に、MMC1/2 – UHS-I SDR25 モードのタイミング要件とスイッチング特性を示します。

表 6-98. MMC1/2 のタイミング要件 – UHS-I SDR25 モード

図 6-106 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	1.67		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	1.67		ns

- A. MMC1 および MMC2 に対して、x = 1, 2
- B. MMC1 および MMC2 に対して、x = 1, 2

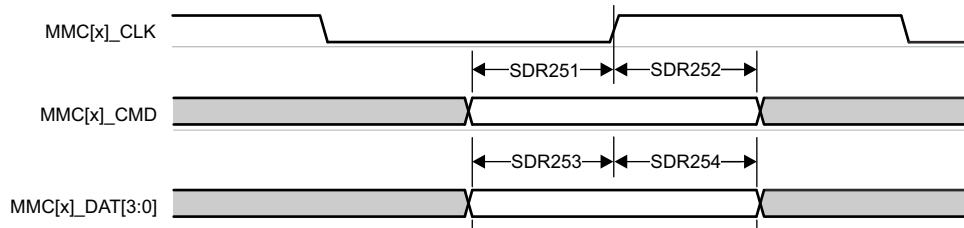


図 6-106. MMC1/2 – UHS-I SDR25 – 受信モード

表 6-99. MMC1/2 のスイッチング特性 – UHS-I SDR25 モード

図 6-107 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkH-cmdV)$	2.4	9.8	ns
SDR259	$t_d(clkH-dV)$	2.4	9.8	ns

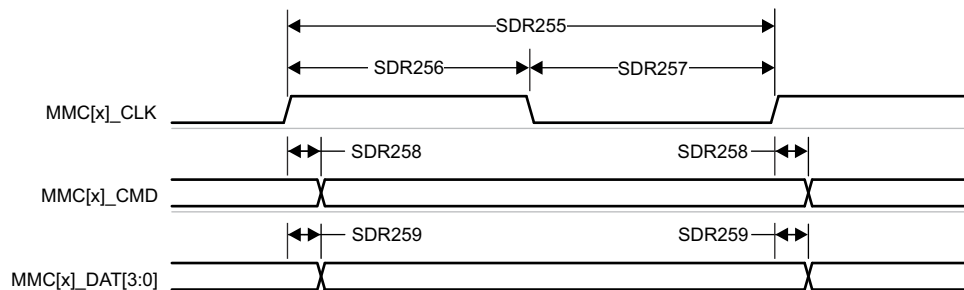


図 6-107. MMC1/2 – UHS-I SDR25 – 送信モード

6.10.5.19.2.5 UHS-I SDR50 モード

表 6-100 および 図 6-108 に、MMC1/2 – UHS-I SDR50 モードのスイッチング特性を示します。

表 6-100. MMC1/2 のスイッチング特性 – UHS-I SDR50 モード

図 6-108 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC[x]_CLK		100 MHz
SDR505	$t_{c}(clk)$	10		ns
SDR506	$t_{w}(clkH)$	4.45		ns
SDR507	$t_{w}(clkL)$	4.45		ns
SDR508	$t_{d}(clkH-cmdV)$	1.2	6.35	ns
SDR509	$t_{d}(clkH-dV)$	1.2	6.35	ns

A. MMC1 および MMC2 に対して、 $x = 1, 2$

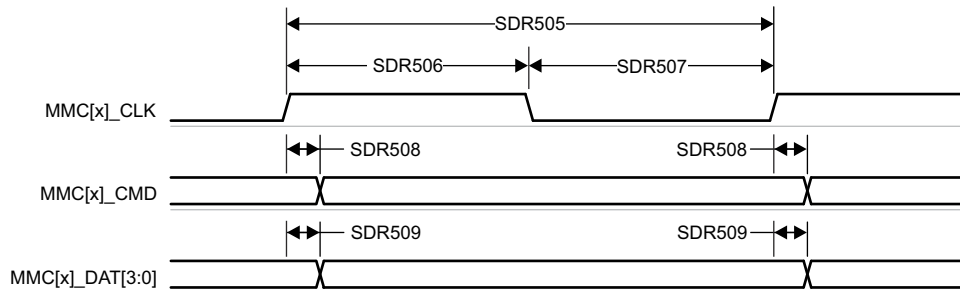


図 6-108. MMC1/2 – UHS-I SDR50 – 送信モード

6.10.5.19.2.6 UHS-I DDR50 モード

表 6-101 および 図 6-109 に、MMC1/2 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-101. MMC1/2 のスイッチング特性 – UHS-I DDR50 モード

図 6-109 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC[x]_CLK		50 MHz
DDR505	$t_c(clk)$	20		ns
DDR506	$t_w(clkH)$	9.2		ns
DDR507	$t_w(clkL)$	9.2		ns
DDR508	$t_d(clkH-cmdV)$	1.2	9.8	ns
DDR509	$t_d(clk-dV)$	1.2	6.35	ns

A. MMC1 および MMC2 に対して、 $x = 1, 2$

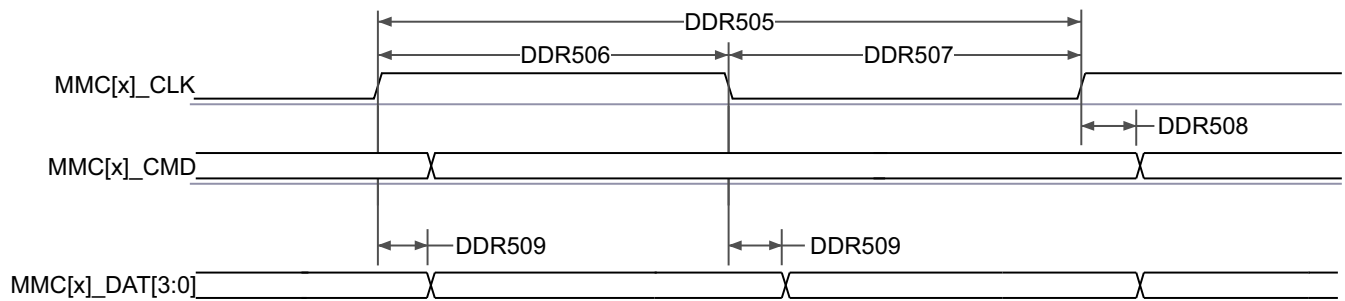


図 6-109. MMC1/2 – UHS-I DDR50 – 送信モード

6.10.5.19.2.7 UHS-I SDR104 モード

表 6-102 および 図 6-110 に、MMC1/2 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-102. MMC1/2 のスイッチング特性 – UHS-I SDR104 モード

図 6-110 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC[x]_CLK		200
SDR1045	$t_c(clk)$	サイクル時間、MMC[x]_CLK		5
SDR1046	$t_w(clkH)$	パルス幅、MMC[x]_CLK high		2.08
SDR1047	$t_w(clkL)$	パルス幅、MMC[x]_CLK low		2.08
SDR1048	$t_d(clkH-cmdV)$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで		1.12 3.16
SDR1049	$t_d(clkH-dV)$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで		1.12 3.16

A. MMC1 および MMC2 に対して、x = 1, 2

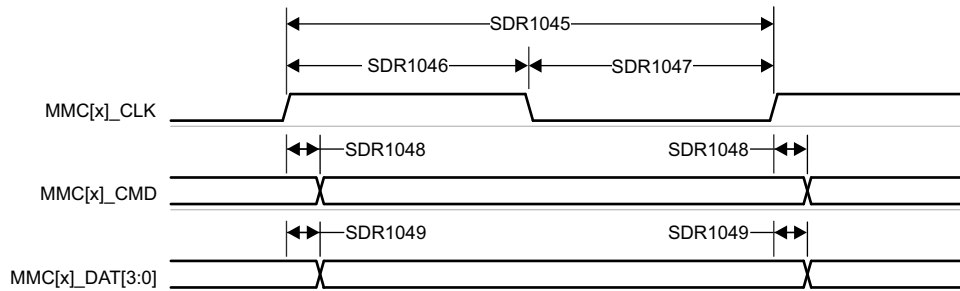


図 6-110. MMC1/2 – UHS-I SDR104 – 送信モード

6.10.5.20 CPTS

表 6-103 に、CPTS のタイミング条件を示します。

表 6-103. CPTS のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_i	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	2	10	pF

セクション 6.10.5.20.1、セクション 6.10.5.20.2、図 6-111、図 6-112 に、CPTS インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.20.1 CPTS のタイミング要件

図 6-111 参照

番号	パラメータ	説明	最小値	最大値	単位
T1	$t_w(HWnTSPUSHH)$	パルス幅、HWnTSPUSH ⁽²⁾ high	12P + 2 ⁽¹⁾		ns
T2	$t_w(HWnTSPUSHL)$	パルス幅、HWnTSPUSH ⁽²⁾ low	12P + 2 ⁽¹⁾		ns
T3	$t_c(RFT_CLK)$	サイクル時間、RFT_CLK	5	8	ns
T4	$t_w(RFT_CLKH)$	パルス幅、RFT_CLK high	0.45 * T ⁽³⁾		ns

図 6-111 参照

番号	パラメータ	パルス幅、RFT_CLK low	最小値	最大値	単位
T5	$t_w(\text{RFT_CLKL})$		$0.45 * T^{(3)}$		ns

- (1) P = 機能クロック周期 (ns 単位)。
 (2) HWnTSPUSH で、n= 1~2
 (3) T = RFT_CLK 周期 (ns 単位)。

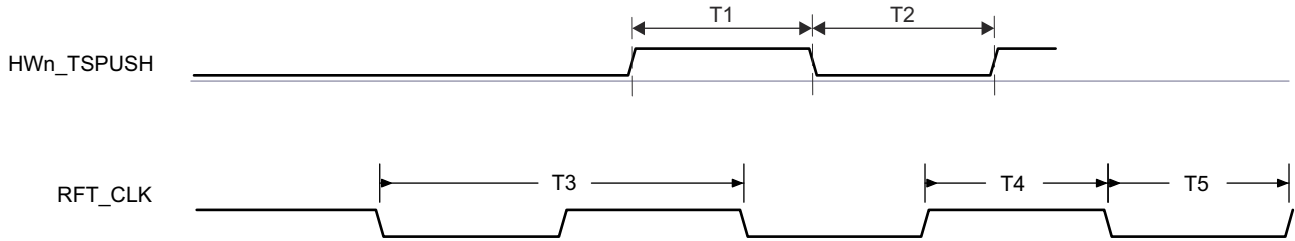


図 6-111. CPTS のタイミング要件

6.10.5.20.2 CPTS スイッチング特性

図 6-112 参照

番号	パラメータ	パルス幅、TS_COMP high	ソース	最小値	最大値	単位
T6	$t_w(\text{TS_COMPH})$			$36P - 2^{(1)}$		ns
T7	$t_w(\text{TS_COMPL})$			$36P - 2^{(1)}$		ns
T8	$t_w(\text{TS_SYNCH})$			$36P - 2^{(1)}$		ns
T9	$t_w(\text{TS_SYNCL})$			$36P - 2^{(1)}$		ns
T10	$t_w(\text{SYNCn_OUTH})$	パルス幅、SYNCn_OUT ⁽²⁾ high	TS_SYNC	$36P - 2^{(1)}$		ns
			TS_GENF	$5P - 2^{(1)}$		ns
T11	$t_w(\text{SYNCn_OUTL})$	パルス幅、SYNCn_OUT ⁽²⁾ low	TS_SYNC	$36P - 2^{(1)}$		ns
			TS_GENF	$5P - 2^{(1)}$		ns

- (1) P = 機能クロック周期 (ns 単位)。
 (2) SYNCn_OUT では N = 0~3

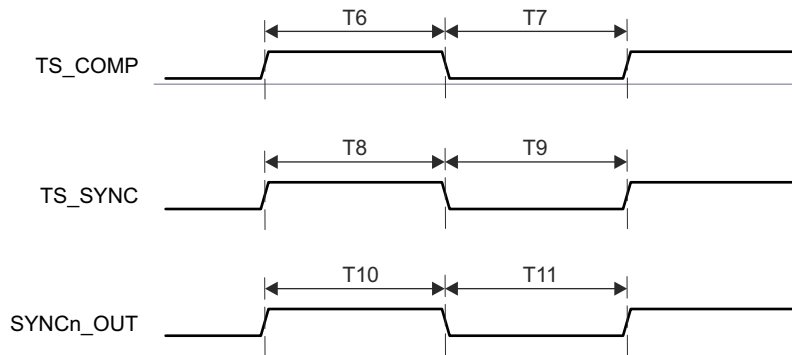


図 6-112. CPTS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「データ移動アーキテクチャ (DMA)」の章にある「ナビゲータ サブシステム (NAVSS)」セクションを参照してください。

6.10.5.21 OSPI

本デバイスのオクタール シリアル ペリフェラル インターフェイスの機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および[セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

表 6-104 に、OSPI のタイミング条件を示します。

表 6-104. OSPI のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	3.3V	2	6	V/ns
		その他のすべてのモード	1	6	V/ns
出力条件					
C _L	出力負荷容量	すべてのモード	3	10	pF
PCB 接続要件					
t _d (Trace Delay)	伝搬遅延 OSPI_CLK パターン	ループバックなし、 内部パッド ループ バック		450	ps
	伝搬遅延 OSPI_LBCLKO パターン	外部ボードのループ バック	2*L-30 ⁽²⁾	2*L+30 ⁽²⁾	ps
	伝搬遅延 OSPI_DQS パターン	DQS	L-30 ⁽²⁾	L+30 ⁽²⁾	ps
t _d (Trace Mismatch Delay)	伝搬遅延の不整合 OSPI_CLK に対する、OSPI_D[i:0] ⁽¹⁾ 、OSPI_CS _n	すべてのモード		60	ps

(1) OSPI0 で D[i:0] の i は 0~7、OSPI1 で [i:0] の i は 3

(2) L = OSPI_CLK パターンの伝搬遅延

6.10.5.21.1 OSPI PHY モード

6.10.5.21.1.1 データ トレーニングを伴う OSPI

注

OSPI をデータ トレーニングとともに使用する場合、I/O タイミング要件およびスイッチング特性は適用されません。正常な動作を確保するために、[セクション 8.3.2](#)「OSPI および QSPI 基板の設計およびレイアウトのガイドライン」セクションに従ってください。

6.10.5.21.1.1.1 OSPI のスイッチング特性 – データ トレーニング

パラメータ	説明	モード	最小値	最大値	単位
$t_{c}(\text{CLK})$	サイクル時間、CLK	DDR、1.8V	6		ns
		DDR、3.3V	7.5		ns
$t_{c}(\text{CLK})$	サイクル時間、CLK	SDR、1.8V	6		ns
		SDR、3.3V	7.5		ns

6.10.5.21.1.2 データ トレーニングなし OSPI

注

このセクションに示す I/O タイミングは、データ トレーニングが実装されていない場合にのみ適用されます。さらに、この I/O タイミングは、対応する DLL 遅延がこのセクションの [表 6-105](#) で説明するように構成されている場合に、一部の OSPI 使用モードでのみ有効です。

[セクション 6.10.5.21.1.2.4](#)、[セクション 6.10.5.21.1.2](#)、[セクション 6.10.5.21.1.2.2](#) および [セクション 6.10.5.21.1.2](#) に、OSPI DDR および SDR モードのスイッチング特性を示します。

6.10.5.21.1.2.1 OSPI のタイミング要件 – SDR モード

表 6-105. OSPI DLL 遅延マッピング - SDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

番号	パラメータ	説明	モード	最小値	最大値	単位
O19	$t_{su}(\text{D-CLK})$	セットアップ時間、D[i:0] 有効からアクティブ CLK エッジまで ⁽¹⁾	1.8V、内部ループバック	-2.19		ns
			3.3V、内部ループバック	-1.71		ns
O20	$t_{h}(\text{CLK-D})$	ホールド時間、アクティブ CLK エッジから D[i:0] 有効の間 ⁽¹⁾	1.8V、内部ループバック	7.62		ns
			3.3V、内部ループバック	8.1		ns
O21	$t_{su}(\text{D-LBCLK})$	セットアップ時間、D[i:0] 有効からアクティブ LBCLK 入力 (DQS) エッジまで ⁽¹⁾	1.8V、外部ボード ループバック	-3.1		ns
			3.3V、外部ボード ループバック	-2.72		ns
O22	$t_{h}(\text{LBCLK-D})$	ホールド時間、アクティブ LBCLK 入力 (DQS) エッジから D[i:0] 有効まで ⁽¹⁾	1.8V、外部ボード ループバック	3.81		ns
			3.3V、外部ボード ループバック	4.33		ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

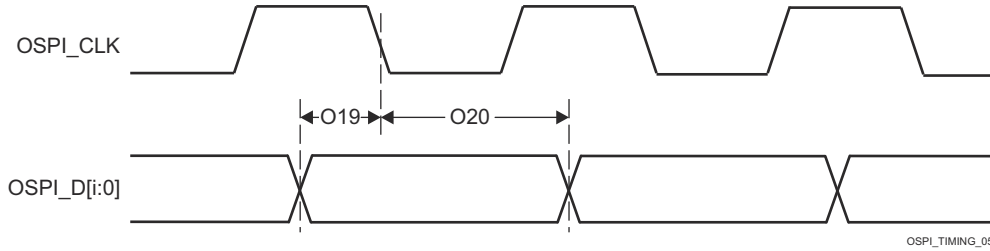


図 6-113. OSPI のタイミング要件 – SDR、内部クロックおよび内部パッド ループバック クロック

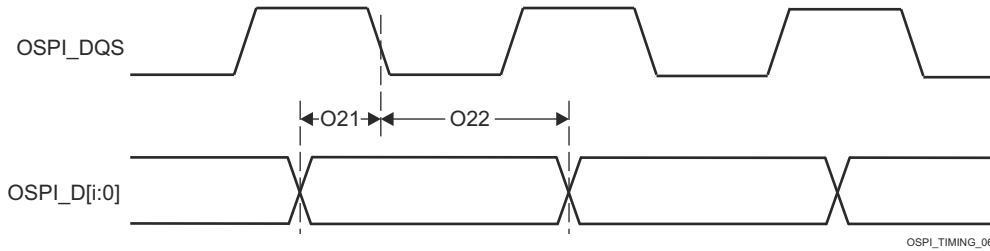


図 6-114. OSPI のタイミング要件 – SDR、外部ループバック クロック

6.10.5.21.1.2.2 OSPI のスイッチング特性 – SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、CLK	1.8V	7		ns
			3.3V	7.5		ns
O8	$t_{w}(\text{CLKL})$	パルス幅、CLK low		$-0.3+0.475 \cdot P$ (2)		ns
O9	$t_{w}(\text{CLKH})$	パルス幅、CLK high		$-0.3+0.475 \cdot P$ (2)		ns
O10	$t_{d}(\text{CLK-CSn})$	遅延時間、CLK 立ち上がりエッジから CSn アクティブ エッジまで	1.8V	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (3) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (3) (3) (5)	ns
			3.3V	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (3) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (2) (3) (5)	ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで	1.8V	$0.475 \cdot P + 0.975 \cdot N \cdot R - 1$ (2) (4) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (2) (4) (5)	ns
			3.3V	$-1 + 0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (4) (5)	$1 + 0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (4) (5)	ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、CLK アクティブ エッジから D[i:0] 遷移まで ⁽¹⁾	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

- (1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3
- (2) $P = \text{CLK サイクル時間} = \text{SCLK 周期}$
- (3) $N = \text{OSPI_DEV_DELAY_REG}[D_INIT_FLD]$
- (4) $N = \text{OSPI_DEV_DELAY_REG}[D_AFTER_FLD]$
- (5) $R = \text{refclk}$

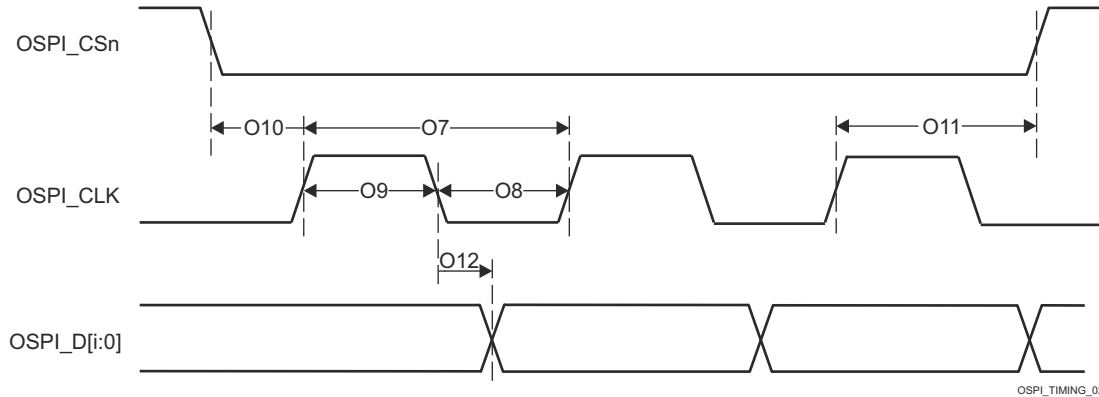


図 6-115. OSPI のスイッチング特性 – SDR

セクション 6.10.5.21.1.2.3、セクション 6.10.5.21.1.2.1、セクション 6.10.5.21.1.2.2、セクション 6.10.5.21.1.2.2、および図 6-114 に、OSPI DDR および SDR モードのタイミング要件を示します。

6.10.5.21.1.2.3 OSPI のタイミング要件 – DDR モード

表 6-106. OSPI DLL 遅延マッピング - DDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値	
		OSPI0	OSPI1
送信			
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x40	0x41
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3C	0x3E
受信			
1.8V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x13	0x15
3.3V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x1E	0x1E
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0	0x0

番号	パラメータ	説明	モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、D[i:0] 有効からアクティブ LBCLK (DQS) エッジまで ⁽¹⁾	1.8V、外部ボード ループバック	0.52		ns
			3.3V、外部ボード ループバック	1.97		ns
O16	$t_h(LBCLK-D)$	ホールド時間、アクティブ LBCLK (DQS) エッジから D[i:0] 有効の間 ⁽¹⁾	1.8V、外部ボード ループバック	1.24 ⁽²⁾		ns
			3.3V、外部ボード ループバック	1.44 ⁽²⁾		ns
O17	$t_{su}(D-DQS)$	セットアップ時間、DQS エッジから D[i:0] 遷移まで ⁽¹⁾	1.8V, DQS	-0.46		ns
			3.3V, DQS	-0.66		ns
O18	$t_h(DQS-D)$	ホールド時間、DQS エッジから D[i:0] 遷移まで ⁽¹⁾	1.8V, DQS	3.59		ns
			3.3V, DQS	8.89		ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

(2) このホールド時間の要件は、一般的なフラッシュ デバイスのホールド時間よりも長いです。したがって、SoC と、フラッシュ デバイスとの間のトレース長は、SoC のホールド時間を確実に満たすのに十分な長さにする必要があります。詳細については、セクション 8.3.2 を参照してください。

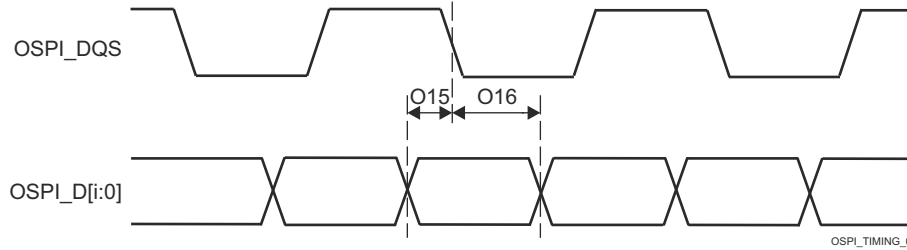


図 6-116. OSPI のタイミング要件 – DDR、外部ループバック クロックおよび DQS

6.10.5.21.1.2.4 OSPI のスイッチング特性 – DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_c(\text{CLK})$	サイクル時間、CLK	1.8V	19		ns
			3.3V	19		ns
O2	$t_w(\text{CLKL})$	パルス幅、CLK low		$0.475 * P - 0.3$ (2)		ns
O3	$t_w(\text{CLKH})$	パルス幅、CLK high		$0.475 * P - 0.3$ (2)		ns
O4	$t_d(\text{CLK-CSn})$	遅延時間、CSn アクティブ エッジから CLK 立ち上がりエッジまで	1.8V	$0.475 * P +$ $0.975 * N * R$ (2) (3) (5)	$0.475 * P +$ $0.975 * N * R$ $+ 1$ (2) (3) (5)	ns
			3.3V	$0.475 * P +$ $0.975 * N * R$ (2) (3) (5)	$0.475 * P +$ $0.975 * N * R$ $+ 1$ (2) (3) (5)	ns
O5	$t_d(\text{CLK-CSn})$	遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで	1.8V	$0.475 * P +$ $0.975 * N * R$ $- 7$ (2) (4) (5)	$0.475 * P +$ $0.975 * N * R$ (2) (4) (5)	ns
			3.3V、OSPI0 DDR TX、 3.3V、OSPI1 DDR TX	$0.475 * P +$ $0.975 * N * R$ $- 7$ (2) (4) (5)	$0.475 * P +$ $0.975 * N * R$ (2) (4) (5)	ns
O6	$t_d(\text{CLK-D})$	遅延時間、CLK アクティブ エッジから D[i:0] 遷移まで ⁽¹⁾	1.8V、OSPI0 DDR TX、 1.8V、OSPI1 DDR TX	-7.71	-1.56	ns
			3.3V、OSPI0 DDR TX、 3.3V、OSPI1 DDR TX	-7.71	-1.56	ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

(2) P = CLK サイクル時間 = SCLK 周期

(3) N = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(4) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(5) R = refclk

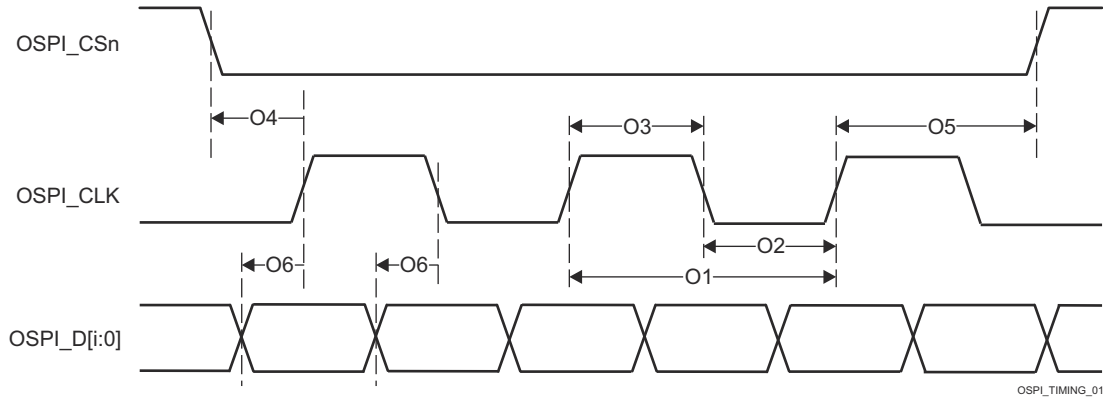


図 6-117. OSPI のスイッチング特性 – DDR

6.10.5.21.2 OSPI タップモード

6.10.5.21.2.1 OSPI タップ SDR のタイミング

表 6-107、[図 6-118](#)、[表 6-108](#)、[図 6-119](#) に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-107. OSPI のタイミング要件 - タップ SDR モード

[図 6-118](#) 参照

番号		モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、アクティブ OSPI_CLK エッジの前 OSPI_D[7:0] 有効	10.4 - (0.975T ⁽¹⁾ R ⁽²⁾)		ns
O20	$t_h(CLK-D)$	ホールド時間、アクティブ OSPI_CLK エッジの後 OSPI_D[7:0] 有効	(-0.2 + (0.975T ⁽¹⁾ R ⁽²⁾))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = リファレンスクロック サイクル時間 (ns 単位)

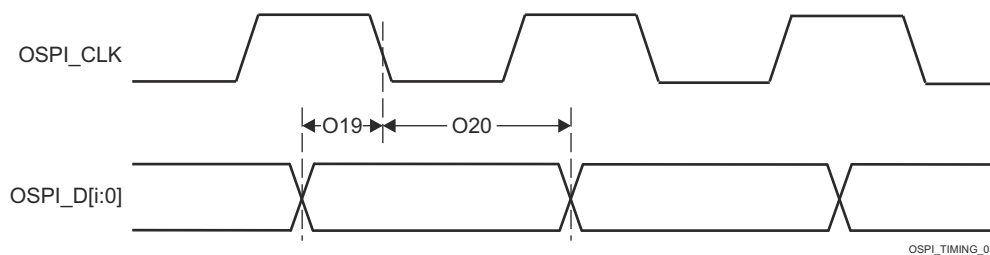


図 6-118. OSPI のタイミング要件 – タップ SDR、ループバックなし

表 6-108. OSPI0/1 のスイッチング特性 – タップ SDR モード

図 6-119 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、OSPI0/1_CLK	20		ns
O8	$t_{w}(\text{CLKL})$	パルス幅、OSPI0/1_CLK Low	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$	パルス幅、OSPI0/1_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0/1_CS _n [3:0] アクティブ エッジから OSPI0/1_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) - 1.5)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + 1.5)$	ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0/1_CLK 立ち上がりエッジから OSPI0/1_CS _n [3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 1.5)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) + 1.5)$	ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0/1_CLK アクティブ エッジから OSPI0/1_D[7:0] 遷移まで	-2	2	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0/1_CLK 周期 (ns)
 (2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
 (3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
 (4) R = リファレンスクロック サイクル時間 (ns 単位)

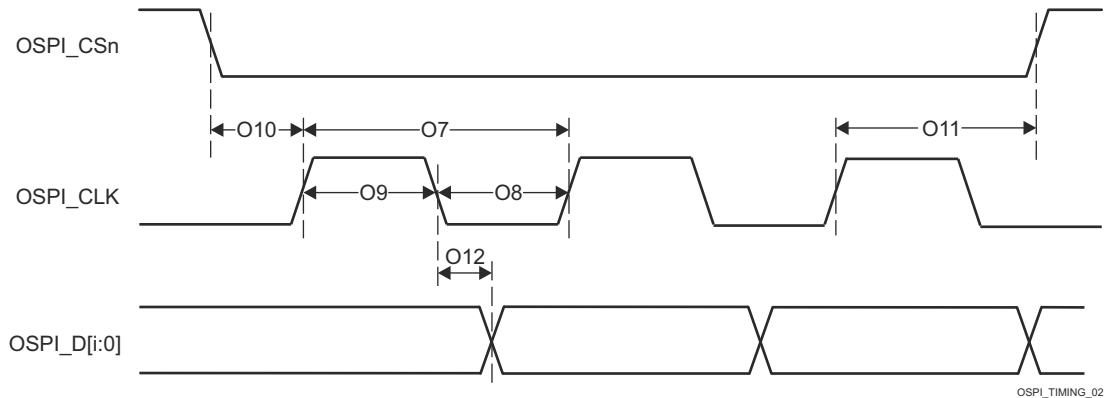


図 6-119. OSPI のスイッチング特性 – タップ SDR、ループバックなし

6.10.5.21.2.2 OSPI タップ DDR のタイミング

表 6-109、図 6-120、表 6-110、図 6-121 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-109. OSPI のタイミング要件 - タップ DDR モード

図 6-120 参照

番号		モード	最小値	最大値	単位
O13	$t_{su}(D-CLK)$	セットアップ時間、OSPI0/1_D[7:0] 有効からアクティブ OSPI0/1_CLK エッジまで	ループバックなし	(12.04 - (0.975T ⁽¹⁾ R ⁽²⁾))	ns
O14	$t_h(CLK-D)$	ホールド時間、OSPI0/1_CLK のアクティブエッジから OSPI0/1_D[7:0] 有効の間	ループバックなし	(1.84 + (0.975T ⁽¹⁾ R ⁽²⁾))	ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = リファレンス クロック サイクル時間 (ns 単位)

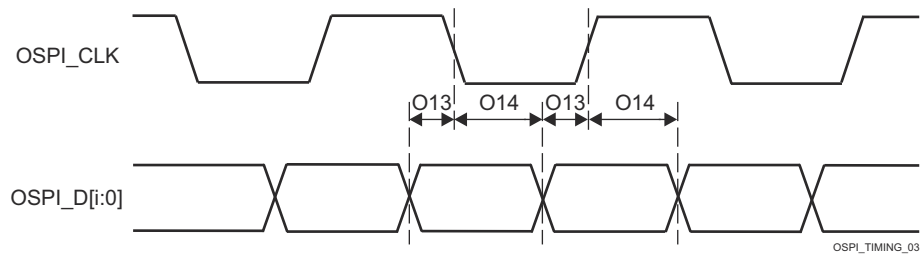


図 6-120. OSPI のタイミング要件 – タップ DDR、ループバックなし

表 6-110. OSPI0/1 のスイッチング特性 – タップ DDR モード

図 6-121 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c}(\text{CLK})$	サイクル時間、OSPI0/1_CLK	40		ns
O2	$t_{w}(\text{CLKL})$	パルス幅、OSPI0/1_CLK Low	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w}(\text{CLKH})$	パルス幅、OSPI0/1_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0/1_CS[n:0] アクティブ エッジから OSPI0/1_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1.5)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1.5)$	ns
O5	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0/1_CLK 立ち上がりエッジから OSPI0/1_CS[n:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1.5)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1.5)$	ns
O6	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0/1_CLK アクティブ エッジから OSPI0/1_D[7:0] 遷移まで	$(-17.94 + (0.975(T^{(4)} + 1)R^{(5)})$	$(-1.56 + (1.025(T^{(4)} + 1)R^{(5)})$	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)
 (2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
 (3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
 (4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]
 (5) R = リファレンス クロック サイクル時間 (ns 単位)

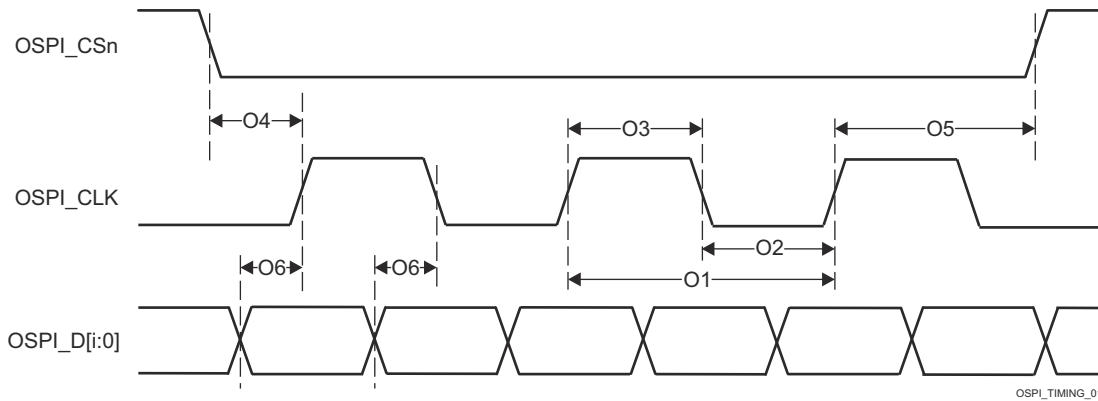


図 6-121. OSPI のスイッチング特性 – タップ DDR、ループバックなし

6.10.5.22 PCIE

PCI-Express サブシステムは、PCIe® ベース仕様、レビジョン 4.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

本デバイスのペリフェラル コンポーネント インターコネクト エクスプレスの機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および[セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

6.10.5.23 タイマ

本デバイスのタイマの機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および[セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

表 6-111 に、タイマのタイミング条件を示します。

表 6-111. タイマのタイミング条件

パラメータ	説明	モード	最小値	最大値	単位
入力条件					

表 6-111. タイマのタイミング条件 (続き)

パラメータ	説明	モード	最小値	最大値	単位
SR_I	入力スルーレート	キャプチャ	0.5	5	V/ns
出力条件					
C_L	出力負荷容量	PWM	2	10	pF

セクション 6.10.5.23.1、セクション 6.10.5.23.2、図 6-122 に、タイマのタイミングとスイッチング特性を示します。

6.10.5.23.1 タイマのタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	$t_w(TINPH)$	パルス幅、High	キャプチャ	$2.5 + 4P^{(1)}$		ns
T2	$t_w(TINPL)$	パルス幅、Low	キャプチャ	$2.5 + 4P^{(1)}$		ns

(1) P = 機能クロック周期 (ns 単位)。

6.10.5.23.2 タイマのスイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	$t_w(TOUTH)$	パルス幅、High	PWM	$-2.5 + 4P^{(1)}$		ns
T4	$t_w(TOUTL)$	パルス幅、Low	PWM	$-2.5 + 4P^{(1)}$		ns

(1) P = 機能クロック周期 (ns 単位)。

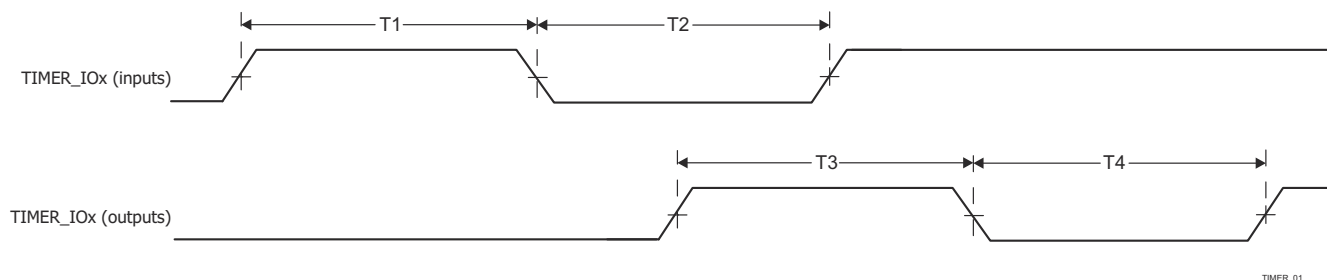


図 6-122. タイマのタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

6.10.5.24 UART

本デバイスのユニバーサル非同期レシーバトランスミッタの機能の詳細と追加の説明については、セクション 5.3「信号の説明」およびセクション 7「詳細説明」内の対応するセクションを参照してください。

表 6-112 に、UART のタイミング条件を示します。

表 6-112. UART のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	1	30	pF
PCB 接続要件				

表 6-112. UART のタイミング条件 (続き)

パラメータ	説明	最小値	最大値	単位
$t_d(\text{Trace Mismatch Delay})$	すべてのパターンにわたる伝搬遅延の不整合		100	ps

セクション 6.10.5.24.1、セクション 6.10.5.24.2、図 6-123 に、UART インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.24.1 UART のタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
4	$t_w(\text{rx}d)$	パルス幅、受信データビット High または Low		$0.95U^{(1)}$	$1.05U^{(1)}$	ns
5	$t_w(\text{rx}dS)$	パルス幅、受信スタートビット Low		$0.95U^{(1)}$		ns

(1) $U = \text{UART のボー時間} = 1 / \text{プログラムされたボーレート}$ 。

6.10.5.24.2 UART スwitching 特性

番号	パラメータ	説明	モード	最小値	最大値	単位
	$f_{op}(\text{baud})$	プログラム可能な最大ボー レート	15pF 30pF		12 0.115	MHz
1	$t_d(\text{ctsnL-txdV})$	遅延時間、CTS ビット受信から送信データまで		30		ns
2	$t_w(\text{tx}d)$	パルス幅、送信データビット High または Low		$U - 2^{(1)}$	$U + 2^{(1)}$	ns
3	$t_w(\text{tx}dS)$	パルス幅、送信スタートビット Low		$U - 2^{(1)}$		ns

(1) $U = \text{UART のボー時間} = 1 / \text{プログラムされたボーレート}$ 。

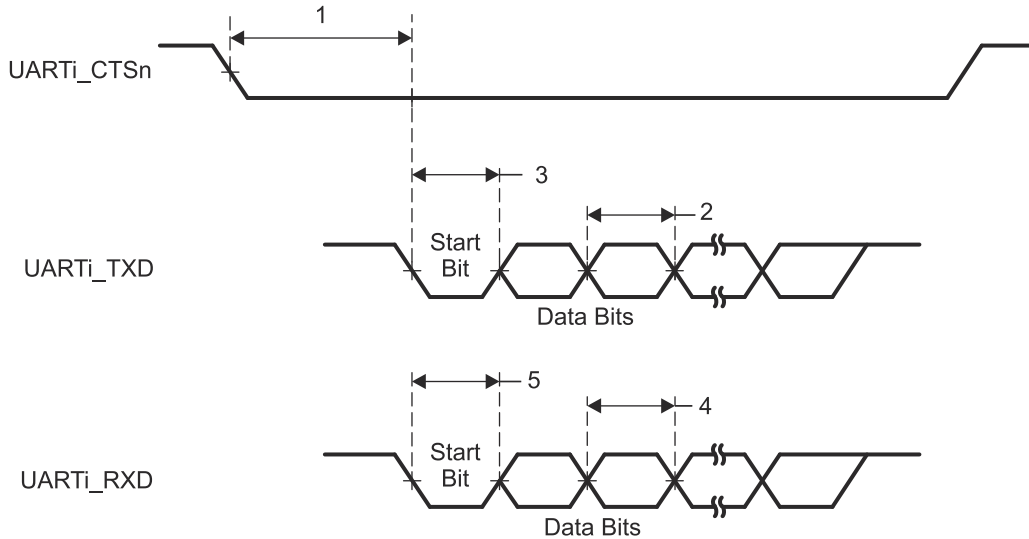


図 6-123. UART のタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ/トランスミッタ (UART)」セクションを参照してください。

6.10.5.25 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

USB 3.1 Gen1 デュアルロール デバイス サブシステムは、USB (Universal Serial Bus) 3.1 仕様、リビジョン 1.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイス、ユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明情報については、[セクション 5.3](#)「信号の説明」および[セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

6.10.6 エミュレーションおよびデバッグ

6.10.6.1 トレース

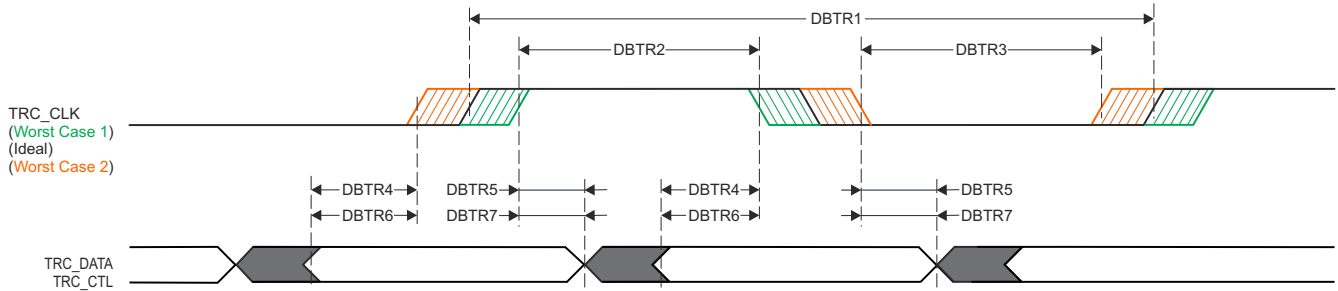
表 6-113. トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
PCB 接続要件				
t_d (Trace Mismatch)	すべてのパターンにわたる伝搬遅延の不整合		200	ps

表 6-114 および [図 6-124](#) は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

表 6-114. トレースのスイッチング特性

番号	パラメータ		最小値	最大値	単位
1.8 V モード					
DBTR1	t_c (TRC_CLK)	サイクル時間、TRC_CLK	6.50		ns
DBTR2	t_w (TRC_CLKH)	パルス幅、TRC_CLK High	2.50		ns
DBTR3	t_w (TRC_CLKL)	パルス幅、TRC_CLK Low	2.50		ns
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK)	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.81		ns
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI)	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.81		ns
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK)	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.81		ns
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI)	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.81		ns
3.3 V モード					
DBTR1	t_c (TRC_CLK)	サイクル時間、TRC_CLK	9.75		ns
DBTR2	t_w (TRC_CLKH)	パルス幅、TRC_CLK High	4.13		ns
DBTR3	t_w (TRC_CLKL)	パルス幅、TRC_CLK Low	4.13		ns
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK)	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.22		ns
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI)	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.22		ns
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK)	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.22		ns
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI)	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.22		ns



SPRSP08_Debug_01

図 6-124. トレースのスイッチング特性

6.10.6.2 JTAG

本デバイスの IEEE 1149.1 Standard-Test-Access ポートの機能の詳細と追加の説明については、[セクション 5.3](#)「信号の説明」および[セクション 7](#)「詳細説明」内の対応するセクションを参照してください。

表 6-115. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.25	2.00	V/ns
出力条件				
C _L	出力負荷容量	5	15	pF

6.10.6.2.1 JTAG の電氣的データおよびタイミング

[セクション 6.10.6.2.1.1](#)、[セクション 6.10.6.2.1.2](#)、[図 6-125](#) は、推奨動作条件と電氣的特性条件に基づくテストを想定しています。

6.10.6.2.1.1 JTAG のタイミング要件

[図 6-125](#) 参照

番号			最小値	最大値	単位
J1	t _c (TCK)	最小サイクル時間、TCK	100		ns
J2	t _w (TCKH)	最小パルス幅、TCK High	40		ns
J3	t _w (TCKL)	最小パルス幅、TCK Low	40		ns
J4	t _{su} (TDI-TCK)	最小入力セットアップ時間、TDI 有効から TCK High まで	13		ns
	t _{su} (TMS-TCK)	最小入力セットアップ時間、TMS 有効から TCK High まで	13		ns
J5	t _h (TCK-TDI)	最小入力ホールド時間、TCK High から TDI 有効の間	7.7		ns
	t _h (TCK-TMS)	最小入力ホールド時間、TCK High から TMS 有効の間	7.7		ns

- JTAG 信号は、デバイス上の 2 つの IO 電源ドメインに分割されます。この表に定義されているタイミング パラメータは、2 つの IO 電源ドメインが同じ電圧で動作している場合のみ適用されます。2 つの IO 電源ドメインを異なる電圧で動作させる場合、これらのタイミング パラメータの値は定義されません。一部が 1.8V で動作し、他の部分が 3.3V で動作している場合には、デバイスの IO バッファを通る伝搬遅延が異なるからです。これにより、タイミング マージンは、この表に定義された値よりも実質的に減少します。システム設計者が適切なレベル シフタを実装し、異なる電圧で動作しているレベル シフタと IO バッファによって挿入される追加の遅延に対応するために動作周波数を低下させるならば、2 つの IO 電源ドメインが異なる電圧で動作していても JTAG インターフェイスは引き続き機能することが期待されます。

6.10.6.2.1.2 JTAG スイッチング特性

図 6-125 を参照

番号	パラメータ	最小値	最大値	単位
J6	$t_d(\text{TCKL-TDOI})$	最小遅延時間、TCK Low から TDO 無効まで		ns
J7	$t_d(\text{TCKL-TDOV})$	最大遅延時間、TCK Low から TDO 有効まで		ns

- JTAG 信号は、デバイス上の 2 つの IO 電源ドメインに分割されます。この表に定義されているタイミング パラメータは、2 つの IO 電源ドメインが同じ電圧で動作している場合にのみ適用されます。2 つの IO 電源ドメインを異なる電圧で動作させる場合、これらのタイミング パラメータの値は定義されません。一部が 1.8V で動作し、他の部分が 3.3V で動作している場合には、デバイスの IO バッファを通る伝搬遅延が異なるからです。これにより、タイミング マージンは、この表に定義された値よりも実質的に減少します。システム設計者が適切なレベル シフトを実装し、異なる電圧で動作しているレベル シフトと IO バッファによって挿入される追加の遅延に対応するために動作周波数を低下させるならば、2 つの IO 電源ドメインが異なる電圧で動作していても JTAG インターフェイスは引き続き機能することが期待されます。

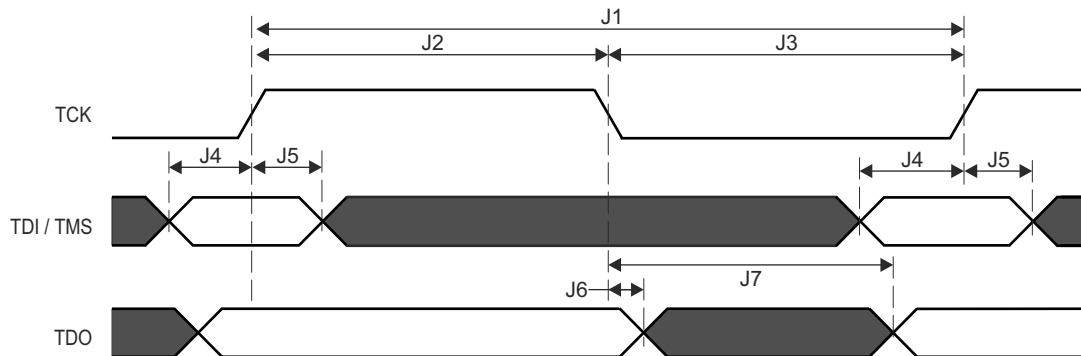


図 6-125. JTAG のタイミング要件およびスイッチング特性

7 詳細説明

7.1 概要

TDA4VM プロセッサ ファミリは、画期的な **Jacinto 7** アーキテクチャを基礎とし、**ADAS** および自律走行車 (**AV**) アプリケーションを対象としており、**ADAS** プロセッサ市場において **TI** がリーダーとして **10** 年以上蓄積した膨大な市場知識の上に構築されています。**TDA4VM** は、高度なシステム統合によって、従来型とディープ ラーニングの両方のアルゴリズムを業界最高の電力 / 性能比で高精度計算し、集中 **ECU** またはスタンドアロン センサの複数センサ方式をサポートする先進車載用プラットフォームの拡張とコスト低減を実現できます。主要なコアとして、スカラーおよびベクター コアを持つ次世代 **DSP**、ディープ ラーニング専用および従来型アルゴリズム用アクセラレータ、汎用計算用の最新の **Arm** および **GPU** プロセッサ、統合型次世代イメージング サブシステム (**ISP**)、ビデオ コーデック、イーサネット ハブ、分離された **MCU** アイランドが含まれています。これらはすべて、車載グレードの安全性とセキュリティ ハードウェア アクセラレータにより保護されています。

注

スーパーセット デバイスのシステム オン チップ (**SoC**) の機能、サブシステム、アーキテクチャの詳細については、デバイスのテクニカル リファレンス マニュアル を参照してください。

7.2 プロセッサ サブシステム

7.2.1 ARM Cortex-A72

このデバイスには、1つのデュアルコア Arm® Cortex®-A72 MPU が実装されており、他のモジュールとともにコンピューティング クラスタ内に統合されています。Cortex-A72 コアは、お客様のアプリケーションを実行するために使用できる汎用プロセッサです。

A72SS は、Arm が提供し TI が構成した Arm Cortex-A72 MPCore (A72 クラスタ) を中心に構築されています。対称型マルチプロセッサ (SMP) アーキテクチャをベースとしており、高性能、最適な電力管理、デバッグ機能を実現します。

A72 プロセッサはマルチイシュー アウトオブオーダー スーパースカラ実行エンジンであり、L1 命令キャッシュとデータ キャッシュを内蔵し、Armv8-A アーキテクチャと互換性があります。Armv8-A アーキテクチャは、多くの新機能を備えています。たとえば、64 ビット データ処理、拡張仮想アドレッシング、64 ビット 汎用レジスタがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デュアル A72 MPU サブシステム」セクションを参照してください。

7.2.2 ARM Cortex-R5F

MCU_ARMSS は、Arm® Cortex®-R5F プロセッサのデュアル コア実装で、スプリット / ロック動作用に構成されています。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デュアル R5F MCU サブシステム」セクションを参照してください。

7.2.3 DSP C71x

TMS320C71x は、次世代の固定小数点および浮動小数点 DSP プラットフォームです。C71x DSP は、テキサス・インスツルメンツの DSP ファミリの新しいコアです。C71x DSP は、ベクトル信号処理をサポートしているため、C6x DSP ファミリーと比べると、広い範囲の一般的な信号処理タスクに対して DSP の処理能力が大幅に向上しています。さらに、C71x にはいくつかの特別な機能が搭載されており、目標とする機能を 30 倍以上高速化できます。新しい C71x コアには、ベクトル処理機能の拡張に加えて、分岐予測、保護されたパイプライン、正確な例外処理、仮想メモリ管理など、制御コードの効率およびプログラミングのしやすさを向上させる高度な手法も組み込まれています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「C71x DSP サブシステム」セクションを参照してください。

7.2.4 DSP C66x

C66x サブシステムは、TI の標準的な TMS320C66x DSP CorePac モジュールをベースにしています。C66x サブシステムはサブシステム ロジックを搭載しており、C66x CorePac を SoC に容易に統合できると同時に、従来のデバイスによるソフトウェアの再利用を最大限に高めることができます。

C66x DSP は、拡張機能と新機能により、C64x+ と C674x DSP の性能を向上します。新機能の多くは、ベクトル処理のパフォーマンス向上を目的としています。C64x+ および C674x DSP は、16 ビット データ用の 2 方向 SIMD 動作と、8 ビット データ用の 4 方向 SIMD 動作をサポートしています。C66x DSP では、SIMD 命令の幅を拡張することでベクトル処理機能が向上しています。

C66x DSP は、128 ビット ベクタ上で動作する命令を実行できます。例えば、QMPY32 命令は 4 つの 32 ビット データの 2 つのベクトル間で要素間の乗算を実行できます。また、C66x DSP は浮動小数点演算の SIMD もサポートしています。ベクトル処理能力の向上 (各命令は複数のデータを並列に処理可能) と C6000 アーキテクチャの自然な命令レベルの並列化 (たとえば、サイクルあたり最大 8 つの命令の実行) により、非常に高いレベルの並列化が実現され、DSP プログラムは TI の最適化された C/C++ コンパイラを使用して利用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「C66x DSP サブシステム」セクションを参照してください。

7.3 アクセラレータとコプロセッサ

7.3.1 GPU

グラフィックス処理ユニット (GPU) は、3 次元 (3D) と 2 次元 (2D) のグラフィックスおよびコンピューティング アプリケーションを高速化します。

GPU モジュールは、多数の異なるワークロードを同時に効率的に処理するスケーラブルなアーキテクチャです。

- 3D グラフィック ワークロード。3D シーンのレンダリングのための頂点データとピクセルデータ処理を含みます。
- 2D グラフィック ワークロード。2D オブジェクトをレンダリングするためのピクセルデータ処理を含みます。
- コンピューティング アプリケーション ワークロード。汎用データ処理を含みます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「グラフィックス処理ユニット (GPU)」セクションを参照してください。

7.3.2 VPAC

VPAC (ビジョン前処理アクセラレータ) は、一連の共通ビジョン プリミティブ機能であり、メモリからメモリへ (M2M) のピクセル データ処理タスクを実行します。たとえば、色処理と画質向上、ノイズ フィルタ、ワイド ダイナミック レンジ (WDR) 処理、レンズ歪み補正、歪み補正用のピクセル リマップ、オンザ フライのスケール生成、オンザ フライのピラミッド生成です。VPAC は、これらの共通タスクをメイン SoC プロセッサ (ARM、DSP など) から負荷軽減するので、これらの CPU を差別化された高レベルのアルゴリズムに利用できます。VPAC は、時間多重化モードで動作することで、複数のカメラをサポートするように設計されています。VPAC はビジョン処理のフロント エンドとして動作してフレーム / スケールを準備し、さらに、SoC 内にある他のビジョン アクセラレータまたはプロセッサ コアがその後の処理を行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「ビジョン前処理アクセラレータ (VPAC)」セクションを参照してください。

7.3.3 DMPAC

深度およびモーション処理アクセラレータ (DMPAC) は、電力効率の優れたハードウェア アクセラレータであり、カメラ入力から高密度ステレオ デプス マップ (深度) と高密度オプティカル フロー ベクトル (モーション) を計算します。

イメージ / ビデオ センサをベースとする環境認識 (シーン理解とも呼ばれます) は、車載用、産業用、およびコンシューマエレクトロニクス分野で、新しい多くのアプリケーションの中核になります。通常、この手法では、1 つまたは多数の関連する入力ビデオ ストリームを分析して、シーン内にあるすべての物体の検出と、観察者または自動車に対する 3D 位置およびモーションの検出が必要になります。さまざまなコンピュータ ビジョン アルゴリズムを使用して、これらのタスクを実現しています。

画像から 3D 深度を取得する非常に堅牢な方法は、ステレオ設定で 2 台のカメラを使用することです。すなわち、相対位置とカメラパラメータが既知である 2 台のカメラです。2 つの異なるカメラのポーズ / 視点からキャプチャされた同じシーンの 2 つの画像を分析し、画像内のすべてのピクセル位置の差を見つけて分析します。これを「ステレオ視差マップ」と呼んでいます。各ピクセルの視差値を使って、それらが属する物体/空間の 3D 位置を三角測量により取得できます。

一方、1 台のカメラで撮影した 2 つの異なる時間インスタンス (すなわち、ビデオ内の 2 つの時間フレーム) の画像を分析することにより、過去のフレームの各ピクセルが将来のフレームのどこに移動したかを判断できます。これを「オプティカル フロー ベクトル」と呼んでいます。各ピクセル位置のフローベクトルを使用して、シーンの 3D 構造を取得し、動いている物体を識別し、物体の相対速度と移動方向を決定できます。

DMPAC は、前述の画像処理タスク専用です。ステレオおよびオプティカル フローの処理は、デンス オプティカル フロー (DOF) エンジンおよびステレオ視差エンジン (SDE) という 2 つの最上位レベルのサブブロックに分割されています。DOF ブロックと SDE ブロックは、共通の共有ローカルメモリ、DMA、外部メッセージング、および制御インフラストラクチャを共有します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「深度およびモーション認識アクセラレータ (DMPAC)」セクションを参照してください。

7.3.4 D5520MP2

デコーダ モジュールは、D5520MP2 デュアル コア PowerVR® VPU (ビデオ プロセッサ ユニット) です。

D5520MP2 は以下をサポートできます。

- 1x 4kp60 デコード、または
- 2x 4kp30 デコード、または
- 4x 1080p60 デコード、または
- 8x 1080p30 デコード

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「マルチスタンダード HD ビデオ デコーダ (D5520MP2)」セクションを参照してください。

7.3.5 VXE384MP2

エンコーダ モジュールは、VXE384MP2 コア PowerVR® VPU (ビデオ プロセッサ ユニット) です。

VXE384MP2 は以下をサポートできます。

- 1x 1080p60 ビデオ ストリーム エンコーディング、または
- 2x または 3x 1080p30 ビデオ ストリーム エンコーディング

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「マルチスタンダード HD ビデオ デコーダ (VXE384MP2)」セクションを参照してください。

7.4 その他のサブシステム

7.4.1 MSMC

マルチコア共有メモリコントローラ (MSMC) は、コンピューティング クラスタ (COMPUTE_CLUSTER0) の中核であり、接続されているすべての処理エレメントとシステムの他の部分との間で、高帯域幅のリソース アクセスを提供します。MSMC は、コンピューティング クラスタのデータ移動バックボーンとして機能します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「マルチコア共有メモリ コントローラ (MSMC)」セクションを参照してください。

7.4.2 NAVSS

7.4.2.1 NAVSS0

メイン SoC ナビゲータ サブシステム (NAVSS0) は、DMA/ キュー管理コンポーネント (UDMA およびリング アクセラレータ (UDMASS))、ペリフェラル (モジュール サブシステム (MODSS))、仮想化変換 (VirtSS)、およびノース ブリッジ (NBSS) で構成されます。

7.4.2.2 MCU_NAVSS

MCU ナビゲータ サブシステム (MCU NAVSS) は、メイン NAVSS モジュールのサブセットを備えており、MCU ドメインでインスタンス化されます。

MCU ナビゲータ サブシステムは、DMA/ キュー管理コンポーネント (UDMA およびリング アクセラレータ (UDMASS))、ペリフェラル (モジュール サブシステム (MODSS、モジュール サブシステム)) で構成されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「メイン ナビゲータ サブシステム (NAVSS)」および「MCU ナビゲータ サブシステム (MCU NAVSS)」セクションを参照してください。

7.4.3 PDMA コントローラ

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタを使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置することを意図しており、VBUSP インターフェイスを使用してコストを削減し、静的に構成された転送要求 (TR) 動作のみをサポートするように設計されています。

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャネルによって PSI-L データ ストリームにパックされます。その後、リモートピア UDMA-P デスティネーション チャネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート UDMA-P ソース チャネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (UDMA-P + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

PDMA には複数のソースおよびデスティネーション チャネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャネルの状態情報を維持し、チャネル間のラウンド ロビン スケジューリングを採用しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「DMA コントローラ」の章にある「PDMA コントローラ」セクションを参照してください。

7.4.4 電源

このデバイスには、6 つの電源タイプと 1 つの内部 LDO 接続タイプが必要です。電源信号の説明を参照してください：

- デジタル IO 電圧
- デジタル低電圧
- デジタル AVS 電圧
- アナログ PHY および CLK 電圧
- アナログ低電圧
- eFuse プログラミング電圧
- LDO バルク フィルタ コンデンサ

共通のデバイス電源入力タイプは、電源レールにグループ化できます。すべての電源レールは、最も厳格な電源電圧仕様および合計負荷電流の要件を満たすように設計された電源リソースから電力を供給する必要があります。2 つの推奨電源供給回路 (PDN) が定義されています。これは、マイコンドメインおよびメインドメインを結合または分離するものです (セクション 8.1、電源マッピングを参照)。

一部のシステムでは、いくつかの電源入力が必要な場合があります。このような場合、デバイスの信頼性を確保するため、VPP_CORE および VPP_MCU を除くすべての未使用電源入力は、適切な電圧レベルの有効な電源レールに接続する必要があります (セクション 6.4、推奨動作条件を参照)。参考のため、以下に例を示します。

1. MCU アイランド安全監視、または MCU のみの低消費電力処理を使用しない場合、VDD_MCU 電源は、互換性のある動作電圧仕様の VDD_CORE 電源と結合することができます。
2. UHS-I SD カードまたは USB2.0 インターフェイスが必要な場合、VDDSHV5 (MMC1 インターフェイス) および VDDA_USB_3P3 (USB PHY インターフェイス) を VDD_IO_3V3 デジタル IO 電源レールと結合することができます。
3. 汎用デバイス タイプを使用する場合、eFuse プログラミング電圧 VPP_CORE および VPP_MCU は必要ないため、未接続のままにしておく必要があります。

7.4.5 ペリフェラル

7.4.5.1 ADC

A/D コンバータ (ADC) モジュールには 12 ビット ADC が 1 つ搭載されており、8 つのアナログ入力 (チャンネル) のいずれかに多重化できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

7.4.5.2 ATL

オーディオトラッキング ロジック (ATL) は、HD Radio™ アプリケーションで、デジタル オーディオ出力をベースバンドクロックに同期させるために使われています。この同じ IP を一般的に使用して、2 つの基準信号 (フレーム同期など) の間の誤差に追従し、(ソフトウェア制御によるサイクル スチールを使って) 所望の周波数に平均化された変調クロック出力を生成することもできます。このプロセスは、非同期サンプル レート変換アルゴリズムのハードウェア支援として使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオトラッキング ロジック (ATL)」セクションを参照してください。

7.4.5.3 CSI

7.4.5.3.1 カメラ ストリーミング インターフェイス レシーバ (CSI_RX_IF) および MIPI DPHY レシーバ (DPHY_RX)

このデバイスは、CSI_RX_IF モジュールを内蔵しているので、複数のカメラから画像処理アクセラレータ (VPAC) または内部メモリにビデオ入力をストリーミングできます。デバッグおよびテストの目的で、ビデオ入力をトランスミッタ CSI (CSI_TX_IF) 経由で再送信することもできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ ストリーミング インターフェイス (CSI)」セクションを参照してください。

7.4.5.3.2 カメラストリーミングインターフェイス トランスミッタ (CSI_TX_IF)

このデバイスは、CSI_TX_IF モジュールを内蔵しているため、メモリからビデオ データをストリーム出力したり、オプションのループバック出力として CSI レシーバから再送信して、診断、デバッグ、テストを行うことができます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ ストリーミング インターフェイス (CSI)」セクションを参照してください。

7.4.5.4 CPSW2G

2 ポートのギガビット イーサネット MAC (MCU_CPSW0) サブシステムは、イーサネット パケット通信をデバイスに提供し、イーサネット スイッチと同様の方法で構成されます。MCU_CPSW0 は、SGMII (Reduced Gigabit Media Independent Interface)、RGMII (Reduced Media Independent Interface)、および物理層デバイス (PHY) 管理用の MDIO (Management Data Input/Output) インターフェイスを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (CPSW0)」セクションを参照してください。

7.4.5.5 CPSW9G

9 ポートのギガビット イーサネット スイッチ (CPSW0) サブシステムは、デバイスへのイーサネット パケット通信をデバイスに提供し、イーサネット スイッチとして構成できます。CPSW0 には、SGMII (Serial Gigabit Media Independent Interface)、RGMII (Reduced Gigabit Media Independent Interface)、RMII (Reduced Media Independent Interface)、および物理層デバイス (PHY) 管理用の MDIO (Management Data Input/Output) インターフェイスを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ (MCU_CPSW0)」セクションを参照してください。

7.4.5.6 DCC

デュアル クロック コンパレータ (DCC) は、アプリケーションの実行中にクロック信号の精度を判定するために使用されます。特に、DCC は、期待されるクロック周波数からのドリフトを検出するように設計されています。必要な精度は、各アプリケーションの計算に基づいてプログラムできます。DCC は、別の入力クロックを基準として、選択可能なクロックソースの周波数を測定します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「デュアル クロック コンパレータ (DCC)」セクションを参照してください。

7.4.5.7 DDRSS

このデバイスの DDR サブシステムは、DDR コントローラ、DDR PHY、およびこれらのブロックをデバイスに統合するラッパー ロジックで構成されています。DDR サブシステムは DDRSS0 と呼ばれ、プログラムやデータの保存に利用できる外部 SDRAM デバイスとのインターフェイスを提供するために使用されます。DDRSS0 は MSMC 経由でアクセスされ、システム インターコネクタからは直接アクセスされません。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

7.4.5.8 DSS

DSS は、柔軟性の高い、コンポジション対応のディスプレイ サブシステムで、複数の高解像度ディスプレイ出力をサポートします。このシステムは、1 つのディスプレイ コントローラ (DISPC) と 1 つのフレーム バッファ デコンポジション コア (FBDC) で構成されています。DISPC は、各ディスプレイ出力に対して、マルチレイヤー ブレンディングおよび透明度をサポートしています。また、DISPC は、スケーリングを備えたライトバック パイプラインもサポートしており、メモリ間のコンポジションを可能にしたり、イーサネット ビデオ エンコーディング用のディスプレイ出力キャプチャを実現できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。

7.4.5.8.1 DSI

MIPI DSI v1.3.1 コントローラ (DSITX) は、MIPI DSI 1.3 規格で必要とされるストリーム アービトレーションおよび低レベルの protocols レイヤ機能を実装しています。シングル リンク構成で最大 4 つの 2.5Gbps D-PHY データ レーンをサポートし、使用事例 (1、2、3、または 4 レーン) に応じてバイト レーン マッピングを処理します。付随する DSI (物理層) D-PHY モジュール (DPHYTX) は、4 レーンの MIPI D-PHY トランスミッタを実装しており、ビデオ出力インターフェイスを実現します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびディスプレイ ペリフェラル」セクションを参照してください。

7.4.5.8.2 eDP

VESA DP1.4/eDP1.4 準拠のトランスミッタ ホスト コントローラ (EDP) は、最大 4 つのビデオ ストリーム (マルチストリーム トランスポート / MST 経由) と、4 レーン対応 SerDes モジュール経由で 1 つのオーディオ ストリームを出力できます。最大 25.92Gbps のアプリケーション帯域幅を提供します。追加の eDP (物理層) 補助 PHY (AUXPHY) モジュールは、長い (15m) ケーブルで 1Mbps のデータレートに必要な二重終端差動ペアを実装しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびディスプレイ ペリフェラル」セクションを参照してください。

7.4.5.9 VPFE

ビデオ プロセッシング フロント エンド (VPFE) は、外部のイメージング ペリフェラル (イメージ センサ、ビデオ デコーダなど) から生の (未加工) 画像 / ビデオ データまたは YUV デジタル ビデオ データを受信し、DMA 転送を実行して、キャプチャされたデータをシステムの DDR メモリに保存する入力インターフェイス モジュールです。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ビデオ プロセッシング フロント エンド (VPFE)」セクションを参照してください。

7.4.5.10 eCAP

拡張キャプチャ (ECAP) モジュールは、以下の用途に使用できます。

- オーディオ入力のサンプル レート測定
- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

詳細については、デバイス TRM の「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

7.4.5.11 EPWM

効果的な PWM ペリフェラルは、最小限の CPU オーバーヘッドまたは介入で、複雑なパルス幅波形を生成できる必要があります。高度にプログラマブルで、フレキシビリティが高く、しかも理解しやすく、使いやすいたことが求められます。ここで説明する EPWM ユニットの必要とするすべてのタイミングおよび制御リソースを PWM チャネルごとに割り当てることで、これらの要件に対応しています。リソースの交換も共有も行われていません。その代わりに本 EPWM は、必要に応じて連携して動作できる、独立したリソースを備えた複数の小さなシングル チャネル モジュールで構成されています。このモジュール式手法により直交アーキテクチャが可能となり、ペリフェラルの構造をより透過的に観察できるようになるため、ユーザーはその動作をすぐに理解できます。

これ以降の説明では、信号またはモジュール名の中で文字「x」を使って、デバイス上の EPWM インスタンスの総称を表しています。たとえば、出力信号 EPWMxA および EPWMxB は、EPWM_x インスタンスからの出力信号を意味しています。すなわち、EPWM1A および EPWM1B は EPWM1 に属しており、EPWM2A および EPWM2B は EPWM2 に属し、以下同様になります。

さらに、EPWM が統合されているため、この同期方式をキャプチャ ペリフェラル モジュール (ECAP) に拡張できます。モジュールの数はデバイスによって異なり、ターゲット アプリケーションの要求に基づいて決定されます。モジュールはスタンダアロンでも動作できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

7.4.5.12 ELM

エラー特定モジュール (ELM) は、GPMC と組み合わせて使用されます。NAND フラッシュ ページを読み出す際にオンザフライで生成され、GPMC レジスタに保存されたシンドローム多項式が、ELM に渡されます。ホスト プロセッサは、ELM エラー特定出力が示すビットを反転することで、データ ブロックを修正できます。

NAND フラッシュ メモリから読み出す場合、ある程度の誤り訂正が必要です。訂正機能を搭載していない NAND モジュール (ベア NAND と呼ばれる) の場合、訂正処理はメモリ コントローラによって行われます。ELM は、パラレル NOR フラッシュまたは NAND フラッシュをサポートするためにも使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール (ELM)」セクションを参照してください。

7.4.5.13 ESM

エラー通知モジュール (ESM) は、デバイス全体の安全関連イベントやエラーを 1 つの場所に集約します。安全イベントに対処するために、優先度の低い割り込みおよび高い割り込みをプロセッサに通知したり、I/O エラー ピンを操作して、エラーが発生したことを外部ハードウェアに通知したりすることができます。このため、外部コントローラでデバイスをリセットしたり、システムを安全な既知の状態に維持したりできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー通知モジュール (ESM)」セクションを参照してください。

7.4.5.14 eQEP

拡張直交エンコーダ パルス (eQEP) ペリフェラルを、リニアまたはロータリー インクリメンタル エンコーダとの直接インターフェイスとして使用することにより、高性能な動作および位置制御システムで利用される位置、方向、速度の情報を、回転する機械から取得できます。インクリメンタル エンコーダのディスクは、シングルトラックのスロットパターンでパターン化されています。これらのスロットは、暗いラインと明るいラインの交互パターンを生成します。ディスクでの計数は、1 回転あたりに発生する暗いラインと明るいラインのペアの数 (1 回転あたりのライン数) で決まります。一般的に、2 番目のトラックを追加して、1 回転に 1 回発生する信号を生成します (インデックス信号:QEPI)。これは、絶対位置を示すために使用できます。エンコーダのメーカーは、このインデックスパルスに対して、インデックス、マーカー、ホーム位置、ゼロ基準などのさまざまな用語を使用しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

7.4.5.15 GPIO

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

さらに、GPIO ペリフェラルは、さまざまな割り込み/イベント生成モードで、ホスト CPU 割り込みおよび DMA 同期イベントを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

7.4.5.16 GPMC

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページモード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

7.4.5.17 Hyperbus

Hyperbus モジュールは、デバイスのフラッシュ サブシステム (FSS) の一部です。

Hyperbus モジュールは、高い読み取り / 書き込み性能を実現するピン数の少ないメモリ インターフェイスです。Hyperbus モジュールは、Hyperbus メモリ (HyperFlash または HyperRAM) に接続し、シンプルな Hyperbus プロトコルを使って読み取りおよび書き込みトランザクションを実行します。

このデバイスの内部には Hyperbus™ モジュールが 1 つあります。Hyperbus モジュールには、1 つの Hyperbus メモリ コントローラ (HBMC) が搭載されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Hyperbus インターフェイス」セクションを参照してください。

7.4.5.18 I2C

このデバイスにはマルチマスタ I2C (Inter-Integrated Circuit) コントローラが 10 個内蔵されており、それぞれが、Arm またはデジタル信号プロセッサ (DSP) などのローカル ホスト (LH) と、I²C シリアル バスで接続される任意の I²C バス互換デバイスとの間のインターフェイスを提供します。I²C バスに接続された外部コンポーネントは、2 線式の I²C インターフェイスを介して、LH デバイスとの間で最大 8 ビットのデータをシリアル送受信できます。

各マルチマスタ I2C モジュールは、スレーブまたはマスタの I²C 互換デバイスとして動作するように構成できます。

WKUP_I2C0、MCU_I2C0、I2C0、および I2C1 コントローラは、専用の I²C 準拠オープンドレイン バッファを搭載しており、ハイスピード モード (1.8V モードで最大 3.4Mbps、3.3V モードで最大 400kbps) をサポートしています。MCU_I2C1、I2C2、I2C3、I2C4、I2C5、および I2C6 コントローラは、標準 LVCMOS I/O と多重化され、オープンドレインをエミュレートするように接続されており、ファスト モード (1.8V/3.3V モードで最大 400kbps) をサポートしています。I2C エミュレーションは、ロジック 1 の送信時に High に駆動するかわりに、Hi-Z を出力するように LVCMOS バッファを構成することで実現しています。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I2C (Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

7.4.5.19 I3C

このデバイスには、I3C (Improved Inter-Integrated Circuit) コントローラが 3 個内蔵されており、それぞれが、Arm などのローカル ホスト (LH) と、I3C シリアル バスで接続される任意の I3C バス互換デバイスとの間のインターフェイスを提供します。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I3C (Improved Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

7.4.5.20 MCAN

コントローラ エリア ネットワーク (CAN) は、分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対して高い耐性を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスレーブットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「モジュラーコントローラエリアネットワーク (MCAN)」セクションを参照してください。

7.4.5.21 MCASP

MCASP は汎用オーディオシリアルポートとして機能し、各種オーディオアプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ストリーム、I2S (Inter-IC Sound, IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタルオーディオインターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

コンポーネント間デジタルオーディオインターフェイス受信 (DIR) モード (S/PDIF ストリーム受信) は、MCASP モジュールでネイティブにはサポートされていませんが、MCASP レシーバ用に特定の TDM モードを実装することで、外部 DIR コンポーネントに対して簡単に接続できます (たとえば、S/PDIF から I2S フォーマットコンバータ)。

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「マルチチャンネルオーディオシリアルポート (MCASP)」セクションを参照してください。

7.4.5.22 MCRC コントローラ

VBUSM CRC コントローラは、CRC (巡回冗長検査) を実行してメモリシステムの整合性を検証するために使用されるモジュールです。メモリの内容が MCRC コントローラに読み込まれるとき、メモリの内容を表すシグネチャを取得します。MCRC コントローラの役割は、一連のデータに対するシグネチャを計算して、その計算されたシグネチャ値と、あらかじめ設定された正しいシグネチャ値とを比較することです。MCRC コントローラには 4 つのチャンネルがあり、複数のメモリに対して並行して CRC 計算を実行します。これは、あらゆるメモリシステムで使用できます。また、チャンネル 1 をデータトレースモードに移行させることもできます。このモードでは、MCRC コントローラは CPU 読み出しデータバス経由で読み出される各データを圧縮します。

詳細については、デバイスのテクニカルリファレンスマニュアルで「プロセッサ間通信」の章にある「MCRC コントローラ」セクションを参照してください。

7.4.5.23 MCSPI

MCSPI モジュールは、マルチチャンネル送信 / 受信、マスタ / スレーブ同期シリアルバスです。

このデバイスには合計 11 の MCSPI モジュールがあります。

詳細については、デバイス TRM のテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「マルチチャンネルシリアルペリフェラルインターフェイス (MCSPI)」セクションを参照してください。

7.4.5.24 MMC/SD

MMCS D ホストコントローラは、eMMC 5.1 (組み込みマルチメディアカード)、SD 4.10 (セキュアデジタル)、および SDIO 4.0 (セキュアデジタル IO) デバイスへのインターフェイスとして機能します。MMCS D ホストコントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データパッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

詳細については、デバイスのテクニカルリファレンスマニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュアデジタル (MMC/SD) インターフェイス」セクションを参照してください。

7.4.5.25 OSPI

オクタルシリアルペリフェラルインターフェイス (OSPI) モジュールは、シリアルペリフェラルインターフェイス (SPI) モジュールの一種で、外部フラッシュデバイスへのシングル、デュアル、クワッド、またはオクタルの読み取りおよび書き込みアクセスを可能にします。このモジュールは、メモリマップレジスタインターフェイスを備えており、外部フラッシュデバイスからデータにアクセスするためのダイレクトメモリインターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

OSPI モジュールは、メモリ マップ直接モード (たとえば、プロセッサが外部フラッシュ メモリからコードを直接実行しようとする場合) または間接モード (要求された動作をサイレントに実行し、割り込みやステータス レジスタによって動作が完了したことを通知するようにモジュールが設定されている状態) でデータを転送するために使用します。間接動作の場合、データは内部 SRAM を経由してシステム メモリと外部フラッシュ メモリの間で転送されます。この SRAM は書き込みのためにロードされ、読み出しのためにアンロードされます。読み出しはデバイス マスタによって低レイテンシのシステム速度で行われます。この SRAM にアクセスする具体的な時期は、割り込みまたはステータス レジスタを使用して識別します。この設定は、ユーザー プログラマブルな構成レジスタによって行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

7.4.5.26 PCIE

PCIe (Peripheral Component Interconnect Express) サブシステムは、マルチレーン デュアル モード PCIe コントローラを中心に構築されており、バックプレーンおよびプリント基板上のシリアル リンクに対してレーンあたり最大 8.0Gbps の速度で、少ないピン数、高い信頼性、高速なデータ転送を実現します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

7.4.5.27 SerDes

SerDes の目標は、デバイス (SoC) のパラレル データをシリアル データに変換し、高速電氣的インターフェイス経由で出力することです。反対方向については、SerDes は高速シリアル データをパラレル データに変換して、デバイスで処理できるようにします。このため、SerDes には各種の機能ブロックが搭載されており、外部アナログ インターフェイスと内部デジタル ロジックの両方を処理します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「シリアライザ / デシリアライザ (SerDes)」セクションを参照してください。

7.4.5.28 WWDT

ウィンドウ ウォッチドッグ タイマは、オペレーティングシステム用およびコードのベンチマーク用のタイマ機能を提供します。モジュールには、オペレーティング システムでのスケジューリングに必要なタイムベースを定義するいくつかのカウンタが組み込まれています。このモジュールは RTI モジュールで実装されていますが、サポートされているのは WWDT のみです。

このモジュールは、OSEK ("Offene Systeme und deren Schnittstellen für die Elektronik im Kraftfahrzeug", "Open Systems and the Corresponding interfaces for Automotive Electronics") および OSEK/Time 準拠のオペレーティング システムの要件を満たすように特別に設計されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで、「ペリフェラル」の章にある「リアルタイム割り込み (RTI) モジュール」セクションを参照してください。

7.4.5.29 タイマ

すべてのタイマには、オペレーティング システムへの正確なティック割り込みを生成するための特定の機能が含まれています。

各タイマは、複数の異なる独立したクロックからクロックを供給できます。クロック ソースの選択は、MCU_CTRL_MMR0/CTRL_MMR0 のレジスタから行います。

このデバイスには、MCU ドメインに 10 本のタイマ ピンがあり、MCU タイマ キャプチャ入力、または MCU タイマ PWM 出力として使用できます。柔軟性を最大限に高めるため、これら 10 本のピンは MCU_TIMER0~MCU_TIMER9 の任意のインスタンスで使用できます。システム レベルのマルチプレクサを使用して、各 MCU_TIMER[9-0] のキャプチャ ソースピン、および各 MCU_TIMER_IO[1-0] PWM 出力の MCU_TIMER[9-0] ソースを制御します。

メイン ドメインには 8 本のタイマ ピンがあり、タイマ キャプチャ入力またはタイマ PWM 出力として使用できます。柔軟性を最大限に高めるため、これら 8 本のピンは TIMER0~TIMER19 の任意のインスタンスで使用できます。システム レベ

ルのマルチプレクサを使用して、各 **TIMER[19-0]** のキャプチャ ソース ピン、および各 **TIMER_IO[7-0]** PWM 出力の **TIMER[19-0]** ソースを制御します。

各ドメインの奇数番号のタイマ インスタンスは、選択により、同じドメインの前の偶数番号のタイマ インスタンスとカスケード接続して、最大 **64** ビットのタイマを形成できます。たとえば、**TIMER1** は **TIMER0** とカスケード接続でき、**MCU_TIMER1** は **MCU_TIMER0** とカスケード接続できます。

カスケード接続されると、**TIMERi** は **TIMERi+1** に対する **32** ビット プリスケアラとして機能し、**MCU_TIMERn** は **MCU_TIMERn+1** に対する **32** ビット プリスケアラとして機能します。**TIMERi / MCU_TIMERn** は、**TIMERi+1 / MCU_TIMERn+1** カウンタをインクリメントするために、目的のレートで **PWM** 出力エッジを生成するように構成する必要があります。

詳細については、デバイス **TRM** のペリフェラルの章にあるタイマ セクションを参照してください。

7.4.5.30 UART

UART は、ホスト **CPU** を介したデータ転送または割り込みポーリングに **DMA** を利用するスレーブ ペリフェラルです。このデバイスには **12** 個の **UART** モジュールが搭載されています。すべての **UART** モジュールは、**48MHz** 機能クロックを使用する場合、**IrDA** および **CIR** モードをサポートします。各 **UART** は、多数の外部ペリフェラル デバイスの構成およびデータ交換、またはデバイス相互のプロセッサ間通信に使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期 レシーバ / トランスミッタ (**UART**)」セクションを参照してください。

7.4.5.31 USB

以前のバージョンの **USB** バスと同様に、**USB 3.0** は汎用ケーブル バスであり、ホスト デバイスと、同時にアクセス可能な幅広いペリフェラルとの間のデータ交換をサポートします。

このデバイスは、**2** つの同一の **USB** サブシステムをサポートしています。

- **USB3SS0** は、**SuperSpeed (SS) USB 3.0** デュアル ロール デバイス (**DRD**) サブシステムで、オンチップ **SS (USB3.0) PHY** および **HS/FS/LS (1) (USB2.0) PHY** を内蔵しています
- **USB3SS1** は、**SuperSpeed (SS) USB 3.0** デュアル ロール デバイス (**DRD**) サブシステムで、オンチップ **SS (USB3.0) PHY** および **HS/FS/LS (USB2.0) PHY** を内蔵しています

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス (**USB**) サブシステム」を参照してください。

7.4.5.32 UFS

ユニバーサル フラッシュ ストレージ (**UFS**) インターフェイスは、規格に基づくシリアル インターフェイス エンジンです。

デバイスの内部には **1** つの **UFS** モジュール - **UFS0** があります。**UFS** モジュールには **M-PHY** を内蔵した **1** つの **UFS 2.1** ホストコントローラ (**HC**) が含まれています。

この **UFS** モジュールは、表 7-1 に示す規格に準拠しています。

表 7-1. UFS 規格

文書	バージョン	説明
JESD220-1A	v1.1	ユニバーサル フラッシュ ストレージ (UFS) ユニファイド メモリ拡張
JESD220-2	v1.0	ユニバーサル フラッシュ ストレージ (UFS) カード拡張
JESD220C	v2.1, 2016 年 3 月	ユニバーサル フラッシュ ストレージ (UFS)
JESD223-1B	v1.1A	ユニバーサル フラッシュ ストレージ ホスト コントローラ インターフェイス (UFSHCI) ユニファイド メモリ拡張
JESD223C	v2.1, 2016 年 3 月	ユニバーサル フラッシュ ストレージ ホスト コントローラ インターフェイス (UFSHCI)
JESD224	2013 年 3 月	ユニバーサルフラッシュストレージ (UFS) テスト
	2001 年 11 月	連邦情報処理標準 (FIPS) 197 高度暗号化標準 (AES)
	v3.1, 2014 年	M-PHY のための MIPI® アライアンス仕様

表 7-1. UFS 規格 (続き)

文書	バージョン	説明
	v1.60、2013 年	ユニファイド プロトコル (UniProSM) のための MIPI アライアンス仕様
	リビジョン 24、2010 年 8 月	SCSI (スモール コンピュータ システム インターフェイス) ブロック コマンド - 3
	リビジョン 27、2010 年 10 月	SCSI プライマリ コマンド - 4

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル フラッシュ ストレージ (UFS) インターフェイス」セクションを参照してください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 電源マッピング

この Jacinto 7™ プロセッサ デバイスは、使用可能な電力リソース、電源グループ (すなわち、電源レール)、制御信号の数に応じて、以下に示す複数の動作モードで動作できます：

- フル アクティブ
- MCU のみの低消費電力モード
- DDR 保持 (RAM へのサスペンド、すなわち S2R) 低消費電力モード
- MCU アイランド安全監視
- 拡張 MCU 安全監視

これらの異なる動作モードをサポートする 2 つの電源供給回路 (PDN) を推奨します。これにより、オプションの最終製品機能を提供できます。その例をいくつか示します。

- デュアル電圧 (1.8V および 3.3V) IO インターフェイス
- 規格準拠 UHS-I SD カード
- 規格準拠 USB2.0
- セキュリティ強化のデバイス タイプ eFuse プログラミングをオンボードで実施し、現場での更新に対応

分離 PDN は、MCU およびメイン電源のリソースとレールを独立して提供し (表 8-2 参照)、最終製品システムの機能安全目標を達成するために必要な、無干渉 (FFI, Freedom From Interference) 電源レールをサポートします。MCU のみの低消費電力モードまたは MCU アイランド安全監視をサポートするには、分離 PDN が必要です。「MCU のみ」がデバイスの消費電力を大幅に低減できるのは、MCU プロセッサ リソースだけをアクティブな状態に維持したままで、すべてのメイン処理を無効にするからです。PDN の結合により、MCU とメイン電源を共通の電源レールにグループ化することで、電源リソースと電源レールの合計数を削減できます (表 8-1 参照)。この PDN は拡張 MCU 安全処理に使用できますが、MCU アイランド安全監視または MCU のみの低消費電力モードは使用できません。DDR 保持低消費電力モードは、分離または結合 PDN 方式のどちらでもサポートできます。

TPS6594x および LP8764x の各パワー マネージメント IC (PMIC) は、この推奨される 2 つの PDN において、主要な電源部品です。必要に応じて、ディスクリート電源部品を追加して、オプションのシステム機能をサポートすることもできます。TI は、以下の理由により、これらの PMIC を使用した推奨 PDN を最適化しています。

- TI の評価ボードで検証済みのデバイス性能をフルに発揮
- デバイスの安全マニュアルに記載されているシステム機能安全のすべての機能と分析を実現
- 電源レールの負荷ステップ、電源電圧精度、最大負荷電流をマージンを確保してサポート
- デバイスのプライマリ モードと低消費電力モードの電源シーケンス要件に適合 (セクション 6.10.2、電源シーケンスを参照)
- TI の検証済みソフトウェアを使用して、アダプティブ電圧スケールリング (AVS) Class 0 のデバイス要件を実現

PDN の設計と動作の詳細については、次のいずれかを参照してください。

1. SCH および PCB の更新を最小限にしてオリジナル評価基板 PDN-0A に合わせたレガシー設計には、「Jacinto 7™ DRA829 および TDA4VM 車載用 PDN-0B のための デュアル TPS6594-Q1 PMIC ユーザー ガイド (SLVUC32)」
2. すべての新規設計には、「Jacinto 7™ DRA829 および TDA4VM 車載用 PDN-0C のための デュアル TPS6594-Q1 PMIC ユーザー ガイド (SLVUC99)」

表 8-1. MCU とメイン電圧ドメインを結合した電源レールのマッピング

タイプ	電圧 [V]	ドメイン名	ドメイングループ	電源レール	#
デジタル IO	3.3	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU、VDDSHV0、 VDDSHV1、VDDSHV2、 VDDSHV3、VDDSHV4、 VDDSHV5 ³ 、VDDSHV6) ¹ 、 VDDA_3P3_USB ⁴	VDDSHVn_MC U、VDDSHVn、 VDDA_3P3_US B ⁴	VDD_IO_3V3	1
デジタル IO	1.8	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU、VDDSHV0、 VDDSHV1、VDDSHV2、 VDDSHV、VDDSHV4、 VDDSHV5 ³ 、VDDSHV6) ²	VDDSHVn_MC U ² VDDSHVn ³ ₂	VDD_IO_1V8	2
デジタル IO	1.8	VDDS_MMC0 ⁶	VDDS_MMC0 ⁶	VDDS_MMC0_1V8 ⁶	3
アナログ PHY	1.8	(VDDA_1P8_CSIRX、 VDDA_1P8_USB、 VDDA_1P8_UFS、 VDDA_1P8_DP、 VDDA_1P8_DSITX、 VDDA_1P8_MLB、 VDDA_1P8_SERDES)	VDDA_1P8_<p hy> ⁵	VDD_PHY_1V8 ⁵	4
アナログ クロック、 測定	1.8	VDDA_MCU_PLLGRP0、 VDDA_MCU_TEMP、 VDDA_ADC_MCU、 VDDA_POR_WKUP、 VDDA_WKUP VDDS_OSC1、 VDDA_PLLGRP6:0、 VDDA_TEMP3:0	VDDA_1P8_<cl k/meas>	VDA_LN_1V8	5
アナログ、低電圧	0.80	VDDA_0P8_PLL_MLB、 VDDA_0P8_PLL_DDR、 VDDA_0P8_DLL_MMC0	VDDA_0P8_DP LL	VDA_DPLL_0V8	6
デジタル、AVS 低 電圧	0.77 – 0.84	VDD_CPU	VDD_CPU	VDD_CPU_AVS	7
デジタル、低電圧	0.80	VDD_MCU ⁷ 、VDD_CORE、 (VDDA_0P8_SERDES、 VDDA_0P8_SERDES_C、 VDDA_0P8_DP、 VDDA_0P8_DP_C、 VDDA_0P8_DSITX、 VDDA_0P8_DSITX_C、 VDDA_0P8_CSIRX、 VDDA_0P8_UFS、 VDDA_0P8_USB) ⁸	VDD_MCU VDD_CORE VDDA_0P8_<p hy> ⁸	VDD_PROC_0V8	8
デジタル、低電圧	0.85	VDDAR_MCU、 VDDAR_CORE、 VDDAR_CPU	VDDAR	VDD_RAM_0V85	9
デジタル、低電圧	1.1	VDDS_DDR_BIAS、 VDDS_DDR、 VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	10

- 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかのマイコンまたはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)
- 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかのマイコンまたはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)

3. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
4. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
5. VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータ ビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
6. VDD_MMC0 は 1.8V のデジタル電源であり、eMMC インターフェイス用の MMC0 信号をサポートしています。MMC0 または eMMC0 インターフェイスが不要な場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。ただし、MMC0 インターフェイスが必要な場合は、VDD_CORE が Vopr min に達するまで、VDD_MMC0 はランプアップを開始してはいけません。
7. VDD_MCU は、広い動作電圧範囲と電源シーケンスのフレキシビリティを備えたデジタル電圧電源であり、0.8V の VDD_CORE、または 0.85V の RAM アレイドメイン (VDDAR_xxx) とグループ化およびランプアップが可能です。
8. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。

表 8-2. MCU とメイン電圧ドメインを結合した電源レールのマッピング

タイプ	電圧 [V]	ドメイン名	ドメイングループ	電源レール	#
デジタル IO	3.3	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU) ¹	VDDSHVn_MC U	VDD_MCUIO_3V3	1
デジタル IO	3.3	(VDDSHV0、VDDSHV1、 VDDSHV2、VDDSHV3、 VDDSHV4、VDDSHV5 ³ 、 VDDSHV6) ¹ 、VDDA_3P3_USB ⁴	VDDSHVn、 VDDA_3P3_US B ⁴	VDD_IO_3V3	2
デジタル IO	1.8	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU) ²	VDDSHVn_MC U ²	VDD_MCUIO_1V8	3
デジタル IO	1.8	(VDDSHV0、VDDSHV1、 VDDSHV2、VDDSHV3、 VDDSHV4、VDDSHV5 ³ 、 VDDSHV6) ²	VDDSHVn2 ³	VDD_IO_1V8	4
デジタル IO	1.8	VDDS_MMC0 ⁶	VDDS_MMC0 ⁶	VDDS_MMC0_1V8 ⁶	5
アナログ クロック、 測定	1.8	VDDA_MCU_PLLGRP0、 VDDA_MCU_TEMP、 VDDA_ADC_MCU、 VDDA_POR_WKUP、 VDDA_WKUP	VDDA_MCU1P 8_<clk/meas>	VDA_MCU_1V8	6
アナログ クロック、 測定	1.8	VDDS_OSC1、 VDDA_PLLGRP6:0、 VDDA_TEMP3:0	VDDA_1P8_<cl k/meas>	VDA_DPLL_1V8	7
アナログ PHY	1.8	(VDDA_1P8_CSIRX、 VDDA_1P8_USB、 VDDA_1P8_UFS、 VDDA_1P8_DP、 VDDA_1P8_DSITX、 VDDA_1P8_MLB、 VDDA_1P8_SERDES) ⁵	VDDA_1P8_<p hy> ⁵	VDA_PHY_1V8 ⁵	8

表 8-2. MCU とメイン電圧ドメインを結合した電源レールのマッピング (続き)

タイプ	電圧 [V]	ドメイン名	ドメイングループ	電源レール	#
アナログ、低電圧	0.80	VDDA_0P8_PLL_MLB、 VDDA_0P8_PLL_DDR、 VDDA_0P8_DLL_MMC0	VDDA_0P8_DP LL	VDA_DPLL_0V8	9
デジタル、低電圧	0.80	VDD_MCU、VDDAR_MCU	VDD_MCU、 VDDAR_MCU	VDD_MCU_0V85	10
デジタル、AVS 低 電圧	0.77 – 0.84	vdd_cpu	VDD_CPU	VDD_CPU_AVS	11
デジタル、低電圧	0.80	VDD_CORE、 (VDDA_0P8_SERDES、 VDDA_0P8_SERDES_C、 VDDA_0P8_DP、 VDDA_0P8_DP_C、 VDDA_0P8_DSITX、 VDDA_0P8_DSITX_C、 VDDA_0P8_CSIRX、 VDDA_0P8_UFS、 VDDA_0P8_USB) ⁸	VDD_CORE、 VDDA_0P8_<p hy> ⁸	VDD_CORE_0V8	12
デジタル、低電圧	0.85	VDDAR_CORE、VDDAR_CPU	VDDAR	VDD_RAM_0V85	13
デジタル、低電圧	1.1	VDDS_DDR_BIAS、 VDDS_DDR、VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	14

- 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかのマイコンまたはメイン デュアル電圧 IO 電源 (VDDSHV_n_MCU または VDDSHV_n)
- 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかのマイコンまたはメイン デュアル電圧 IO 電源 (VDDSHV_n_MCU または VDDSHV_n)
- VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) の電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データアイマスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
- VDDA_1P8_PHY は、複数のシリアル <phy> インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- VDD_MMC0 は 1.8V のデジタル電源であり、eMMC インターフェイス用の MMC0 信号をサポートしています。MMC0 または eMMC0 インターフェイスが不要な場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。ただし、MMC0 インターフェイスが必要な場合は、VDD_CORE が V_{OPR MIN} に達するまで、VDD_MMC0 はランプアップを開始してはいけません。
- VDD_MCU は、広い動作電圧範囲と電源シーケンスのフレキシビリティを備えたデジタル電圧電源であり、0.8V の VDD_CORE、または 0.85V の RAM アレイドメイン (VDDAR_xxx) とグループ化およびランプアップが可能です。
- VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。

8.2 デバイスの接続およびレイアウトの基礎

8.2.1 電源のデカップリングおよびバルク コンデンサ

8.2.1.1 電源供給回路の実装ガイド

『Jacinto 7 プロセッサ電源供給回路: 実装と分析』(SPRACN5) は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.2.2 外部発振器

詳細については、[セクション 6.10.4.1](#)「入力および出力クロック / 発振器」を参照してください。

8.2.3 JTAG および EMU

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

EMU ルーティングの推奨事項の詳細については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

8.2.4 リセット

このデバイスは、4 つの外部リセット ピン (MCU_PORz、MCU_RESETz、PORz、RESET_REQz) と、4 つのリセット ステータス ピン (MCU_PORz_OUT、MCU_RESETSTATz、PORz_OUT、RESETSTATz) を備えています。これらのピンは、外部のパワー グッド回路または PMIC (電源管理 IC) によって駆動できます。MCU_PORz ピンとメイン PORz ピンは、電源投入フェーズの間、およびすべての電源と HFOSC0 クロックが安定するまで、アクティブ Low に保持する必要があります。

すべての MCU ドメイン リセットは、デバイス全体に対するマスタ リセットとして機能しますが、メインドメイン リセットはメインドメインだけをリセットします (MCU ドメインは、すべてのメインドメイン リセットからリセットが分離されています)。

8.2.5 未使用のピン

未使用ピンの詳細については、「未使用ピンの接続」を参照してください。

8.2.6 Jacinto™ 7 デバイスのハードウェア設計ガイド

『Jacinto™ 7 デバイスのハードウェア設計ガイド』ドキュメントには、Jacinto™ 7 ファミリのプロセッサに関するハードウェア システム設計の考慮事項が記載されています。この設計ガイドは、アプリケーション ハードウェアを開発する際の支援として使用することを意図しています。

8.3 ペリフェラルおよびインターフェイス固有の設計情報

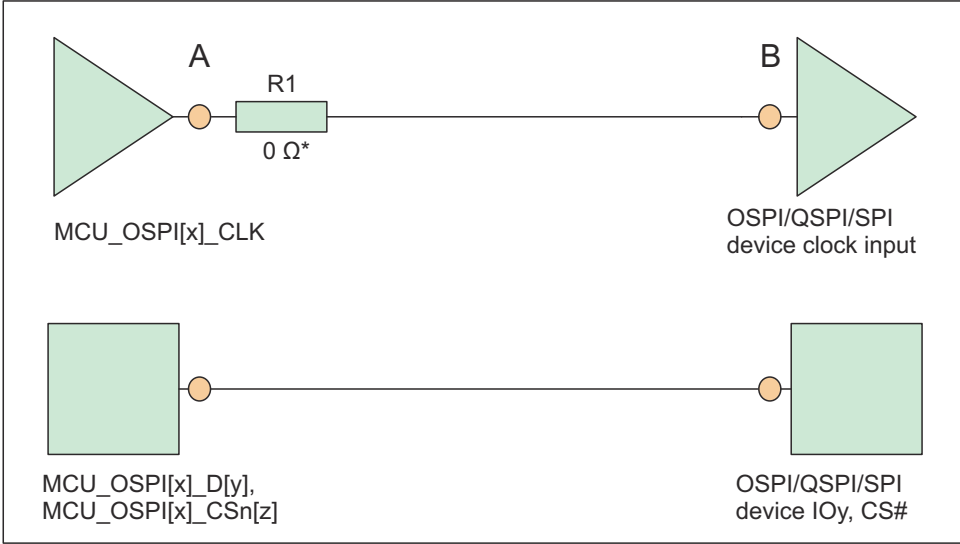
8.3.1 LPDDR4 基板の設計およびレイアウトのガイドライン

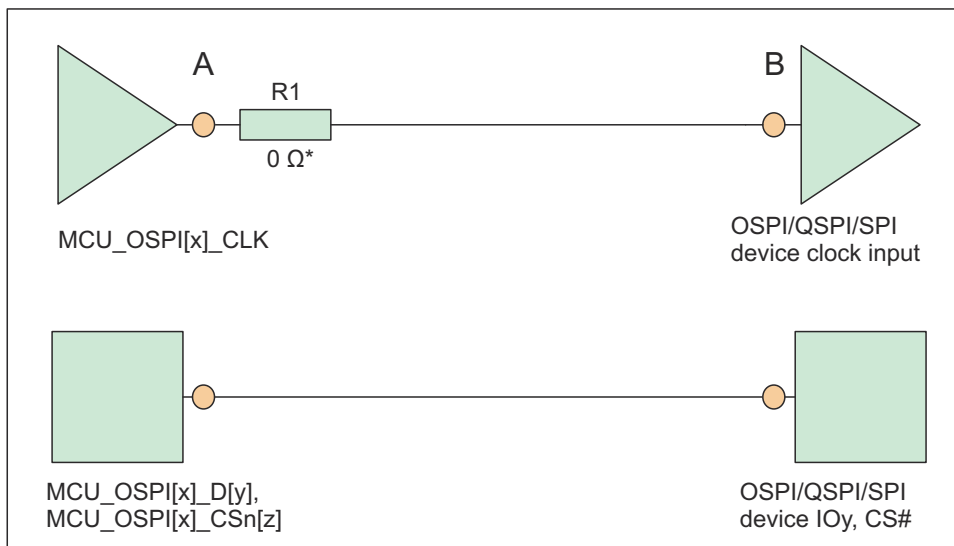
『Jacinto 7 LPDDR4 基板の設計およびレイアウトのガイドライン』の目標は、すべての設計者に対して LPDDR4 システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

8.3.2 OSPI および QSPI 基板の設計およびレイアウト ガイドライン

以下のセクションでは、OSPI および QSPI インターフェイスの配線にあたって従うべき配線ガイドラインについて詳しく説明します。

8.3.2.1 ループバックなしおよび内部パッド ループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_CLK 信号からフラッシュ デバイスへの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります
-  8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
 - A から B は 450ps 未満
 - マッチング スキュー:< 60ps



OSPI_Board_01

* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-1. OSPI インターフェイスの概略回路図

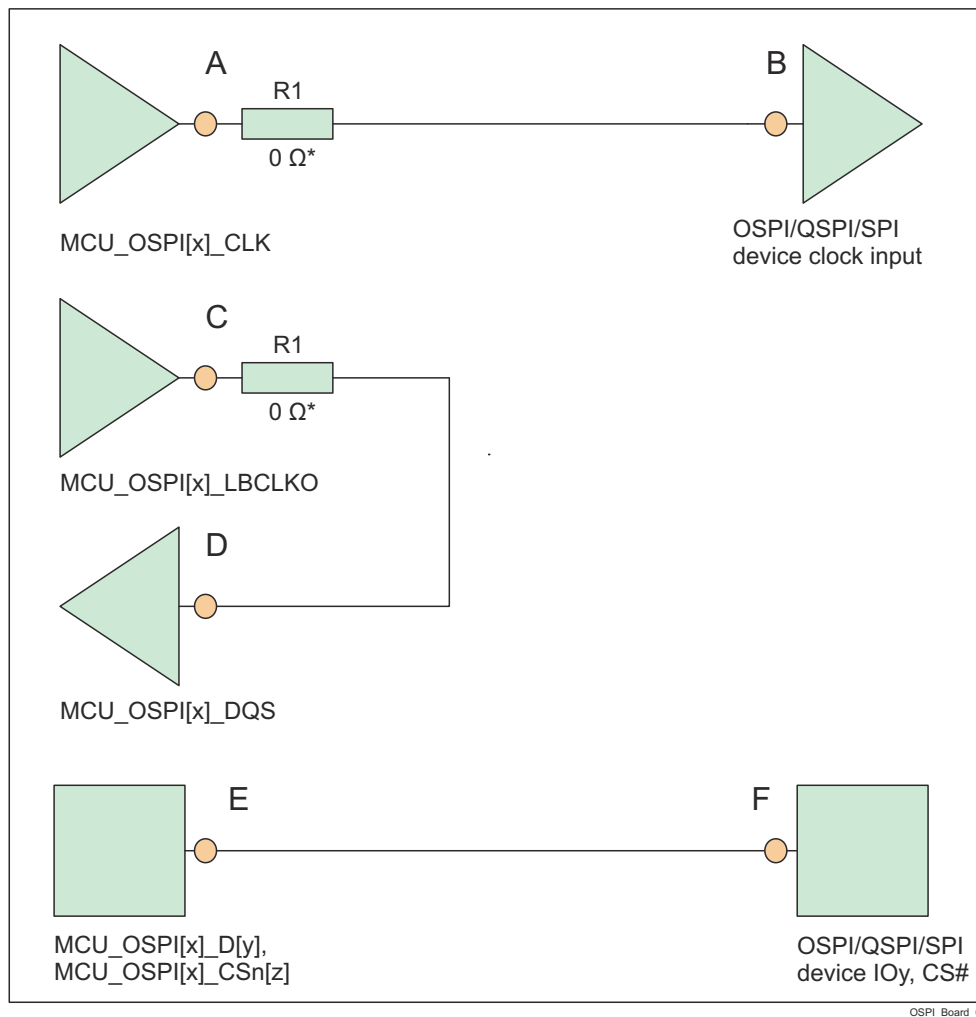
8.3.2.2 外部ボードのループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_LBCLKO 出力信号は、MCU_OSPI[x]_DQS 入力にループバックする必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OSPI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの信号伝搬遅延の半分 (C から D まで) /2) とほぼ等しくなっている必要があります以下の注記を参照してください。

- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、フラッシュ デバイスと SoC デバイスの間の制御およびデータ信号の信号伝搬遅延 (E から F まで、または F から E まで) とほぼ等しくする必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - (A から B まで) = (E から F まで) = ((C から D まで) / 2)
 - マッチング スキュー: < 60ps

注

OSPI 基板のループバック ホールド時間の要件 (セクション 6.10.5.21「OSPI」で説明) は、標準的なフラッシュ デバイスによって供給されるホールド時間よりも長くなっています。このため、MCU_OSPI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの長さ (C から D まで) を短くして補償できます。



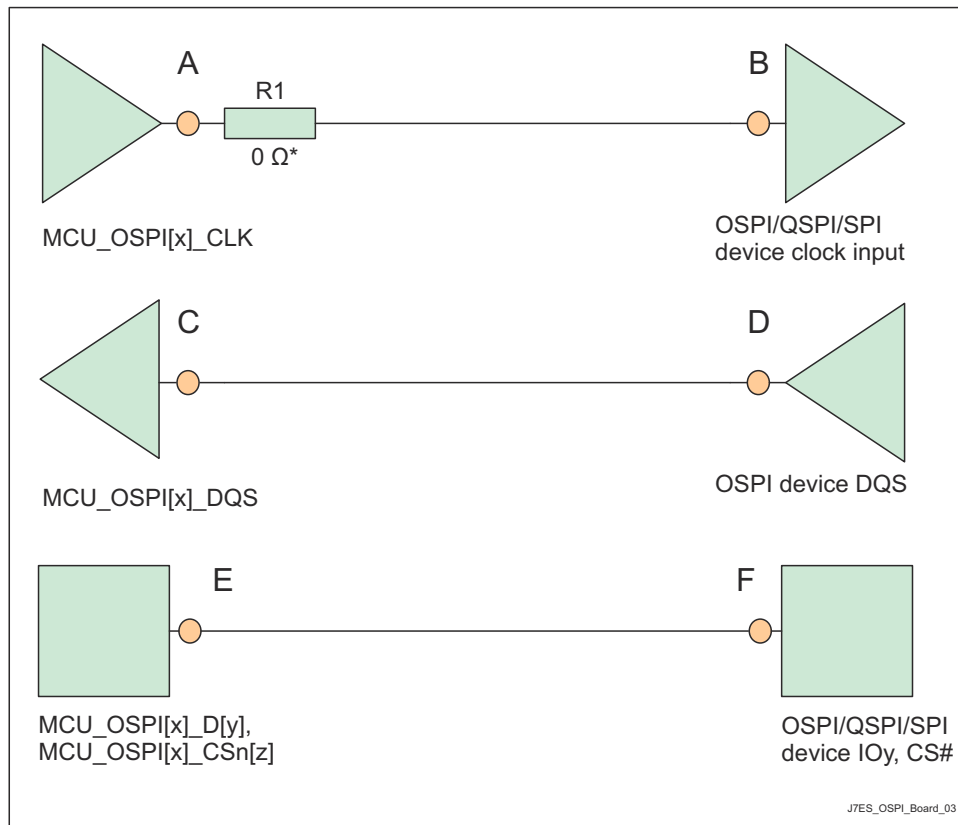
* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンおよび MCU_OSPI[x]_LBCLKO ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-2. OSPI インターフェイスの概略回路図

8.3.2.3 DQS (オクタール フラッシュ デバイスでのみ使用可能)

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります

- フラッシュ デバイスの DQS ピンは、MCU_OSPI[x]_DQS 信号に接続する必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OSPI[x]_DQS ピンから DQS 出力ピンまでの信号伝搬遅延 (C から D まで) とほぼ等しくなっている必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - A から B = C から D
 - マッチング スキュー: < 60ps



* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. OSPI インターフェイスの概略回路図

8.3.3 SERDES REFCLK 設計ガイドライン

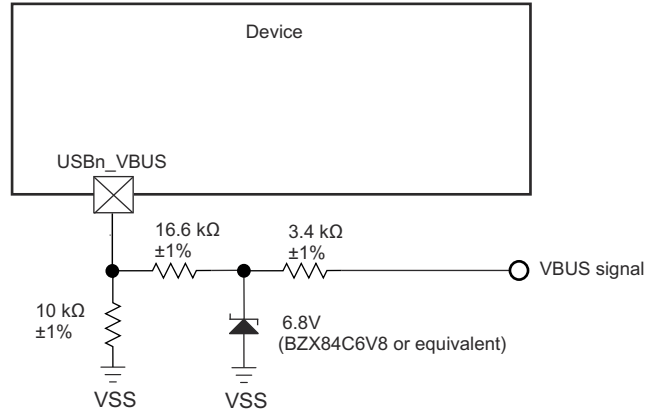
以下のセクションでは、SERDES REFCLK を終端する際に遵守する必要がある配線ガイドラインについて詳しく説明します。このガイドラインは、SERDES REFCLK が入力モードに設定されている場合にのみ適用されます。

1. 各レッグで GND との間に 50Ω を推奨します。
2. 内部 AC カップリングは常にイネーブルであるため、外部バイアスは不要です。

8.3.4 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部のアプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外部の分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイス ピン (USB0_VBUS、USB1_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満とする必要があります。



J7ES_USB_VBUS_01

A. USBn_VBUS。ここで、n = 0 または 1。

図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイスピンへの入力電流が制限されるため、USB0_VBUS ピンと USB1_VBUS ピンはフェイルセーフであると考えられます。

8.3.5 システム電源監視設計ガイドライン

VMON_ER_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は、通常、システム全体を対象とする単一のあらかじめ安定化された電源です。この電源から供給される外部分圧器回路の出力を内部基準電圧と比較することによってこの電源を監視します。VMON_ER_VSYS に印加される電圧が内部基準電圧を下回ると、パワーフェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解することが重要です。最初に考慮するのは、VMON_ER_VSYS 入力スレッシュホールドの初期精度です。このスレッシュホールドの公称値は 0.45V で、変動は ±3% です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON_ER_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON_ER_VSYS 入力のリーク電流は、0.45V 印加時に 10nA~2.5µA の範囲となる場合があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧が [セクション 6.4「推奨動作条件」](#) で定義されている最大値を決して超えないように設計するものとします。

システム電源が公称 5V で、最大トリガ スレッシュホールドが 5V - 10%、すなわち 4.5V の場合の例を [図 8-5](#) に示します。

この例では、抵抗値を選択するときに、どの変数が最大トリガ スレッシュホールドに影響を与えるかを理解することが重要です。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON_ER_VSYS 入力スレッシュホールドが 0.45V + 3% であるデバイスを検討する必要があることは明らかです。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、これらの寄与が最大トリガ ポイントにどのように影響するかは明らかではない場合があります。最大トリガ電圧を生成する部品値を選択するときは、VMON_ER_VSYS ピンの入力リーク電流が 2.5µA であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガ スレッシュホールドは 4.523V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、システム設計者は、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッシュホールドは 4.008 V となります。

ここでは、システム電源電圧トリップ ポイントが 4.008V～4.523V の範囲となる例を示しています。この範囲のうち約 250mV は、VMON_ER_VSYS の入力スレッショルド精度 $\pm 3\%$ によって発生し、この範囲の約 150mV は抵抗の誤差 $\pm 1\%$ によって発生します。また、この範囲の約 100mV は、VMON_ER_VSYS の入力リーク電流が 2.5 μ A である場合の負荷誤差により発生します。

この例で選択した抵抗値では、システム電源が 4.5V のとき、分圧抵抗により約 100 μ A のバイアス電流が発生します。上記の 100mV の負荷誤差は、分圧抵抗を流れるバイアス電流を約 1mA に増やすことにより、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要があります。

VMON1_ER_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、[図 8-5](#) に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

システム電源電圧が公称 5V で、目標のトリガ スレッショルドが -10% すなわち 4.5V の場合の例を [図 8-5](#) に示します。

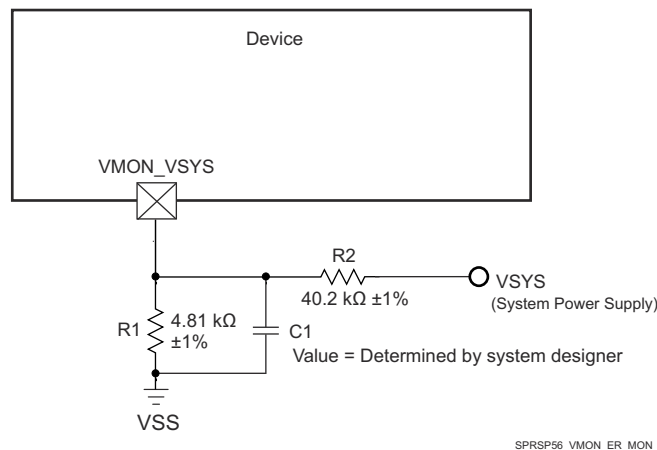


図 8-5. システム電源監視分圧回路

8.3.6 高速差動信号のルーティングガイド

『[高速インターフェースのレイアウト ガイドライン](#)』には、高速差動信号を正しく配線するためのガイドランスが示されています。これには、PCB スタックアップと材料のガイドランス、配線スキュー、長さ、間隔の制限が含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.3.7 熱ソリューション ガイダンス

『[DSP および ARM アプリケーション プロセッサ用の熱設計ガイド](#)』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。TI は、このアプリケーション レポートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには、次の 3 つのいずれかの接頭辞が付けられます: X、P、空白 (接頭辞なし) (たとえば、TDA4VM)。テキサス インスツルメンツでは、サポート ツールに対して、使用可能な 3 つの接頭辞のうち次の 2 つを推奨しています: TMDX および TMDS。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイスツール(TMDS)まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ALF パッケージ タイプの TDA4VM デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録や TI の Web サイト (ti.com) を参照するか、TI の販売代理店にお問い合わせください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テスト プロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

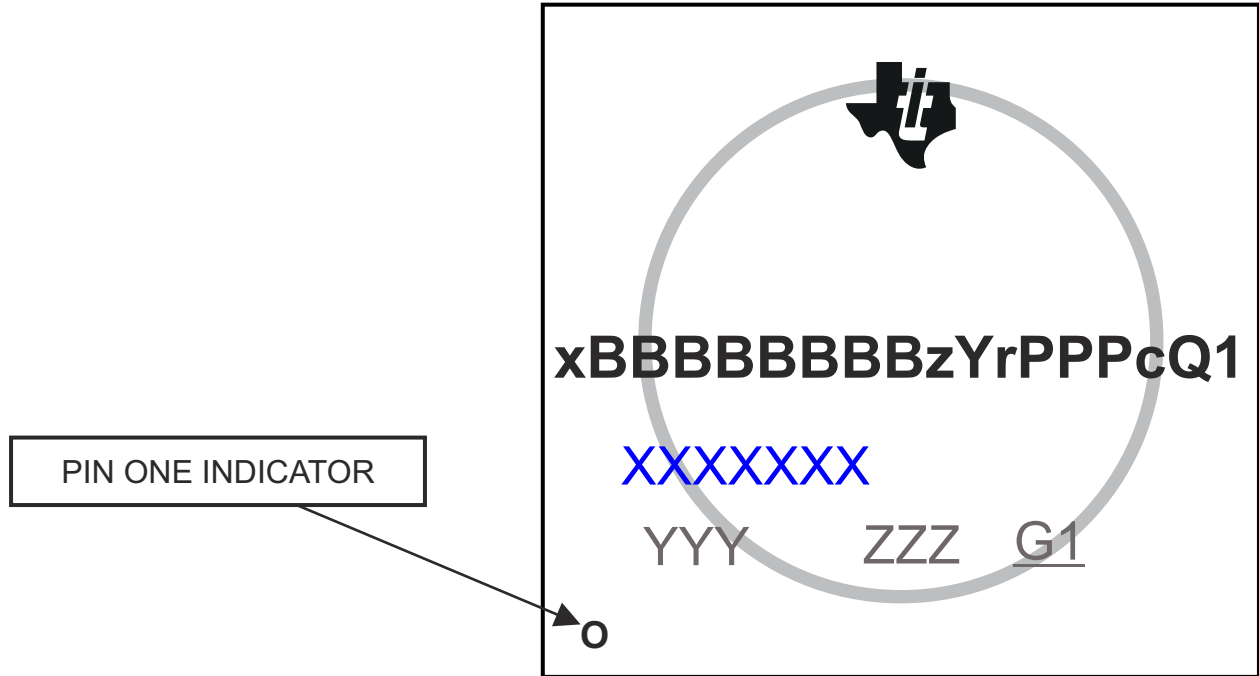


図 9-1. 印刷されたデバイス参照

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの 説明	値		説明
		マーキング	注文可能製品	
x	デバイスの開発段階 ⁽¹⁾	X		プロトタイプ
		P		量産前(量産テスト フロー、信頼性データなし)
		空白		量産出荷中
BBBBBB ⁽²⁾	基本量産型番	J721E ⁽²⁾		量産開始前のスーパーセット デバイス
		TDA4VM88		表 4-1、製品比較表を参照
z	デバイスの速度	T		表 6-1、速度グレードの最大周波数を参照
		L		
		E		
		その他		他の速度グレード
Y	デバイス タイプ	G		汎用 (プロトタイプと製造)
		C		汎用、R5F ロックステップ対応
		0		高度セキュリティ ⁽³⁾ 対応
		5		高度セキュリティ ⁽³⁾ 対応、R5F ロックステップ対応
		R		高度セキュリティプライム ⁽³⁾ 対応、R5F ロックステップ対応
		D		高度セキュリティ ⁽³⁾ 対応、R5F ロックステップ対応、 お客様による開発キー。 量産開始前の J721E デバイスでのみ利用可。
		P		高度セキュリティプライム ⁽³⁾ 対応、R5F ロックステップ対応、 お客様による開発キー。 量産開始前の J721E デバイスでのみ利用可。
r	デバイスリビジョン	A または 空白		SR 1.0
		B		SR 1.1
		C		SR 2.0
PPP	パッケージ指定子	ALF		ALF FCBGA-N827 (24mm x 24mm) パッケージ
c	キャリア識別記号	該当なし	空白	トレイ
		該当なし	R	テープ アンドリール
Q1	車載識別記号	空白		車載認定は受けていません。 T _J = -40°C ~ 105°C に対応
		Q1		このドキュメント (データシート) に記載されている例外を除き、 AEC-Q100 認定要件に適合。 T _J = -40°C ~ 125°C に対応
XXXXXXX	ロットのトレースコード	マークあり	該当なし	ロットのトレースコード(LTC)
YYY	量産コード	マークあり	該当なし	量産コード、TI でのみ使用
ZZZ	量産コード	マークあり	該当なし	量産コード、TI でのみ使用
O	ピン 1	マークあり	該当なし	ピン 1 の指定子
G1	ECAT	マークあり	該当なし	ECAT—グリーン パッケージ 指定子

- (1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項付きで出荷されます。
「この製品はまだ開発中であり、社内での評価を目的としています」。
テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。
- (2) J721E はスーパーセット デバイスの基本型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。

- (3) HS デバイスをサポートするには、0、5、または D のデバイス・タイプを推奨します。R および P (HS「ブライム」) デバイス タイプは、製造プロセスで追加のステップを必要とし、コストが高くなるため、ほとんどのアプリケーションには推奨されません。

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

9.2 ツールとソフトウェア

TDA4VM プラットフォームの開発を支援するため、以下の製品を使用できます。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++コンパイラ、ソースコード エディタ、プロジェクト ビルド環境、デバッグ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

Pin Mux ツール Pin Mux ユーティリティは、テキサス・インスツルメンツの MPU のピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供する、ソフトウェア ツールです。結果は C ヘッダおよびコード ファイルとして出力され、ソフトウェア開発キット (SDK) へのインポートや、お客様のカスタム ソフトウェアの構成に使用できます。バージョン 4 には、入力した要件を満たす Mux 構成を自動選択できる機能が追加されています。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールズ オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントには、TDA4VM デバイスについて記載されています。

テクニカル リファレンス マニュアル

『[J721E DRA829/TDA4VM/AM752x プロセッサ シリコン リビジョン 2.0、1.1、1.0 テクニカル リファレンス マニュアル](#)』には、TDA4VM ファミリー デバイスの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

エラッタ

『[J721E DRA829/TDA4VM/AM752x プロセッサ シリコン リビジョン 1.0、シリコン エラッタ](#)』にはデバイスの機能仕様に関する既知の例外が記載されています。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.5 商標

eMMC™ is a trademark of MultiMediaCard Association.

HyperBus™ is a trademark of Mobiveil Inc.

CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Code Composer Studio™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

PowerVR® is a registered trademark of Imagination Technologies Limited.

PCI-Express® is a registered trademark of PCI-SIG.

Secure Digital® is a registered trademark of SD Card Association.

MIPI® is a registered trademark of MIPI Alliance, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from APRIL 22, 2024 to JUNE 1, 2026 (from Revision K (April 2024) to Revision L (June 2026))

	Page
• (特長): 取得した機能安全準拠認証を含むように「機能安全」の箇条書き項目を更新.....	1
• (デバイスの比較): TDA4VM67 および TDA4VM21 の部品番号を削除しました.....	6
• (デバイスの比較): JTAG ユーザー ID レジスタビットフィールド [CTRLMMR_WKUP_JTAG_USER_ID[31:16]「DEVICE_ID」]を追加しました。GPN ごとに DEVICE_ID ビットフィールド値を関連付けました。さらに、関連する脚注を追加/変更しました.....	6
• (ピン属性): UFS0_REF_CLK 信号および UFS0_RSTN 信号の IO 電圧レベルを更新.....	11
• (ピン属性): CSIO 信号の説明表に、欠けていたリンクを追加.....	11
• (CSIO 信号の説明): 不足して欠けていた CSIO 信号を追加.....	126
• (システム信号の説明): OBSClk 信号の説明を更新.....	132
• (OTP eFuse プログラムの推奨動作条件): VDD_CORE および VDD_MCU パラメータの説明から OPP NOM (BOOT) への参照を削除しました.....	171
• (ハードウェア保証への影響): 段落の「その結果、TI には.....」の文を更新/変更.....	172
• (温度センサの特性): ダイ温度センサの特性に関する電圧および温度モジュール (VTM) を規定する荒らしいセクションを追加.....	174
• (MCU とメインドメインの結合パワーダウン シーケンス - オプション 1): 「オプション 1」を追加.....	178
• (MCU とメインドメインの結合パワーダウン シーケンス - オプション 2): 「オプション 2」セクション (新規) を追加.....	178
• (MCU およびメインドメインの分離パワーダウン シーケンス - オプション 1): 「オプション 1」を追加.....	184
• (MCU およびメインドメインの分離パワーダウン シーケンス - オプション 2): 「オプション 2」セクション (新規) を追加.....	184

- (マイコンのみの開始および終了シーケンス): 「WKUP_*」とラベル表示された発振器の波形を更新し、これらの信号がアクティブのままであることを示しました。マイコン側でブートモードの再ラッチが発生しないため、MCU_PORz 波形がアサートされたままであることを反映するように更新しました。..... 186
- (DDR 保持シーケンシングへの移行および復帰): これらの信号がアクティブのままであることを示す「WKUP_*」ラベル付きの発振器の波形を更新。マイコン側でブートモードの再ラッチが発生しないため、MCU_PORz 波形がアサートされたままであることを反映させてこの波形を更新。..... 187
- (システムのタイミング): システムタイミング条件表を削除し、リセット、安全信号、クロックタイミングの専用タイミング条件の表を導入しました..... 189
- (WKUP_OSC0 のスイッチング特性 – 水晶振動子モード): XI および XO 容量の最大値を更新 / 変更..... 201
- (WKUP_OSC0 内部発振器クロック ソース): WKUP_OSC0 水晶振動子の電気的特性表にある水晶振動子回路のシャント容量、C_{shunt} の内容を更新 / 変更 201
- (OSC1 のスイッチング特性 — 水晶振動子モード): XI、XO、および XI から XO への容量の最大値を更新 / 変更 206
- (補助 OSC1 内部発振器クロック ソース): OSC1 水晶振動子の電気的特性表にある水晶振動子回路のシャント容量、C_{shunt} の内容を更新 / 変更 206
- (MCSPI のタイミング要件 - コントローラ モード): SM1、tc(spickl)、サイクル時間、SPI_CLK の最小値を「20.8」から「20」ns に更新 / 変更..... 268
- (MCSPI のスイッチング特性 - ペリフェラル モード): SS1、tc(spickl)、サイクル時間、SPI_CLK の最小値を「20.8」から「20」ns に更新 / 変更..... 270
- (すべてのタイミング モードに対する MMC0 DLL 遅延マッピング): MMCSD0_SS_PHY_CTRL_1_REG[x=1] の新しい列と、すべての動作モードに関連する値を追加。レガシー SDR モードと HS SDR モードについて、SELDLYTXCLK、SELDLYRXCLK、FRQSEL ビットフィールドの値を更新。HS DDR モードと HS200 モードの OTAPDLYSEL および CLKBUFSEL ビットフィールドを更新。さまざまな NA オプション、0x1 または 0x3、およびチューニング値を定義する脚注を追加。..... 273
- (HS200 モード): MMC0 のタイミング要件を追加..... 278
- (すべてのタイミング モードに対する MMC1/2 DLL 遅延マッピング): MMCSD12_SS_PHY_CTRL_5_REG レジスタ列を削除。「デフォルト スピード」モードと「ハイスピード」モードの OTAPDLYENA および OTAPDLYSEL ビットフィールドの値を更新。UHS-I DR50 の ITAPDLYSEL ビットフィールド値を更新。NA とチューニングの値を定義する脚注を追加。..... 278
- (デバイスの命名規則): TDA4VM67 および TDA4VM21 の部品番号を削除しました..... 329

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDA4VM88TGBALFR	Obsolete	Production	FCBGA (ALF) 827	-	-	Call TI	Call TI	-40 to 105	TDA4VM88TGBALF 942
TDA4VM88TGCALFR	Active	Production	FCBGA (ALF) 827	250 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	TDA4VM88TGCALF 942
TDA4VM88TGCALFRQ1	Active	Production	FCBGA (ALF) 827	250 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4VM88TGCALFQ1 942
TDA4VM88TGCALFRQ1.B	Active	Production	FCBGA (ALF) 827	250 LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	TDA4VM88TGCALFQ1 942

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

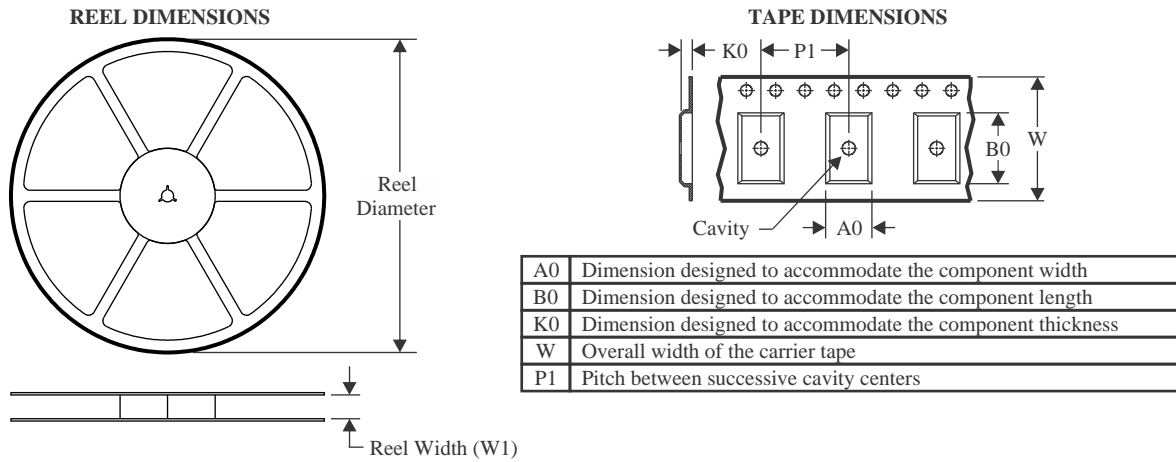
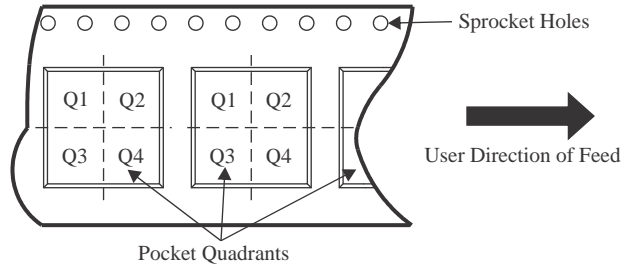
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TDA4VM, TDA4VM-Q1 :

- Catalog : [TDA4VM](#)
- Automotive : [TDA4VM-Q1](#)

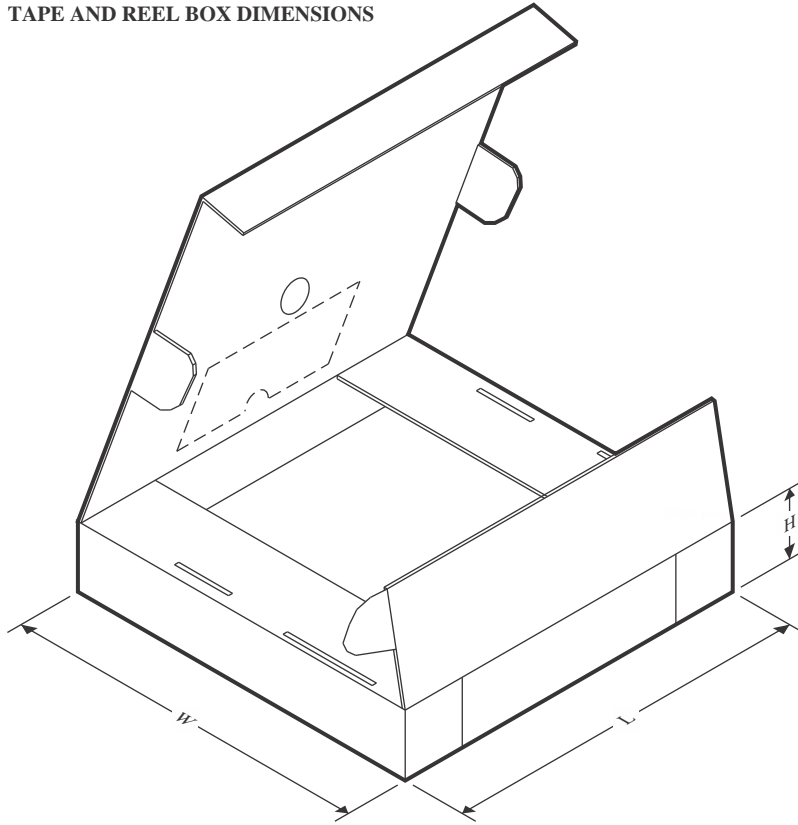
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

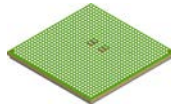
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDA4VM88TGCALFR	FCBGA	ALF	827	250	330.0	44.4	24.5	24.5	4.5	32.0	44.0	Q1
TDA4VM88TGCALFRQ1	FCBGA	ALF	827	250	330.0	44.4	24.5	24.5	4.5	32.0	44.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDA4VM88TGCALFR	FCBGA	ALF	827	250	336.6	336.6	53.2
TDA4VM88TGCALFRQ1	FCBGA	ALF	827	250	336.6	336.6	53.2

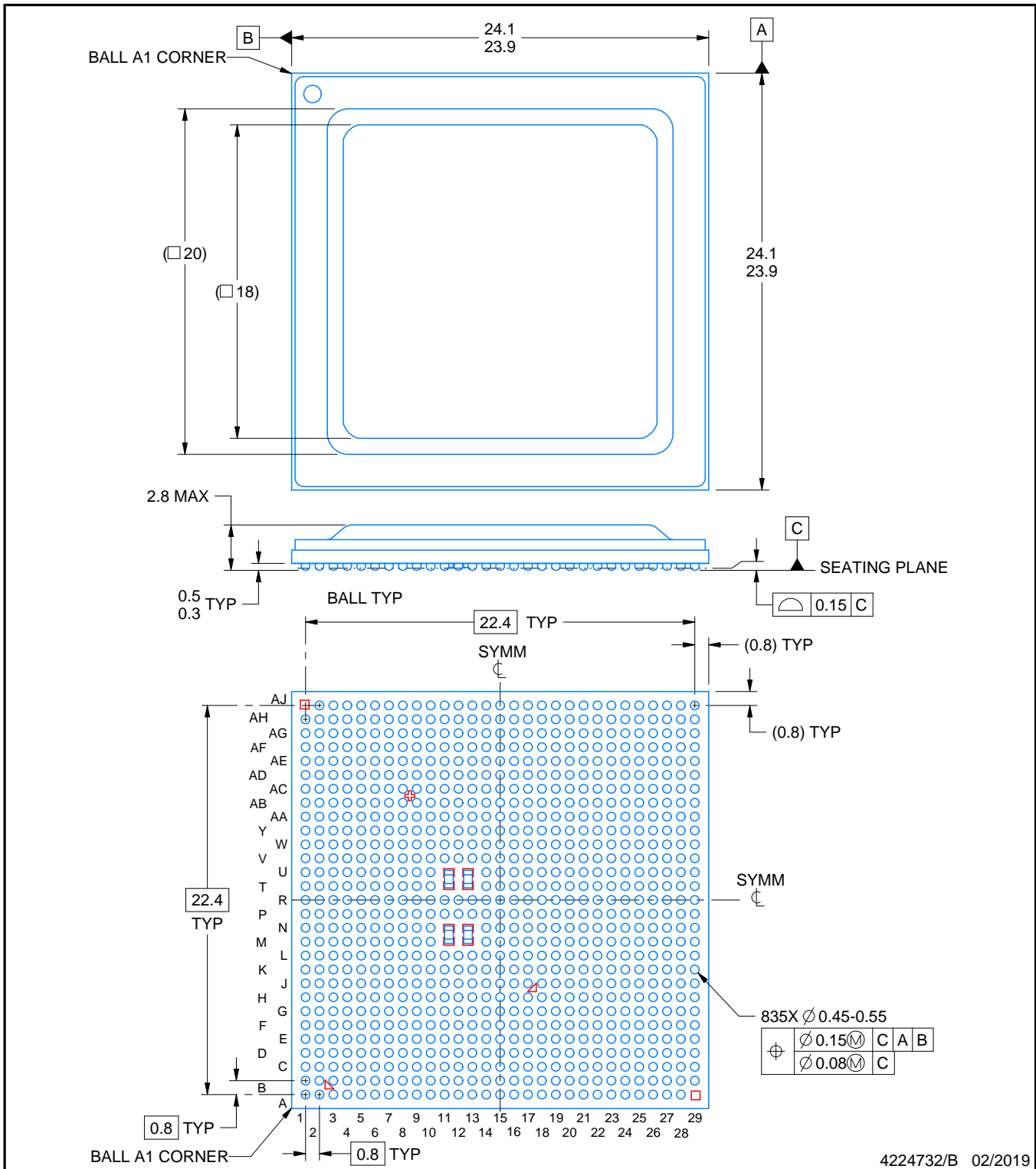
ALF0827A



PACKAGE OUTLINE

FCBGA - 2.8 mm max height

PLASTIC BALL GRID ARRAY



4224732/B 02/2019

NOTES:

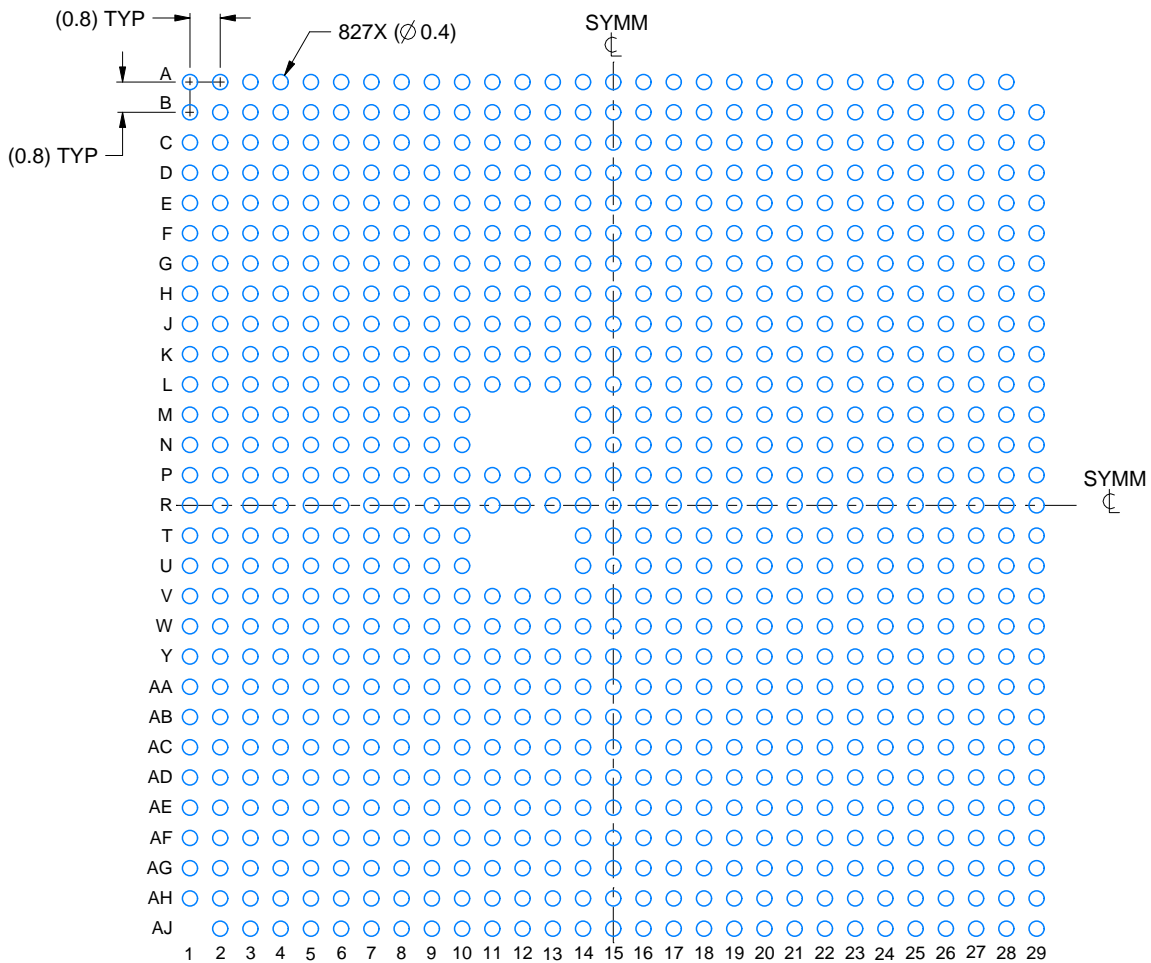
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Pb-Free die bump and Pb-Free solder ball.

EXAMPLE BOARD LAYOUT

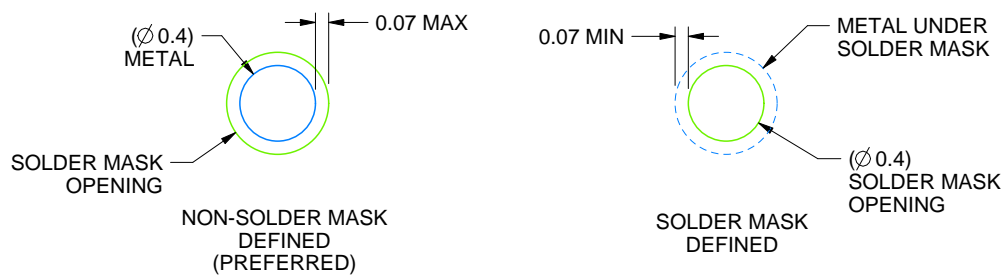
ALF0827A

FCBGA - 2.8 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:5X



SOLDER MASK DETAILS
NOT TO SCALE

4224732/B 02/2019

NOTES: (continued)

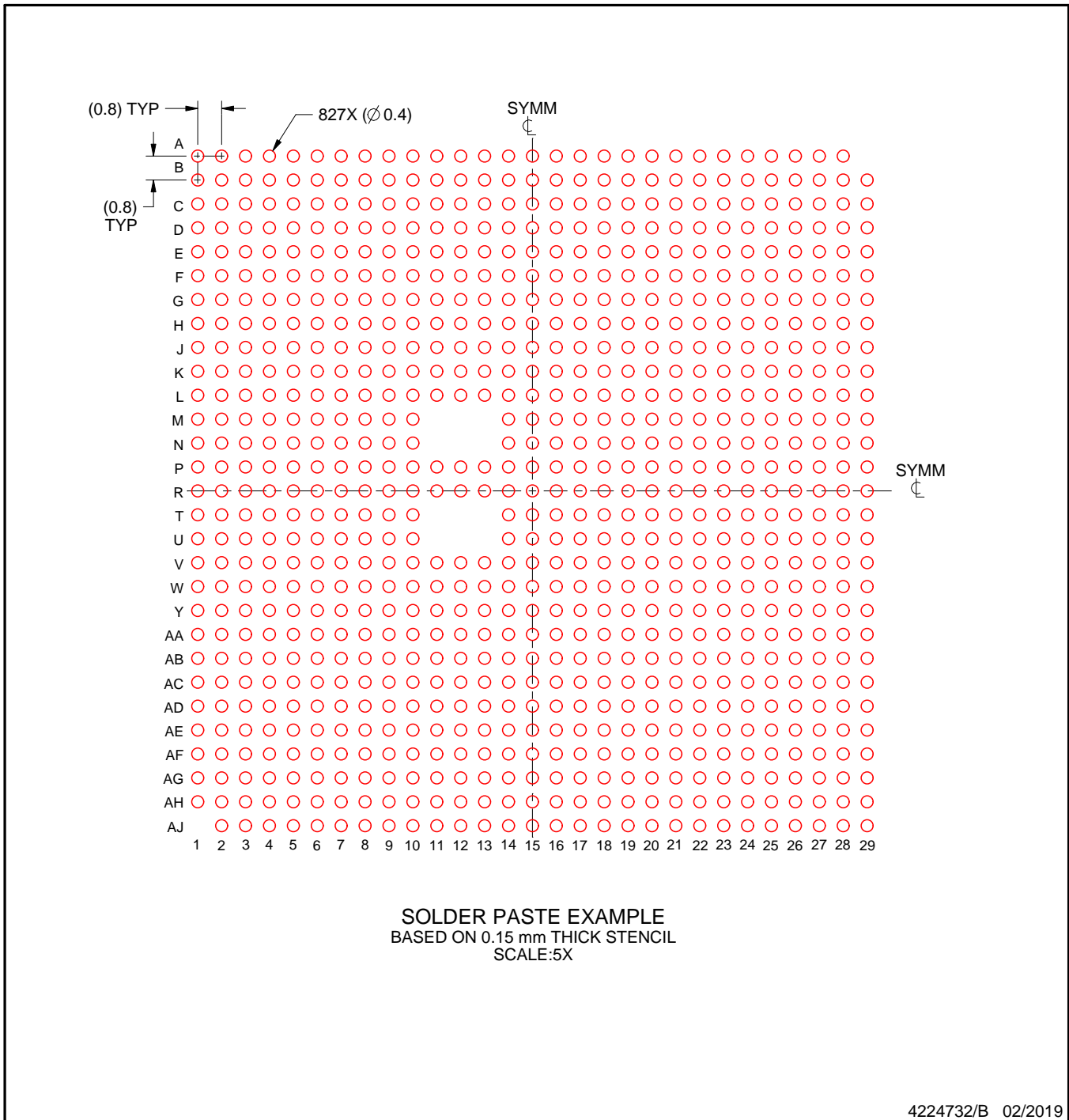
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ALF0827A

FCBGA - 2.8 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月