

TDP20MB421 2:1 MUX 搭載 20Gbps DisplayPort 2.1 および 12Gbps HDMI2.1 4 チャンネル リニア リドライバ

1 特長

- 4 チャンネル DisplayPort 2.1 リニア リドライバ / リピータ、2:1 MUX 内蔵
- 最大 20Gbps の Embedded DisplayPort (eDP) および DisplayPort 2.1 をサポート - RBR、HBRx、UHBRx
- AC 結合 HDMI 2.1 ソースをサポート
- DP++ (AC 結合 HDMI とも呼ぶ) をサポート
- 最大 24Gbps の AC 結合インターフェイスをサポートする、プロトコルに依存しないリニア イコライザ
- 3.3V 単一電源
- 4 チャンネル動作 720mW 低起動消費電力
- 20Gbps (10Ghz ナイキスト) での優れた電氣的性能:
 - 19dB のイコライゼーション
 - 1.8V DC の直線性、1.08V AC の直線性
 - 15dB/-16dB Rx/Tx 反射損失
 - 60dB の NEXT、-43dB の FEXT クロストーク
 - PRBS データによる 70fs の低付加 RJ
- 短いレイテンシ: 90ps
- DisplayPort 1.4、2.1 および HDMI 2.1 リンクトレーニングに対して透過的
- ピン制御または SMBus/I²C によるデバイス構成
 - 18 個の EQ ブースト設定、5 個のフラット ゲイン設定
- 40°C ~ 85°C および 0°C ~ 70°C の温度範囲
- 3.5mm × 9mm 42 ピン、0.5mm ピッチの WQFN パッケージ

2 アプリケーション

- デスクトップ PC とマザーボード
- PC、ノート PC、タブレット
- ドッキング・ステーション
- TV、ゲーム、ホームシアター、およびエンターテインメント
- 業務用オーディオ、ビデオ、サイネージ
- 試験および測定機器
- 医療用
- フラットパネル モニタ

3 説明

TDP20MB421 は、2:1 MUX を内蔵した 4 チャンネルのリニア リドライバ です。低消費電力高性能リニア リドライバは、最大 20Gbps の DisplayPort 2.1 と、最大 12Gbps の AC 結合 HDMI 2.1 ソースをサポートするように設計されています。

TDP20MB421 のレシーバは、連続時間リニア イコライザ (CTLE) を搭載し、プログラマブルな高周波数での昇圧を実現しています。イコライザは、相互接続媒体 (例: PCB 配線) に起因する符号間干渉 (ISI) によって完全に閉じた入力アイパターンを開きます。CTLE レシーバにはリニア出力ドライバが接続されています。TDP20MB421 のリニア データ パスは、送信プリセットの特性を維持します。高帯域幅で、チャンネル間クロストークが少なく、付加ジッタが小さく、反射損失特性が非常に優れた本デバイスは、リンク内ではほとんど受動素子のように振舞います。DisplayPort および HDMI リンクのトレーニングは、ソース Tx とシンク Rx の間でパッシブ チャンネルの一部となるデバイスを使用して効果的に行われます。リンクトレーニング プロトコルのデバイス透過性は、最良の電氣的リンクと最短のレイテンシをもたらします。本デバイスのデータ パスは、基板上の電源ノイズに対して高い耐性を示す内部的に安定化された電源レールを使用しています。

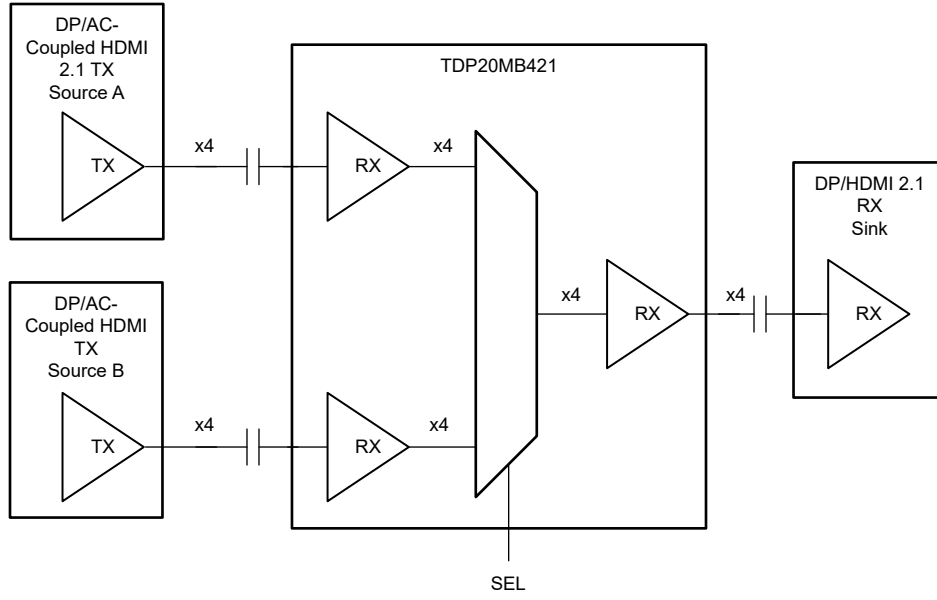
TDP20MB421 は、量産時に高速テストを実施しており、信頼性の高い大量生産に対応しています。また、本デバイスは AC および DC ゲインの変動が小さいため、大容量プラットフォームを展開する際の一貫したイコライゼーションにも対応しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TDP20MB421	RUA (WQFN, 42)	9mm × 3.5mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





アプリケーション使用事例

目次

1 特長	1	6.3 機能説明	13
2 アプリケーション	1	6.4 デバイスの機能モード	14
3 説明	1	6.5 プログラミング	14
4 ピン構成および機能	4	7 アプリケーションと実装	18
5 仕様	7	7.1 使用上の注意	18
5.1 絶対最大定格.....	7	7.2 代表的なアプリケーション	18
5.2 ESD 定格.....	7	7.3 電源に関する推奨事項	21
5.3 推奨動作条件.....	7	7.4 レイアウト	22
5.4 熱に関する情報.....	8	8 デバイスおよびドキュメントのサポート	23
5.5 DC の電気的特性.....	8	8.1 ドキュメントの更新通知を受け取る方法.....	23
5.6 高速電気的特性.....	9	8.2 サポート・リソース.....	23
5.7 SMBUS/I2C タイミング特性.....	10	8.3 商標.....	23
5.8 代表的特性.....	11	8.4 静電気放電に関する注意事項.....	23
6 詳細説明	12	8.5 用語集.....	23
6.1 概要.....	12	9 改訂履歴	23
6.2 機能ブロック図.....	12	10 メカニカル、パッケージ、および注文情報	23

4 ピン構成および機能

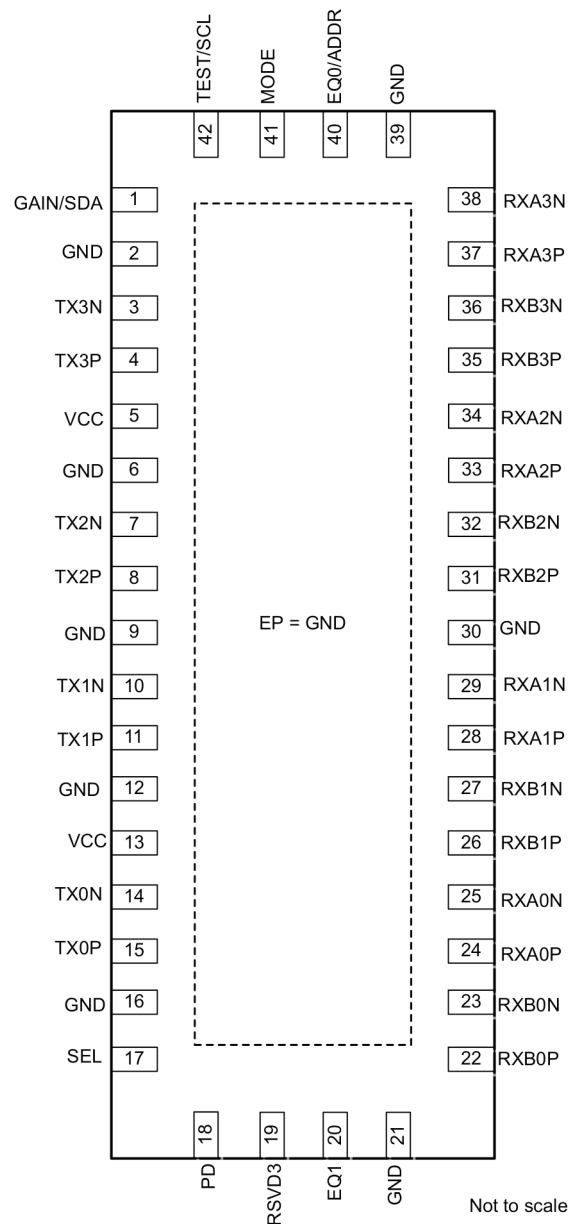


図 4-1. RUA パッケージ、42 ピン WQFN(上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
モード	41	I、5 レベル	<p>デバイス制御構成モードを設定します。5 レベルの IO ピンは表 6-1 に定義されています。このピンは、デバイスの電源投入時または通常動作モード時に使用できます。</p> <p>L0: ピン モード – デバイス制御構成は、ストラップ ピンのみで行われます。</p> <p>L1 または L2: SMBus/I²C モード – デバイス制御構成は、SMBus/I²C プライマリを持つ外部コントローラによって実行されます。このピンと ADDR ピンにより、デバイスのセカンダリアドレスを設定します。</p> <p>L3 と L4 (フローティング): 予約済み – TI の内部テスト モード。</p>

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
EQ0/ADDR	40	I, 5 レベル	ピン モード: EQ0 および EQ1 ピンは、表 6-2 に従って、全チャンネルの受信リニア イコライゼーション CTLE (AC ゲイン) を設定します。これらのピンは、デバイスの電源投入時のみサンプリングされます。 SMBus/I ² C モード: ADDR ピンは MODE ピンと組み合わせて、表 6-4 に従って SMBus/I ² C のセカンダリ アドレスを設定します。このピンは、デバイスの電源投入時のみサンプリングされます。
EQ1	20	I, 5 レベル	ピン モード: すべてのチャンネルにおいて、デバイスの入力から出力までのフラット ゲイン (広帯域ゲイン – DC および AC)。また、このデバイスは、EQ ピンまたは SMBus/I ² C レジスタで制御されるイコライゼーションの形で AC (高周波) ゲインを提供します。このピンは、デバイスの電源投入時のみサンプリングされます。 SMBus/I ² C モード: 3.3V SMBus/I ² C データ。4.7kΩ などの外部プルアップ抵抗が動作に必要です。
ゲイン / SDA	1	I, 5 レベル / IO	ピン モード: すべてのチャンネルにおいて、デバイスの入力から出力までのフラット ゲイン (広帯域ゲイン – DC および AC)。また、このデバイスは、EQ ピンまたは SMBus/I ² C レジスタで制御されるイコライゼーションの形で AC (高周波) ゲインを提供します。このピンは、デバイスの電源投入時のみサンプリングされます。 SMBus/I ² C モード: 3.3V SMBus/I ² C データ。4.7kΩ などの外部プルアップ抵抗が動作に必要です。
GND	EP、2、6、9、 12、16、21、 30、39	P	デバイス用のグラウンド リファレンス。 EP: QFN パッケージ底面の Exposed Pad。EP はデバイスの GND リターンとして使用されます。EP は、低抵抗のパスを経由して 1 つ以上のグラウンド プレーンに接続します。ビア アレイにより、GND への低インピーダンス パスが実現します。EP は放熱も改善しています。
PD	18	I, 3.3V LVCMOS	リドライバの動作状態を制御する 2 レベルのロジック。「ピン モード」および「SMBus/I ² C モード」の両方で有効です。このピンには 1MkΩ の弱い内部プルダウン抵抗が備わっています。 High: すべてのチャンネルのパワー ダウン Low: すべてのチャンネルのパワー アップ、通常動作
テスト / SCL	42	I, 5 レベル / IO	ピン モード: TI テストモード。代わりに外部 1kΩ プルダウン抵抗を使用します。 SMBus/I ² C モード: 3.3V SMBus/I ² C クロック。4.7kΩ などの外部プルアップ抵抗が動作に必要です。
RXA3P	37	I	反転差動 RX 入力 – ポート A、チャンネル 3。
RXA3N	38	I	非反転差動 RX 入力 – ポート A、チャンネル 3。
RXA2P	33	I	反転差動 RX 入力 – ポート A、チャンネル 2。
RXA2N	34	I	非反転差動 RX 入力 – ポート A、チャンネル 2。
RXA1P	28	I	反転差動 RX 入力 – ポート A、チャンネル 1。
RXA1N	29	I	非反転差動 RX 入力 – ポート A、チャンネル 1。
RXA0P	24	I	反転差動 RX 入力 – ポート A、チャンネル 0。
RXA0N	25	I	非反転差動 RX 入力 – ポート A、チャンネル 0。
RXB3P	35	I	反転差動 RX 入力 – ポート B、チャンネル 3。
RXB3N	36	I	非反転差動 RX 入力 – ポート B、チャンネル 3。
RXB2P	31	I	反転差動 RX 入力 – ポート B、チャンネル 2。
RXB2N	32	I	非反転差動 RX 入力 – ポート B、チャンネル 2。
RXB1P	26	I	反転差動 RX 入力 – ポート B、チャンネル 1。
RXB1N	27	I	非反転差動 RX 入力 – ポート B、チャンネル 1。
RXB0P	22	I	反転差動 RX 入力 – ポート B、チャンネル 0。
RXB0N	23	I	非反転差動 RX 入力 – ポート B、チャンネル 0。
SEL	17	I, 3.3V LVCMOS	このピンはマルチプレクサ経路の選択を行います。「ピン モード」および「SMBus/I ² C モード」の両方で有効です。このピンには弱い内部プルダウン抵抗が備わっています。システム実装時には、SEL ピンを制御してポート A とポート B の間でマルチプレクサを選択してください。 L: ポート A が選択されます。 H: ポート B が選択されます。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
TX3P	4	O	反転差動 TX 出力、チャンネル 3。
TX3N	3	O	非反転差動 TX 出力、チャンネル 3。
TX2P	8	O	反転差動 TX 出力、チャンネル 2。
TX2N	7	O	非反転差動 TX 出力、チャンネル 2。
TX1P	11	O	反転差動 TX 出力、チャンネル 1。
TX1N	10	O	非反転差動 TX 出力、チャンネル 1。
TX0P	15	O	反転差動 TX 出力、チャンネル 0。
TX0N	14	O	非反転差動 TX 出力、チャンネル 0。
RSVD3	19	O	TI 内部テストピン。接続なしのままにします。
VCC	5、13	P	電源、VCC = 3.3V ± 10%。このデバイスの VCC ピンは、基板の VCC プレーンへの低抵抗のパスを経由して接続します。

(1) I = 入力、O = 出力、P = 電源、GND = グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
VCC _{ABSMAX}	電源電圧 (VCC)	-0.5	4.0	V
VIO _{CMOS,ABSMAX}	3.3V LVCMOS とオープンドレイン I/O 電圧	-0.5	4.0	V
VIO _{5LVL,ABSMAX}	5 レベル入力 I/O 電圧	-0.5	2.75	V
VIO _{HS-RX,ABSMAX}	高速 I/O 電圧 (RXnP, RXnN)	-0.5	3.2	V
VIO _{HS-TX,ABSMAX}	高速 I/O 電圧 (TXnP, TXnN)	-0.5	2.75	V
T _{J,ABSMAX}	接合部温度		150	°C
T _{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±2kV と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
VCC	供給電圧、VCC から GND	DC と AC の電力の合計は、これらの制限を超えてはなりません	3.0	3.3	3.6	V
N _{VCC}	電源ノイズ許容誤差	DC から 50Hz 未満、正弦波 ⁽¹⁾			250	mVpp
		50Hz ~ 500kHz、正弦波 ⁽¹⁾			100	mVpp
		500kHz ~ 2.5MHz、正弦波 ⁽¹⁾			33	mVpp
		電源ノイズ、2.5MHz 超、正弦波 ⁽¹⁾			10	mVpp
T _{RampVCC}	VCC 電源ランプ時間	0V ~ 3.0V	0.150		100	ms
T _J	動作時接合部温度		-40		115	°C
T _A	動作時周囲温度		-40		85	°C
PW _{LVCMOS}	デバイスが LVCMOS 入力で有効な信号を検出するために必要な最小パルス幅	PD および SEL	200			µs
VCC _{SMBUS}	SMBus/I ² C SDA および SCL のオープンドレイン終端電圧	オープンドレインプルアップ抵抗の電源電圧			3.6	V
F _{SMBus}	SMBus セカンダリモードでの SMBus/I ² C クロック (SCL) 周波数		10		400	kHz
VID _{LAUNCH}	ソース差動立ち上げ振幅		800		1200	mVpp
DR	データレート		1		24	Gbps

- (1) 正弦波ノイズは電源電圧に重畳されますが、デバイスの機能や、電氣的表に示された重要な性能への影響はごくわずかです。AC と DC を合わせた電源ノイズが、規定された VDD 電源電圧の制限内に収まるように対策を講じてください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TDP20MB421	単位
		RUA、42ピン	
$R_{\theta JA-High K}$	接合部から周囲への熱抵抗	26.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	14.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	8.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	8.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 DC の電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
P_{ACT}	デバイスのアクティブ電力	すべてのチャンネルがイネーブル (PD = L)		720	970	mW
P_{STBY}	スタンバイ パワー モードにおけるデバイスの消費電力	すべてのチャンネルがディスエーブル (PD = H)		23	36	mW
制御 IO						
V_{IH}	High レベル入力電圧	SDA、SCL、PD、SEL ピン	2.1			V
V_{IL}	Low レベル入力電圧	SDA、SCL、PD、SEL ピン			1.08	V
V_{OH}	High レベル出力電圧	$R_{pullup} = 4.7k\Omega$ (SDA、SCL ピン)	2.1			V
V_{OL}	Low レベル出力電圧	$I_{OL} = -4mA$ (SDA、SCL ピン)			0.4	V
$I_{IH,SEL}$	SEL ピンの入力 High リーク電流	SEL ピンの場合 $V_{Input} = VCC$			100	μA
I_{IH}	入力 High リーク電流	$V_{Input} = VCC$ (SCL、SDA、PD ピン)			10	μA
I_{IL}	入力 Low リーク電流	$V_{Input} = 0V$ (SCL、SDA、PD、SEL ピン)	-10			μA
$I_{IH,FS}$	フェイルセーフ入力ピンに対する入力 High リーク電流	$V_{Input} = 3.6V$ 、 $VCC = 0V$ (SCL、SDA、PD、SEL ピン)			200	μA
$C_{IN-CTRL}$	入力容量	SCL、SDA、PD、SEL ピン		1.6		pF
5 レベルの IO (MODE、GAIN、EQ0、EQ1 ピン)						
I_{IH_5L}	入力 High リーク電流、5 レベル IO	$V_{IN} = 2.5V$			10	μA
I_{IL_5L}	MODE を除くすべての 5 レベル IO について入力 Low リーク電流	$V_{IN} = GND$	-10			μA
$I_{IL_5L,MODE}$	MODE ピンの入力 Low リーク電流	$V_{IN} = GND$	-200			μA
レシーバ						
$V_{RX-DC-CM}$	RX DC 同相電圧	デバイスがアクティブまたはスタンバイ状態		1.4		V
Z_{RX-DC}	Rx DC シングルエンド インピーダンス			50		Ω
$Z_{RX-HIGH-IMP-DC-POS}$	リセットまたはパワーダウン時の DC 入力 CM 入力インピーダンス	入力は $V_{RX-DC-CM}$ 電圧	20			k Ω
トランスミッタ						
$Z_{TX-DIFF-DC}$	DC 差動 Tx インピーダンス	アクティブ信号中の Tx のインピーダンス、VID、diff = 1Vpp		100		Ω
$V_{TX-DC-CM}$	Tx DC 同相電圧			1.0		V

5.5 DC の電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{TX-SHORT}	Tx 短絡電流	Tx が GND に短絡した際に供給する総電流		70		mA

5.6 高速電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
レシーバ						
RL _{RX-DIFF}	入力差動リターン損失	50MHz ~ 1.25GHz		-22		dB
		1.25GHz ~ 2.5GHz		-22		dB
		2.5GHz ~ 4.0GHz		-22		dB
		4.0GHz ~ 8.0GHz		-16		dB
		8.0GHz ~ 12GHz		-12		dB
RL _{RX-CM}	入力同相リターンロス	50MHz ~ 2.5GHz		-20		dB
		2.5GHz ~ 8.0GHz		-14		dB
		8.0GHz ~ 12GHz		-10		dB
X _{TRX}	受信側ペア間絶縁	10MHz から 10GHz までにおける、隣接する 2 つのレシーバ ペア間のペア間絶縁 (SDD21)。		-60		dB
トランスミッタ						
V _{TX-AC-CM-PP}	Tx AC ピーク ツー ピークの同相電圧	最低 EQ、ゲイン = L4 で測定。 PRBS7、20Gbps、30kHz ~ 500MHz のバンドパス フィルタを使用して少なくとも 10 ⁶ ビット以上			50	mVpp
RL _{TX-DIFF}	出力差動リターン損失	50MHz ~ 1.25GHz		-22		dB
		1.25GHz ~ 2.5GHz		-22		dB
		2.5GHz ~ 4.0GHz		-21		dB
		4.0GHz ~ 8.0GHz		-15		dB
		8.0GHz ~ 12GHz		-12		dB
RL _{TX-CM}	出力同相リターンロス	50MHz ~ 2.5GHz		-16		dB
		2.5GHz ~ 8.0GHz		-12		dB
		8.0GHz ~ 12GHz		-11		dB
X _{TTX}	送信側ペア間絶縁	10MHz から 10GHz までにおける、隣接する 2 つのトランスミッタ ペア間の最低限のペア間絶縁 (SDD21)。		-60		dB
デバイス データ パス						
T _{PLHD/PHLD}	データ チャネルを介した入力から出力までのレイテンシ (伝搬遅延)	Low から High、または High から Low へのいずれかの遷移。		90	130	ps
L _{TX-SKEW}	レーン間出力スキュー	1 つのトランスミッタ内で任意の 2 つのレーン間に配置できます。			20	ps
t _{RJ-DATA}	データによる付加ランダム ジッタ	リドライバを通過するジッタからキャリブレーション パターンを除きます。20Gbps PRBS15、800mVpp-diff 入力スイング。		70		fs
JITTER _{TOTAL-DATA}	データによる加算ランダム ジッタ	リドライバを通過するジッタからキャリブレーション パターンを除きます。20Gbps PRBS15、800mVpp-diff 入力スイング。		1.0		ps

5.6 高速電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
フラット ゲイン	ブロードバンド DC および AC フラット ゲイン - 入力から出力まで、DC で測定	最小 EQ、GAIN1/0 = L0		-5.6		dB
		最小 EQ、GAIN1/0 = L1		-3.8		dB
		最小 EQ、GAIN1/0 = L2		-1.2		dB
		最小 EQ、GAIN1/0 = L3		2.6		dB
		最小 EQ、GAIN1/0 = L4 (フローティン グ)		0.6		dB
EQ-MAX _{16G}	最大設定での EQ ブースト (EQ インデッ クス = 19)	100MHz に対する 10GHz の AC ゲイ ン。		19		dB
直線性 - DC	出力 DC の直線性	0dB フラット ゲイン時		1700		mVpp
直線性 - AC	20Gbps での出力 AC の直線性	0dB フラット ゲイン時		1050		mVpp

5.7 SMBUS/I2C タイミング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
セカンダリ モード						
t _{SP}	入力フィルタにより抑制される スパイクのパルス幅				50	ns
t _{HD-STA}	ホールド時間 (繰り返し) START コンディ ション。この期間の後に最初のクロック パ ルスが生成されます		0.6			μs
t _{LOW}	SCL クロック Low 期間		1.3			μs
T _{HIGH}	SCL クロックの High の時間		0.6			μs
t _{SU-STA}	繰り返し START 条件のセットアップ時間		0.6			μs
t _{HD-DAT}	データ ホールド時間		0			μs
T _{SU-DAT}	データ セットアップ時間		0.1			μs
t _r	SDA 信号と SCL 信号の両方の立ち上 がり時間	プルアップ抵抗 = 4.7kΩ、Cb = 10pF		120		ns
t _f	SDA 信号と SCL 信号の両方の立ち下 がり時間	プルアップ抵抗 = 4.7kΩ、Cb = 10pF		2		ns
t _{SU-STO}	停止条件のセットアップ時間		0.6			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間		1.3			μs
t _{VD-DAT}	データ有効時間				0.9	μs
t _{VD-ACK}	データ有効アクノリッジ時間				0.9	μs
C _b	各バス ラインの容量性負荷				400	pF

5.8 代表的特性

図 5-1 に、各種 EQ 設定における代表的な EQ ゲイン曲線と周波数との関係を示します。図 5-2 に、最大 EQ 設定 19 における温度に対する EQ ゲインの変動を示します。

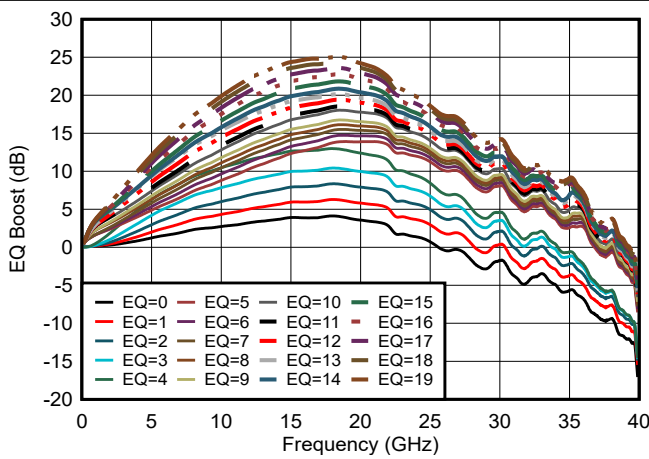


図 5-1. 標準的な EQ 昇圧と周波数との関係

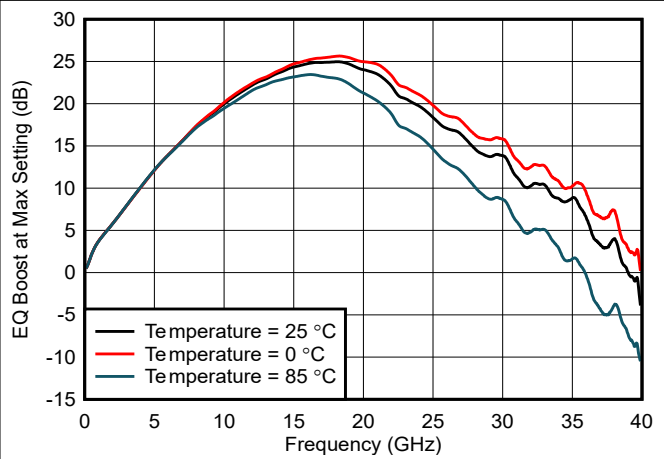


図 5-2. EQ = 19 の場合の、異なる温度における周波数に対する典型的な EQ ブースト

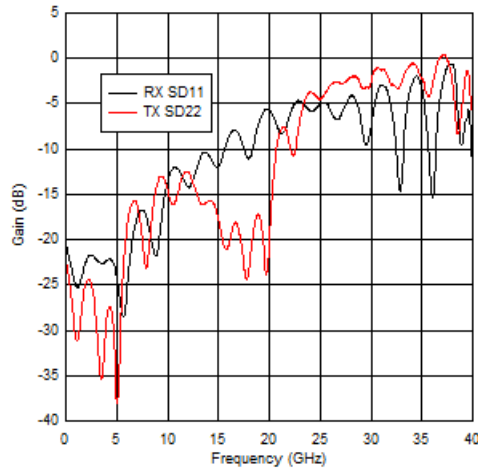


図 5-3. 差動リターン損失

6 詳細説明

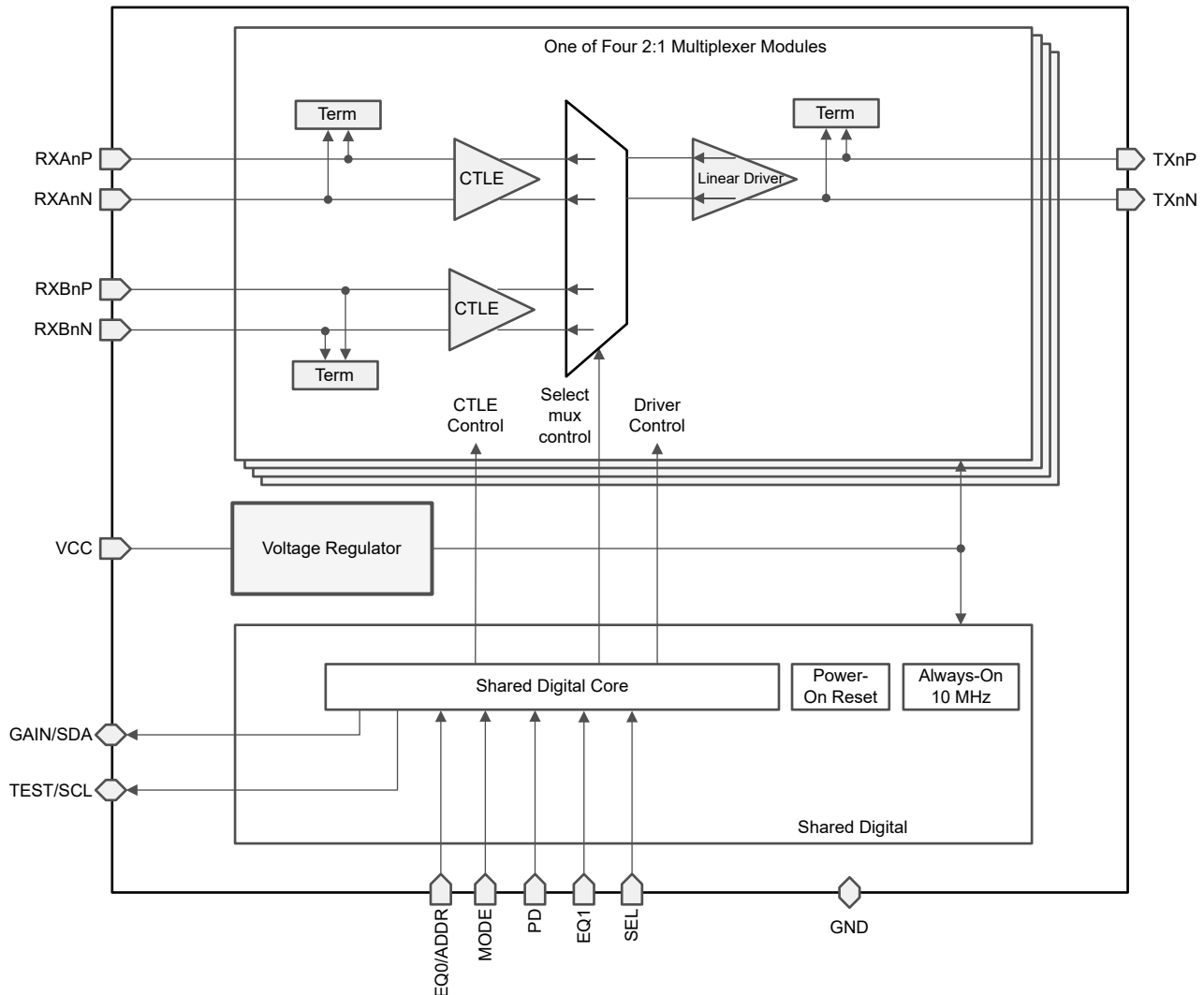
6.1 概要

TDP20MB421 は、2:1 MUX を内蔵した 4 チャンネルのリニアリドライバです。低消費電力かつ高性能のリニアリピータまたはリドライバは、最大 UHBR20 の DisplayPort データレートと、最大 12Gbps の AC 結合 HDMI 2.1 ソースをサポートします。このデバイスは、プロトコルに依存しないリニアリドライバであり、最大 24Gbps までの他の AC 結合インターフェイスで動作可能です。

TDP20MB421 の信号チャンネルは独立して動作します。各チャンネルには連続時間リニア イコライザ (CTLE) とリニア出力ドライバが含まれており、これらが連携してソース送信機と最終受信機間の損失のある伝送チャンネルを補償します。データパスの直線性は、DisplayPort および HDMI レシーバのイコライゼーションを有効に維持しながら送信イコライゼーションを維持するように設計されています。

TDP20MB421 は 2 つの方法で構成可能です。ピンモードでは、デバイス制御構成は、ストラップピンのみで行われます。ピンモードは、多くのシステム実装ニーズに対応するように設計されています。SMBus/I2C セカンダリモードは、より高い柔軟性を提供します。SMBus/I2C セカンダリモードでは、セカンダリアドレスに書き込むことで TDP20MB421 を構成するために、外部 SMBus/I2C プライマリデバイスが必要です。

6.2 機能ブロック図



6.3 機能説明

6.3.1 5 レベル制御入力

TDP20MB421 は、デバイスの構成を制御する 4 つの 5 レベル入力ピン (EQ1、EQ0、GAIN、MODE) を備えています。これらの 5 段階入力は、抵抗デバイダを使用して 5 つの有効なレベルを設定し、より広い範囲の制御設定を可能にします。外付け抵抗の公差は 10% 以上とする必要があります。EQ0、EQ1、GAIN ピンは、パワーアップ時のみサンプリングされます。MODE ピンは、デバイスの電源投入時または通常動作モード時に実行できます。

表 6-1. 5 レベル制御ピンの設定

レベル	設定
L0	1kΩ から GND
L1	8.25kΩ から GND
L2	24.9kΩ から GND
L3	75kΩ から GND
L4	F (フローティング)

6.3.2 リニア イコライゼーション

TDP20MB421 レシーバには連続時間リニア イコライザ (CTLE) が備わっており、高周波数をブーストし低周波数を減衰させることで、パッシブ チャネルの周波数依存の挿入損失効果を等化します。このレシーバは、幅広いイコライゼーション機能のために 2 段のリニア イコライザを実装しています。イコライザ段は、幅広いチャネル媒体特性に最適な EQ ゲインプロファイルに一致させるために、中周波数のブーストを微調整できる柔軟性も提供します。EQ プロファイル制御機能は、SMBus/I²C モードでのみ使用できます。ピンモードでは、これらの設定は FR4 パターンに最適化されています。

表 6-2 は、EQ コントロール ピンまたは SMBus/I²C レジスタを介して利用可能なイコライゼーション ブーストを提供します。ピン制御モードでは、EQ1 ピンと EQ0 ピンで全チャンネルのイコライゼーション ブーストを設定します。I²C モードでは、個々のチャンネルが EQ 昇圧用に個別にプログラム可能です。

表 6-2. イコライゼーション制御の設定

EQ インデックス	イコライザ設定						EQ 昇圧標準値 (dB) 10GHz 時
	ピンモード		SMBus/I ² C モード				
	EQ1	EQ0	eq_stage1_3:0	eq_stage2_2:0	eq_profile_3:0	eq_stage1_bypass	
0	L0	L0	0	0	0	1	4.0
1	L0	L1	1	0	0	1	5.0
2	L0	L2	3	0	0	1	7.0
5	L1	L0	0	0	1	0	8.0
6	L1	L1	1	0	1	0	9.0
7	L1	L2	2	0	1	0	9.5
8	L1	L3	3	0	3	0	10.0
9	L1	L4	4	0	3	0	11.0
10	L2	L0	5	1	7	0	12.0
11	L2	L1	6	1	7	0	12.5
12	L2	L2	8	1	7	0	13.5
13	L2	L3	10	1	7	0	14.5
14	L2	L4	10	2	15	0	15.0

表 6-2. イコライゼーション制御の設定 (続き)

EQ インデックス	イコライザ設定						EQ 昇圧標準値 (dB)
	ピン モード		SMBus/I ² C モード				10GHz 時
	EQ1	EQ0	eq_stage1_3:0	eq_stage2_2:0	eq_profile_3:0	eq_stage1_bypass	
15	L3	L0	11	3	15	0	15.5
16	L3	L1	12	4	15	0	16.5
17	L3	L2	13	5	15	0	17.0
18	L3	L3	14	6	15	0	18.0
19	L3	L4	15	7	15	0	19.0

6.3.3 フラットゲイン

デバイスがピン モードのとき、ゲイン ピンを使用して、TDP20MB421 のデータパス全体のフラットゲイン (高周波を含む広帯域ゲイン) を設定できます。ゲイン ピンは、全チャンネルのフラットゲインを設定します。各チャンネルは独立して I²C モードで設定できます。フラットゲイン制御の構成設定を表 6-3 に示します。ほとんどのシステムに対するデフォルト推奨値は GAIN = L4 (フロート) であり、これは、0dB のフラットゲインを提供するためです。

出力信号スイングが DC および高周波数において、それぞれデバイスの DC および AC の直線性の範囲を超えないように TDP20MB421 のフラットゲインとイコライゼーションを設定します。

表 6-3. フラットゲイン構成の設定

ピンモード ゲイン	I ² C モード flat_gain_2:0	フラットゲイン
L0	0	-5.6dB
L1	1	-3.8dB
L2	3	-1.2dB
L3	7	+2.6dB
L4 (フロート)	5	+0.6dB (デフォルトの推奨値)

6.4 デバイスの機能モード

6.4.1 アクティブモード

TDP20MB421 は正常に動作しています。このモードでは、システムが PD ピンを Low に駆動し、TDP20MB421 が RX 信号をリドライブおよびイコライズして、シグナル インテグリティを向上させます。

6.4.2 スタンバイモード

TDP20MB421 は、PD ピンが H に設定されることでスタンバイモードになります。このモードでは、デバイスはスタンバイモードでの消費電力を節約します。

6.5 プログラミング

6.5.1 ピンモード

TDP20MB421 は、ピンストラップピンにより完全に構成されます。このモードでは、デバイスは 2 段階ピンと 5 段階ピンを使用して、デバイス制御と信号整合性の最適設定を行います。

6.5.2 SMBUS/I²C レジスタ制御インターフェイス

MODE = L2 (SMBus/I²C セカンダリ制御モード) の場合、TDP20MB421 は最高のシグナル インテグリティを実現するために、最高 400kHz で動作できる標準の I²C または SMBus インターフェイスを介して構成されます。ピン ストラップ設定により、ADDR ピンと MODE ピンの TDP20MB421 のセカンダリ アドレスが決定されます。表 6-4 は、デバイスの各チャンネル バンクに対して可能な 8 つのセカンダリ アドレス (7 ビット) を示しています。SMBus および I²C モードでは、SCL および SDA ピンをプルアップ抵抗によって 3.3V 電源に接続します。この抵抗の値は、合計バス容量に依存します。4.7kΩ は、10pF のバス容量に対して適切な最初の近似値です。

表 6-4. SMBUS/I²C セカンダリ アドレス設定

モード	ADDR	7 ビットのセカンダリ アドレス チャンネル 2 ~ 3	7 ビットのセカンダリ アドレス チャンネル 0 ~ 1
L1	L0	0x18	0x19
L1	L1	0x1A	0x1B
L1	L2	0x1C	0x1D
L1	L3	0x1E	0x1F
X	L4	予約済み	予約済み
L2	L0	0x20	0x21
L2	L1	0x22	0x23
L2	L2	0x24	0x25
L2	L3	0x26	0x27

TDP20MB421 には 2 種類のレジスタがあります:

- **共有レジスタ:** これらのレジスタはいつでもアクセス可能で、デバイス レベルの設定、ステータスの読み戻し、制御、およびデバイス ID 情報のリードバックに使用されます。
- **チャンネル レジスタ:** これらのレジスタは、各チャンネルに固有の機能を制御および構成します。すべてのチャンネルは同じレジスタ セットを持ち、独立して構成することも、ブロードキャストライトでバンク 0 またはバンク 1 に対してグループとして構成することもできます。

TDP20MB421 は、チャンネル バンク 0 (チャンネル 2 ~ 3) とバンク 1 (チャンネル 0 ~ 1) の 2 バンクを備えており、それぞれが個別のレジスタ セットを持ち、固有の SMBus セカンダリ アドレスが必要です。

チャンネル レジスタ ベース アドレス	チャンネル バンク 0 アクセス	チャンネル バンク 1 アクセス
0x00	チャンネル 3 レジスタ	チャンネル 1 レジスタ
0x20	チャンネル 3 レジスタ	チャンネル 1 レジスタ
0x40	チャンネル 2 レジスタ	チャンネル 0 レジスタ
0x60	チャンネル 2 レジスタ	チャンネル 0 レジスタ
0x80	ブロードキャストライト チャンネル Bank 0 レジスタ、 チャンネル 3 レジスタをリード	ブロードキャストライト チャンネル Bank 1 レジスタ、 チャンネル 1 レジスタをリード
0xE0	バンク 0 がレジスタを共有	バンク 1 がレジスタを共有

6.5.2.1 共有レジスタ

表 6-5. 汎用レジスタ (オフセット= 0xE2)

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	予約済み
6	rst_i2c_regs	R/W/SC	0x0	デバイスリセット制御: すべての I ² C レジスタをデフォルト値にリセットします (セルフクリア)。
5	rst_i2c_mas	R/W/SC	0x0	I ² C プライマリのリセット (セルフクリア)。

表 6-5. 汎用レジスタ (オフセット= 0xE2) (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	予約済み	R	0x0000	予約済み

表 6-6. DEVICE_ID0 レジスタ (オフセット = 0xF0)

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x0001	予約済み
3	device_id0_3	R	0x0	デバイス ID0 [3:1]: 001
2	device_id0_2	R	0x0	MSB を参照してください
1	device_id0_1	R	0x1	MSB を参照してください
0	予約済み	R	X	予約済み

表 6-7. DEVICE_ID1 レジスタ (オフセット = 0xF1)

ビット	フィールド	タイプ	リセット	説明
7	device_id[7]	R	0x0	デバイス ID 0010 1001: TDP20MB421
6	device_id[6]	R	0x0	MSB を参照してください
5	device_id[5]	R	0x1	MSB を参照してください
4	device_id[4]	R	0x0	MSB を参照してください
3	device_id[3]	R	0x1	MSB を参照してください
2	device_id[2]	R	0x0	MSB を参照してください
1	device_id[1]	R	0x0	MSB を参照してください
0	device_id[0]	R	0x1	MSB を参照してください

6.5.2.2 チャンネル レジスタ

表 6-8. EQ ゲイン制御レジスタ (チャンネル レジスタ ベース + オフセット= 0x01)

ビット	フィールド	タイプ	リセット	説明
7	eq_stage1_bypass	R/W	0x0	EQ 段 1 のバイパスを有効化: 0: バイパスはディスエーブル 1: バイパスはイネーブル
6	eq_stage1_3	R/W	0x0	EQBoost ステージ 1 制御 詳しくは、表 6-2 を参照してください
5	eq_stage1_2	R/W	0x0	
4	eq_stage1_1	R/W	0x0	
3	eq_stage1_0	R/W	0x0	
2	eq_stage2_2	R/W	0x0	EQ ブースト ステージ 2 制御 詳しくは、表 6-2 を参照してください
1	eq_stage2_1	R/W	0x0	
0	eq_stage2_0	R/W	0x0	

表 6-9. EQ ゲイン/フラット ゲイン制御レジスタ (チャンネル レジスタ ベース + オフセット= 0x03)

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	予約済み
6	eq_profile_3	R/W	0x0	EQ 中周波数昇圧プロファイル 詳しくは、表 6-2 を参照してください
5	eq_profile_2	R/W	0x0	
4	eq_profile_1	R/W	0x0	
3	eq_profile_0	R/W	0x0	

表 6-9. EQ ゲイン/フラット ゲイン制御レジスタ (チャンネル レジスタ ベース + オフセット= 0x03) (続き)

ビット	フィールド	タイプ	リセット	説明
2	flat_gain_2	R/W	0x1	フラット ゲインの選択: 詳しくは、表 6-3 を参照してください
1	flat_gain_1	R/W	0x0	
0	flat_gain_0	R/W	0x1	

表 6-10. PD オーバーライド レジスタ (チャンネル レジスタ ベース + オフセット= 0x05)

ビット	フィールド	タイプ	リセット	説明
7	device_en_override	R/W	0x0	SMBus/I ² C を介したパワーダウン オーバーライドをイネーブル 0: 手動オーバーライドがディスエーブル 1: 手動オーバーライドがイネーブル
6-0	device_en	R/W	0x111111	device_en_override = 1 の場合、リドライバの各ブロックを手動でパワーダウン可能 111111: すべてのブロックが有効になっている 000000: すべてのブロックが無効になっている

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TDP20MB421 は、2:1 MUX を内蔵した高速リニア リピータです。このデバイスは、PCB やケーブルなどの伝送媒体による損失で劣化した差動チャネルの到達距離を延長します。TDP20MB421 は、さまざまなシステムに導入できます。以下のセクションでは、典型的なアプリケーションと、それに関連する設計上の考慮事項を概説します。

7.2 代表的なアプリケーション

TDP20MB421 は、DisplayPort または AC 結合 HDMI2.1 ソース メインリンクの信号コンディショナとして使用できるリニア リドドライバです。このデバイスは、幅広い AC 結合インターフェイスで使用できます。

7.2.1 DP 2.1 および HDMI 2.1 メインリンク シグナル コンディショニング

TDP20MB421 には、PC のマザー ボード、ドッキング ステーション、モニタでの使用など、多くのアプリケーションがあり、DisplayPort または AC 結合 HDMI 2.1 ソース メインリンク信号を昇圧し、ソースおよびシンク チャネルの到達範囲を拡大します。以下のセクションでは、典型的な DP 2.1 または AC 結合 HDMI 2.1 ソース アプリケーションの詳細な手順と設計要件を説明します。ただし、設計推奨事項は他の使用事例で使用できます。

7.2.1.1 設計要件

他の高速設計と同様に、全体的な性能に影響を及ぼす要因は多数あります。以下のリストは、設計プロセス中に考慮する必要のある重要な領域を示しています。

- 85Ω のインピーダンス パターンを使用します。差動ペアのシングル エンド区間では、P トレースと N トレースの長さを一致させます。
- 差動ペアには、均一なパターン幅と間隔を使用します。
- 反射を最小限に抑えるため、各チャネル セグメントのレシーバ端の近くに AC カップリング コンデンサを配置します。
- Gen 3.0、4.0、5.0 では、最大ボディ サイズ 0402 の 220nF の AC 結合コンデンサを使用し、コンデンサのランディング パッド下の GND プレーンにカットアウト ボイドを設けて GND への寄生容量を低減することが推奨されます。
- ドリルで背面にコネクタのビアと信号ビアを穴開けし、スタブの長さを最小化。
- リターン電流の低インダクタンス パスを確保するため、基準プレーン ビアを使用します。

7.2.1.2 詳細な設計手順

TDP20MB421 は、4 つの DP メインリンク チャネルのシグナル コンディショニングを行います。デバイスは、DP リンク トレーニングに依存しないリニア リドドライバです。ディスプレイ ソースとシンク間の DP リンク トレーニング ネゴシエーションは、本デバイスを介して有効に維持されます。リドドライバは、パッシブ パターン、ケーブル、その他のチャネル要素とともに電気チャネルの一部となり、最適な電気リンクを実現するために、ソースおよびシンクのパラメータを最適化します。

DisplayPort サイド バンド信号 AUXp/n および HPD はバイパスされます。リンクは、TDP20MB421 を介しても、正常にリンク トレーニングを実行できます。反転した HPD 信号を使用して PD ピン経由でデバイスのスタンバイ動作を制御できます。ただし、HPD 割り込み信号を適切にフィルタリングする必要があります。図 7-1 に、サイド バンド信号用の外部マルチプレクサを使用した TDP20MB421 を用いた DisplayPort アプリケーションの簡単な回路図を示します。

マイコンやその他のリンク監視デバイスが DP リンク状態情報を持つ一部のアプリケーションでは、マイコンが TDP20MB421 の I²C レジスタを操作して追加の電源管理を行うことができます。

TDP20MB421 は、HDMI2.1 AC 結合ソース アプリケーションで、4 つの HDMI メイン リンク チャネル向けのシグナル コンディショニングも行うことができます。デバイスは、HDMI FRL リンク トレーニングに依存しないリニア リドドライバです。ディ

スプレッドソースとシンク間の HDMI FRL リンクトレーニング ネゴシエーションは、本デバイスを介して有効に維持されます。リドライバは、パッシブパターン、ケーブル、その他のチャンネル要素とともに電気チャンネルの一部となり、最適な電気リンクを実現するために、ソースおよびシンクのパラメータを最適化します。

図 7-1 に、TDP20MB421 を使用した HDMI ソースアプリケーションの単純な回路図を示します。HDMI ソースの信号電圧要件に応じて、外部 HPD レベルシフタ、DDC_SCL および DDC_SDA バッファおよびレベルシフタが必要となる場合があります。

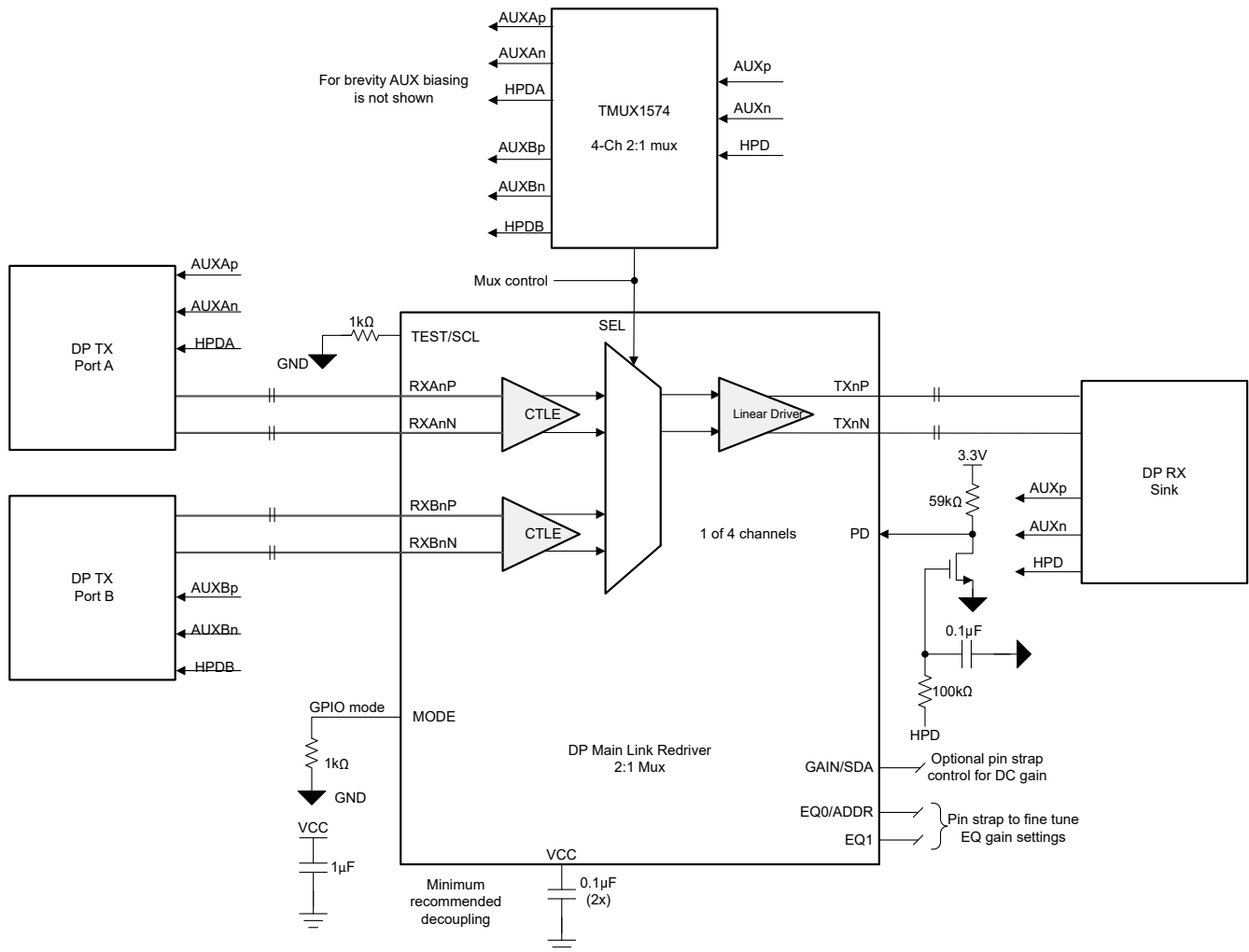


図 7-1. DisplayPort マルチプレクサアプリケーションの概略回路図

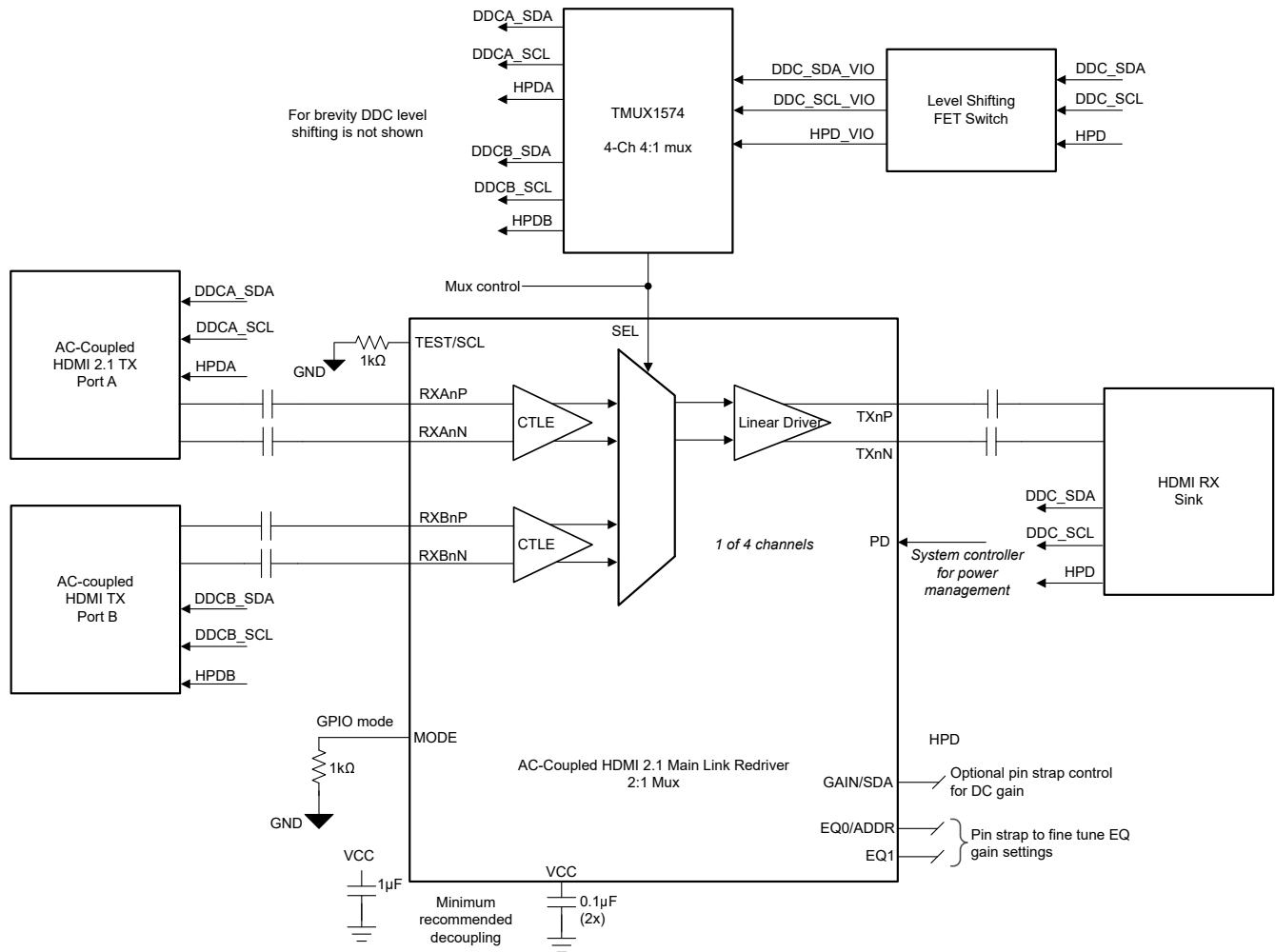


図 7-2. HDMI 2.1 ソース マルチプレクサ アプリケーションの概略回路図

7.2.1.3 アプリケーション曲線

TDP20MB421 は、DP リンクのチャンネル到達範囲を拡張するために使用できるリニア リドドライバです。リドドライバは、最大 20Gbps (UHBR20) のデータ レートで ISI による決定性ジッタを除去することで、コンプライアンスを通過するのに役立ちます。図 7-3 から図 7-6 は、典型的な DP 2.1 Tx コンプライアンス チャンネル セットアップと、リドドライバの有無における TP3_EQ のコンプライアンス アイ ダイアグラムを示しています。アイ ダイアグラムの比較から、TDP20MB421 は水平方向および垂直方向のアイ オープニングを拡張することでシグナル コンディショニングを提供し、不合格だったアイを合格させることができると分かります。

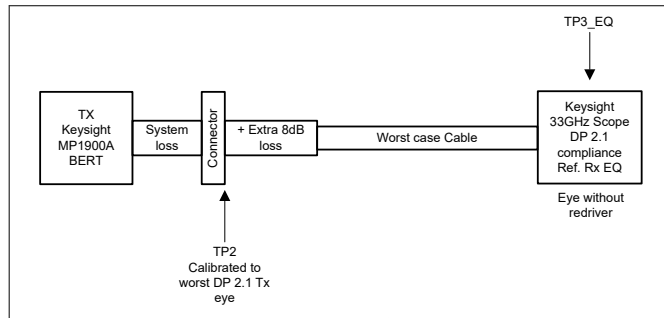


図 7-3. リドドライバなしの典型的な 20Gbps (UHBR20) DP 2.1 Tx コンプライアンス チャンネル セットアップ

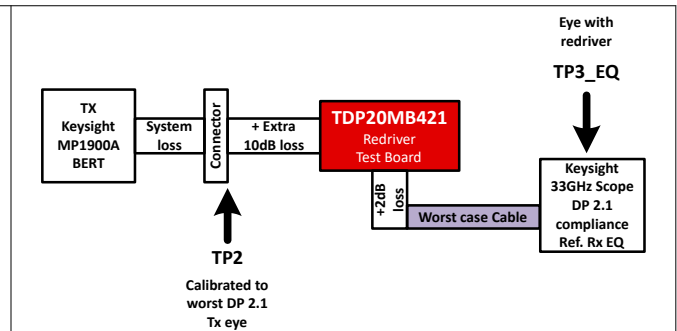


図 7-4. リドドライバありの典型的な 20Gbps (UHBR20) DP 2.1 Tx コンプライアンス チャンネル セットアップ

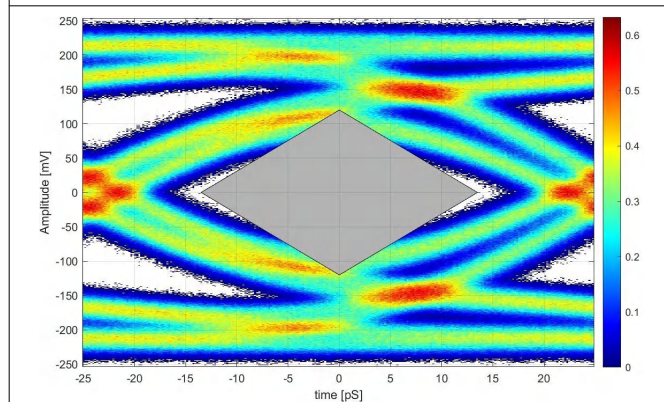


図 7-5. リドドライバなしの TP3_EQ における DP 2.1 Tx コンプライアンス アイ ダイアグラム

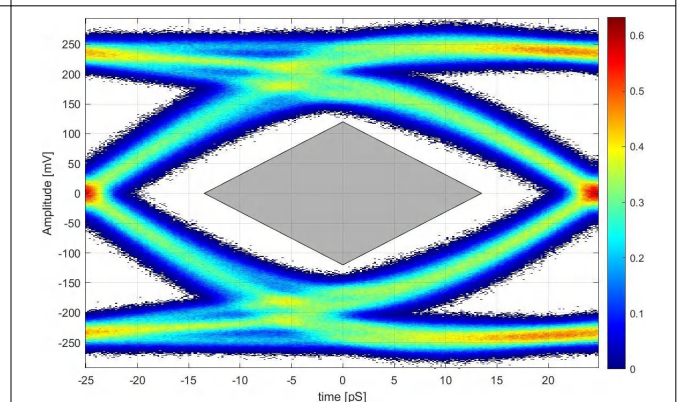


図 7-6. シグナル コンディショニング用の TDP20MB421 を使用した TP3_EQ における DP 2.1 Tx コンプライアンス アイ ダイアグラム

7.3 電源に関する推奨事項

電源を設計するときは、次の一般的なガイドラインに従ってください：

1. 電源は、DC 電圧、AC ノイズ、および立ち上がりランプ時間に関して、推奨動作条件セクションで示されている動作条件を提供できるように設計してください。
2. 推奨動作条件が満たされている場合、TDP20MB421 はフェラ이트ビーズなど特別な電源フィルタリングを必要としません。標準的な電源デカップリングのみが必要です。典型的な電源デカップリングは、VCC ピンごとに 0.1 μ F コンデンサ 1 個、デバイスごとに 1 μ F バルク コンデンサ 1 個、そして 1 台以上のデバイスに電力を供給する各電源バスごとに 10 μ F バルク コンデンサ 1 個で構成されます。ローカル デカップリング (0.1 μ F) コンデンサは、可能な限り VCC ピンの近くに接続し、デバイスのグランド パッドまでの経路を最小限にしてください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

レイアウトを設計するときは、次のガイドラインに従ってください。

1. デカップリング コンデンサは、可能な限り VCC ピンの近くに配置します。可能な場合、デカップリング コンデンサはデバイスの直下に配置します。
2. 高速差動信号 TXnP/TXnN および RXnP/RXnN を厳密に結合し、スキュー マッチング、およびインピーダンス制御します。
3. 高速差動信号に可能な限りビアは避けてください。ビアを使用する場合、ほとんどまたはすべての層を遷移するか、バックドリルを使用して、ビア スタブを最小限に抑えます。
4. パッド容量を打ち消して信号品質を改善するために、高速差動信号パッドの下に GND リリーフが使用されています。GND リリーフの使用は必須ではありません。
5. デバイス直下に GND ビアを配置し、デバイスに接続された GND プレーンを他の層の GND プレーンに接続します。GND ビアには、デバイスから基板への熱伝導性を改善するという追加の利点もあります。

7.4.2 レイアウト例

TDP20MB421 レイアウトの例を、[図 7-7](#) に示します。

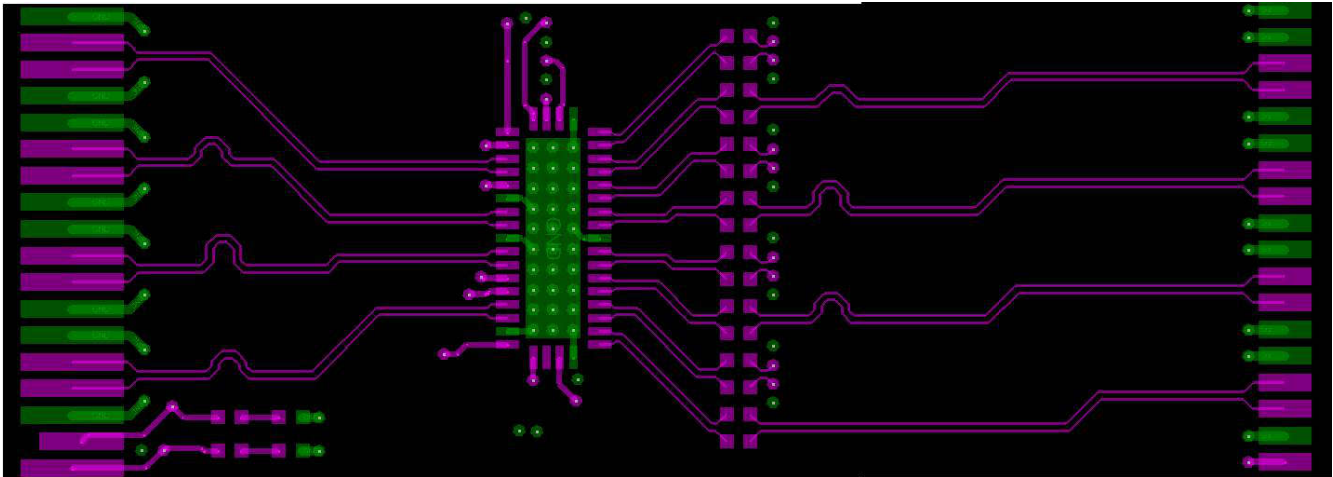


図 7-7. TDP20MB421 レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2024) to Revision A (April 2026)	Page
• AC 結合 HDMI 2.1 ソース アプリケーションのサポートを追加.....	1
• 「DEVICE_ID0 レジスタ (オフセット = 0xF0)」表の 3 - 1 ビットの DEVICE_ID0 の値を変更	15
• HDMI 機能に関する HDMI ソース アプリケーションの概略回路図と説明を追加.....	18

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDP20MB421IRUAR	Active	Production	WQFN (RUA) 42	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	5PR421
TDP20MB421IRUAT	Active	Production	WQFN (RUA) 42	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	5PR421
TDP20MB421RUAR	Active	Production	WQFN (RUA) 42	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	5PR421
TDP20MB421RUAT	Active	Production	WQFN (RUA) 42	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	5PR421

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDP20MB421IRUAR	WQFN	RUA	42	3000	330.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1
TDP20MB421IRUAT	WQFN	RUA	42	250	180.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1
TDP20MB421RUAR	WQFN	RUA	42	3000	330.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1
TDP20MB421RUAT	WQFN	RUA	42	250	180.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDP20MB421RUAR	WQFN	RUA	42	3000	367.0	367.0	35.0
TDP20MB421RUAT	WQFN	RUA	42	250	210.0	185.0	35.0
TDP20MB421RUAR	WQFN	RUA	42	3000	367.0	367.0	35.0
TDP20MB421RUAT	WQFN	RUA	42	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

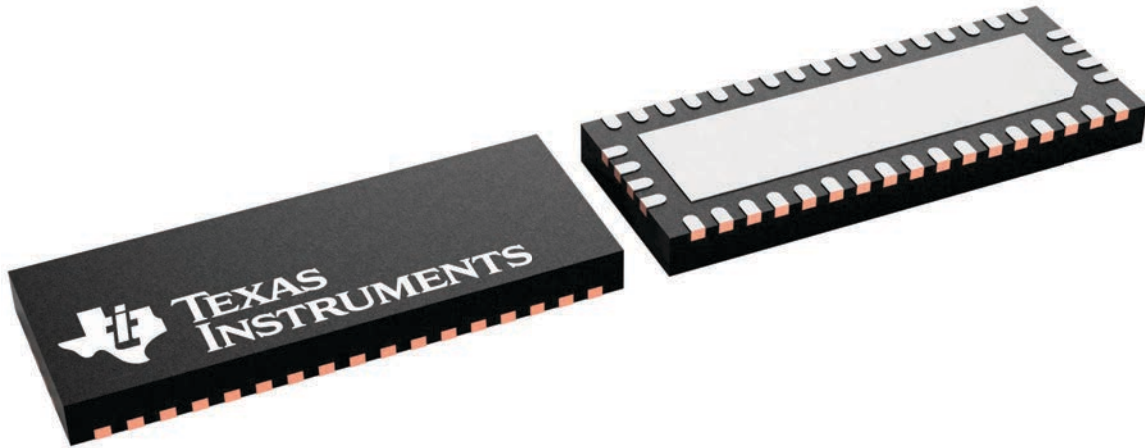
RUA 42

WQFN - 0.8 mm max height

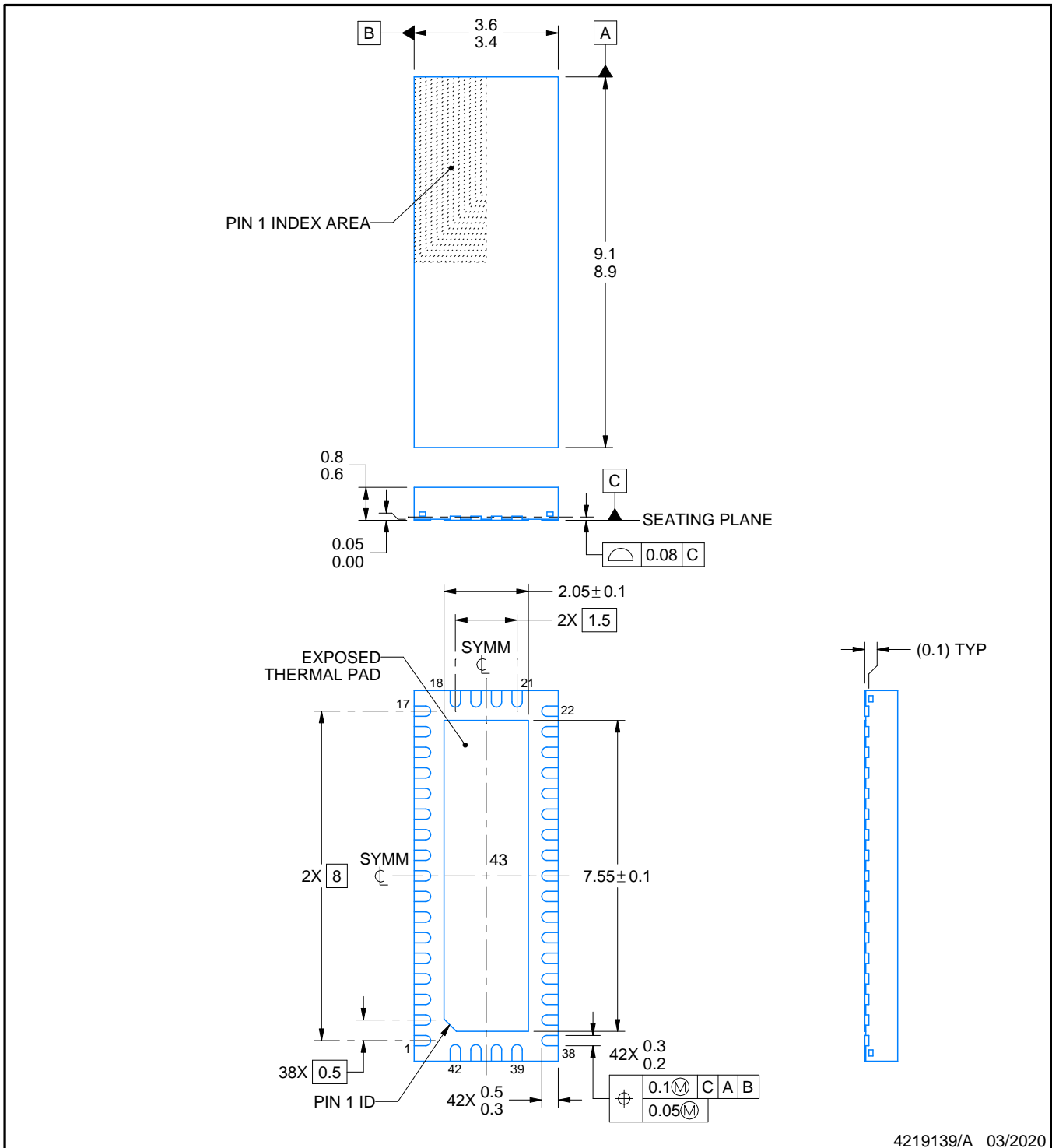
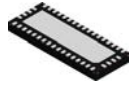
9 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226504/A



4219139/A 03/2020

NOTES:

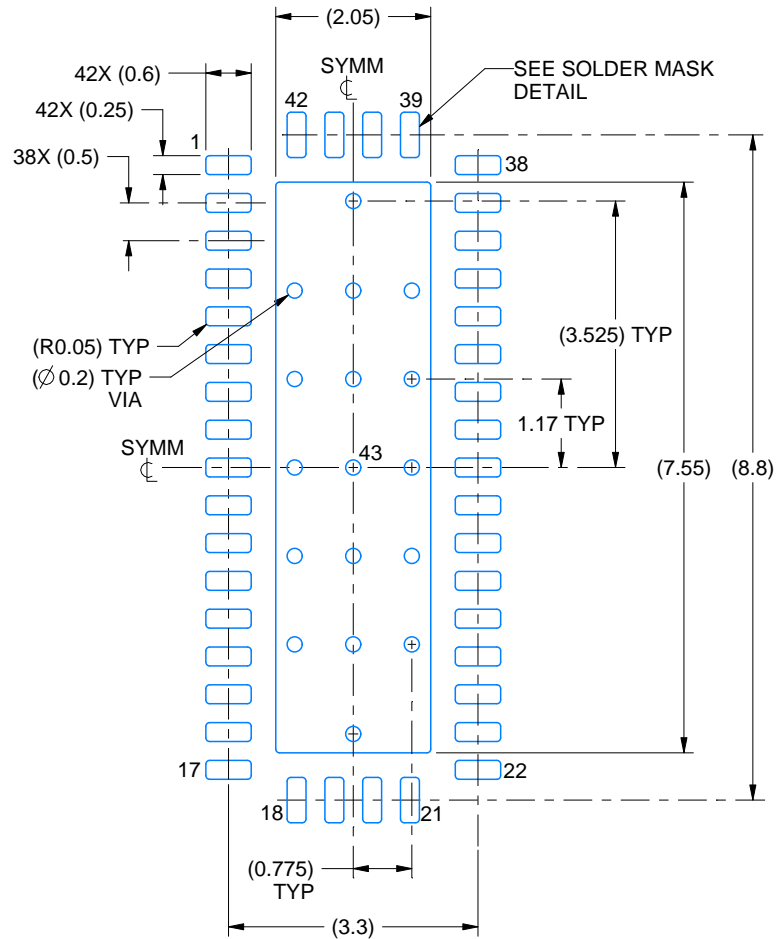
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

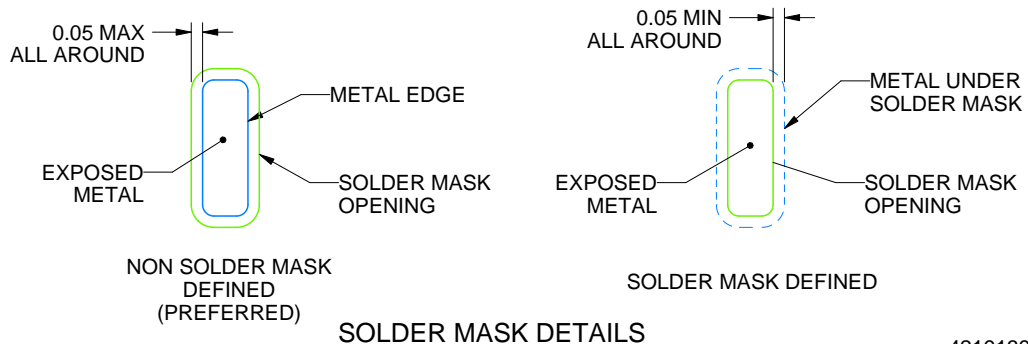
RUA0042A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4219139/A 03/2020

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月