

THS4631 高電圧、高スルーレート、広帯域 FET 入力オペアンプ

1 特長

- 広い帯域幅:
 - ユニティゲイン: 325MHz
 - ゲイン帯域幅積: 210MHz
- 高いスルーレート:
 - 900V/μs (G = 2)
 - 1000V/μs (G = 5)
- SFDR (スプリアスフリー ダイナミックレンジ): 5MHz で -76dB の低歪み
- 低入力バイアス電流: 100pA
- 入力電圧ノイズ: 7nV/√Hz
- 最大入力オフセット電圧: 25°C で 500μV
- 小さいオフセットドリフト: 2.5μV/°C
- 入力インピーダンス: $10^9 \parallel 3.9\text{pF}$
- 幅広い電源電圧範囲: $\pm 5V \sim \pm 15V$
- 大出力電流: 95mA

2 アプリケーション

- 広帯域フォトダイオードアンプ
- 高速トランシスインピーダンスゲインステージ
- 試験 / 測定システム
- 電流 DAC 出力バッファ
- アクティブ フィルタリング
- 高速シグナル積分器
- ハイインピーダンスのバッファ

3 概要

THS4631 は、高速 FET 入力オペアンプで、広帯域動作、高入力インピーダンス、高電源電圧が必要なアプリケーション向けに設計されています。210MHz のゲイン帯域

幅積、 $\pm 15V$ の電源動作、100pA の入力バイアス電流を提供できる THS4631 を使用することで、広帯域のトランシスインピーダンスゲインと大きな出力信号スイングを同時に実現できます。1000V/μs の高速スルーレートにより、高速なセトリング タイム、および高周波で良好な高調波歪が得られます。電流と電圧ノイズが低いため、高い信号対雑音比を維持しながら、非常に低いレベルの入力信号を增幅できます。

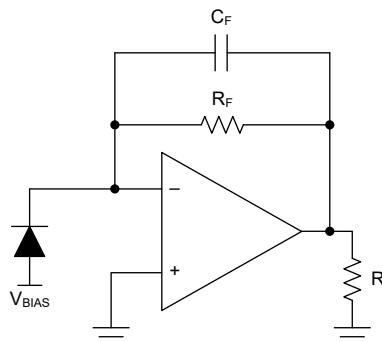
こうした高性能な特性を備えた THS4631 は、広帯域フォトダイオードアンプとしての使用に最適です。フォトダイオード出力電流は、トランシスインピーダンス増幅の主要要因となります。その他のアプリケーションとして、高入力インピーダンス、ADC と DAC のバッファリング、高速積分、アクティブ フィルタリングが必要となる試験システムや測定システムが挙げられます。

THS4631 は、8 ピン SOP (D) パッケージ、および PowerPAD™ IC パッケージ採用の 8 ピン HSOIC (DDA) と HVSSOP (DGN) で提供されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
THS4631	D (SOP, 8)	4.9mm × 6mm
	DDA (HSOIC, 8)	4.9mm × 6mm
	DGN (HVSSOP, 8)	3mm × 4.9mm

- (1) 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



フォトダイオード回路



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	8.1 アプリケーション情報	14
2 アプリケーション	1	8.2 代表的なアプリケーション	15
3 概要	1	8.3 電源に関する推奨事項	21
4 関連製品	2	8.4 レイアウト	22
5 ピン構成機能	2	9 デバイスおよびドキュメントのサポート	26
6 仕様	3	9.1 デバイスサポート	26
6.1 絶対最大定格	3	9.2 ドキュメントのサポート	29
6.2 ESD 定格	3	9.3 ドキュメントの更新通知を受け取る方法	29
6.3 推奨動作条件	3	9.4 サポート・リソース	29
6.4 熱に関する情報	3	9.5 商標	30
6.5 電気的特性	4	9.6 静電気放電に関する注意事項	30
6.6 代表的特性	6	9.7 用語集	30
7 パラメータ測定情報	13	10 改訂履歴	30
8 アプリケーションと実装	14	11 メカニカル、パッケージ、および注文情報	31

4 関連製品

デバイス	V _s (V)	GBWP (MHz)	スルーレート (V/μs)	電圧ノイズ (nV/√Hz)	最小ゲイン
OPA656	±5	230	400	6	1
OPA657	±5	1600	700	4.8	7
OPA627	±15	16	55	4.5	1
THS4601	±15	180	100	5.4	1

5 ピン構成機能

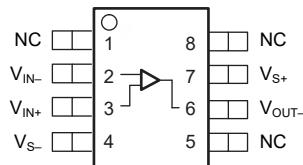


図 5-1. D パッケージ、8 ピン SOP
 DDA パッケージ、8 ピン HSOIC
 および DGN パッケージ、8 ピン HVSSOP (上面図)

表 5-1. ピンの機能

ピン 名称	番号	タイプ	説明
NC	1	—	内部接続なし
NC	5	—	内部接続なし
NC	8	—	内部接続なし
V _{IN-}	2	入力	反転入力
V _{IN+}	3	入力	非反転入力
V _{OUT-}	6	出力	アンプの出力
V _{s-}	4	入力	負電源接続
V _{s+}	7	入力	正電源接続
サーマル パッド	サーマル パッド	—	DDA および DGN パッケージのみ。サーマル パッドは内部で V- に接続されている。消費電力の低いアプリケーションの場合も、V- に接続されているプリント基板 (PCB) にサーマル パッドを半田付けする必要がある。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_S	電源電圧、 $V_{S-} \sim V_{S+}$		33	V
V_I	入力電圧	$-V_S$	$+V_S$	V
I_O	出力電流		150	mA
	連続消費電力		熱に関する情報参照	
T_J	接合部温度 ⁽²⁾		150	°C
T_A	自由気流での動作温度、連続動作、長期的な信頼性 ⁽²⁾		125	°C
T_{stg}	保存温度	-65	150	°C

- (1) いかなる条件下でも、「絶対最大定格」はシリコン プロセスの制約によって制限されます。これらの定格を超えるストレスは、デバイスに永久的な損傷を与える場合があります。絶対最大定格の状態に長期間暴露すると、デバイスの信頼性が低下します。これはストレスの定格のみについて示しており、絶対最大定格において、または規定された値を超えるいかなる条件でも、本製品の機能的な動作を暗黙に示すものではありません。
- (2) 連続動作時の最大接合部温度は、パッケージの制約によって制限されます。この温度を超えて動作させると、デバイスの信頼性が低下する場合、寿命が縮まる場合、またはその両方が発生する可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1500	
		マシン モデル (MM)	±100	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_S	電源電圧	デュアル電源	±5	±15	V
		単一電源	10	30	V
T_A	自由空気での動作温度		-40	85	°C

6.4 热に関する情報

熱評価基準 ⁽¹⁾		THS4631			単位
		D (SOIC)	DDA (HSOIC)	DGN (HVSSOP)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	95	45.8	58.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	38.3	9.2	4.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	該当なし	該当なし	該当なし	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	該当なし	該当なし	該当なし	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	該当なし	該当なし	該当なし	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
AC 特性					
小信号帯域幅、-3dB	$G = 1$ 、 $R_F = 0\Omega$ 、 $V_O = 200mV_{PP}$	325			MHz
	$G = 2$ 、 $R_F = 499\Omega$ 、 $V_O = 200mV_{PP}$	105			
	$G = 5$ 、 $R_F = 499\Omega$ 、 $V_O = 200mV_{PP}$	55			
	$G = 10$ 、 $R_F = 499\Omega$ 、 $V_O = 200mV_{PP}$	25			
ゲイン帯域幅積	$G \geq 20$	210			MHz
0.1dB 帯域幅平坦性	$G = 2$ 、 $R_F = 499\Omega$ 、 $C_F = 8.2pF$	6			MHz
	$G = 2$ 、 $R_F = 499\Omega$	20			
大信号帯域幅	$G = 2$ 、 $R_F = 499\Omega$ 、 $V_O = 2V_{PP}$	105			MHz
スルーレート	$G = 2$ 、 $R_F = 499\Omega$ 、 $V_O = 2V$ ステップ	550			V/μs
	$G = 2$ 、 $R_F = 499\Omega$ 、 $V_O = 10V$ ステップ	900			
	$G = 5$ 、 $R_F = 499\Omega$ 、 $V_O = 10V$ ステップ	1000			
立ち上がりおよび立ち下がり時間	2V ステップ	5			ns
セトリング時間	0.1%、 $G = -1$ 、 $V_O = 2V$ ステップ、 $C_F = 4.7pF$	40			ns
	0.01%、 $G = -1$ 、 $V_O = 2V$ ステップ、 $C_F = 4.7pF$	190			
2 次高調波歪	$G = 2$ 、 $V_O = 2V_{PP}$ 、 $f = 5MHz$	$R_L = 100\Omega$	-65		dBc
		$R_L = 1k\Omega$	-76		
3 次高調波歪	$G = 2$ 、 $V_O = 2V_{PP}$ 、 $f = 5MHz$	$R_L = 100\Omega$	-62		dBc
		$R_L = 1k\Omega$	-94		
高調波歪					
入力電圧ノイズ	$f > 10kHz$	7			nV/\sqrt{Hz}
入力電流ノイズ	$f > 10kHz$	20			fA/\sqrt{Hz}
DC 特性					
開ループ ゲイン	$R_L = 1k\Omega$		70	80	dB
		$T_A = -40^\circ C \sim +85^\circ C$	65		
入力オフセット電圧 ⁽¹⁾	$V_{CM} = 0V$		± 260	± 500	μV
		$T_A = -40^\circ C \sim +85^\circ C$		± 2000	
平均オフセット電圧ドリフト ⁽¹⁾	$V_{CM} = 0V$ 、 $T_A = -40^\circ C \sim +85^\circ C$		± 2.5	± 12	$\mu V/^\circ C$
入力バイアス電流	$V_{CM} = 0V$		± 50	± 100	pA
		$T_A = -40^\circ C \sim +85^\circ C$		± 2000	
入力オフセット電流	$V_{CM} = 0V$		± 25	± 100	pA
		$T_A = -40^\circ C \sim +85^\circ C$		± 1000	
入力特性					
同相入力電圧、高			11.5	12	V
		$T_A = -40^\circ C \sim +85^\circ C$	11		
同相入力電圧、低			-13	-12.5	V
		$T_A = -40^\circ C \sim +85^\circ C$		-9	
同相除去比	$V_{CM} = \pm 10V$		86	95	dB
		$T_A = -40^\circ C \sim +85^\circ C$	80		
差動入力インピーダンス			$10^9 \parallel 3.9$		$\Omega \parallel pF$
差動入力インピーダンス			$10^9 \parallel 3.9$		$\Omega \parallel pF$

6.5 電気的特性 (続き)

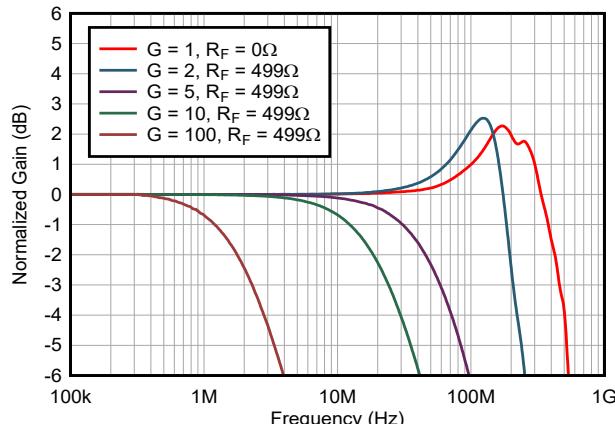
$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
出力特性						
出力電圧スイング	$R_L = 100\Omega$		± 10	± 11		V
		$T_A = -40^\circ C \sim +85^\circ C$	± 9.5			
	$R_L = 1k\Omega$		± 13	± 13.5		
		$T_A = -40^\circ C \sim +85^\circ C$	± 12.8			
静的出力電流 (ソース)	$R_L = 20\Omega$		120	180		mA
		$T_A = -40^\circ C \sim +85^\circ C$	90			
静的出力電流 (シンク)	$R_L = 20\Omega$		-180	-120		mA
		$T_A = -40^\circ C \sim +85^\circ C$			-90	
閉ループ出力インピーダンス	$G = 1$ 、 $f = 1MHz$			0.1		Ω
電源						
仕様動作電圧			± 4	± 15	± 16.5	V
		$T_A = -40^\circ C \sim +85^\circ C$	± 4		± 16.5	V
静止時電流			10	12.5	14.5	mA
		$T_A = -40^\circ C \sim +85^\circ C$	9		15	
電源除去 (PSRR +)	$V_{S+} = 15.5V \sim 14.5V$ 、 $V_{S-} = 15V$		85	95		dB
		$T_A = -40^\circ C \sim +85^\circ C$	80			
電源除去 (PSRR -)	$V_{S+} = 15V$ 、 $V_{S-} = -15.5V \sim -14.5V$		85	95		dB
		$T_A = -40^\circ C \sim +85^\circ C$	80			

- (1) 入力オフセット電圧は $25^\circ C$ で 100% テストされており、記載されている温度範囲全体にわたって特性とシミュレーションによって指定されています。

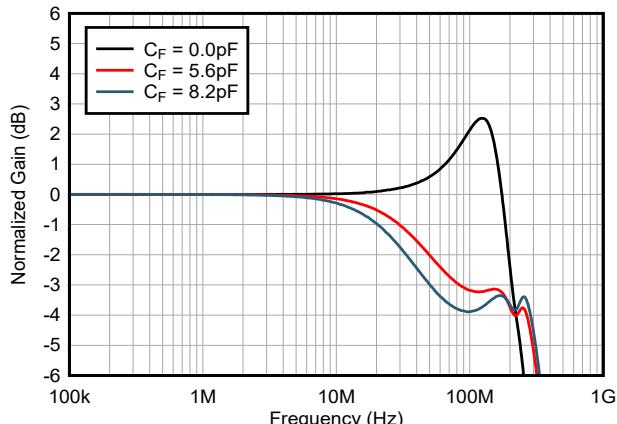
6.6 代表的特性

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)



$G = 100, R_F = 11.3k\Omega, R_G = 115\Omega, V_{OUT} = 200mV_{PP}$

図 6-1. 小信号周波数応答



$G = 2, R_F = 499\Omega, R_G = 499\Omega, V_{OUT} = 200mV_{PP}$

図 6-2. 小信号周波数応答

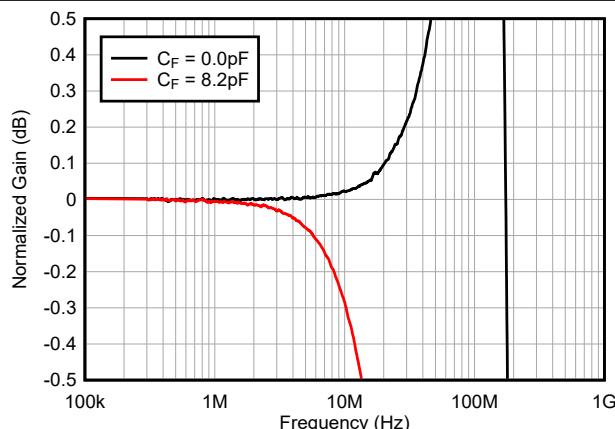
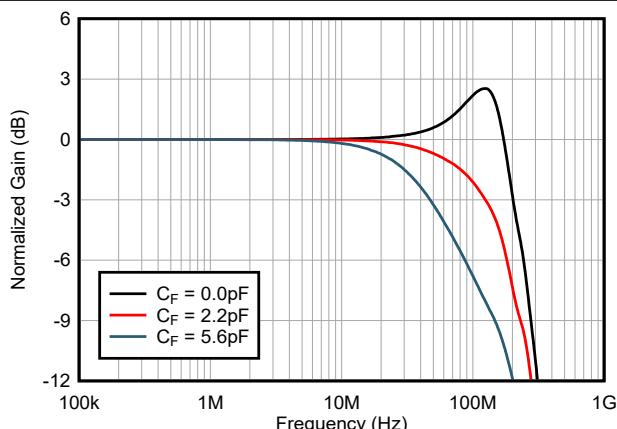


図 6-3. 0.1dB 平坦性



$G = -1, R_F = 499\Omega, R_G = 499\Omega, V_{OUT} = 200mV_{PP}$

図 6-4. 小信号周波数応答

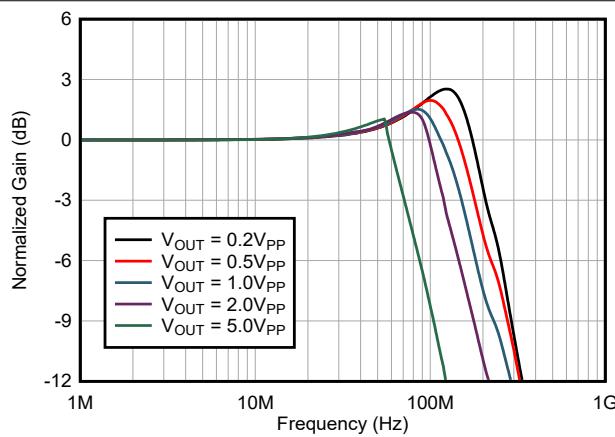
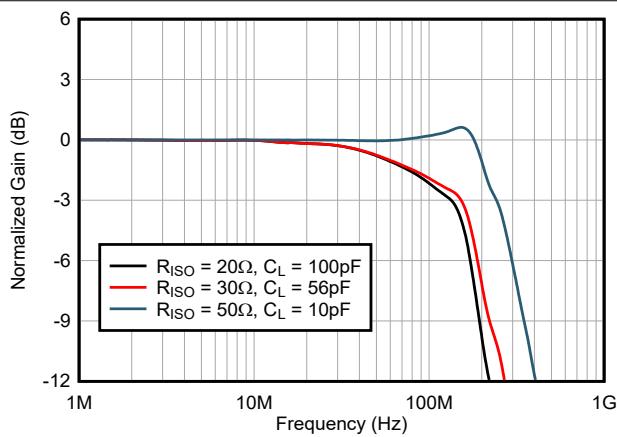


図 6-5. 大信号周波数応答



$G = 1, R_F = 0\Omega$

図 6-6. 周波数応答と容量性負荷との関係

6.6 代表的特性 (続き)

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)

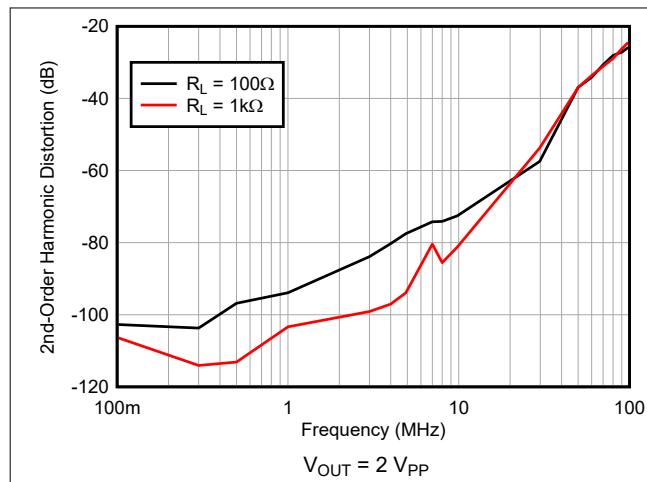


図 6-7. 2 次高調波歪と周波数との関係

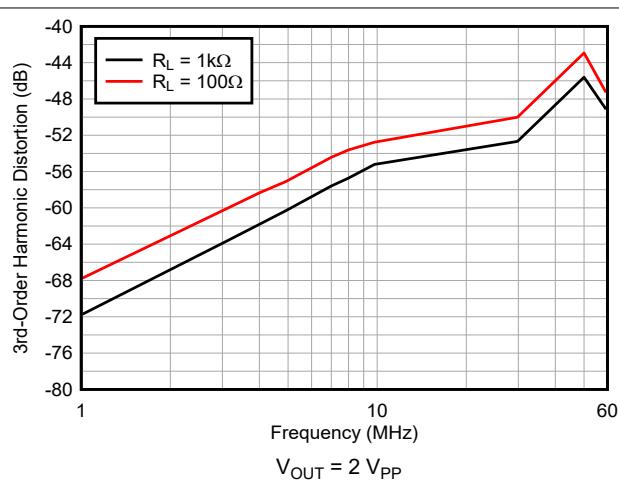


図 6-8. 3 次高調波歪と周波数との関係

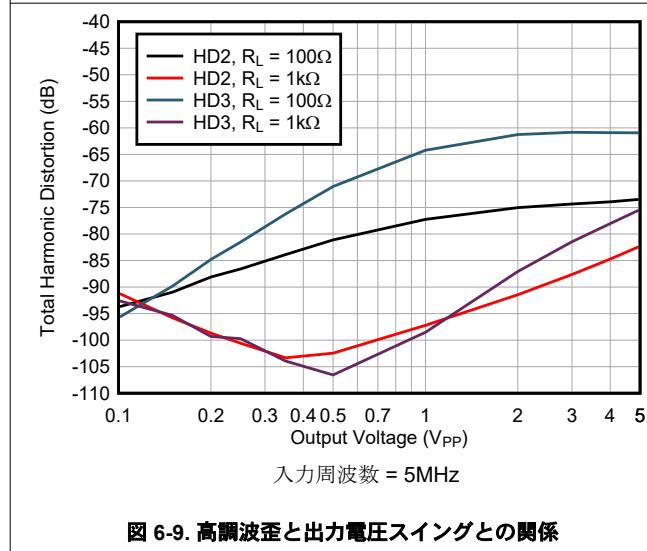


図 6-9. 高調波歪と出力電圧スイングとの関係

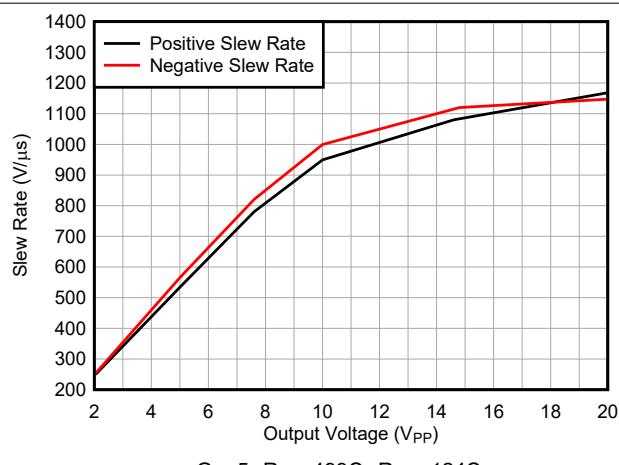
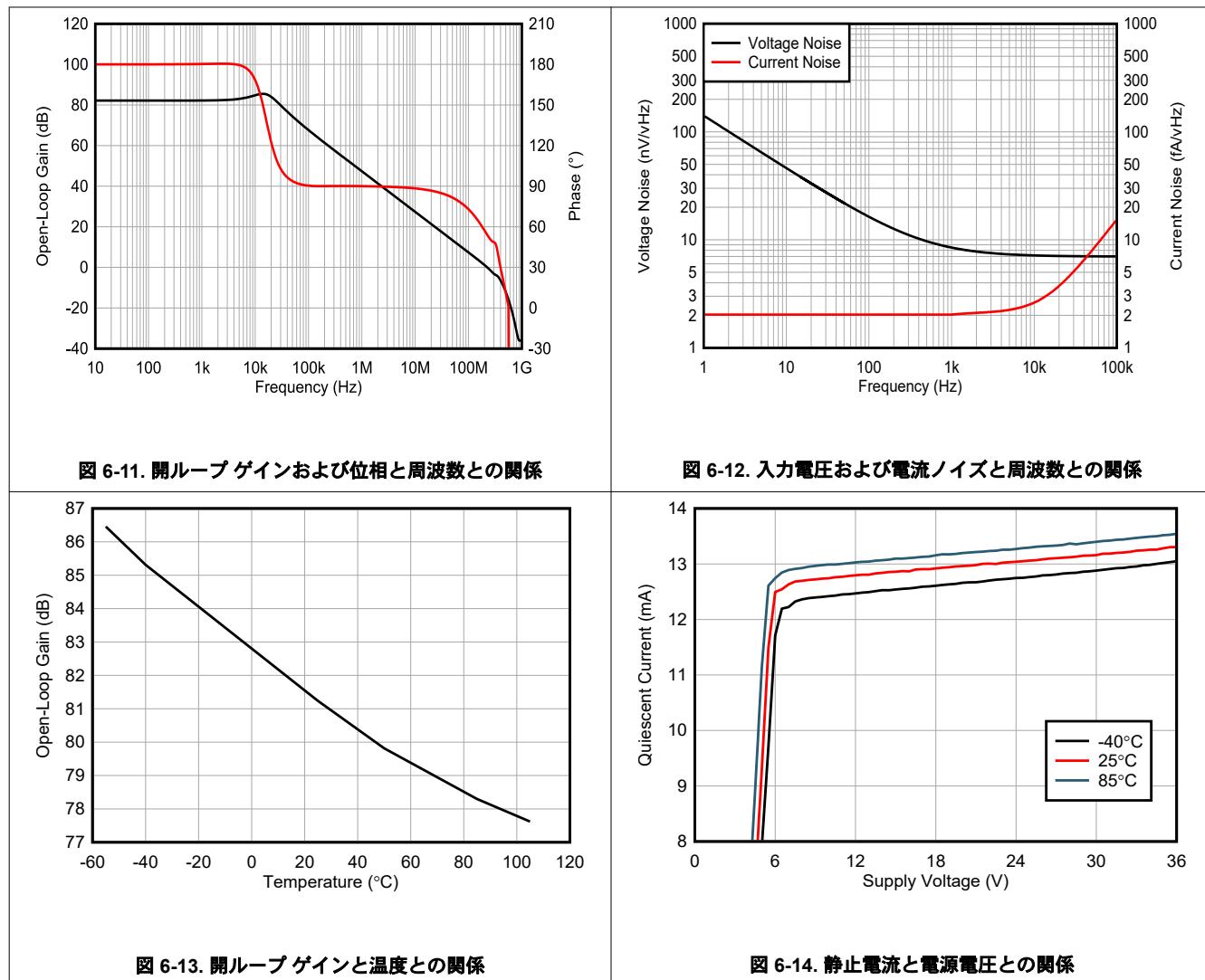


図 6-10. スルーレートと出力電圧との関係

6.6 代表的特性 (続き)

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)



6.6 代表的特性 (続き)

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)

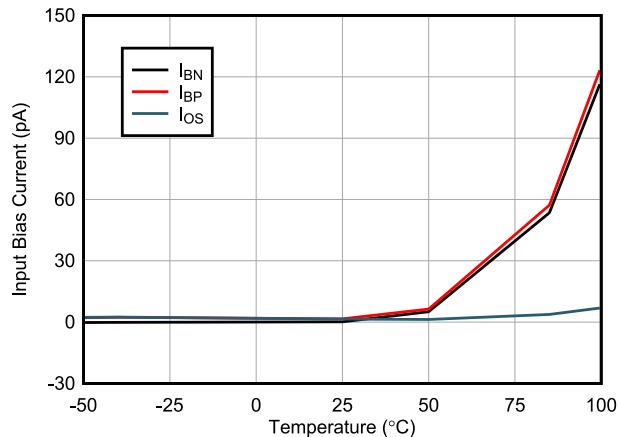


図 6-15. 入力バイアス電流と温度との関係

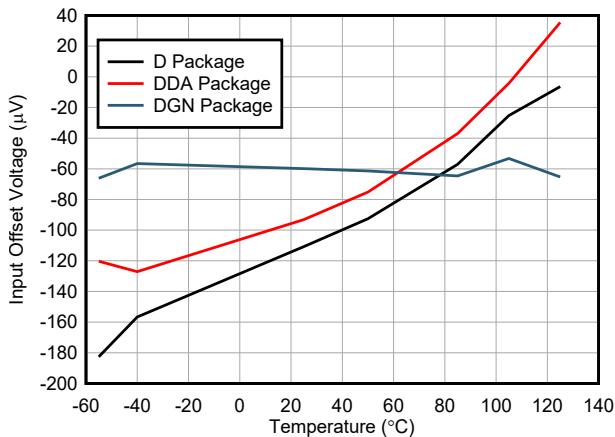


図 6-16. 入力オフセット電圧と温度との関係

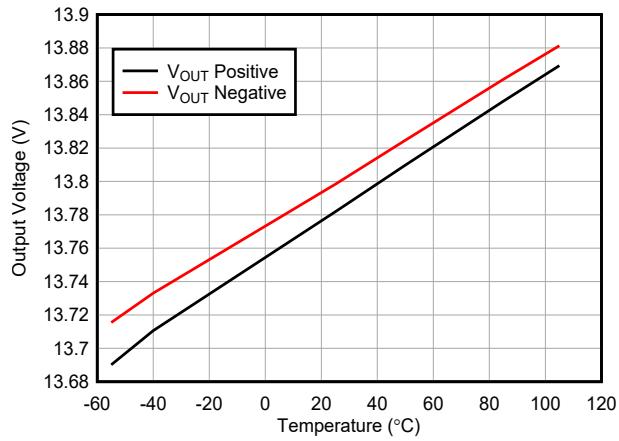


図 6-17. 出力電圧と温度との関係

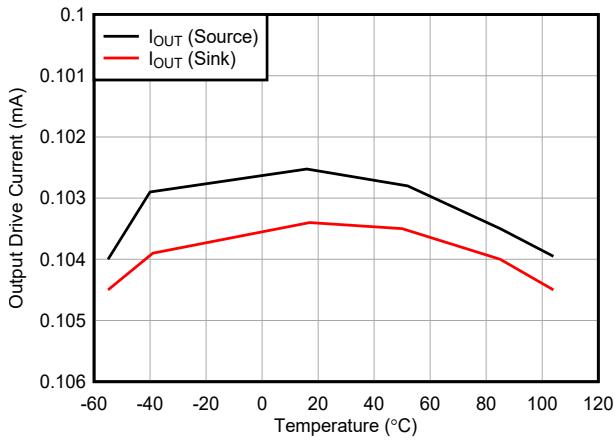


図 6-18. 静的出力駆動電流と温度との関係

6.6 代表的特性 (続き)

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)

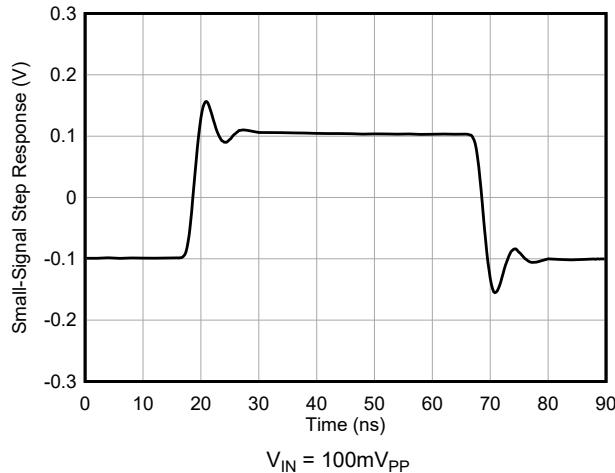


図 6-19. 小信号過渡応答

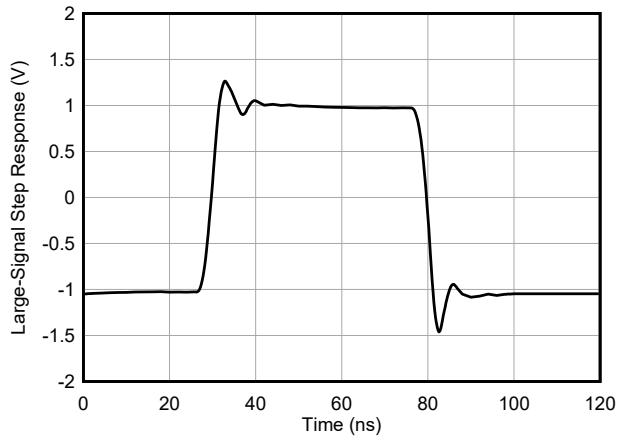


図 6-20. 大信号過渡応答

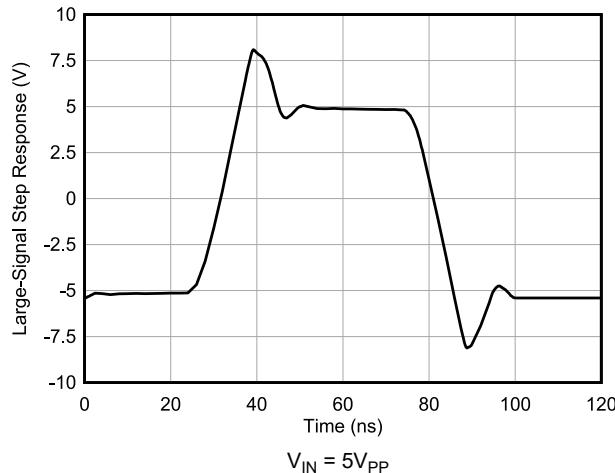


図 6-21. 大信号過渡応答

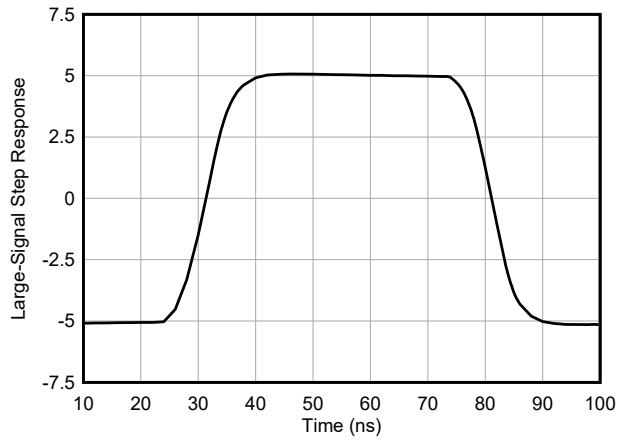


図 6-22. 大信号過渡応答

6.6 代表的特性 (続き)

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)

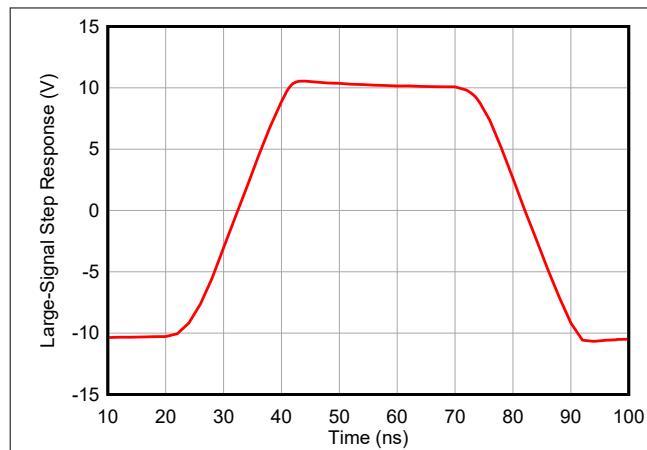


図 6-23. 大信号過渡応答

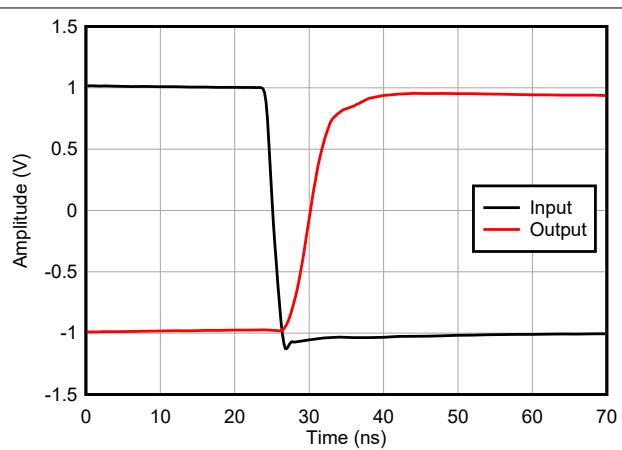


図 6-24. セトリング タイム

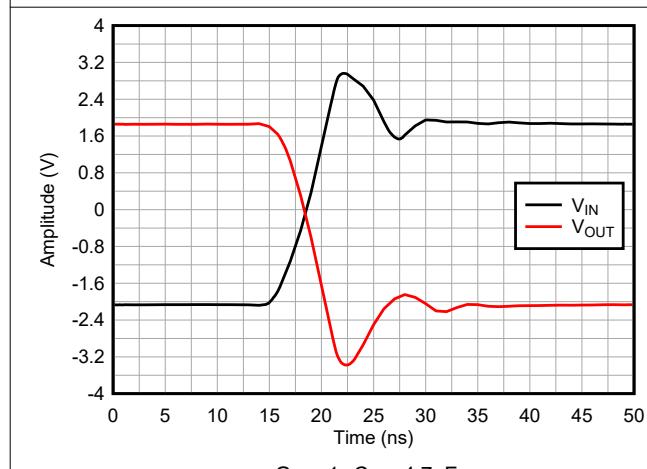


図 6-25. セトリング タイム

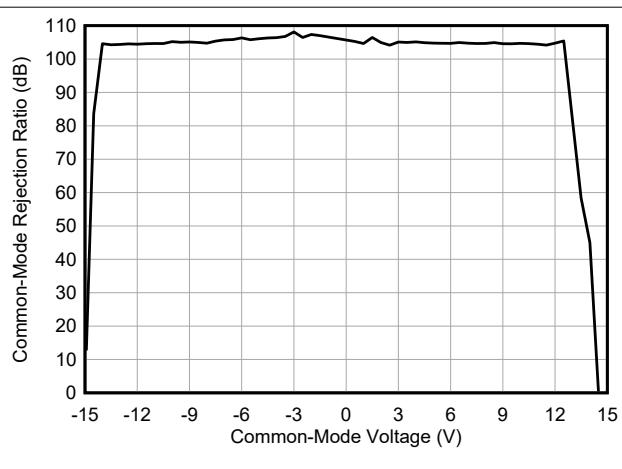
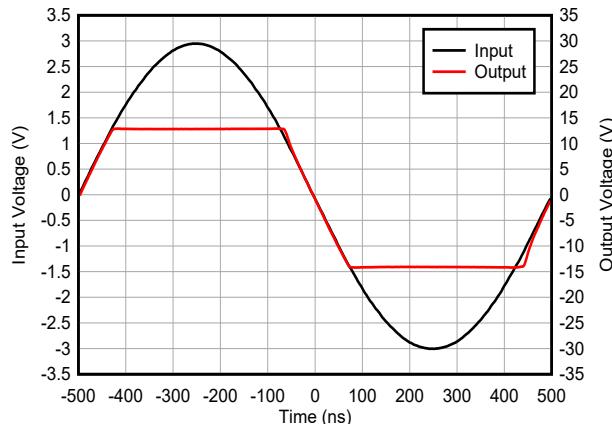


図 6-26. 同相信号除去比と同相入力範囲との関係

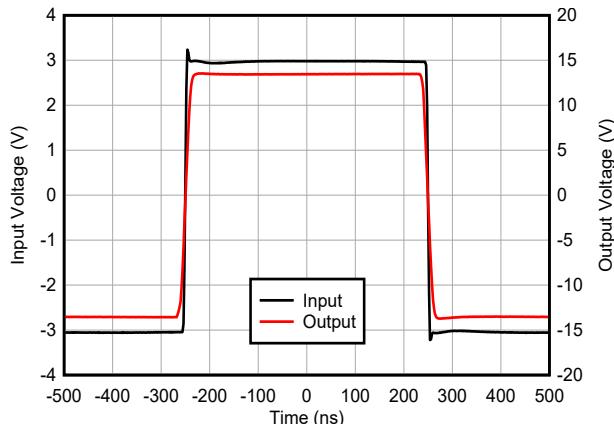
6.6 代表的特性 (続き)

$V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 、 $T_A = 25^\circ C$ の場合 (特に記述のない限り)



$G = 5$ 、 $R_F = 499\Omega$ 、 $R_G = 124\Omega$ 、 $V_S = 30V$ 、入力周波数 = 1MHz

図 6-27. オーバードライブ復帰時間



$G = 5$ 、 $R_F = 499\Omega$ 、 $R_G = 124\Omega$ 、 $V_S = 30V$ 、入力周波数 = 1MHz

図 6-28. オーバードライブ復帰時間

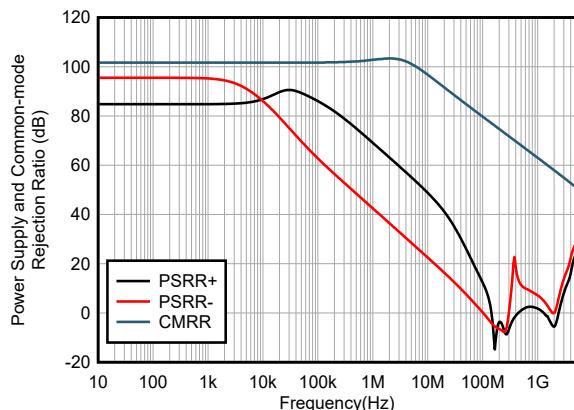


図 6-29. 除去比と周波数との関係

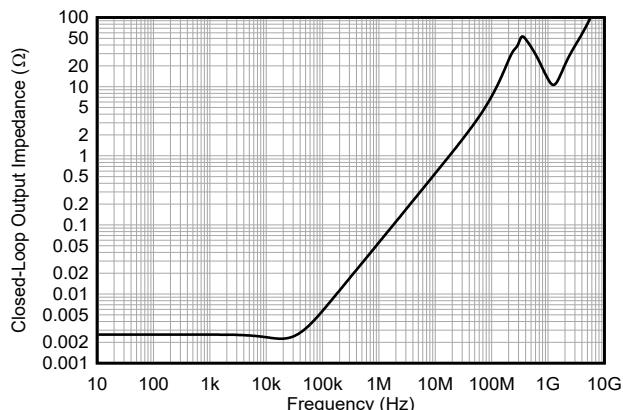


図 6-30. 出力インピーダンス 対 周波数

7 パラメータ測定情報

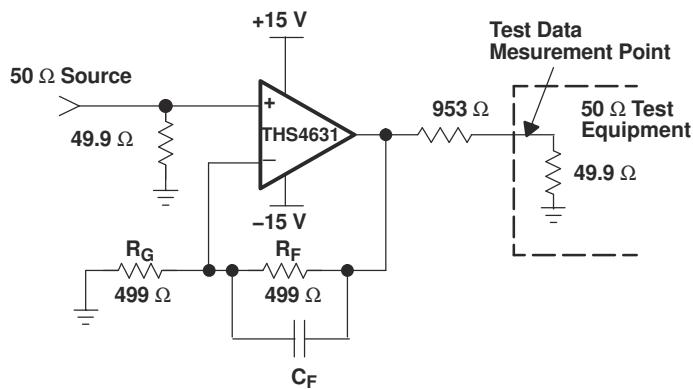


図 7-1. AC 測定構成

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

THS4631 は、高速 FET 入力オペアンプです。210MHz の高ゲイン帯域幅積、1000V/μs の高スルーレート、微調整された DC 精度を兼ね備えたこのデバイスは、優れた設計オプションです。このデバイスは、試験と測定、光学モニタ、トランジスインピーダンス・ゲイン回路、ハイ・インピーダンス・バッファなど、幅広いアプリケーションに適しています。デバイスおよびデバイス固有の機能に関する一般的な情報に加えて、データシートの「アプリケーション」セクションでは、これらの特定のアプリケーションについても解説しています。

8.1.1 トランジスインピーダンスの基礎

FET 入力アンプは入力インピーダンスが非常に高いために、多くの場合、トランジスインピーダンス アプリケーションで使用されます。トランジスインピーダンス ブロックにより、入力として電流が受け入れられ、この電流が出力側の電圧に変換されます。FET 入力アンプに関連付けられた高入力インピーダンスにより、このプロセスでアンプの入力バイアス電流 (IIB) に起因する誤差が最小限に抑えられます。

8.1.2 ノイズ解析

通常、高スルーレートでユニティ ゲイン 安定の電圧帰還型オペアンプでは、高スルーレートが実現しますが、入力ノイズ電圧が高くなります。しかし、THS4631 の $7\text{nV}/\sqrt{\text{Hz}}$ 入力電圧ノイズは同等のアンプよりもはるかに低く、同時に高いスルーレートを実現できます。入力換算電圧ノイズと入力換算電流ノイズ項を組み合わせることで、さまざまな動作条件下で低出力ノイズが得られます。図 8-1 には、すべてのノイズ項を含めたアンプのノイズ解析モデルが示されています。このモデルでは、すべてのノイズ項は、 $\text{nV}/\sqrt{\text{Hz}}$ か $\text{fA}/\sqrt{\text{Hz}}$ のいずれかのノイズ電圧または電流密度項として扱われます。

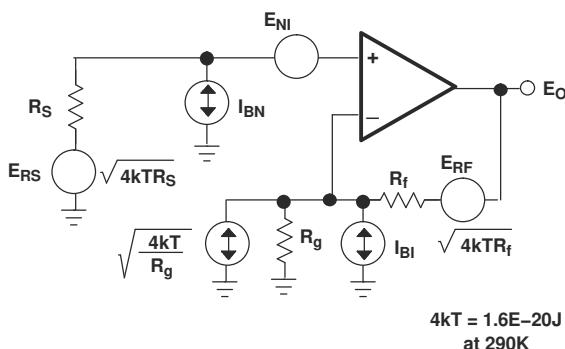


図 8-1. ノイズ解析モデル

合計出力ノイズ電圧は、寄与因子となるすべての出力ノイズ電圧の 2 乗和の平方根として計算されます。式 1 は、図 8-1 に示されている項を使用した出力ノイズ電圧の一般的な式となります。

$$E_O = \sqrt{\left(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S\right)NG^2 + (I_{BI}R_f)^2 + 4kTR_fNG} \quad (1)$$

式 2 に示されているように、この式をノイズ ゲイン $[NG = (1 + R_f/R_g)]$ で割ると、非反転入力における等価入力換算スポットノイズ電圧が得られます。

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_f}{NG}\right)^2 + \frac{4kTR_f}{NG}} \quad (2)$$

抵抗値が大きいほど、等価入力換算ノイズの総量が支配的な要素になる可能性があります。3kΩのソース抵抗(R_S)値を使用して、約 $7nV/\sqrt{Hz}$ の電圧ノイズ項を加算します。このノイズ項はアンプ電圧ノイズ項に相当します。抵抗値が大きいほど、システムのノイズが支配的な要素になります。THS4631 JFET 入力段はバイアス電流が小さいため、ソースインピーダンスが高い場合に有利になりますが、システムのノイズと帯域幅が高ソース(R_S)インピーダンスによって制限されます。

8.2 代表的なアプリケーション

8.2.1 広帯域フォトダイオードトランスインピーダンスアンプ

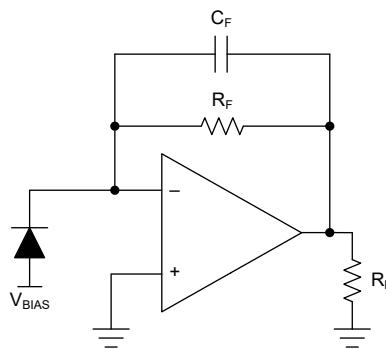


図 8-2. 広帯域フォトダイオードトランスインピーダンスアンプ

8.2.1.1 詳細な設計手順

8.2.1.1.1 トランスインピーダンス回路の設計

通常、トランスインピーダンス回路の設計は、ゲインブロックに入力を供給する電流源の特性によって駆動されます。トランスインピーダンスゲインブロックにインターフェイスで接続する容量性電流源の最も一般的な例として、フォトダイオードが挙げられます。フォトダイオードの場合は、システム設計者は従来から速度と感度という2つの相反する基準に基づいてフォトダイオードを選択してきました。フォトダイオードが高速であれば、ゲインステージも高速化する必要があります。また、フォトダイオードの感度が高いほど、ゲインステージの出力で顕著な信号レベルを生成させるために、より高いゲインが必要となります。

こうしたパラメータは、トランスインピーダンス回路の設計にいくつかの影響を及ぼします。第一に、フォトダイオード信号の速度によって、ゲイン回路に必要となる帯域幅が決まります。第二に、フォトダイオードの感度に基づき、必要となるゲインによって回路の帯域幅が制限されます。第三に、より感度の高い信号源に関連付けられる容量が大きいほど、ゲインブロックの実現可能な速度が低下します。また、入力信号のダイナミックレンジによって、アンプのダイナミックレンジに要件が課されます。ソース出力電流レベルと所望の出力電圧スイングの関係によって、帰還抵抗 R_F 値が決定します。入力から出力への伝達関数は、 $V_{OUT} = I_{IN}R_F$ となります。

THS4631はゲイン帯域幅積が大きいことから、高いトランスインピーダンスゲイン、広帯域幅、高スルーレート、低ノイズを同時に実現できます。また、高出力電源レールによって、出力側で非常に広いダイナミックレンジを実現できる可能性が生まれることから、広いダイナミックレンジの入力ソースを使用することが可能となります。こうした特性を兼ね備えたTHS4631は、広帯域で低レベルの入力信号のトランスインピーダンス増幅が必要なシステム向けの最適な設計オプションとなります。図 8-2 に、標準的なトランスインピーダンス回路が示されています。

この図に示されているように、一般的に、電流源によってアンプのゲイン、速度、ダイナミックレンジの要件が決まります。特定のアンプとソースの組み合わせについては、アンプのゲイン帯域幅積、アンプの入力容量、ソース容量、トランスインピーダンスゲイン、アンプのスルーレート、アンプの出力スイングといったパラメータによって、実現可能な性能が決まります。この情報に基づき、特定のアンプを使用するトランスインピーダンス回路の最良の性能が決定されます。本文書にお

ける最良の条件とは、最大限のフラットな周波数応答で、必要なトランシスインピーダンス ゲインを実現できる条件として定義されます。

図 8-2 に示されている回路では、1 つを除き、設計パラメータのすべてが既知ですが、それでも帰還コンデンサ (CF) を決定する必要があります。帰還コンデンサを適切に選択することで、不安定な設計を防止し、パルス応答特性を制御できるため、トランシスインピーダンス帯域幅を最大化して、広帯域の積分ノイズを制限することが可能となります。CF で表されるフラットな周波数応答の最大値は、式 3 のように計算されます。

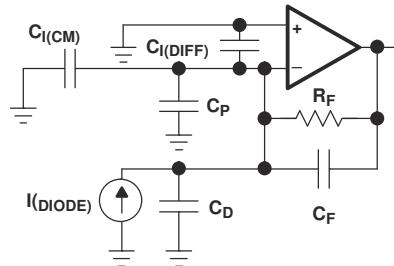
$$C_F = \frac{\frac{1}{\pi R_F GBP} + \sqrt{\left(\frac{1}{\pi R_F GBP}\right)^2 + \frac{4C_S}{\pi R_F GBP}}}{2} \quad (3)$$

ここで、

- C_F : 帰還コンデンサ
- R_F : 帰還抵抗
- C_S : 合計ソース容量 (反転ノードのアンプ入力容量と寄生容量を含む)
- GBP : アンプのゲイン帯域幅積 (単位: ヘルツ)

帰還コンデンサを選択したら、式 4 のようにトランシスインピーダンス帯域幅を計算します。

$$F_{-3dB} = \sqrt{\frac{GBP}{2\pi R_F (C_S + C_F)}} \quad (4)$$



$$C_S = C_{I(CM)} + C_{I(DIFF)} + C_P + C_D$$

注: 合計ソース容量は、いくつかの異なる容量の合計です。

図 8-3. トランシスインピーダンス解析回路

ここで、

- $C_{I(CM)}$: 同相モード入力容量
- $C_{I(DIFF)}$: 差動入力容量
- C_D : ダイオード容量
- C_P : 反転ノードの寄生容量

帰還コンデンサによって、回路のノイズ ゲインに極が発生します。これにより、ソース容量に起因するノイズ ゲインのゼロが打ち消されます。この極は、ノイズ ゲインとアンプの開ループ ゲイン応答の間で 20dB/dec の閉鎖率が実現するように設定します。これにより、回路が安定します。式 3 に示されている式によって、最大化されたフラットな帯域幅の帰還容量を計算することができます。帰還コンデンサの値を小さくすると、信号帯域幅が大きくなりますが、AC 応答のピークの発生によって、信号帯域幅が広がります。

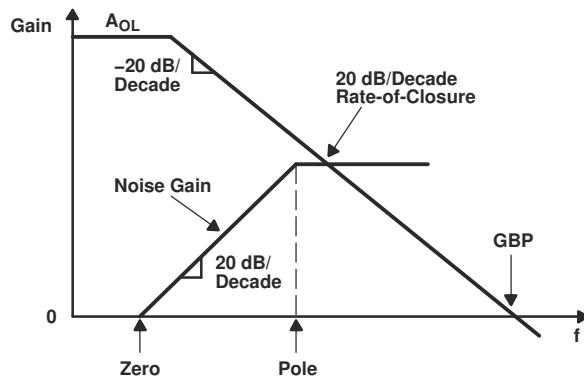


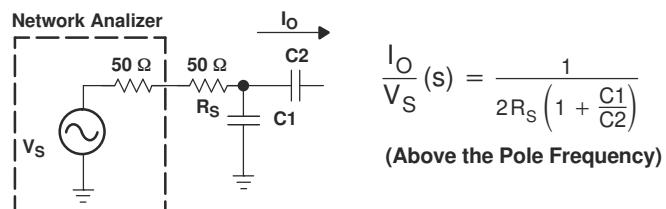
図 8-4. トランスインピーダンス回路のボード線図

THS4631 の性能については、さまざまなソース容量を使用して、さまざまなトランスインピーダンス ゲインを測定済みです。表 8-1 には、さまざまな回路構成で実現可能な帯域幅が数値で示されています。図 8-6、図 8-7、図 8-8 には、周波数応答が示されています。

式によって計算される値と帰還容量の値は正確には一致しないのでご注意ください。こうした容量は、帰還抵抗の寄生容量 (0805 表面実装デバイスの場合は通常 0.2pF) とプリント基板 (PCB) に関連付けられる追加の容量を考慮に入れて調整されています。この式を設計の出発点として使用して、最終的な C_F 値はラボで最適化します。

8.2.1.1.2 トランスインピーダンス帯域幅の測定

アプリケーションで使用される正確な条件下で特定の回路の性能を測定することが最適な手段ですが、多くの場合、完全なシステム環境で測定することは困難です。トランスインピーダンス回路の周波数応答を測定することは、従来的な実験装置では困難です。これは、回路には、電圧ではなく入力としての電流が必要となるためです。また、電流源の容量が周波数応答に直接的な影響を及ぼします。ネットワーク アナライザで、単純なインターフェイス回路を使用して、容量性電流源をエミュレートすることができます。この回路を使用すれば、トランスインピーダンス帯域幅測定が簡素化されるため、より簡単かつ迅速にアンプの評価を行うことが可能となります。



注:インターフェイス ネットワークを使用すれば、ネットワーク アナライザから容量性の定電流源を生成し、高周波でネットワーク アナライザを適切に終端することができます。

図 8-5. ネットワーク アナライザを用いた容量性電流源のエミュレート

インターフェイス回路の相互コンダクタンス伝達関数は以下の通りです。

$$\frac{I_O}{V_S}(s) = \frac{\frac{s}{2R_S \left(1 + \frac{C_1}{C_2}\right)}}{s + \frac{1}{2R_S(C_1 + C_2)}} \quad (5)$$

伝達関数には、DC のゼロと $\frac{1}{2R_S(C_1 + C_2)}$ の極が含まれます。

相互コンダクタンスは、極周波数より高い信号源周波数に対して $\frac{1}{2 R_s (1 + \frac{C1}{C2})}$ で一定です。これにより、制御可能な AC 電流源が供給されます。また、この回路では、高周波でネットワーク アナライザが 50Ω で適切に終端します。フォトダイオードなどの電流源の出力インピーダンスをエミュレートして、適切な出力インピーダンスを提供することが、この電流源の 2 番目の要件となります。この回路の伝達関数は以下の通りです。

$$Z_O(s) = \frac{C1 + C2}{C1 \times C2} \left[\frac{s + \frac{1}{2R_s(C1+C2)}}{s(s + \frac{1}{2R_sC1})} \right] \quad (6)$$

$C1 \gg C2$ と想定すると、式は以下のように低下します。 $Z_O \approx \frac{1}{sC2}$ 。これにより、一段と高い周波数で、容量性電流源の様相を呈します。

コンデンサ値を選択する際は、設計者は 2 つの要件を考慮する必要があります。第一に、 $C2$ は真のソースの予測容量を表します。第二に、相互コンダクタンス ネットワークのコーナー周波数が回路のトランスインピーダンス帯域幅よりもはるかに小さくなるように $C1$ を選択する必要があります。このコーナー周波数を適切に選択することが、トランスインピーダンス帯域幅のより正確な測定につながります。インターフェイス回路のコーナー周波数が回路の帯域幅に近すぎると、フラットバンドで電力レベルを決定することが困難になります。10 倍以上のフラット帯域幅を使用すると、適切なトランスインピーダンス帯域幅を決定するための適切な基盤が整います。

8.2.1.1.3 トランスインピーダンス設計に関する主要決定事項の概要

基本的なトランスインピーダンス回路設計の簡略化プロセスは以下の通りです。このプロセスは設計工程の開始点となりますが、回路にとって重要となり得るいくつかの側面がこのプロセスでは省かれています。

- **STEP 1:** ソースの容量を決定します。
- **STEP 2:** アンプ入力容量、 $C_{I(CM)}$ と $C_{I(DIFF)}$ を含め、合計ソース容量を計算します。
- **STEP 3:** 予測される最小信号電流と最大信号電流を含め、ソースから供給される潜在的な電流出力を大きさを決定します。
- **STEP 4:** 入力電流レベルによって所望の出力信号電圧が生成されるように帰還抵抗値を選択し、出力電圧が入力信号のダイナミックレンジに適合できることを確認します。
- **STEP 5:** 式 3 を使用して、最適な帰還容量を計算します。
- **STEP 6:** 得られた部品値に基づいて、帯域幅を計算します。
- **STEP 7:** 回路を評価して、すべての設計目標が満たされているかどうかを判断します。

8.2.1.1.4 帰還抵抗の選択

帰還抵抗の選択によって、特定のアプリケーションにおける THS4631 の性能に大きな影響が出る可能性があります。特に、閉ループ ゲインが低い構成では、これが顕著です。アンプがユニティ ゲインで構成されている場合は、出力を反転入力に直接接続します。この 2 点間の抵抗がアンプの入力容量と相互作用し、周波数応答に追加の極が発生します。ユニティ ゲイン以外の構成の場合は、フラットな周波数応答を実現するために低い抵抗が適しています。しかし、大きな出力信号が予想される場合は、アンプの帰還回路の負荷を大きくしすぎないように注意してください。ほとんどの場合、周波数応答の特性とアンプの負荷との間でトレードオフが発生します。ゲインが 2 の場合、両方の観点から、推奨される動作基点は 499Ω の帰還抵抗となります。抵抗値が大きすぎると、THS4631 に発振の問題が発生する可能性があります。たとえば、 $5k\Omega$ ゲイン抵抗と $5k\Omega$ 帰還抵抗で構成された反転アンプでは、大きな抵抗と入力容量の相互作用に起因する発振が発生します。低ゲイン構成では、値が大きすぎる帰還抵抗を避けてください。または、外部補償方式を使用して回路を安定させることを検討してください。単純なコンデンサを帰還抵抗と並列に使用することで、アンプの安定性が向上します（「代表的特性」グラフも参照してください）。

表 8-1. さまざまな構成におけるトランシングピーダンス性能の概要

ソース 容量 (PF)	トランシングピーダンス ゲイン (Ω)	帰還 容量 (PF)	-3dB 周波数 (MHz)
18	10k	2	15.8
18	100k	0.5	3
18	1M	0	1.2
47	10k	2.2	8.4
47	100k	0.7	2.1
47	1M	0.2	0.52
100	10k	3	5.5
100	100k	1	1.4
100	1M	0.2	0.37

8.2.1.2 アプリケーション曲線

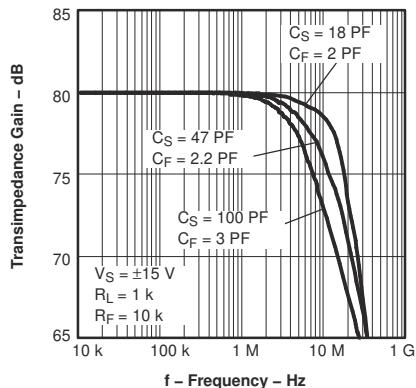


図 8-6. 10k Ω トランシングピーダンス応答

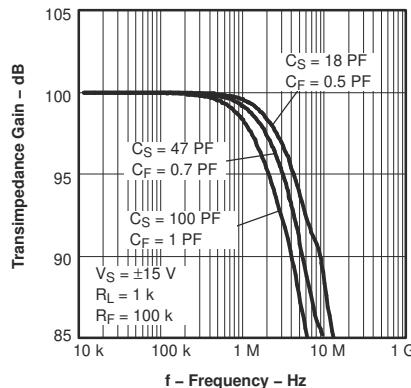


図 8-7. 100k Ω トランシングピーダンス応答

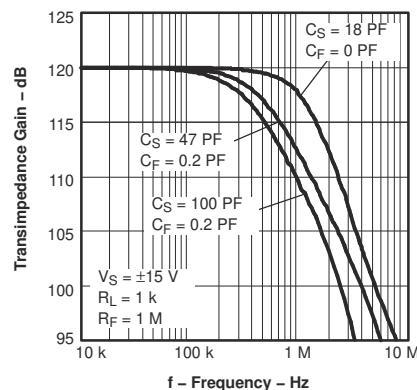
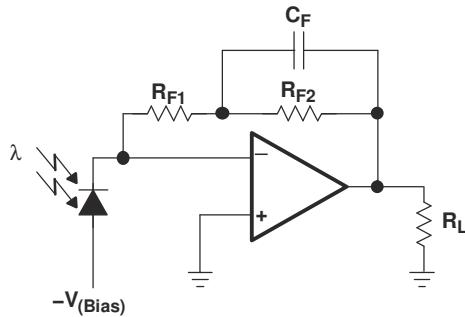


図 8-8. 1M Ω トランシングピーダンス応答

8.2.2 代替トランスインピーダンス構成

他のトランスインピーダンス構成が可能です。以下の 3 つの可能性をご覧ください。

最初の構成は、基本的なトランスインピーダンス回路をわずかに変更したものです。帰還抵抗を分割すると、帰還コンデンサの値がより管理しやすくなり、制御が容易になります。この種の補償方式は、基本構成で必要となる帰還コンデンサが非常に小さくなり、基板と部品の寄生影響が帰還コンデンサ全体で支配的な要素になり始めた場合に有益です。コンデンサの両端の抵抗値を小さくすることで、コンデンサの値を増やすことができます。この補償方式により、寄生影響による支配が緩和されます。

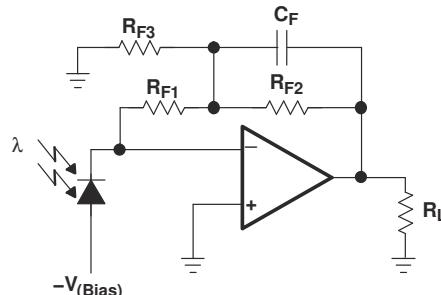


注:帰還抵抗を分割すると、より大きく管理しやすい帰還コンデンサの使用が可能となります。

図 8-9. 代替トランスインピーダンス構成 1

2 つ目の構成では、抵抗性 T ネットワークを使用して、比較的小さな抵抗値で高いトランスインピーダンスゲインを実現できます。このトポロジは、所望のトランスインピーダンス ゲインが、利用可能な抵抗値を超える場合に有用です。トランスインピーダンス ゲインは 式 7 で求められます。

$$R_{EQ} = R_{F1} \left(1 + \frac{R_{F2}}{R_{F3}} \right) \quad (7)$$

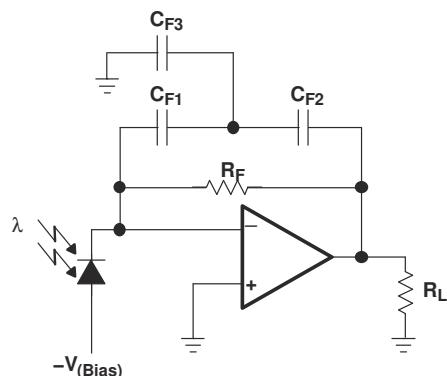


注:抵抗性 T ネットワークを使用すると、適切な抵抗値で高いトランスインピーダンス ゲインを実現できます。

図 8-10. 代替トランスインピーダンス構成 2

3 つ目の構成では、容量性 T ネットワークを使用して、補償容量を微調整できます。コンデンサ Cf3 を使用して、実効帰還容量の合計を細かく調整することができます。この回路は、式 8 で求められる実効 CF で、基本的なトランスインピーダンス構成と同じように動作します。

$$\frac{1}{C_{FEQ}} = \frac{1}{C_{F1}} \left(1 + \frac{C_{F3}}{C_{F2}} \right) \quad (8)$$



注: 容量性 T ネットワークを使用すると、比較的大きいコンデンサ値を使用して、実効帰還容量を微調整できます。

図 8-11. 代替トランスインピーダンス構成 3

8.3 電源に関する推奨事項

8.3.1 入力ステップ振幅と立ち上がり/立ち下がり時間の変化によるスルーレート性能

一部の FET 入力アンプでは、入力電圧ステップが小さくなり、エッジ レートが遅くなると、スルーレートが大きくなるという特異な動作が発生します。これは、こうした状況下で、アンプの入力段のバイアス条件が変化するためです。FET 入力アンプを電圧フォロワとして使用する場合に、この現象が最も一般的に発生します。通常、この動作は望ましくないため、THS4631 はこうした問題を回避するよう設計されています。予想通り、振幅が大きいほどスルーレートが高くなり、高速エッジによってデバイスのスルーレートが低下することはありません。THS4631 はスルーレートが高いため、優れた SFDR (スプリアス フリー ダイナミック レンジ) と THD (全高調波歪) の性能が実現します。特に、5MHz を超える周波数で、これは顕著に現われます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

8.4.1.1 高性能を実現するプリント基板 (PCB) のレイアウト手法

THS4631 の高周波アンプのようなデバイスで最適な性能を実現するには、基板レイアウトの寄生部品と外付け部品の種類に細心の注意を払う必要があります。

性能を最適化するための推奨事項として以下が挙げられます。

- すべての信号 I/O ピンの AC グランドに対する寄生容量を最小化します。出力ピンと入力ピンの寄生容量が、不安定性の原因になる場合があります。不要な容量を削減するため、信号 I/O ピンの周囲にあるすべてのグランドプレーンと電源プレーンの間を広げることができます。その他に、グランドプレーンと電源プレーンが基板上の他の場所で途切れないうようにします。
- 電源ピンから高周波 $0.1\mu\text{F}$ および 100pF のデカップリングコンデンサまでの距離を最小限に抑えます (0.25 インチ未満)。デバイスピンについては、グランドプレーンと電源プレーンを信号 I/O ピンの近くに配置しないでください。ピンとデカップリングコンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランドパターンは狭くならないようにします。これらのコンデンサで、電源接続をデカップリングします。メインの電源ピンには、低周波数で効果的な大きさ ($6.8\mu\text{F}$ 以上) タンタルデカップリングコンデンサを使用します。こうしたデカップリングコンデンサをデバイスから少し離れた場所に配置し、PCB と同じ領域にある複数のデバイス間でコンデンサを共有します。
- 外付け部品を慎重に選択および配置することで、THS4631 の高周波性能が維持されます。リアクタンスが非常に小さい抵抗を使用します。最もよく機能するのは表面実装抵抗で、レイアウト全体をより厳密にすることができます。繰り返しになりますが、リードと PCB パターンの長さをできるだけ短くします。高周波アプリケーションでは、巻線抵抗を使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいため、帰還抵抗と直列出力抵抗がある場合は、常にこれらを反転入力ピンと出力ピンにできるだけ近付けて配置します。入力終端抵抗といった他のネットワーク部品は、ゲイン設定抵抗の近くに配置します。外部抵抗をシャントする寄生容量が少ない場合も、抵抗の値が過度に大きいと、時定数が大きくなり、性能が低下する可能性があります。適切なアキシャル金属皮膜抵抗や表面実装抵抗では、シャントと抵抗が約 0.2pF となります。抵抗値が $2.0\text{k}\Omega$ よりも大きい場合は、この寄生容量に極やゼロが追加され、回路の動作に影響が出る可能性があります。負荷駆動の検討事項に合わせて、抵抗値をできるだけ抑えます。
- 短い直接配線を使って、またはオンボード伝送ラインを通して、基板上の他の広帯域デバイスと接続します。短い接続の場合、パターンと隣のデバイスの入力を集中容量性負荷と見なします。比較的幅の広いパターン ($50\text{mil} \sim 100\text{mil}$) を使用し、できればそれらの周囲のグランドプレーンと電源プレーンとの間を広げます (1mil は $1/1000$ インチ)。全体の容量性負荷を見積もって、出力に絶縁抵抗が必要かどうかを判断します。THS4631 は 2pF (公称値) の寄生負荷で動作するように補償されているため、寄生負荷容量が小さい場合 (4pF 未満) は、通常 RS は必要ありません。信号ゲインが大きくなる (無負荷位相マージンが大きくなる) ため、 RS を使用せずに、寄生容量性負荷を大きくすることもできます。長いパターンが必要であり、二重終端伝送ラインに固有の 6dB の信号損失が許容される場合、マイクロストリップまたはストリップライン手法を使って整合インピーダンス伝送ラインを実装します (マイクロストリップおよびストリップラインレイアウト手法については、ECL 設計ハンドブックを参照してください)。基板には 50Ω 環境は必要ありません。実際、インピーダンスが高い環境を使用すると、歪みが改善されます (『歪みと負荷プロット』も参照してください)。基板の材質とパターンの寸法に基づく基板の特性トレースインピーダンスとともに、THS4631 の出力からのパターンに整合直列抵抗を、相手側デバイスの入力に終端シャント抵抗を使用します。また、終端インピーダンスは、シャント抵抗と相手側デバイスの入力インピーダンスの並列組み合わせになることに注意してください。トレースインピーダンスと一致するように、全体の実効インピーダンスを設定します。二重終端伝送ラインの 6dB の減衰が許容できない場合は、長いパターンをソース端でのみ直列終端することができます。この場合は、パターンを容量性負荷として扱います。ソース端のみの終端では、信号の整合性も二重終端ラインも維持されません。相手側デバイスの入力インピーダンスが低い場合は、終端インピーダンスへの直列出力によって分圧が形成されるため、信号がある程度減衰します。
- THS4631 などの高速部品にソケットを使用しないでください。ソケットによってリード長とピン間容量が増加するため、厄介な寄生的ネットワークが形成され、安定したスムーズな周波数応答を実現することがほとんど不可能になります。THS4631 部品を基板に直接半田付けすることで、最良の結果が得られます。

8.4.1.2 PowerPAD 設計に関する検討事項

THS4631 は、放熱強化 PowerPAD IC ファミリ パッケージで提供されています。こうしたパッケージは、ダイを取り付けたダウンセットリードフレームを使用して構成されています。図 8-12 (a) と (b) も参照してください。この配置では、リードフレームがパッケージの下側にサーマル パッドとして露出します。図 8-12 (c) も参照してください。このサーマル パッドはダイと直接熱接触するため、サーマル パッドから離れた部分に良好な熱経路が確保され、優れた放熱性能が実現します。

PowerPAD パッケージの場合は、1 回の製造作業でアセンブリと熱の両方を管理することができます。表面実装半田付け (リードの半田付け) 時に、サーマル パッドをパッケージ裏面の銅の面積部分に半田付けすることができます。この銅の面積部分の熱経路を使用することにより、熱がパッケージからグランド プレーンまたは他の放熱デバイスに伝導されます。

PowerPAD パッケージは、機械的な熱放散方式で、表面実装における実装面積の削減とアセンブリの容易性の両方を実現した画期的な製品です。

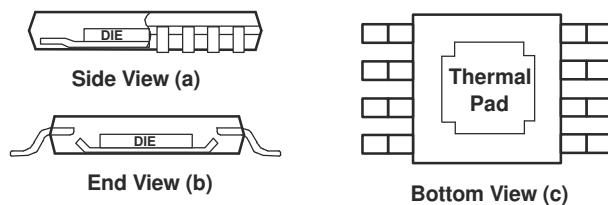


図 8-12. 放熱強化パッケージの図

8.4.1.3 PowerPAD PCB レイアウトに関する検討事項

- 図 8-14 と 図 8-15 に、PCB 上面のエッティング パターンが示されています。リードとサーマル パッドそれぞれにエッティングが必要となります。
- 推奨されるビア数をサーマル パッド領域に配置します。直径 10mil のビアを使用する必要があります (1mil は 1/1000 インチ)。リフロー時に、ビアホールを通じた半田ウイッキングの問題を防止するため、ビアを小さくします。
- サーマル プレーンに沿って、サーマル パッド領域外の任意の場所に追加のビアを配置します。ビアを追加することで、THS4631 から発生する熱の放散を促進することができます。追加のビアは、サーマル パッド直下に配置する直径 10mil のビアよりも大きくすることができます。これは、半田付けするサーマル パッド領域外にビアが配置されるため、ウイッキングが発生する心配がないためです。
- すべてのサーマル パッドビアを内部グランド プレーンに接続します。PowerPAD はすべてのピンとアクティブ回路から電気的に絶縁されていますが、熱性能を向上させるために、グランド プレーンに接続することが推奨されます。通常、グランド プレーンは PCB における最大の銅面積です。これにより、PCB 全体への熱の拡散が促進されます。熱が PCB 全体に拡散すると、より大きな表面積にエアフローが広がり、システムから熱が除去されます。
- ビアをグランド プレーンに接続する際は、標準的なウェブやスパークビアの接続方法を使用しないでください。ウェブ接続は熱抵抗の大きい接続で、熱伝達を緩やかにする上で有益です。これにより、プレーンに接続されたビアを容易に半田付けすることができます。しかし、このアプリケーションでは、最も効率的な熱伝達を実現するために、低い熱抵抗が求められます。そのため、THS4631 PowerPAD パッケージの下のビアは、内部グランド プレーンに接続して、ビアの周囲全体を完全に接続する必要があります。
- 上面の半田マスクを使用する場合は、ビアホールが露出した状態で、パッケージ端子とサーマル パッド領域をそのままにします。底面の半田マスクの場合は、サーマル パッド領域のビアホールを覆う必要があります。この構成により、リフロー工程時に半田がサーマル パッド領域から引き離されるのを防止することができます。
- 露出しているサーマル パッド領域とデバイスのすべての端子に半田ペーストを塗布します。
- こうした準備手順を経ることで、デバイスをシンプルに所定の位置に配置し、標準的な表面実装部品として半田リフロー工程を行うことができます。

この手順により、デバイスが適切に設置されます。

8.4.1.4 消費電力および熱に関する考慮事項

出力能力を最大化するために、THS4631 には自動サーマル シャットオフ保護機能が組み込まれていません。設計者は、デバイスの絶対最大接合部温度を注意深く考慮して設計する必要があります。150°C の絶対最大接合部温度を超過すると、障害が発生する可能性があります。高い性能を維持するために、最大接合部温度を 125°C として設計してください。125°C から 150°C の間で損傷が発生することはありませんが、125°C を超過するとアンプの性能が低下し始めます。デバイスの熱特性は、パッケージと PCB によって決まります。式 9 を使用して、特定のパッケージの最大消費電力を計算することができます。

$$P_{D\max} = \frac{T_{\max} - T_A}{\theta_{JA}} \quad (9)$$

ここで

- $P_{D\max}$: アンプの最大消費電力 (W)
- T_{\max} : 絶対最大接合部温度 (°C)
- T_A は周囲温度 (°C)
- $\theta_{JA} = \theta_{JC} + \theta_{CA}$
- θ_{JC} : シリコン接合部からケースへの熱係数 (°C/W)
- θ_{CA} : ケースから周囲気温への熱係数 (°C/W)

注

放熱が重要となるシステムを対象として、THS4631 は PowerPAD を備えた 8 ピン HVSSOP パッケージと PowerPAD を備えた 8 ピン HSOIC パッケージで提供されています。これらのパッケージは、より熱特性に優れています。PowerPAD パッケージは、従来型の SOP よりも熱係数が大幅に向上しています。図 8-13 に、利用可能なパッケージの最大電力消費レベルが示されています。PowerPAD パッケージのデータは、前述の PowerPAD レイアウト ガイドラインに従った基板レイアウトを想定した数値です。詳細は『PowerPAD™ 放熱強化パッケージ』アプリケーション ノートに記載されています。図 8-13 には、PowerPAD が PCB に半田付けされていない場合に発生する影響も示されています。熱インピーダンスが大幅に増加するため、熱と性能に関する深刻な問題が発生する可能性があります。性能を最適化するために、PowerPAD は常に PCB に半田付けしてください。

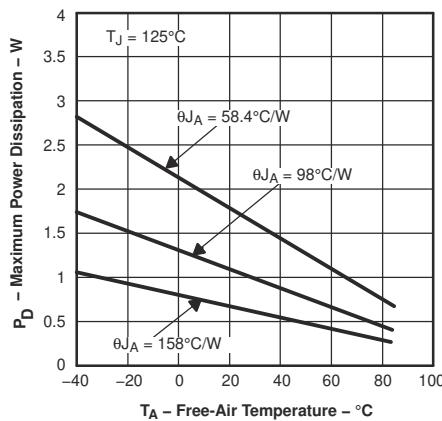


図 8-13. 最大消費電力と周囲温度との関係

結果は、エアフローなし、PCB サイズ = 3 x 3 インチ (7.62cm x 7.62cm) で測定されています。

- $\theta_{JA} = 58.4^{\circ}\text{C/W}$: PowerPAD を備えた 8 ピン HVSSOP (DGN) の場合
- $\theta_{JA} = 98^{\circ}\text{C/W}$: 8 ピン SOP 高 K テスト PCB (D) の場合
- $\theta_{JA} = 158^{\circ}\text{C/W}$: PowerPAD を備えた 8 ピン HVSSOP の場合 (半田付けされていない場合)

デバイスが最大消費電力要件を満たすかどうかを判断する際は、静的消費電力だけでなく、動的消費電力も考慮に入れてください。多くの場合、動的消費電力は信号パターンが一貫しないために定量化することが困難ですが、RMS 消費電力を推定することで、潜在的な問題を可視化することができます。

8.4.2 レイアウト例

PowerPAD IC パッケージで熱を適切に放散する方法は多数存在しますが、以下の手順が推奨される方法です。

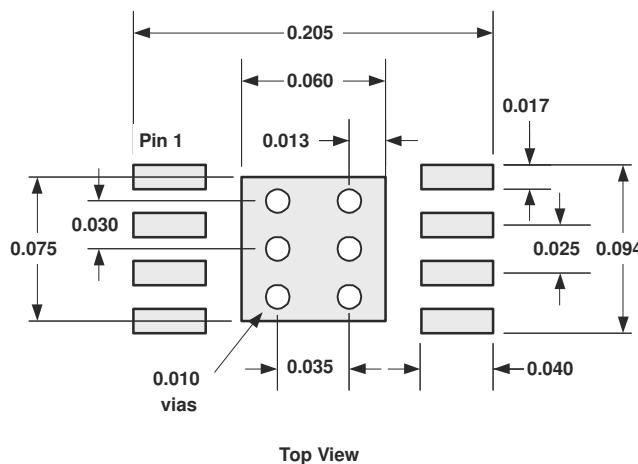


図 8-14. DGN PowerPAD™ IC パッケージ PCB エッチングおよびピアパターン

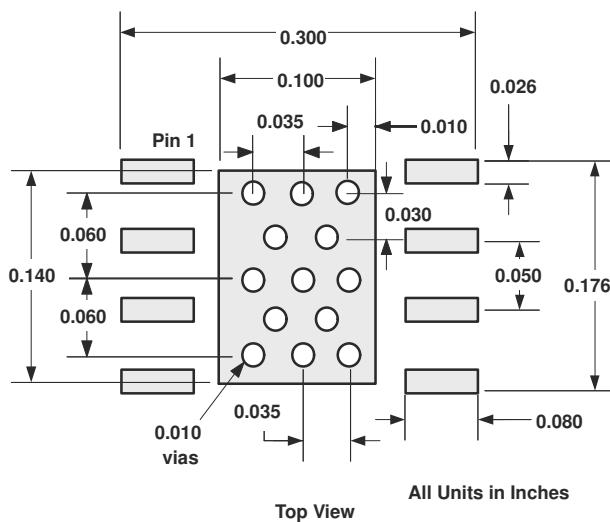


図 8-15. DDA PowerPAD™ IC パッケージ PCB エッチングおよびピアパターン

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイス サポート

9.1.1 設計ツール評価治具、SPICE モデル、アプリケーション サポート

テキサス・インスツルメンツは、お客様に非常に高品質のアプリケーション サポートを提供することに取り組んでいます。この目標を推進するため、当社は THS4631 オペアンプの評価ボードを開発しました。この使いやすい評価ボードを活用することで、デバイスの評価を容易に実施することができます。評価ボードは、テキサス・インスツルメンツの Web サイト www.ti.com、または TI 販売代理店を通じてご注文いただけます。図 9-1、図 9-2、図 9-3 にボードの層が示されています。表 9-1 に評価ボードの部品表が示されています。

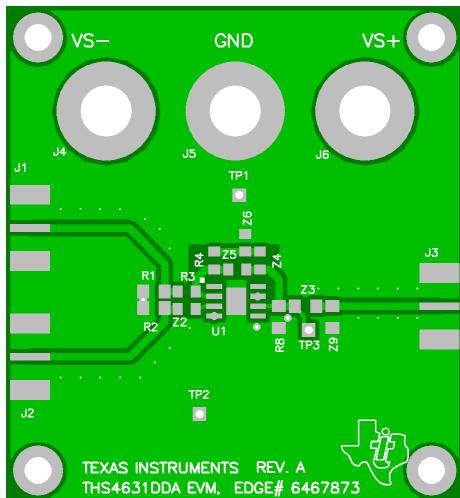


図 9-1. EVM の最上層

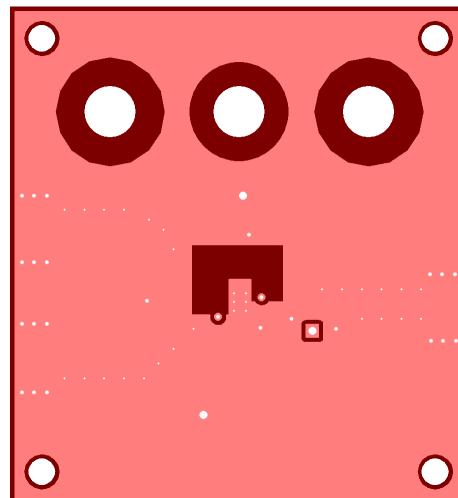


図 9-2. 評価基板層 2 および 3 グランド

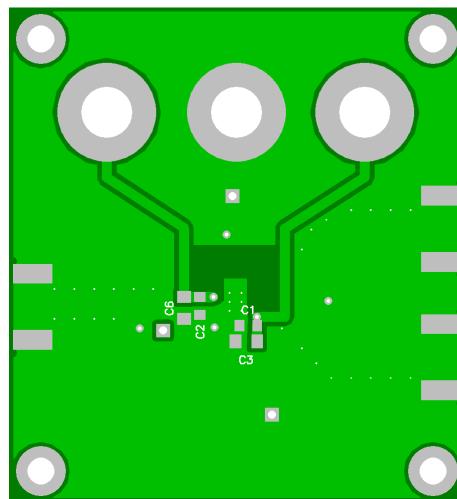


図 9-3. 評価基板最下層

9.1.1.1 部品表 (BOM)

表 9-1. THS4631DDA 評価基板部品表 (BOM)

項目	説明	SMD サイズ	リファレンス指定子	PCB 数量	メーカー型番 ⁽¹⁾
1	CAP、2.2 μ F、セラミック、X5R、25V	1206	C3、C6	2	(AVX) 12063D225KAT2A
4	CAP、0.1 μ F、セラミック、X7R、50V	0805	C1、C2	2	(AVX) 08055C104KAT2A
	オープン	0805	R4、Z4、Z6	3	
6	抵抗、0OHM、1/8W	0805	Z2	1	(KOA) RK73Z2ATTD
7	抵抗、499OHM、1/8W、1%	0805	R3、Z5	2	(KOA) RK73H2ATTD4990F
8	オープン	1206	R8、Z9	2	
9	抵抗、0OHM、1/4W	1206	R1	1	(KOA) RK73Z2BLTD
10	抵抗、49.9OHM、1/4W、1%	1206	R2	1	(KOA) RK73H2BLTD49R9F
11	抵抗、953OHM、1/4W、1%	1206	Z3	1	(KOA) RK73H2BLTD9530F
13	コネクタ、SMA PCB ジャック		J1、J2、J3	3	(JOHNSON) 142-0701-801
14	ジャック、バナナ レセプタанс、直径 0.25 インチホール		J4、J5、J6	3	(SPC) 813
15	テストポイント、黒		TP1、TP2	2	(KEYSTONE) 5001
	テストポイント、赤		TP3	1	(KEYSTONE) 5000
16	スタンドオフ、4~40 六角ねじ、0.625 インチ長			4	(KEYSTONE) 1808
17	ねじ、プラス、4~40、0.250 インチ			4	SHR-0440-016-SN
18	IC、THS4631		U1	1	(TI) THS4631DDA
19	基板、プリント回路			1	(TI) EDGE # 6467873 改訂 A

(1) メーカーの型番は、テスト目的のみに使用されます。

9.1.1.2 EVM

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。寄生容量やインダクタンスが回路性能に大きく影響する可能性のあるビデオや RF アンプの回路には、SPICE が特に有用となります。テキサス インストルメンツの Web サイト (www.ti.com) から THS4631 の SPICE モデルを入手することができます。SPICE モデルを使用することで、多様な動作条件下における小信号 AC や過渡性能を予測することが可能となります。こうしたモデルは、アンプの歪み特性をモデル化することを目的としたものではなく、また小信号 AC 性能に関してパッケージタイプを区別することも意図されていません。モデル化できる要素とできない要素に関する詳細は、モデルファイルに記載されています。

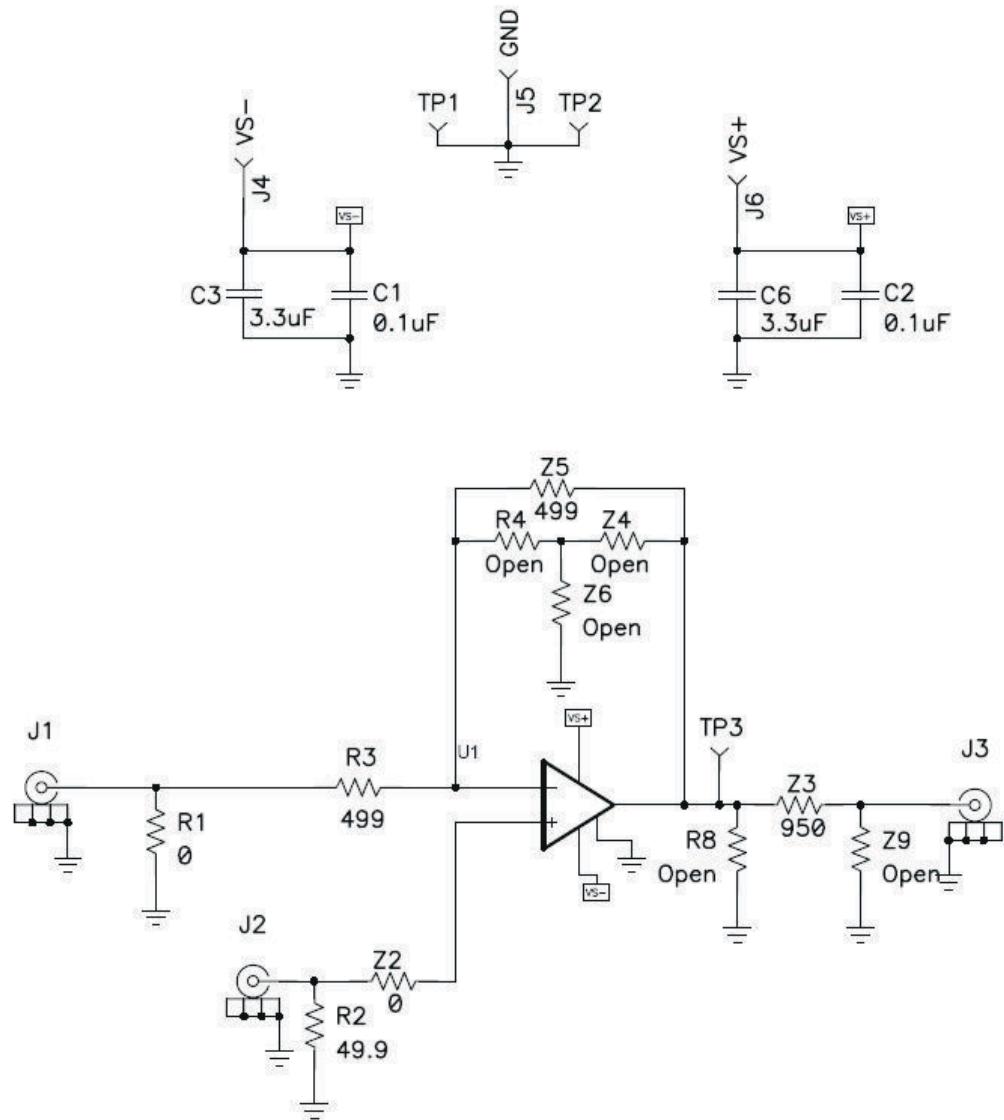


図 9-4. THS4631 の EVM 回路図

9.1.1.3 評価基板の警告および制限事項

この評価基板は、下表に示されている入力電圧範囲と出力電圧範囲内で動作させる必要があります。

表 9-2. 入力電圧範囲および出力電圧範囲

入力範囲、 V_{S+} TO V_{S-}	10V ~ 30V
入力範囲、 V_I	10V ~ 30V (VS+ または VS- を超えないこと)
出力範囲、 V_O	10V ~ 30V (VS+ または VS- を超えないこと)

注意

仕様入力範囲を超過すると、不測の動作、評価基板への回復不可の損傷、またはその両方が発生する可能性があります。入力範囲に関する疑問点がある場合は、入力電力を接続する前に、TI フィールド担当者にお問い合わせください。

仕様出力範囲外の負荷を印加すると、不測の動作、評価基板への永続的な損傷、またはその両方が発生する可能性があります。負荷を評価基板の出力に接続する前に、製品データシートまたは評価基板ユーザーガイド (これがある場合) を参照してください。負荷の仕様について不明な点がある場合は、TI フィールド担当者にお問い合わせください。

通常動作では、一部の回路部品はケースの温度が 30°C を上回る可能性があります。評価基板は、入出力範囲が維持されている限り、特定の部品が 50°C を超過しても適切に動作するように設計されています。こうした部品には、リニア レギュレータ、スイッチングトランジスタ、パストランジスタ、電流センス抵抗などが含まれますが、これらに限定されるものではありません。この種のデバイスは、付属資料に記載されている評価基板の回路図で特定することができます。こうしたデバイスに触れると熱い可能性があるため、作業中にデバイスの近くに測定プローブを配置する場合は注意が必要です。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『PowerPAD 入門』アプリケーション概要
- テキサス インスツルメンツ、『PowerPAD 放熱強化パッケージ』技術概要
- テキサス インスツルメンツ、『FET トランスインピーダンスアンプのノイズ解析』アプリケーション速報
- テキサス インスツルメンツ、『オペアンプのブートストラップによるフォトダイオードの制御』アプリケーション速報
- テキサス インスツルメンツ、『OPA128 を使用したフォトダイオードアンプ回路の設計』アプリケーション速報
- テキサス インスツルメンツ、『オペアンプによるフォトダイオードの監視』アプリケーション速報
- テキサス インスツルメンツ、『FET トランスインピーダンスアンプとスイッチ積分器のノイズ性能比較』アプリケーション速報

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (August 2011) to Revision C (March 2025)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「デバイス情報」表を追加.....	1
関連 FET 入力アンプ製品において、OPA656 の電圧ノイズを「 $7nV/\sqrt{Hz}$ 」から「 $6nV/\sqrt{Hz}$ 」に、スルーレートを「 $290V/\mu s$ 」から「 $400V/\mu s$ 」に変更.....	2
「ピンの機能」表を追加.....	2
ESD レーティングを「絶対最大定格」から新しい「ESD レーティング」に移動.....	3
「電気的特性」から「 $0^{\circ}C \sim 70^{\circ}C$ 」の仕様を削除.....	4
8.2pF 帰還コンデンサを使用した 0.1dB 帯域幅平坦性を「38MHz」から「6MHz」(標準値) に変更.....	4
8.2pF 帰還コンデンサなしでの 0.1dB 帯域幅平坦性に値「20MHz」(標準値) を追加.....	4
静的出力電流 (ソース) を「 $80mA$ 」から「 $90mA$ 」(最小値、 $-40^{\circ}C \sim 125^{\circ}C$) に、「 $90mA$ 」を「 $120mA$ 」(最小値、 $25^{\circ}C$) に、「 $98mA$ 」を「 $180mA$ 」(標準値、 $25^{\circ}C$) に変更.....	4
静的出力電流 (シンク) を「 $-80mA$ 」から「 $-90mA$ 」(最大値、 $-40^{\circ}C \sim 125^{\circ}C$) に、「 $-85mA$ 」を「 $-120mA$ 」(最大値、 $25^{\circ}C$) に、「 $-95mA$ 」を「 $-180mA$ 」(標準値、 $25^{\circ}C$) に変更.....	4
静止電流を「 $13mA$ 」から「 $14.5mA$ 」(最大値、 $25^{\circ}C$) に、「 $14mA$ 」を「 $15mA$ 」(最大値、 $-40^{\circ}C \sim +125^{\circ}C$) に変更..	4
最新の標準に合わせて、新しいシリコン データでグラフを更新.....	6
「入力電圧と周波数との関係」を「入力電圧および電流ノイズと周波数との関係」に変更.....	6
「入力電圧および電流ノイズと周波数との関係」に電流ノイズ データを追加.....	6
「入力オフセット電流と温度との関係」を削除.....	6
「入力バイアス電流と温度との関係」を更新し、入力オフセット電流を追加.....	6
「代表的特性」の動作条件に $C_F = 0pF$ の標準値を追加.....	6

Changes from Revision A (March 2005) to Revision B (August 2011)	Page
「絶対最大定格」表の T_{stg} 値を以下のように変更: $65^{\circ}C \sim 150^{\circ}C$ から $-65^{\circ}C \sim 150^{\circ}C$	3

Changes from Revision * (December 2004) to Revision A (March 2005)	Page
「関連 FET 入力アンプ製品」表を変更.....	1
差動入力抵抗の値を以下のように変更: $109 \parallel 6.5$ から $109 \parallel 3.9$	4
同相モード入力抵抗値を以下のように変更: $109 \parallel 6.5$ から $109 \parallel 3.9$	4
図 8「3 次高調波歪と周波数との関係」を以下のように変更: $R_L = 499\Omega$ から $R_F = 499\Omega$	6

• 図 9「高調波歪と出力電圧スイングとの関係」を以下のように変更: $R_L = 499\Omega$ から $R_F = 499\Omega$	6
• 図 23「大信号過渡応答」を追加.....	6
• 図 24「大信号過渡応答」を追加.....	6
• 図 8-17、THS4631 評価基板 の回路図	28

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS4631D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	4631
THS4631DDA	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4631
THS4631DDA.A	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4631
THS4631DDA.B	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4631
THS4631DGN	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	ADK
THS4631DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	ADK
THS4631DGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ADK
THS4631DGNR.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ADK
THS4631DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4631
THS4631DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4631
THS4631DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4631

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

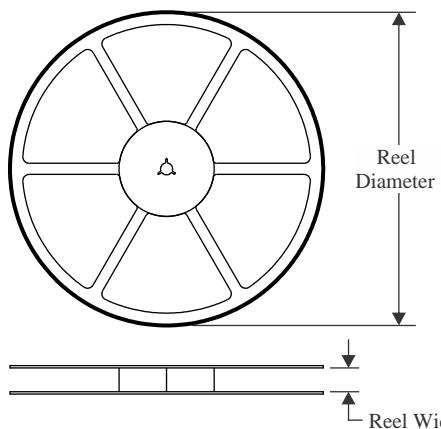
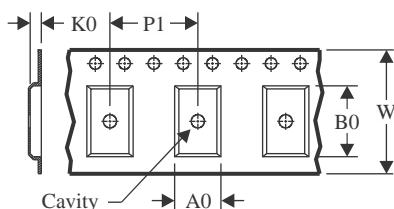
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

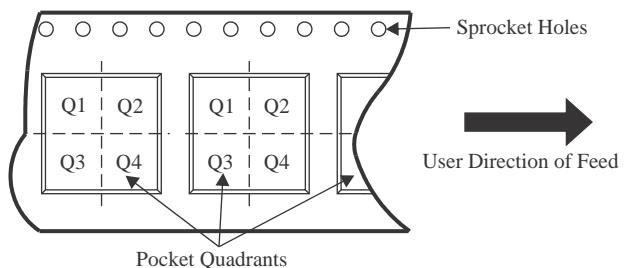
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

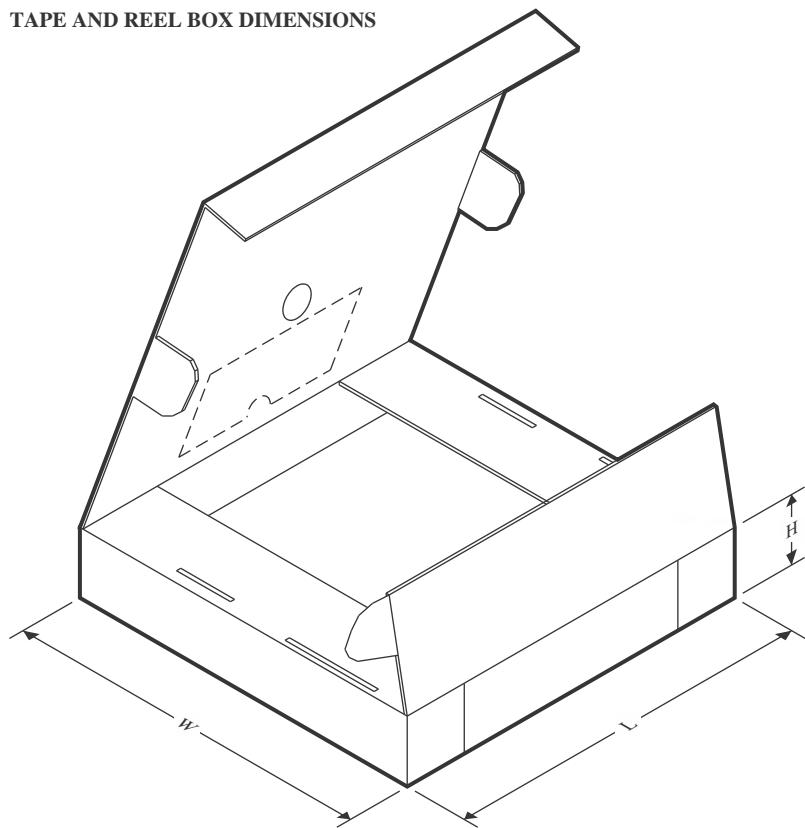
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THS4631DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
THS4631DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THS4631DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
THS4631DR	SOIC	D	8	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

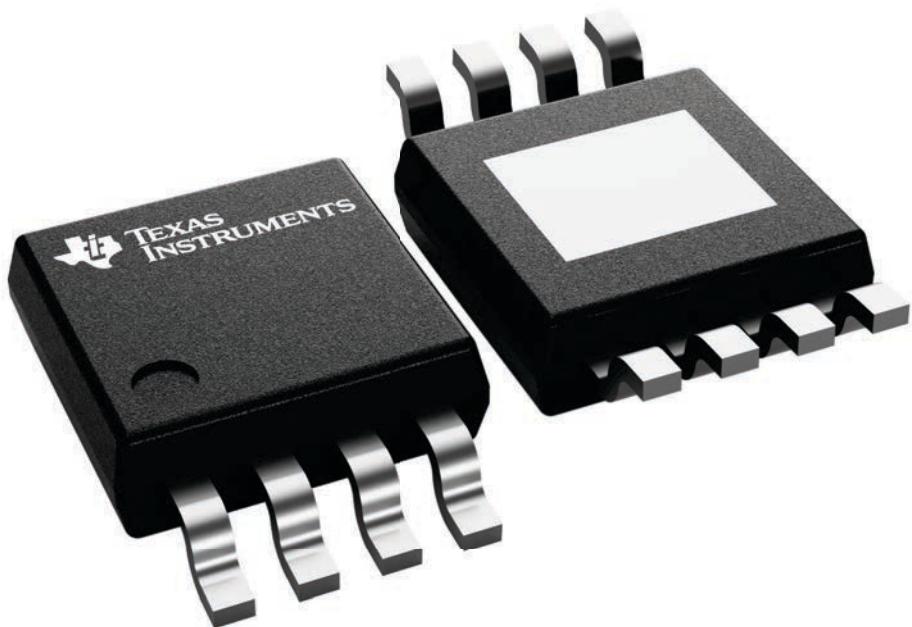
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

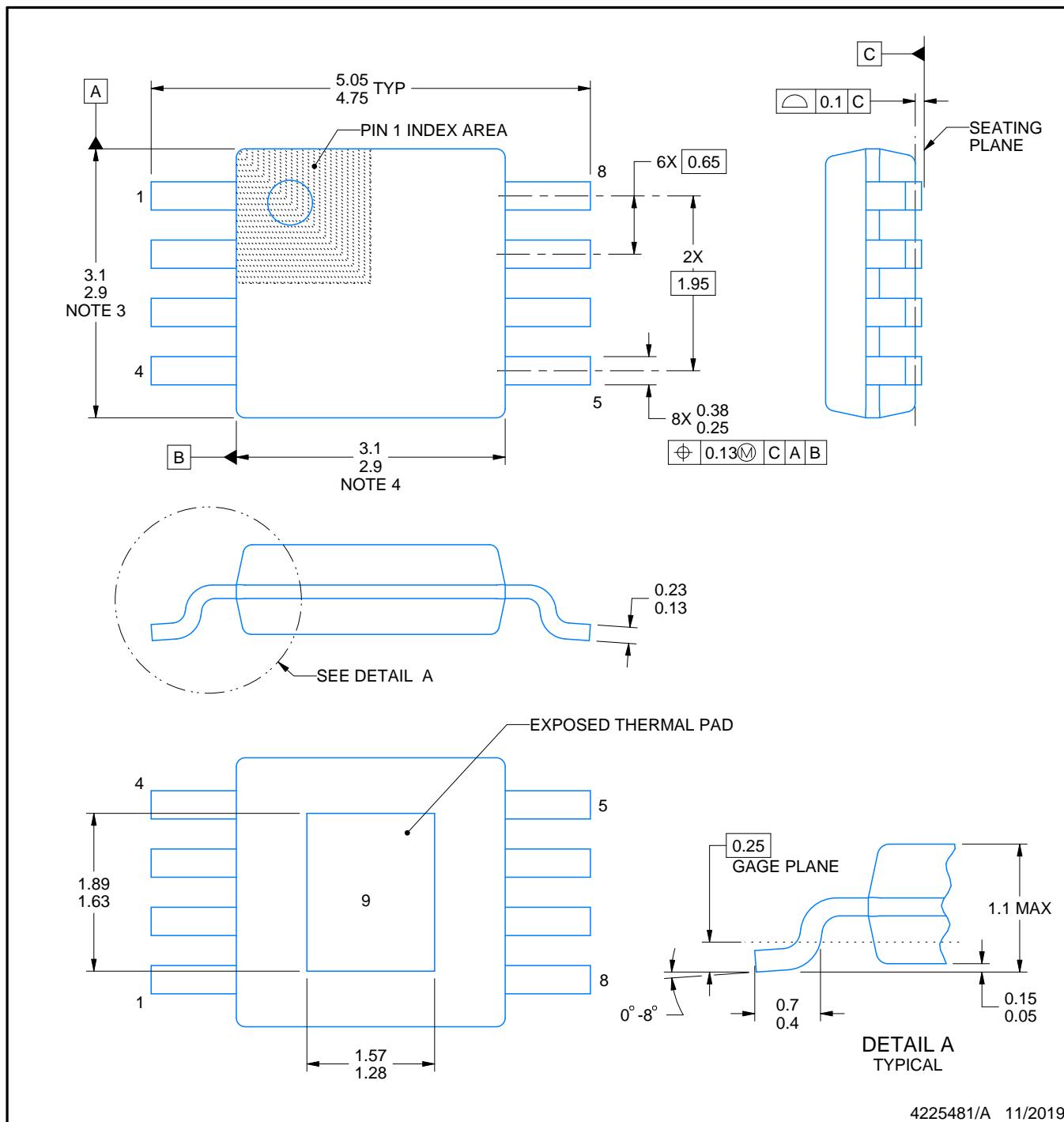
PACKAGE OUTLINE

DGN0008D



PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

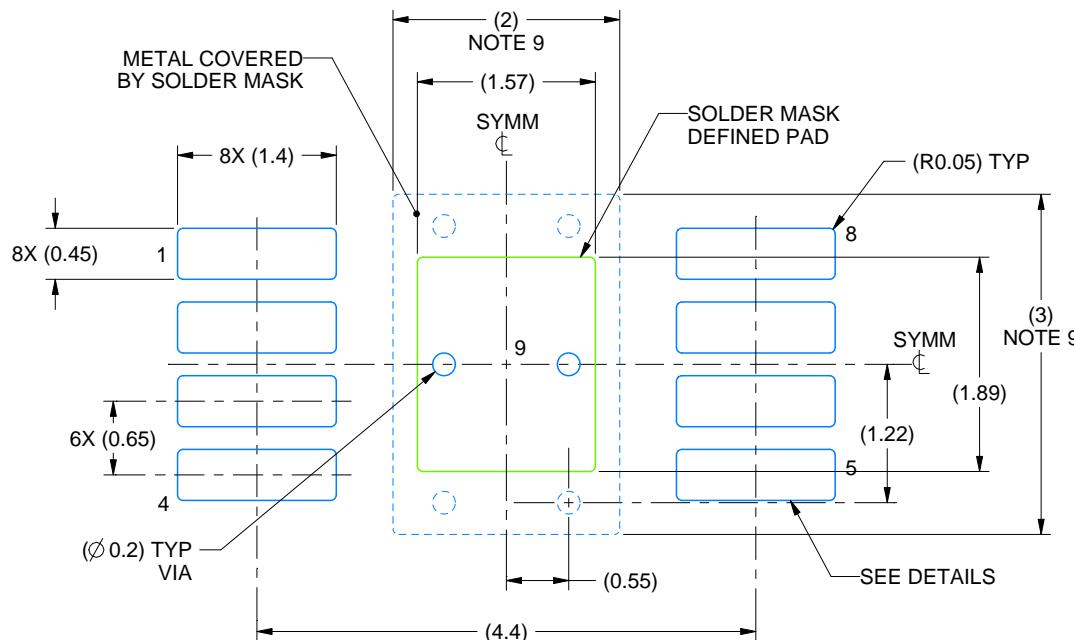
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

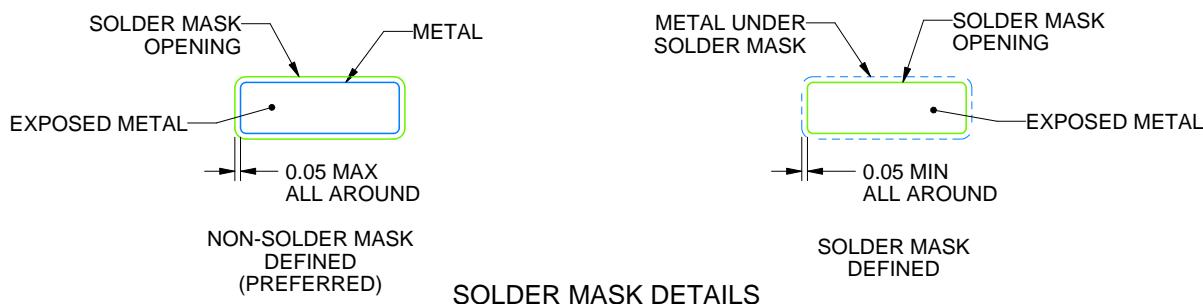
DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4225481/A 11/2019

NOTES: (continued)

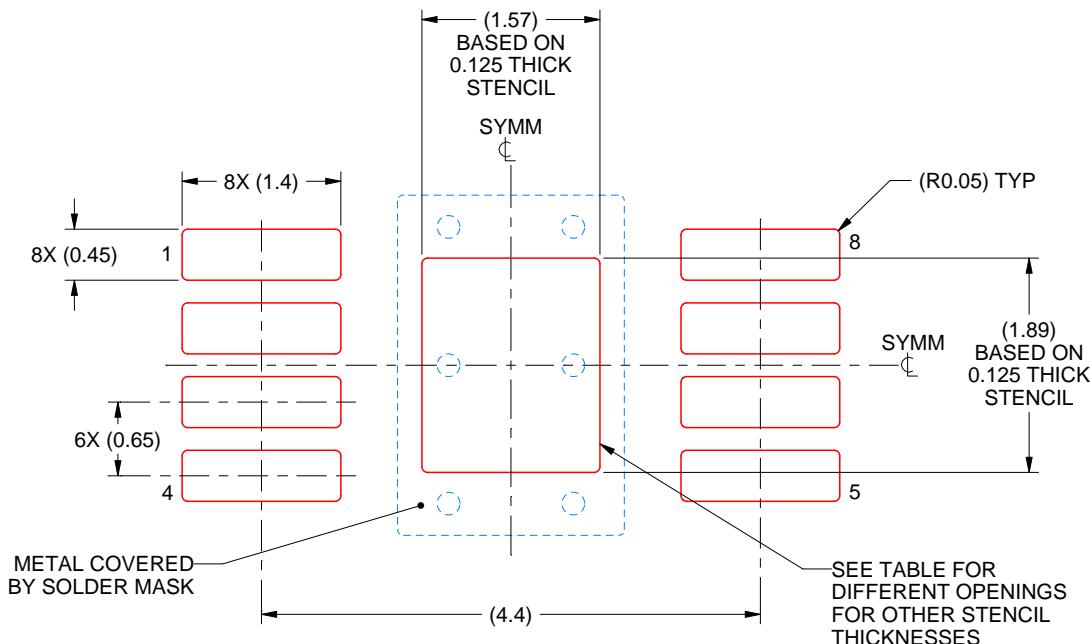
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225481/A 11/2019

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

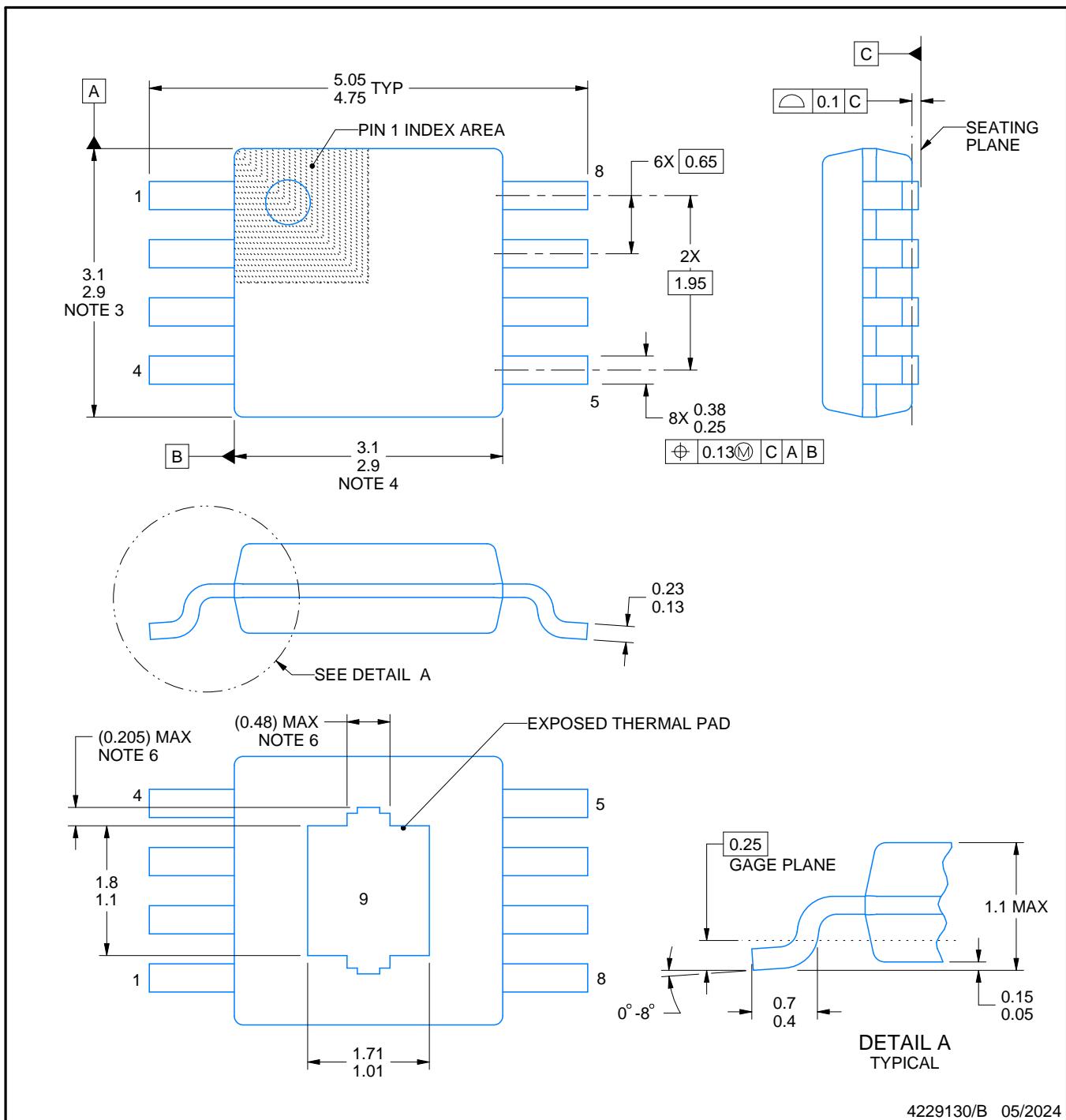
PACKAGE OUTLINE

DGN0008H



PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4229130/B 05/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

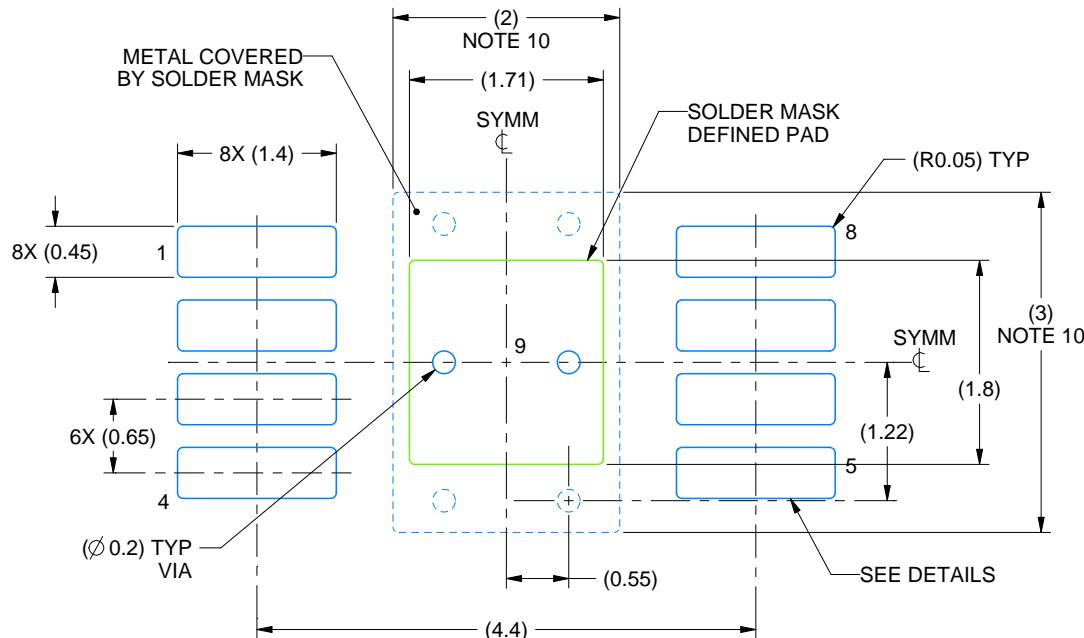
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

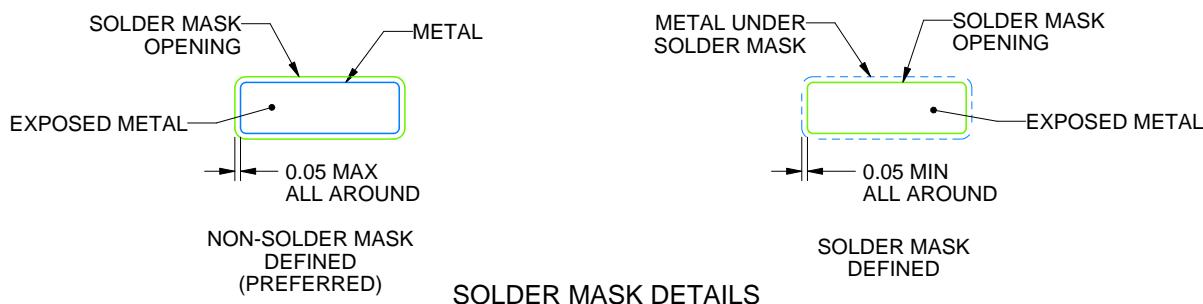
DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4229130/B 05/2024

NOTES: (continued)

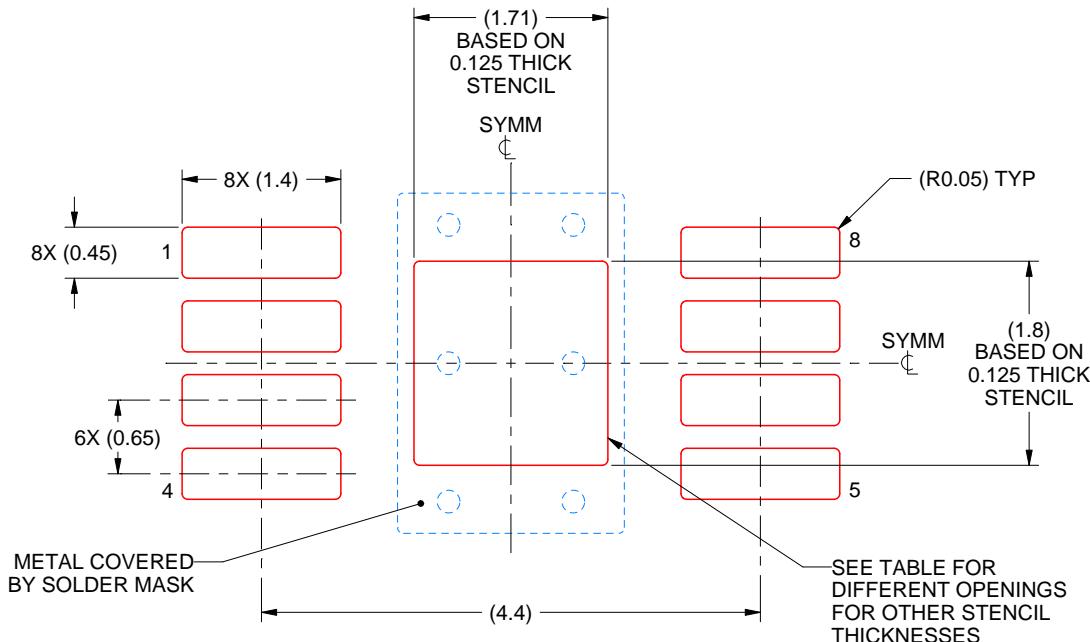
7. Publication IPC-7351 may have alternate designs.
 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
 9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
 10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

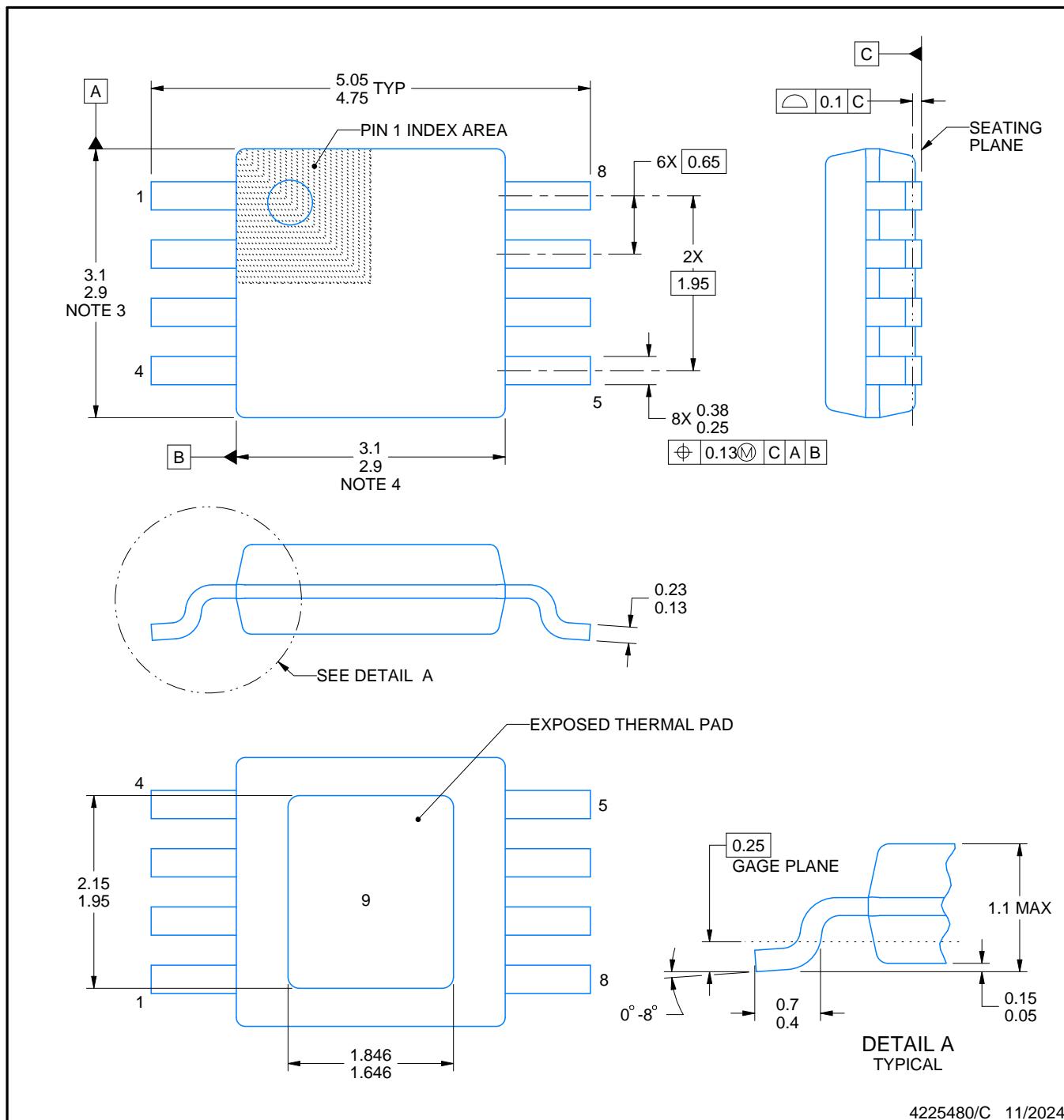
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

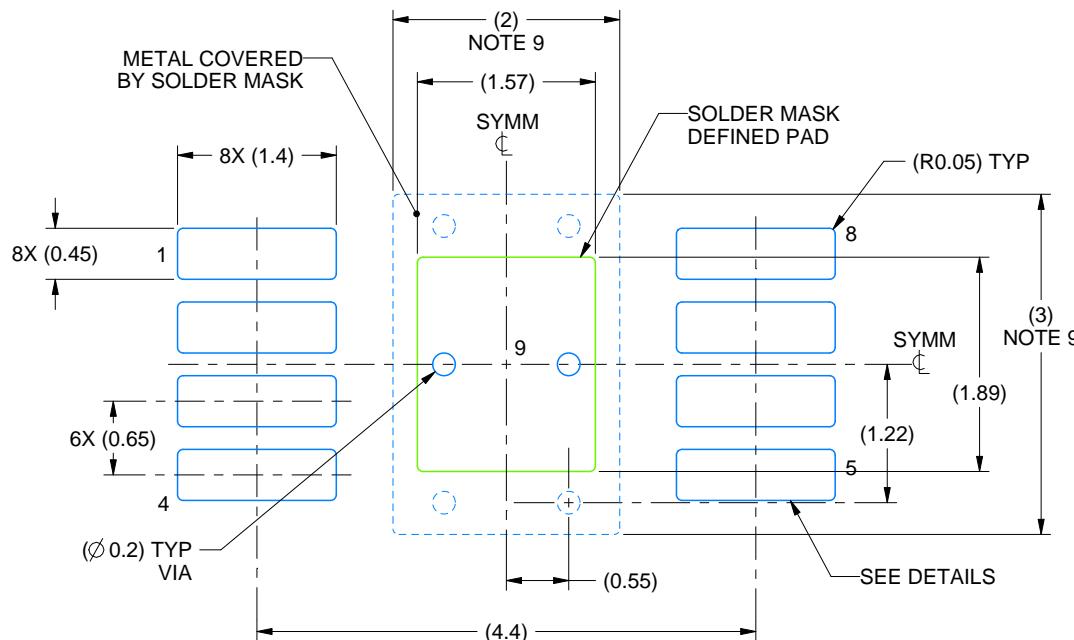
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

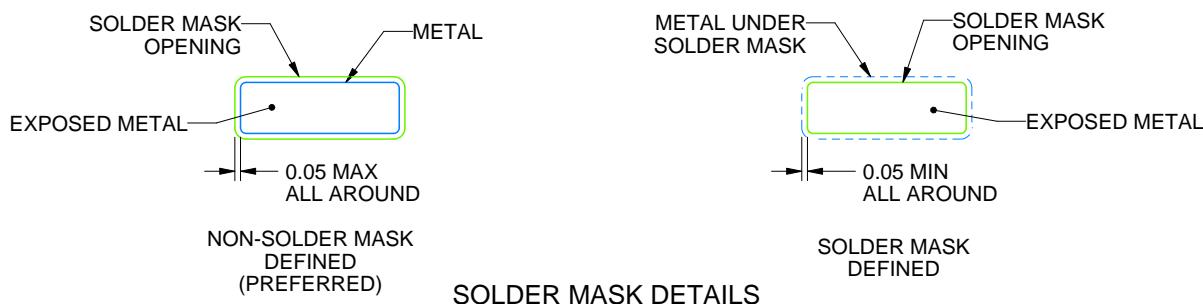
DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4225480/C 11/2024

NOTES: (continued)

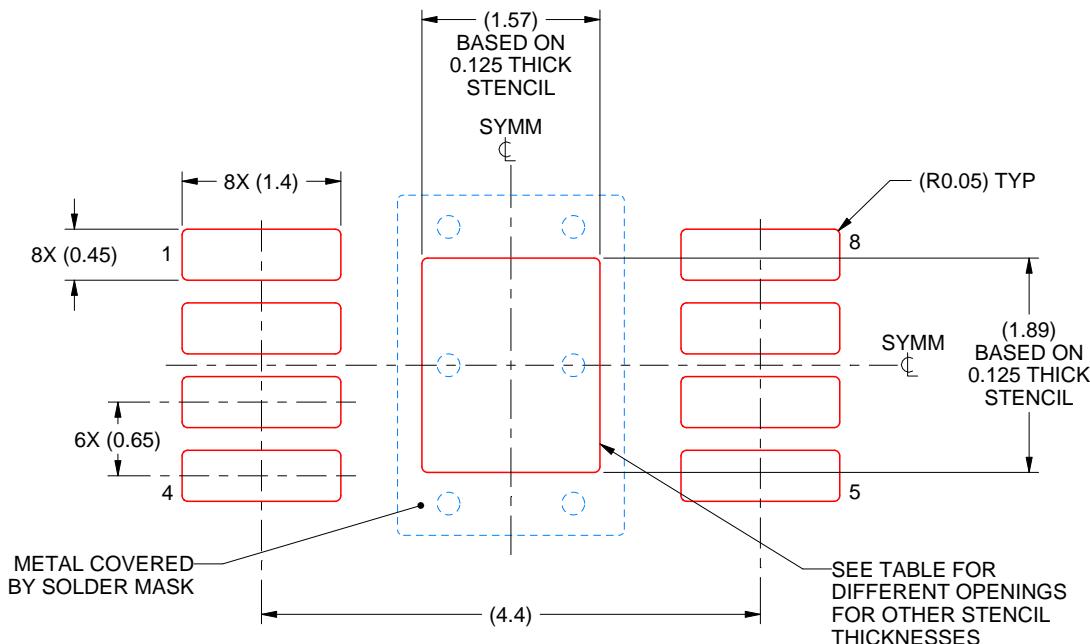
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225480/C 11/2024

NOTES: (continued)

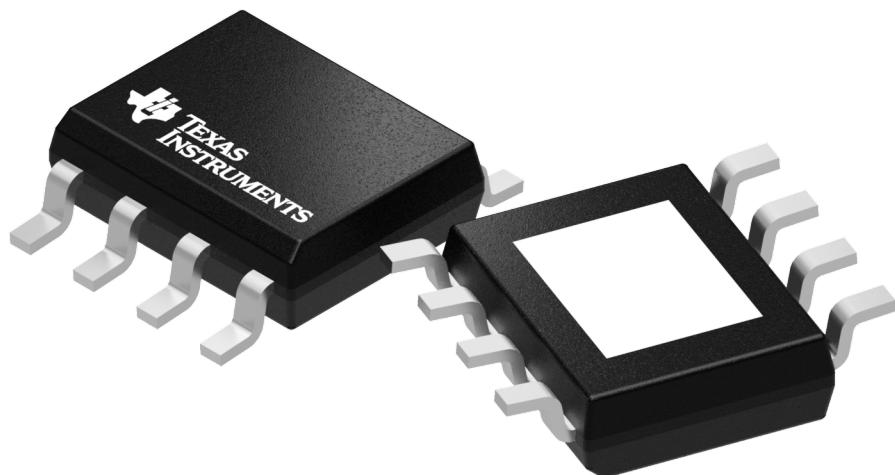
10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DDA 8

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4202561/G

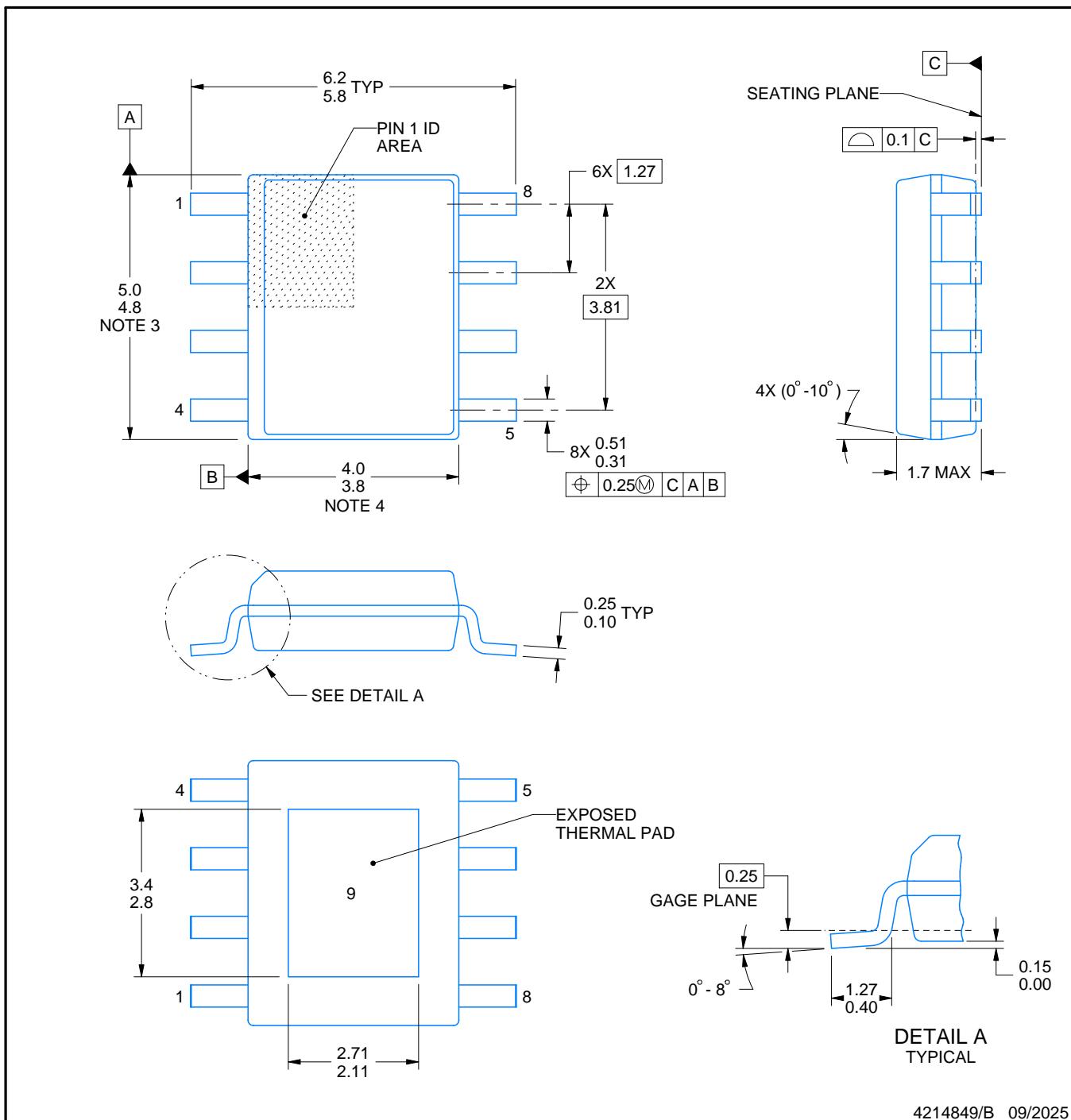
DDA0008B



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/B 09/2025

NOTES:

PowerPAD is a trademark of Texas Instruments.

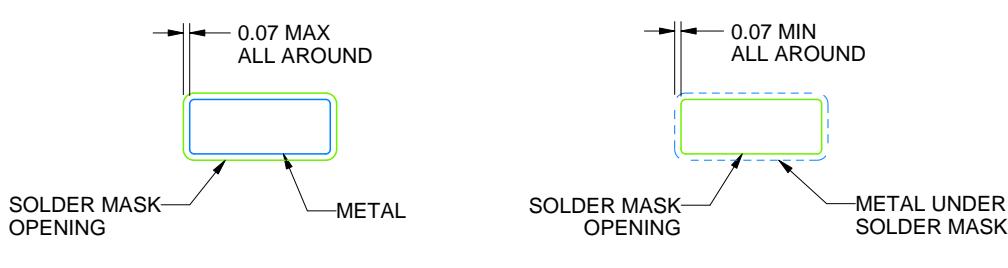
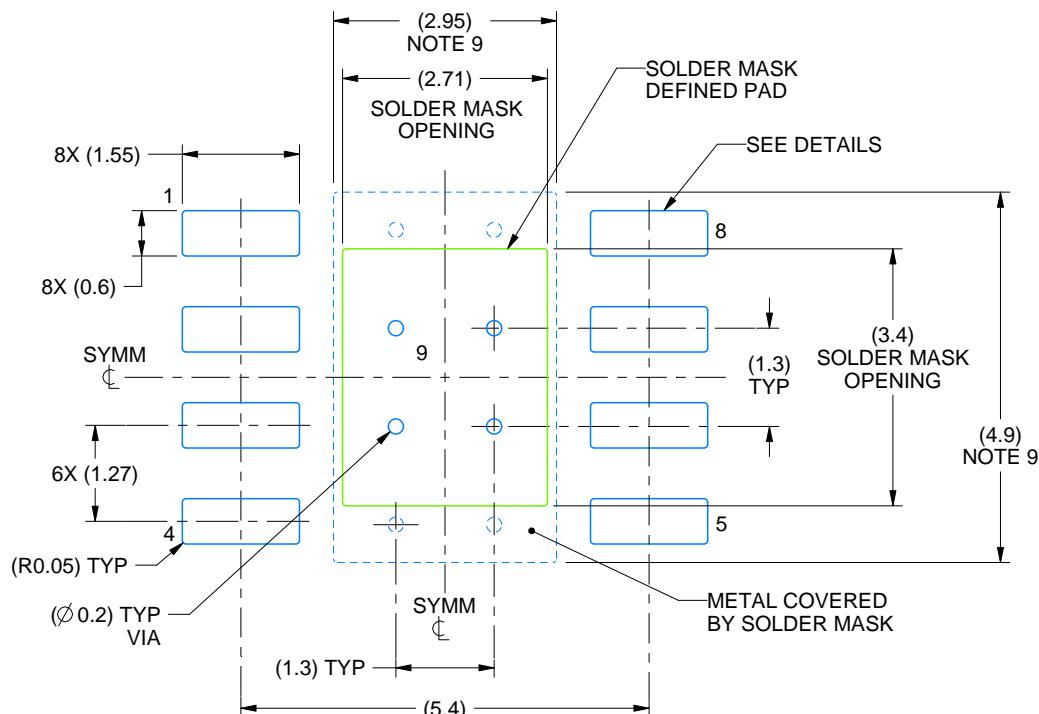
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

EXAMPLE BOARD LAYOUT

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

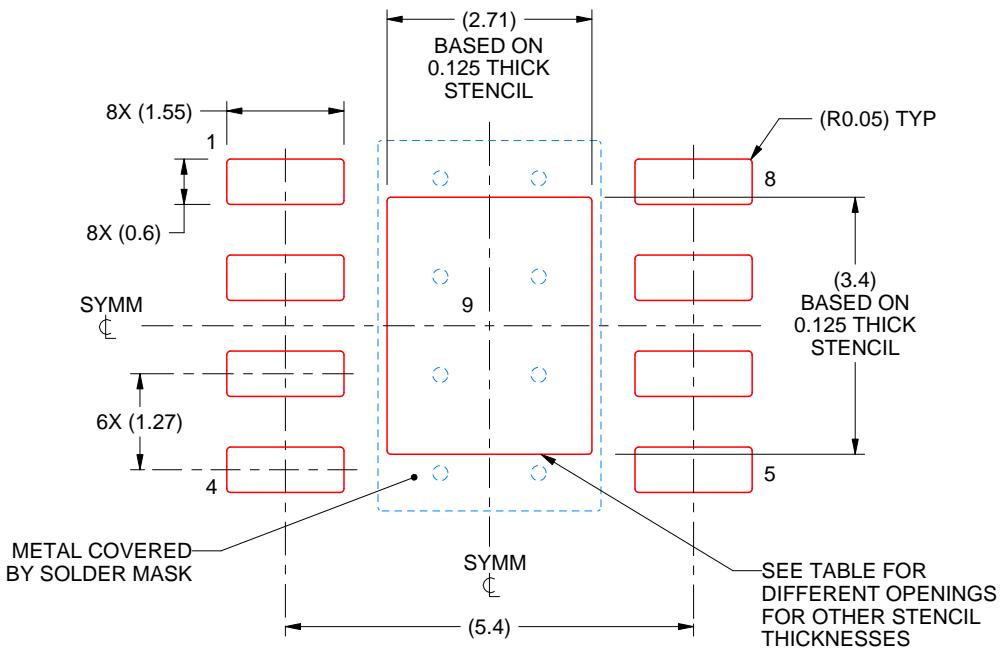
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



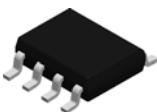
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

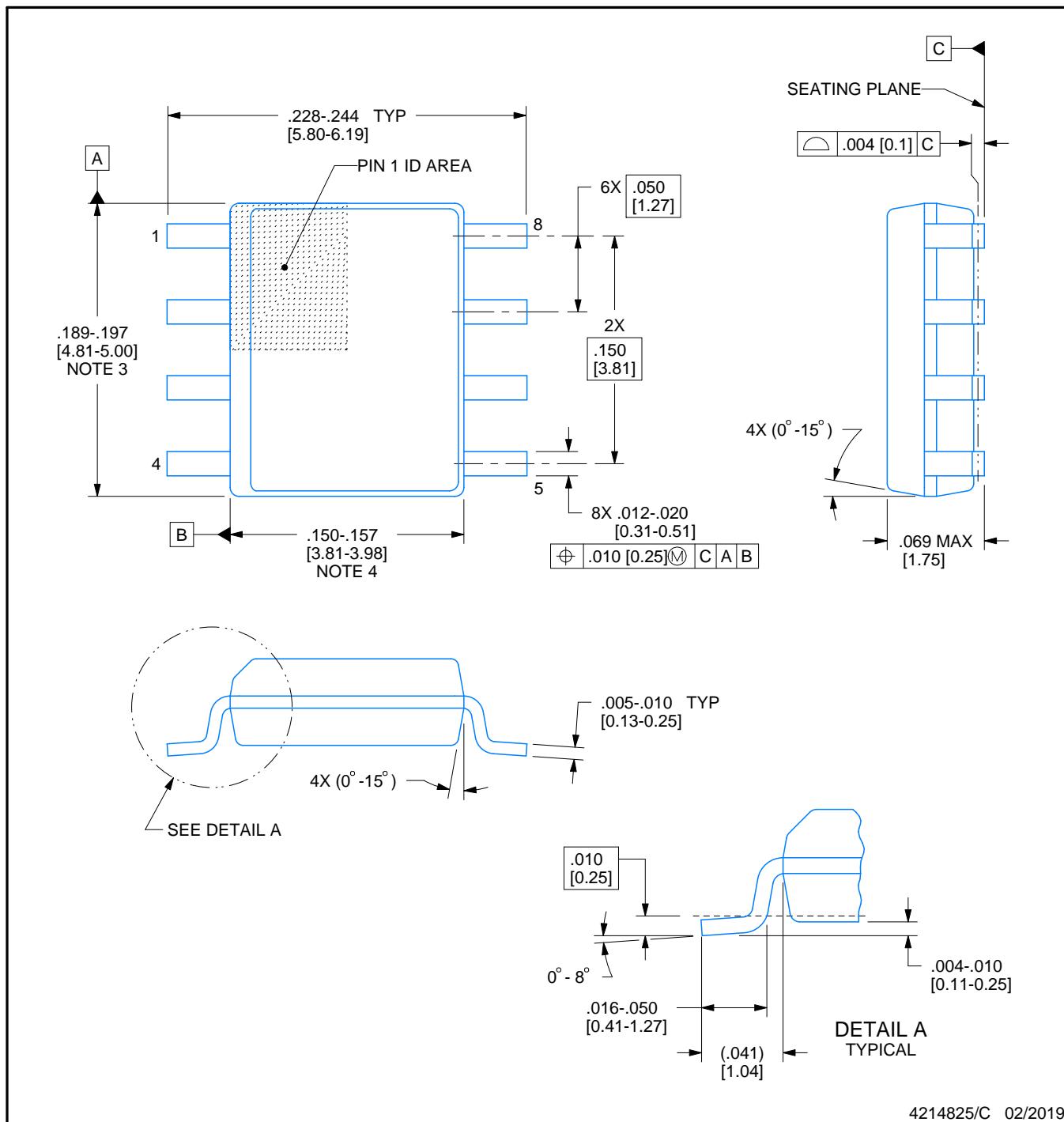


PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

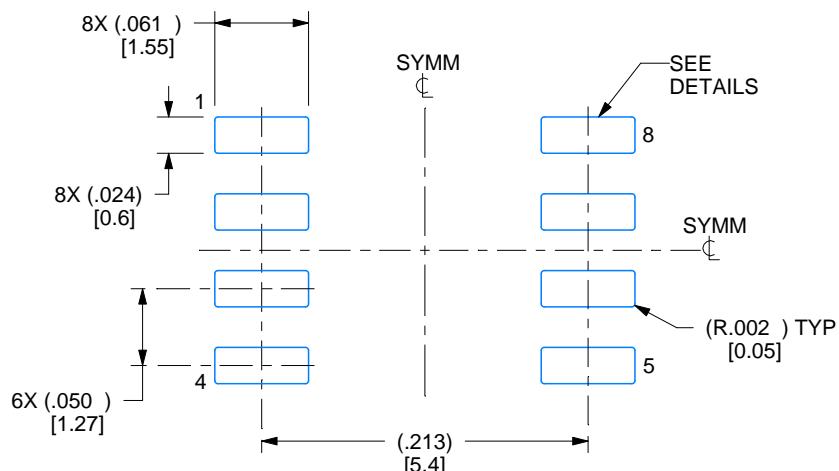
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
 4. This dimension does not include interlead flash.
 5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

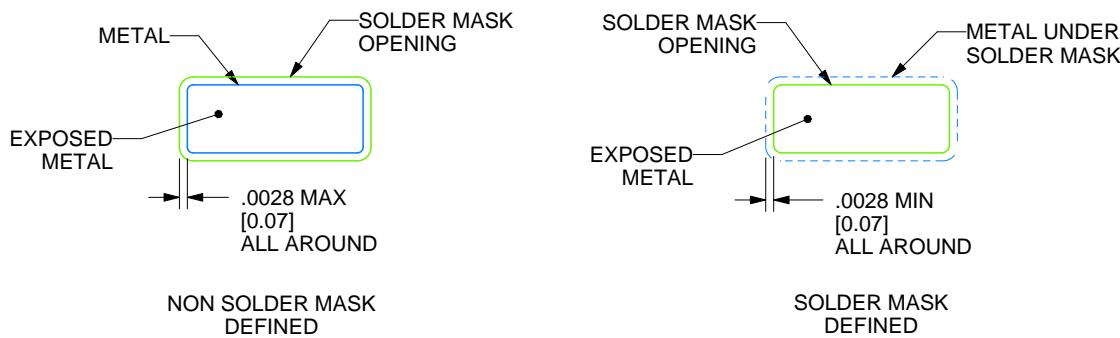
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

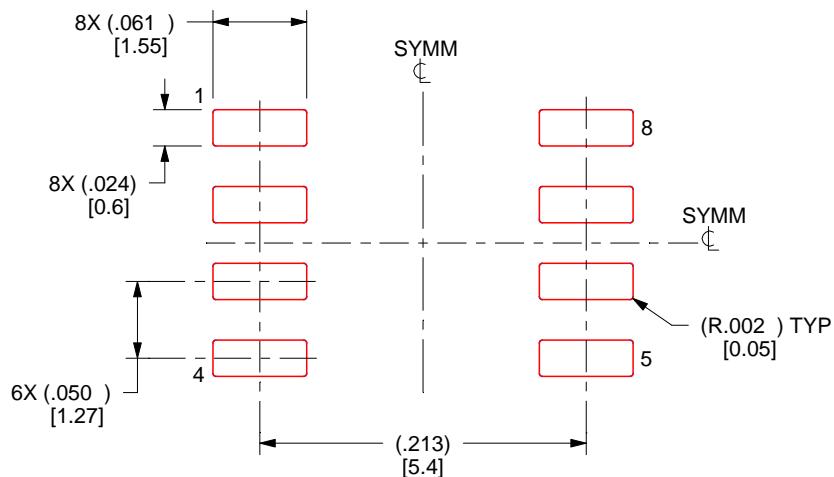
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月