

自動フロー制御付き UART

特長

- プログラマブル自動-RTSおよび自動-CTS 機能
- 自動-CTS モード時 CTSによるトランスミッタ制御機能
- 自動-RTS モード時、RTS による受信 FIFO コンテンツおよび閾値制御機能
- 同一電源時における、シリアルデータおよびモデムコントロール出力のRJ11 ケーブルを直接駆動可能
- 既存のすべての TL16C450 ソフトウェアが動作可能
- リセット後、すべてのレジスタは TL16C450 レジスタセットと同一
- V_{CC} 5V の場合、最大動作周波数は 24-MHz で 1.5-Mbaud まで動作可能
- V_{CC} 3.3 V の場合、最大動作周波数は 20-MHz で 1.25-Mbaud まで動作可能
- V_{CC} 2.5 V の場合、最大動作周波数 16-MHz で 1-Mbaud まで動作可能
- TL16C450 モード時、ホールド・レジスタとシフト・レジスタが CPU とシリアル・データ間の正確な同期を実現
- 入力リファレンス・クロックをプログラマブル・ボーレート・ジェネレータで、1 から (2¹⁶ - 1) まで分周機能および内部 16 × クロック生成機能
- 標準非同期通信ビット(スタートビット、ストップビット、パリティビット)を付加、またはシリアル・データストリームから剥離機能
- 5-V、3.3-V、および 2.5-V 動作
- 独立受信クロック入力
- 送信、受信、ラインステータス、データセット割り込みの個別制御機能
- 完全なプログラマブル・シリアル・インタフェースの特徴:
 - 5-、6-、7-、または、8-ビットキャラクタ
 - 偶数-、奇数-、または、パリティビットなしの生成および検出
 - 1-、1 1/2-、または、2-ストップビット生成
 - ボー・レート ジェネレーション(dc から 1 Mbit/s)機能
- 誤スタート・ビット検出機能
- 完了ステータスレポート機能
- 双方向データバスおよび制御バスの 3-ステート出力の TTL ドライブ機能
- ライン・ブレイク生成および検出機能
- 内部診断機能:
 - 通信リンク障害分離用ループ・バック制御
 - ブレイク、パリティ、オーバーランおよびフレーミング・エラー・シミュレーション
- 完全な優先割り込み制御機能
- モデム制御機能(CTS、RTS、DSR、DTR、RI、および DCD)
- パッケージ: 48-ピン QFP (PT)、48-ピン TQFP (PFB)、および 32-ピン QFN (RHB)

概要

TL16C550D および TL16C550DI は、TL16C550C の動作速度と動作電圧のアップグレード(機能的には同等)バージョンです。また TL16C450 の機能アップグレードバージョンでもあります。パワーアップ時には TL16C450 と同じ機能(キャラクタ、つまり TL16C450 モード)ですが、TL16C550D および TL16C550DI は TL16C550C と同じように、FIFO モードとしても使うことができます。この機能で送受信キャラクタをバッファリングすることにより CPU の過剰なソフトウェア実行負荷を緩和します。送受信 FIFO は、受信 FIFO にある 1 バイトあたり 3 つのエラー・ステータス・ビットを含め、16 バイトまでデータを貯めることができます。FIFO モードでは、RTS 出力および CTS 入力信号を使用したシリアルデータフローを自動的に制御することで、かなりのソフトウェアオーバーロードを減らし、システムの効率性を増やすことができる選択可能自動フロー制御機能があります。

TL16C550D および TL16C550DI は、周辺デバイスから受信したデータをシリアル・パラレル変換または、CPU から受信したデータをパラレル・シリアル変換します。CPU は、いつでも UART ステータスを読み取ることができます。UART は、通信リンクのソフトウェア管理を最小限にできる完全なモデム制御機能とプロセッサ割り込み制御機能を持っています。



本データシートの終わりにある、製品の有効性、標準保証、Texas Instruments 半導体製品のアプリケーションでの使用、免責に関するご注意をお読みください。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TL16C550D

TL16C550DI

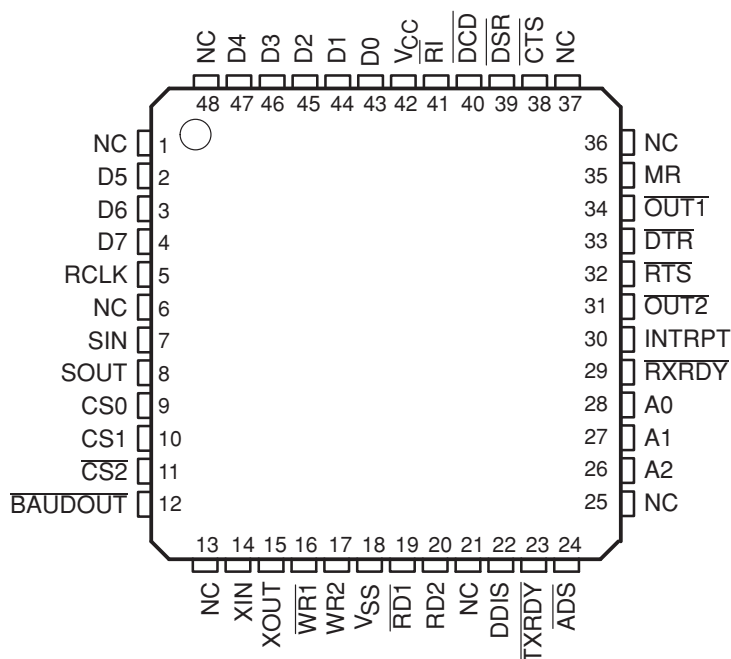
UART

SLLS698

TL16C550DおよびTL16C550DI UARTは共に、1から65535までのディバイザでリファレンス・クロックを分周し、内部トランスミッタ回路に16×リファレンス・クロックを供給することの出来るプログラマブル・ボーレート・ジェネレータを持っています。またレシーバ回路に対してもこの16×クロックを使用します。UARTは、1.5-Mbaudまでのシリアル・転送レート(24-MHz 入力クロック)を行うことが出来ます。この時ビット時間は、667ns、通常のキャラクタ時間は、6.7μs(スタートビット、8データビット、ストップビットの場合)となります。

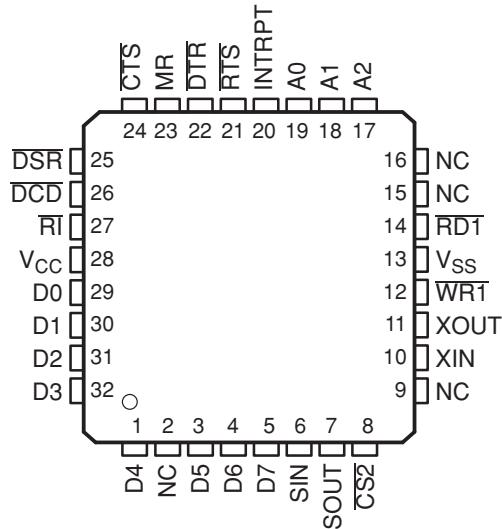
TL16C450 ピンのうち二つのピンは、TL16C550DおよびTL16C550DIでは、TXRDYとRXRDYに変更されていて、DMA コントローラに信号を伝える機能ピンとなっています。

PT/PFB PACKAGE
(TOP VIEW)



NC- 内部接続無し
LQFP
TQFP

RHB PACKAGE
(TOP VIEW)



NC-内部接続無し
QFN

TL16C550Dは、ピン数を減らした32-ピンRHB (QFN) パッケージを持っています。これは、あるアプリケーションには必要とされないピンを減らすことで達成されています。これらは、CS0、CS1、 \overline{ADS} 、RD2、WR2、RCLKの各入力信号およびDDIS、TXRDY、RXRDY、OUT1、OUT2、およびBAUDOUTの各出力信号です。BAUDOUTおよびRCLKは、内部で接続されています。

TL16C550Dの機能すべては、RHBパッケージでも変わりません。

詳細説明

自動フロー制御(図 1 参照)

自動フロー制御は、自動-CTSおよび自動-RTSから構成されます。自動-CTS機能では、CTS入力はトランスミッタFIFOがデータを送信できるようになる前に、アクティブである必要があります。自動-RTS機能では、レシーバがデータを受け取ることが出来るようになると、送信シリアル・デバイスにそのことを通知するために、RTSがアクティブになります。RTSとCTSを接続する場合、データ送信はレシーバ側のFIFOにデータ用スペースができるまで起こりません。したがって、自動フロー制御を使用可能にしたTL16C550DのUART1とUART2を使うことで、オーバーラン・エラーを防ぐことができます。さもないと、トランスミッタ・データ転送速度がレシーバFIFO読み取りの遅れ時間を越えた場合に、オーバーラン・エラーが発生します。

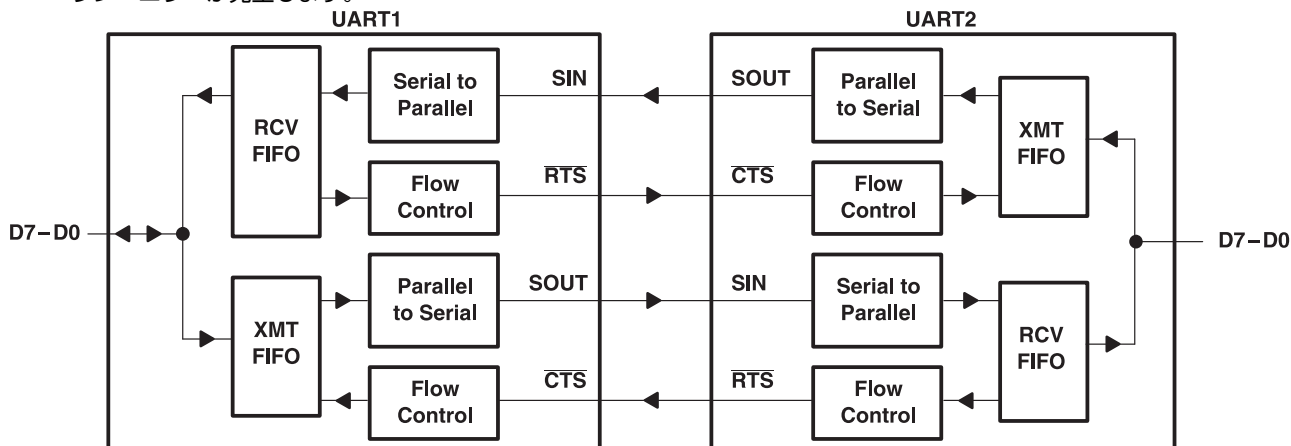


図 1. 自動フロー制御(自動-RTS および自動-CTS) 例

自動-RTS (図 1 参照)

自動-RTSデータ・フロー制御は、レシーバのタイミングと制御ブロック（機能ブロックダイアグラム参照）およびプログラムされたレシーバFIFOトリガー・レベルに関連しています。レシーバFIFOレベルがトリガー・レベル1、4、または8(図3参照)に達した場合、RTSはディアサートされます。トリガー・レベル1、4、および8では、送信UARTには、トリガー・レベルに達した後にもう一バイトを送信する可能性があります(送信UARTには、送信できるバイトがあると仮定します)。というのは、もう一バイトの追加送信が開始した後でも、RTSのディアサートを認識しないことがあるためです。一旦RCV FIFOがレシーバ・バッファ・レジスタの読み取りで空になると、RTSは、自動的にリアサートされます。

トリガー・レベルが14の場合(図4参照)、RTSは16番目のキャラクタの最初のデータ・ビットがSINラインに現れた後、ディアサートされます。RTSは、RCV FIFOが少なくとも一個の受信可能なバイト・スペースがあれば、リアサートされます。

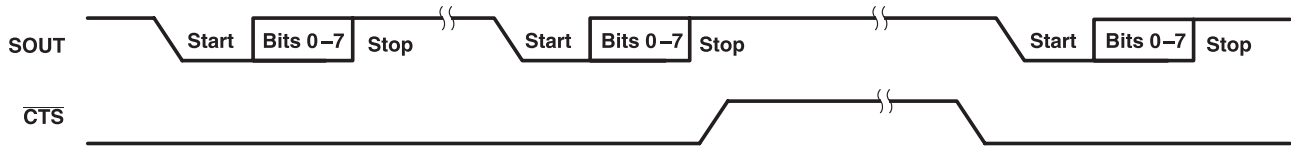
自動-CTS(図 1 参照)

トランスミッタ回路は、次のバイトデータ送信前にCTSを調べます。CTSがアクティブな場合、次のバイトを送信します。トランスミッタに次のバイトの送信を停止させるには、現在送信中の最後のストップ・ビットの途中より前でCTSをディスイネーブルにする必要があります(図2参照)。自動-CTS機能は、ホストシステムの割り込み負荷を低減させます。フロー制御がイネーブルの場合、デバイス自体が自動的にそのトランスミッタを制御するため、CTSレベルの変化は、ホストへの割り込みのトリガーにはなりません。自動-CTSを使用しないと、トランスミッタは送信FIFOにあるデータをいつでも送信してしまい、レシーバ側がオーバーラン・エラーを起こす可能性があります。

自動フロー制御および自動 CTS 使用方法

自動フロー制御は、モデム制御レジスタのビット5 (AutoFlow Enable つまり AFE) およびビット1 (RTS)を1に設定して使用可能に出来ます。自動フローは自動-RTSおよび自動-CTSの両方を使うことが出来ます。自動-CTSのみを使う場合は、モデム制御レジスタのビット1をクリアする必要があります。(この時、制御信号がCTSをドライブしていると仮定します。)

自動-CTS および自動-RTS 機能タイミング



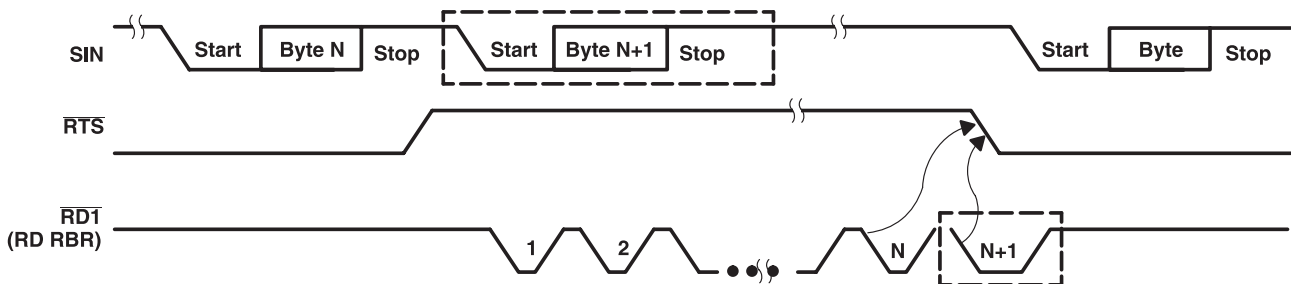
注: A. CTS がローの時、トランスミッタはシリアル・データを送信し続けます。

B. CTS が現在のバイトの最後のストップ・ビットの真ん中より前にハイになった場合、トランスミッタは現在のバイト送信を終えて、次のバイトを送信することはありません。

C. CTS がハイからローに変化した場合、トランスミッタは再びデータ送信を開始します。

図 2. CTS 機能タイミング・ウェーブ・フォーム

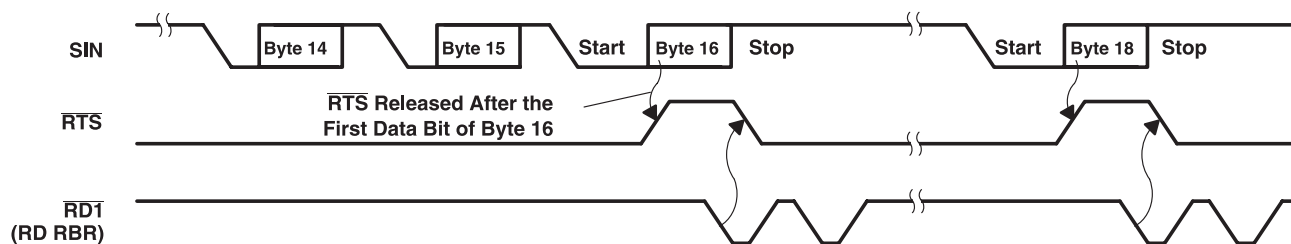
レシーバ FIFO トリガー・レベルは、1、4、8、または 14 バイトに設定できます。これらは、図 3 および図 4 に説明されています。



注: A. N = RCV FIFO トリガー・レベル(1、4、または 8 バイト)

B. ダッシュラインで囲まれた二つのブロックは、自動-RTS セクションで説明したとおり、追加バイトが送信される場合を説明しています。

図 3. RTS 機能タイミング・ウェーブ・フォーム、RCV FIFO トリガー・レベル=1、4、または 8 バイト



注: A. RTS は、レシーバが 16 番目のバイトの最初のデータビットを受信した時、ディアサートされます。受信 FIFO は、16 番目のバイトを受信した後フルになります。

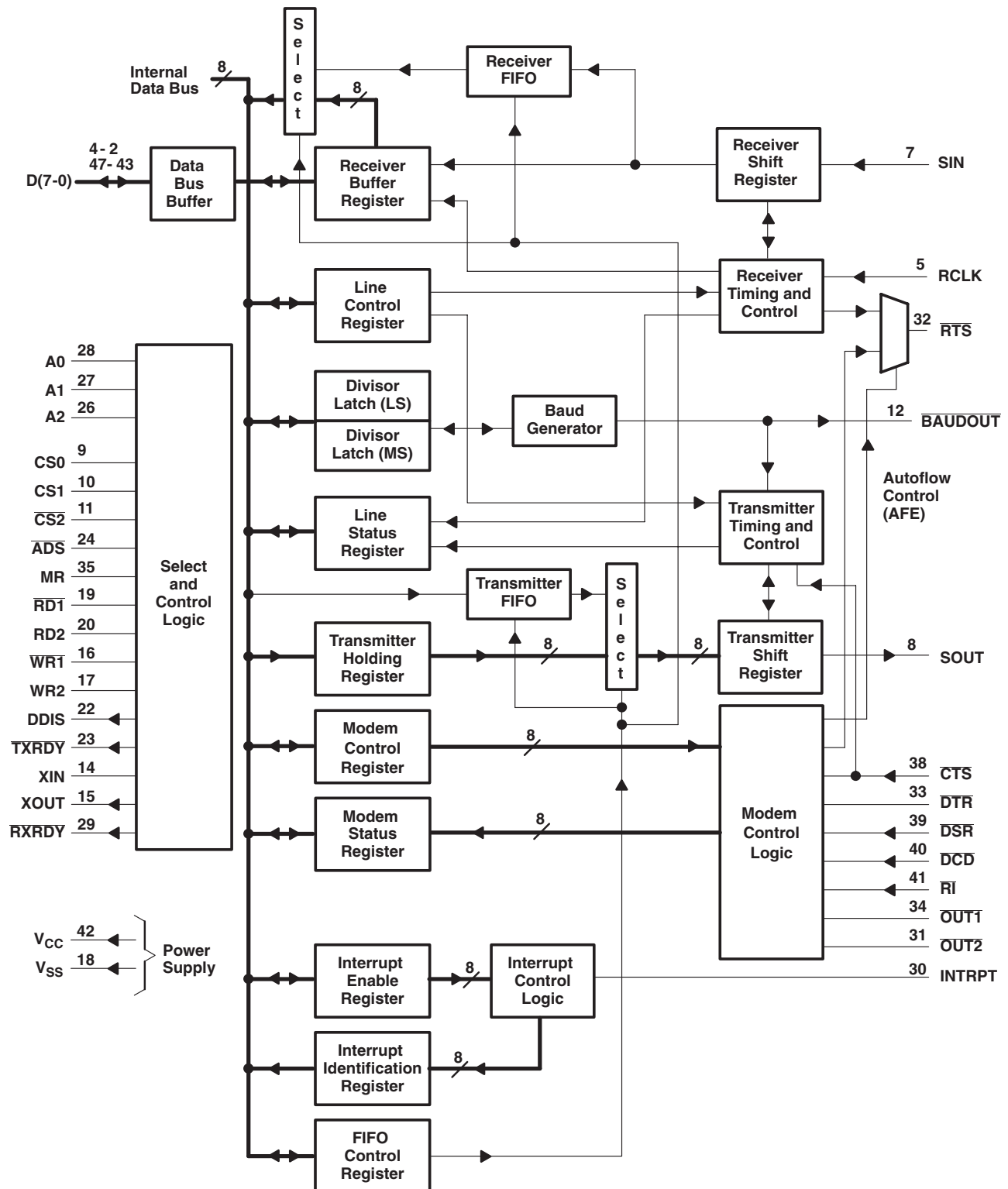
B. RTS は、最低 1 バイトのスペースが空きかつバイトの受信中ではない場合か、2 バイト以上の空きが在る場合に再度アサートされます。

C. 受信 FIFO がフルの場合、受信バッファレジスタを一度でもリードすると RTS は、アサートされます。

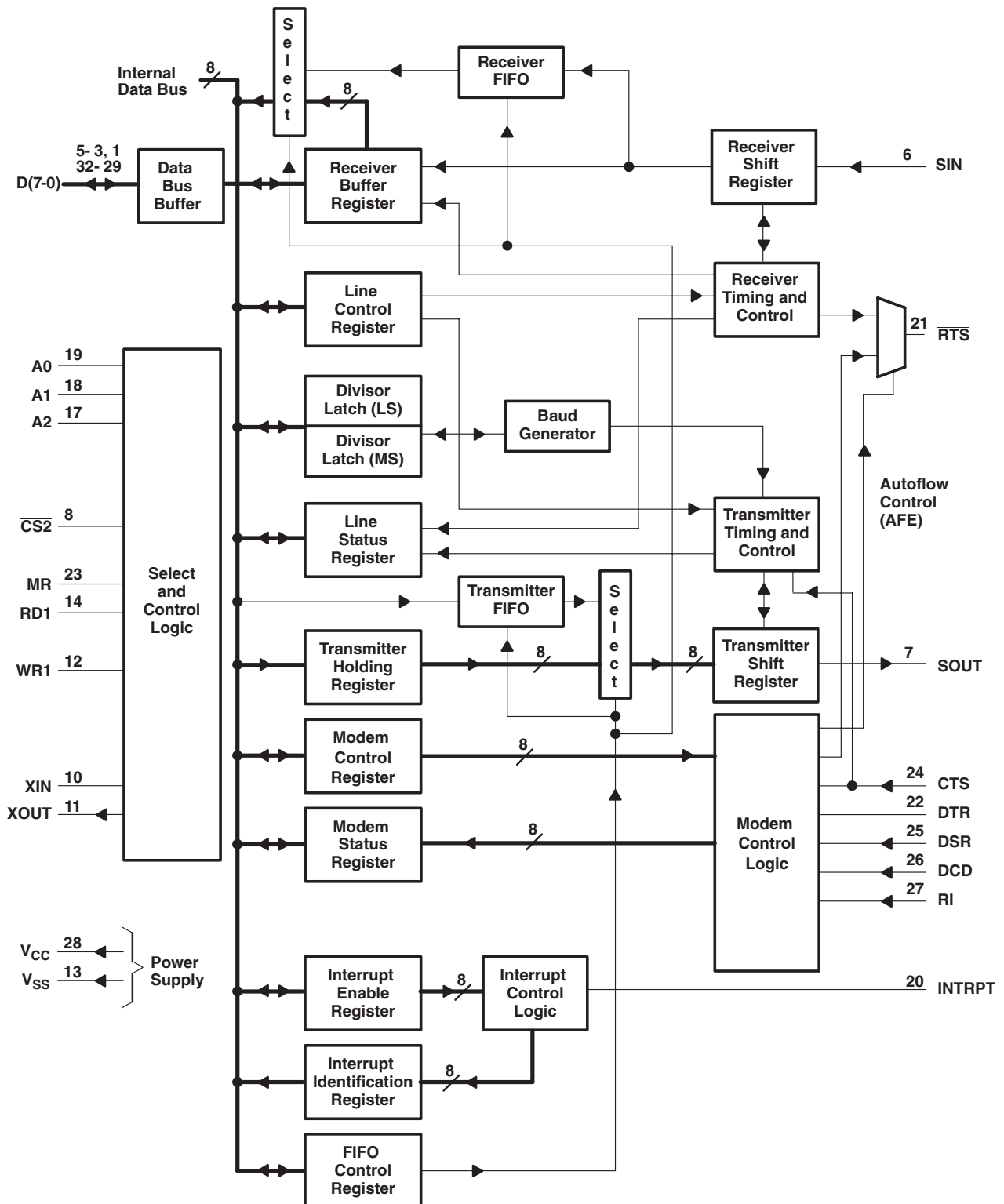
図 4. RTS 機能タイミング・ウェーブ・フォーム、RCV FIFO トリガー・レベル=14 バイト

TL16C550D
TL16C550DI
UART
SLLS698

機能ブロックダイアグラム(PT および PFB パッケージ用)



機能ブロックダイアグラム(RHB パッケージ用)



TL16C550D

TL16C550DI

UART

SLLS698

ピン構成(PT および PFB パッケージ用)

ピン構成 名称	ピン番号	I/O	説明
A0 A1 A2	28 27 26	I	レジスタ選択端子。A0-A2は、読み取り・書き込み動作に使用されます。読み取りや書き込みをするUARTレジスタを選択します。レジスタ・アドレスについては表 1 および ADS 説明を参照してください。
ADS	24	I	アドレス・ストロブ端子。ADSがアクティブ(ロー)の場合、A0、A1、およびA2およびCS0、CS1、およびCS2は、内部選択ロジックを直接ドライブします。ADSがハイの場合、レジスタ選択信号およびチップ選択信号は、ADSがハイからローに変化した時の値を保持します。
BAUDOUT	12	O	ボー・アウト端子。BAUDOUTは、UARTのトランスミッタで使用される16×クロック信号です。クロック周波数は、ボー・ジェネレータ・ディバイザ・ラッチに設定された値で、外部発信器の周波数を分周することによって決まります。BAUDOUTは、この出力をRCLKに繋ぐことで、レシーバにも使用できます。
CS0 CS1 CS2	9 10 11	I	チップ選択端子。CS0 および CS1 がハイ、CS2 がローの場合、これら三つの入力力はUARTを選択します。これらの入力のいずれかが非アクティブな場合、UARTは非アクティブのままになります(ADS説明参照)。
CTS	38	I	送信クリア端子。CTSは、モデム・ステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット4(CTS)を読み取ることでチェックできます。モデム・ステータス・レジスタのビット0 (Δ CTS)は、モデム・ステータス・レジスタからの最後の読み取り後CTSのステータスが変化することを示します。CTSのレベルが変化し、自動-CTSモードがディスイネーブルで、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。CTSは、また自動-CTSモードで使用されトランスミッタをコントロールします。
D0 D1 D2 D3 D4 D5 D6 D7	43 44 45 46 47 2 3 4	I/O	データバス端子。3-ステートの双方向データライン8本で、UARTとCPU間でデータ、制御情報、ステータス情報をやり取りします。
DCD	40	I	データキャリア検出端子。DCDは、モデムステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット7(DCD)を読み取ることでチェックできます。モデム・ステータス・レジスタのビット3 (Δ DCD)は、モデム・ステータス・レジスタからの最後の読み取り後、DCDのステータスが変化することを示します。DCDのレベルが変化し、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。
DDIS	22	O	ドライバ・ディスイネーブル端子。DDISは、CPUがデータ読み取りをしていない時にアクティブ (ハイ) です。アクティブな場合、DDISは外部トランシーバを使用不能にすることができます。
DSR	39	I	データ設定レディー端子。DSRは、モデム・ステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット5(DSR)を読み取ることでチェックできます。モデム・ステータス・レジスタのビット1 (Δ DSR)は、モデム・ステータス・レジスタからの最後の読み取り後、DSRのステータスが変化することを示します。DSRのレベルが変化し、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。
DTR	33	O	データ・ターミナル・レディー端子。アクティブ (ロー) の場合、DTRでモデムやデータ機器にUARTが通信の準備ができたことを知らせます。DTRは、モデム制御レジスタのDTRを設定することによりアクティブにすることが出来ます。DTRは、マスターリセット、ループ・モード設定時、またはDTRビットのクリアのいずれかで、非アクティブになります。
INTRPT	30	O	割り込み端子。アクティブ (ハイ) の場合、INTRPTはUARTに処理されるべき割り込みがあることをCPUに通知します。割り込みを生じる条件は以下の4通りです。レシーバ・エラー、データ受信または受信データタイムアウト(FIFOモードのみ)、トランスミッタ・ホールディング・レジスタ・エンプティ、またはイネーブルされたモデムステータス割り込み。INTRPTは、割り込みがサービス要求時またはマスターリセットでリセット (ディスイネーブル) されます。
MR	35	I	マスター・リセット端子。アクティブ (ハイ) の場合、MRはほとんどのUARTレジスタをクリアし、出力信号の値を設定します (表 2 参照)。
NC	1, 6, 13, 21, 25, 36 37, 48	I	NC 端子。 内部での接続はありません。
OUT1 OUT2	34 31	O	出力1 および出力2 端子。これらは、それぞれのモデム制御レジスタ(MCR)ビット (OUT1 および OUT2)で設定することにより、アクティブ (ローレベル) に設定することの出来るユーザー指定出力端子です。OUT1 および OUT2 は、ループ・モード設定時またはMCRのビット2(OUT1)またはビット3(OUT2)をクリアすること、またはマスター・リセットによりイネーブル (ハイ)に設定されます。
RCLK	5	I	レシーバ・クロック信号。RCLKは、UARTのレシーバ用の16×ボーレート・クロックです。

ピン構成(PT および PFB パッケージについて) (続き)

ピン構成 名称	ピン番号	I/O	説明
RD1 RD2	19 20	I	リード端子。RD1 または RD2 がアクティブ（それぞれローまたはハイ）の場合、UART が選択され、CPU はステータスまたは選択した UART レジスタからデータを読み取ることができます。これらの入力のうちひとつだけが、データの読み取り時に必要になります。他の入力は非アクティブにする必要があります（例えば、RD2 はローまたは RD1 をハイにします）。
RI	41	I	リング・インジケータ端子。RI は、モデム・ステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット 6(RI)を読み取ることでチェックできます。モデム・ステータス・レジスタのビット 2(TEFI)は、モデム・ステータス・レジスタの最後の読み取り後、RI がローからハイレベルへ遷移したことを示します。遷移した時、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。
RTS	32	O	送信リクエスト端子。アクティブの場合、RTS は UART がデータ受信準備ができていることをモデムまたはデータ機器へ知らせます。RTS は、RTS モデム制御レジスタビットを設定することでアクティブ・レベルに設定され、マスタリセットまたはループ・モード時または MCR のビット 1(RTS)をクリアすることで、非アクティブ（ハイ）に設定されます。自動 RTS モードでは、RTS はレシーバ閾値制御回路で非アクティブになるレベルに設定されます。
RXRDY	29	O	レシーバ・レディ端子。レシーバの直接メモリアクセス(DMA)が、RXRDY を使うことで可能となります。FIFO モード時、FIFO 制御レジスタ・ビット 3 (FCR3)を使用して DMA 制御信号の二つのタイプのうちのひとつは選択することができます。TL16C450 モードで動作する場合、DMA モード 0 のみが可能です。モード 0 は、CPU バス・サイクル間で転送を行う単一転送 DMA をサポートしています。モード 1 は、レシーバ FIFO が空になるまで継続的に行われる複数転送 DMA をサポートしています。DMA モード 0 (FCR0 = 0 または FCR0 = 1、FCR3=0)は、レシーバ FIFO またはレシーバ保持レジスタに最低ひとつのキャラクタがある時、RXRDY はアクティブ（ロー）です。RXRDY がアクティブであって、FIFO または保持レジスタにキャラクタがなくなった場合、RXRDY は非アクティブ（ハイ）になります。DMA モード 1 (FCR0 = 1、FCR3=1)では、トリガー・レベルまたはタイムアウトになった時、RXRDY はアクティブ（ロー）になり、FIFO または保持レジスタにキャラクタがない場合、非アクティブ（ハイ）になります。
SIN	7	I	シリアルデータ入力端子。SIN は、接続した通信デバイスからのシリアルデータ入力です。
SOUT	8	O	シリアルデータ出力端子。SOUT は、接続した通信デバイスに対するシリアルデータ出力です。SOUT は、マスタリセットの後マーキングレベル（ハイ）となります。
TXRDY	23	O	トランスミッタ・レディ端子。トランスミッタ DMA 制御には、TXRDY が使用できます。FIFO モードの場合、DMA 制御信号の 2 つのタイプの内 1 つを、FCR3 を使って設定できます。TL16C450 モードで動作する場合、DMA モード 0 のみが設定可能です。モード 0 は、CPU バス・サイクル間で転送を行う単一転送 DMA をサポートしています。モード 1 は、転送 FIFO が一杯になるまで継続的に行われる複数転送 DMA をサポートしています。
Vcc	42		2.25V から 5.5V までの電圧を供給します。
Vss	18		グランド端子。
WR1 WR2	16 17	I	入力書き込み端子。WR1 または WR2 のどちらかがアクティブ（それぞれローまたはハイ）の時、UART が選択され、CPU は選択した UART レジスタに制御データまたはデータを書き込むことができます。これらの入力のうちひとつだけが、データの書き込み時に必要になります。他の入力は非アクティブ・レベルにする必要があります（例えば、WR2 はローまたは WR1 をハイにします）。
XIN XOUT	14 15	I/O	外部クロック端子。XIN および XOUT は、UART のメイン・タイミング・リファレンスに接続されています。（クロックまたは水晶）。

ピン構成 (RHB パッケージ)

ピン構成 名称 ピン番号		I/O	説明
A0 A1 A2	19 18 17	I	レジスタ選択端子。A0-A2は、読み取り・書き込み動作に使用されます。読み取りや書き込みをするUARTレジスタを選択します。レジスタ・アドレスについては表 1 および ADS 説明を参照してください。
CS2	8	I	チップ選択端子。CS2 がローの場合、UART が選択されます。CS2 がハイの場合、UART は非アクティブです。
CTS	24	I	送信クリア端子。CTS は、モデム・ステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット 4 (CTS) を読み取ることでチェックできます。モデム・ステータス・レジスタのビット 0 (Δ CTS) は、モデム・ステータス・レジスタからの最後の読み取り後 CTS のステータスが変化することを示します。CTS のレベルが変化し、自動-CTS モードがデイスイネーブルで、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。CTS は、また自動-CTS モードで使用されトランスミッタをコントロールします。
D0 D1 D2 D3 D4 D5 D6 D7	29 30 31 32 1 3 4 5	I/O	データバス端子。3-ステートの双方向データライン 8 本で、UART と CPU 間でデータ、制御情報、ステータス情報をやり取りします。
DCD	26	I	データキャリア検出端子。DCD は、モデムステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット 7 (DCD) を読み取ることでチェックできます。モデム・ステータス・レジスタのビット 3 (Δ DCD) は、モデム・ステータス・レジスタからの最後の読み取り後、DCD のステータスが変化することを示します。DCD のレベルが変化し、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。
DSR	25	I	データ設定レディー端子。DSR は、モデム・ステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット 5 (DSR) を読み取ることでチェックできます。モデム・ステータス・レジスタのビット 1 (Δ DSR) は、モデム・ステータス・レジスタからの最後の読み取り後、DSR のステータスが変化することを示します。DSR のレベルが変化し、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。
DTR	22	O	データ・ターミナル・レディー端子。アクティブ (ロー) の場合、DTR でモデムやデータ機器に UART が通信の準備ができたことを知らせます。DTR は、モデム制御レジスタの DTR を設定することによりアクティブにすることが出来ます。DTR は、マスターリセット、ループ・モード設定時、または DTR ビットのクリアのいずれかで、非アクティブになります。
INTRPT	20	O	割り込み端子。アクティブ (ハイ) の場合、INTRPT は UART に処理されるべき割り込みがあることを CPU に通知します。割り込みを生じる条件は以下の 4 通りです。レシーバ・エラー、データ受信または受信データタイムアウト (FIFO モードのみ)、トランスミッタ・ホールディング・レジスタ・エンプティ、またはイネーブルされたモデムステータス割り込み。INTRPT は、割り込みがサービス要求時またはマスターリセットでリセット (デイスイネーブル) されます。
MR	23	I	マスター・リセット端子。アクティブ (ハイ) の場合、MR はほとんどの UART レジスタをクリアし、出力信号の値を設定します (表 2 参照)。
NC	2, 9, 15, 16	-	NC 端子。 内部での接続はありません。
RD1	14	I	リード端子。RD1 がアクティブ (ロー) の場合、UART が選択され、CPU はステータスまたは選択した UART レジスタからデータを読み取ることができます。
RI	27	I	リング・インジケータ端子。RI は、モデム・ステータス信号です。そのステータスは、モデム・ステータス・レジスタのビット 6 (RI) を読み取ることでチェックできます。モデム・ステータス・レジスタのビット 2 (TERI) は、モデム・ステータス・レジスタの最後の読み取り後、RI がローからハイレベルへ遷移したことを示します。遷移した時、モデム・ステータス割り込みがイネーブルの場合、割り込みが起こります。
RTS	21	O	送信リクエスト端子。アクティブの場合、RTS は UART がデータ受信準備ができていることをモデムまたはデータ機器へ知らせます。RTS は、RTS モデム制御レジスタビットを設定することでアクティブ・レベルに設定され、マスターリセットまたはループ・モード時または MCR のビット 1 (RTS) をクリアすることで、非アクティブ (ハイ) に設定されます。自動 RTS モードでは、RTS はレシーバ閾値制御回路で非アクティブになるレベルに設定されます。

ピン構成 (RHB パッケージ)(続き)

ピン構成 名称	ピン番号	I/O	説明
SIN	6	I	シリアルデータ入力端子。SIN は、接続した通信デバイスからのシリアルデータ入力です。
SOUT	7	O	シリアルデータ出力端子。SOUT は、接続した通信デバイスに対するシリアルデータ出力です。SOUT は、マスターリセットの後マーキングレベル (ハイ) となります。
V _{CC}	28		2.25V から 5.5V までの電圧を供給します。
V _{SS}	13		グランド端子。
WR ₁	12	I	入力書き込み端子。WR ₁ がアクティブ (ロー) の時、UART が選択され、CPU は選択した UART レジスタに制御データまたはデータを書き込むことができます。
XIN XOUT	10 11	I O	外部クロック端子。XIN および XOUT は、UART のメイン・タイミング・リファレンスに接続されています。(クロックまたは水晶)。

絶対最大定格 (特に記載のない限り)[†]

電源電圧範囲	V _{CC} (注 1 参照)	-0.5V ~ 7V
任意の入力値における入力電圧範囲	V _I	-0.5V ~ 7V
出力電圧範囲	V _O	-0.5V ~ 7V
動作周囲温度範囲	T _A , TL16C550D	0°C ~ 70°C
	TL16C550DI	-40°C ~ 85°C
保存温度範囲	T _{stg}	-65°C ~ 150°C
ケースから 1,6 mm (1/16 インチ)、10 秒間の半田温度: PT および PFB パッケージ		260°C

[†] 「絶対最大定格」に記載された値を超えるストレスはデバイスを永久に損傷することがあります。この定格はストレスだけに適用され、この値または「推奨動作条件」に示された値以上の条件でデバイスの機能動作を保証するものではありません。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。

注 1: すべての電圧値は V_{SS} を基準としています。

TL16C550D
TL16C550DI
UART
 SLLS698

推奨動作条件

2.5 V $\pm 10\%$

	最小	標準	最大	単位
電源電圧 V_{CC}	2.25	2.5	2.75	V
入力電圧 V_I	0		V_{CC}	V
ハイレベル入力電圧、 V_{IH}	1.8		2.75	V
ローレベル入力電圧、 V_{IL}	-0.3		0.6	V
出力電圧、 V_O	0		V_{CC}	V
ハイレベル出力電流、 I_{OH} (すべての出力)			1	mA
ローレベル出力電流、 I_{OL} (すべての出力)			2	mA
発振 / クロック速度			16	MHz

3.3 V $\pm 10\%$

	最小	標準	最大	単位
電源電圧 V_{CC}	3	3.3	3.6	V
入力電圧 V_I	0		V_{CC}	V
ハイレベル入力電圧、 V_{IH}	0.7 V_{CC}			V
ローレベル入力電圧、 V_{IL}			0.3 V_{CC}	V
出力電圧、 V_O	0		V_{CC}	V
ハイレベル出力電流、 I_{OH} (すべての出力)			1.8	mA
ローレベル出力電流、 I_{OL} (すべての出力)			3.2	mA
発振 / クロック速度			20	MHz

5 V $\pm 10\%$

	最小	標準	最大	単位
電源電圧 V_{CC}	4.5	5	5.5	V
入力電圧 V_I	0		V_{CC}	V
ハイレベル入力電圧、 V_{IH}	XINを除く	2	0.7 V_{CC}	V
	XIN			
ローレベル入力電圧、 V_{IL}	XINを除く	0.8	0.3 V_{CC}	V
	XIN			
出力電圧、 V_O	0		V_{CC}	V
ハイレベル出力電流、 I_{OH} (すべての出力)			4	mA
ローレベル出力電流、 I_{OL} (すべての出力)			4	mA
発振 / クロック速度			24	MHz

推奨電源電圧および推奨動作温度範囲の電気的特性(特に記載のない限り)

2.5 V 公称値

パラメータ	テスト条件	最小	標準†	最大	単位
V_{OH}^{\ddagger} ハイ・レベル出力電圧	$I_{OH} = -1\text{ mA}$	1.8			V
V_{OL}^{\ddagger} ロー・レベル出力電圧	$I_{OL} = 2\text{ mA}$			0.5	V
I_i 入力電流	$V_{CC} = 3.6\text{ V}$ $V_{SS} = 0$ $V_i = 0 \sim 3.6\text{ V}$ 他のすべての端子は、フローティング			10	μA
I_{OZ} ハイ・インピーダンス出力電流	$V_{CC} = 3.6\text{ V}$ $V_{SS} = 0$ $V_o = 0 \sim 3.6\text{ V}$ 書き込みモードでチップを選択またはチップは、非選択。			± 20	μA
I_{CC} 電源電流	$V_{CC} = 3.6\text{ V}$ $T_A = 25^\circ\text{C}$ SIN, DSR, DCD, CTS および \overline{RI} は 2V 他のすべての入力は 0.8 V、XTAL1 は 4 MHz、出力に負荷無し、ボーレート = 50			8	mA
$C_i(\text{CLK})$ クロック入力容量	kbit/s		15	20	pF
$C_o(\text{CLK})$ クロック出力容量	$V_{CC} = 0$, $V_{SS} = 0$, $f = 1\text{ MHz}$ $T_A = 25^\circ\text{C}$		20	30	pF
C_i 入力容量	他のすべての端子はグラウンド接続		6	10	pF
C_o 出力容量			10	20	pF

† すべての標準値は $V_{CC} = 2.5\text{ V}$ および $T_A = 25^\circ\text{C}$ です。

‡ これらのパラメータは XOUT 以外のすべての出力に適用されます。

3.3 V 公称値

パラメータ	テスト条件	最小	標準†	最大	単位
V_{OH}^{\ddagger} ハイ・レベル出力電圧	$I_{OH} = -1.8\text{ mA}$	2.4			V
V_{OL}^{\ddagger} ロー・レベル出力電圧	$I_{OL} = 3.2\text{ mA}$			0.5	V
I_i 入力電流	$V_{CC} = 3.6\text{ V}$ $V_{SS} = 0$ $V_i = 0 \sim 3.6\text{ V}$ 他のすべての端子は、フローティング			10	μA
I_{OZ} ハイ・インピーダンス出力電流	$V_{CC} = 3.6\text{ V}$ $V_{SS} = 0$ $V_o = 0 \sim 3.6\text{ V}$ 書き込みモードでチップを選択またはチップは、非選択。			± 20	μA
I_{CC} 電源電流	$V_{CC} = 3.6\text{ V}$ $T_A = 25^\circ\text{C}$ SIN, DSR, DCD, CTS および \overline{RI} は 2V 他のすべての入力は 0.8 V、XTAL1 は 4 MHz、出力に負荷無し、ボーレート = 50 kbit/s			8	mA
$C_i(\text{CLK})$ クロック入力容量			15	20	pF
$C_o(\text{CLK})$ クロック出力容量	$V_{CC} = 0$, $V_{SS} = 0$, $f = 1\text{ MHz}$ $T_A = 25^\circ\text{C}$		20	30	pF
C_i 入力容量	他のすべての端子はグラウンド接続		6	10	pF
C_o 出力容量			10	20	pF

† すべての標準値は $V_{CC} = 3.3\text{ V}$ および $T_A = 25^\circ\text{C}$ です。

‡ これらのパラメータは XOUT 以外のすべての出力に適用されます。

TL16C550D
TL16C550DI
UART
SLLS698

推奨電源電圧および推奨動作温度範囲の電気的特性(特に記載のない限り)(続き)

5 V 公称値

パラメータ		テスト条件	最小	標準†	最大	単位
V_{OH}^{\ddagger}	ハイ・レベル出力電圧	$I_{OH} = -4\text{mA}$	4.0			V
V_{OL}^{\ddagger}	ロー・レベル出力電圧	$I_{OL} = 4\text{mA}$			0.4	V
I_i	入力電流	$V_{CC} = 5.25\text{V}$ $V_{SS} = 0$ $V_i = 0 \sim 5.25\text{V}$ 他のすべての端子は、フローティング			10	μA
I_{OZ}	ハイ・インピーダンス出力電流	$V_{CC} = 5.25\text{V}$ $V_{SS} = 0$ $V_o = 0 \sim 5.25\text{V}$ 書き込みモードでチップを選択またはチップは、非選択。			± 20	μA
I_{CC}	電源電流	$V_{CC} = 5.25\text{V}$ $T_A = 25^\circ\text{C}$ SIN, DSR, DCD, CTS および RI は 2V 他のすべての入力は 0.8 V、XTAL1 は 4 MHz、出力に負荷無し、ボーレート = 50			10	mA
$C_i(\text{CLK})$	クロック入力容量	kbit/s		15	20	pF
$C_o(\text{CLK})$	クロック出力容量	$V_{CC} = 0$, $V_{SS} = 0$, $f = 1\text{MHz}$ $T_A = 25^\circ\text{C}$		20	30	pF
C_i	入力容量	他のすべての端子はグラウンド接続		6	10	pF
C_o	出力容量			10	20	pF

† すべての標準値は $V_{CC} = 5\text{V}$ および $T_A = 25^\circ\text{C}$ です。

‡ これらのパラメータは XOUT 以外のすべての出力に適用されます。

推奨電源電圧および推奨動作温度範囲のシステム・タイミング条件

パラメータ	略号	図番	テスト条件	最小	最大	単位
t _{cR} サイクルタイム、読み取り(t _{w7} + t _{d8} + t _{d9})	RC			87		ns
t _{cW} サイクルタイム、書き込み(t _{w6} + t _{d5} + t _{d6})	WC			87		ns
t _{w1} パルス期間、クロック・ハイ	t _{XH}	5	f = 16 MHz Max, V _{CC} = 2.5V	25		ns
t _{w2} パルス期間、クロック・ロー	t _{XL}					
t _{w1} パルス期間、クロック・ハイ	t _{XH}	5	f = 20 MHz Max, V _{CC} = 3.3V	20		ns
t _{w2} パルス期間、クロック・ロー	t _{XL}					
t _{w1} パルス期間、クロック・ハイ	t _{XH}	5	f = 24 MHz Max, V _{CC} = 5V	18		ns
t _{w2} パルス期間、クロック・ロー	t _{XL}					
t _{w5} パルス期間、ADS ロー	t _{ADS}	6, 7		9		ns
t _{w6} パルス期間、WR	t _{WR}	6		40		ns
t _{w7} パルス期間、RD	t _{RD}	7		40		ns
t _{w8} パルス期間、MR	t _{MR}			1		μs
t _{su1} セットアップ時間、ADS ↑ 前に有効なアドレス	t _{AS}	6, 7		8		ns
t _{su2} セットアップ時間、ADS ↑ 前に有効な CS アドレス	t _{CS}					
t _{su3} セットアップ時間、WR1 ↑ または WR2 ↓ 前に有効なデータ	t _{DS}	6		15		ns
t _{su4} セットアップ時間、ストップビットの真ん中前の CTS ↑		17		10		ns
t _{h1} ホールド時間、ADS ↑ 後のアドレス・ロー	t _{AH}	6, 7		0		ns
t _{h2} ホールド時間、ADS ↑ 後に有効な CS	t _{CH}					
t _{h3} ホールド時間、WR1 ↑ または WR2 ↓ 後に有効な CS	t _{WCS}	6		10		ns
t _{h4} ホールド時間、WR1 ↑ または WR2 ↓ 後に有効なアドレス	t _{WA}					
t _{h5} ホールド時間、WR1 ↑ または WR2 ↓ 後に有効なデータ	t _{DH}	6		5		ns
t _{h6} ホールド時間、RD1 ↑ または RD2 ↓ 後に有効な CS	t _{RCS}	7		10		ns
t _{h7} ホールド時間、RD1 ↑ または RD2 ↓ 後に有効なアドレス	t _{RA}	7		20		ns
t _{d4} † 遅延時間、WR1 ↑ または WR2 ↓ 前に有効な CS	t _{CSW}	6		7		ns
t _{d5} † 遅延時間、WR1 ↑ または WR2 ↓ 前に有効なアドレス	t _{AW}					
t _{d6} † 遅延時間、ライトサイクル、ADS ↓ に対する WR1 ↑ または WR2 ↓	t _{WC}	6		40		ns
t _{d7} † 遅延時間、RD1 ↓ または RD2 ↑ への有効な CS	t _{CSR}	7		7		ns
t _{d8} † 遅延時間、RD1 ↓ または RD2 ↑ への有効なアドレス	t _{AR}					
t _{d9} 遅延時間、リードサイクル、ADS ↓ に対する RD1 ↑ または RD2 ↓	t _{RC}	7		40		ns
t _{d10} 遅延時間、有効データへの RD1 ↓ または RD2 ↑	t _{RVD}	7	C _L = 75 pF	45		ns
t _{d11} 遅延時間、フローティングデータへの RD1 ↑ または RD2 ↓	t _{HZ}	7	C _L = 75 pF	20		ns

† ADS が低い場合のみ適用します。

推奨電源電圧および推奨動作温度範囲のシステム・スイッチング特性(注 2 参照)

パラメータ	略号	図番	テスト条件	最小	最大	単位
t _{dis(R)} ディスインーブル時間、DDIS ↑ ↓ への RD1 ↓ ↑ または RD2 ↑ ↓	t _{RDD}	7	C _L = 75 pF	20		ns

注 2: 充電・放電時間は V_{OL}、V_{OH}、および外部負荷で決まります。

TL16C550D
TL16C550DI
UART
SLLS698

推奨電源電圧および推奨動作温度範囲および $C_L=75\text{pF}$ でのボー・ジェネレータのスイッチング特性(PT および PFB パッケージのみ)

パラメータ	略号	図番	テスト条件	最小	最大	単位
t_{w3} パルス期間、BAUDOUT ロー	t_{LW}	5	$f = 24\text{ MHz}$, $\text{CLK} \div 2$, $V_{CC} = 5\text{V}$	35		ns
t_{w4} パルス期間、BAUDOUT ハイ	t_{HW}	5				
t_{d1} 遅延時間、XIN ↑ に対する BAUDOUT ↑	t_{BLD}	5			45	ns
t_{d1} 遅延時間、XIN ↓ に対する BAUDOUT ↓	t_{BHD}	5			45	ns

推奨電源電圧および推奨動作温度範囲でのレシーバのスイッチング特性(注 3 参照)

パラメータ	略号	図番	テスト条件	最小	最大	単位
t_{d12} 遅延時間、RCLK に対する サンプル	t_{SCD}	8			10	ns
t_{d13} 遅延時間、Stop から INTRPT または RBR 読み取りから LSI 割り込み、Stop から RXRDY ↓	t_{SINT}	8, 9, 10, 11, 12			1	RCLK サイクル
t_{d14} 遅延時間、RBR/LSR 読み取りから INTRPT のリセット	t_{RINT}	8, 9, 10, 11, 12	$C_L = 75\text{ pF}$		70	ns

注 3: FIFO モードでは、受信 FIFO および ステータス レジスタ (割り込み識別レジスタまたはライン・ステータス・レジスタ) の読み取りサイクル(RC) = 425 ns (min)。

推奨電源電圧および推奨動作温度範囲でのトランスミッタのスイッチング特性

パラメータ	略号	図番	テスト条件	最小	最大	単位
t_{d15} 遅延時間、初期書き込みから送信開始	t_{IRS}	13		8	24	ボーアウト・サイクル
t_{d16} 遅延時間、INTRPT 開始	t_{STI}	13		8	10	ボーアウト・サイクル
t_{d17} 遅延時間、 $\overline{\text{WRT}}$ (WR THR) から INTRPT をリセット	t_{HR}	13	$C_L = 75\text{ pF}$		50	ns
t_{d18} 遅延時間、初期書き込みから INTRPT (THRE †)	t_{SI}	13		16	34	ボーアウト・サイクル
t_{d19} 遅延時間、IIR † 読み取りから INTRPT (THRE †) をリセット	t_{IR}	13	$C_L = 75\text{ pF}$		35	ns
t_{d20} 遅延時間、書き込みから TXRDY 非アクティブ	t_{WXI}	14, 15	$C_L = 75\text{ pF}$		35	ns
t_{d21} 遅延時間、書き込み開始から TXRDY アクティブ	t_{SXA}	14, 15	$C_L = 75\text{ pF}$		9	ボーアウト・サイクル

† THRE = トランスミッタ・ホールディング・レジスタ・エンブティ、IIR = 割り込み識別レジスタ

推奨電源電圧および推奨動作温度範囲の特徴を切り替えるモデム制御、 $C_L=75\text{pF}$

パラメータ	略号	図番	最小	最大	単位
t_{d22} 遅延時間、WR2 MCR から OUTPUT	t_{MDO}	16		50	ns
t_{d23} 遅延時間、モデム割り込みから INTRPT セット	t_{SIM}	16		35	ns
t_{d24} 遅延時間、RD2 MSR から INTRPT リセット	t_{RIM}	16		40	ns
t_{d25} 遅延時間、 \overline{CTS} ローから SOUT ↓		17		24	ポーアウト・サイクル
t_{d26} 遅延時間、RCV 閾値バイトから \overline{RTS} ↑		18		2	ポーアウト・サイクル
t_{d27} 遅延時間、受信 FIFO の最終バイトの読み取りから RTS ↓		18		2	ポーアウト・サイクル
t_{d28} 遅延時間、16 番目のキャラクタの最初のデータビットから RTS ↑		19		2	ポーアウト・サイクル
t_{d29} 遅延時間、RBR リードから \overline{RTS} ↓		19		2	ポーアウト・サイクル

パラメータ測定情報

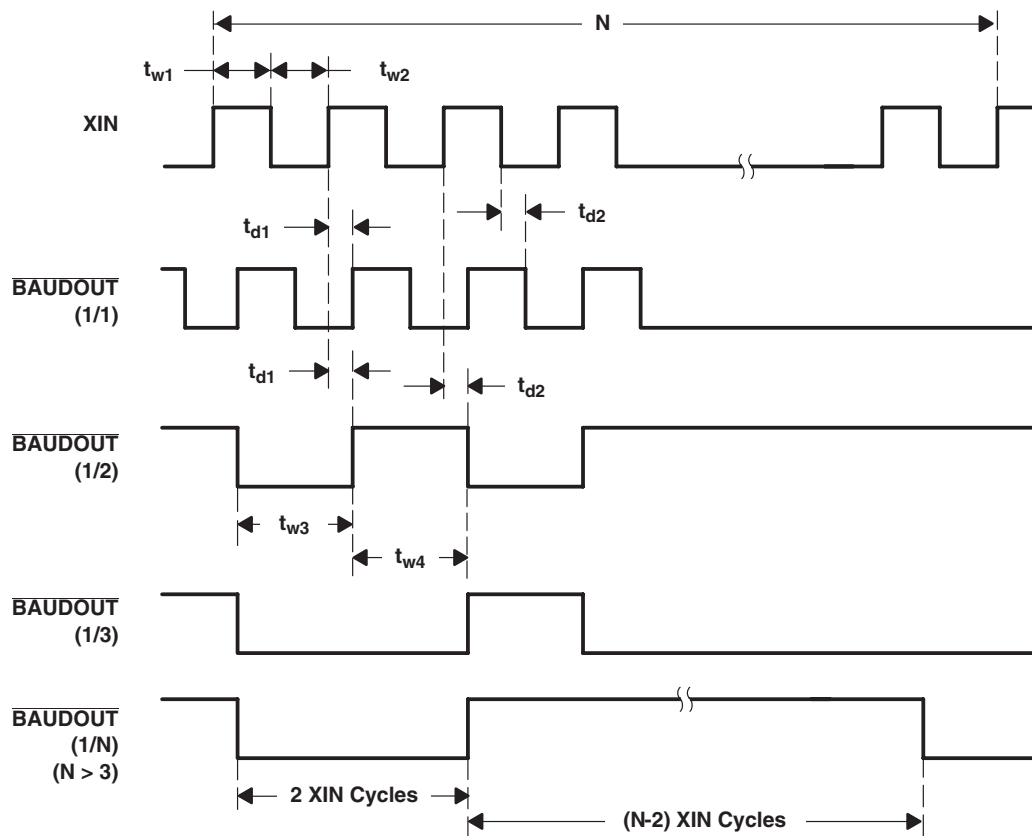
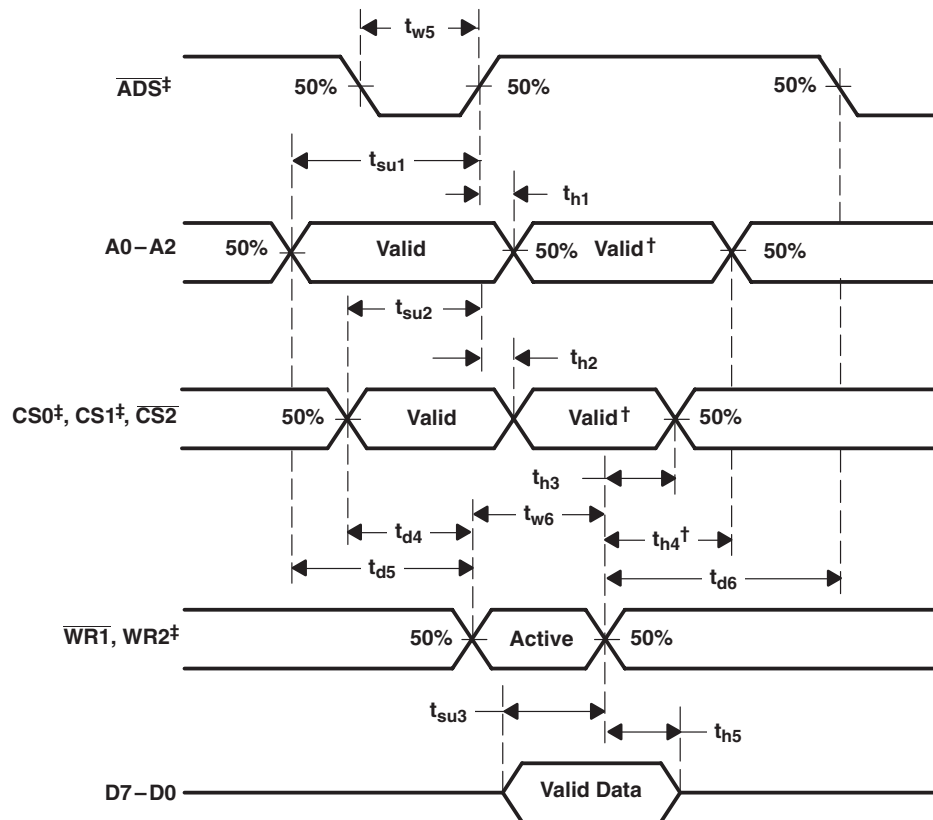


図 5. ボー・ジェネレータ・タイミング波形(PT および PFB パッケージのみ)

パラメータ測定情報

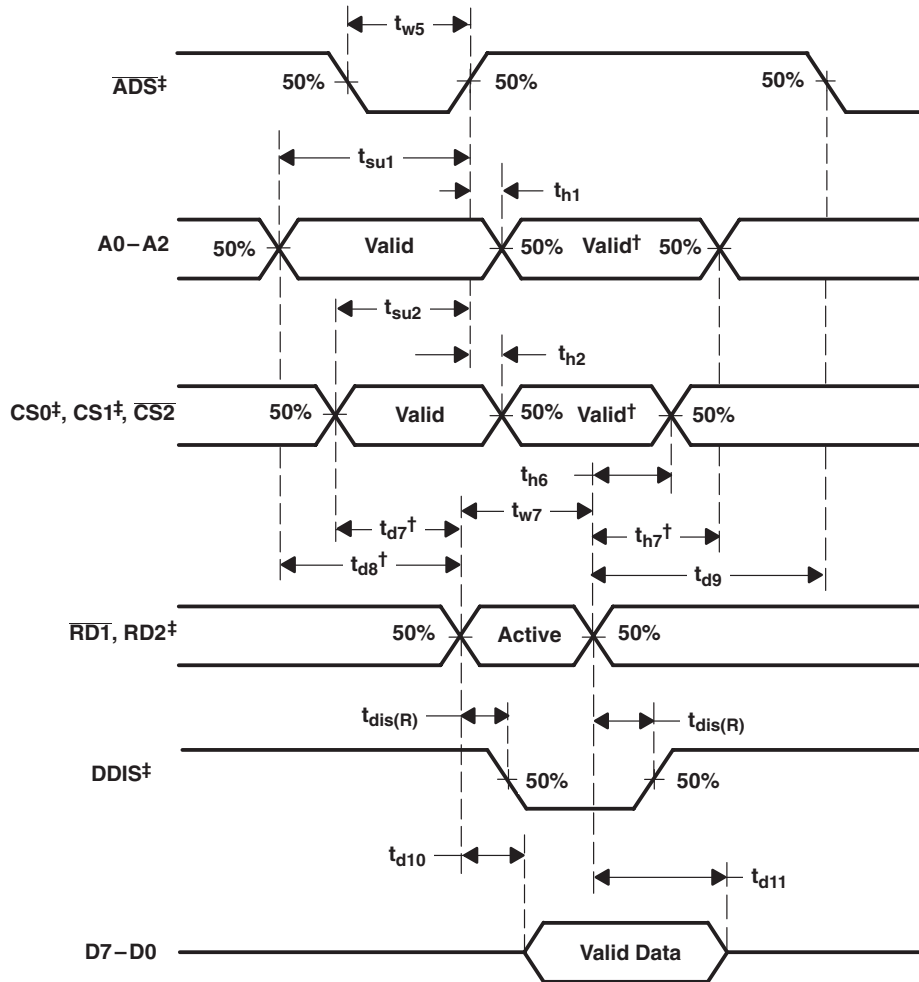


† \overline{ADS} がローの時にのみ適用されます。

‡ \overline{ADS} , $CS0$, $CS1$ および $\overline{WR2}$ 信号は、PT および PFB パッケージにのみ適用されます。

図 6. 書き込みサイクル・タイミング波形

パラメータ測定情報

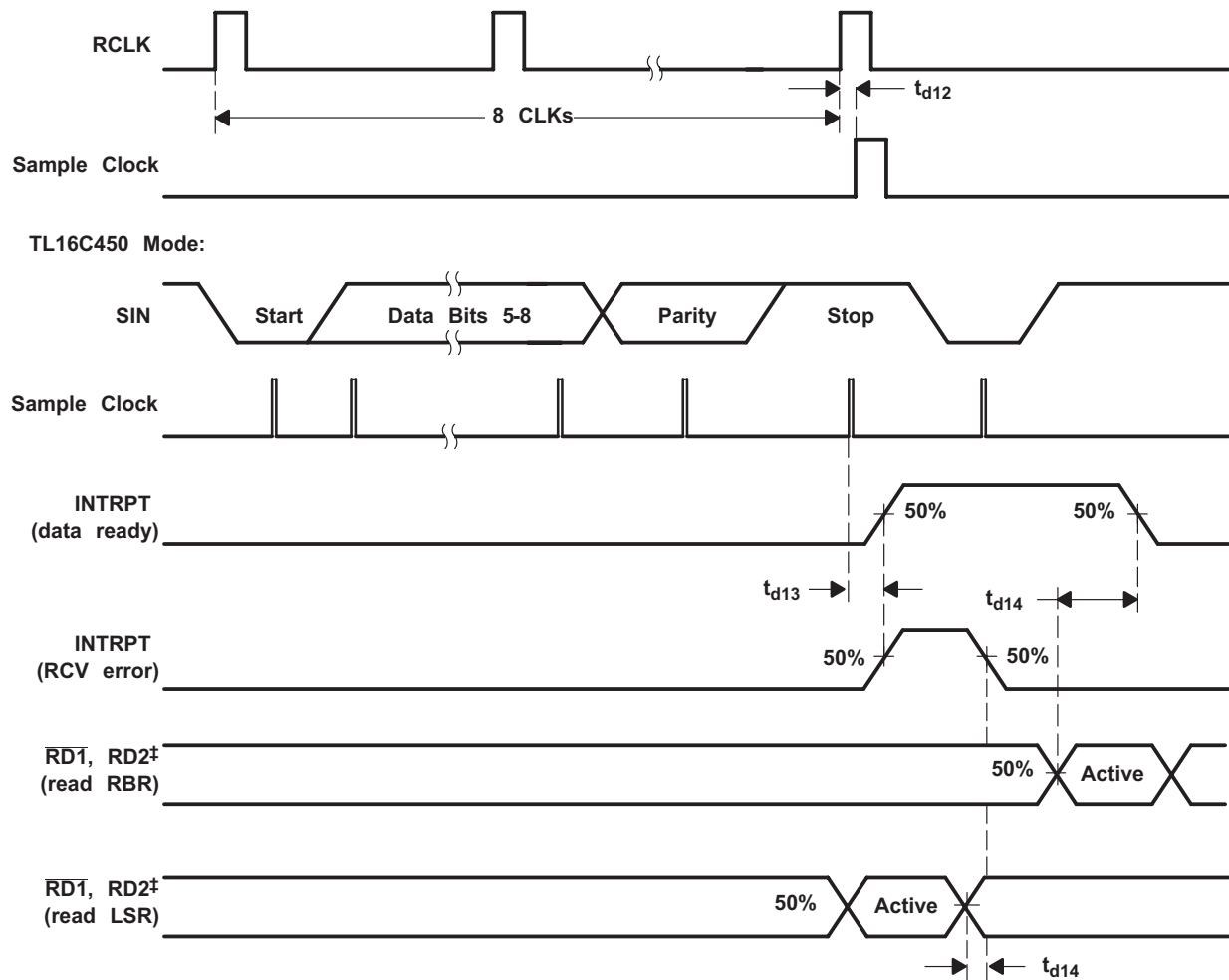


† \overline{ADS} がローの時にのみ適用されます。

‡ \overline{ADS} , $CS0$, $CS1$, $DDIS$ および $RD2$ 信号は、PT および PFB パッケージにのみ適用されます。

図 7. 読み取りサイクル・タイミング波形

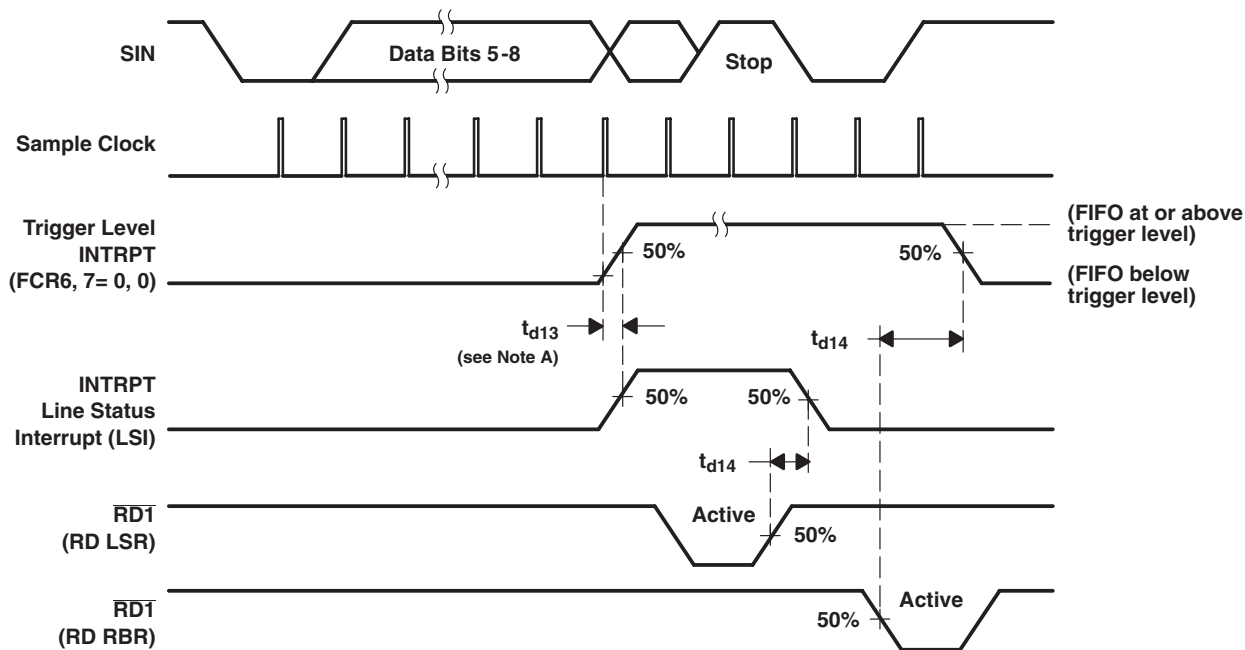
パラメータ測定情報



† RD2 信号は、PT および PFB パッケージにのみ適用されます。

図 8. レシーバ・タイミング波形

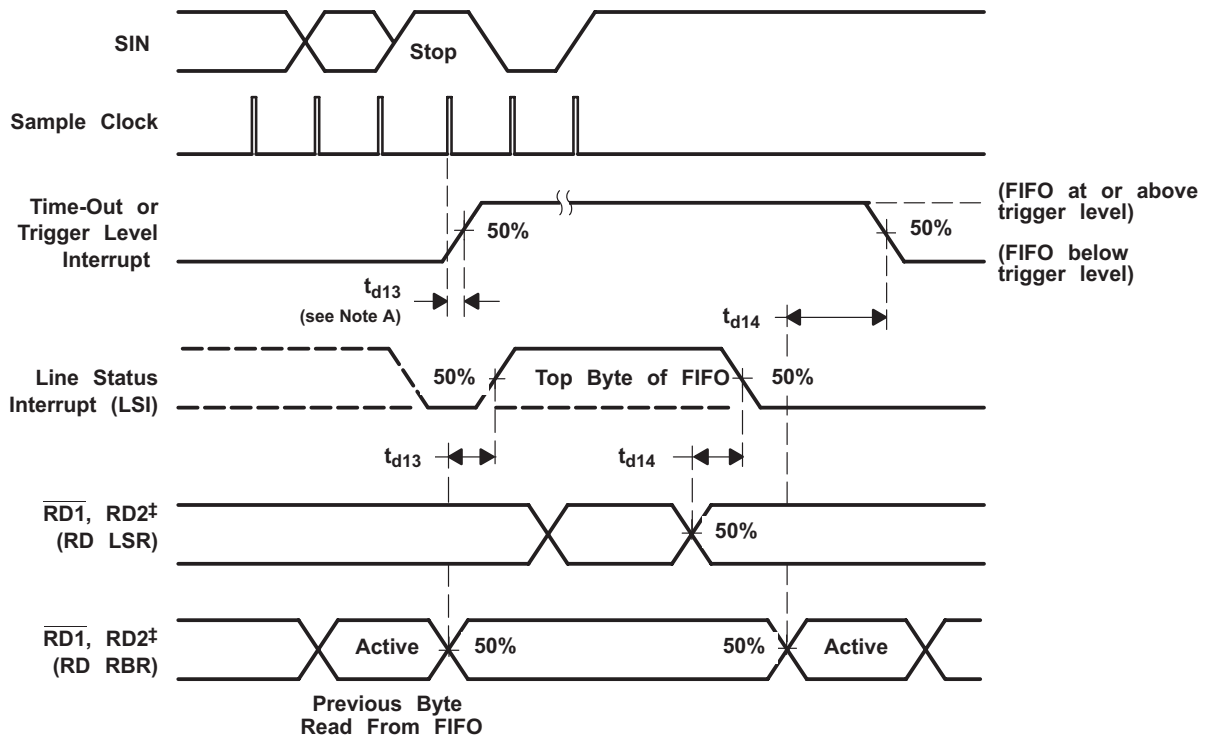
パラメータ測定情報



注 A: タイムアウト割り込みについて、 $t_{d13} = 9 \text{ RCLKs}$.

図 9. 受信 FIFO ファースト・バイト(DR ビットセット) 波形

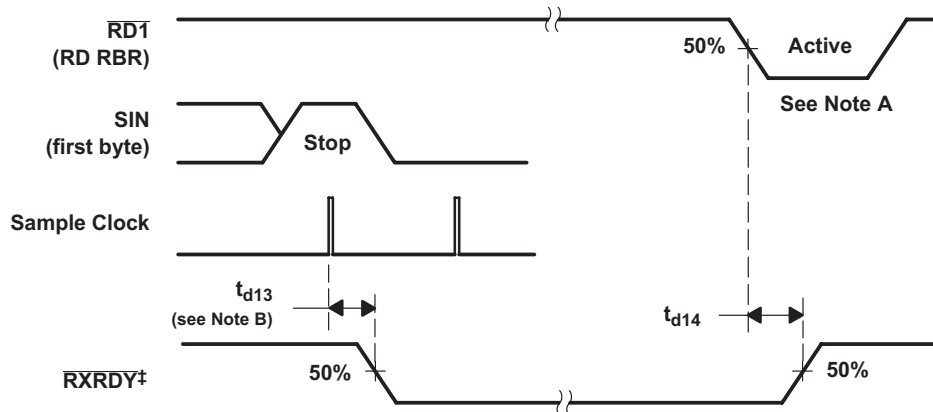
パラメータ測定情報



† RD2 信号は、PT および PFB パッケージにのみ適用されます。

注 A: タイムアウト割り込みについて、 $t_{d13} = 9$ RCLKs.

図 10. ファーストバイト以外の受信 FIFO バイト(すでに設定済みの DR 内部ビット)波形



† RXRDY 信号は、PT および PFB パッケージにのみ適用されます。

注: A. これは、FIFO の最後のバイトの読み取りです。

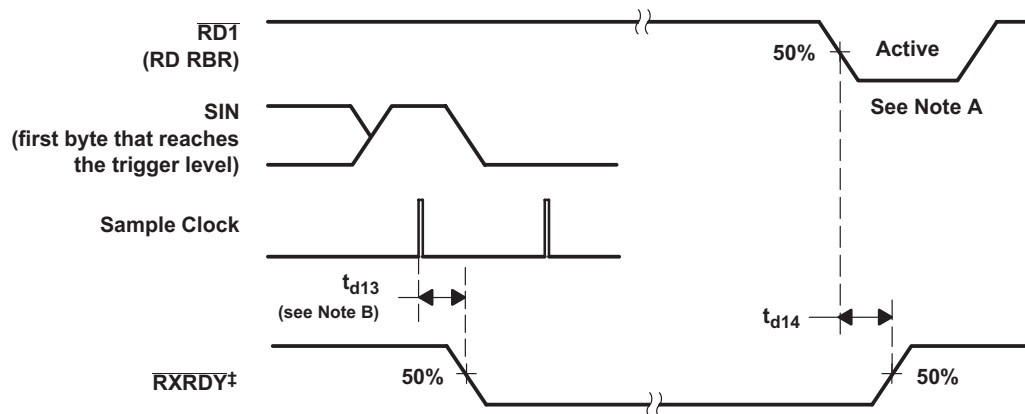
B: タイムアウト割り込みについて、 $t_{d13} = 9$ RCLKs.

図 11. レシーバ・レディ (RXRDY) 波形、FCR0 = 0 または FCR0 = 1 および FCR3 = 0 (モード 0)

TL16C550D TL16C550DI UART

SLLS698

パラメータ測定情報



† RXRDY 信号は、PT および PFB パッケージにのみ適用されます。

注: A. これは、FIFO の最後のバイトの読み取りです。

B: タイムアウト割り込みについて、 $t_{d13} = 9$ RCLKs.

図 12. レシーバ・レディ (RXRDY) 波形、FCR0 = 1 および FCR3 = 1 (モード 1)

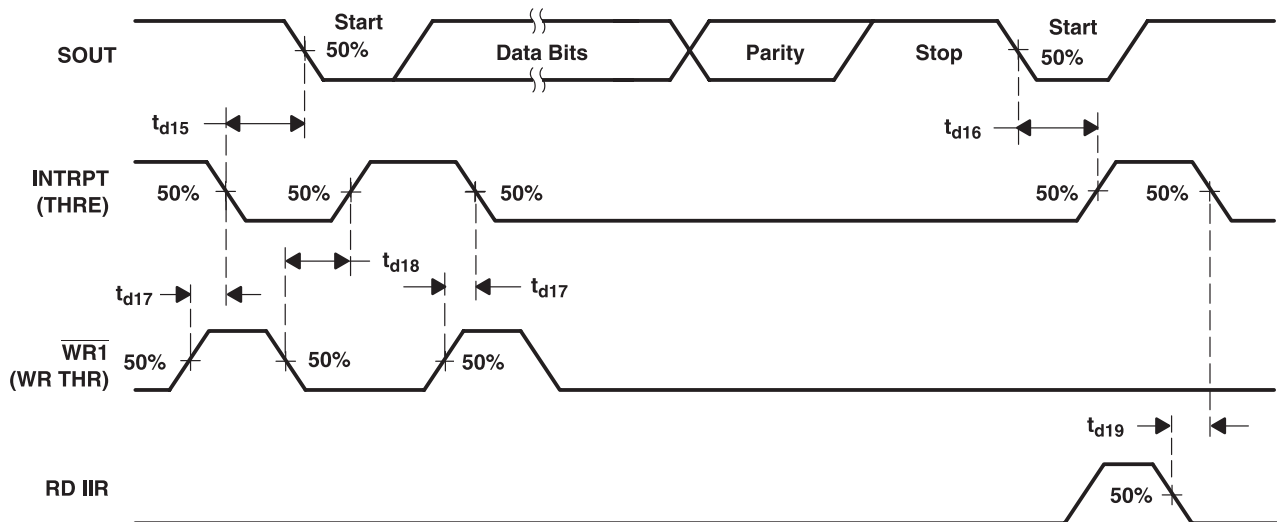
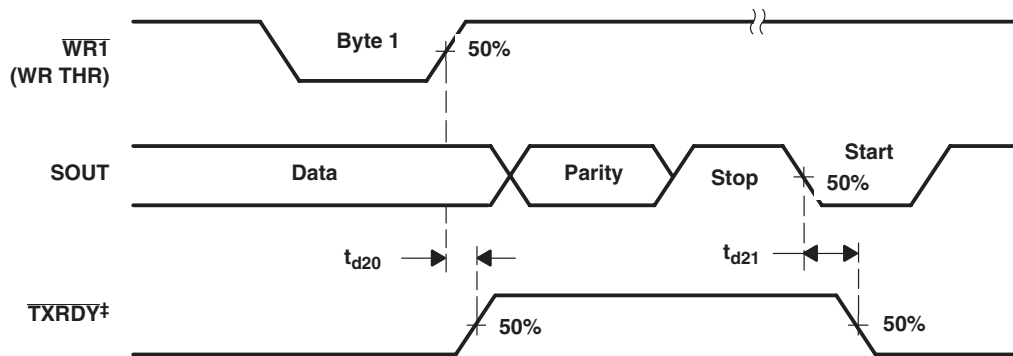


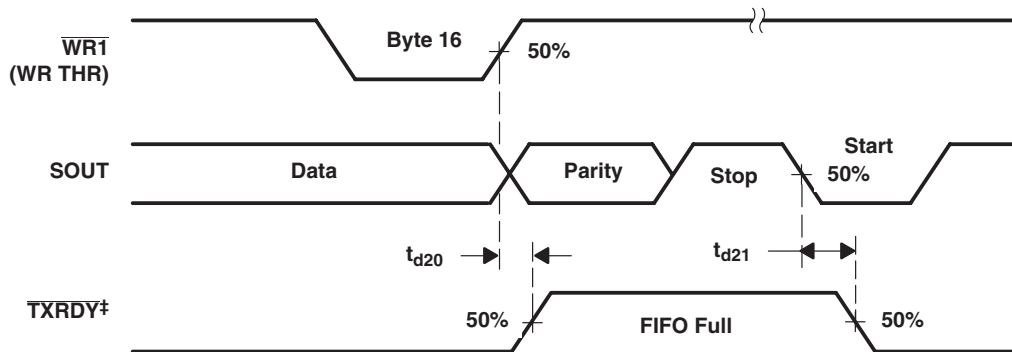
図 13. トランスミッタ・タイミング波形

パラメータ測定情報



‡ TXRDY 信号は、PT および PFB パッケージにのみ適用されます。

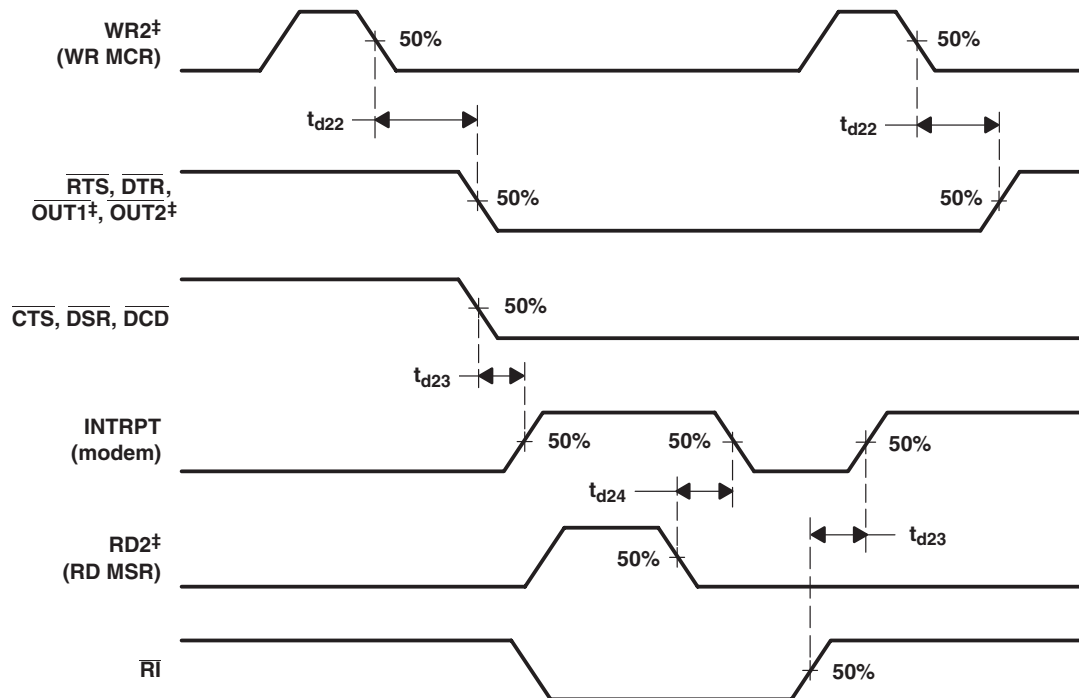
図 14. トランスミッタ・レディ(TXRDY)波形、
FCRO = 0 または FCRO = 1 および FCR3 = 0 (モード 0)



‡ TXRDY 信号は、PT および PFB パッケージにのみ適用されます。

図 15. トランスミッタ・レディ(TXRDY)波形、FCRO = 1 および FCR3 = 1 (モード 1)

パラメータ測定情報



† $\overline{OUT1}$ 、 $\overline{OUT2}$ 、 $\overline{RD2}$ および $\overline{WR2}$ 信号は、PT および PFB パッケージにのみ適用されます。

図 16. モデム制御タイミング波形

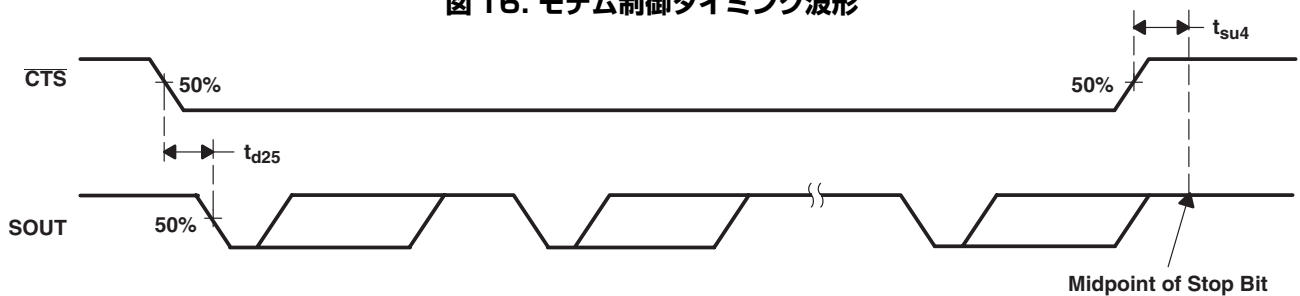


図 17. \overline{CTS} および SOUT 自動フロー制御タイミング(開始およびストップ)波形

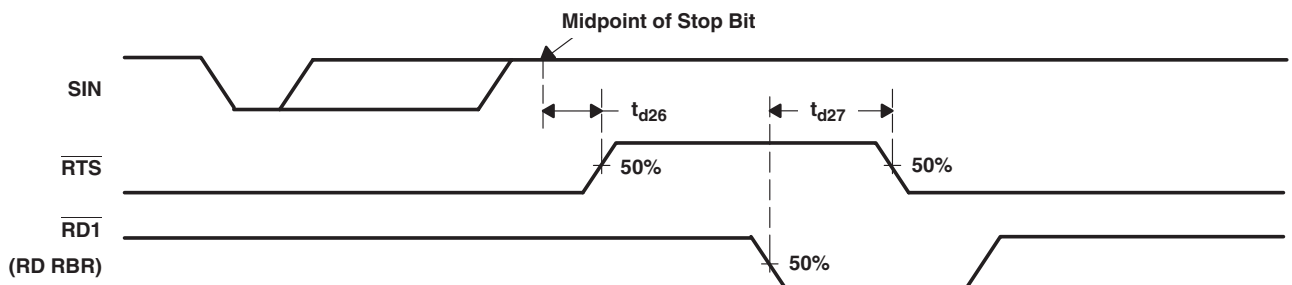


図 18. RCV 閾値 1、4、または 8 の時の自動 \overline{RTS} タイミング波形

パラメータ測定情報

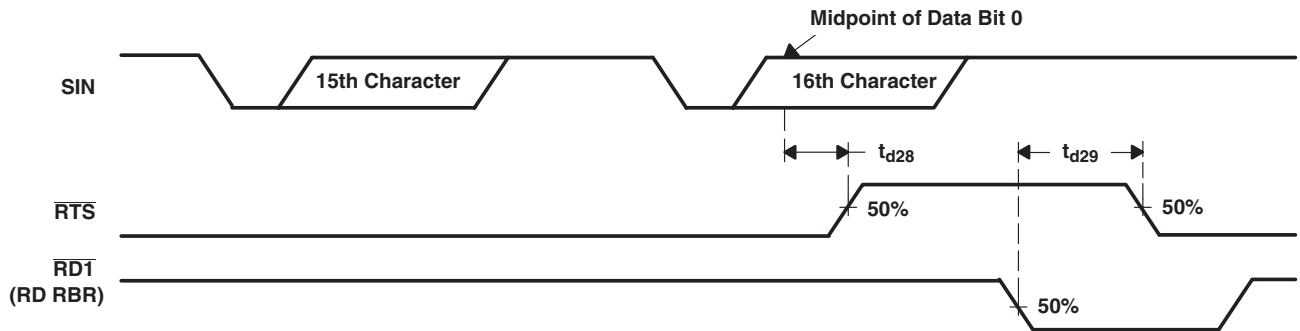


図 19. RCV 閾値 14 の時の自動-RTS タイミング波形

アプリケーション情報

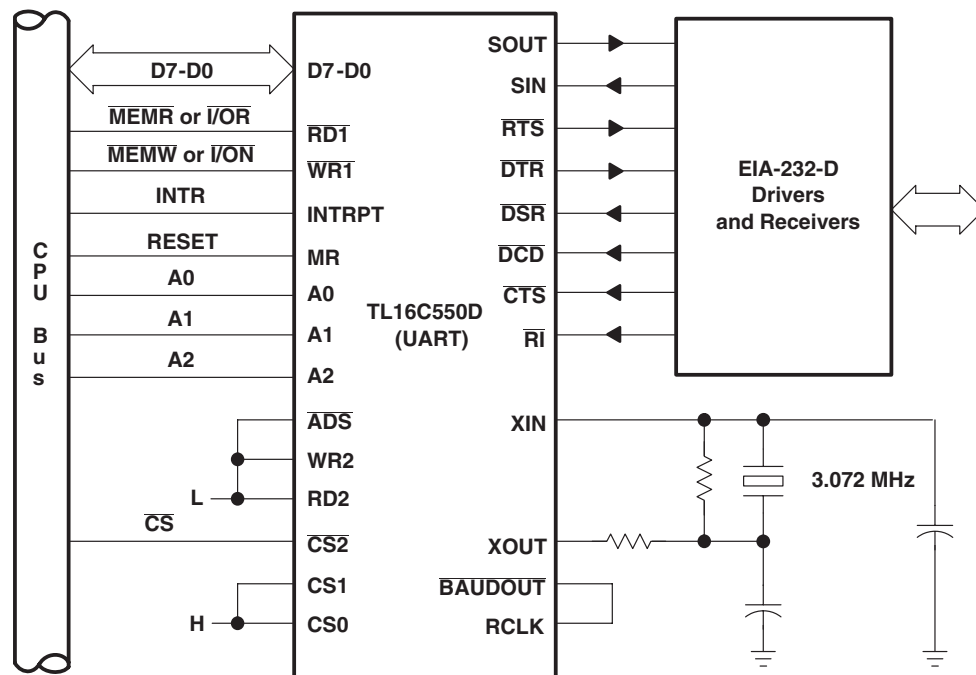


図 20. 基本 TL16C550D コンフィギュレーション (PT および PFB パッケージ用)

TL16C550D
TL16C550DI
UART

SLLS698

アプリケーション情報

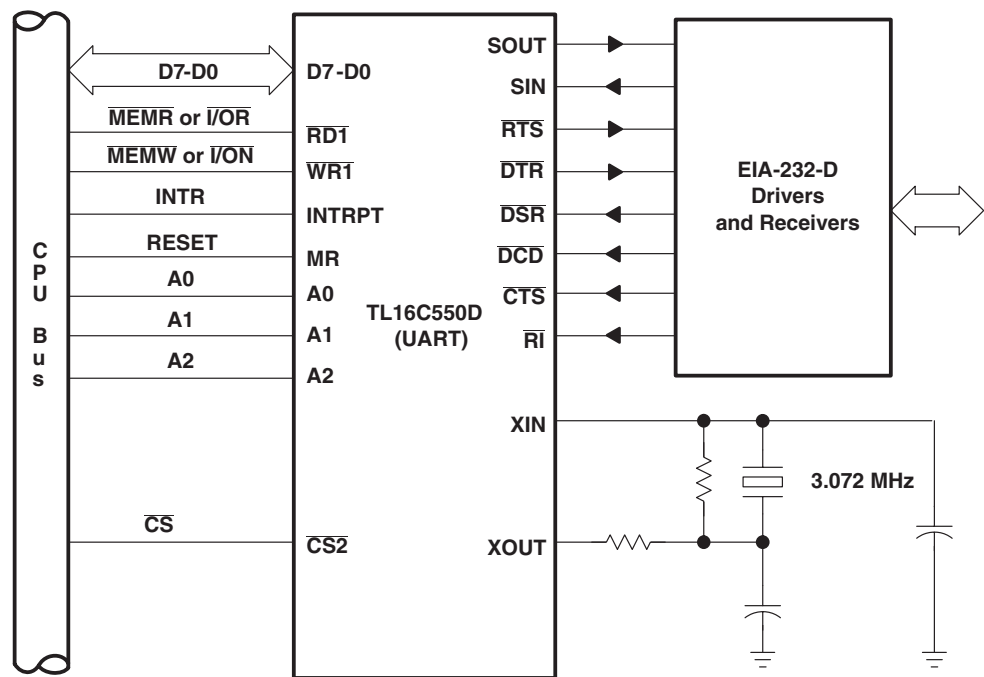


図 21. 基本 TL16C550D コンフィギュレーション(RHB パッケージ用)

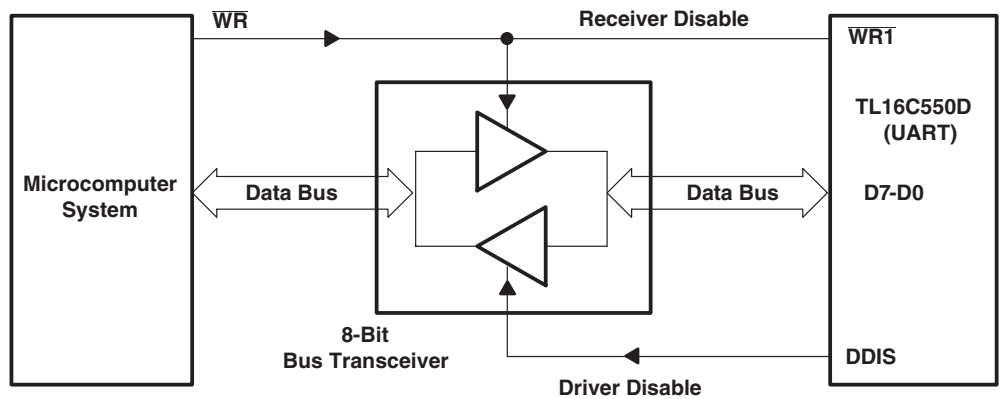


図 22. 高負荷データバスの代表的なインタフェース例

アプリケーション情報

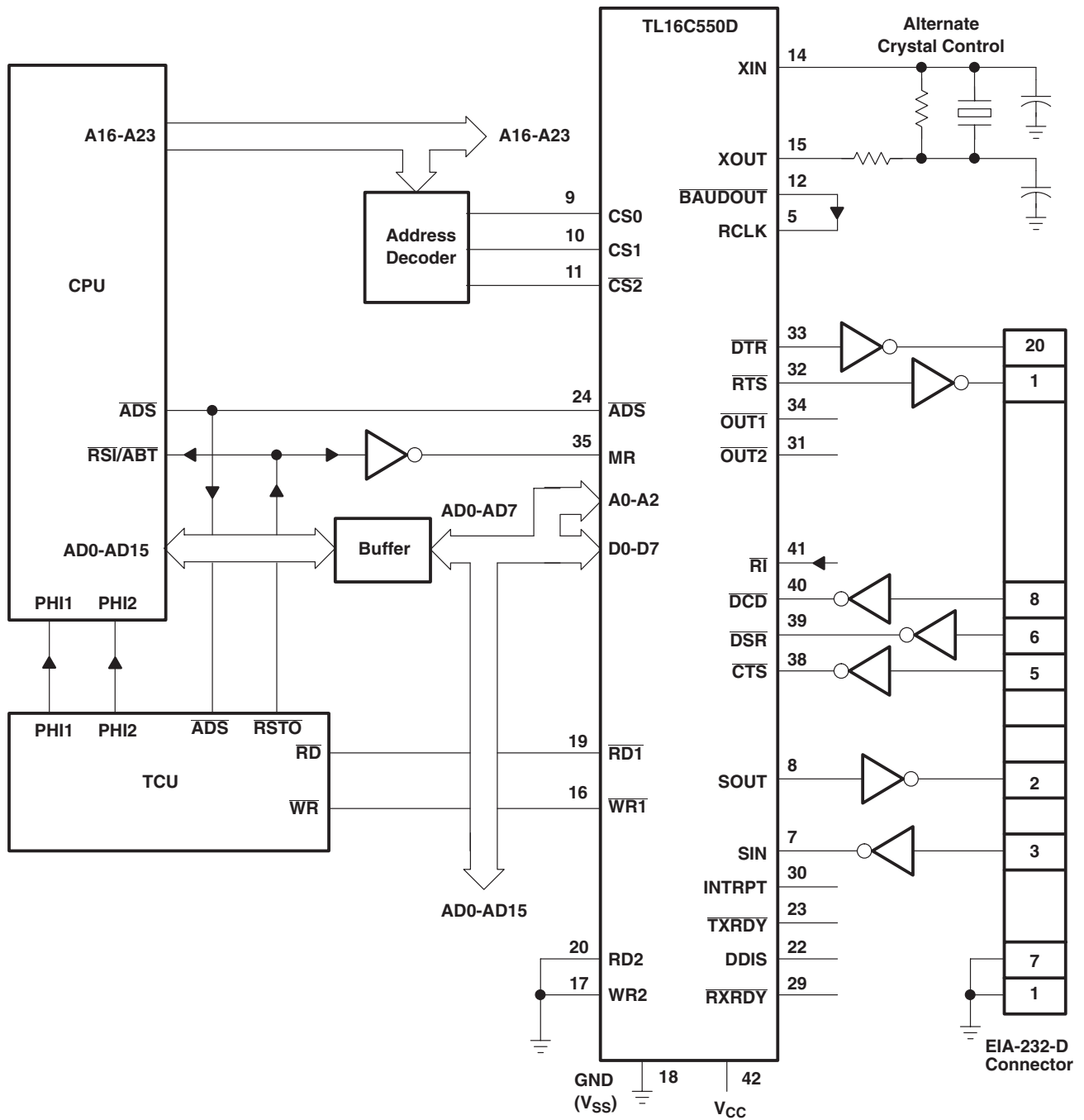


図 23. TL16C550D の CPU への代表的な接続例 (PT および PFB パッケージ用)

アプリケーション情報

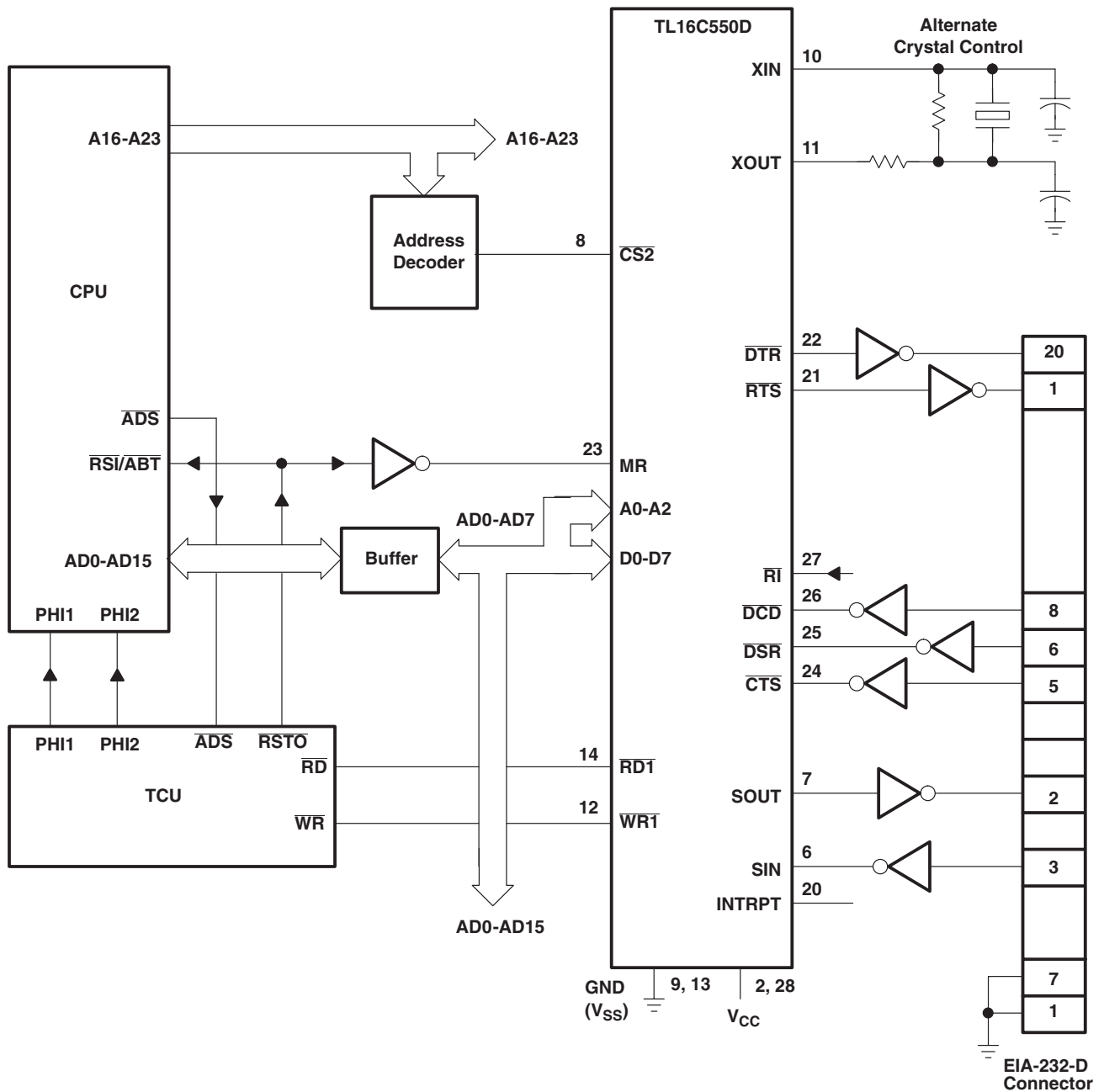


図 24. TL16C550D の CPU への代表的な接続例(RHB パッケージ用)

操作方法

表 1. レジスタ選択

DLAB [†]	A2	A1	A0	レジスタ
0	L	L	L	レシーバ・バッファ(読み取り)、トランスミッタ・ホールディング・レジスタ(書き込み)
0	L	L	H	割り込みイネーブルレジスタ
×	L	H	L	割り込み識別レジスタ(読み取り)
×	L	H	L	FIFO 制御レジスタ(書き込み)
×	L	H	H	ライン制御レジスタ
×	H	L	L	モデム制御レジスタ
×	H	L	H	ライン・ステータス・レジスタ
×	H	H	L	モデム・ステータス・レジスタ
×	H	H	H	スクラッチ・レジスタ
1	L	L	L	ディバイザ・ラッチ(LSB)
1	L	L	H	ディバイザ・ラッチ(MSB)

† ディバイザ・ラッチ・アクセスビット(DLAB)は、ライン制御レジスタのMSBビットです。このビットへ書き込むことでDLAB信号は、制御されます。(表3参照)。

表 2. UART リセット機能

レジスタ/信号	リセット制御	リセット時の状態
割り込みイネーブルレジスタ	マスター・リセット	すべてのビットがクリアされます(0-3 強制および 4-7 常に 0)
割り込み認識レジスタ	マスター・リセット	ビット0が設定され、ビット1、2、3、6、および7がクリアされ、ビット4-5は常に0。
FIFO 制御レジスタ	マスター・リセット	すべてのビットがクリアされます。
ライン制御レジスタ	マスター・リセット	すべてのビットがクリアされます。
モデム制御レジスタ	マスター・リセット	すべてのビットがクリアされます。(6-7 は常に 0)
ライン・ステータス・レジスタ	マスター・リセット	ビット5および6がセットされ、他のすべてのビットがクリアされる。
モデム・ステータス・レジスタ	マスター・リセット	ビット0-3はクリアされる。ビット4-7は入力信号です。
SOUT	マスター・リセット	ハイ
INTRPT (レシーバ・エラー・フラグ)	LSR/MR 読み取り	ロー
INTRPT (受信データ在り)	RBR/MR 読み取り	ロー
INTRPT (トランスミッタ・ホールディング・レジスタ・エンプティ)	IR 読み取り / THR/MR 書き込み	ロー
INTRPT (モデム・ステータス変化)	MSR/MR 読み取り	ロー
OUT2	マスター・リセット	ハイ
RTS	マスター・リセット	ハイ
DTR	マスター・リセット	ハイ
OUT1	マスター・リセット	ハイ
スクラッチ・レジスタ	マスター・リセット	変化無し
ディバイザ・ラッチ(LSBおよびMSB)レジスタ	マスター・リセット	変化無し
レシーバ・バッファ・レジスタ	マスター・リセット	変化無し
トランスミッタ・ホールディング・レジスタ	マスター・リセット	変化無し
RCVR FIFO	MR/FCR1- FCRO/ΔFCRO	すべてのビットがクリアされます。
XMIT FIFO	MR/FCR2- FCRO/ΔFCRO	すべてのビットがクリアされます。

操作方法

アクセス可能レジスタ

CPU を使用するシステム・プログラマは、表 2 でまとめた UART レジスタへのアクセスと制御を行います。これらのレジスタは UART 動作、受信データ、送信データを制御します。これらのレジスタを表 3 にまとめます。

表 3. アクセス可能レジスタ要約

ビット 番号	レジスタ・アドレス											
	0 DLAB = 0	0 DLAB = 0	1 DLAB = 0	2	2	3	4	5	6	7	0 DLAB = 1	1 DLAB = 1
	レシーバ・ バッファ・ レジスタ (読み取りのみ)	トランスミッタ・ ホールディング・ レジスタ (書き込みのみ)	割り込み イネーブル レジスタ	割り込み 識別 レジスタ (読み取りのみ)	FIFO 制御 レジスタ (書き込みのみ)	ライン制御 レジスタ	モデム制御 レジスタ	ライン・ ステータス・ レジスタ	モデム・ ステータス・ レジスタ	スクラッチ・ レジスタ	ディバイザ・ ラッチ(LSB)	ディバイザ・ ラッチ(MSB)
	RBR	THR	IER	IIR	FCR	LCR	MCR	LSR	MSR	SCR	DLL	DLM
0	データ ビット 0 †	データ ビット 0	受信データ 在り割り込み イネーブル (ERBI)	0 の場合 ペンディング 割り込み 在り	FIFO イネーブル	ワード長 選択 ビット 0 (WLS0)	データ・ ターミナル・ レディ (DTR)	データ・ レディ (DR)	デルタ送信 クリア (Δ CTS)	ビット 0	ビット 0	ビット 8
1	データ ビット 1	データ ビット 1	トランスミッタ・ ホールディング・ レジスタ・ エンプティ 割り込み イネーブル (ETBEI)	割り込み ID ビット 1	レシーバ FIFO リセット	ワード長 選択 ビット 1 (WLS1)	送信 リクエスト (RTS)	オーバーラン・ エラー (OE)	デルタ・ データ 設定レディ (Δ DSR)	ビット 1	ビット 1	ビット 9
2	データ ビット 2	データ ビット 2	レシーバライン・ ステータス 割り込み イネーブル (ELSI)	割り込み ID ビット 2	トランスミッタ FIFO リセット	ストップ・ ビット数 (STB)	OUT1	パリティ・ エラー (PE)	トレーニング・ エッジリング・ インジケータ (TERI)	ビット 2	ビット 2	ビット 10
3	データ ビット 3	データ ビット 3	モデム・ ステータス 割り込み イネーブル (EDSSI)	割り込み ID ビット 3 (注意 4 参照)	DMA モード選択	パリティ・ イネーブル 許可 (PEN)	OUT2	フレーミング・ エラー (FE)	デルタ・ データ・ キャリア検出 (Δ DCD)	ビット 3	ビット 3	ビット 11
4	データ ビット 4	データ ビット 4	0	0	予約	偶数 パリティ 選択 (EPS)	ループ	ブレーク 割り込み (BI)	送信クリア (CTS)	ビット 4	ビット 4	ビット 12
5	データ ビット 5	データ ビット 5	0	0	予約	スティック・ パリティ	自動フロー 制御 イネーブル (AFE)	トランスミッタ・ ホールディング・ レジスタ (THRE)	データ設定 レディ (DSR)	ビット 5	ビット 5	ビット 13
6	データ ビット 6	データ ビット 6	0	FIFO 使用 イネーブル (注 4 参照)	レシーバ・ トリガー (LSB)	ブレーク 制御	0	送信エンプティ (TEMT)	リング・ インジケータ (RI)	ビット 6	ビット 6	ビット 14
7	データ ビット 7	データ ビット 7	0	FIFO 使用 イネーブル (注 4 参照)	レシーバ・ トリガー (MSB)	ディバイザ・ ラッチ・ アクセス ビット (DLAB)	0	RCVR FIFO エラー (注意 4 参照)	データ・ キャリア検出 (DCD)	ビット 7	ビット 7	ビット 15

† ビット 0 が LSB ビットです。送信または受信される最初のビットです。
注 4: これらのビットは、TL16C450 モードでは必ず 0 です。

操作方法

FIFO 制御レジスタ(FCR)

FCR は、読み取り専用の IIR と同じアドレスにある、書き込み専用のレジスタです。FCR で FIFO をイネーブルやクリアしたり、レシーバ FIFO トリガー・レベルを設定、DMA 信号タイプを選択します。

- ビット 0: このビットは、設定時、トランスミッタおよびレシーバ FIFO をイネーブルします。他の FCR ビットに書き込むためには、ビット 0 を設定することが必要です。そうでなければ、プログラムすることができません。このビットを変更することで、FIFO をクリアします。
- ビット 1: このビットをセットするとレシーバ FIFO の全バイトがクリアされ、そのカウンタもクリアされます。シフトレジスタはクリアされません。このビットに書き込まれた 1 は、セルフクリアします。
- ビット 2: このビットをセットすると送信 FIFO の全バイトがクリアされ、そのカウンタもクリアされます。シフトレジスタはクリアされません。このビットに書き込まれた 1 は、セルフクリアします。
- ビット 3: FCR0 が 1 にセットされた場合、FCR3 を 1 にすると、RXRDY および TXRDY がレベル 0 からレベル 1 に変わります。
- ビット 4 および 5: これら二つのビットは、将来の使用に備えて予約されています。
- ビット 6 および 7: これら二つのビットは、レシーバ FIFO 割り込みのトリガー・レベルを設定します（表 4 参照）。

表 4. レシーバ FIFO トリガー・レベル

ビット 7	ビット 6	レシーバ FIFO トリガー・レベル (バイト)
0	0	01
0	1	04
1	0	08
1	1	14

FIFO 割り込みモード操作

レシーバ FIFO とレシーバ割り込みがイネーブルされた場合 (FCR0 = 1、IER0 = 1、IER2 = 1)、レシーバ割り込みは以下のように起こります。

1. FIFO がプログラムされたトリガー・レベルに達すると、受信データ在り割り込みが、マイクロプロセッサに対して起こります。FIFO がプログラムしたトリガー・レベルより落ちるとクリアされます。
2. 同様に FIFO トリガー・レベルに達すると、IIR 受信データ在りも表示されます。割り込みの場合と同様に、FIFO がトリガー・レベルより落ちるとクリアされます。
3. レシーバ・ライン・ステータス割り込み (IIR=06) は、受信データ在り (IIR=04) 割り込みより優先順位が高く設定されています。
4. キャラクタがシフト・レジスタからレシーバ FIFO へ送信されると、データ・レディ・ビット (LSRD) がセットされます。FIFO がエンプティになるとクリアされます。

操作方法

FIFO 割り込みモード操作（続き）

レシーバ FIFO とレシーバ割り込みがイネーブルの場合

1. 以下の条件で、FIFO タイムアウト割り込みが起こります。
 - a. 少なくともひとつのキャラクタが FIFO にある。
 - b. 最新のシリアル・キャラクタは、連続する 4 回のキャラクタ時間より前に受信した。(2つのストップ・ビットが設定されていると、2つ目の STOP ビットの時間もキャラクタ時間に含まれます。)
 - c. マイクロプロセッサによる最新の FIFO 読み取りが、4 連続キャラクタ時間より以前である。キャラクタを受信してからタイムアウト割り込みまでの時間は、12ビット・キャラクタで 300-ボーレートの場合、160ms となります。
2. キャラクタ時間は、クロック信号の RCLK 入力を使用して計算されます（ボーレートに比例して遅くなります）。
3. タイムアウト割り込みが起こっている時、マイクロプロセッサがレシーバ FIFO から 1 個のキャラクタを読み取ると、タイマーは、クリアされます。
4. タイムアウト割り込みが起こっていない時、タイムアウト・タイマーは新しいキャラクタを受信した後、またはマイクロプロセッサがレシーバ FIFO の読み取り後にクリアされます。

送信 FIFO および THRE 割り込みがイネーブルの時に (FCRO = 1、IER1 = 1)、送信割り込みは以下のように起こります。

1. トランスミッタ・ホールディング・レジスタ・エンプティ割り込み [IIR (3-0) = 2] は、送信 FIFO がエンプティの時起こります。THR が書き込まれる (この割り込み処理中、1 から 16 キャラクタが送信 FIFO に書き込みされるかもしれません。) かまたは IIR が読み取りされた時、クリアされます [IIR (3-0) = 1]。
2. トランスミッタ・ホールディング・レジスタ・エンプティ割り込みは、最後に FIFO が空になってから、トランスミッタ FIFO に最低 2 バイトなかった場合に、1 キャラクタ時間引く最後のストップビット時間分遅れます。FCRO 変更後最初のトランスミッタ割り込みは、イネーブルにされているとすぐに起こります。

FIFO ポーリング・モード操作

FCRO = 1 (トランスミッタおよびレシーバ FIFO イネーブル時) の時、IER0、IER1、IER2、IER3 の 4 つのビットをクリアすると、UART を FIFO ポーリング・モードとして使うことが出来ます。レシーバおよびトランスミッタは別々に制御されるため、一方または両方のいずれかを、ポーリング・モードで操作出来ます。

このモードでは、ユーザー・プログラムは、レシーバおよびトランスミッタのステータスを、LSR を使ってチェックします。前述のとおり、以下ようになります。

- LSR0 は、レシーバ FIFO にバイトがひとつでもあるとセットされます。
- LSR1 から LSR4 でどのエラーが起こったかが判ります。キャラクタ・エラー・ステータスは、割り込みモードの時と同じように扱われます。IIR は、IER2 = 0 なので影響を受けません。
- LSR5 は THR がエンプティであることを示します。
- LSR6 は THR および TSR 両方がエンプティであることを示します。
- LSR7 は、エラーがレシーバ FIFO にあるかどうかを示します。

FIFO ポーリング・モードでは、トリガー・レベルへの到達またはタイムアウトは起こりません。しかし、レシーバとトランスミッタ FIFO は、少なくともキャラクタを保持することが出来ます。

操作方法

割り込みイネーブルレジスタ(IER)

IERは、5つのタイプの割り込みをイネーブルにし(表5参照)、割り込みが起こるとINTRPTが応答できるようにすることが出来ます。IERは、ビット0から3までクリアすることで、割り込みシステムをディスイネーブルすることも出来ます。このレジスタの内容は、表3にまとめられ、以下の黒丸で説明されます。

- ビット0: 設定する時は、このビットは受信データ在り割り込みをイネーブルにします。
- ビット1: 設定する時は、このビットはTHREに割り込みをイネーブルにします。
- ビット2: 設定する時は、このビットはレシーバライン・ステータス割り込みをイネーブルにします。
- ビット3: 設定する時は、このビットはモデム・ステータス割り込みをイネーブルにします。
- ビット4から7: これらのビットは使用されていません(必ずクリアされています)。

割り込み識別レジスタ(IIR)

UARTは、最もよく使われるマイクロプロセッサとフレキシブルなインタフェースを可能にするオンチップ割り込み発生機能と割り込み優先順位機能を持っています。

UARTは、4つの割り込み優先順位レベルを持っています。

- 優先1 - レシーバライン・ステータス(最優先)
- 優先2 - レシーバデータ在りまたはレシーバ・キャラクタ・タイムアウト
- 優先3 - トランスミッタ・ホールディング・レジスタ・エンプティ
- 優先4 - モデム・ステータス(最低優先)

割り込みが起こると、IIRは、割り込みがペンディング状態であることを示し、IIRの下位3ビットで(ビット0、1、2)割り込みタイプをエンコードします。このレジスタの内容は、表3にまとめられ、表5で説明されています。各ビットの詳細は以下のとおりです。

- ビット0: このビットは、ハードワイヤ優先またはポーリング割り込みシステムのどちらかで使用されます。ビット0が0の時、割り込みがペンディング状態です。ビット1の時は、割り込みがペンディングではありません。
- ビット1および2: これら二つのビットは、最優先の割り込みのペンディングを表3に示します。
- ビット3: このビットは、TL16C450モードで必ずクリアされています。FIFOモードでは、ビット3はビット2と一緒にセットされると、タイムアウト割り込みがペンディングであることを示します。
- ビット4および5: これら二つのビットは使用されていません(必ずクリアされています)。
- ビット6および7: これらのビットは、必ずTL16C450モードでクリアされます。これらは、FIFO制御レジスタのビット0がセットされた場合、セットされます。

操作方法

割り込み識別レジスタ(IIR)(続き)

表 5. 割り込み制御機能

割り込み識別レジスタ				優先順位	割り込みタイプ	割り込みソース	割り込みリセット方法
ビット3	ビット2	ビット1	ビット0				
0	0	0	1	無し	無し	無し	無し
0	1	1	0	1	レシーバライン・ステータス	オーバーラン・エラー、パリティ・エラー、フレーミング・エラー、またはブレーク割り込み	ライン・ステータス・レジスタの読み取り
0	1	0	0	2	受信データ在り	TL16C450 モードでレシーバデータ在りまたはFIFOモードでトリガーレベル到達	レシーバ・バッファ・レジスタの読み取り
1	1	0	0	2	キャラクタ・タイムアウト	最後の 4 キャラクタ期間中、レシーバFIFOからキャラクタが取り除かれることなく、入力されたキャラクタもありません。この期間中、最低 1 つのキャラクタがFIFOの中にあります。	レシーバ・バッファ・レジスタを読み取り
0	0	1	0	3	トランスミッタ・ホールディング・レジスタ・エンプティ	トランスミッタ・ホールディング・レジスタ・エンプティ	割り込み識別レジスタを読み取り(割り込みソースの場合)、またはトランスミッタ・ホールディング・レジスタに書き込み
0	0	0	0	4	モデム・ステータス	送信クリア、データ設定レディ、リング・インジケータ、またはデータキャリア検出	モデム・ステータス・レジスタの読み取り

ライン制御レジスタ(LCR)

システムプログラマは、LCRを通して非同期データ通信交換フォーマットを決めます。さらに、プログラマはLCRの内容を検索、点検、修正することができます。このことで、システムメモリにラインの特徴を別個に保存する必要性がなくなります。このレジスタの内容は、表 3 にまとめられ、以下の黒丸リストで説明されます。

- ビット0および1: これら二つのビットは、各送受信シリアル・キャラクタのビット数を指定します。これらのビットは、表 6 に示されたとおりエンコードされます。

表 6. シリアル・キャラクタのワード長

ビット1	ビット0	ワード長
0	0	5ビット
0	1	6ビット
1	0	7ビット
1	1	8ビット

- ビット2: このビットで、1、1.5、または2のストップビットを各送信キャラクタに付加します。ビット2がクリアされると、1 ストップビットがデータに付加されます。ビット2がセットされると、付加されるストップビット数はビット0および1で選択されたワード長に依存します。レシーバは、選択されているストップビット数にかかわらず、最初のストップビットのみクロックします。ワード長およびビット2に関して付加されるストップビット数は表 7 に示されています。

操作方法

ライン制御レジスタ(LCR)(続き)

表 7. 生成されるストップビット数

ビット2	ビット1および2で 選択されたワード長	付加されるストップ ビット数
0	任意のワード長	1
1	5ビット	1 1/2
1	6ビット	2
1	7ビット	2
1	8ビット	2

- ビット3: このビットはパリティイネーブルビットです。ビット3がセットされると、送信されているデータの最後のデータ・ワードビットと最初のストップビットの間に、パリティビットが付加されます。受信データに対しては、ビット3がセットされているとパリティがチェックされます。ビット3がクリアされていると、パリティの付加、チェックは一切ありません。
- ビット4: このビットは偶数パリティ選択ビットです。パリティがイネーブルで(ビット3がセット)、ビット4がセットされると、偶数パリティ(データとパリティビットの論理1の数が偶数個)が選択されます。パリティがイネーブルで、ビット4がクリアされると、奇数パリティ(論理1の数が奇数個)が選択されます。
- ビット5: このビットはスティック・パリティビットです。ビット3、4、5がセットされると、パリティビットは0として送信されます。ビット3、5がセットされると、ビット4がクリアされ、パリティビットが1として送信されます。ビット5がクリアされると、スティック・パリティはディスイネーブルになります。
- ビット6: このビットはブレーク制御ビットです。ビット6をセットすると強制的にブレークするように設定されます。つまり、SOUTを強制的にスペーシング(クリア)状態にする条件です。ビット6がクリアされると、ブレークはディスイネーブルになり、トランスミッタ回路には影響しません。この機能は、SOUTだけに影響します。
- ビット7: このビットは、ディバイザ・ラッチ・アクセスビット(DLAB)です。ビット7は、ボー・ジェネレータのディバイザ・ラッチにアクセスするため、読み取りまたは書き込み中にセットが必要です。ビット7は、レシーバ・バッファ、THR、またはIERにアクセスするため、読み取りまたは書き込み中にクリアする必要があります。

ライン・ステータス・レジスタ(LSR)[†]

LSRは、データ・トランスファ中のステータス情報をCPUへ提供します。このレジスタの内容は、表3にまとめられ、以下の黒丸リストに説明されています。

- ビット0: このビットは、レシーバ用データ・レディー (DR)インジケータです。DRは、完全なキャラクタを受信し、RBRまたはFIFOに送る時にセットされます。DRは、RBRまたはFIFOのデータすべてを読み取ることでクリアされます。
- ビット1[‡]: このビットは、オーバーラン・エラー (OE)インジケータです。OEがセットされると、RBRの中のキャラクタが読み取られる前に、レジスタに送信された次のキャラクタでそのキャラクタが上書きされたことを示します。OEは、CPUがLSRの内容を読み取るたびにクリアされます。FIFOモードでは、データが、トリガー・レベルを超えてFIFOに受信し続けた場合、FIFOがいっぱいになり、次のキャラクタが完全にシフトレジスタで受信された後のみオーバーラン・エラーが発生します。オーバーラン・エラーは、発生したらすぐCPUに示されます。シフトレジスタのキャラクタは上書きされますが、FIFOには転送されません。

[†] ライン・ステータス・レジスタは、読み取り操作のみを目的としています。このレジスタへの書き込みは、工場試験環境以外では推奨されません。
[‡] ビット1から4は、レシーバライン・ステータス割り込みを起こすエラー条件です。

操作方法

ライン・ステータス・レジスタ(LSR)(続き) †

- ビット2*: このビットは、パリティエラー (PE)インジケータです。PEがセットされると、受信データキャラクタのパリティがLCR (ビット4)で選択したパリティに合わないことを示します。PEは、CPUがLSRの内容を読み取るたびにクリアされます。FIFOモードでは、このエラーは個々のFIFO内のキャラクタに関連しています。このエラーは、エラーを持ったキャラクタがFIFOのトップにある時に、CPUに示されます。
- ビット3*: このビットは、フレーミングエラー (FE)インジケータです。FEがセットされると、受信キャラクタが有効 (設定された) ストップビットを持っていないことを示します。FEは、CPUがLSRの内容を読み取るたびにクリアされます。FIFOモードでは、このエラーは個々のFIFO内のキャラクタに関連しています。このエラーは、エラーを持ったキャラクタがFIFOのトップにある時に、CPUに示されます。UART (内部回路)は、フレーミングエラー後、再同期化しようとします。これを達成するためには、フレーミングエラーは次のスタートビットによるものであると想定されています。エラーを持ったUARTは、このスタートビットを2度サンプリングし、その後入力データを受け付けます。
- ビット4*: このビットは、ブレーク割り込み (BI)インジケータです。BIがセットされると、受信データ入力フルワード送信時間より長い間、ローに保持されたことを示します。フルワード送信時間は、スタート、データ、パリティおよびストップビットを送信する合計時間として定義されます。BIは、CPUがLSRの内容を読み取るたびにクリアされます。FIFOモードでは、このエラーは個々のFIFO内のキャラクタに関連しています。このエラーは、エラーを持ったキャラクタがFIFOのトップにある時に、CPUに示されます。ブレークが発生すると、0キャラクタが1つFIFOにロードされます。次のキャラクタ送信は、SINが最低2RCLK サンプル間マーキングステートになった後、次の有効なスタートビットを受信した時、可能になります。
- ビット5: このビットはTHREインジケータです。THREは、THRがエンプティの場合セットされ、UARTが新しいキャラクタを受ける用意ができていることを示します。THREがセットされ、THRE割り込みがイネーブルな場合、割り込みが発生します。THREは、THRの内容がTSRに送信された時セットされます。THREは、CPUがTHRにロードすると同時にクリアされます。FIFOモードでは、THREは送信FIFOがエンプティの場合セットされます。最低1バイトが送信FIFOに書き込まれるとクリアされます。
- ビット6: このビットは、トランスミッタエンプティ (TEMT)インジケータです。TEMTビットは、THRとTSRの両方がエンプティの時にセットされます。THRまたはTSRのどちらかが、データキャラクタを含む場合、TEMTはクリアされます。FIFOモードでは、TEMTはトランスミッタFIFOとシフトレジスタが両方ともエンプティの場合セットされます。
- ビット7: TL16C550Dモードでは、このビットは必ずクリアされます。TL16C450モードでは、このビットは必ずクリアされます。FIFOモードでは、LSR7はFIFOに最低1パリティ、フレーミングまたはブレークエラーがある場合セットされます。マイクロプロセッサがLSRを読み取り、引き続きFIFOの中にエラーがない場合クリアされます。

モデム制御レジスタ(MCR)

MCRは、8ビットレジスタです。モデム、データ器機、モデムをエミュレートする周辺デバイスとのインタフェースを制御します。このレジスタの内容は、表3にまとめられ、以下の黒丸リストに説明されています。

- ビット0: このビット(DTR)はDTR出力を制御します。
- ビット1: このビット(RTS)はRTS出力を制御します。
- ビット2: このビット(OUT1)は、ユーザー指定出力信号のOUT1を制御します。
- ビット3: このビット(OUT2)は、ユーザー指定出力信号のOUT2を制御します。

0から3までのビットのどれかをセットすると、そのビットに関連した出力はロー・レベルになります。これらのビットがクリアされると、それらの出力はハイ・レベルになります。

† ライン・ステータス・レジスタは、読み取り操作のみを目的としています。このレジスタへの書き込みは、工場試験環境以外では推奨されません。
* ビット1から4は、レシーバライン・ステータス割り込みを起こすエラー条件です。

操作方法

モデム制御レジスタ(MCR)(続き)

- ビット4: このビット(LOOP)は、UARTの自己診断テスト用のローカル・ループバック機能を備えています。LOOPが設定されると、以下が発生します。
 - トランスミッタ SOUT がハイに設定されます。
 - レシーバ SIN の接続は、解除されます。
 - TSR の出力は、レシーバシフト・レジスタ入力にループバックされます。
 - 4つのモデム制御入力(CTS、DSR、DCD、およびRI)の接続は、解除されます。
 - 4つのモデム制御出力(DTR、RTS、OUT1、およびOUT2)は、4つのモデム制御入力に接続されます。
 - 4つのモデム制御出力は、非アクティブ(ハイ)レベルになります。
- ビット5: このビット(AFE)は、自動フロー制御イネーブルです。セットされると、詳細説明で説明された自動フロー制御がイネーブルになります。
自己診断モードでは、送信されたデータはすぐに受信されます。このことにより、プロセッサはUARTへの送受信データパスを検証できます。レシーバとトランスミッタの割り込みは完全に動作可能です。モデム制御割り込みも動作できますが、しかしモデム制御割り込みのソースは、4つのモデム制御入力ではなく、MCRの下位4つのビットです。すべての割り込みは、IERによって制御されます。
UART自動フロー制御は、表8に示されているとおりMCRのビット1および5をプログラミングすることで設定できます。

表 8. 自動フロー制御設定

MCR ビット5 (AFE)	MCR ビット1 (RTS)	機能
1	1	使用可能自動-RTS および自動-CTS(自動フロー制御イネーブル)
1	0	自動-CTSのみイネーブル
0	x	自動-RTS および自動-CTS ディスイネーブル

モデム・ステータスレジスタ(MSR)

- MSRは、8ビットレジスタです。モデム、データ器機、モデムをエミュレートする周辺デバイスのステータスをCPUに伝えることができます。さらに、このレジスタの4つのビットは、情報の変更を伝えます。モデムからの制御入力の状態を変化した場合、対応するビットがセットされます。4つのビットすべては、CPUがMSRを読み取った時にクリアされます。このレジスタの内容は、表3にまとめられ、以下の黒丸リストで説明されています。
- ビット0: このビットは、送信クリア (Δ CTS)変化のインジケータです。 Δ CTSは、それがCPUに最後に読み取られてから、CTS入力の状態が変化したことを示します。 Δ CTSがセットされると(自動フロー制御がディスイネーブルで、モデムステータス割り込みがイネーブルの時)、モデムステータス割り込みが起こります。自動フロー制御がイネーブルの時、(Δ CTSがクリアされても。)割り込みは、起こりません。
 - ビット1: このビットは、データセットレディー (Δ DSR) 変化のインジケータです。 Δ DSRは、それがCPUに最後に読み取られてから、DSR入力の状態が変化したことを示します。 Δ DSRがセットされ、モデムステータス割り込みがイネーブルの時、モデムステータス割り込みが起こります。
 - ビット2: このビットは、リング・インジケータ・トレーディング・エッジ・ディテクタービットです。TERIは、チップへのRI入力がローからハイへ変化したことを示します。TERIがセットされ、モデム・ステータス割り込みがイネーブルの時、モデム・ステータス割り込みが起こります。

操作方法

モデム・ステータスレジスタ(MSR)(続き)

- ビット3: このビットは、データキャリア (Δ DCD) 変化インジケータです。 Δ DCD は、それが CPU に最後に読み取られてから、DCD 端子の状態が変化したことを示します。 Δ DCD がセットされ、モデム・ステータス割り込みがイネーブルの時、モデム・ステータス割り込みが起こります。
- ビット4: このビットは、送信クリア (CTS) 端子の補数です。UART が自己診断モードの時 (LOOP[MCR4]=1)、このビットは MCR ビット 1 (RTS) と同じです。
- ビット5: このビットは、データセットレディー (DSR) 端子の補数です。UART が自己診断モードの時 (LOOP[MCR4]=1)、このビットは MCR ビット 0 (DTR) と同じです。
- ビット6: このビットは、リング・インジケータ (RI) 端子の補数です。UART が自己診断モードの時 (LOOP[MCR4]=1)、このビットは MCR ビット 2 (OUT1) と同じです。
- ビット7: このビットは、データキャリア検出 (DCD) 端子の補数です。UART が自己診断モードの時 (LOOP[MCR4]=1)、このビットは MCR ビット 3 (OUT2) と同じです。

プログラマブル・ボー・ジェネレータ

UART は、DC から 16MHz までのクロックを入力として、それをディバイザで 1 から ($2^{16}-1$) の範囲で分周するプログラマブル・ボー・ジェネレータを持っています。ボー・ジェネレータの出力周波数は、ボーレートの 16 倍 ($16 \times$) です。ディバイザの値を求める式は以下のとおりです。

$$\text{ディバイザ} = \text{XIN 周波入力} \div (\text{求めるボーレート} \times 16)$$

ディバイザ・ラッチと呼ばれる 2 つの 8-ビットレジスタに、16-ビット・バイナリ・フォーマットでディバイザ値を保存します。これらのディバイザ・ラッチは、ボー・ジェネレータの正しい動作を保証するため、UART の初期化中ロードすることが必要です。ディバイザ・ラッチのいずれかがロードされると、16ビット・ボー・カウンタもロードされ、初期ロードでの長いカウントを防ぎます。

表 9 および 10 は、1.8432 MHz および 3.072 MHz のそれぞれの水晶周波数を使った時のボー・ジェネレータの使用法を説明します。38.4 kbits/s およびそれ以下のボーレートについては、エラーは小さくなります。選択したボーレートの精度は、選択した水晶周波数に依存します (図 25 代表的なクロック回路の例を参照)。

操作方法

プログラマブル・ボー・ジェネレータ（続き）

表 9. 1.8432-MHz 水晶を使用するボーレート

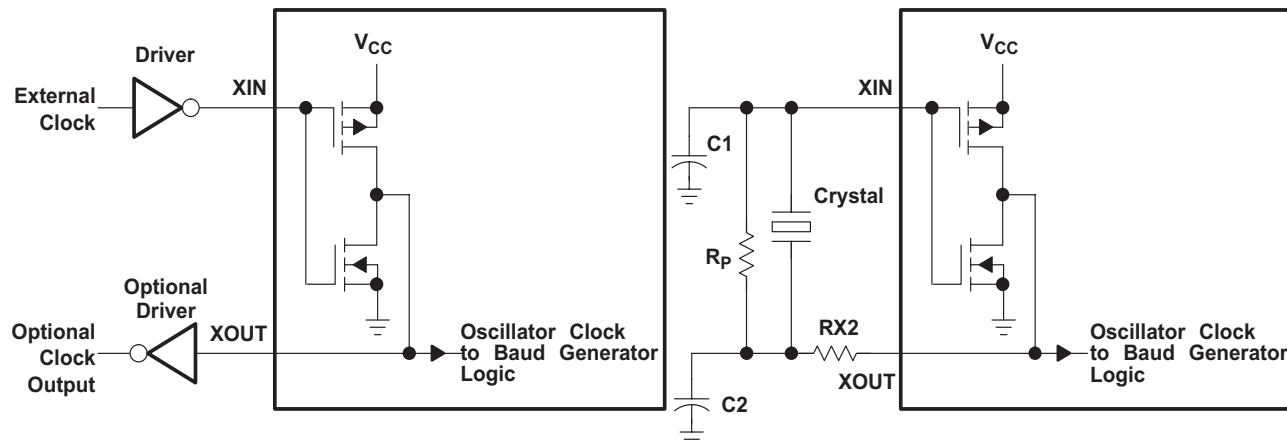
必要 ボーレート	16 × クロックを発生 するために使用する ディバイザ値	必要と実際の ボーレートの差異の パーセントエラー
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
1800	64	
2000	58	0.69
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19200	6	
38400	3	
56000	2	2.86

表 10. 3.072-MHz 水晶を使用するボーレート

必要 ボーレート	16 × クロックを発生 するために使用する ディバイザ値	必要と実際の ボーレートの差異の パーセントエラー
50	3840	
75	2560	
110	1745	0.026
134.5	1428	0.034
150	1280	
300	640	
600	320	
1200	160	
1800	107	0.312
2000	96	
2400	80	
3600	53	0.628
4800	40	
7200	27	1.23
9600	20	
19200	10	
38400	5	

操作方法

プログラマブル・ボー・ジェネレータ (続き)



代表的な水晶発振器ネットワーク

水晶	Rp	RX2	C1	C2
3.072 MHz	1 MΩ	1.5 kΩ	10-30 pF	40-60 pF
1.8432 MHz	1 MΩ	1.5 kΩ	10-30 pF	40-60 pF
16 MHz	1 MΩ	0 Ω	33pF	33pF

図 25. 代表的なクロック回路

レシーバ・バッファ・レジスタ(RBR)

UART レシーバ部は、レシーバシフト・レジスタ(RSR)とRBRから構成されています。RBRは実際には 16-バイトFIFOです。タイミングは、16 × レシーバクロック(RCLK)で供給されます。レシーバ部の制御は、UART ライン制御レジスタの機能の一つです。

UART RSR は、SIN からシリアルデータを受信します。次に RSR は、データを連結し、RBR FIFO に送ります。TL16C450 モードでは、キャラクタが RBR にあり、受信データが割り込みがイネーブルの時(IER0 = 1)、割り込みが起こります。この割り込みは、データが RBR から読み取られるとクリアされます。FIFO モードでは、割り込みは FIFO 制御レジスタの制御設定に基づいて起こります。

スクラッチ・レジスタ

スクラッチ・レジスタは、他の UART の動作に影響させずに、一時的にプログラムのデータを保持するためのスクラッチ・パッドとしてプログラマが使用することを目的とした 8 ビットレジスタです。

トランスミッタ・ホールディング・レジスタ(THR)

UART トランスミッタ部は、THR およびトランスミッタ・シフト・レジスタ(TSR)から構成されています。THR は実際には 16-バイトFIFOです。タイミングはBAUDOUTによって供給されます。トランスミッタ・セクション制御は、UART ライン制御レジスタの機能です。

UART THR は、内部データバスからデータを受け、シフトレジスタがアイドル状態の時、それを TSR に移します。TSR はデータをシリアル化し、SOUT に出力します。TL16C450 モードの時、THR はエンプティで、トランスミッタ・ホールディング・レジスタ・エンプティ(THRE)割り込みがイネーブル(IER1=1)の場合、割り込みが起こります。この割り込みは、キャラクタがレジスタにロードされるとクリアされます。FIFO モードでは、割り込みは FIFO 制御レジスタの制御設定に基づいて起こります。

改訂履歴

日付	REV	ページ	セクション	説明
6/22/05	B	3	RHB ピンアウト	ピン 2 とピン 9 を NC へ変更
		7	機能ブロックダイアグラム	V _{CC} 2、28 を V _{CC} 28 へ、V _{SS} 9、13 を V _{SS} 9 へ変更
		9		V _{CC} の説明を電源圧 2.25-V から 5.5-V に変更
		10		2、9、15、16 を NC に変更
		11	ピン機能表	V _{CC} をピン 28 のみへ、V _{SS} をピン 13 のみへ変更
6/02/04	A	1, 3		RHB パッケージ追加
		7		RHB パッケージの機能ブロックダイアグラム追加
		10, 11		RHB パッケージ用ピン機能表追加
		27	アプリケーション情報	図 21 基本 TL16C550D コンフィギュレーション(RHB パッケージ用) 追加
		29		図 24 TL16C550D の CPU への代表的な接続(RHB パッケージ用) 追加
		45	メカニカル情報	RHB メカニカルデータ情報追加
4/02/04	*			オリジナル版

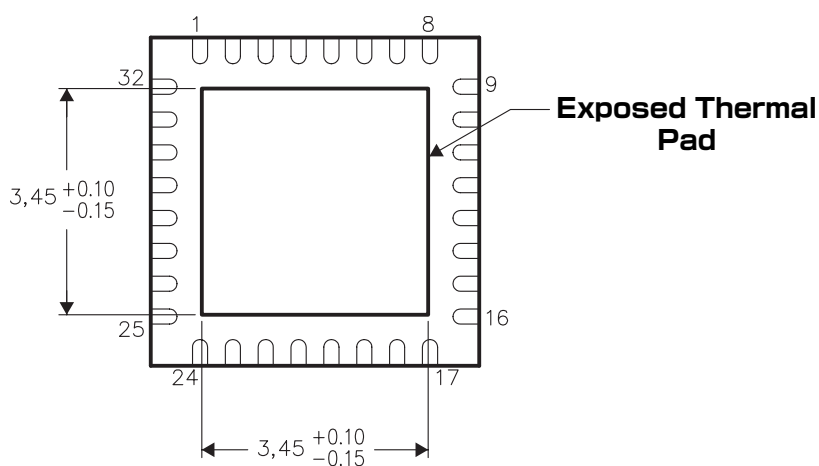
注: 以前の改訂のページ数は、現行版のページ数と異なることがあります。

サーマル情報

このパッケージは、直接外部ヒートシンクへ取り付けられるように設計された露出型サーマルパッドを組み込んでいます。サーマルパッドは、直接プリント回路板 (PCB) に半田付けされなければいけません。PCB はヒートシンクとして使用できます。さらに、サーマル・ビアを通して、サーマルパッドをグランドまたは PCB に組み込まれた特殊ヒートシンク構造に直接取り付けすることができます。この設計は、集積回路 (IC) からの熱伝導を最適化します。

Quad Flatpack No -Lead (QFN) パッケージおよびその利点に関する詳細は、アプリケーションリポート、Quad Flatpack No -Lead 論理パッケージ、Texas Instruments Literature No. SCBA017 を参照してください。この文書は www.ti.com で入手できます。

このパッケージのための露出型サーマルパッドの寸法は、以下の図で示されます。



Bottom View

注: すべての寸法はミリメートルで表示されています。

露出型サーマルパッドの寸法

パッケージ情報

注文可能デバイス	ステータス ⁽¹⁾	パッケージ タイプ	パッケージ 図面	ピン	パッケージ Qty	Ecoプラン ⁽²⁾	リード/ボール 仕上げ	MSLピーク温度 ⁽³⁾
TL16C550DIPFB	ACTIVE	TQFP	PFB	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TL16C550DIPFBR	ACTIVE	TQFP	PFB	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TL16C550DIPT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TL16C550DIPTG4	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TL16C550DIPTR	ACTIVE	LQFP	PT	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TL16C550DIPTRG4	ACTIVE	LQFP	PT	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TL16C550DIRHB	ACTIVE	QFN	RHB	32	73	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR
TL16C550DPFB	ACTIVE	TQFP	PFB	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TL16C550DPFBR	ACTIVE	TQFP	PFB	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TL16C550DPT	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TL16C550DPTG4	ACTIVE	LQFP	PT	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TL16C550DPTR	ACTIVE	LQFP	PT	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TL16C550DPTRG4	ACTIVE	LQFP	PT	48	1000	TBD	Call TI	Call TI
TL16C550DRHB	ACTIVE	QFN	RHB	32	73	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティングステータス値の定義は、以下の通りです。

ACTIVE: 新しい設計に推奨する製品デバイス

LIFEBUY: TIは、デバイスが製造中止することと lifetime-buy 期間であることを発表しました。

NRND: 新しい設計には推奨しません。デバイスは、既存カスタマーをサポートするため生産されていますが、TIは新しい設計にこのデバイスを使用することは推奨しません。

PREVIEW: デバイスは発表されましたが、量産されていません。場合によってサンプルは入手できないことがあります。

OBSOLETE: TIはそのデバイスの生産を停止しました。

(2) Eco プラン - 計画されているエコフレンドリーの分類。Pb フリー (RoHS) または Green (RoHS & no Sb/Br) - 最新情報と追加製品内容については、<http://www.ti.com/productcontent> を御覧ください。

TBD: Pb フリー /Green 変換プランは定義されていません。

Pb-Free (RoHS): TI用語「鉛フリー」または「Pbフリー」とは、同質物質内で鉛の重量が0.1%を超えないとする要求を含む、6つのすべてのサブスタンスに関する現在のRoHS要求と互換性のある半導体製品を意味しています。高温で半田付けされるように設計されている場合、TiPbフリー製品は、指定される鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br): TIは、「Green」という用語をPbフリー (RoHS 互換)で臭素(Br)およびアンチモン (Sb) フリー (同質物質内でBrまたはSbの重量が0.1%を超えない) の難燃剤使用していると定義しています。

(3) MSL ピーク温度 --JEDEC 工業規格分類による湿度感度レベルレーティングと半田付けピーク温度

重要情報と免責条項: 本ページに記載された情報は、記載日付時のTIの知識と信条を表します。TIは、第三者により提供される情報に、その知識と信条を基とし、それらの情報の精度について、保証を行うものではありません。第三者からの情報をより良く統合するように努力しています。TIは、代表的で正確な情報を提供する適切な手段を取り、また取り続けますが、受領材料および製品の破壊的試験または科学的分析は行っていません。TI およびTIサプライヤは、財産である情報を考慮し、CAS ナンバーおよびその他の限定的情報は、リリースすることはできません。

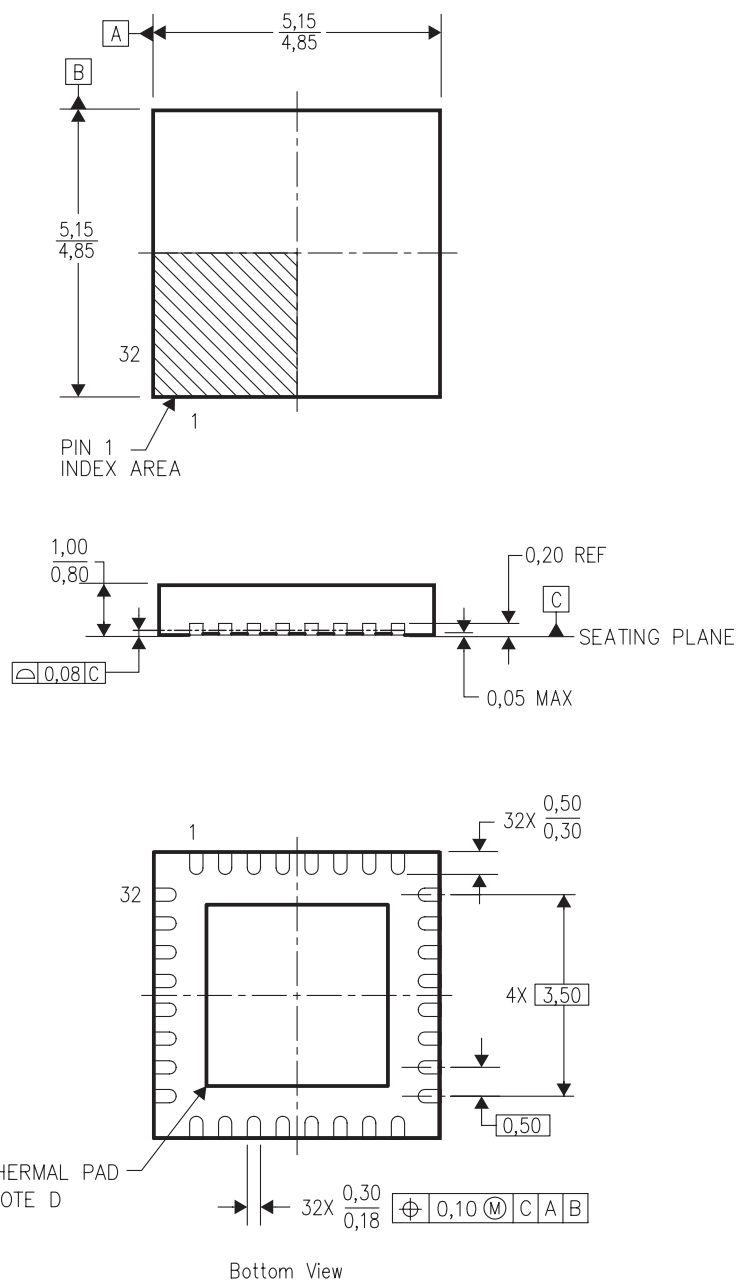
2005年7月22日

この情報から生じる TI の責任は、マニュアル発行時に顧客が TI から年間ベース購入する部品価格の総額を超えるものではありません。

2005 年 7 月 22 日

RHB (S-PQFP-N32)

PLASTIC QUAD FLATPACK



4204326/C xx/04

注: A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

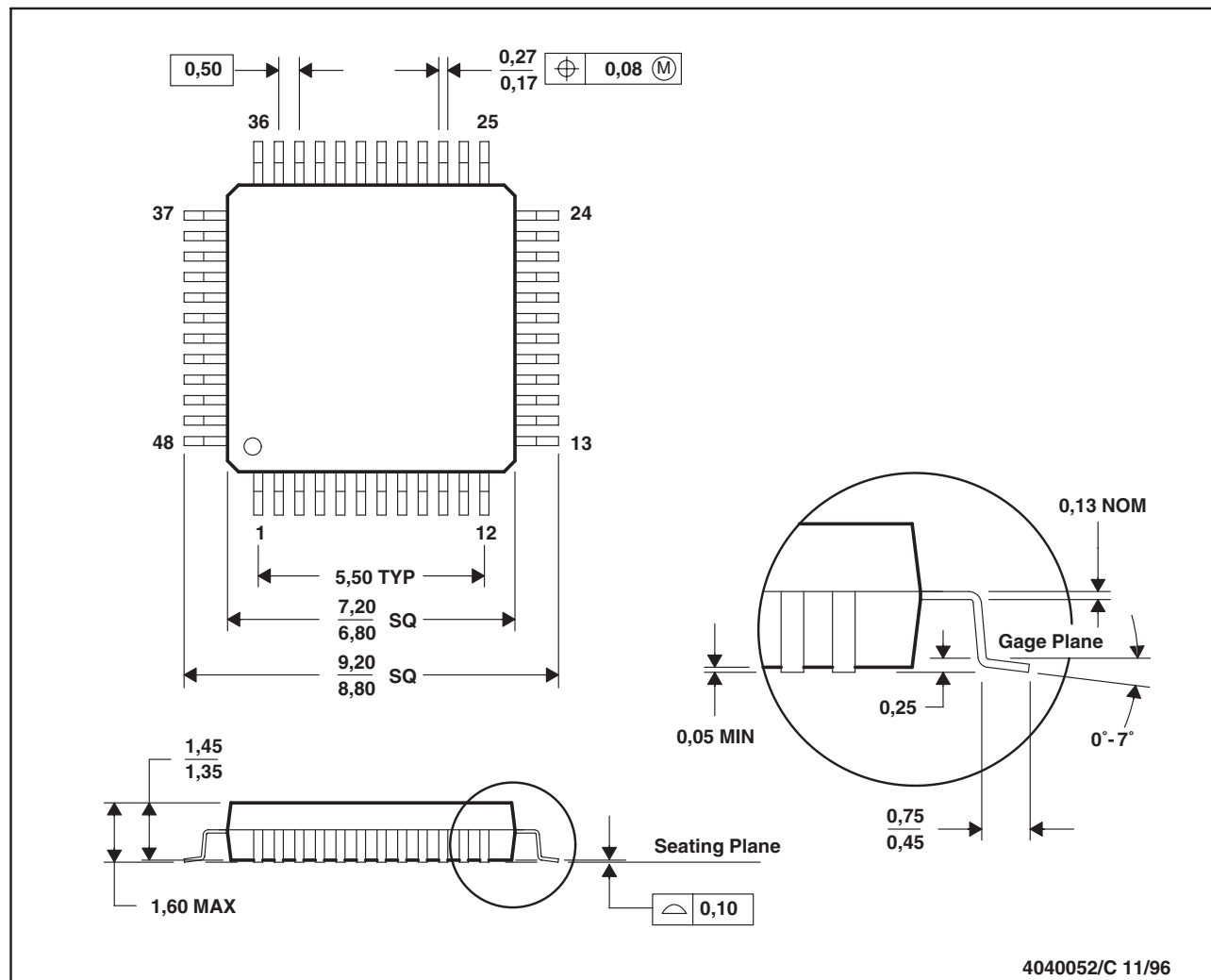
C: QFN (Quad Flatpack No-Lead) パッケージ構成

D: パッケージのサーマルパッドが機械的及び熱伝導的に機能するためには、ボードに半田付けされる必要があります。露出型サーマルパッドの寸法に関する詳細については、製品データシートを参照してください。

E: JEDEC MO-220 に準拠しています。

PT (S-PQFP-G48)

PLASTIC QUAD FLATPACK



注: A. 全ての線寸法の単位はミリメートルです。

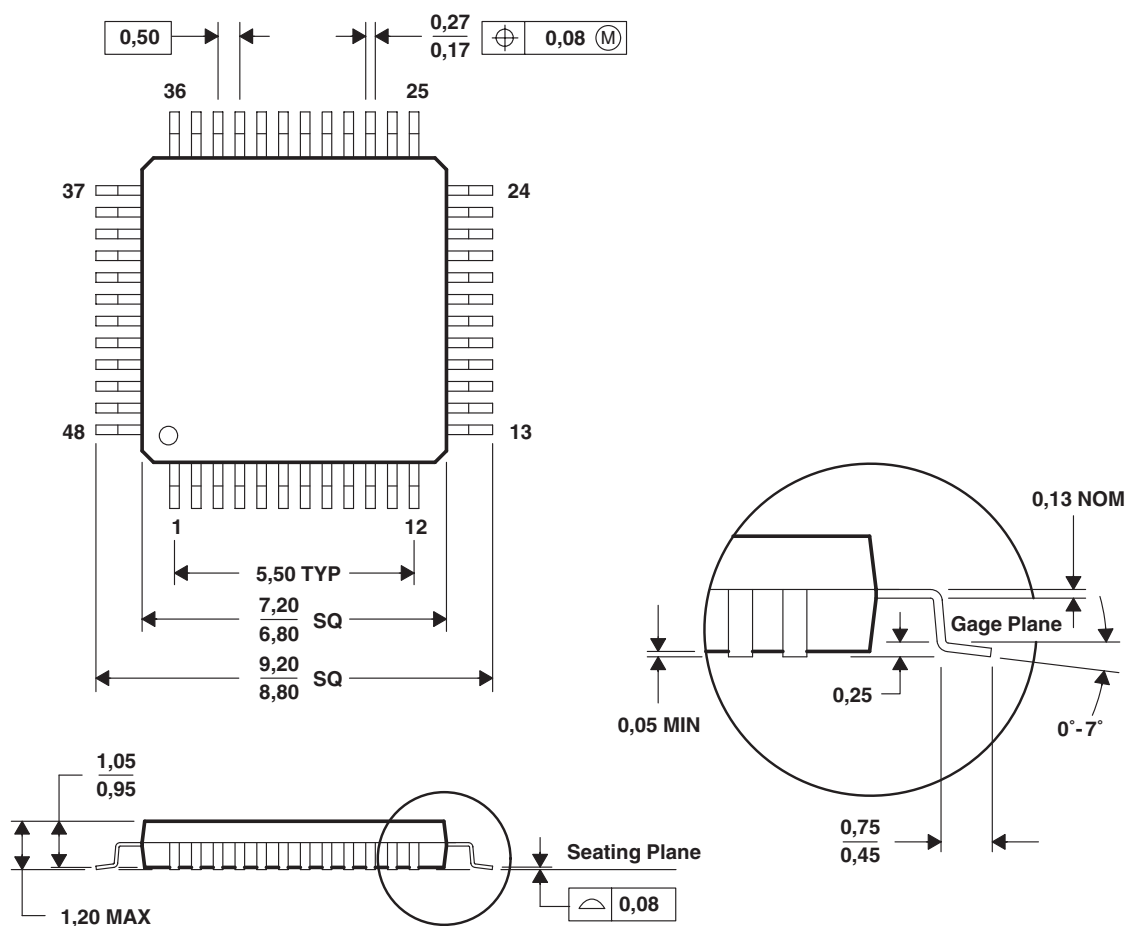
B. 図は予告なく変更することがあります。

C: JEDEC MS-026 に準拠しています。

D. これは、ダイパッドがリードに接続された、熱伝導性の良いプラスチック・パッケージでもあります。

PFB (S-PQFP-G48)

PLASTIC QUAD FLATPACK



4073176/B 10/96

- 注: A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C: JEDEC MS-026 に準拠しています。

MTQF019A - 1995 年 1 月 - 1998 年 1 月改訂
 2005 年 12 月 (SLLS597C_2005, 07)

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL16C550DIPFBR	TQFP	PFB	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
TL16C550DIPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
TL16C550DIRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
TL16C550DPFBR	TQFP	PFB	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
TL16C550DPFBRG4	TQFP	PFB	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
TL16C550DPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
TL16C550DRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL16C550DIPFBR	TQFP	PFB	48	1000	350.0	350.0	43.0
TL16C550DIPTR	LQFP	PT	48	1000	350.0	350.0	43.0
TL16C550DIRHBR	VQFN	RHB	32	3000	353.0	353.0	32.0
TL16C550DPFBR	TQFP	PFB	48	1000	350.0	350.0	43.0
TL16C550DPFBRG4	TQFP	PFB	48	1000	350.0	350.0	43.0
TL16C550DPTR	LQFP	PT	48	1000	350.0	350.0	43.0
TL16C550DRHBR	VQFN	RHB	32	3000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TL16C550DIRHB	RHB	VQFN	32	73	381	6.73	2286	0
TL16C550DIRHB.B	RHB	VQFN	32	73	381	6.73	2286	0
TL16C550DRHB	RHB	VQFN	32	73	381	6.73	2286	0
TL16C550DRHB.B	RHB	VQFN	32	73	381	6.73	2286	0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
TL16C550DIPFB	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DIPFB.B	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DIPFBG4	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DIPFBG4.B	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DIPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DIPT.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DPFB	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DPFB.B	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DPT.B	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TL16C550DPTG4	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated