

TLE202x-Q1 車載用、高速、低消費電力、バイポーラ高精度オペアンプ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
- MIL-STD-883, Method 3015 準拠で 1000V を超える ESD 保護
- 消費電流: 300 μA (最大値)
- 高いユニティゲイン帯域幅: 2MHz (標準値)
- 高いスルーレート: 0.45V/ μs (最小値)
- 全温度範囲にわたって消費電流の変化を最小化
- 5V 単一電源と $\pm 15\text{V}$ で動作が規定されています
- 位相反転保護
- 高いオープンループゲイン: 6.5V/ μV (136dB) (標準値)
- 低いオフセット電圧: 100 μV (最大値)
- 低い入力バイアス電流: 50nA (最大値)
- 低いノイズ電圧: 19nV/ $\sqrt{\text{Hz}}$ (標準値)

2 アプリケーション

- 車載ライティング
- ボディエレクトロニクス
- 車載用ヘッドユニット
- インバータおよびモータ制御
- オンボード (OBC) と DC/DC コンバータ
- バッテリー管理システム (BMS)

3 説明

TLE2021 – Q1、TLE2022 – Q1、TLE2024 – Q1、TLE2021A–Q1、TLE2022A–Q1 デバイス (このデータシートではすべて以下「TLE202x–Q1」という) は、テキサスインスツルメンツの新しいバイポーラプロセスを使用した高精度、高速、低消費電力のオペアンプです。A 接尾辞

付きデバイスは、入力オフセット電圧など、接尾辞 A 以外のデバイスよりも DC 仕様が向上しています。これらのデバイスは、OP21 の最良の機能と、非常に改善されたスルーレートおよびユニティゲイン帯域幅を組み合わせています。

このプロセスにバイアス回路を追加すると、時間と温度の両方で非常に安定したパラメータが得られます。したがって、高精度デバイスは、温度の変化や使用年数の変化にもかかわらず、高精度デバイスのままです。

この優れた DC 性能と、負のレールを含む同相入力電圧を兼ね備えた本デバイスは、単電源または分割電源構成の低レベルの信号コンディショニングアプリケーションに最適です。さらに、これらのデバイスには、位相反転保護回路が搭載されており、いずれかの入力が負の電源レールを下回っても、出力状態の予期しない変化が解消されます。

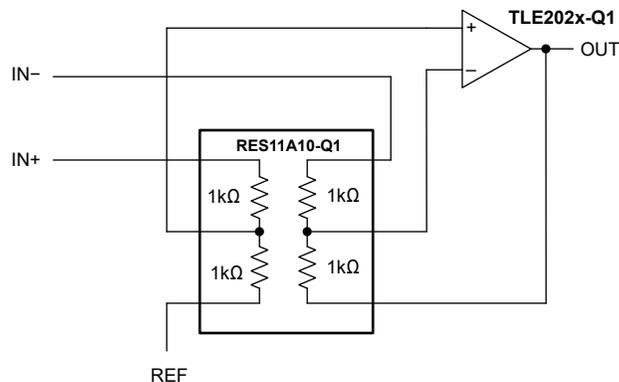
高密度システムアプリケーション用のスモールアウトラインバージョンなど、さまざまなオプションが用意されています。

これらのデバイスは、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の自動車温度範囲全体で動作するように特性評価されています。

製品情報

部品番号	チャンネル数	パッケージ (1)
TLE2021–Q1	シングル	D (SOIC, 8)
TLE2021A–Q1		
TLE2022–Q1	デュアル	D (SOIC, 8)
TLE2022A–Q1		
TLE2024–Q1	クワッド	DW (SOIC, 16)

(1) 詳細については、[セクション 9](#) を参照してください。



RES11A–Q1 を使った差動アンプのアプリケーション



目次

1 特長.....	1	5.10 TLE2024-Q1 の電气的特性、 $V_{CC} = \pm 15V$	11
2 アプリケーション.....	1	5.11 TLE2024-Q1 の電气的特性、 $V_{CC} = 5V$	12
3 説明.....	1	5.12 代表的特性.....	13
4 ピン構成および機能.....	3	6 アプリケーションと実装.....	23
5 仕様.....	5	6.1 アプリケーション情報.....	23
5.1 絶対最大定格.....	5	6.2 レイアウト.....	24
5.2 推奨動作条件.....	5	7 デバイスおよびドキュメントのサポート.....	25
5.3 TLE2021-Q1 の熱に関する情報.....	6	7.1 ドキュメントの更新通知を受け取る方法.....	25
5.4 TLE2022-Q1 の熱に関する情報.....	6	7.2 サポート・リソース.....	25
5.5 TLE2024-Q1 の熱に関する情報.....	6	7.3 商標.....	25
5.6 TLE2021-Q1 の電气的特性、 $V_{CC} = \pm 15V$	7	7.4 静電気放電に関する注意事項.....	25
5.7 TLE2021-Q1 の電气的特性、 $V_{CC} = 5V$	8	7.5 用語集.....	25
5.8 TLE2022-Q1 の電气的特性、 $V_{CC} = \pm 15V$	9	8 改訂履歴.....	25
5.9 TLE2022-Q1 の電气的特性、 $V_{CC} = 5V$	10	9 メカニカル、パッケージ、および注文情報.....	26

4 ピン構成および機能

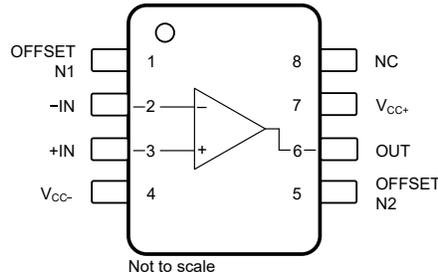


図 4-1. TLE2021-Q1 : D パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能 : TLE2021-Q1

ピン		タイプ	説明
名称	番号		
-IN	2	入力	反転入力
+IN	3	入力	非反転入力
NC	8	—	接続なし。このピンをフローティングにします。
OFFSET N1	1	—	外部入力オフセット電圧を調整
OFFSET N2	2	—	外部入力オフセット電圧を調整
OUT	6	出力	出力
V-	4	電源	負 (最低) 電源
V+	7	電源	正 (最高) 電源

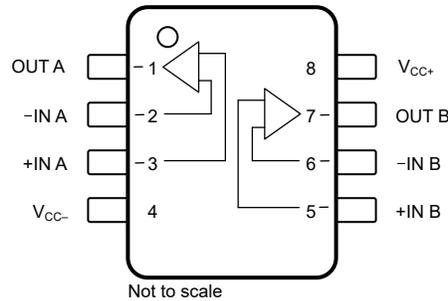


図 4-2. TLE2022-Q1 : D パッケージ、8 ピン SOIC (上面図)

表 4-2. ピンの機能 : TLE2022-Q1

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
NC	—	—	接続なし。このピンをフローティングにします。
OUT A	1	出力	出力チャンネル A
OUT B	7	出力	出力チャンネル B
V-	4	電源	負電源
V+	8	電源	正電源

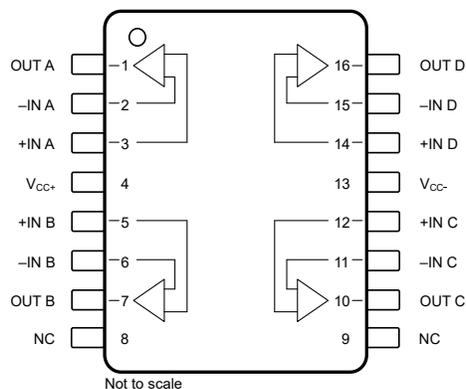


図 4-3. TLE2024-Q1 : DW パッケージ、16 ピン SOIC (上面図)

表 4-3. ピン機能 : TLE2024-Q1

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
-IN C	11	入力	反転入力、チャンネル C
-IN D	15	入力	反転入力、チャンネル D
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
+IN C	12	入力	非反転入力、チャンネル C
+IN D	14	入力	非反転入力、チャンネル D
NC	8, 9	—	内部接続なしこのピンをフローティングにします。
OUT A	1	出力	出力チャンネル A
OUT B	7	出力	出力チャンネル B
OUT C	10	出力	出力チャンネル C
OUT D	16	出力	出力チャンネル D
V-	13	電源	負電源
V+	4	電源	正電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧 V _{CC} = (V _{CC+}) - (V _{CC-})	正、V _{CC+} ⁽²⁾	20	V
		負、V _{CC-} ⁽²⁾	-20	
V _{ID}	差動入力電圧 ⁽³⁾		±0.6	V
V _I	入力電圧範囲 (任意の入力)	V _{CC-}	V _{CC+}	V
I _I	入力電流 (各入力)		±1	mA
I _O	出力電流	TLE2021-Q1	±20	mA
		TLE2022-Q1	±30	
		TLE2024-Q1	±40	
	合計電源電流	V _{CC+} へ	80	mA
		V _{CC-} 外	80	
	25°C 以下での短絡電流の時間 ⁽⁴⁾	制限なし		
T _J	接合部温度 ⁽⁵⁾		150	°C
T _{stg}	保存温度	-65	150	°C
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 3 秒間: D または PW パッケージで供給されます		300	°C

- (1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 差動電圧を除くすべての電圧値は、V_{CC+} と V_{CC-} の中点を基準にしています。
- (3) 差動電圧は、+IN を基準とする -IN です。制限抵抗を使用しない限り、約 ±600mV を超える差動入力電圧が入力間に印加されると、過剰な電流が流れます。
- (4) 出力を V+ に短絡しないでください。温度、電源電圧、またはその両方が最大消費電力定格を超えないように制限します。
- (5) 最大消費電力は T_{J(max)}、θ_{JA}、T_A の関数となります。最大許容消費電力と、許容される周囲温度との関係式は、P_D = (T_{J(max)} - T_A)/θ_{JA} です。最大 150°C を選択すると、信頼性に影響を与える可能性があります。

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{CC}	電源電圧 V _{CC} = (V _{CC+}) - (V _{CC-})	デュアル電源	±2	±20	V
		単一電源	4	40	
V _{IC}	同相入力電圧	V _{CC+} = 5V	0	3.2	V
		V _{CC+} = 15V, V _{CC-} = -15V	-15	13.2	
T _A	自由空気での動作温度	-40		125	°C

5.3 TLE2021-Q1 の熱に関する情報

熱評価基準 ⁽¹⁾		TLE2021-Q1	
		D (SOIC)	
		8 ピン	
			単位
R _{θJA}	接合部から周囲への熱抵抗	129.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	68.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	76.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	15.7	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	75.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.4 TLE2022-Q1 の熱に関する情報

熱評価基準 ⁽¹⁾		TLE2022-Q1	
		D (SOIC)	
		8 ピン	
			単位
R _{θJA}	接合部から周囲への熱抵抗	122.4	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	61.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	70.0	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	11.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	69.1	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 TLE2024-Q1 の熱に関する情報

熱評価基準 ⁽¹⁾		TLE2024-Q1	
		DW (SOIC)	
		16 ピン	
			単位
R _{θJA}	接合部から周囲への熱抵抗	62.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	28.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	31.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	4.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	31.0	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.6 TLE2021-Q1 の電気的特性、 $V_{CC} = \pm 15V$

$T_A = 25^\circ C$ 、 $V_{CC} = \pm 15V$ 、および $V_{IC} = V_{OUT} = V_{CC}/2$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 仕様						
V_{IO}	入力オフセット電圧	TLE2021-Q1 $R_S = 50\Omega$		± 120	± 500	μV
			$T_A = -40^\circ C \sim +125^\circ C$		± 700	
V_{IO}	入力オフセット電圧	TLE2021A-Q1 $R_S = 50\Omega$		± 80	± 300	μV
			$T_A = -40^\circ C \sim +125^\circ C$		± 450	
dV_{IO}/dT	入力オフセット電圧ドリフト	$R_S = 50\Omega$ 、 $T_A = -40^\circ C \sim +125^\circ C$		± 2		$\mu V/^\circ C$
I_{IB}	入力バイアス電流	$R_S = 50\Omega$		25	70	nA
			$T_A = -40^\circ C \sim +125^\circ C$			
I_{IO}	入力オフセット電流	$R_S = 50\Omega$		0.2	6	nA
			$T_A = -40^\circ C \sim +125^\circ C$			
PSRR	電源除去比	$V_{CC+} = \pm 2.5V \sim \pm 15V$		105	120	dB
			$T_A = -40^\circ C \sim +125^\circ C$		100	
A_{VD}	大信号電圧ゲイン	$V_O = \pm 10V$ 、 $R_L = 10k\Omega$		1	6.5	$V/\mu V$
			$T_A = -40^\circ C \sim +125^\circ C$		0.5	
V_{ICR}	同相入力電圧範囲	入力から正のレールまで、 $R_S = 50\Omega$ です		13.5	14	V
		$T_A = -40^\circ C \sim +125^\circ C$		13.2		
V_{ICR}	同相入力電圧範囲	負レールにまで、 $R_S = 50\Omega$ です		-15.3	-15	V
		$T_A = -40^\circ C \sim +125^\circ C$			-15	
CMRR	同相除去比	$V_{IC} = V_{ICR}$ 最小、 $R_S = 50\Omega$		100	115	dB
			$T_A = -40^\circ C \sim +125^\circ C$		96	
V_O	出力電圧スイング	正のレールまで、 $R_S = 10k\Omega$ です		14	14.3	V
		$T_A = -40^\circ C \sim +125^\circ C$		13.8		
V_O	出力電圧スイング	負のレールまで、 $R_L = 10k\Omega$		-14.1	-13.7	V
		$T_A = -40^\circ C \sim +125^\circ C$			-13.6	
I_{CC}	電源電流	無負荷		200	350	μA
			$T_A = -40^\circ C \sim +125^\circ C$			
AC 仕様						
SR	スルー レート	$V_O = \pm 10V$ 、 $G = 1$		0.65		$V/\mu s$
V_n	入力電圧ノイズ密度	$f = 10Hz$		19		nV/\sqrt{Hz}
		$f = 1kHz$		15		
V_N	入力電圧ノイズ	$f = 0.1Hz \sim 1Hz$		0.16		μV_{PP}
		$f = 0.1Hz \sim 10Hz$		0.47		
I_n	入力電流ノイズ密度			0.09		pA/\sqrt{Hz}
B_1	ゲイン帯域幅			2		MHz
ϕ_m	位相マージン			46°		

5.7 TLE2021-Q1 の電気的特性、 $V_{CC} = 5V$

$T_A = 25^\circ C$ 、 $V_{CC+} = 5V$ 、 $V_{CC-} = 0V$ 、および $V_{IC} = V_{OUT} = V_{CC+}/2$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 仕様						
V_{IO}	入力オフセット電圧	TLE2021-Q1 $R_S = 50\Omega$		± 120	± 600	μV
			$T_A = -40^\circ C \sim +125^\circ C$		± 800	
V_{IO}	入力オフセット電圧	TLE2021A-Q1 $R_S = 50\Omega$		± 100	± 400	μV
			$T_A = -40^\circ C \sim +125^\circ C$		± 550	
dV_{IO}/dT	入力オフセット電圧ドリフト	$R_S = 50\Omega$ 、 $T_A = -40^\circ C \sim +125^\circ C$		± 2		$\mu V/^\circ C$
I_{IB}	入力バイアス電流	$R_S = 50\Omega$		25	70	nA
			$T_A = -40^\circ C \sim +125^\circ C$		90	
I_{IO}	入力オフセット電流	$R_S = 50\Omega$		0.2	6	nA
			$T_A = -40^\circ C \sim +125^\circ C$		10	
PSRR	電源除去比	$V_{CC} = 5V \sim 30V$		105	120	dB
			$T_A = -40^\circ C \sim +125^\circ C$		100	
A_{VD}	大信号電圧ゲイン	$R_L = 10k\Omega$ 、 $V_O = 1.4V \sim 4V$		0.3	1.5	V/ μV
			$T_A = -40^\circ C \sim +125^\circ C$		0.1	
V_{ICR}	同相入力電圧範囲	入力から正のレールまで、 $R_S = 50\Omega$ です		3.5	4	V
			$T_A = -40^\circ C \sim +125^\circ C$		3.2	
V_{ICR}	同相入力電圧範囲	負レールにまで、 $R_S = 50\Omega$ です		-0.3	0	V
			$T_A = -40^\circ C \sim +125^\circ C$		0	
CMRR	同相除去比	$V_{IC} = V_{ICR}$ 最小、 $R_S = 50\Omega$		85	110	dB
			$T_A = -40^\circ C \sim +125^\circ C$		80	
V_O	出力電圧スイング	正のレールまで、 $R_S = 10k\Omega$ です		4	4.3	V
			$T_A = -40^\circ C \sim +125^\circ C$		3.8	
V_O	出力電圧スイング	負のレールまで、 $R_L = 10k\Omega$		0.7	0.8	V
			$T_A = -40^\circ C \sim +125^\circ C$		0.95	
I_{CC}	電源電流	無負荷		170	300	μA
			$T_A = -40^\circ C \sim +125^\circ C$		300	
AC 仕様						
SR	スルー レート	$V_O = \pm 10V$ 、 $G = 1$		0.5		V/ μs
V_n	入力電圧ノイズ密度	$f = 10Hz$		21		nV/ \sqrt{Hz}
		$f = 1kHz$		17		
V_N	入力電圧ノイズ	$f = 0.1Hz \sim 1Hz$		0.16		μV_{PP}
		$f = 0.1Hz \sim 10Hz$		0.47		
I_n	入力電流ノイズ密度			0.9		pA/ \sqrt{Hz}
B_1	ゲイン帯域幅			1.2		MHz
ϕ_m	位相マージン			42°		

5.8 TLE2022-Q1 の電気的特性、 $V_{CC} = \pm 15V$

$T_A = 25^\circ C$ 、 $V_{CC} = \pm 15V$ 、および $V_{IC} = V_{OUT} = V_{CC}/2$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 仕様						
V_{IO}	入力オフセット電圧	TLE2022-Q1 $R_S = 50\Omega$		± 150	± 500	μV
		$T_A = -40^\circ C \sim +125^\circ C$			± 700	
		TLE2022A-Q1 $R_S = 50\Omega$		± 120	± 300	
		$T_A = -40^\circ C \sim +125^\circ C$			± 450	
dV_{IO}/dT	入力オフセット電圧ドリフト	$R_S = 50\Omega$ 、 $T_A = -40^\circ C \sim +125^\circ C$		± 2		$\mu V/^\circ C$
I_{IB}	入力バイアス電流	TLE2022-Q1 $R_S = 50\Omega$		35	70	nA
		$T_A = -40^\circ C \sim +125^\circ C$			90	
		TLE2022A-Q1 $R_S = 50\Omega$		33	70	
		$T_A = -40^\circ C \sim +125^\circ C$			90	
I_{IO}	入力オフセット電流	TLE2022-Q1 $R_S = 50\Omega$		0.5	6	nA
		$T_A = -40^\circ C \sim +125^\circ C$			10	
		TLE2022A-Q1 $R_S = 50\Omega$		0.4	6	
		$T_A = -40^\circ C \sim +125^\circ C$			10	
PSRR	電源除去比	TLE2022-Q1 $V_{CC} = \pm 2.5V \sim \pm 15V$		100	115	dB
		$T_A = -40^\circ C \sim +125^\circ C$		95		
		TLE2022-Q1 $V_{CC\pm} = \pm 2.5V \sim \pm 15V$		103	118	
		$T_A = -40^\circ C \sim +125^\circ C$		98		
A_{VD}	大信号電圧ゲイン	TLE2022-Q1 $V_O = \pm 10V$ 、 $R_L = 10k\Omega$		0.8	4	V/ μV
		$T_A = -40^\circ C \sim +125^\circ C$		0.8		
		TLE2022A-Q1 $V_O = \pm 10V$ 、 $R_L = 10k\Omega$		1	7	
		$T_A = -40^\circ C \sim +125^\circ C$		1		
V_{ICR}	同相入力電圧範囲	入力から正のレールまで、 $R_S = 50\Omega$ です		13.5	14	V
		$T_A = -40^\circ C \sim +125^\circ C$		13.2		
		負レールにまで、 $R_S = 50\Omega$ です		-15.3	-15	
		$T_A = -40^\circ C \sim +125^\circ C$			-15	
CMRR	同相除去比	TLE2022-Q1 $V_{IC} = V_{ICR}$ 最小、 $R_S = 50\Omega$		95	106	dB
		$T_A = -40^\circ C \sim +125^\circ C$		91		
		TLE2022A-Q1 $V_{IC} = V_{ICR}$ 最小、 $R_S = 50\Omega$		97	109	
		$T_A = -40^\circ C \sim +125^\circ C$		93		
V_O	出力電圧スイング	正のレールまで、 $R_S = 10k\Omega$ です		14	14.3	V
		$T_A = -40^\circ C \sim +125^\circ C$		13.8		
		負のレールまで、 $R_L = 10k\Omega$		-14.1	-13.7	
		$T_A = -40^\circ C \sim +125^\circ C$			-13.6	
I_{CC}	電源電流	無負荷		550	700	μA
		$T_A = -40^\circ C \sim +125^\circ C$			700	
AC 仕様						
SR	スルー レート	$V_O = \pm 10V$ 、 $G = 1$		0.65		V/ μs
V_n	入力電圧ノイズ密度	$f = 10Hz$		19		nV/ \sqrt{Hz}
		$f = 1kHz$		15		
V_N	入力電圧ノイズ	$f = 0.1Hz \sim 1Hz$		0.16		μV_{PP}
		$f = 0.1Hz \sim 10Hz$		0.47		μV_{PP}
I_n	入力電流ノイズ密度			0.1		pA/ \sqrt{Hz}
B_1	ゲイン帯域幅			2.8		MHz
Θ_m	位相マージン			52°		

5.9 TLE2022-Q1 の電気的特性、 $V_{CC} = 5V$

$T_A = 25^\circ C$, $V_{CC+} = 5V$, $V_{CC-} = 0V$, および $V_{IC} = V_{OUT} = V_{CC+}/2$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
DC 仕様								
V_{IO}	入力オフセット電圧	TLE2022-Q1 $R_S = 50\Omega$				± 600	μV	
			$T_A = -40^\circ C \sim +125^\circ C$			± 800	μV	
		TLE2022A-Q1 $R_S = 50\Omega$				± 400	μV	
			$T_A = -40^\circ C \sim +125^\circ C$			± 550	μV	
dV_{IO}/dT	入力オフセット電圧ドリフト	$R_S = 50\Omega$, $T_A = -40^\circ C \sim +125^\circ C$			± 2		$\mu V/^\circ C$	
I_{IB}	入力バイアス電流	TLE2022-Q1 $R_S = 50\Omega$			35	70	nA	
			$T_A = -40^\circ C \sim +125^\circ C$					90
		TLE2022A-Q1 $R_S = 50\Omega$				33		70
			$T_A = -40^\circ C \sim +125^\circ C$					
I_{IO}	入力オフセット電流	TLE2022-Q1 $R_S = 50\Omega$			0.5	6	nA	
			$T_A = -40^\circ C \sim +125^\circ C$					10
		TLE2022A-Q1 $R_S = 50\Omega$				0.4		6
			$T_A = -40^\circ C \sim +125^\circ C$					
PSRR	電源除去比	TLE2022-Q1 $V_{CC} = 5V \sim 30V$		100	115	dB		
			$T_A = -40^\circ C \sim +125^\circ C$	95				
		TLE2022A-Q1 $V_{CC} = 5V \sim 30V$		103	118			
			$T_A = -40^\circ C \sim +125^\circ C$	98				
A_{VD}	大信号電圧ゲイン	TLE2022-Q1 $V_O = 1.4V \sim 4V$, $R_L = 10k\Omega$		0.3	1.5	V/ μV		
			$T_A = -40^\circ C \sim +125^\circ C$	0.1				
		TLE2022A-Q1 $V_O = 1.4V \sim 4V$, $R_L = 10k\Omega$		0.4	1.5			
			$T_A = -40^\circ C \sim +125^\circ C$	0.1				
V_{ICR}	同相入力電圧範囲	入力から正のレールまで、 $R_S = 50\Omega$ です		3.5	4	V		
			$T_A = -40^\circ C \sim +125^\circ C$	3.2				
		負レールにまで、 $R_S = 50\Omega$ です			-0.3		0	
			$T_A = -40^\circ C \sim +125^\circ C$				0	
CMRR	同相除去比	TLE2022-Q1 $V_{IC} = V_{ICR}$ 最小, $R_S = 50\Omega$		85	100	dB		
			$T_A = -40^\circ C \sim +125^\circ C$	80				
		TLE2022A-Q1 $V_{IC} = V_{ICR}$ 最小, $R_S = 50\Omega$		87	102			
			$T_A = -40^\circ C \sim +125^\circ C$	82				
V_O	出力電圧スイング	正のレールまで、 $R_S = 10k\Omega$ です		4	4.3	V		
			$T_A = -40^\circ C \sim +125^\circ C$	3.8				
		負のレールまで、 $R_L = 10k\Omega$			0.7		0.8	
			$T_A = -40^\circ C \sim +125^\circ C$				0.95	
I_{CC}	電源電流	無負荷			450	600	μA	
			$T_A = -40^\circ C \sim +125^\circ C$					600
AC 仕様								
SR	スルー レート	$V_O = 1V \sim 3V$, $G = 1$			0.5		V/ μs	
V_n	入力電圧ノイズ密度	$f = 10Hz$			21		nV/ \sqrt{Hz}	
		$f = 1kHz$			17			
V_N	入力電圧ノイズ	$f = 0.1Hz \sim 1Hz$			0.16		μV_{PP}	
		$f = 0.1Hz \sim 10Hz$			0.47			
I_n	入力電流ノイズ密度				0.1		pA/ \sqrt{Hz}	
B_1	ゲイン帯域幅				1.7		MHz	
Θ_m	位相マージン				47°			

5.10 TLE2024-Q1 の電気的特性、 $V_{CC} = \pm 15V$

$T_A = 25^\circ C$ 、 $V_{CC} = \pm 15V$ 、および $V_{IC} = V_{OUT} = V_{CC}/2$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
DC 仕様							
V_{IO}	入力オフセット電圧	TLE2024-Q1 $R_S = 50\Omega$			± 1000	μV	
			$T_A = -40^\circ C \sim +125^\circ C$		± 1200		
		TLE2024A-Q1 $R_S = 50\Omega$			± 750		
			$T_A = -40^\circ C \sim +125^\circ C$		± 950		
dV_{IO}/dT	入力オフセット電圧ドリフト	$R_S = 50\Omega$ 、 $T_A = -40^\circ C \sim +125^\circ C$		± 2		$\mu V/^\circ C$	
I_{IB}	入力バイアス電流	TLE2024-Q1 $R_S = 50\Omega$		50	70	nA	
			$T_A = -40^\circ C \sim +125^\circ C$		90		
		TLE2024A-Q1 $R_S = 50\Omega$		45	70		
			$T_A = -40^\circ C \sim +125^\circ C$		90		
I_{IO}	入力オフセット電流	TLE2024-Q1 $R_S = 50\Omega$		0.6	6	nA	
			$T_A = -40^\circ C \sim +125^\circ C$		10		
		TLE2024A-Q1 $R_S = 50\Omega$		0.2	6		
			$T_A = -40^\circ C \sim +125^\circ C$		10		
PSRR	電源除去比	TLE2024-Q1 $V_{CC} = \pm 2.5V \sim \pm 15V$		98	112	dB	
			$T_A = -40^\circ C \sim +125^\circ C$		93		
		TLE2024A-Q1 $V_{CC} = \pm 2.5V \sim \pm 15V$		100	115		
			$T_A = -40^\circ C \sim +125^\circ C$		95		
A_{VD}	大信号電圧ゲイン	TLE2024-Q1 $V_O = \pm 10V$ 、 $R_L = 10k\Omega$		0.4	2	V/ μV	
			$T_A = -40^\circ C \sim +125^\circ C$		0.4		
		TLE2024A-Q1 $V_O = \pm 10V$ 、 $R_L = 10k\Omega$		0.8	4		
			$T_A = -40^\circ C \sim +125^\circ C$		0.8		
V_{ICR}	同相入力電圧範囲	入力から正のレールまで、 $R_S = 50\Omega$ です		13.5	14	V	
			$T_A = -40^\circ C \sim +125^\circ C$		13.2		
		負レールにまで、 $R_S = 50\Omega$ です			-15.3		-15
			$T_A = -40^\circ C \sim +125^\circ C$				-15
CMRR	同相除去比	TLE2024-Q1 $V_{IC} = V_{ICR}$ 最小、 $R_S = 50\Omega$		92	102	dB	
			$T_A = -40^\circ C \sim +125^\circ C$		88		
		TLE2024A-Q1 $V_{IC} = V_{ICR}$ 最小、 $R_S = 50\Omega$		94	105		
			$T_A = -40^\circ C \sim +125^\circ C$		90		
V_O	出力電圧スイング	正のレールまで、 $R_S = 10k\Omega$ です		13.8	14.1	V	
			$T_A = -40^\circ C \sim +125^\circ C$		13.7		
		負のレールまで、 $R_L = 10k\Omega$			-14.1		-13.7
			$T_A = -40^\circ C \sim +125^\circ C$				-13.6
I_{CC}	電源電流	無負荷		1050	1400	μA	
			$T_A = -40^\circ C \sim +125^\circ C$				1400
AC 仕様							
SR	スルー レート	$V_O = \pm 10V$ 、 $G = 1$		0.7		V/ μs	
V_n	入力電圧ノイズ密度	$f = 10Hz$		19		nV/ \sqrt{Hz}	
		$f = 1kHz$		15			
V_N	入力電圧ノイズ	$f = 0.1Hz \sim 1Hz$		0.16		μV_{PP}	
		$f = 0.1Hz \sim 10Hz$		0.47			
I_n	入力電流ノイズ密度			0.1		pA/ \sqrt{Hz}	
B_1	ゲイン帯域幅			2.8		MHz	
Θ_m	位相マージン			52°			

5.11 TLE2024-Q1 の電気的特性、V_{CC} = 5V

T_A = 25°C、V_{CC+} = 5V、V_{CC-} = 0V、および V_{IC} = V_{OUT} = V_{CC+}/2 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
DC 仕様							
V _{IO}	入力オフセット電圧	TLE2024-Q1 R _S = 50Ω				±1100	μV
			T _A = -40°C ~ +125°C			±1300	
		TLE2024A-Q1 R _S = 50Ω				±850	
			T _A = -40°C ~ +125°C			±1050	
dV _{IO} /dT	入力オフセット電圧ドリフト	R _S = 50Ω、T _A = -40°C ~ +125°C			±2		μV/°C
I _{IB}	入力バイアス電流	TLE2024-Q1 R _S = 50Ω			45	70	nA
			T _A = -40°C ~ +125°C			90	
		TLE2024A-Q1 R _S = 50Ω			40	70	
			T _A = -40°C ~ +125°C			90	
I _{IO}	入力オフセット電流	TLE2024-Q1 R _S = 50Ω			0.6	6	nA
			T _A = -40°C ~ +125°C			10	
		TLE2024A-Q1 R _S = 50Ω			0.5	6	
			T _A = -40°C ~ +125°C			10	
PSRR	電源除去比	TLE2024-Q1 V _{CC±} = ±2.5V ~ ±15V		98	112	dB	
			T _A = -40°C ~ +125°C	93			
		TLE2024-Q1 V _{CC} = ±2.5V ~ ±15V		100	115		
			T _A = -40°C ~ +125°C	95			
A _{VD}	大信号電圧ゲイン	TLE2024-Q1 V _O = 1.4V ~ 4V、R _L = 10kΩ		0.2	1.5	V/μV	
			T _A = -40°C ~ +125°C	0.1			
		TLE2024A-Q1 V _O = 1.4V ~ 4V、R _L = 10kΩ		0.3	1.5		
			T _A = -40°C ~ +125°C	0.1			
V _{ICR}	同相入力電圧範囲	入力から正のレールまで、 R _S = 50Ω です		3.5	4	V	
			T _A = -40°C ~ +125°C	3.2			
		負レールにまで、 R _S = 50Ω です			-0.3		0
			T _A = -40°C ~ +125°C				0
CMRR	同相除去比	TLE2024-Q1 V _{IC} = V _{ICR} 最小、R _S = 50Ω		80	90	dB	
			T _A = -40°C ~ +125°C	80			
		TLE2024A-Q1 V _{IC} = V _{ICR} 最小、R _S = 50Ω		82	92		
			T _A = -40°C ~ +125°C	82			
V _O	出力電圧スイング	正のレールまで、 R _S = 10kΩ です		3.9	4.2	V	
			T _A = -40°C ~ +125°C	3.7			
		負のレールまで、 R _L = 10kΩ			0.7		0.8
			T _A = -40°C ~ +125°C				0.95
I _{CC}	電源電流	無負荷			800	1200	μA
			T _A = -40°C ~ +125°C			1200	
AC 仕様							
SR	スルー レート	V _O = 1V ~ 3V、G = 1			0.5		V/μs
V _n	入力電圧ノイズ密度	f = 10Hz			21		nV/√Hz
		f = 1kHz			17		
V _N	入力電圧ノイズ	f = 0.1Hz ~ 1Hz			0.16		μV _{PP}
		f = 0.1Hz ~ 10Hz			0.47		μV _{PP}
I _n	入力電流ノイズ密度				0.1		pA/√Hz
B ₁	ゲイン帯域幅				1.7		MHz
Θ _m	位相マージン				47°		

5.12 代表的特性

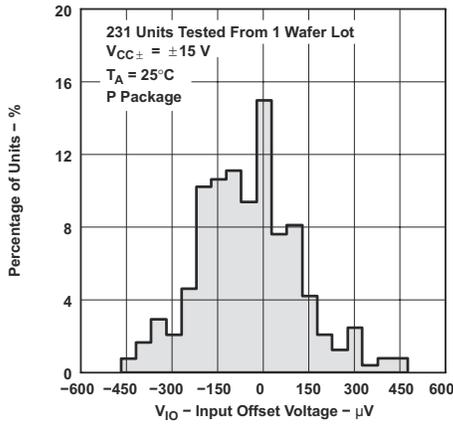


図 5-1. TLE2021-Q1 入力オフセット電圧の分布

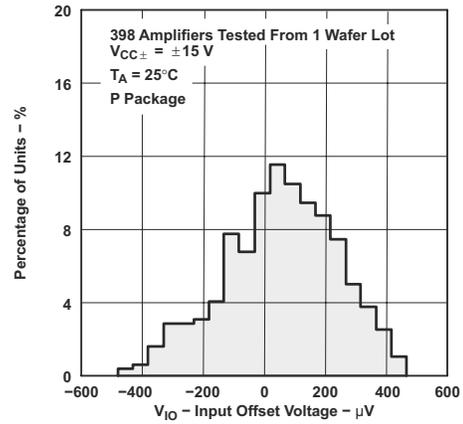


図 5-2. TLE2022-Q1 入力オフセット電圧の分布

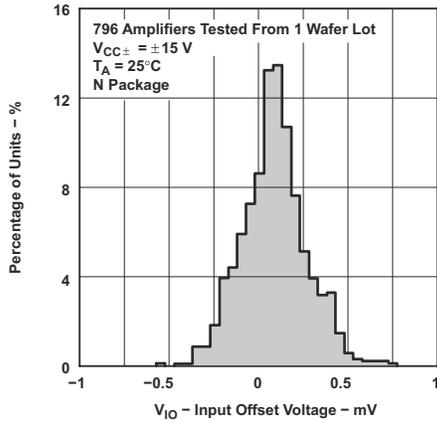


図 5-3. TLE2024-Q1 入力オフセット電圧の分布

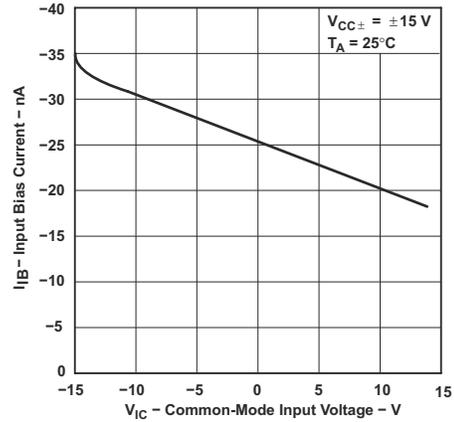


図 5-4. TLE2021-Q1 入力バイアス電流と同相入力電圧との関係

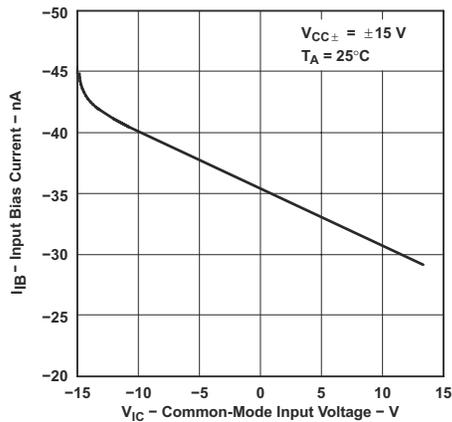


図 5-5. TLE2022-Q1 入力バイアス電流と同相入力電圧との関係

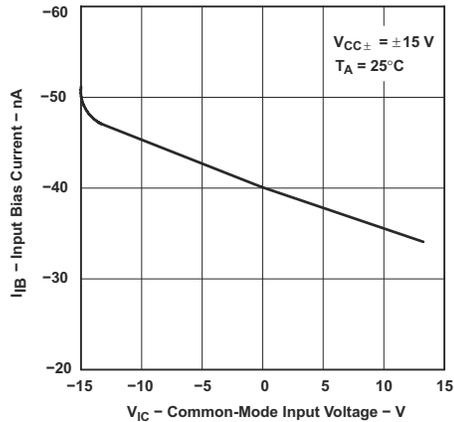
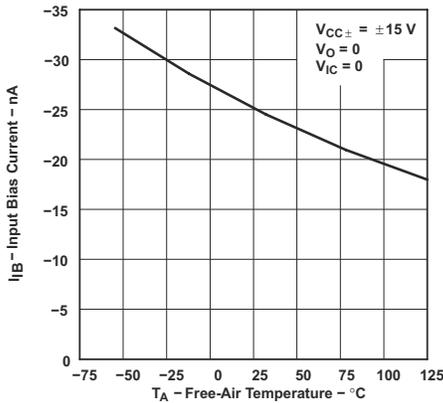


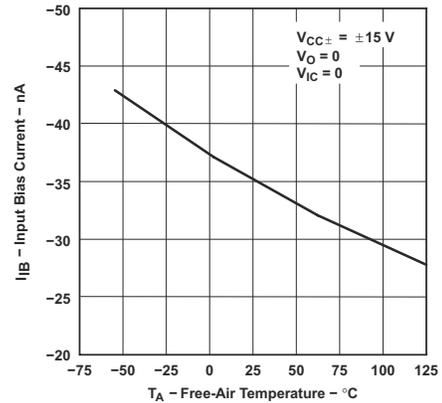
図 5-6. TLE2024-Q1 入力バイアス電流と同相入力電圧との関係

5.12 代表的特性 (続き)



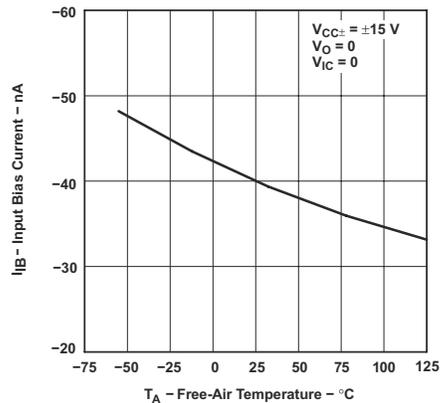
高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます

図 5-7. TLE2021-Q1 入力バイアス電流と自由気流温度との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-8. TLE2022-Q1 入力バイアス電流と自由気流温度との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-9. TLE2024-Q1 入力バイアス電流と自由気流温度との関係

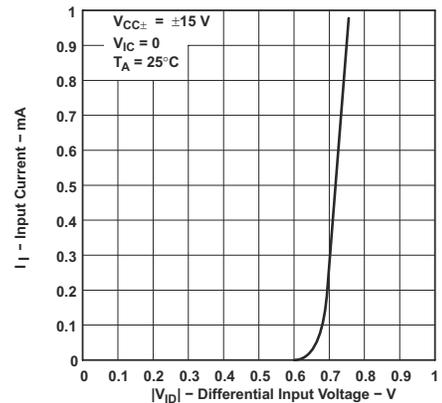


図 5-10. 入力電流と差動入力電圧との関係

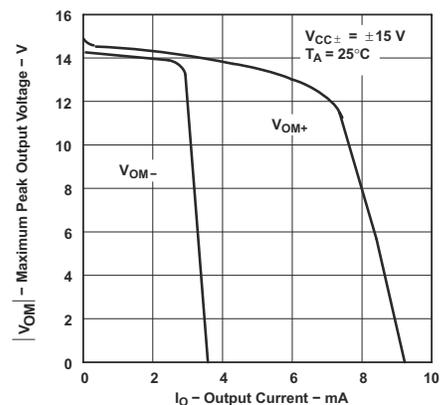


図 5-11. TLE2021-Q1 最大負ピーク出力電圧と出力電流との関係

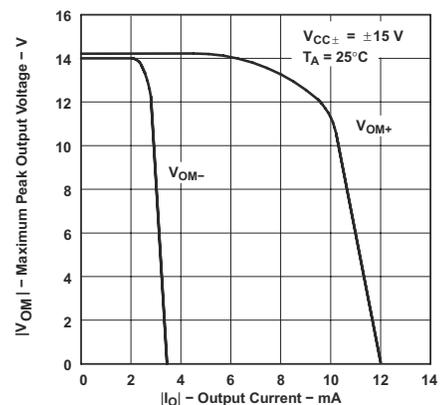


図 5-12. TLE2022-Q1 最大負ピーク出力電圧と出力電流との関係

5.12 代表的特性 (続き)

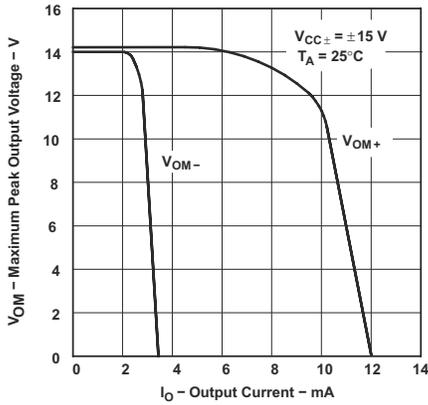
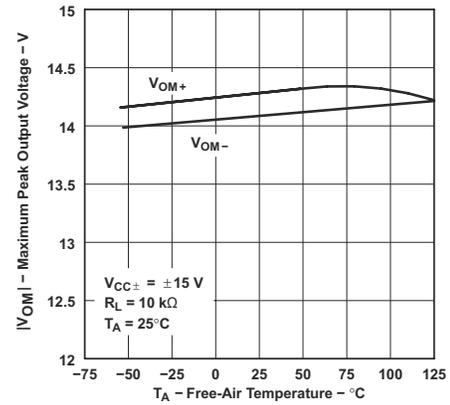


図 5-13. TLE2024-Q1 最大負ピーク出力電圧と出力電流との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-14. 最大ピーク出力電圧と自由気流温度との関係

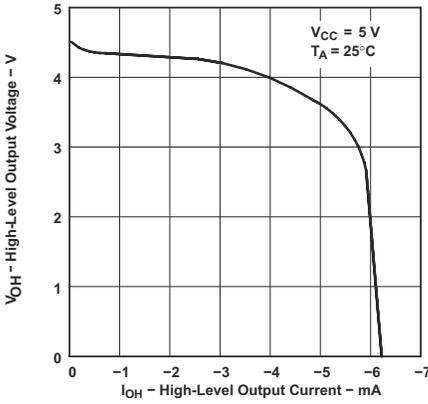


図 5-15. TLE2021-Q1 High レベル出力電圧と High レベル出力電流との関係

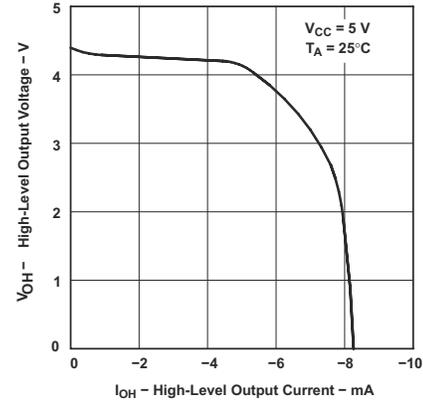
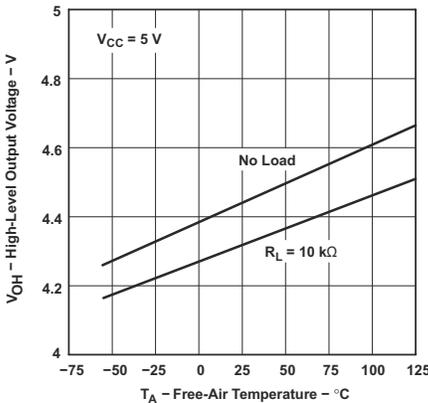


図 5-16. TLE2022-Q1 および TLE2024-Q1 の High レベル出力電圧と High レベル出力電流との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-17. High レベル出力電圧と自由気流温度との関係

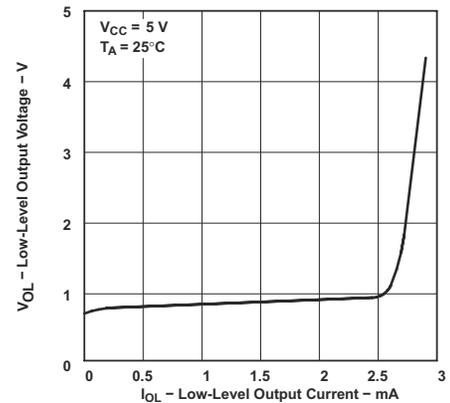
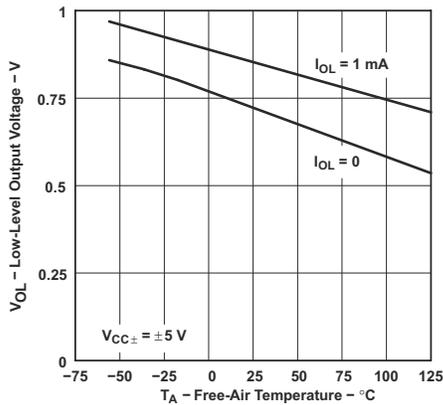


図 5-18. Low レベル出力電圧と Low レベル出力電流との関係

5.12 代表的特性 (続き)



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-19. Low レベル出力電圧と自由気流温度との関係

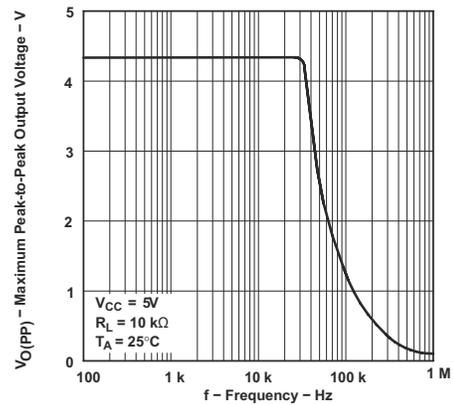


図 5-20. 最大ピークツーピーク出力電圧と周波数との関係

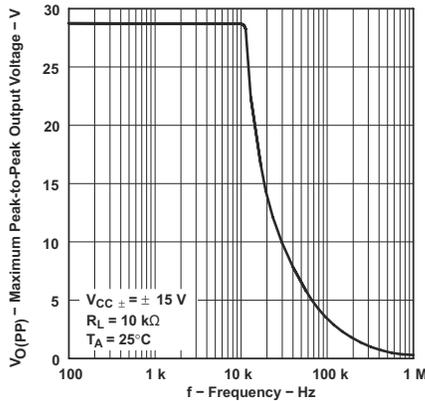


図 5-21. 最大ピークツーピーク出力電圧と周波数との関係

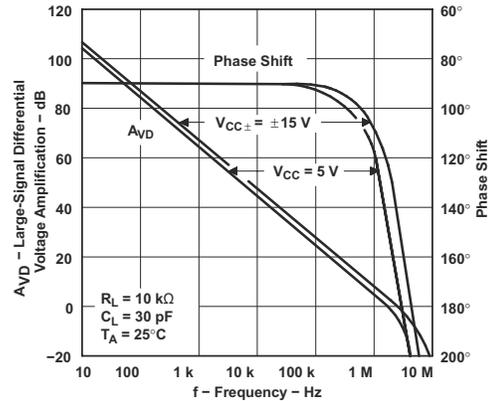
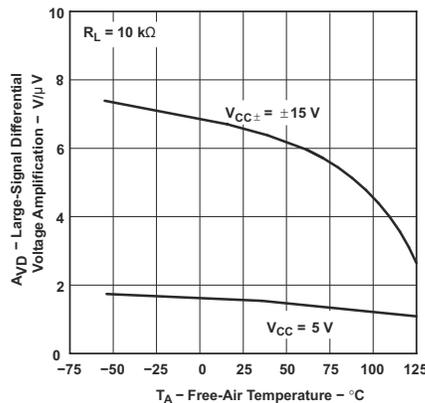
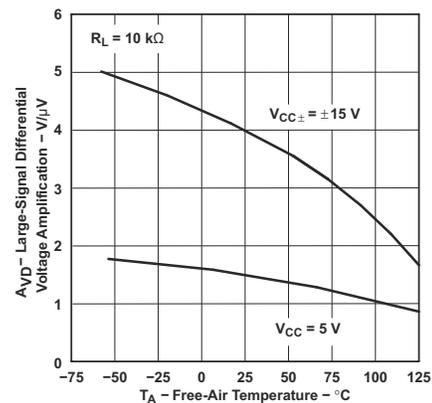


図 5-22. 大信号の差動電圧増幅および位相シフトと周波数との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

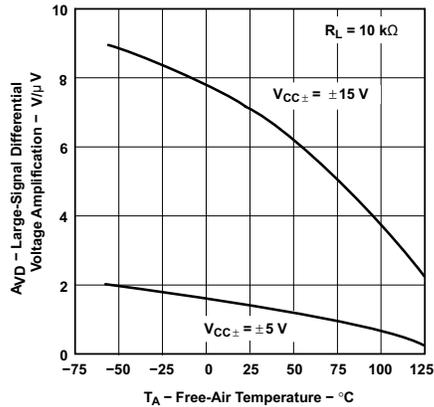
図 5-23. TLE2021-Q1 大スケールの差動電圧増幅と自由気流温度との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-24. TLE2022-Q1 大信号の差動電圧増幅と自由気流温度との関係

5.12 代表的特性 (続き)



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-25. TLE2024-Q1 大スケールの差動電圧増幅と自由気流温度との関係

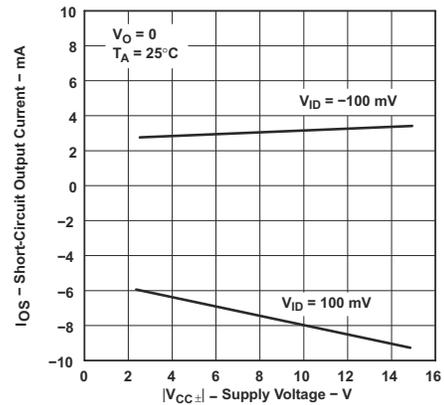


図 5-26. TLE2021-Q1 短絡出力電流と電源電圧との関係

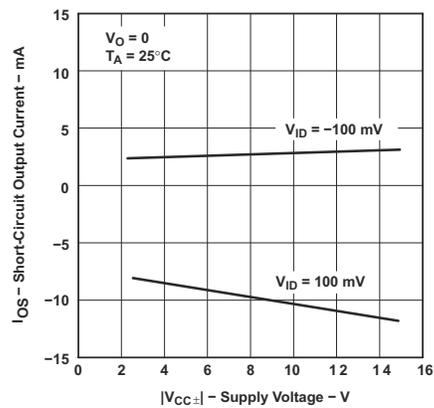


図 5-27. TLE2022-Q1 および TLE2024-Q1 短絡出力電流と電源電圧との関係

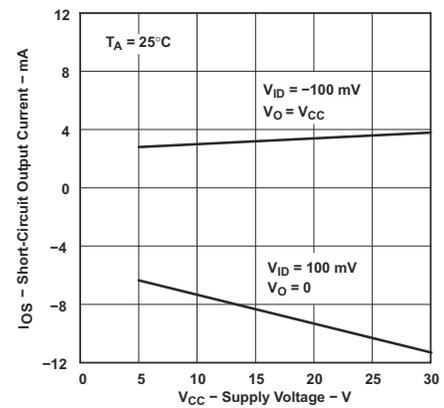
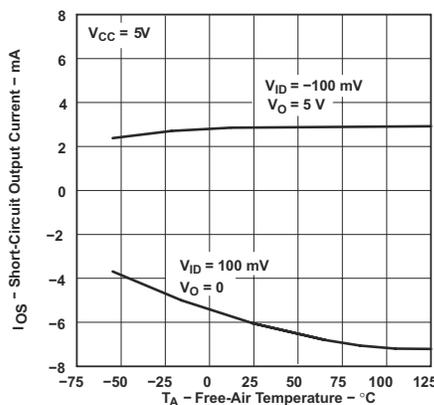


図 5-28. TLE2021-Q1 短絡出力電流と電源電圧との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-29. TLE2021-Q1 短絡出力電流と自由気流温度との関係

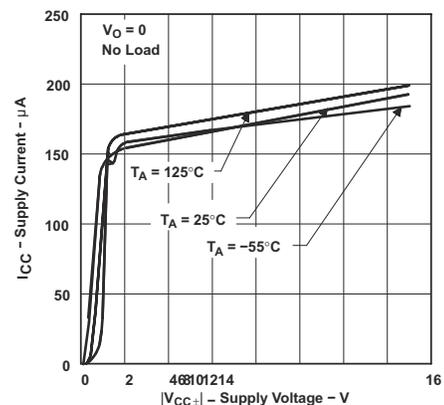


図 5-30. TLE2021-Q1 電源電流と電源電圧との関係

5.12 代表的特性 (続き)

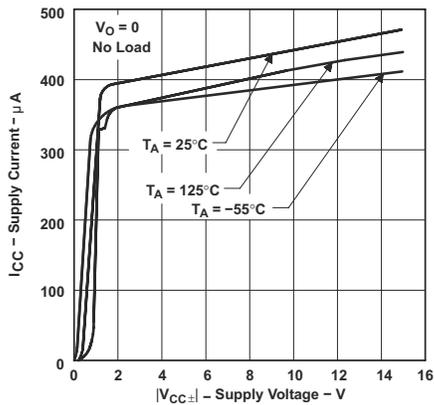


図 5-31. TLE2022-Q1 電源電流と電源電圧との関係

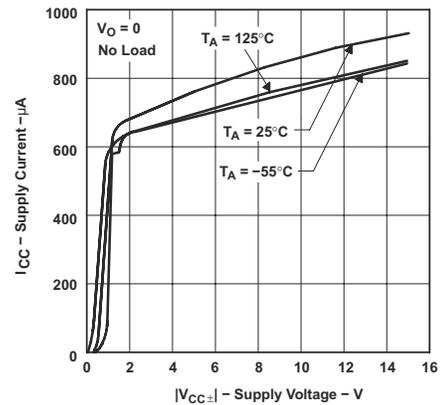
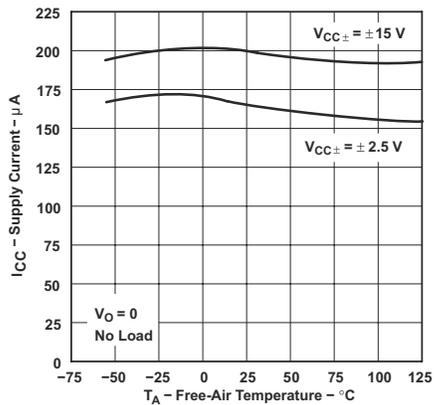
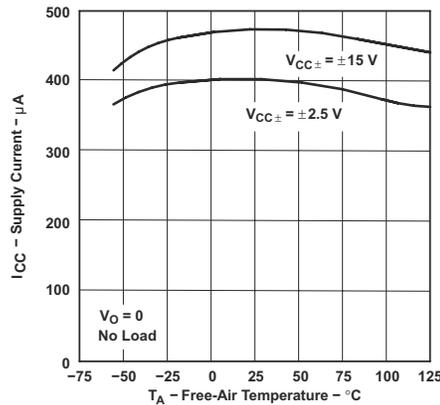


図 5-32. TLE2024-Q1 電源電流と電源電圧との関係



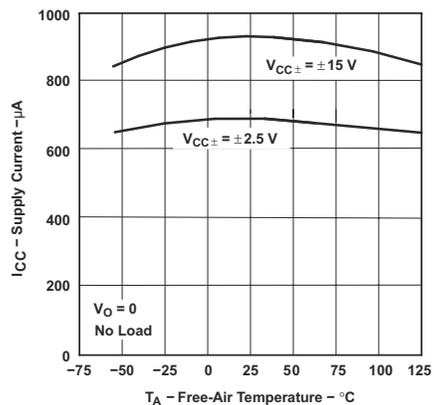
高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-33. TLE2021-Q1 電源電流と自由気流温度との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-34. TLE2022-Q1 電源電流と自由気流温度との関係



高温時および低温時のデータは、各種デバイスの定格自由気流の動作時温度範囲内でのみ適用されます。

図 5-35. TLE2024-Q1 電源電流と自由気流温度との関係

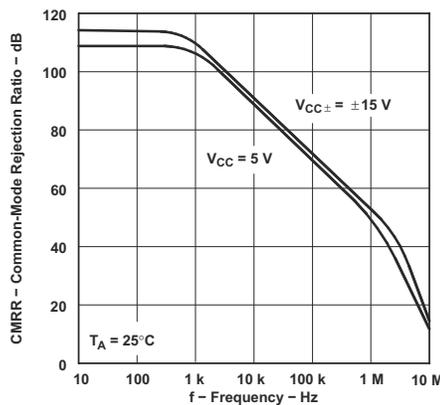


図 5-36. TLE2021-Q1 同相信号除去比と周波数との関係

5.12 代表的特性 (続き)

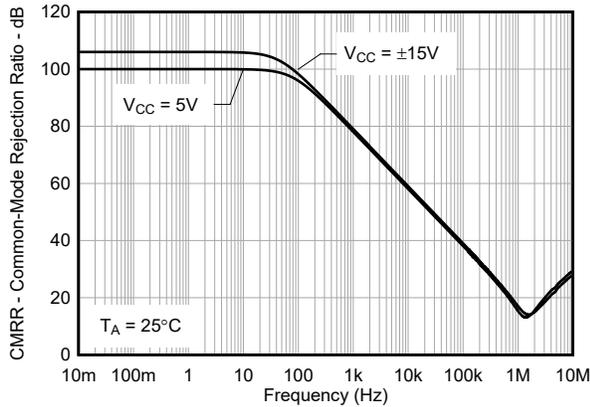


図 5-37. TLE2022-Q1 同相信号除去比と周波数との関係

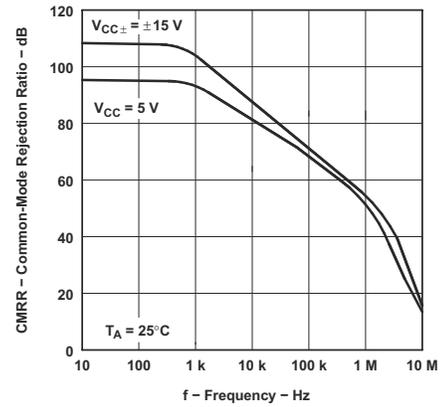


図 5-38. TLE2024-Q1 同相信号除去比と周波数との関係

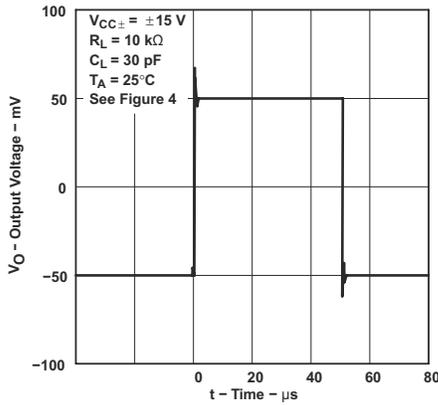


図 5-39. ボルテージフォロワの小信号パルス応答

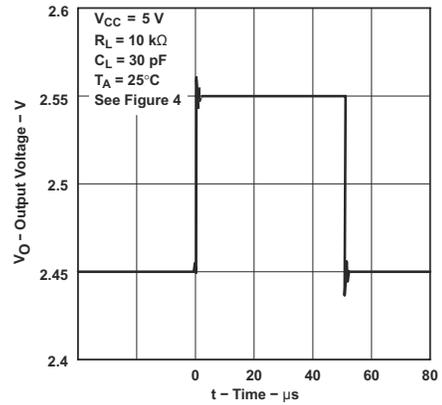


図 5-40. ボルテージフォロワの小信号パルス応答

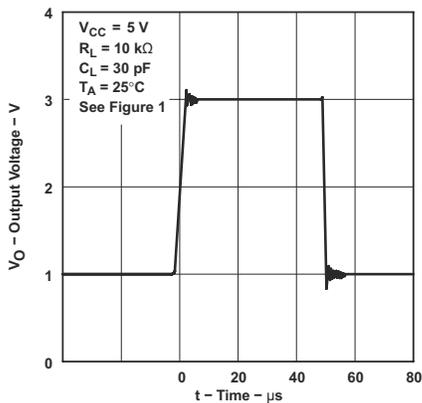


図 5-41. TLE2021-Q1 ボルテージフォロワの大信号パルス応答

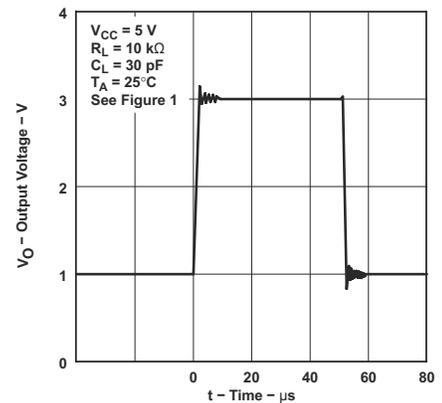


図 5-42. TLE2022-Q1 ボルテージフォロワの大信号パルス応答

5.12 代表的特性 (続き)

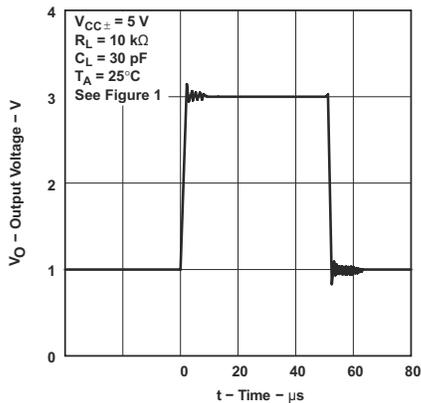


図 5-43. TLE2024-Q1 ボルテージフォロワの大スケールパルス応答

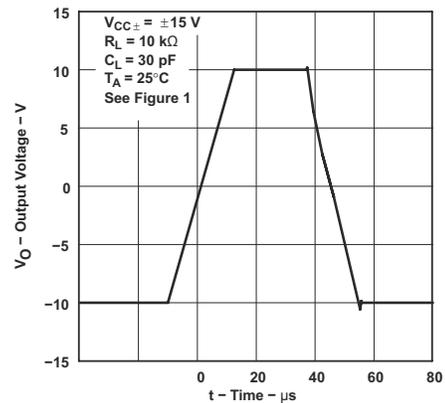


図 5-44. TLE2021-Q1 ボルテージフォロワの大信号パルス応答

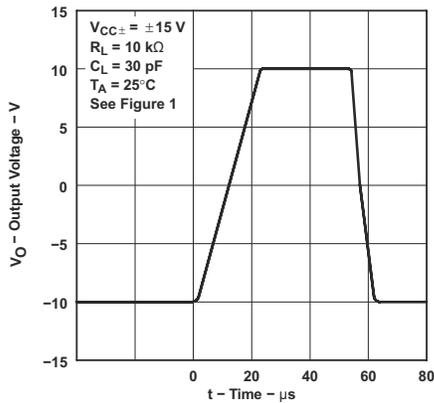


図 5-45. TLE2022-Q1 ボルテージフォロワの大信号パルス応答

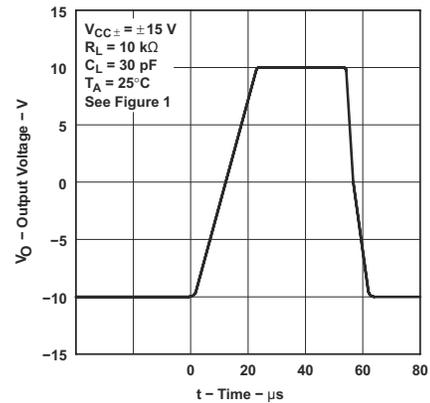


図 5-46. TLE2024-Q1 ボルテージフォロワの大信号パルス応答

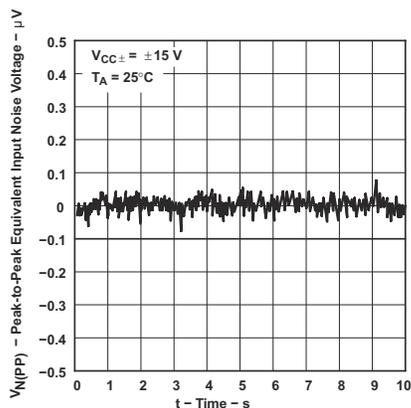


図 5-47. 0.1Hz ~ 1Hz のピークツーピーク等価入力ノイズ電圧を削減

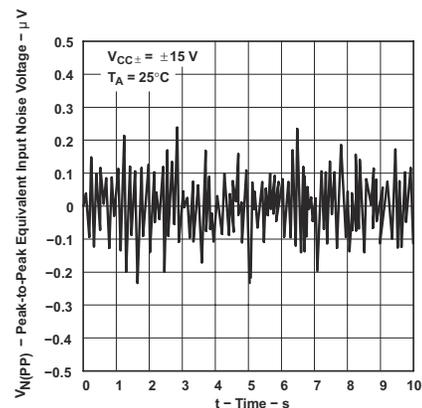


図 5-48. 0.1Hz ~ 10Hz のピークツーピーク等価入力ノイズ電圧を削減

5.12 代表的特性 (続き)

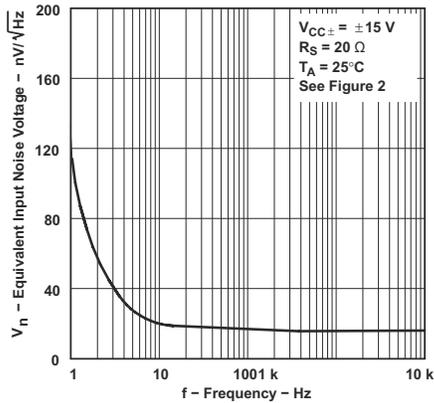


図 5-49. 等価入力ノイズ電圧と周波数との関係

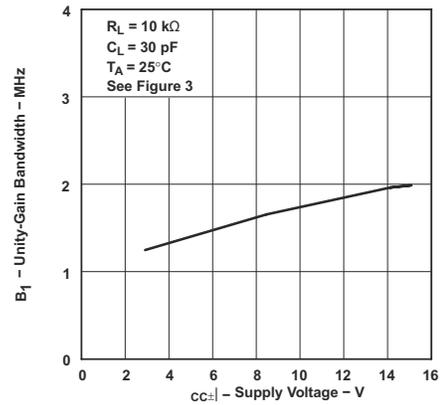


図 5-50. TLE2021-Q1 のユニティ ゲイン帯域幅と電源電圧との関係

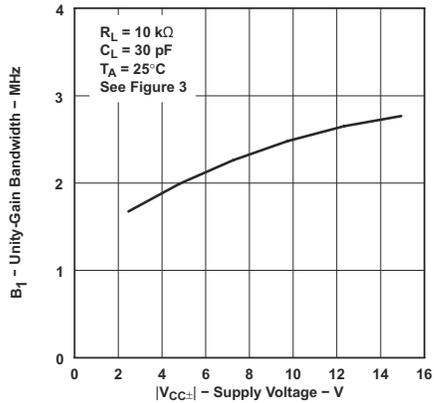


図 5-51. TLE2022-Q1 および TLE2024-Q1 のユニティ ゲイン帯域幅と電源電圧との関係

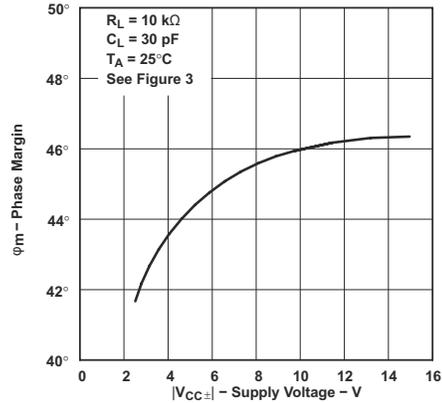


図 5-52. TLE2021-Q1 の位相マージンと電源電圧との関係

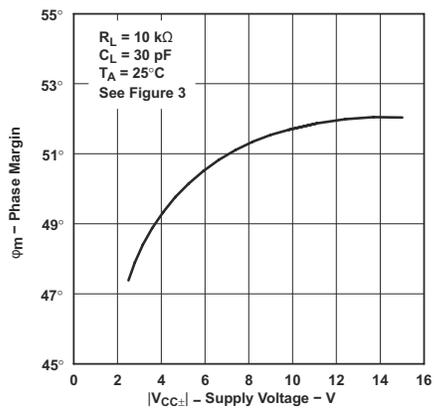


図 5-53. TLE2022-Q1 および TLE2024-Q1 位相マージンと電源電圧との関係

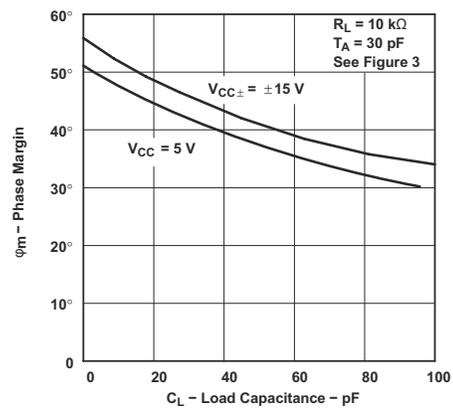
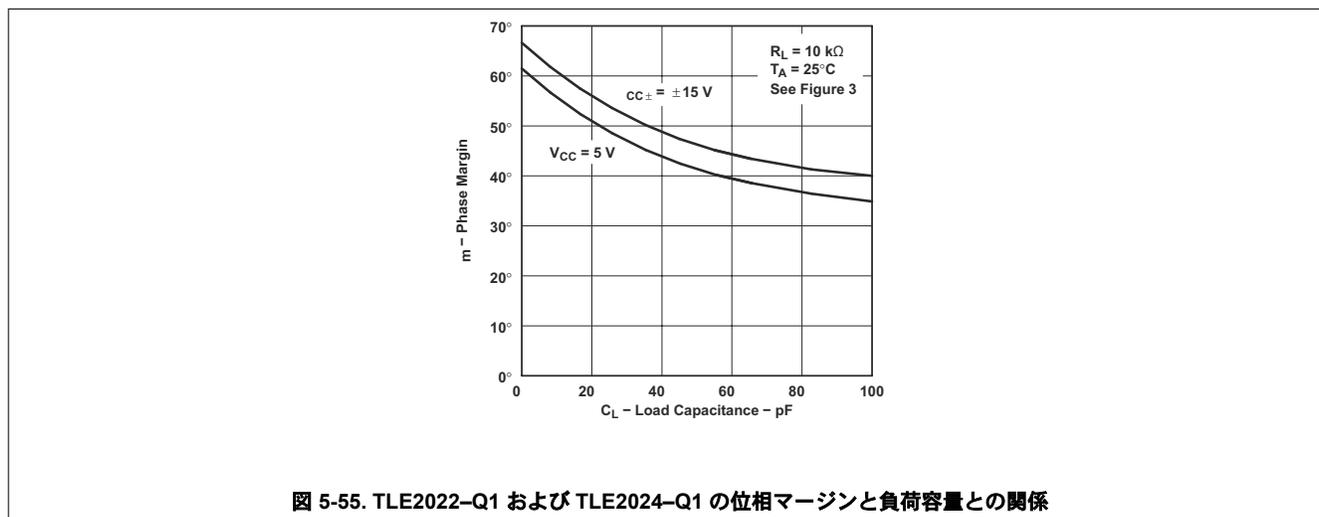


図 5-54. TLE2021-Q1 位相マージンと負荷容量との関係

5.12 代表的特性 (続き)



6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 アプリケーション情報

6.1.1 電圧フォロワアプリケーション

TLE202x-Q1 回路には、入力トランジスタの両端の電圧を制限するための入力保護ダイオードが含まれていますが、これらのダイオードが順方向バイアスされた場合に電流を制限する機能は回路には組み込まれていません。この状況は、本デバイスが電圧フォロワ構成で動作し、高速な大信号パルスで駆動される場合に発生することがあります。デバイスの劣化を防止するため、帰還抵抗を使用して電流を最大 **1mA** に制限します。この帰還抵抗は、デバイスの入力容量と極を形成します。帰還抵抗の値が **10kΩ** より大きい場合、この極によってアンプ位相マージンが低下します。図 6-1 は、この問題を軽減するため、帰還抵抗と並列にコンデンサ (**20pF ~ 50pF**) を追加することを示しています。

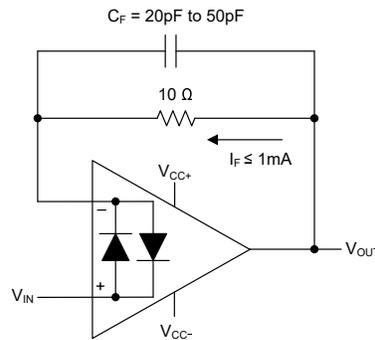


図 6-1. 電圧フォロワ

6.1.2 入力オフセット電圧ヌル調整

TLE202x-Q1 シリーズには、入力オフセット電圧をさらに低減する外部ヌルピンがあります。図 6-2 に、この機能が必要な場合の回路の接続方法をに示します。目的の性能が得られるように外部抵抗値を調整します。外部ヌルが不要な場合は、ヌルピンを取り外したままにします。この調整は、オペアンプのオフセットをゼロにするためにのみ使用してください。追加の温度ドリフトが導入される可能性があるため、システムの他の場所で作成されたオフセットを補正するためにこの調整を使用しないでください。

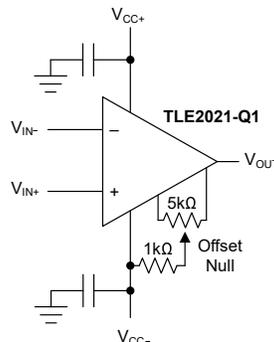


図 6-2. 入力オフセット電圧の Null 回路

内部抵抗は異なるため、固定抵抗を使用してアンプのオフセットをゼロにすると、予期しない結果が発生することがあります。

6.2 レイアウト

6.2.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

1. 各電源ピンとグランドとの間に、低 ESR の $0.1\mu\text{F}$ セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 V_{CC+} からグランドに対して単一のバイパス コンデンサを接続します。ノイズは、回路全体の電源ピンと、個別のオペ アンプを経由して、アナログ回路に伝播する可能性があります。バイパス コンデンサは、アナログ回路にローカルな低インピーダンスの電力を供給し、結合ノイズを低減するために使用されます。
2. デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに特に注意します。回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。
3. 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配置します。これらのトレースを離して配置できない場合、感度の高いトレースをノイズの多いトレースと平行にするのではなく、垂直に交差させる方がはるかに効果的です。
4. 外付け部品は、可能な限りデバイスに近く配置します。図 6-4 は、寄生容量を最小限に抑えるため、 R_F と R_G は反転入力に近くに配置する方法を示します。
5. 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
6. 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用して、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。
7. 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
8. 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、クリーニング中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

6.2.2 レイアウト例

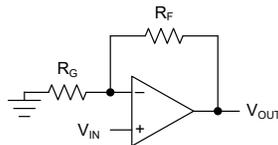


図 6-3. 回路図

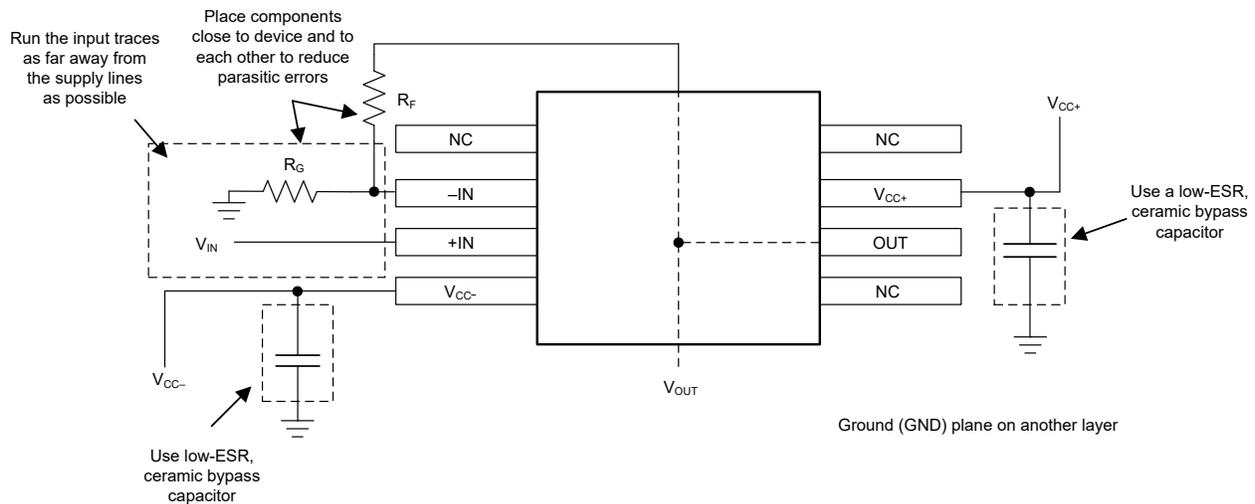


図 6-4. 非反転構成のオペアンプ基板のレイアウト

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介いたします。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2008) to Revision C (July 2025)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「アプリケーション」表、仕様、「ピン構成および機能」、「仕様」、「熱に関する情報」、「アプリケーションと実装」、「レイアウト」、「デバイスおよびドキュメントのサポート」、および「メカニカル、パッケージ、および注文情報」セクションを追加..	1
データシートのタイトルを更新.....	1
Excalibur プロセスへのすべての参照を削除しました.....	1
PW (TSSOP) パッケージおよび関連する内容をデータシートから削除.....	1
「特長」を更新	1
「特長」からマシン モデル情報を削除	1
「アプリケーション」を追加	1
「概要」を更新	1
データ シートから長期的な入力オフセットドリフトに関連する内容を削除.....	1
等価回路図 (各アンプ)を削除.....	3
「ピン構成および機能」の「ピン機能」表を更新.....	3
すべての仕様表のフォーマットを更新.....	5
「絶対最大定格」の入力電圧範囲を変更.....	5

- 「絶対最大定格」の注 4 を更新..... 5
- 「絶対最大定格」の注 5 を削除..... 5
- パッケージの熱インピーダンスを「絶対最大定格」から「熱に関する情報」に移動..... 5
- 「絶対最大定格」から自由気流での動作温度範囲を削除..... 5
- 「推奨動作条件」で、同相入力電圧条件を $V_{CC} = \pm 5V$ から $V_{CC+} = 5V$ (標準値) に変更..... 5
- すべての「電気的特性」表のパラメータの名前をわかりやすくを更新..... 7
- すべての「電気的特性」表に \pm オン入力オフセット電圧と入力オフセット電圧ドリフトを追加..... 7
- すべての「電気的特性」表から入力オフセット電圧の長期ドリフトを削除..... 7
- すべての「電気的特性」表から注 4 を削除..... 7
- すべての「電気的特性」表で、同相電圧 (負レールに) を最小値から最大値に移動..... 7
- 「電気的特性」すべての表で、電圧出力スイング (負) を最小値から最大値に移動..... 7
- すべての「電気的特性」表から、動作温度範囲全体にわたる電源電流の変化を削除..... 7
- すべての $V_{CC} = \pm 15V$ の「電気的特性」の表から、ユニティゲイン最小値でのスルー レートを削除..... 7
- すべての $V_{CC} = \pm 15V$ の「電気的特性」の表から、温度範囲全体にわたるユニティゲインでのスルー レートを削除.. 7
- TLE2024A-Q1 の出力電圧スイングの標準値を 14.2V から 14.1V に変更..... 11
- 「パラメータ測定情報」セクションを削除..... 13
- 図 34~37、図 47~49、図 63~64、図 69~70 を削除..... 13
- 図 44 ~ 46 (同相除去比と周波数との関係) を更新..... 13
- 図 6-1 電圧フォロワを更新..... 23
- マクロモデル情報を削除..... 23
- 入力オフセット電圧のヌルリングの説明を更新..... 23
- 図 6-2、「入力オフセット電圧のヌル回路」を更新..... 23

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLE2021AQDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021AQ
TLE2021AQDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021AQ
TLE2021AQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021AQ
TLE2021AQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021AQ
TLE2021QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021Q1
TLE2021QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021Q1
TLE2021QDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021Q1
TLE2021QDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2021Q1
TLE2022AQDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2022AQ
TLE2022AQDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2022AQ
TLE2022QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2022Q1
TLE2022QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2022Q1
TLE2022QDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2022Q1
TLE2022QDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2022Q1
TLE2024QDWRG4Q1	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2024Q1
TLE2024QDWRG4Q1.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2024Q1

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLE2021-Q1, TLE2021A-Q1, TLE2022-Q1, TLE2022A-Q1, TLE2024-Q1 :

- Catalog : [TLE2021](#), [TLE2021A](#), [TLE2022](#), [TLE2022A](#), [TLE2024](#)
- Enhanced Product : [TLE2021-EP](#), [TLE2021A-EP](#), [TLE2022-EP](#), [TLE2022A-EP](#), [TLE2024-EP](#)
- Military : [TLE2021M](#), [TLE2021AM](#), [TLE2022M](#), [TLE2022AM](#), [TLE2024M](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



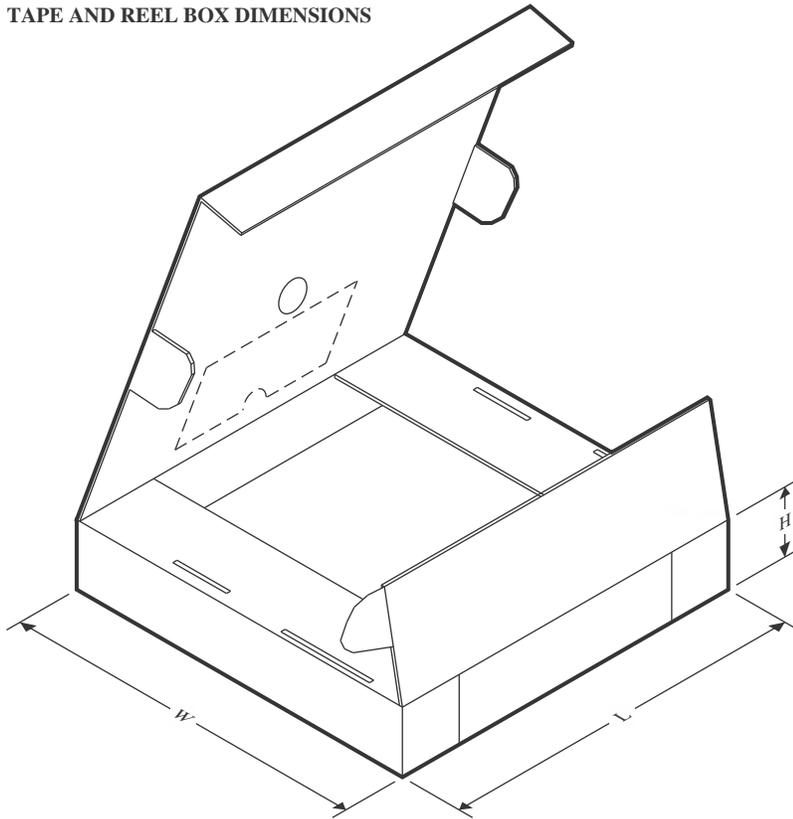
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLE2022AQDRG4Q1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLE2022QDRG4Q1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLE2022QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLE2022AQDRG4Q1	SOIC	D	8	2500	353.0	353.0	32.0
TLE2022QDRG4Q1	SOIC	D	8	2500	353.0	353.0	32.0
TLE2022QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

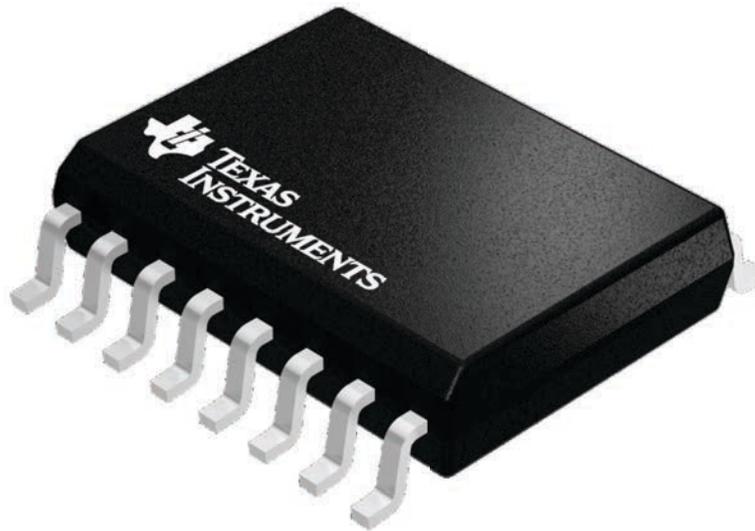
DW 16

SOIC - 2.65 mm max height

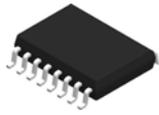
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



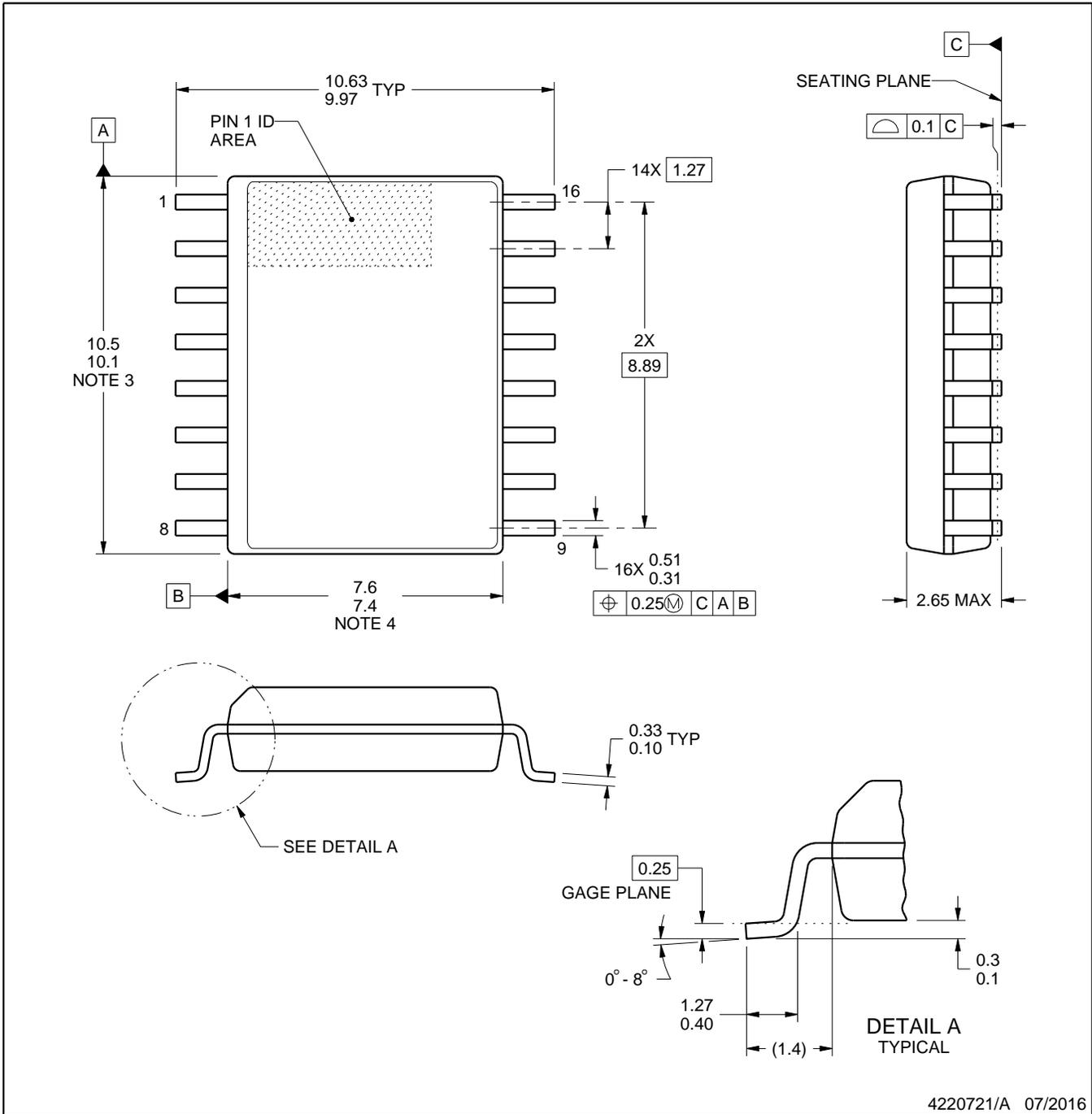
4224780/A



DW0016A

PACKAGE OUTLINE SOIC - 2.65 mm max height

SOIC



4220721/A 07/2016

NOTES:

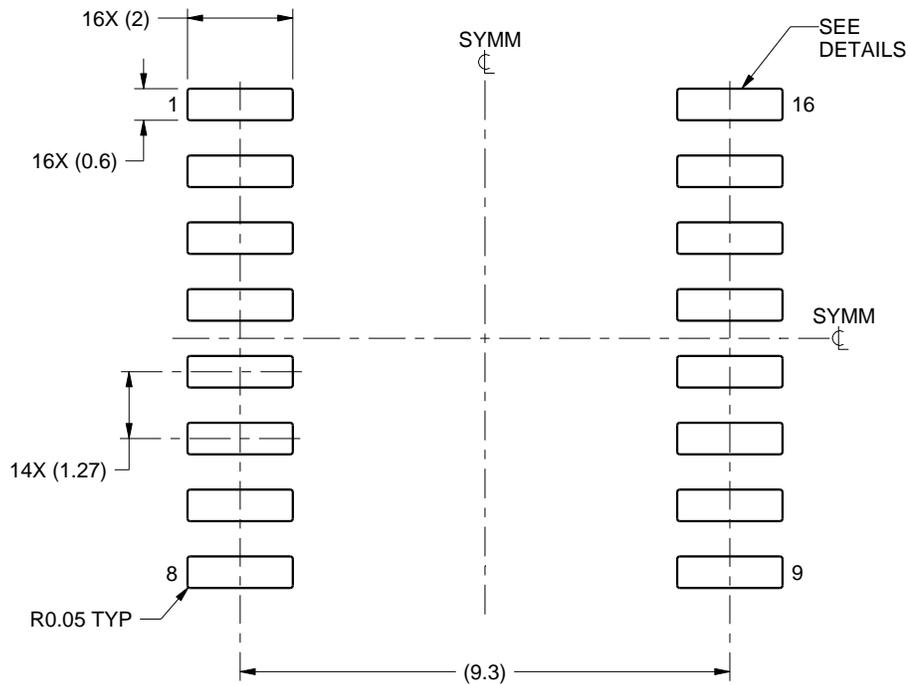
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

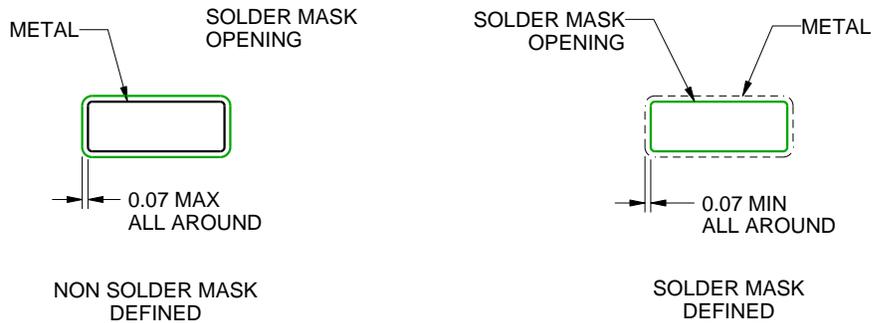
DW0016A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:7X



SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

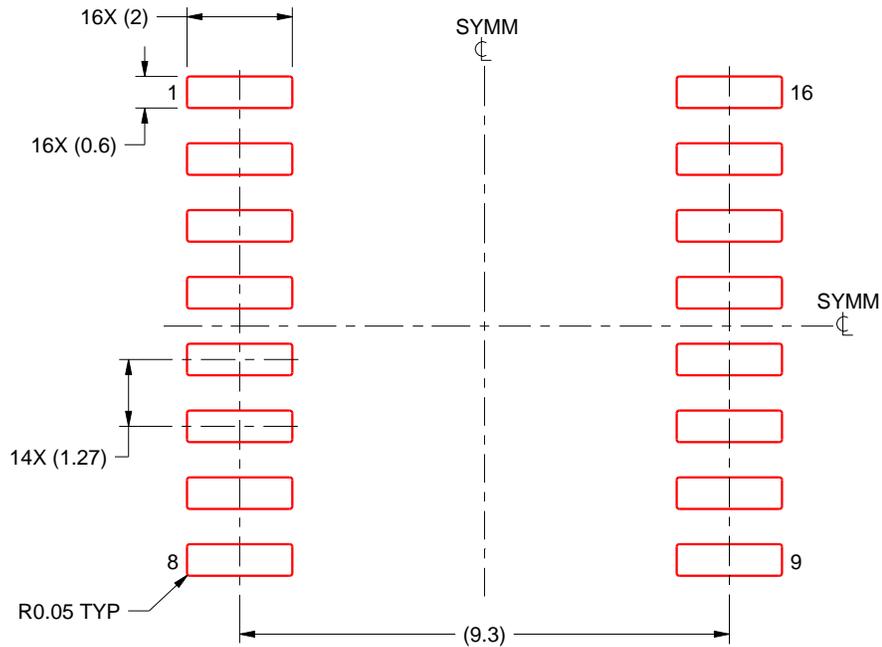
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

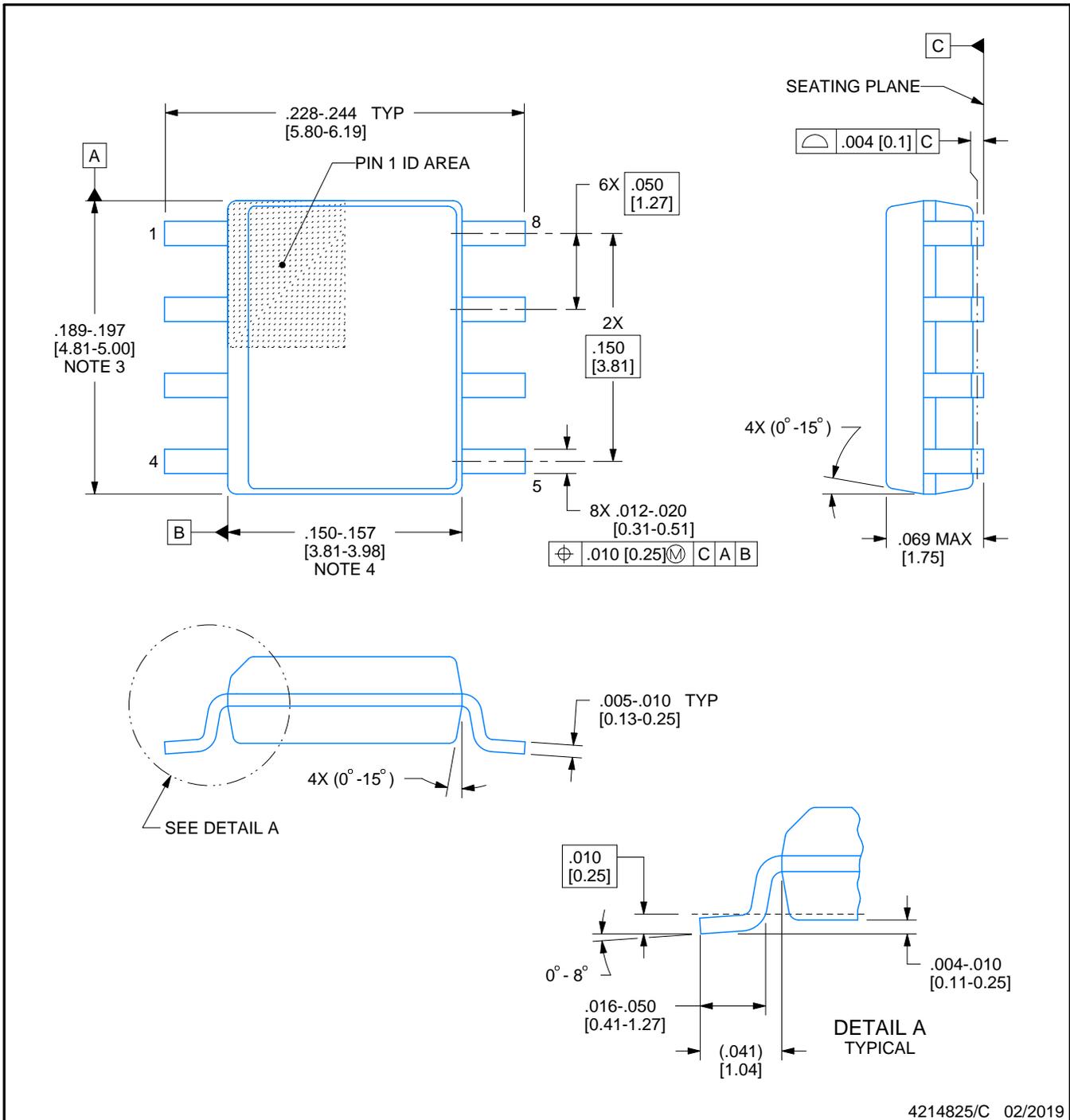


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

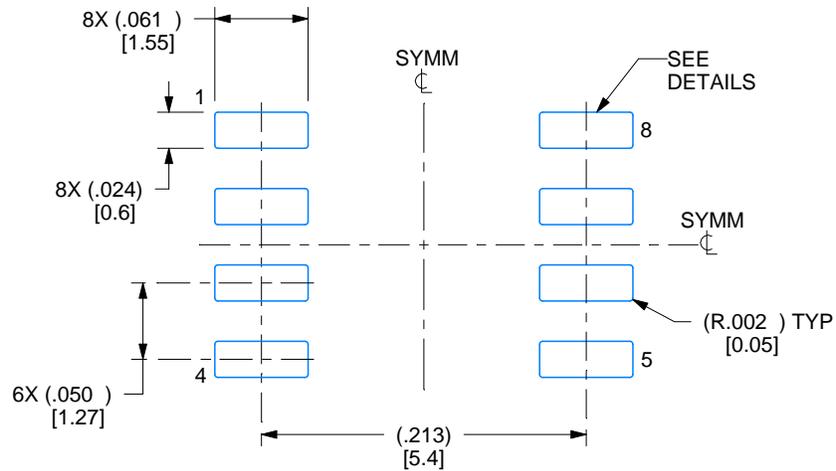
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

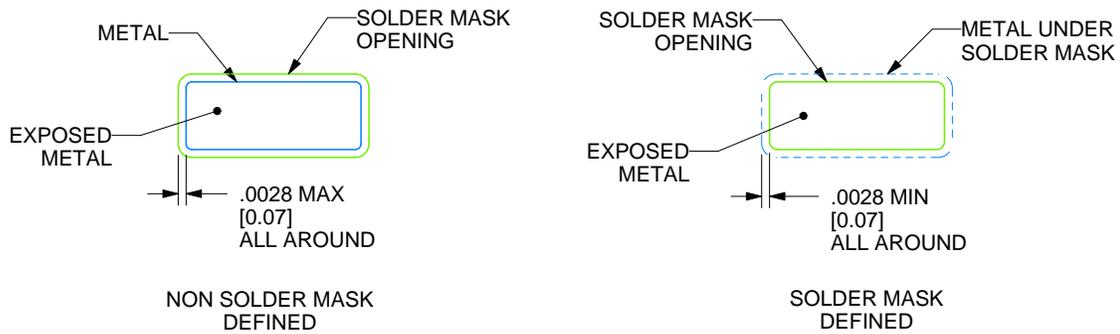
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

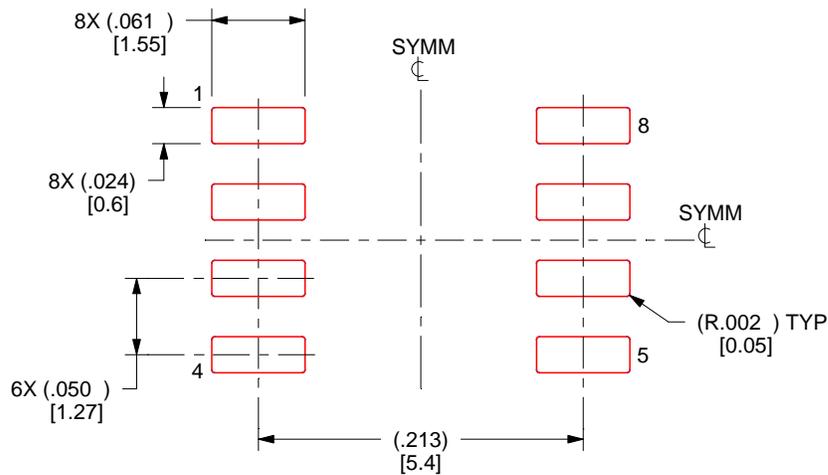
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月