

TLV181x および TLV182x 40V 動作対応の レールツー レール入力コンパレータ製品ファミリ(プッシュプル出力またはオープンドレイン出力オプション付き)

1 特長

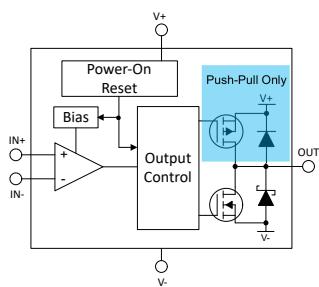
- 2.4V~40V の広い電源電圧範囲
- レールツー レール入力
- 既知のスタートアップに対するパワーオンリセット (POR)
- 低入力オフセット電圧: 500µV
- 伝搬遅延時間: 420ns (代表値)
- 低い静止電流: チャネルあたり 5µA
- 低い入力バイアス電流: 150fA
- プッシュプル出力オプション (TLV181x)
- オープンドレイン出力オプション (TLV182x)
- 全温度範囲 (-40°C~+125°C)
- ESD 保護: 2kV
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- 電化製品
- ファクトリ オートメーション / 制御
- モータードライブ
- インフォテインメントおよびクラスタ

3 説明

The TLV181x および TLV182x は、複数の出力オプションを備えた 対応の 40V シングル、デュアル、クワッド チャネル コンパレータ製品ファミリです。このファミリは、プッシュプルまたはオープンドレイン出力オプションを持つレールツー レール入力を提供します。このファミリは速度と消費電力の組み合わせが非常に優れており、伝搬遅延は 420ns、電源電圧範囲は 2.4V~40V で、チャネルあたりの静止時供給電流はわずか 5µA です。



TLV18xx のブロック図

すべてのデバイスに、パワーオンリセット (POR) 機能が搭載されています。これにより、出力が入力に応答する前、最小電源電圧に達するまでの間、出力が既知の状態であることが保証されるため、システムの電源オンおよび電源オフ時に誤った出力が発生することを防止できます。

TLV181x コンパレータはプッシュプル出力段を備えており、LED の制御や MOSFET のゲートのような容量性負荷の駆動時に、数ミリアンペアの電流をシンクおよびソースすることができます。

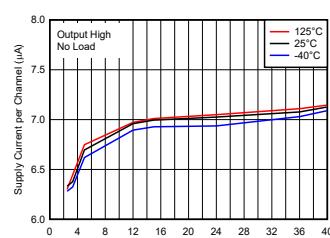
TLV182x コンパレータはオープンドレイン出力段を備えており、コンパレータの電源電圧とは無関係に、出力を最大 40V までプルアップすることができます。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称) ⁽²⁾
TLV1811、 TLV1821 (シングル)	SC-70 (6)	1.25 mm × 2.00mm
	SOT-23 (5)	1.60 mm × 2.90mm
TLV1811L、 TLV1821L (シングル - 替代ピン配置)	SC-70 (5)	1.25 mm × 2.00mm
	SOT-23 (5)	1.60 mm × 2.90mm
TLV1812、 TLV1822 (デュアル)	SOIC (8)	3.91mm × 4.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
	WSON (8)	2.00mm × 2.00mm
	SOT-23 (8)	1.60mm × 2.90mm
TLV1814、 TLV1824 (クワッド)	SOIC (14)	3.91mm × 8.65mm
	TSSOP (14)	4.40mm × 5.00mm
	SOT-23 (14)	4.20 mm × 2.00mm
	WQFN (16)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



TLV18xx 消費電流と電源電圧の関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

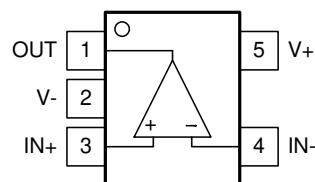
English Data Sheet: SNOSDC8

目次

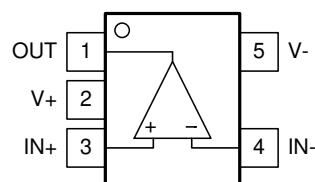
1 特長	1	7.1 概要	13
2 アプリケーション	1	7.2 機能ブロック図	13
3 説明	1	7.3 機能説明	13
4 ピン構成および機能	3	7.4 デバイスの機能モード	13
ピンの機能:TLV18x1 TLV18x1L	3	8 アプリケーションと実装	16
ピンの機能:TLV1812 および TLV1822	4	8.1 アプリケーション情報	16
ピンの機能:TLV1814 および TLV1824	5	8.2 代表的なアプリケーション	20
5 仕様	6	8.3 電源に関する推奨事項	27
5.1 絶対最大定格	6	8.4 レイアウト	27
5.2 ESD 定格	6	9 デバイスおよびドキュメントのサポート	29
5.3 推奨動作条件	6	9.1 ドキュメントのサポート	29
5.4 熱に関する情報 - シングル	7	9.2 ドキュメントの更新通知を受け取る方法	29
5.5 熱に関する情報 - デュアル	7	9.3 サポート・リソース	29
5.6 熱に関する情報 - クワッド	7	9.4 商標	29
5.7 電気的特性	8	9.5 静電気放電に関する注意事項	29
5.8 スイッチング特性	9	9.6 用語集	29
6 代表的特性	10	10 改訂履歴	30
7 詳細説明	13	11 メカニカル、パッケージ、および注文情報	30

4 ピン構成および機能

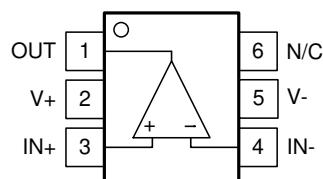
ピンの機能: TLV18x1 TLV18x1L



TLV18x1 TLV18x1L
標準「北西」ピン配置
DBV、DCK パッケージ、
SOT-23-5、SC-70-5
上面図



TLV1811L および TLV1821L DBV パッケージ、
「LMC72x1/TLV72x1 タイプ」のピン配置(電源端子が逆)
SOT-23-5、
上面図

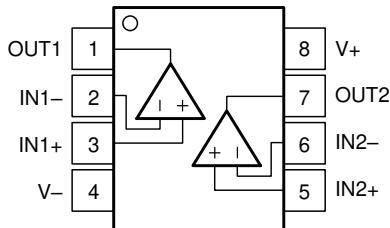


TLV1811L および TLV1821L DCK パッケージ、
「TLV72x1 6 ピンタイプ」ピン配置(電源端子が逆)、V-
SC-70-6 の位置がシフト、
上面図

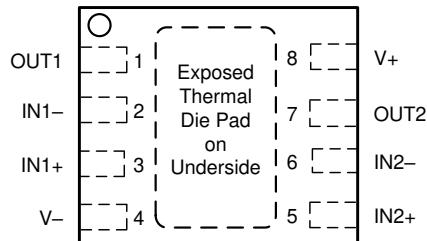
表 4-1. ピンの機能 : TLV1811、TLV1821、TLV1811L、TLV1821L

名称	TLV1811、TLV1821		TLV1811L、TLV1821L		I/O	説明		
	ピン		ピン					
	SOT-23	SC-70	SOT-23	SC-70				
OUT	1	1	1	1	O	出力		
V-	2	2	5	5	-	負電源電圧		
IN+	3	3	3	3	I	非反転 (+) 入力		
IN-	4	4	4	4	I	反転 (-) 入力		
V+	5	5	2	2	-	正電源電圧		
N/C	-	-	-	6	-	非接続		

ピンの機能:TLV1812 および TLV1822



D、DGK、PW、DDF パッケージ
 8 ピン SOIC、VSSOP、TSSOP、SOT-23-8
 上面図



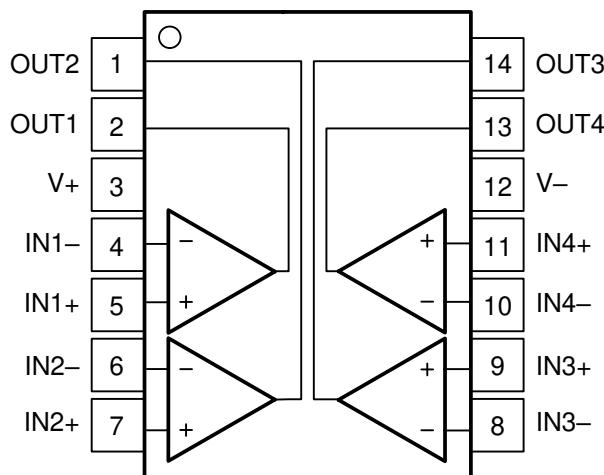
注:露出サーマル パッドは V- ピンに直接接続します。

DSG パッケージ、
 8 パッド WSON (露出サーマル パッド付き)、
 上面図

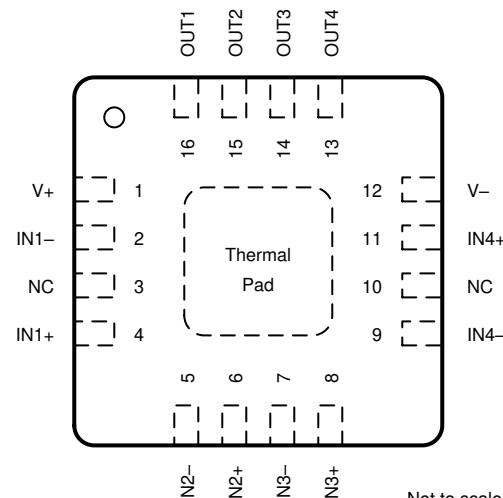
表 4-2. ピンの機能 : TLV1812 および TLV1822

ピン		I/O	説明
名称	番号		
OUT1	1	O	コンバレータ 1 の出力ピン
IN1-	2	I	コンバレータ 1 の反転入力ピン
IN1+	3	I	コンバレータ 1 の非反転入力ピン
V-	4	—	負(低)電源
IN2+	5	I	コンバレータ 2 の非反転入力ピン
IN2-	6	I	コンバレータ 2 の反転入力ピン
OUT2	7	O	コンバレータ 2 の出力ピン
V+	8	—	正電源
サーマル パッド	—	—	V- ピンに直接接続

ピンの機能 : TLV1814 および TLV1824



D、PW、DYY パッケージ、14 ピン SOIC、TSSOP、
SOT-23、上面図



注:露出サーマル パッドは V- ピンに直接接続します。

RTE パッケージ、16 パッド WQFN (露出サーマル パッド付き)、上面図

表 4-3. ピンの機能 : TLV1814 および TLV1824

ピン		I/O	説明	
名称	SOIC		WQFN	
OUT2 ⁽¹⁾	1	15	O	コンパレータ 2 の出力ピン
OUT1 ⁽¹⁾	2	16	O	コンパレータ 1 の出力ピン
V+	3	1	—	正電源
IN1-	4	2	I	コンパレータ 1 の負入力ピン
IN1+	5	4	I	コンパレータ 1 の正入力ピン
IN2-	6	5	I	コンパレータ 2 の負入力ピン
IN2+	7	6	I	コンパレータ 2 の正入力ピン
IN3-	8	7	I	コンパレータ 3 の負入力ピン
IN3+	9	8	I	コンパレータ 3 の正入力ピン
IN4-	10	9	I	コンパレータ 4 の負入力ピン
IN4+	11	11	I	コンパレータ 4 の正入力ピン
V-	12	12	—	負電源
OUT4	13	13	O	コンパレータ 4 の出力ピン
OUT3	14	14	O	コンパレータ 3 の出力ピン
NC	—	3	—	内部接続なし - フローティングまたは GND のままにする
NC	—	10	—	内部接続なし - フローティングまたは GND のままにする
サーマル パッド	—	PAD	—	V- ピンに直接接続します。

(1) 一部のメーカーでは、チャネル 1 と 2 の名前が入れ替わります。ピン配置は電気的に同一ですが、チャネル命名規則が異なります。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
電源電圧: $V_S = (V+) - (V-)$	-0.3	42	V
(V-) から入力ビン (IN+, IN-) ⁽²⁾	-0.3	$(V+) + 0.3$	V
入力ビンへの電流 (IN+, IN-)	-10	10	mA
(V-) から出力 (OUT) 電圧 (オープンドレイン) ⁽³⁾	-0.3	42	V
(V-) からの出力 (OUT) 電圧 (プッシュアップル)	-0.3	$(V+) + 0.3$	V
出力 (OUT) 電流 ⁽⁴⁾ ⁽⁵⁾ ⁽⁶⁾	-10	10	mA
接合部温度、 T_J		150	°C
保管温度、 T_{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 入力端子は (V-) に対してダイオード クランプされています。電源レールを超えて 0.3V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
- (3) オープンドレインの出力 (OUT) は、-0.3V ~ 42V の範囲内である限り、V+ および入力 (IN+, IN-) を超えることができます
- (4) 出力は、どちらの出力オプションにおいても (V-) に対してダイオード クランプされており、プッシュアップル出力オプションの場合は (V+) に対してもダイオード クランプされています。オープンドレイン バージョンには、V+ へのクランプはありません。詳細については、「アプリケーション情報」セクションの「出力および ESD 保護」セクションを参照してください。
- (5) 出力のシンク電流およびソース電流は、絶対最大定格の出力電圧範囲内で動作している場合、内部的に 35mA 未満に制限されています。ここで指定されている絶対最大出力電流の制限値は、両方の出力オプションにおいて電源電圧 (V-) を下回った場合、またはプッシュアップル出力オプションにおいて (V+) を上回った場合に、クランプ構造を流れる最大電流を意味します。
- (6) (V-) または (V+) への出力への短絡。高電源電圧下での連続的な出力ショートは、過度な発熱を引き起こし、許容される最大接合部温度を超ることで、最終的にデバイスの破損につながる可能性があります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾ デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±2000 ±500
			V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧: $V_S = (V+) - (V-)$	2.4	40	V
(V-) から入力電圧範囲	-0.2	$(V+) + 0.2$	V
(V-) から出力電圧範囲	オープンドレイン	-0.2	40
(V-) から出力電圧範囲	プッシュアップル	-0.2	$(V+) + 0.2$
周囲温度、 T_A	-40	125	°C

5.4 熱に関する情報 - シングル

熱評価基準 ⁽¹⁾		TLV18x1, TLV18x1L			単位
		DCK (SC-70)	DCK (SC-70)	DBV (SOT-23)	
		5 ピン	6 ピン	5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	226.6	185.6	203.4	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	129.5	137.6	105.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	78.6	76.5	106.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	51.5	59.8	54.0	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	78.3	76.2	106.0	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	-	-	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』レポートを参照してください。

5.5 熱に関する情報 - デュアル

熱評価基準 ⁽¹⁾		TLV18x2					単位
		D (SOIC)	PW (TSSOP)	DDF (SOT-23)	DSG (WSON)	DGK (VSSOP)	
		8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	136.1	187.5	170.4	79.9	178.3	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	76.8	76.7	90.3	100.1	66.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	79.7	118.1	88.1	46.4	100.0	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	26.8	14.4	7.5	5.3	9.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	78.9	116.4	87.6	46.4	98.3	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	-	-	-	21.6	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』レポートを参照してください。

5.6 熱に関する情報 - クワッド

熱評価基準 ⁽¹⁾		TLV18x4				単位
		D (SOIC)	PW (TSSOP)	DYY (SOT-23-THN)	RTE (WQFN)	
		16 ピン	16 ピン	16 ピン	16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	104.2	124.1	119.9	53.8	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	60.3	52.4	60.6	58.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	60.2	67.2	79.0	29.0	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	20.7	7.5	3.3	2.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	59.8	66.6	41.2	28.9	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	-	-	-	13.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』レポートを参照してください。

5.7 電気的特性

V_S (合計電源電圧) = $(V_+ - V_-)$ = 12V, $V_{CM} = (V_S / 2, T_A = 25^\circ C$ 時) (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
オフセット電圧					
V_{OS}	入力オフセット電圧	-3	± 0.5	3	mV
V_{OS}	入力オフセット電圧 $T_A = -40^\circ C \sim +125^\circ C$	-4		4	mV
dV_{IO}/dT	入力オフセット電圧ドリフト $T_A = -40^\circ C \sim +125^\circ C$		± 1.2		$\mu V/^\circ C$
PSRR	電源除去比 $V_S = 2.4V \sim 40V, V_{CM} = (V_-)$		100		dB
電源					
I_Q	静止電流、無負荷	出力 Low, $T_A = 25^\circ C$ TLV1811 のみ	6	7.5	μA
		出力 Low, $T_A = -40^\circ C \sim +125^\circ C$ TLV1811 のみ		8.5	
		出力 High, $T_A = 25^\circ C$ TLV1811 のみ	8	10	
		出力 High, $T_A = -40^\circ C \sim +125^\circ C$ TLV1811 のみ		11	
I_Q	静止電流 (コンパレータ 1 個あたり)、無負荷	出力 Low, $T_A = 25^\circ C$	6	7.5	μA
		出力 Low, $T_A = -40^\circ C \sim 125^\circ C$		8.5	
		出力 High, $T_A = 25^\circ C$	7	9	
		出力 High, $T_A = -40^\circ C \sim 125^\circ C$		10	
V_{POR}	パワーオンリセット電圧		1.7		V
入力バイアス電流					
I_B	入力バイアス電流		150		fA
I_B	入力バイアス電流 $T_A = -40^\circ C \sim +125^\circ C$	-1.2		1.2	nA
I_{OS}	入力オフセット電流		10		fA
入力容量					
C_{ID}	入力容量、差動		2		pF
C_{IC}	入力容量、同相		8		pF
入力同相範囲					
$V_{CM-Range}$	同相電圧範囲	$V_S = 2.4V \sim 40V$ $T_A = -40^\circ C \sim +125^\circ C$	$(V_-) - 0.2$	$(V_+) + 0.2$	V
出力					
V_{OL}	(V_-) からの電圧スイング	$I_{SINK} = 4mA$ $T_A = -40^\circ C \sim +125^\circ C$		250	mV
V_{OH}	(V_+) からの電圧スイング (プッシュプルのみ)	$I_{SOURCE} = 4mA$ $T_A = -40^\circ C \sim +125^\circ C$		250	mV
I_{LKG}	オープンドレイン出力リ ーク電流	$V_{ID} = +0.1V, V_{PULLUP} = (V_+)$ $T_A = -40^\circ C \sim +125^\circ C$	0.1		nA
I_{OL}	短絡電流	シンク	15	30	mA
I_{OH}	短絡電流	ソース (プッシュプルのみ)	15	30	mA

5.8 スイッチング特性

V_S (合計電源電圧) = (V_+) – (V_-) = 12V、 $V_{CM} = V_S / 2$ 、 $T_A = 25^\circ\text{C}$ 時 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	$V_{OD} = 10\text{mV}$ 、 $C_L = 50\text{pF}$		900		ns
T_{PD-HL}	伝搬遅延時間、High から Low	$V_{OD} = 100\text{mV}$ 、 $C_L = 50\text{pF}$		450		ns
T_{PD-LH}	伝搬遅延時間、Low から High、 プッシュプル出力	$V_{OD} = 10\text{mV}$ 、 $C_L = 50\text{pF}$		900		ns
T_{PD-LH}	伝搬遅延時間、Low から High、 プッシュプル出力	$V_{OD} = 100\text{mV}$ 、 $C_L = 50\text{pF}$		420		ns
T_{RISE}	出力立ち上がり時間、20% ~ 80%、 プッシュプル出力	$C_L = 50\text{pF}$		15		ns
T_{FALL}	出力立ち下がり時間、80% ~ 20%	$C_L = 50\text{pF}$		15		ns
F_{TOGGLE}	トグル周波数	$V_{ID} = 100\text{mV}$ 、 $C_L = 50\text{pF}$		500		kHz
パワーオン時間						
P_{ON}	パワーオン時間			200		μs

6 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 12\text{V}$ 、 $R_{PULLUP} = 2.5\text{k}$ 、 $C_L = 20\text{pF}$ 、 $V_{CM} = 0\text{V}$ 、 $V_{UNDERDRIVE} = 100\text{mV}$ 、 $V_{OVERDRIVE} = 100\text{mV}$ (特に記述のない限り)。

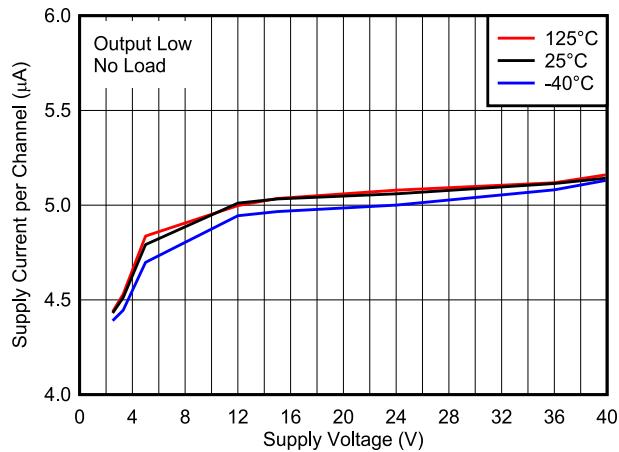


図 6-1. チャネルごとの電源電流と電源電圧の関係 (出力 "Low")

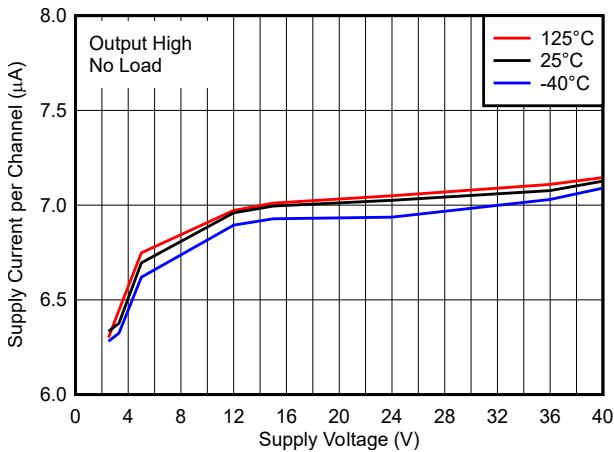


図 6-2. チャネルごとの電源電流と電源電圧の関係 (出力 "High")

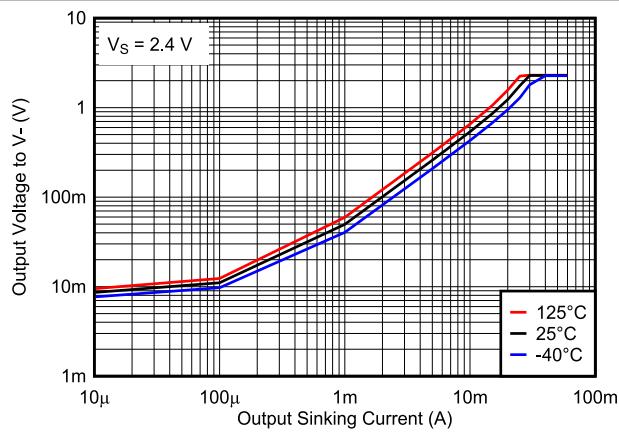


図 6-3. 出力電圧と出力シンク電流の関係、2.4V

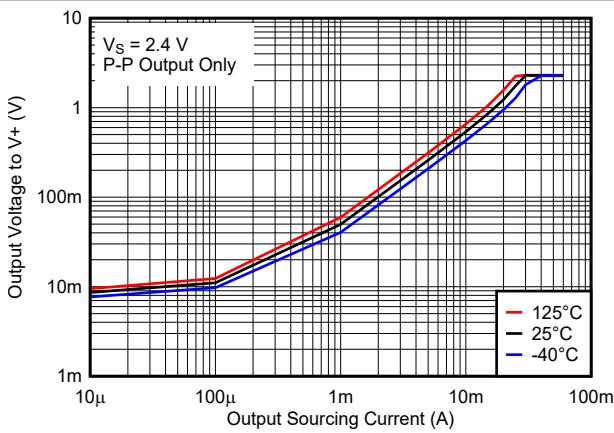


図 6-4. 出力電圧と出力ソース電流の関係、2.4V

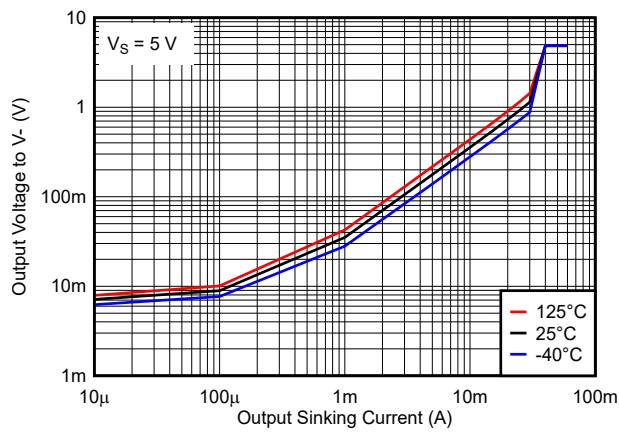


図 6-5. 出力電圧と出力シンク電流の関係、5V

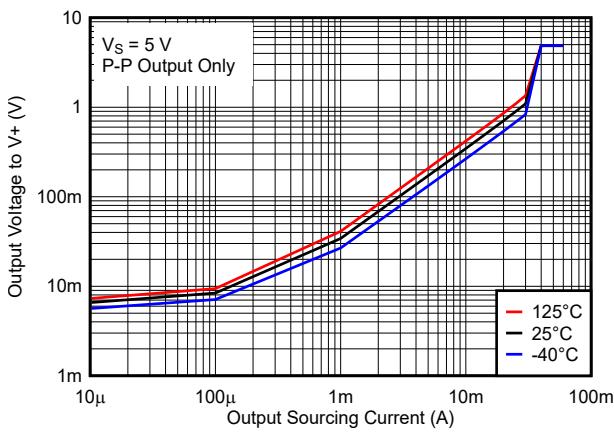


図 6-6. 出力電圧と出力ソース電流の関係、5V

6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 12\text{V}$ 、 $R_{PULLUP} = 2.5\text{k}$ 、 $C_L = 20\text{pF}$ 、 $V_{CM} = 0\text{V}$ 、 $V_{UNDERDRIVE} = 100\text{mV}$ 、 $V_{OVERDRIVE} = 100\text{mV}$ (特に記述のない限り)。

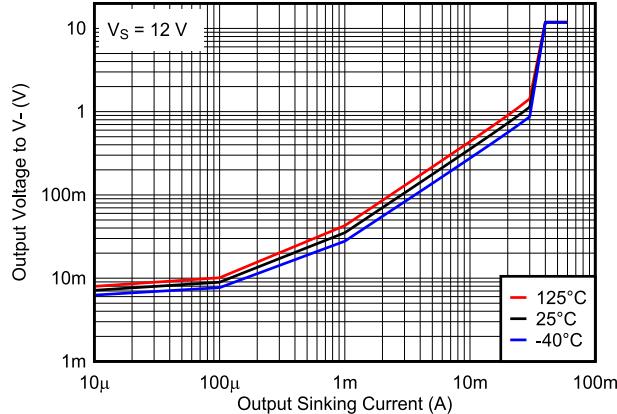


図 6-7. 出力電圧と出力シンク電流の関係、12V

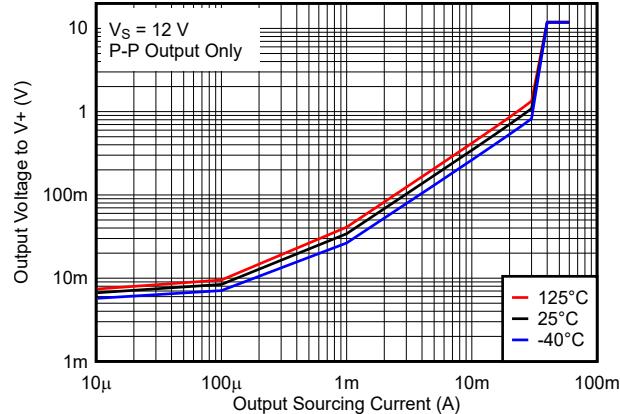


図 6-8. 出力電圧と出力ソース電流の関係、12V

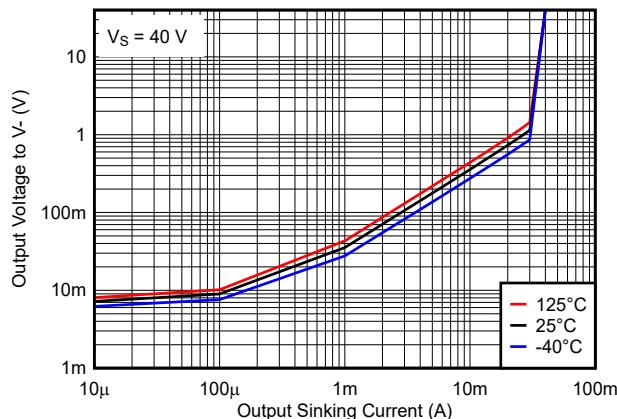


図 6-9. 出力電圧と出力シンク電流の関係、40V

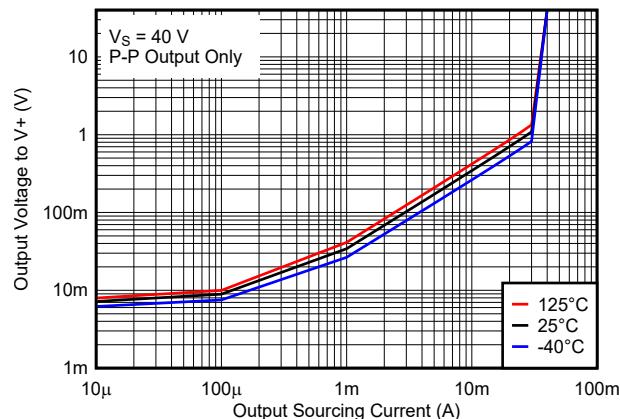


図 6-10. 出力電圧と出力ソース電流の関係、40V

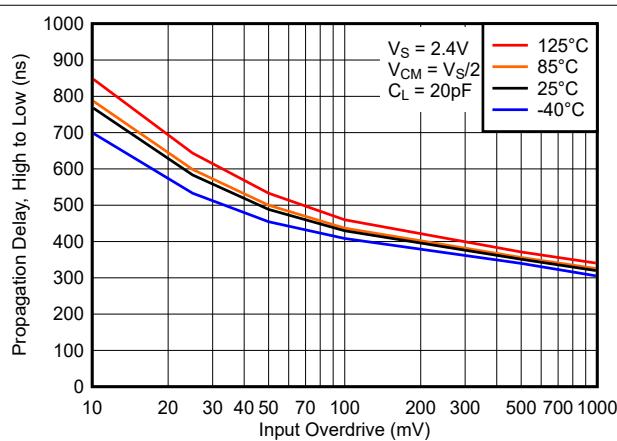


図 6-11. 伝搬遅延、“High” から “Low”、2.4V

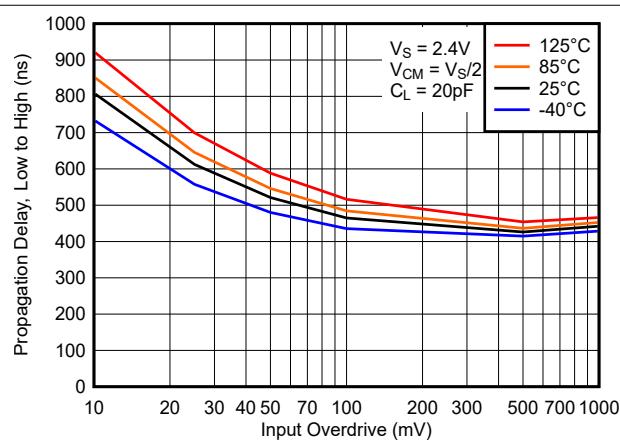


図 6-12. 伝搬遅延、“Low” から “High”、2.4V

6 代表的特性(続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 12\text{V}$ 、 $R_{\text{PULLUP}} = 2.5\text{k}$ 、 $C_L = 20\text{pF}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $V_{\text{UNDERDRIVE}} = 100\text{mV}$ 、 $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

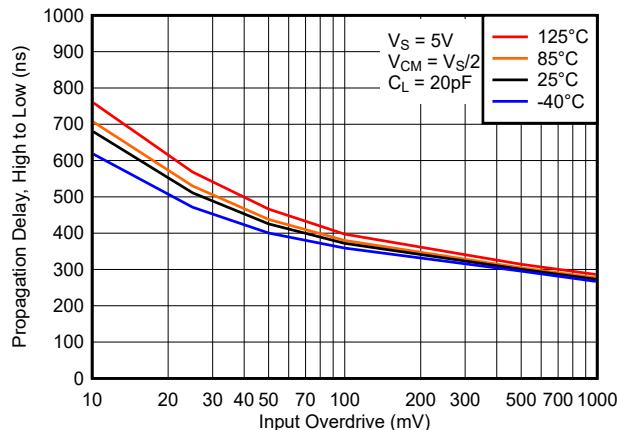


図 6-13. 伝搬遅延、"High" から "Low"、5V

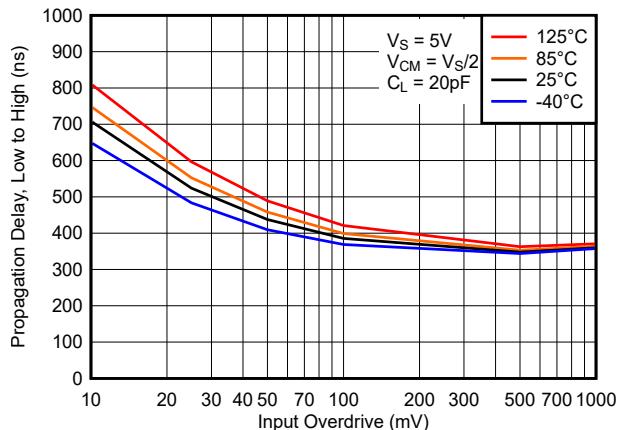


図 6-14. 伝搬遅延、"Low" から "High"、5V

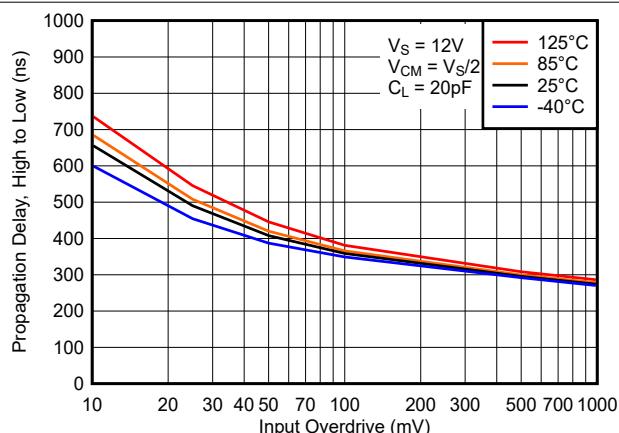


図 6-15. 伝搬遅延、"High" から "Low"、12V

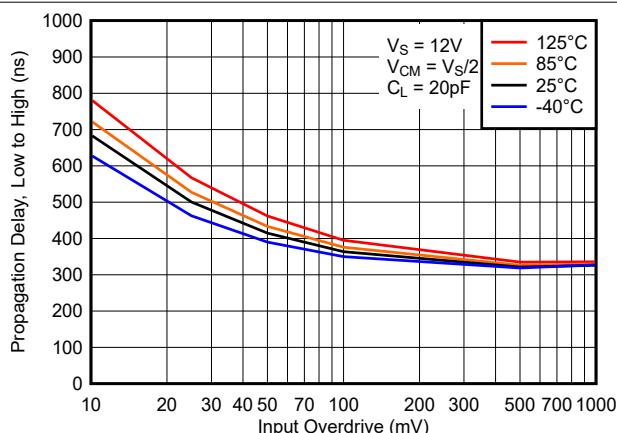


図 6-16. 伝搬遅延、"Low" から "High"、12V

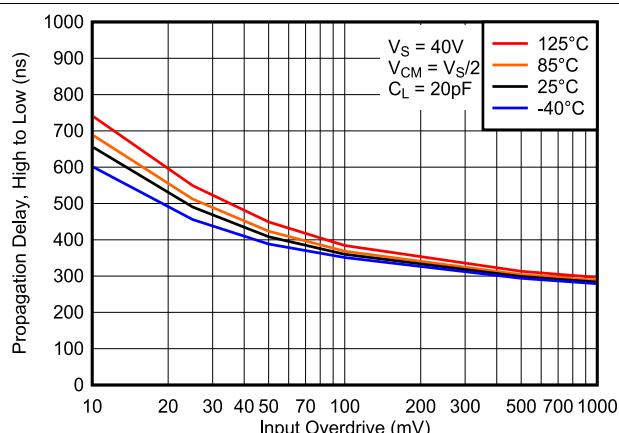


図 6-17. 伝搬遅延、"High" から "Low"、40V

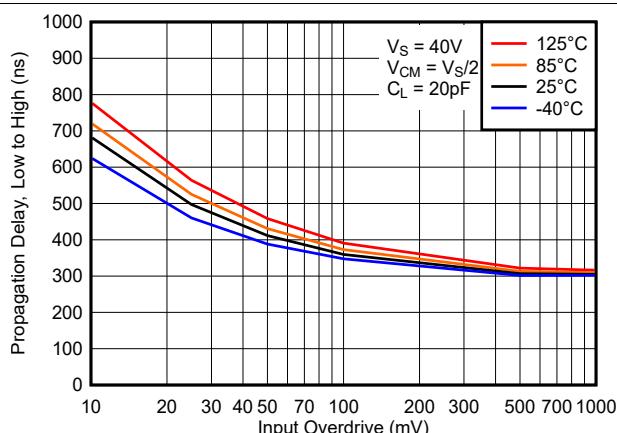


図 6-18. 伝搬遅延、"Low" から "High"、40V

7 詳細説明

7.1 概要

TLV181x および TLV182x デバイスは、プッシュプルおよびオープンドレイン出力オプションを備えたマイクロパワー コンパレータです。2.4V までの動作を可能とし、1 チャネルあたりわずか 5 μ A の消費電流で動作する TLV181x および TLV182x は、ポータブル機器、車載用途、産業用途に最適です。内部のパワーオンリセット回路により、電源の立ち上げおよび立ち下げ時に出力が既知の状態に保たれるよう設計されています。

7.2 機能ブロック図

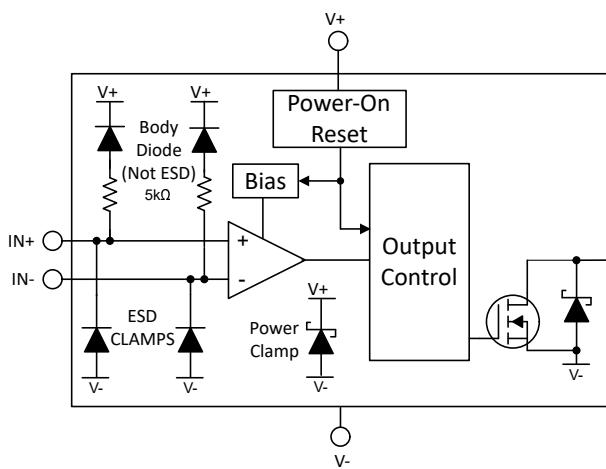


図 7-1. TLV182x オープン ドレインのブロック図

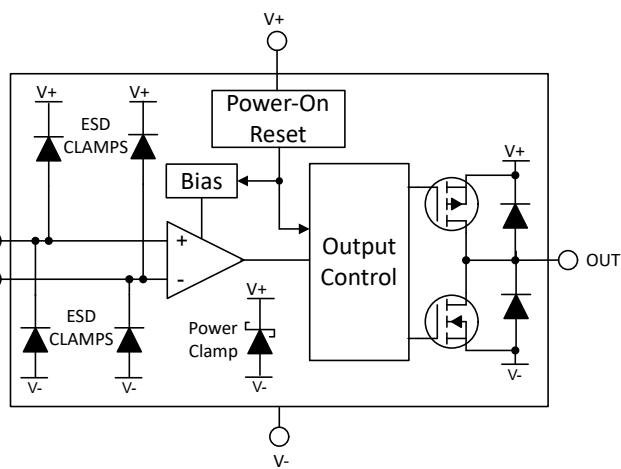


図 7-2. TLV181x プッシュプルのブロック図

7.3 機能説明

TLV18xx ファミリのオプション

TLV18xx ファミリは、複数の出力タイプおよびピン配置オプションを備えており、すべてにおいて 40V 動作、マイクロパワーの 5 μ A 消費電流、420ns の伝播遅延、パワーオンリセット (POR) 機能を特徴としています。

TLV18xx ファミリには次の 2 つの出力オプションがあります:

TLV181x は プッシュプル (シンク-ソース) 出力を備えています。

TLV182x は オープンドレイン (シンクのみ) 出力を備えており、コンパレータの電源電圧に関係なく、最大 40V の任意の電圧にプルアップできます。

TLV1811L および TLV1821L は、TLV1811 および TLV1821 の代替ピン配置バージョンであり、TLV7211、TLV7221、LMC7211、LMC7221 ファミリなどの旧型デバイスからのアップグレードを可能にします。

7.4 デバイスの機能モード

7.4.1 入力

7.4.1.1 TLV18xx レール ツー レール入力

TLV18xx の入力電圧範囲は、V- より 200mV 低い電圧から V+ より 200mV 高い電圧までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力電圧が指定された範囲内にある場合、コンパレータ出力の位相反転は発生しません。

レールツーレール入力は、V+ 電源ラインへの ESD クランプを備えているため、入力電圧が電源電圧を 200mV 以上超えないようにする必要があります。TI は、電源電圧が供給されていない状態でレール ツー レール入力端子に信号を印加することは推奨していません。

7.4.1.2 ESD 保護

TLV182x のオープンドレイン オプションでは、出力端子と V- 間にスナップバック型の ESD ダイオードによる ESD 保護が備えられており、出力を V+ より高い最大 40V まで引き上げることができます。入力端子には、V- と入力間に「下側」の ESD クランプがあり、さらに入力と V+ 間には $5k\Omega$ の等価抵抗を持つ寄生的な「上側」ESD ソフトクランプダイオードも存在します(図 図 7-1 に図示)。これらは従来型の ESD 保護セルではなく、上側のダイオード接合および抵抗を通じて流れる電流は 1mA 以下に制限する必要があります。動作中に入力電圧が V+ を超える可能性がある場合は、外付けのダイオード クランプを使用することが推奨されます。

TLV181x のプッシュプル構成における入力および出力の ESD 保護には、I/O ピンと V+ 間に従来型のダイオードタイプの「上側」ESD クランプが、I/O ピンと V- 間には「下側」ESD クランプがそれぞれ備えられています。入力または出力は、電源レールを 200mV 以上超えないようにする必要があります。

電源やバッファ付きリファレンスラインなど、低インピーダンスのソースに入力を接続する場合は、クランプが導通したときに電流を制限するため、入力と直列に電流制限抵抗を追加することを推奨します。電流は 10mA 以下で制限する必要がありますが、電流は 1mA 以下に制限することを推奨します。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

7.4.1.3 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が高く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが独自の内部広帯域ノイズでトリガされ、高周波のチャタリングが発生する可能性があります。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力をグランドに接続し、もう一方の入力を基準電圧に、または(過渡電圧を防ぐため入力が直接 V+ ピンに接続されている限り) V+ に接続します。

7.4.2 出力

7.4.2.1 TLV181x プッシュプル出力

TLV181x にはプッシュプル出力段があり、シンク電流とソース電流の両方を供給できます。このため、LED や MOSFET ゲートなどの負荷を駆動することができ、外付けプルアップ抵抗で電力を浪費する必要もありません。プッシュプル出力は、絶対に他の出力に接続しないでください。

出力を反対側の電源レール(出力が Low のときに V+、または出力が High のときに V-)に直接短絡させると、高い(12V 超)電源電圧下ではサーマル ランナウェイが発生し、最終的にデバイスが破損するおそれがあります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用しないプッシュプル出力はフローティングのままにします。電源、グランド、または他の出力に接続してはなりません。

7.4.2.2 TLV182x オープン ドレイン出力

TLV182x は、オープンドレイン(一般的にはオープンコレクタとも呼ばれます)のシンク出力専用段を備えています。このため、出力の論理レベルは、コンパレータの電源電圧(V+)に依存せず、外部電圧で 0V から 40V までプルアップすることができます。オープンドレイン出力により、複数のオープンドレイン出力の論理 OR 接続と論理レベルの変換が可能になります。プルアップ抵抗電流は $100\mu A \sim 1mA$ の範囲で設定することを TI では推奨しています。より低い値のプルアップ抵抗を使用すると、立ち上がりエッジの立ち上がり時間を短くするのに役立ちますが、その分、 V_{OL} が高くなり、消費電力も増加します。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数に左右されます。プルアップ抵抗の値が大きいと($>1M\Omega$)、出力 RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

出力を V+ に直接短絡すると、熱暴走が発生し、高い($>12V$) プルアップ電圧で最終的にデバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用されていないオープンドレイン出力はフローティングのままにしておくこともでき、フローティング ピンが不要な場合は V- ピンに接続することもできます。

7.4.3 パワーオン リセット (POR)

TLV18xx ファミリには内部パワー オン リセット (POR) 回路があり、既知のスタートアップまたはパワー ダウン状態を維持します。電源電圧 (V_+) が立ち上がりまたは立ち下がり中の場合、パワーオン リセット (POR) 回路は、電源電圧が最小動作電圧である 2.4V を超えた後に最大 200 μ s 間アクティブになり、または電源電圧が 2.4V を下回ると直ちにアクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

TLV181x のプッシュプル出力デバイスでは、パワーオンリセット (POR) 期間 (t_{on}) の間、出力は Low に保持されます。

For the TLV182x オープンドレイン出力の場合、POR 回路は POR 期間 (t_{on}) 中出力を High、または High インピーダンス (Hi-Z) に維持します。

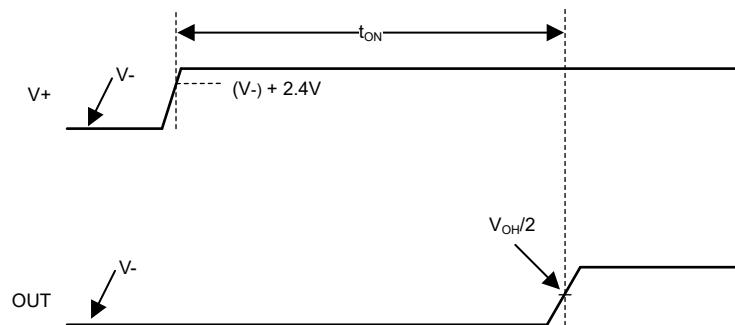


図 7-3. パワーオン リセットのタイミング図

注:POR 期間中、出力電圧はプルアップ電圧とともに上昇します。

7.4.4 ヒステリシス

TLV18xx および ファミリには内部ヒステリシスがありません。実効帯域幅が広く、入力オフセット電圧が低いため、絶対差動電圧がゼロに近いときにコンパレータが内部広帯域ノイズでトリガされ、出力が「チャタリング」する場合があります。これは正常な動作であり、想定内です。動きが低速な信号が予想される場合は、外部ヒステリシスを追加することを推奨します。次のセクションの [セクション 8.1.2](#) を参照してください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 基本的なコンパレータの定義

8.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の図 8-1 の例で、 V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) は論理 "Low" (V_{OL}) になります。 V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。表 8-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 8-1. 出力条件

入力の条件	出力
$IN+ > IN-$	"High" (V_{OH})
$IN+ = IN-$	不定 (チャタリング - 「ヒステリシス」を参照)
$IN+ < IN-$	"Low" (V_{OL})

8.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。これはコンパレータのタイミング図で、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中点から出力の中点までの時間として測定されます。同様に、伝搬遅延はオーバードライブ (V_{OD}) およびアンダードライブ (V_{UD}) 電圧レベルと呼ばれるものによって異なります (オーバードライブ電圧とアンダードライブ電圧を参照)。

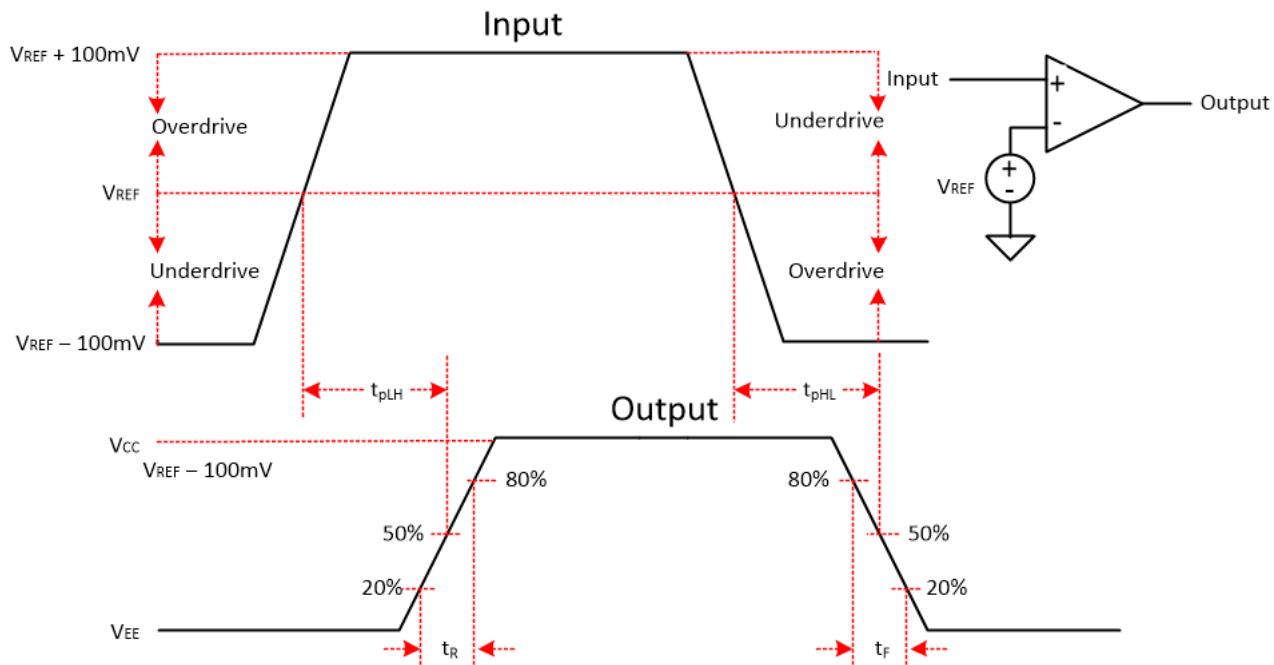


図 8-1. コンパレータのタイミング図

8.1.1.3 オーバードライブおよびアンダードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。[図 8-1](#) の例に示したオーバードライブ電圧は 100mV です。同様に、低駆動電圧 V_{UD} は、入力が開始される V_{REF} をどれだけ下回っているかを示します。オーバードライブ電圧とアンダードライブ電圧は、伝搬遅延 (t_p) に影響を及ぼします。詳細については、「標準特性」セクションの曲線を参照してください。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。オーバードライブ電圧とは逆に、アンダードライブ電圧が大きくなると、 t_p は長くなります。これは、コンパレータの入力にレール ツー レールの入力スイシングが存在するアプリケーションでは、特に重要です。伝搬遅延スキーが発生する可能性があります (t_{pLH} と t_{pHL} の差)。このコンパレータ ファミリは低消費電力タイプであるため、伝搬遅延時間のばらつきが重要となる用途には、TI は使用を推奨していません。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

8.1.2 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、発振（ノイズの多い「チャタリング」出力）が発生する場合があります。これは、通常、入力信号がコンパレータのスイッチングしきい値を非常にゆっくりと通過するときに発生します。

ヒステリシスまたは正のフィードバックを追加することで、この問題を防止できます。

[図 8-2](#) に、ヒステリシスの伝達曲線を示します。この曲線は、 V_{TH} 、 V_{OS} 、 V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、 V_{IN+} と V_{IN-} の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス（トリップ ウィンドウ）で、コンパレータのノイズ感度を低減するように設計されています。

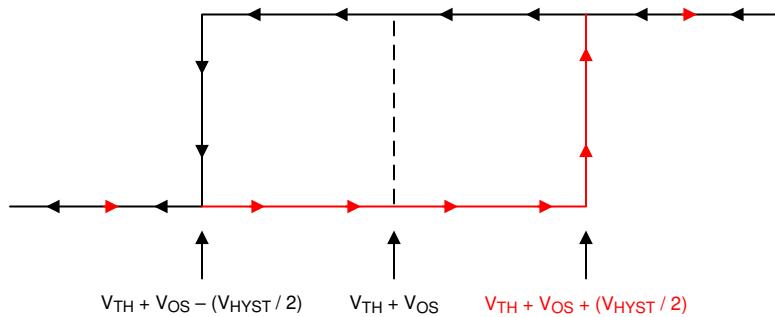


图 8-2. ヒステリシスの伝達曲線

詳細については、アプリケーションノート SBOA219「ヒステリシス回路付き／なしのコンパレータ」を参照してください。

8.1.2.1 ヒステリシス付きの反転コンパレータ

图 8-3 に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。

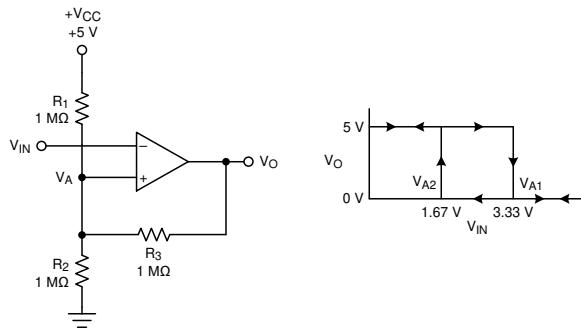


图 8-3. ヒステリシス付き反転構成の TLV181x

出力が "High" と "Low" のときの等価な抵抗ネットワークを图 8-4 に示します。

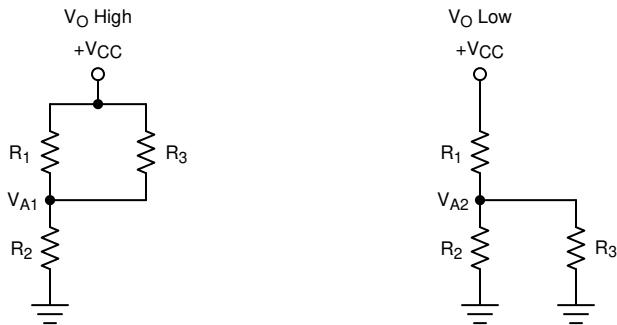


图 8-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です（わかりやすいように、 V_O は V_{CC} と同じ高さでスイッチすると仮定）。图 8-4 に示すように、3 つのネットワーク抵抗は R_2 と直列の $R_1 \parallel R_3$ として表現されます。

以下の式 1 は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R_2}{(R_1 \parallel R_3) + R_2} \quad (1)$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、式 2 に示すように、3 つのネットワーク抵抗は $R1$ と直列の $R2 \parallel R3$ として表現されます。

式 2 を使用して、"Low" から "High" へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \quad (2)$$

式 3 は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \quad (3)$$

8.1.2.2 ヒステリシス付きの非反転コンパレータ

ヒステリシスを有する非反転コンパレータには、図 8-5 に示すように、2 つの抵抗ネットワークと反転入力の電圧参照 (V_{REF}) が必要です。

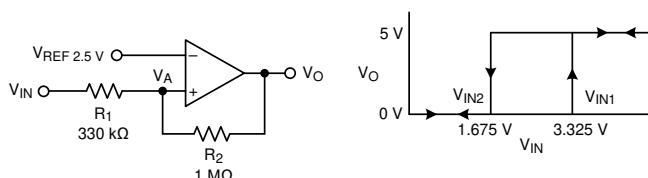


図 8-5. ヒステリシス付き非反転構成の TLV181x

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 8-6 に示します。

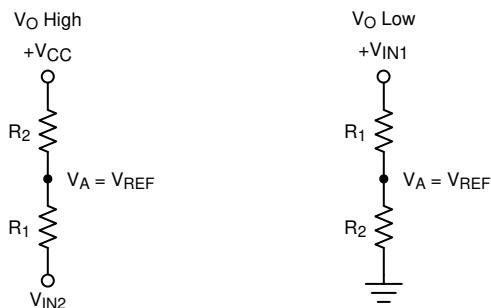


図 8-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、 V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して、 V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \quad (4)$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、 V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、 V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF} (R1 + R2) - V_{CC} \times R1}{R2} \quad (5)$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \quad (6)$$

詳細については、アプリケーションノート SNOA997 「ヒステリシス回路付き反転コンパレータ」および SBOA313 「ヒステリシス回路付き非反転コンパレータ」を参照してください。

8.1.2.3 オープン ドレイン出力を使用した反転 / 非反転ヒステリシス

TLV182x などのオープン ドレイン出力デバイスを使用することも可能ですが、計算では出力プルアップ抵抗も考慮する必要があります。プルアップ抵抗は、出力が High のとき、帰還抵抗に対して直列に接続されます。そのため、帰還抵抗は実際には $R2 + R_{PULLUP}$ と見なされます。テキサス・インストゥルメンツでは、プルアップ抵抗は帰還抵抗値の 10 分の 1 以下にすることを推奨します。

8.2 代表的なアプリケーション

8.2.1 ウィンドウ コンパレータ

ウインドウ コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。図 8-7 に、簡単なウィンドウ コンパレータ回路を示します。出力を互いに直接接続する場合、ウィンドウ コンパレータにはオープン ドレイン出力 (TLV182x) を使用する必要があります。

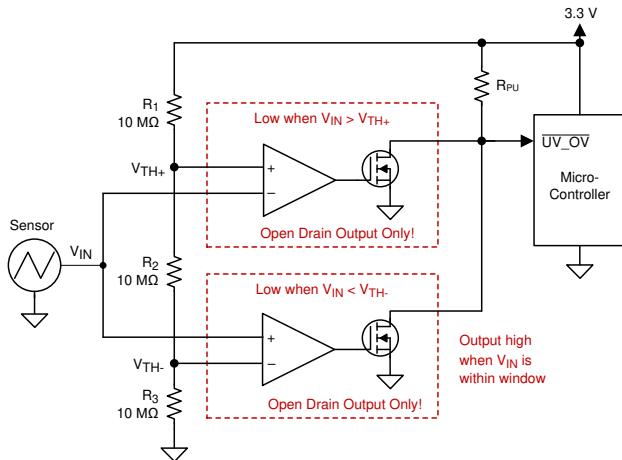


図 8-7. ウィンドウ コンパレータ

8.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 24V 電源が 19.2V を下回る場合の UV_Alert (論理低出力)
- 24V 電源が 30V を上回る場合の OV_Alert (論理低出力)
- 抵抗ストリングで消費される電流は、30µA です
- コンパレータは、5V 電源で動作します
- 2.5V の外部参照を使用します

8.2.1.2 詳細な設計手順

上の回路に示すように回路を構成すると TLC3702-EP からの 2.5V REF がリファレンス電圧として使用され、 $R1$ 、 $R2$ 、 $R3$ の抵抗列により 24V PLC 電源の上限 / 下限スレッショルド電圧が定義されます。コンパレータにより 24V 電源が最大電圧 30V を超えたこと、または最小電圧 19.2V を下回ったことが検出されると、OV_Alert および UV_Alert ネットはロジック "Low" 状態になります。

最初のステップとして、30µA の消費電力制限を使用して抵抗列 ($R1$ 、 $R2$ 、 $R3$) の合計抵抗を決定します。最大動作電圧 30V で、 $R1 + R2 + R3$ の合計抵抗が 1mΩ である場合、抵抗列は 30µA を消費します。

2番目のステップでは、24V 電源が 30V に達したときに、下側コンパレータの出力状態が "High" から "Low" に変化するよう R3 の値を設定します。これは、R2 と R3 の接合部の電圧が 2.5V のリファレンス電圧と等しいときに実現されます。30uA が 30V で抵抗列を通過するため、R3 は $(2.5V/30uA) - R_2$ から約 83.3kΩ と算出できます。

3番目のステップでは、24V 電源が 19.2V に達したときに、上側コンパレータの出力状態が "High" から "Low" に変化するよう R2 の値を設定します。これは、R1 と R2 の接合部の電圧が 2.5V のリファレンス電圧と等しいときに実現されます。19.2uA は抵抗列を 19.2V で通過するため、R2 は $(2.5V/19.2uA) - R_1$ から約 46.9kΩ と算出できます。

最後に、R1 の値は $1m\Omega - (R_2 + R_3)$ から約 870kΩ と算出されます。この回路には標準抵抗値 1% が選択されていることに注意してください。

24V PLC 電源が 19.2V 未満または 30V 超の場合、それぞれのコンパレータ出力 (OV_Alert と UV_Alert) は "Low" になります。同様に、24V 電源が 19.2V ~ 30V の範囲内（「ウィンドウ」内）の場合、それぞれのコンパレータ出力が "High" になることが下に示されています。

8.2.1.3 アプリケーション曲線

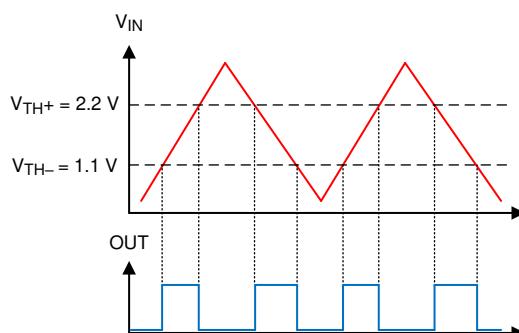


図 8-8. ウィンドウ コンパレータの結果

詳細については、アプリケーション ノート SBOA221「[ウィンドウ コンパレータ回路](#)」を参照してください。

8.2.2 方形波発振器

方形波発振器は、低コストのタイミング リファレンスまたはシステム監視クロック ソースとして使用できます。最良の対称性を得るには、プッシュプル出力デバイス (TLV181x) の使用をお勧めします。

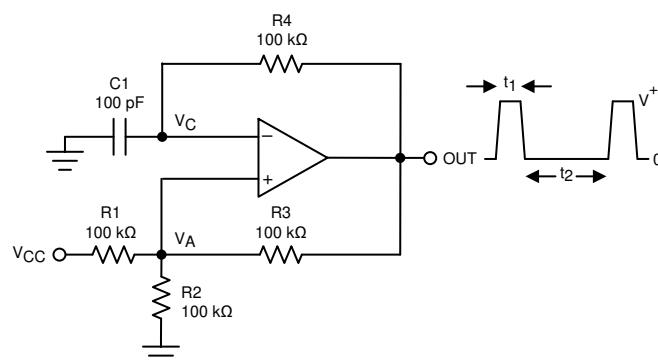


図 8-9. 方形波発振器

8.2.2.1 設計要件

方形波の周期は、コンデンサ C_1 および抵抗 R_4 の RC 時定数によって決定されます。最大周波数は、デバイスの伝搬遅延および出力の負荷容量によって制限されます。入力バイアス電流が小さいため、特定の発振器周波数を得るために小さい値のコンデンサと大きい値の抵抗を組み合わせることができます。BOM (部品表) コストと基板面積を削減できます。TI は、出力への負荷を最小限に抑えるため、 R_4 を数キロオーム以上にすることを推奨しています。

8.2.2.2 詳細な設計手順

発振周波数は、抵抗とコンデンサの値によって決定されます。次の計算は、手順の詳細を示しています。

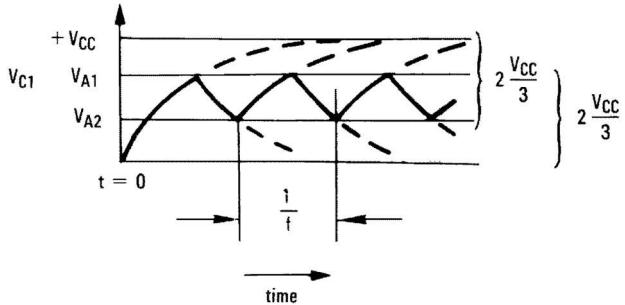


図 8-10. 方形波発振器のタイミング スレッショルド

まず、図 図 8-9 の出力は "High" と見なされます。これは、反転された入力 V_C が非反転入力 (V_A) よりも低いことを示しています。これにより、 C_1 は R_4 を介して充電され、電圧 V_C は非反転入力と等しくなるまで増加します。このポイントでの V_A の値は、式 7 で計算されます。

$$V_{A1} = \frac{V_{CC} \times R_2}{R_2 + R_1 \parallel R_3} \quad (7)$$

$R_1 = R_2 = R_3$ の場合、 $V_{A1} = 2V_{CC}/3$

この時点ではコンパレータの出力はトリップし、出力が負のレールまでプルダウンされます。このポイントでの V_A の値は、式 8 で計算されます。

$$V_{A2} = \frac{V_{CC}(R_2 \parallel R_3)}{R_1 + R_2 \parallel R_3} \quad (8)$$

$R_1 = R_2 = R_3$ の場合、 $V_{A2} = V_{CC}/3$

ここで、 C_1 は R_4 を介して放電され、電圧 V_C は V_{A2} に達するまで低下します。この時点で、出力は開始状態に戻ります。発振周期は、 C_1 の電圧が $2V_{CC}/3$ から $V_{CC}/3$ まで低下した後、 $2V_{CC}/3$ に戻るまでの時間に等しくなります。この値は各トリップについて $R_4 C_1 \times \ln 2$ で与えられます。したがって、合計時間は $2R_4 C_1 \times \ln 2$ として計算されます。

発振周波数は、式 9 で計算されます。

$$f = 1 / (2 R_4 \times C_1 \times \ln 2) \quad (9)$$

8.2.2.3 アプリケーション曲線

図 8-11 に、次の部品値を使用した、発振器のシミュレーション結果を示します。

- $R_1 = R_2 = R_3 = R_4 = 100\text{k}\Omega$
- $C_1 = 100\text{pF}$, $C_L = 20\text{pF}$
- $V+ = 5\text{V}$, $V- = \text{GND}$
- V_A から GND への C_{stray} (図では省略) = 10pF

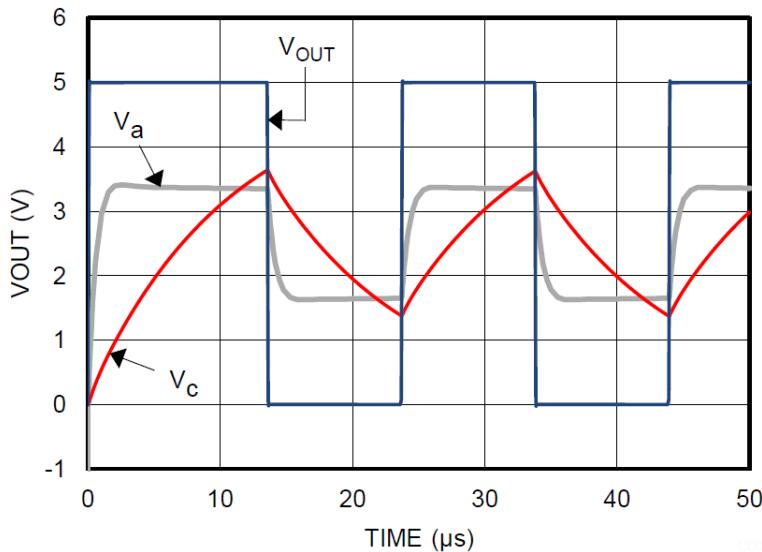


図 8-11. 方形波発振器の出力波形

8.2.3 可変パルス幅ジェネレータ

図 8-12 は、パルス幅を調整できる方形波発振器のバリエーションです。

R_4 と R_5 は、出力の状態に応じて、コンデンサ C の充電パスと放電パスを提供します。

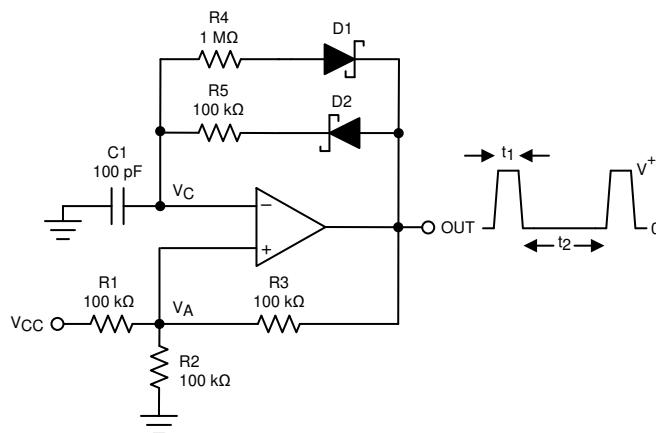


図 8-12. 可変パルス幅ジェネレータ

出力が High のとき、充電パスは R_5 および D_2 によって設定されます。同様に、出力が Low のとき、コンデンサの放電パスは R_4 および D_1 によって設定されます。

パルス幅 t_1 は、 R_5 と C の RC 時定数によって決定されます。したがって、パルス間の時間 t_2 は R_4 を変化させることで変更でき、パルス幅は R_5 によって変更できます。出力の周波数は、 R_4 と R_5 の両方を変化させることで変更できます。低電圧時には、計算の中で出力 High および Low 電圧を変更することにより、ダイオードの順方向電圧降下 (0.8V、ショットキーの場合は 0.15V) の影響を考慮に入れる必要があります。

8.2.4 時間遅延ジェネレータ

図 8-13 に示す回路は、基準時間からの所定の時間間隔で出力信号を提供し、入力が 0V に戻った時点で自動的に出力を "Low" にリセットします。これは、電源の制御されたスタートアップをトリガする「パワー オン」信号をシーケンシングするのに便利です。

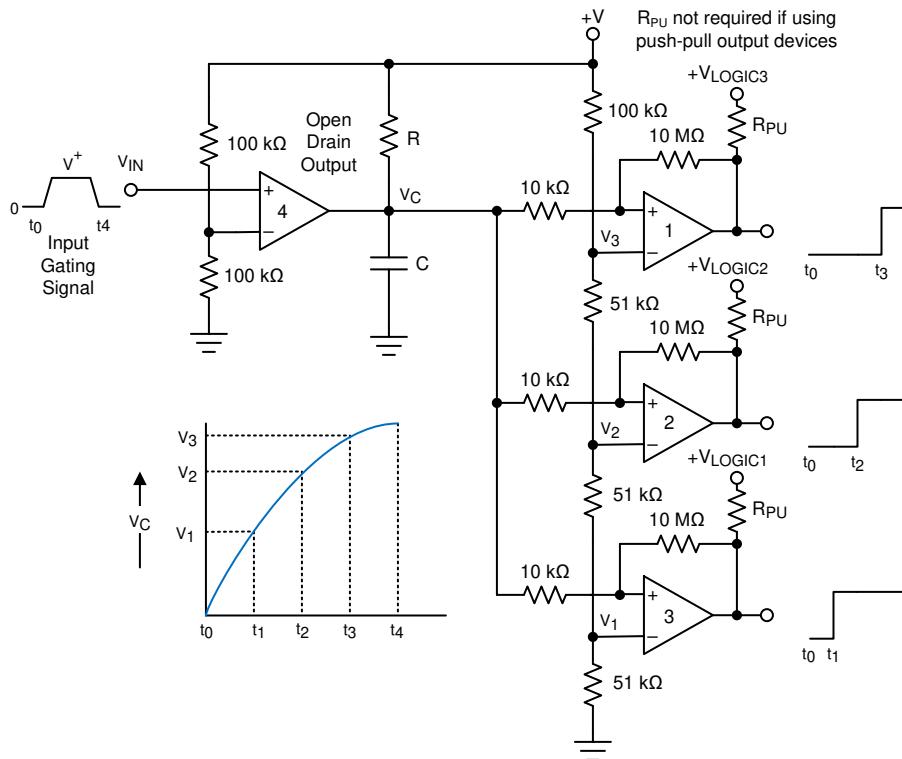


図 8-13. 時間遅延ジェネレータ

$V_{IN} = 0$ の場合を考えます。コンパレータ 4 の出力はグランドにも接続されており、コンデンサを「短絡」させてノードを $0V$ に保持します。これは、コンパレータ 1、2、3 の出力も $0V$ であることを意味します。入力信号が印加されると、オープンドレインコンパレータ 4 の出力がハイインピーダンスになり、 C は R を介して指数関数的に充電されます。これをグラフに示します。コンパレータ 1、2、3 の出力電圧は、 V_C が基準電圧 V_1 、 V_2 、 V_3 を超えて上昇すると、順番に "High" 状態に切り替わります。 $10k\Omega$ および $10M\Omega$ の抵抗によって小さなヒステリシスが設定され、遅延時間が長くなる RC 時定数を選択した場合でも高速スイッチングが保証されます。 $R = 100k\Omega$ 、 $C = 0.01\mu F \sim 1\mu F$ を出発点として調整することを推奨します。

V_{IN} が $0V$ に低下すると、コンパレータの出力が Low になり、コンデンサが直ちに放電されるため、すべての出力が直ちに Low になります。

コンパレータ 4 はオープンドレイン型出力 (TLV182x) でなければなりませんが、コンパレータ 1 ~ 3 はシステム要件に応じてオープンドレイン出力またはプッシュプル出力にできます。プッシュプル出力デバイスには、 R_{PU} は必要ありません。

8.2.5 ロジック レベル シフタ

TLV182x の出力は、出力トランジスタの非コミットドレインです。多数のオープンドレイン出力を互いに接続し、必要に応じて出力の OR 接続機能を実現できます。

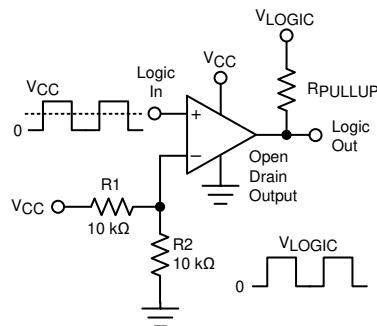


図 8-14. ユニバーサル ロジック レベル シフタ

2 つの $10\text{k}\Omega$ 抵抗は、入力ロジック供給レベルの半分に入力をバイアスして、入力ロジックレベルの中間点にスレッショルドを設定します。1 つの共有出力プルアップ抵抗のみが必要であり、 $0\text{V} \sim 5.5\text{V}$ の任意のプルアップ電圧に接続できます。プルアップ電圧 (V_{LOGIC}) は、駆動されるロジック入力の High レベルと一致している必要があります。

8.2.6 ワンショット マルチバイブレータ

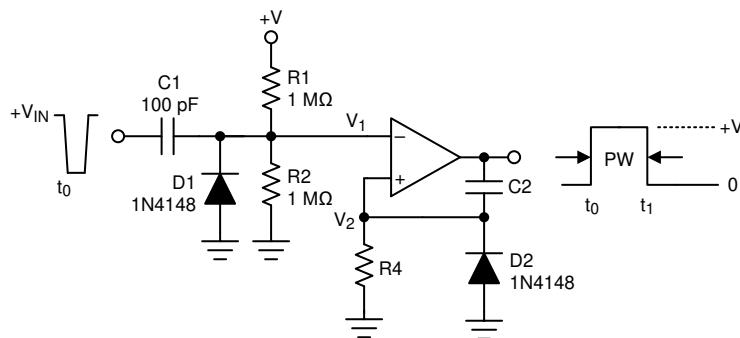


図 8-15. ワンショット マルチバイブレータ

モノステーブル マルチバイブレータには、回路が無制限に存続できる 1 つの安定した状態があります。この回路を外部からトリガして、別の疑似安定状態に移行させることができます。したがって、モノステーブル マルチバイブレータを使用して、必要な幅のパルスを生成することができます。

必要なパルス幅は、 C_2 と R_4 の値を調整して設定します。 R_1 と R_2 の分圧抵抗を使用して、入力トリガ パルスの大きさを決定できます。 $V_1 < V_2$ になったとき、出力の状態が変化します。ダイオード D_2 は、パルスの終了時にリセットされるコンデンサ C_2 の急速放電パスを提供します。また、このダイオードは、非反転入力がグランドより低い電圧に駆動されることを防止します。

8.2.7 双安定マルチバイブレータ

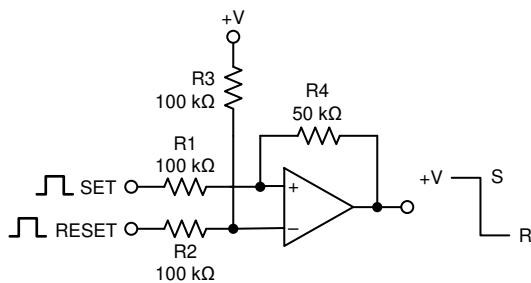


図 8-16. 双安定マルチバイブレータ

双安定マルチバイブレータには、2つの安定状態があります。基準電圧は、 R_2 と R_3 の分圧器によって設定されます。SET 端子に印加されるパルスによって、コンパレータの出力が High に切り替えられます。 R_1 および R_4 の抵抗分圧器によって、非反転入力の電圧がリファレンス電圧より高く設定されます。RESET に印加されたパルスにより、出力が Low に切り替わります。

8.2.8 ゼロ交差検出器

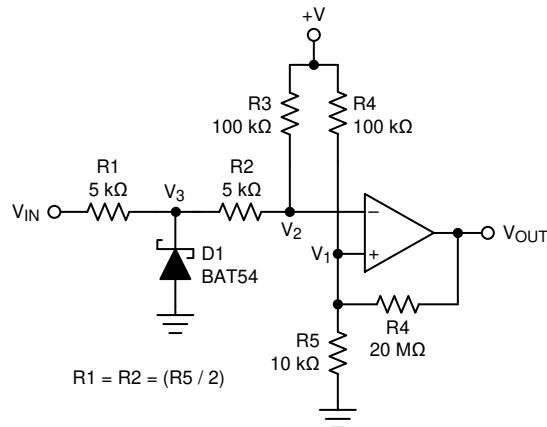


図 8-17. ゼロ交差検出器

R_4 および R_5 の分圧器により、非反転入力に基準電圧 V_1 が設定されます。 R_1 と R_2 の直列抵抗を R_5 と等しくすると、コンパレータの出力は $V_{IN} = 0V$ のときにスイッチングします。ダイオード D_1 により、グランドに近い V_3 にクランプされます。 R_2 および R_3 の分圧器により、 V_2 がグランドより低くなるのを防止します。出力電圧の高速な遷移を維持するために、少量のヒステリシスが設定されています。

8.2.9 パルス スライサ

パルス スライサはゼロ交差検出器のバリエーションで、ベースライン レベルが変動する入力信号上でのゼロ交差の検出に使用されます。この回路は、対称型の波形で最良の性能を発揮します。 R_1 と C_1 の RC ネットワークにより、平均基準電圧 V_{REF} が設定されます。この電圧は V_{IN} 信号の平均振幅に追従します。非反転入力は、 R_2 を介して V_{REF} に直接接続されます。 R_2 と R_3 を使用してヒステリシスを設定すると、遷移をスプリアストグルが発生しない状態に維持できます。時定数の値は、長期間の対称性と振幅の変化に対する応答時間の間のトレードオフとなります。

波形がデータである場合、適切な平均ベースラインを維持するために、データを推奨 NRZ (Non-Return to Zero) 形式でエンコードできます。非対称入力では、 V_{REF} 平均電圧の変化を原因とするタイミング歪みが発生する場合があります。

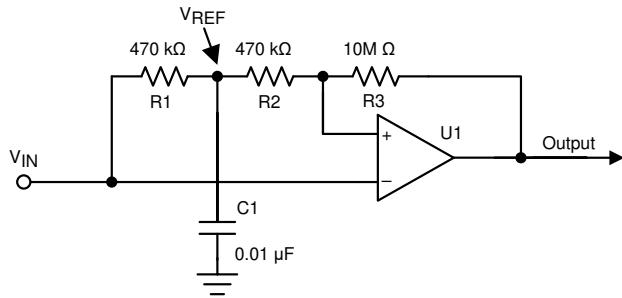


図 8-18. パルス スライサ

この設計については、以下の設計要件に従ってください。

- 有効なトリップ スレッショルドを維持するには、RC 定数の値 (R_2 および C_1) が目標データ レートをサポートする必要があります。
- R_2 と R_{43} を使用して設定されたヒステリシスにより、スプリアストグルを防止できます。

TLV182x も使用できますが、その場合は出力にプルアップ抵抗を追加する必要があります（わかりやすいように図では省略）。

図 8-19 は、ベースラインが変動する、ボーレート 9600 のデータ信号の結果を示しています。

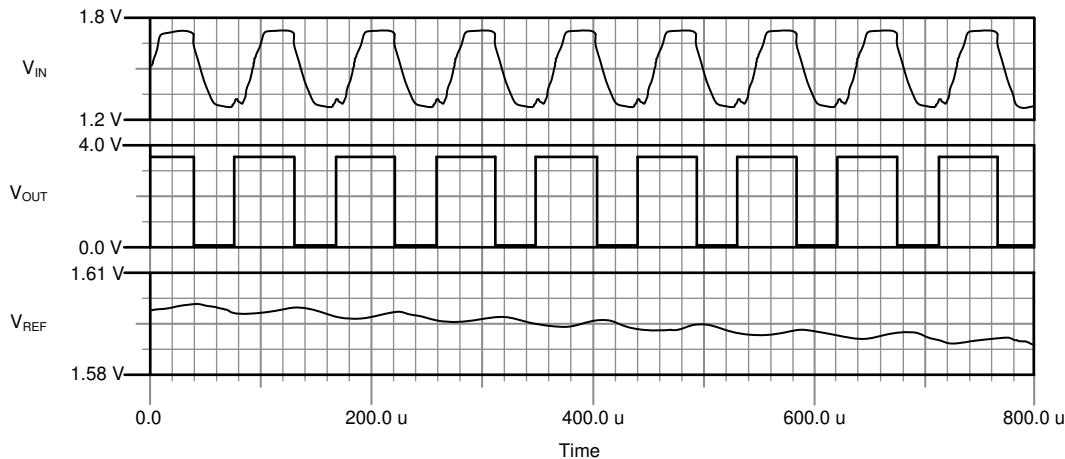


図 8-19. パルス スライサの波形

8.3 電源に関する推奨事項

出力エッジが高速であるため、電源リングングおよび誤トリガーや発振を防ぐために、電源ピンのバイパスコンデンサを配置することが重要です。 V_{CC} ピンとグランドピンの間に低 ESR の $0.1\mu F$ セラミックバイパスコンデンサを直接接続し、それぞれのデバイスで電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリングングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 (V_+ および V_-)、または「単一」電源 (V_+ および GND) から電力を供給できます (V_- ピンに GND を印加)。いずれのタイプについても、入力信号を規定の入力範囲内 (V_+ と V_- の間) に維持する必要があります。「分割」電源では、出力は GND ではなく V_- の電位まで「Low」(V_{OL}) に振れることに注意してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションには、出力グリッチを最小限に抑えるためのクリーンで安定した電源が必要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパスコンデンサは電源ピンにできる限り近づけて配置し、必要に応じてベタのグランドプレーンに接続します。また、できれば V_{CC} ピンと GND ピンの間に直接接続します。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に V_{CC} または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (100Ω 以下) の抵抗を追加すると、長い非インピーダンス制御パターン上のリングングや反射の減衰も可能です。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンストレースを使用することができます。

8.4.2 レイアウト例

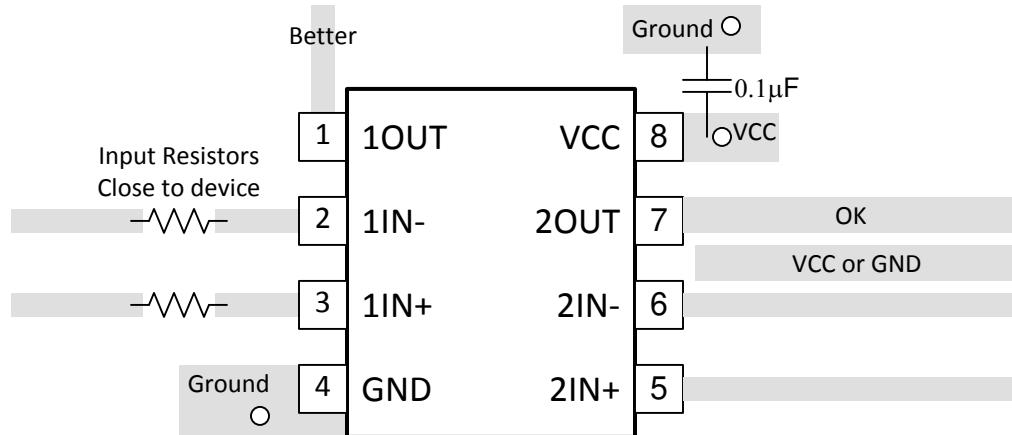


図 8-20. デュアル レイアウトの例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

『アナログ エンジニア向け回路設計ヒント集：アンプ（コンパレータのセクションを参照）、SLYY137』

『Precision Design、ヒステリシス付きコンパレータのリファレンス デザイン』、TIDU020

『ウインドウ コンパレータ回路』、SBOA221

『リファレンス デザイン、ウインドウ コンパレータのリファレンス デザイン』、TIPD178

『ヒステリシス回路付き／なしのコンパレータ』、SBOA219

『ヒステリシスを持つ反転コンパレータ回路』、SNOA997

『ヒステリシスを持つ非反転コンパレータ回路』、SBOA313

『コンパレータによるゼロ クロス検出回路』、SNOA999

『PWM ジェネレータ回路』、SBOA212

『産業用ドライブ アプリケーションでのロータリー エンコーダの性能を改善するためのコンパレータの実装方法』、SNOAA41

『独立して動作する4つのコンパレータ』、SNOA654

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (December 2024) to Revision E (July 2025)	Page
--	-------------

- | | |
|---------------------|---|
| • 不足していた行と表を復元..... | 6 |
|---------------------|---|

Changes from Revision C (September 2023) to Revision D (December 2024)	Page
---	-------------

- | | |
|------------------------------|----|
| • ブロック図を置き換え、グラフ XX を追加..... | 1 |
| • ブロック図を置き換え、グラフを追加..... | 1 |
| • ESD のテキストを更新..... | 14 |

Changes from Revision B (December 2022) to Revision C (September 2023)	Page
---	-------------

- | | |
|--|---|
| • 複数のデュアルおよびクワッド SOIC リリースのプレビューを削除..... | 1 |
|--|---|

Changes from Revision A (November 2022) to Revision B (December 2022)	Page
--	-------------

- | | |
|--------------------------------------|---|
| • TLV1811/21 シングル リリースのプレビューを削除..... | 1 |
|--------------------------------------|---|

Changes from Revision * (September 2022) to Revision A (November 2022)	Page
---	-------------

- | | |
|---|---|
| • TLV1812/22 デュアル SOIC リリースのプレビューを削除..... | 1 |
|---|---|

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV1811DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XJT
TLV1811DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XJT
TLV1811DCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XST
TLV1811DCKR.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XST
TLV1811LDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XNT
TLV1811LDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XNT
TLV1811LDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XTT
TLV1811LDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XTT
TLV1812DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32EF
TLV1812DDFR.A	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32EF
TLV1812DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31US
TLV1812DGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31US
TLV1812DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1812DR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1812DSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OD
TLV1812DSGR.A	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OD
TLV1812PWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1812PWR.A	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1814DR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814D
TLV1814DR.A	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814D
TLV1814DYYR	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814B1
TLV1814DYYR.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814B1
TLV1814PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B1
TLV1814PWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B1
TLV1814RTER	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B
TLV1814RTER.A	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B
TLV1821DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XLT
TLV1821DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XLT

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV1821DCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XUT
TLV1821DCKR.A	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XUT
TLV1821LDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XMT
TLV1821LDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XMT
TLV1822DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32DF
TLV1822DDFR.A	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32DF
TLV1822DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31VS
TLV1822DGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31VS
TLV1822DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1822DR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1822DSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OE
TLV1822DSGR.A	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OE
TLV1822PWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1822PWR.A	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1824DR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824D
TLV1824DR.A	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824D
TLV1824DYYR	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824DYY
TLV1824DYYR.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824DYY
TLV1824PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B1
TLV1824PWR.A	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B1
TLV1824RTER	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B
TLV1824RTER.A	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

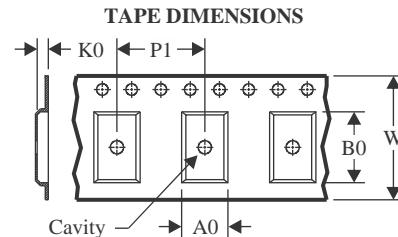
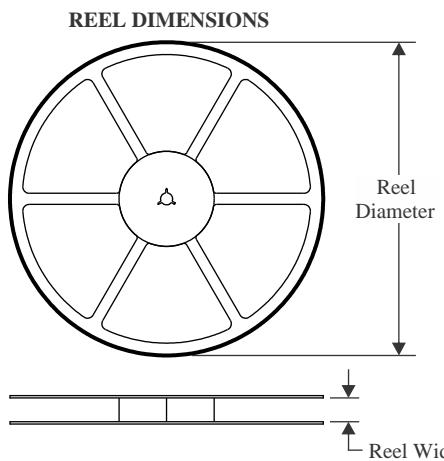
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV1811, TLV1812, TLV1814, TLV1821, TLV1822, TLV1824 :

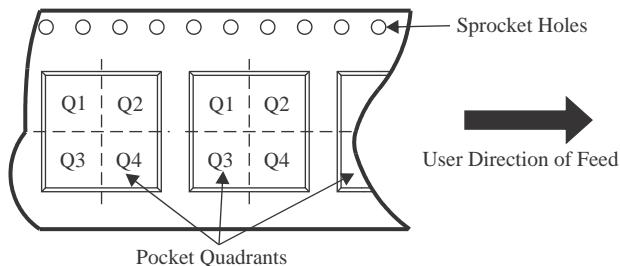
- Automotive : [TLV1811-Q1](#), [TLV1812-Q1](#), [TLV1814-Q1](#), [TLV1821-Q1](#), [TLV1822-Q1](#), [TLV1824-Q1](#)
- Enhanced Product : [TLV1812-EP](#), [TLV1822-EP](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

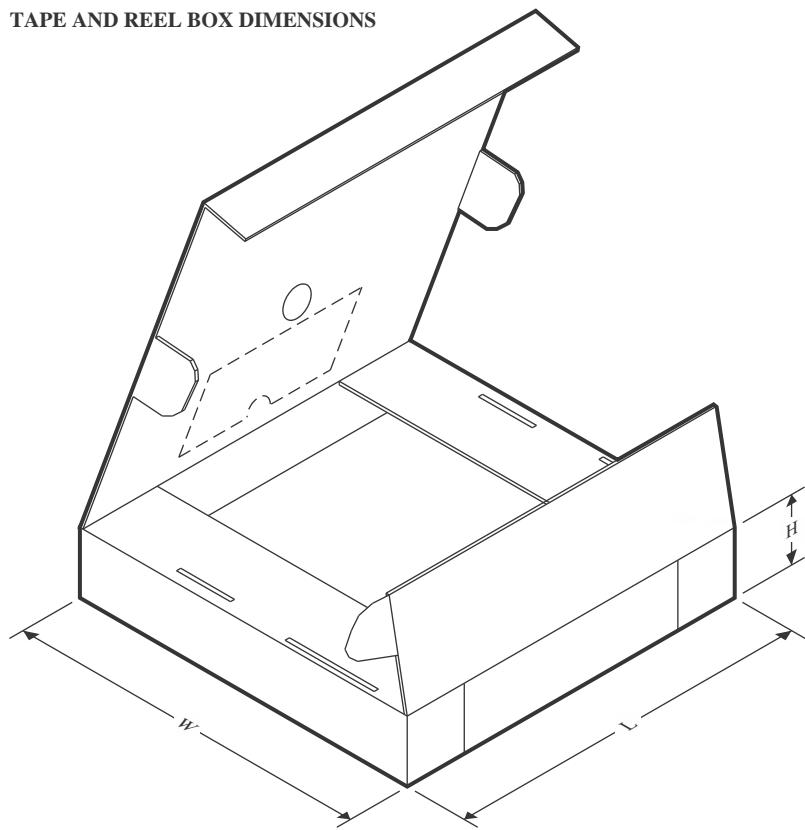
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV1811DBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1811DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1811LDBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1811LDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1812DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1812DGKR	VSSOP	DGK	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1812DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1812DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV1812PWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV1814DR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV1814DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV1814PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV1814RTER	WQFN	RTE	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLV1821DBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1821DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV1821LDBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1822DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1822DGKR	VSSOP	DGK	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1822DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1822DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV1822PWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV1824DR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV1824DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV1824PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV1824RTER	WQFN	RTE	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV1811DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1811DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
TLV1811LDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1811LDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV1812DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV1812DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV1812DR	SOIC	D	8	3000	353.0	353.0	32.0
TLV1812DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV1812PWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV1814DR	SOIC	D	14	3000	353.0	353.0	32.0
TLV1814DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV1814PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
TLV1814RTER	WQFN	RTE	16	5000	367.0	367.0	35.0
TLV1821DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1821DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
TLV1821LDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1822DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV1822DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV1822DR	SOIC	D	8	3000	353.0	353.0	32.0
TLV1822DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV1822PWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV1824DR	SOIC	D	14	3000	353.0	353.0	32.0
TLV1824DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV1824PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
TLV1824RTER	WQFN	RTE	16	5000	367.0	367.0	35.0

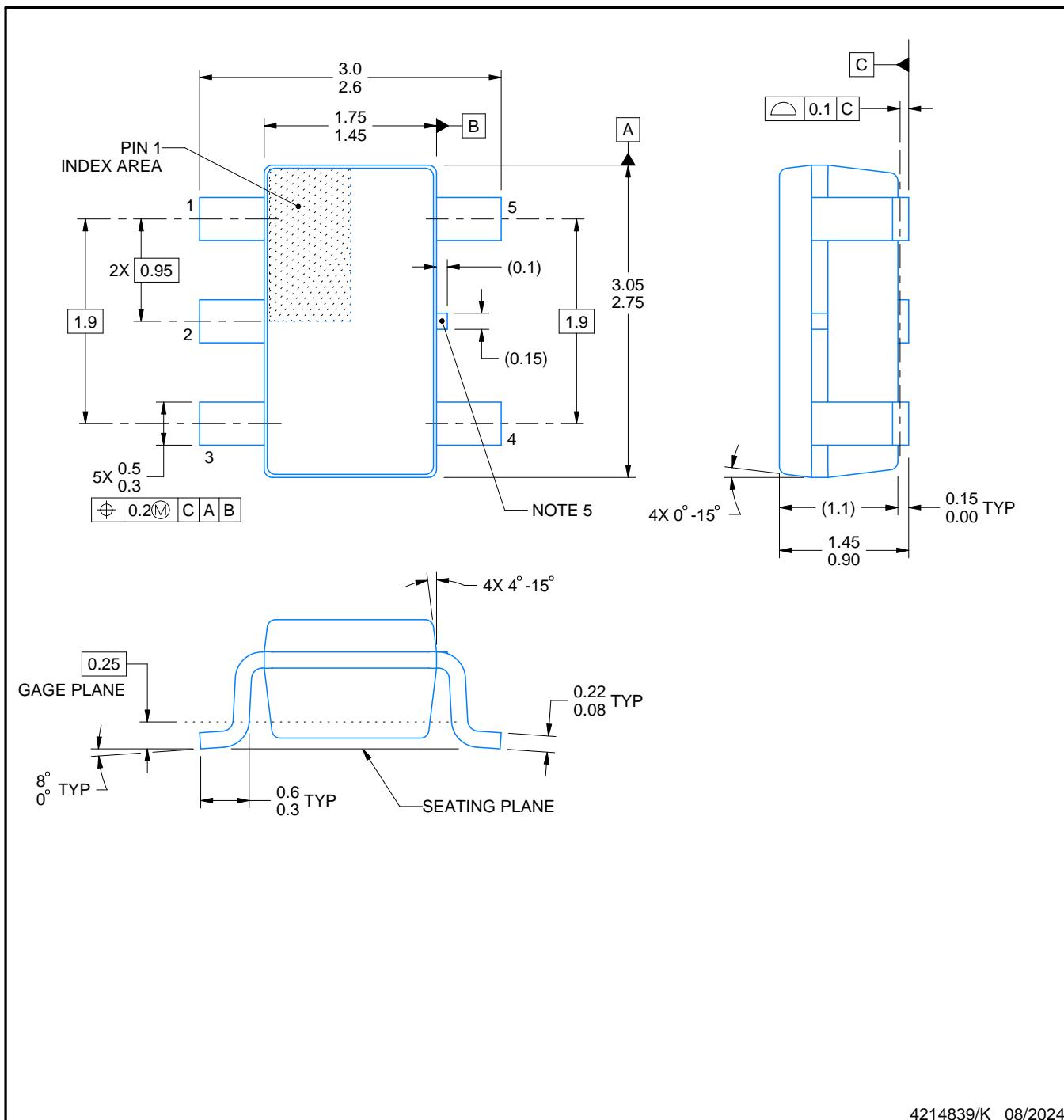
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

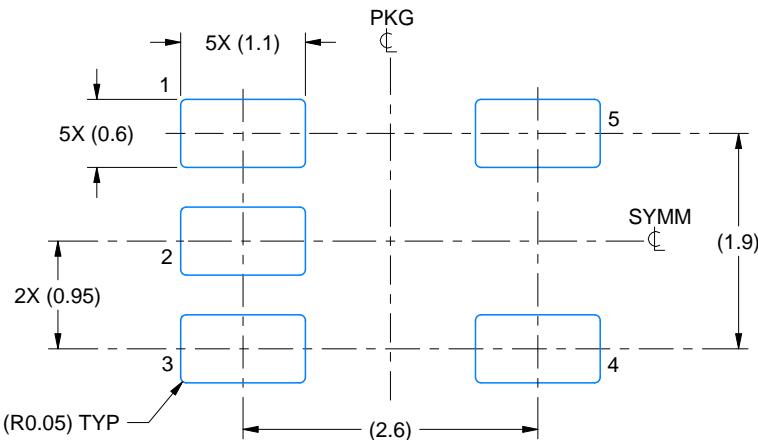
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

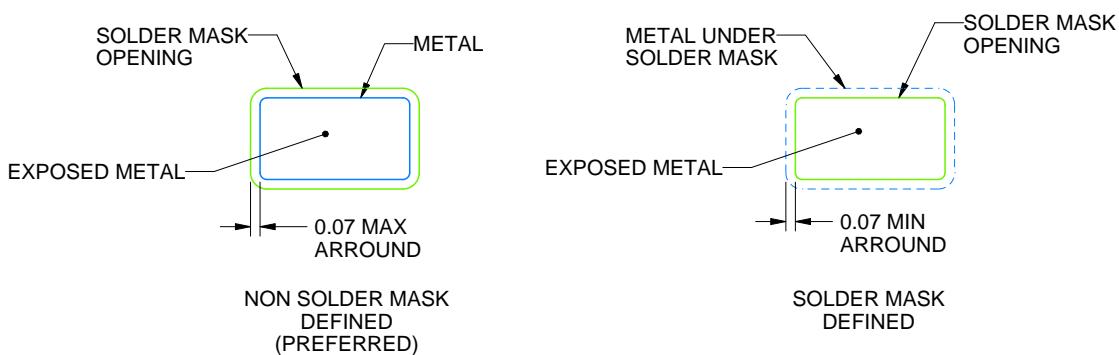
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

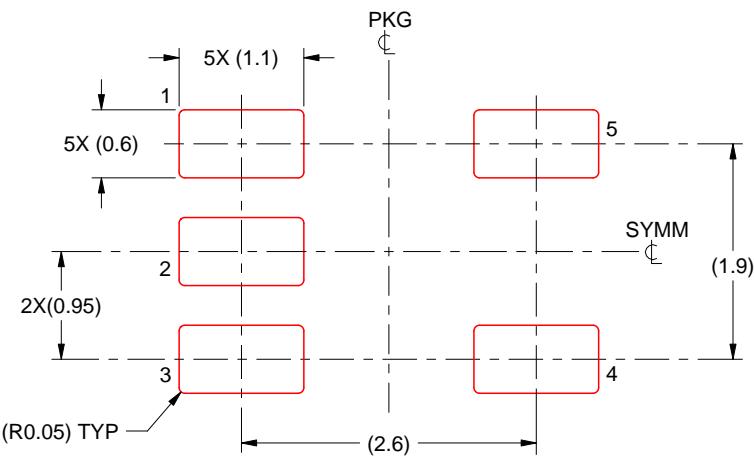
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

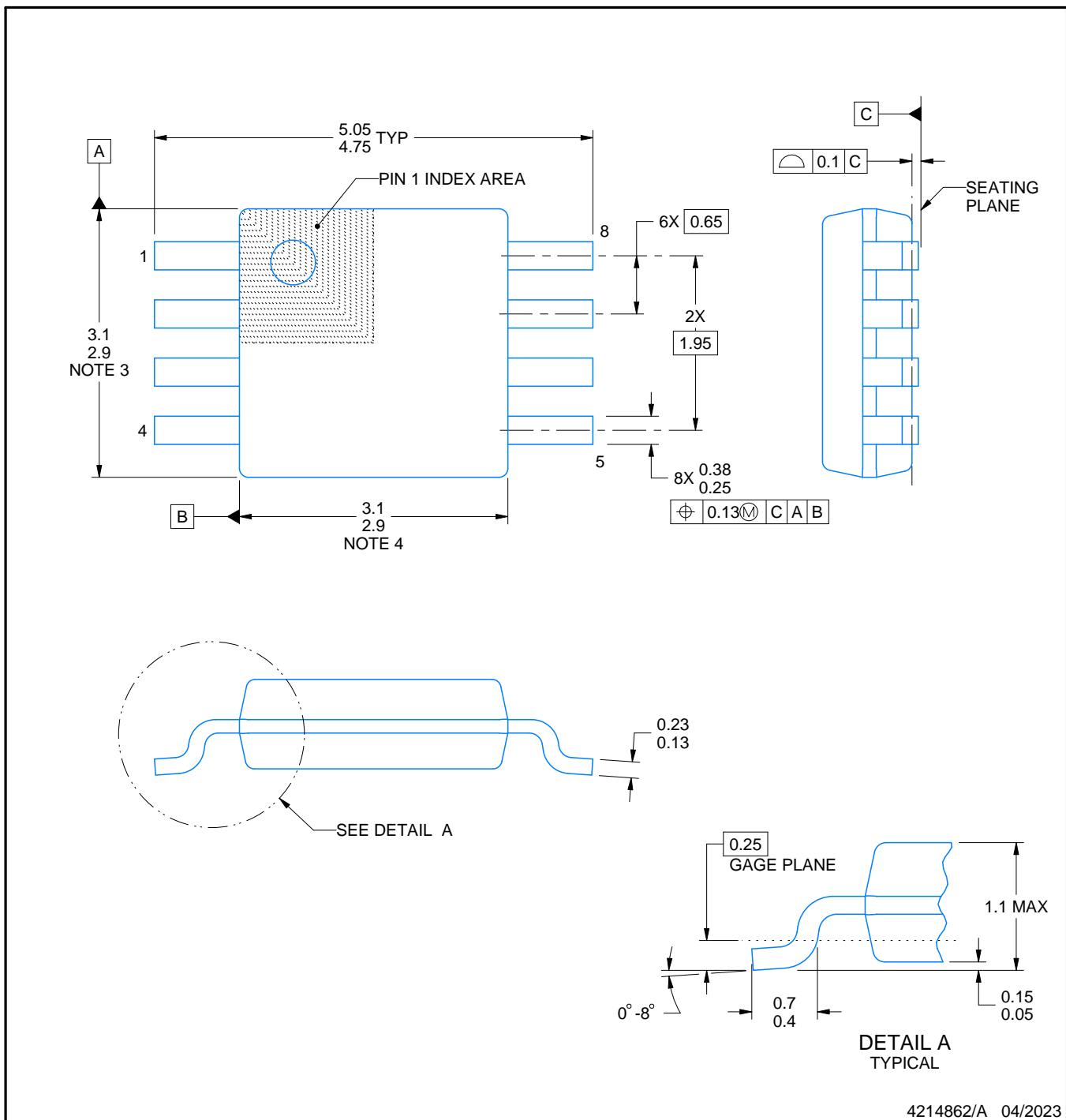
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

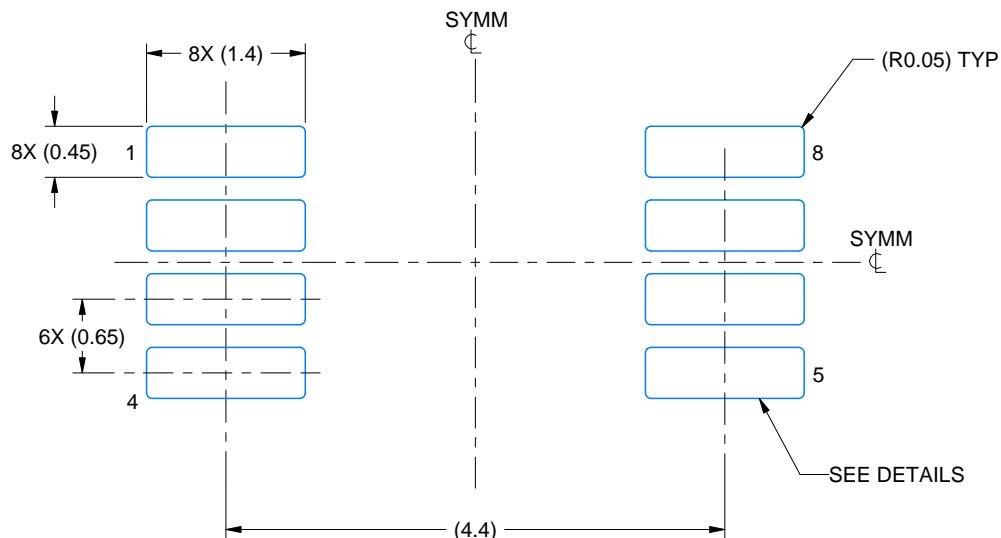
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

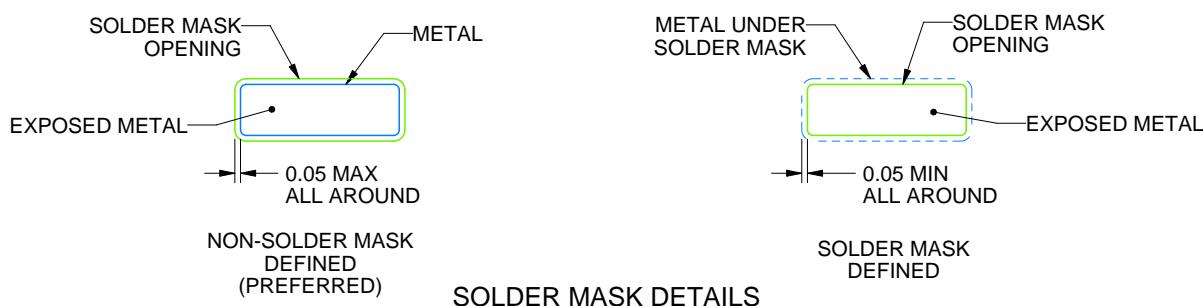
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

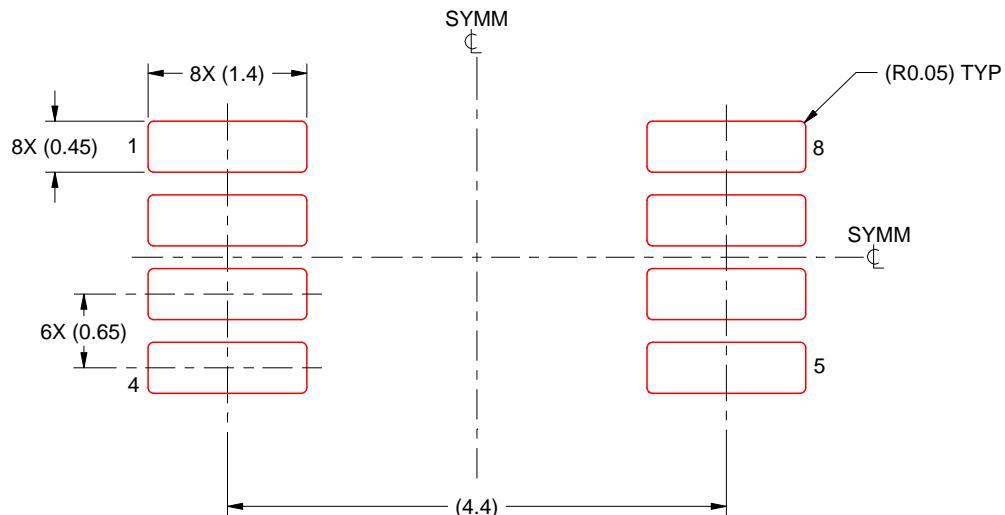
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

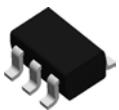
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

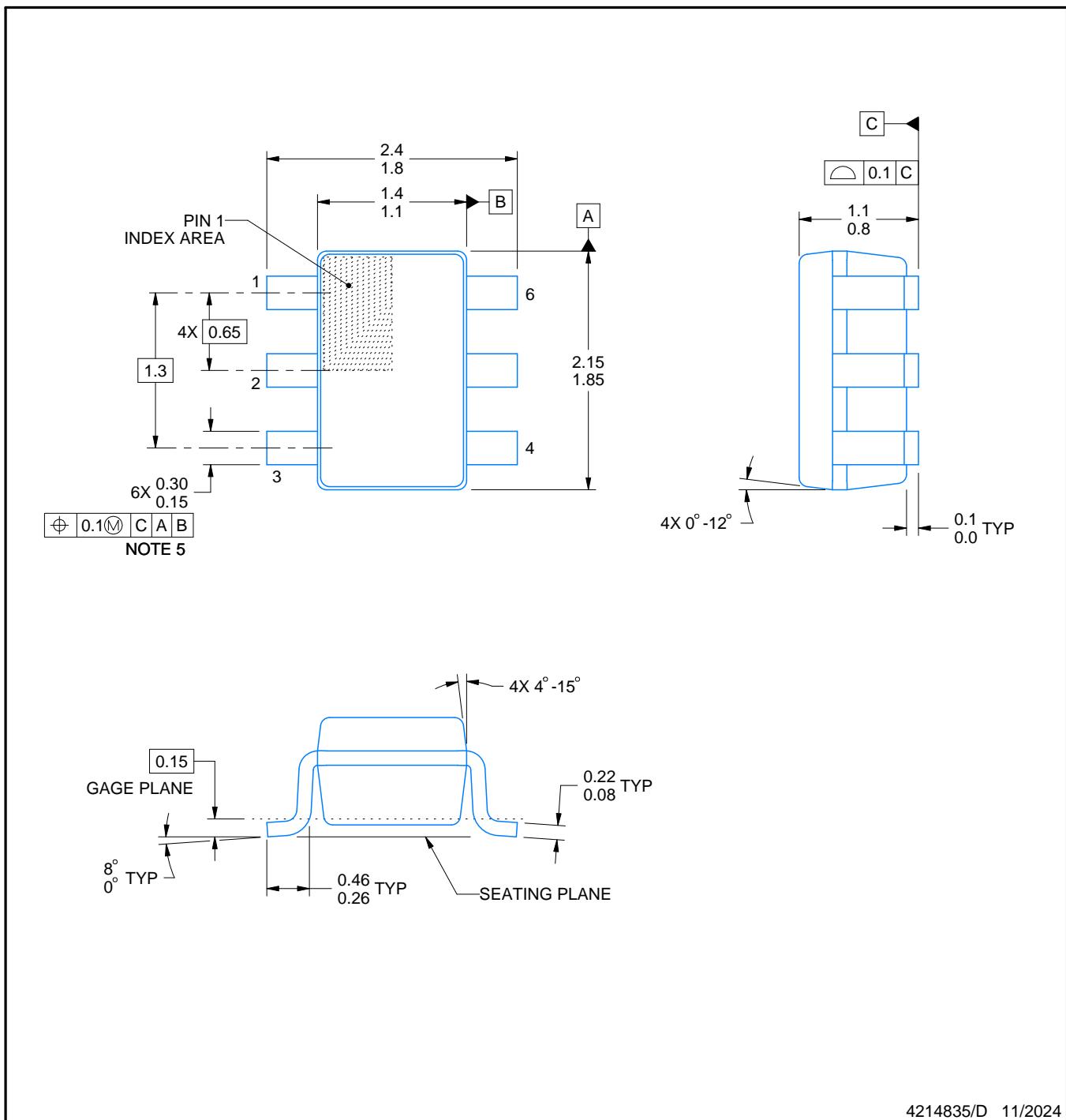
PACKAGE OUTLINE

DCK0006A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES:

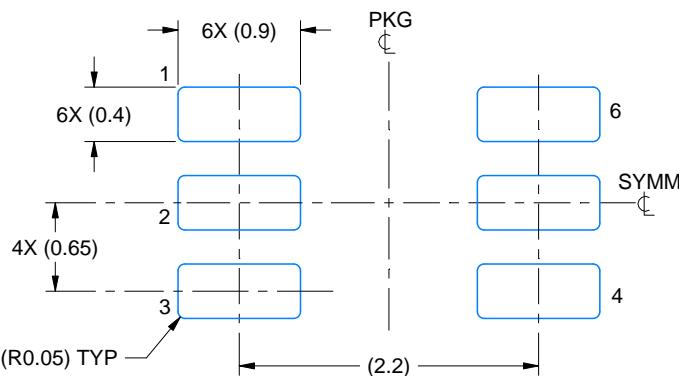
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.

EXAMPLE BOARD LAYOUT

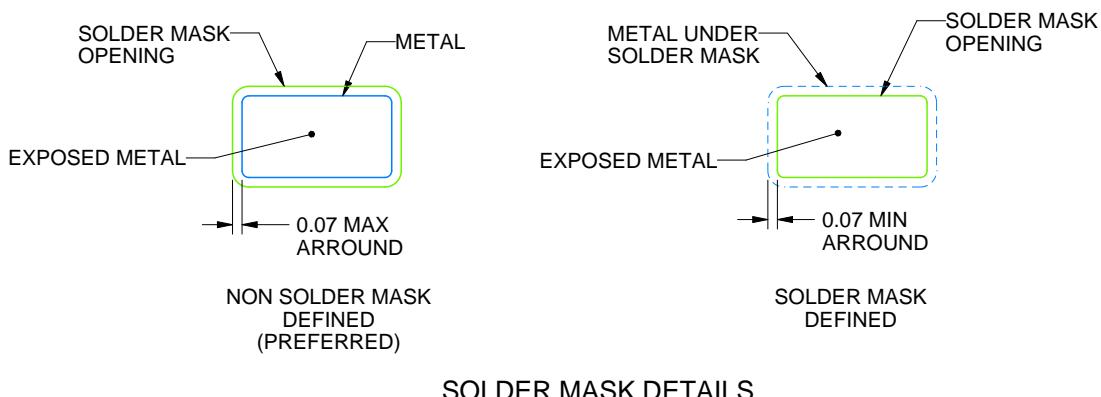
DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

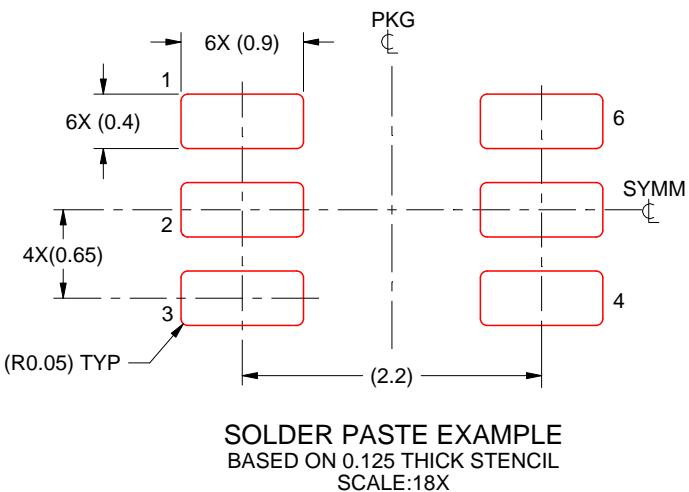
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0006A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

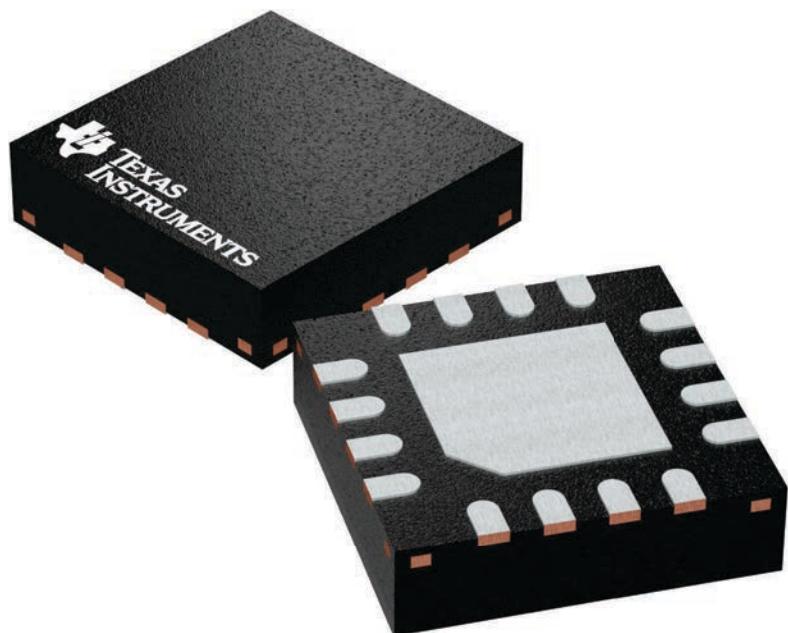
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A

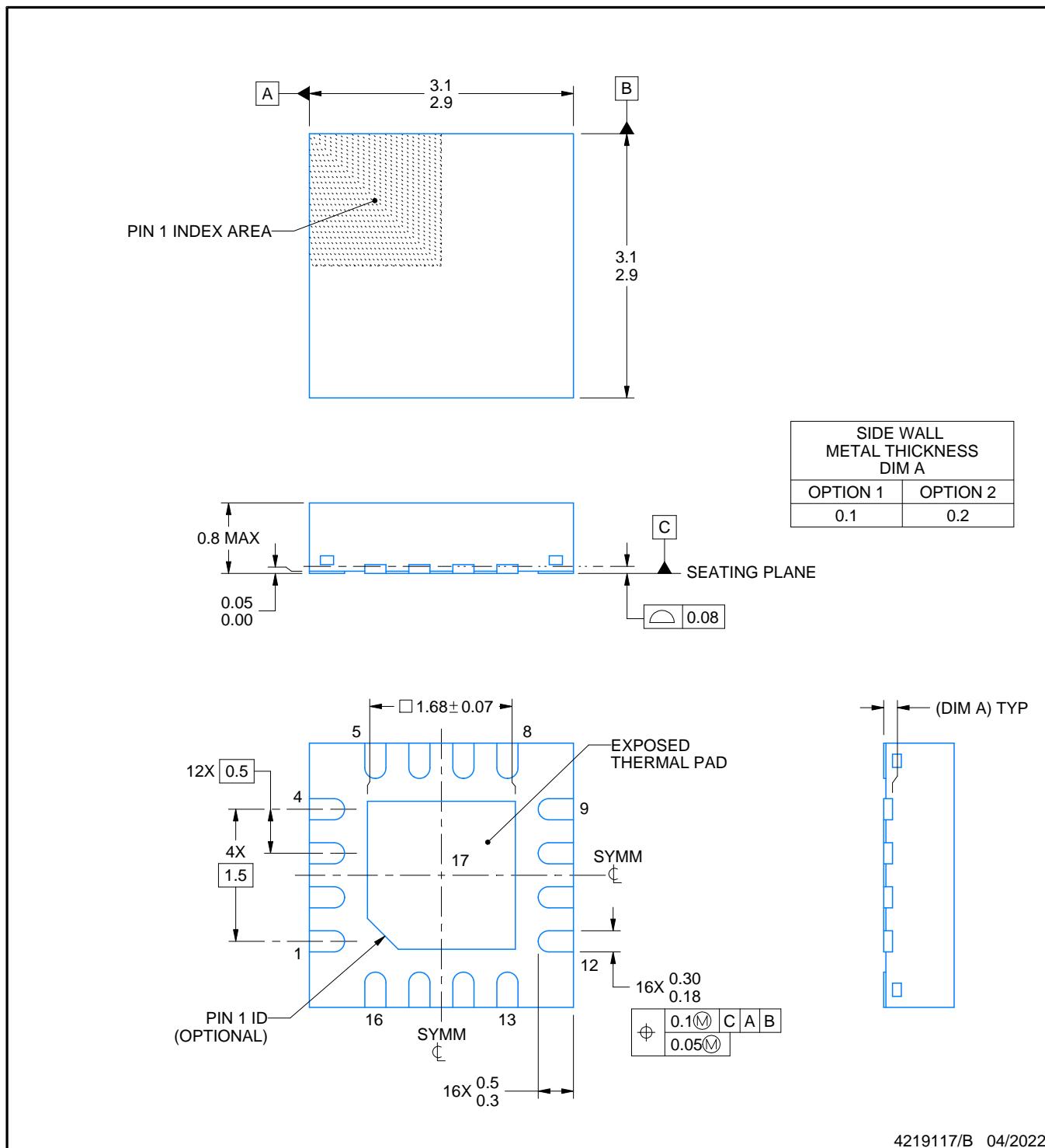
PACKAGE OUTLINE

RTE0016C



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219117/B 04/2022

NOTES:

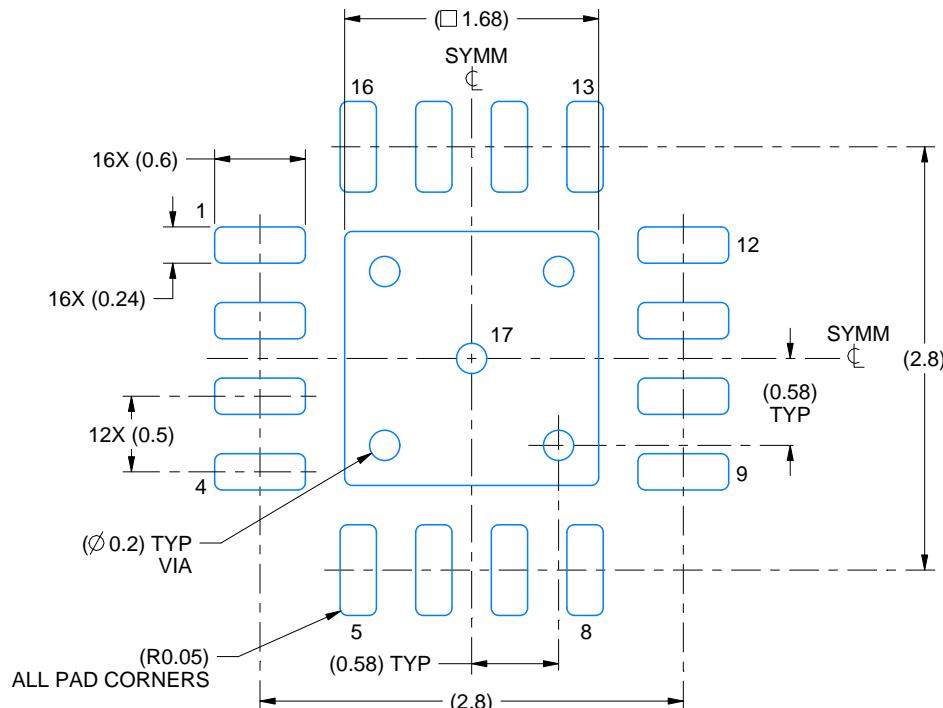
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

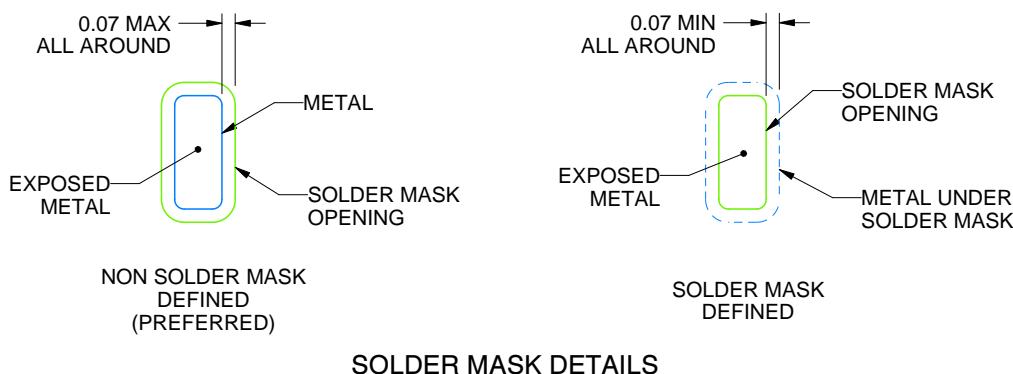
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



4219117/B 04/2022

NOTES: (continued)

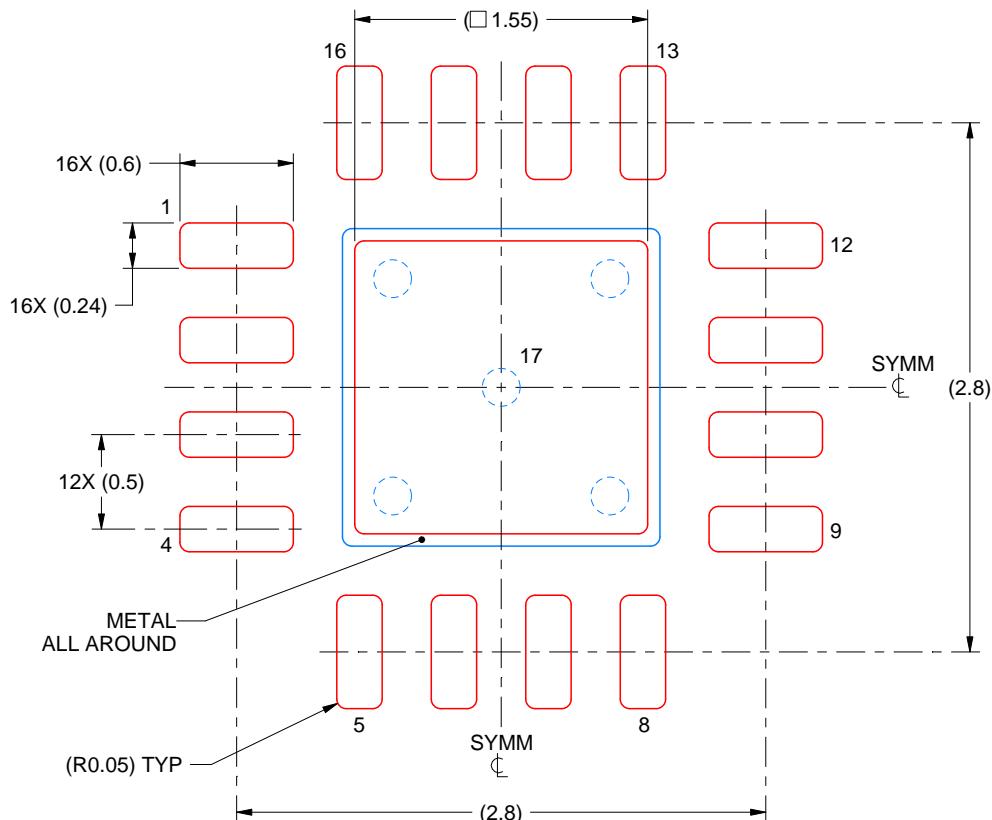
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 - Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

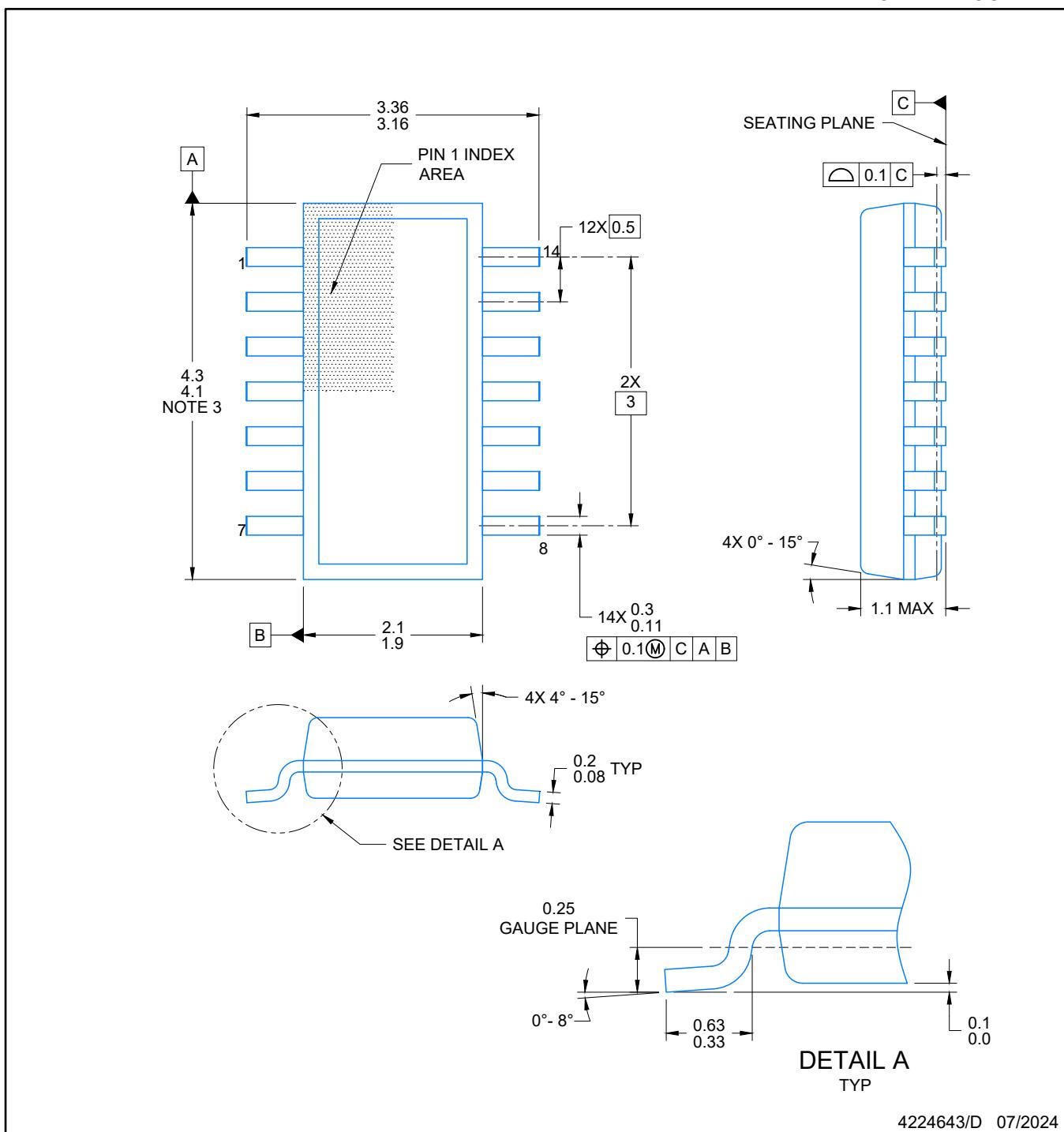
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0014A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

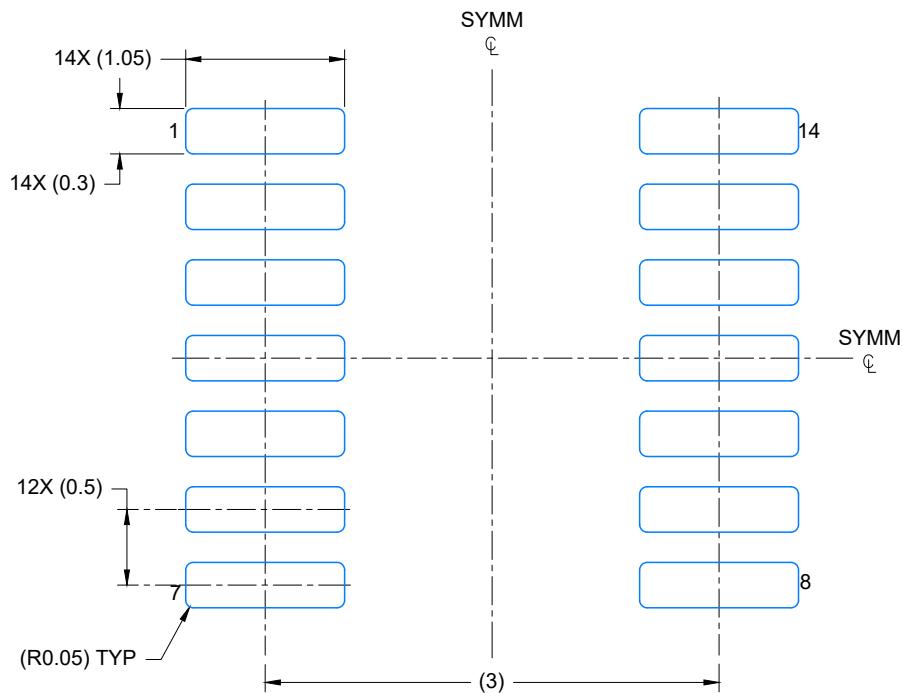


4224643/D 07/2024

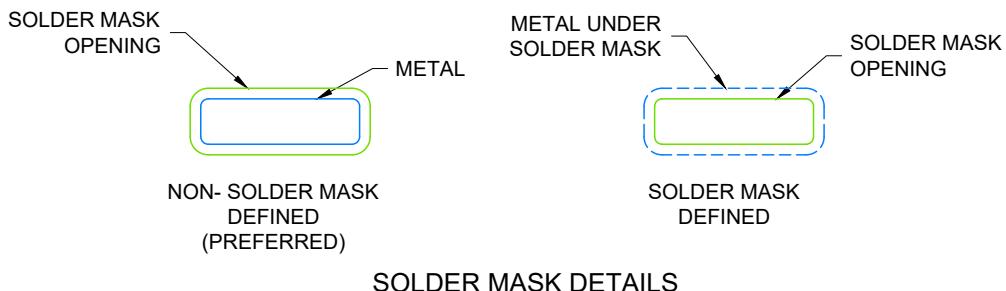
NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
- Reference JEDEC Registration MO-345, Variation AB

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



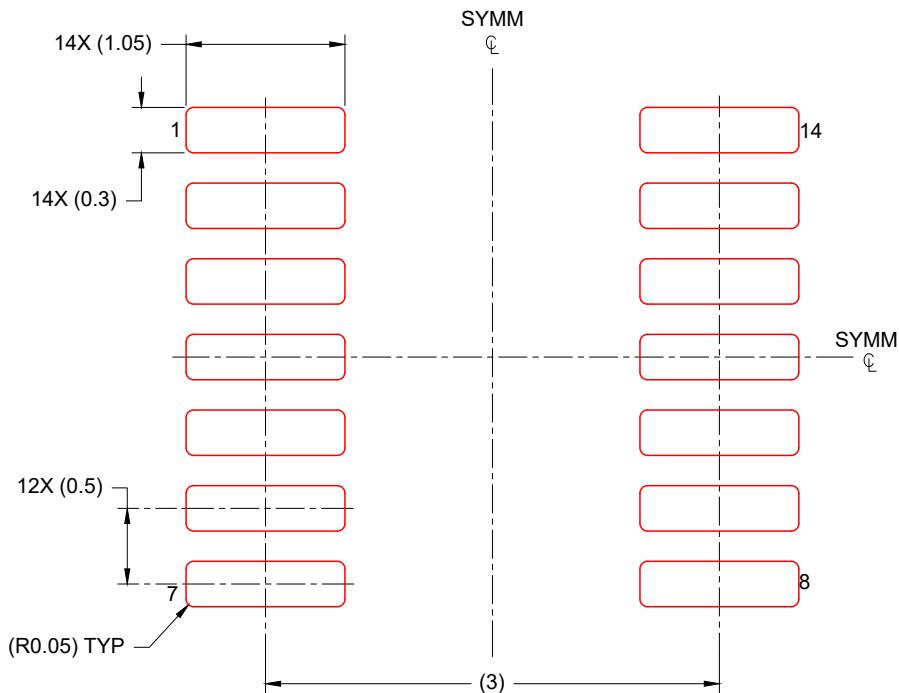
SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

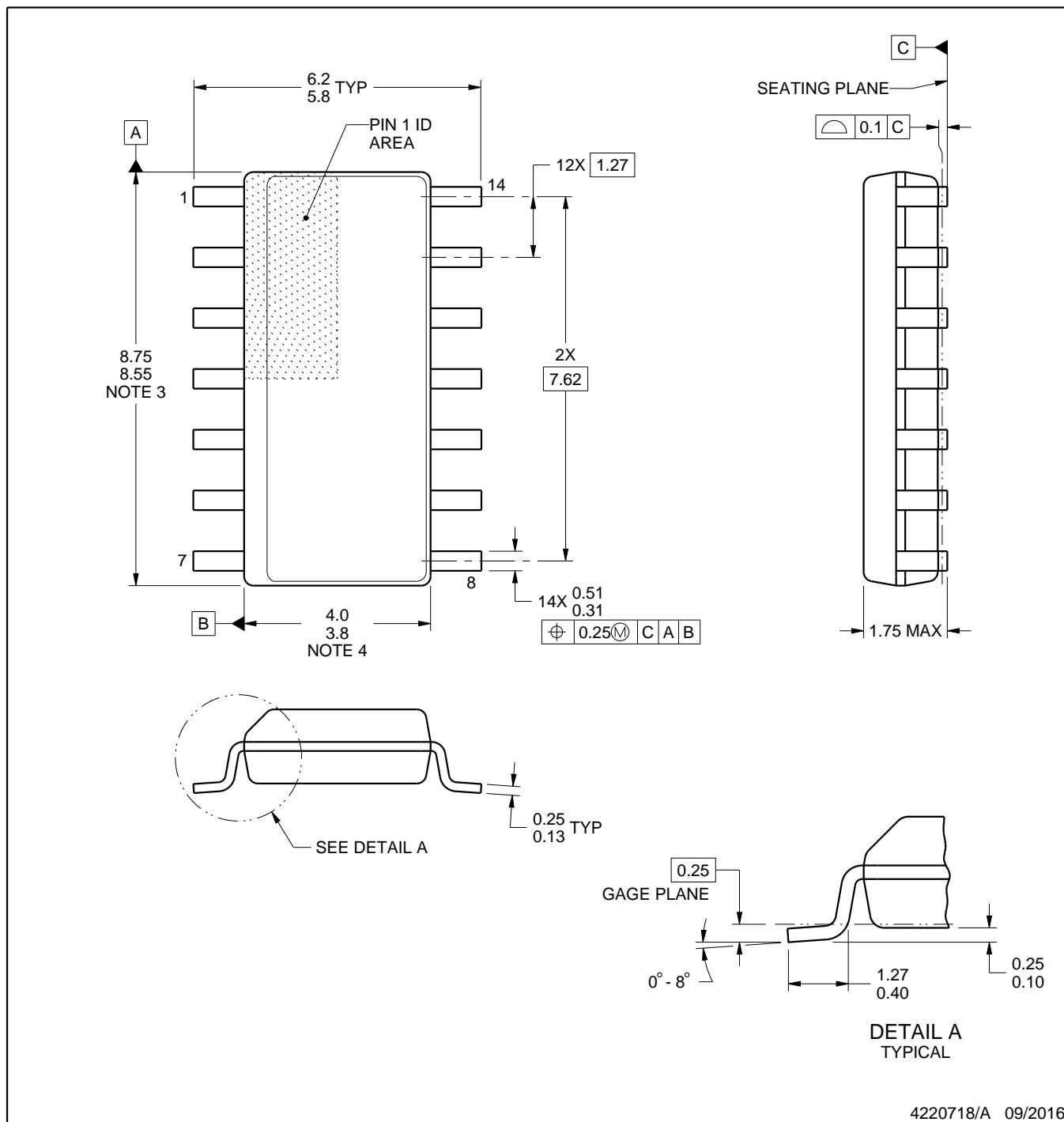
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

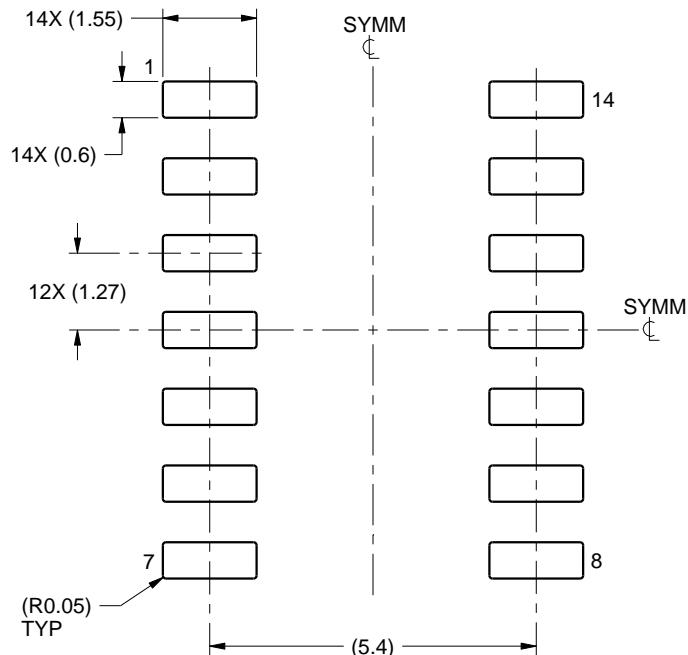
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

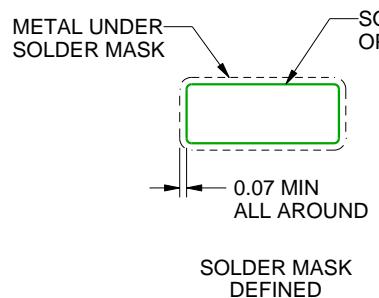
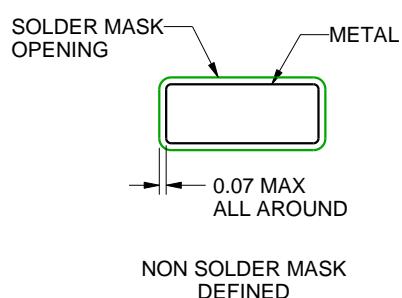
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

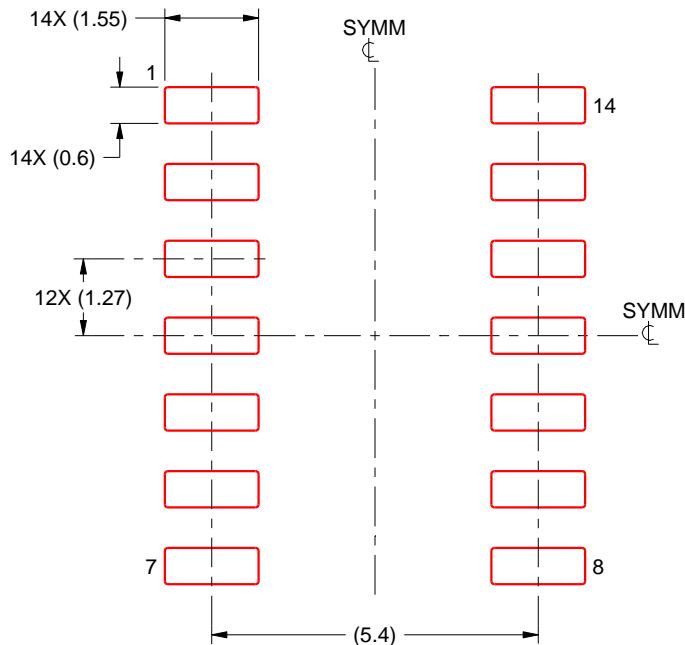
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

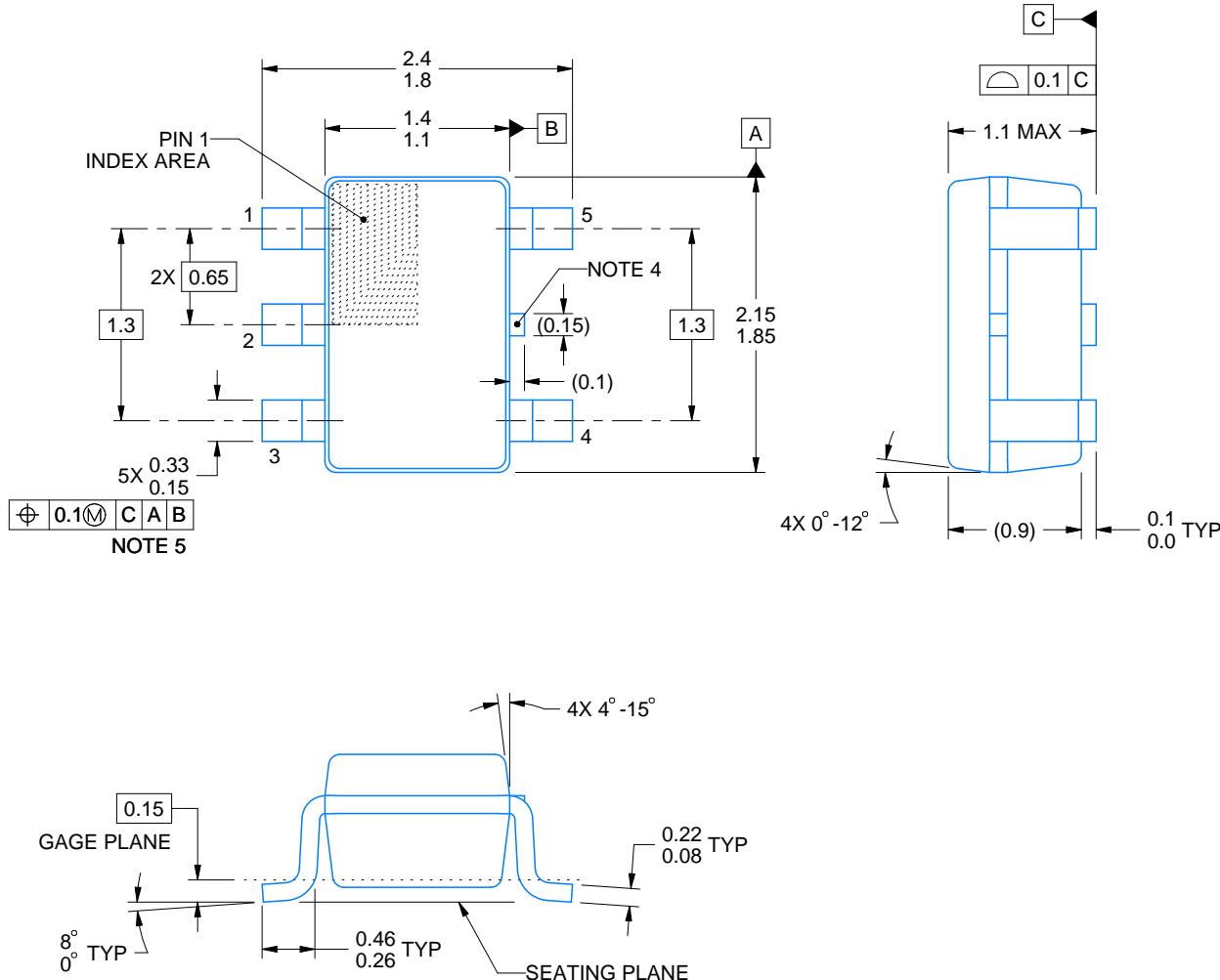
PACKAGE OUTLINE

DCK0005A



SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES:

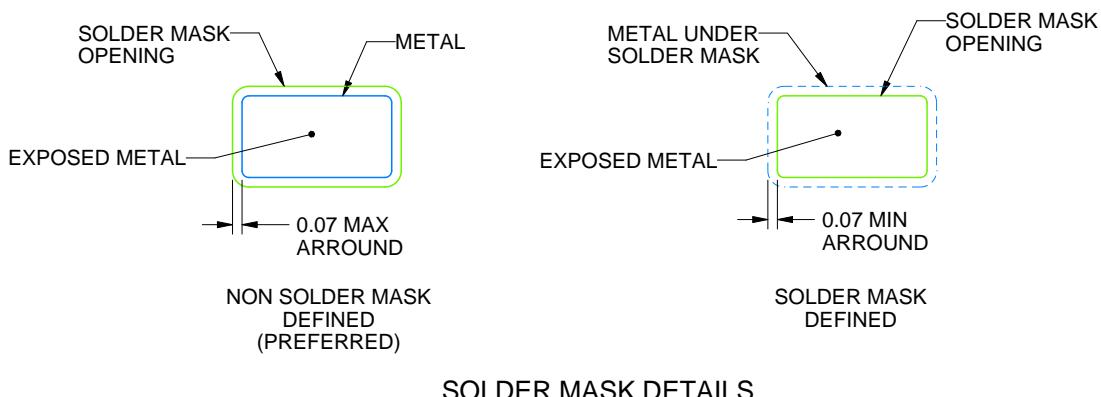
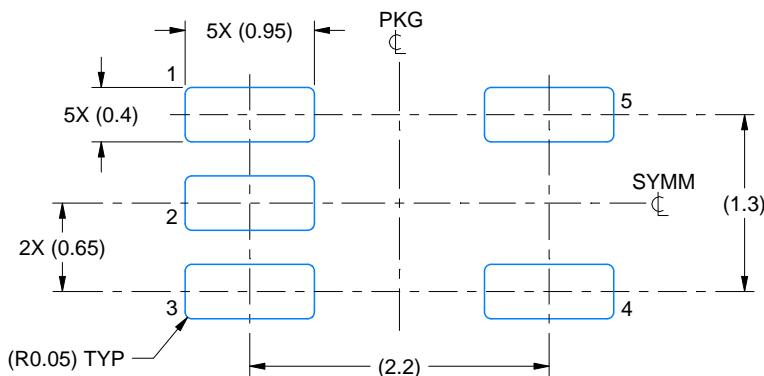
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-203.
 4. Support pin may differ or may not be present.
 5. Lead width does not comply with JEDEC.
 6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES: (continued)

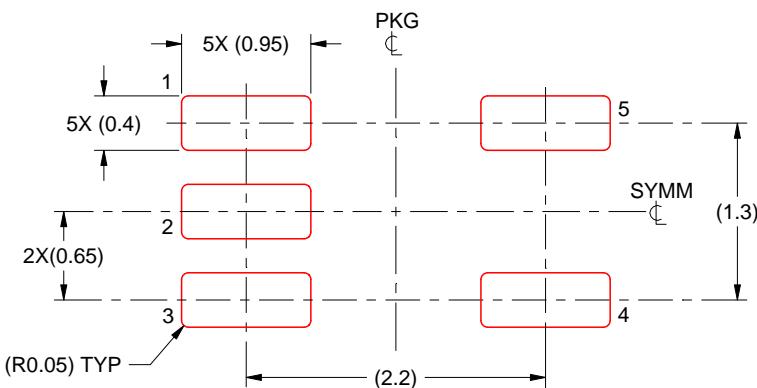
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

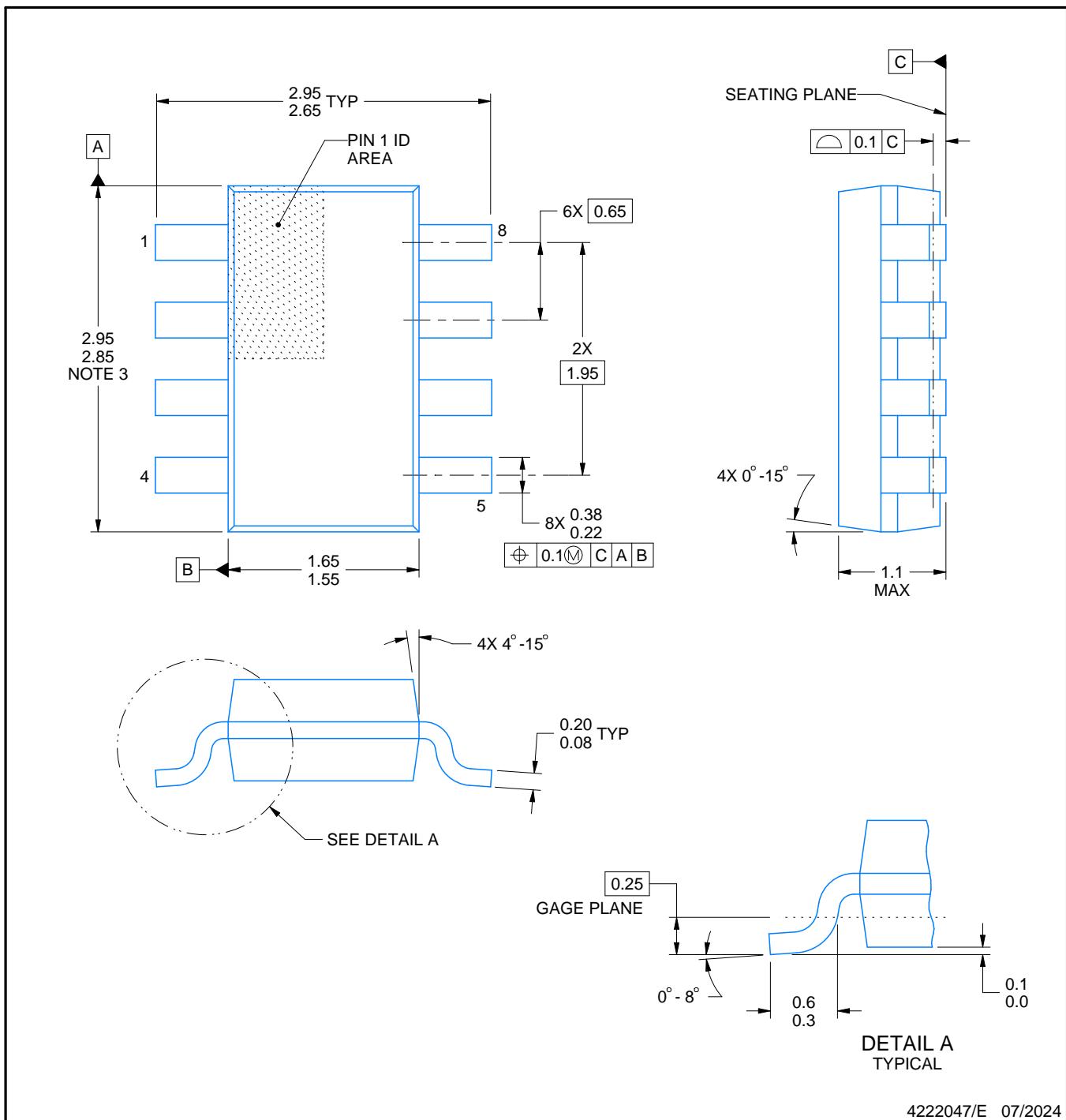
PACKAGE OUTLINE

DDF0008A



SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4222047/E 07/2024

NOTES:

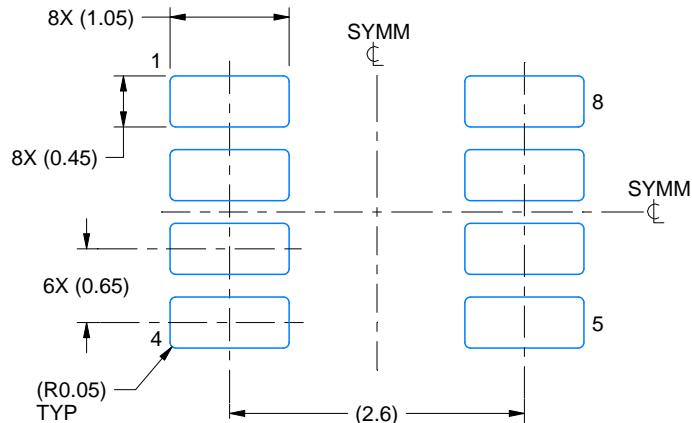
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

DDF0008A

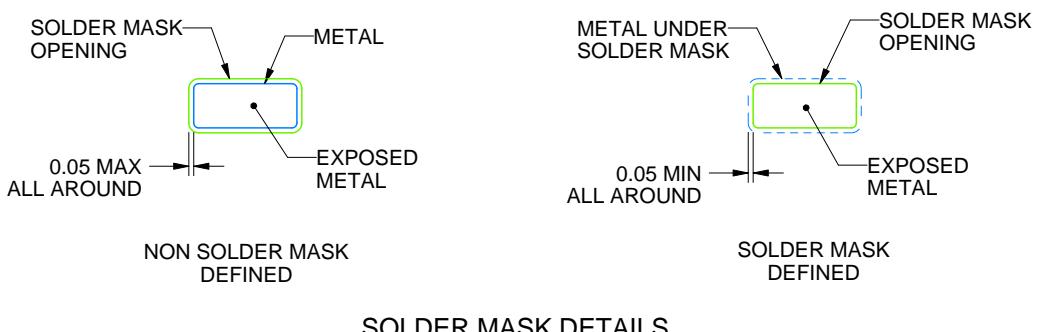
EXAMPLE BOARD LAYOUT

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

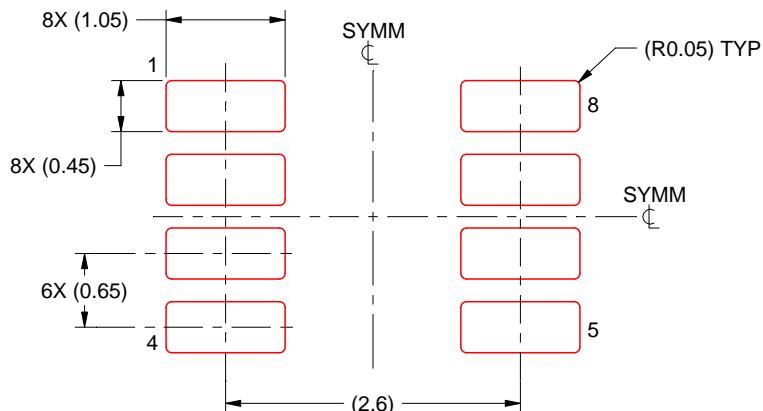
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DDF0008A

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

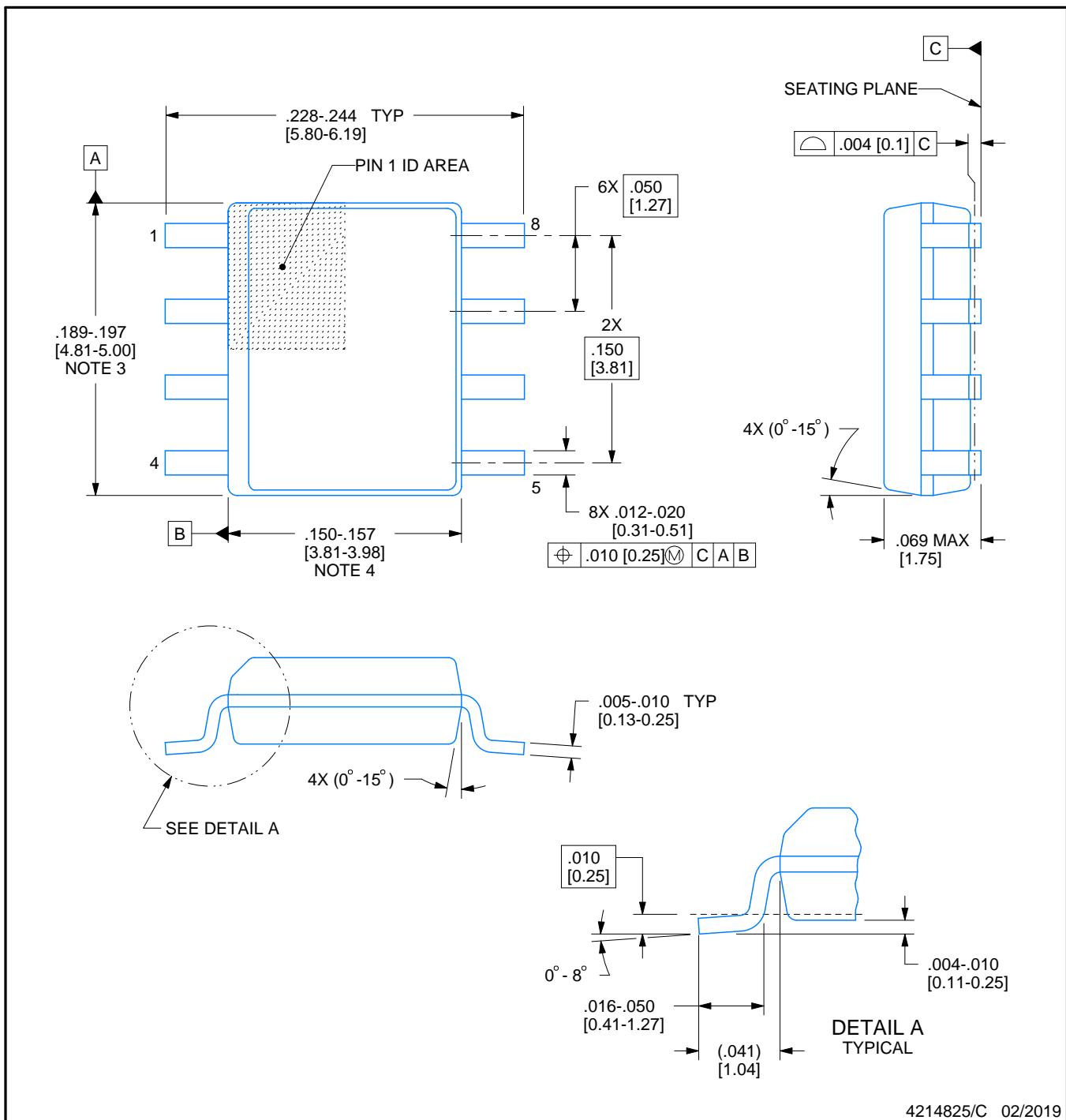
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

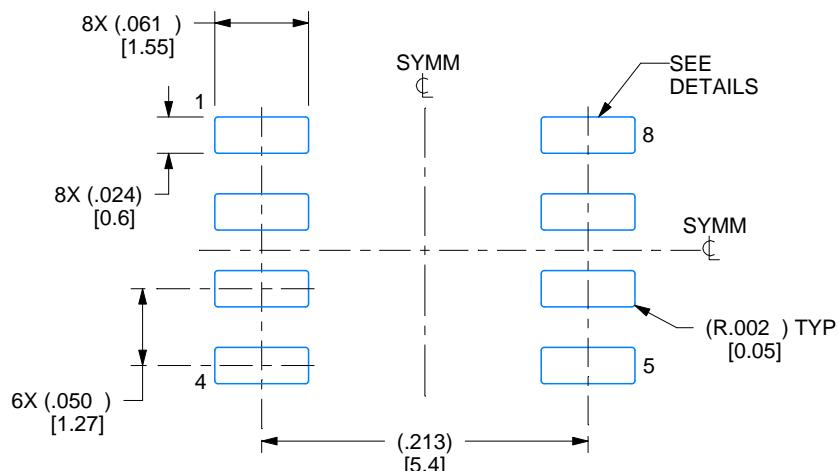
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches.
- Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

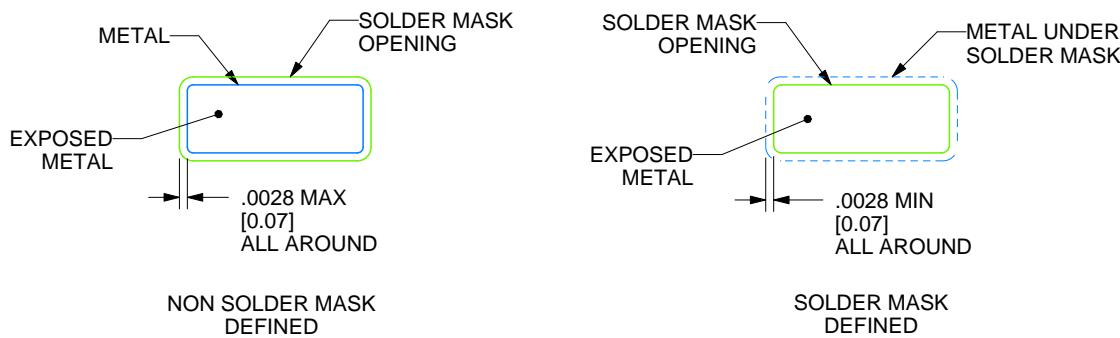
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

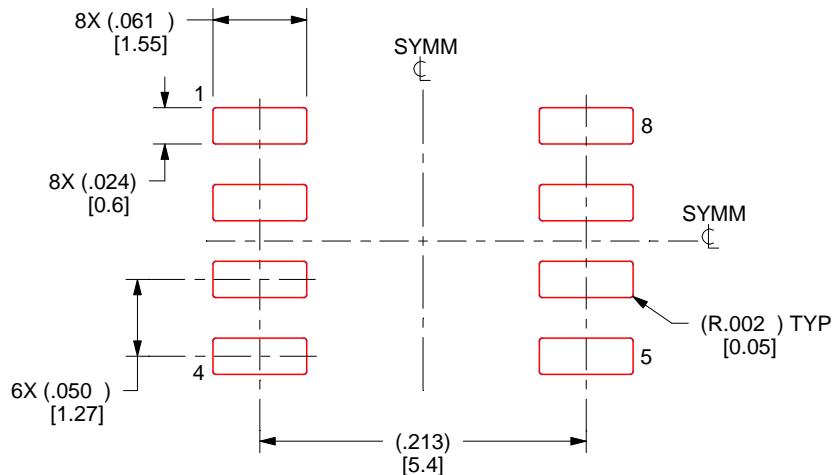
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

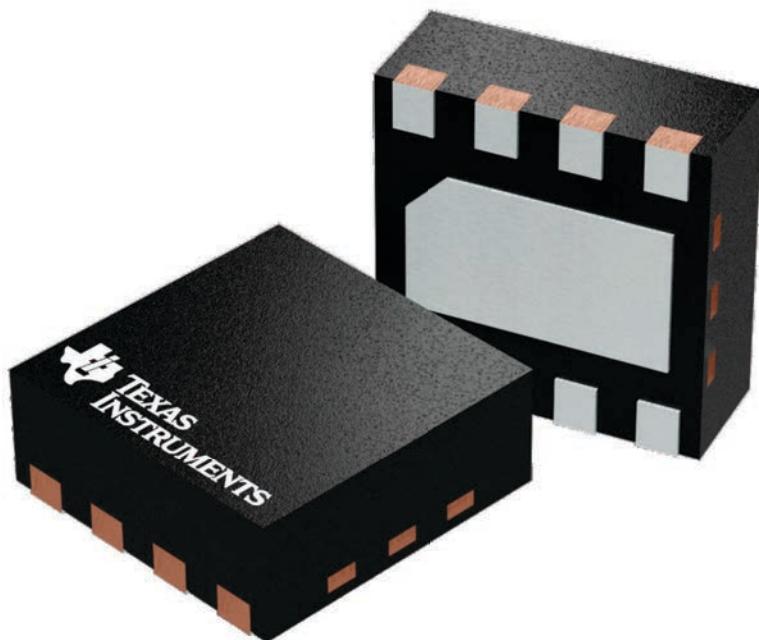
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

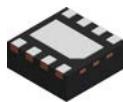
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A

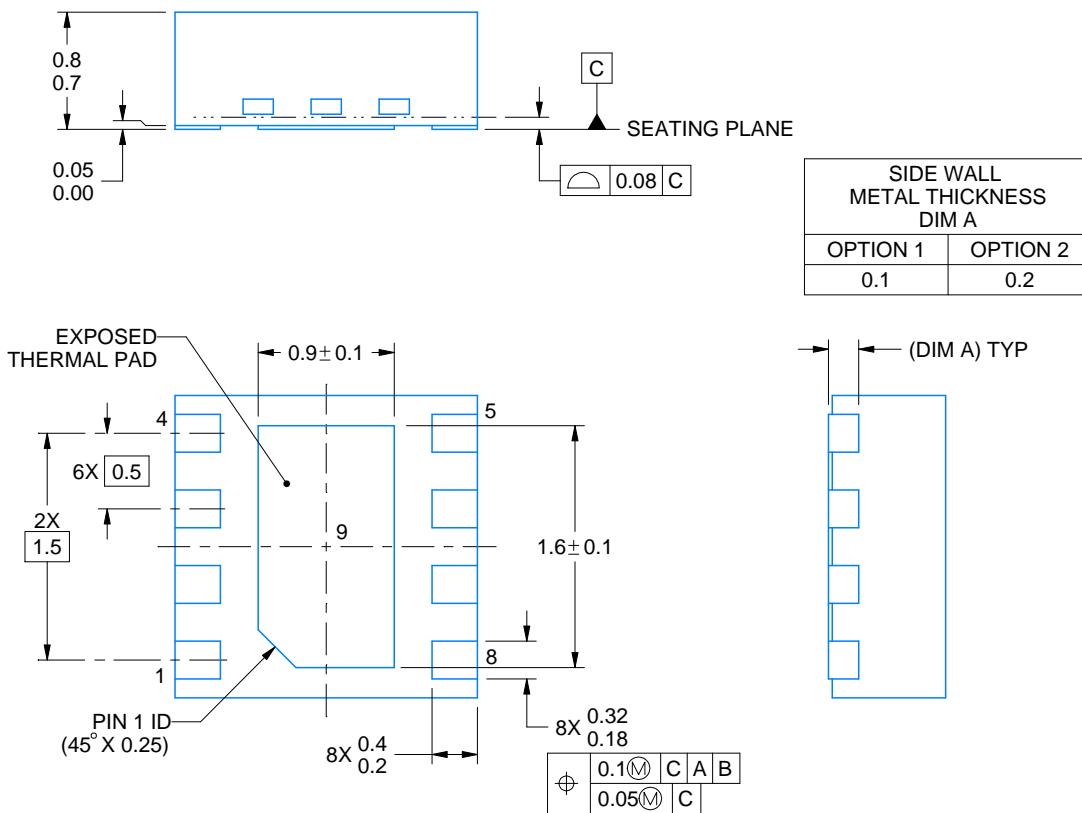
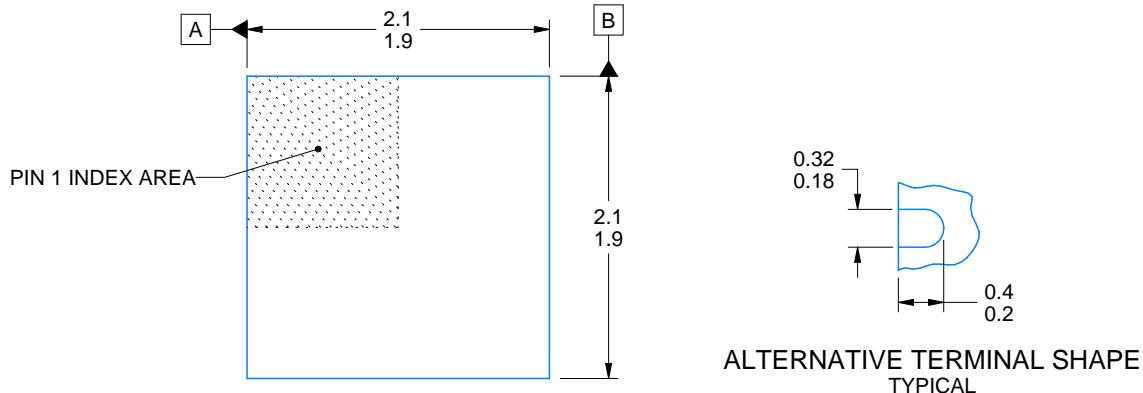
PACKAGE OUTLINE

DSG0008A



WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218900/E 08/2022

NOTES:

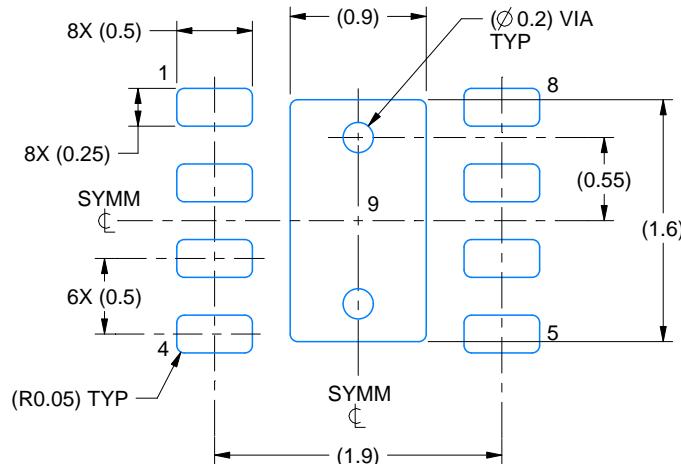
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

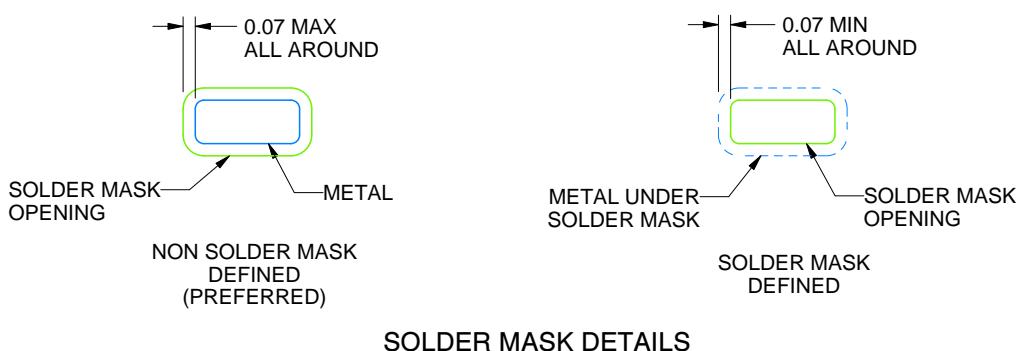
DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

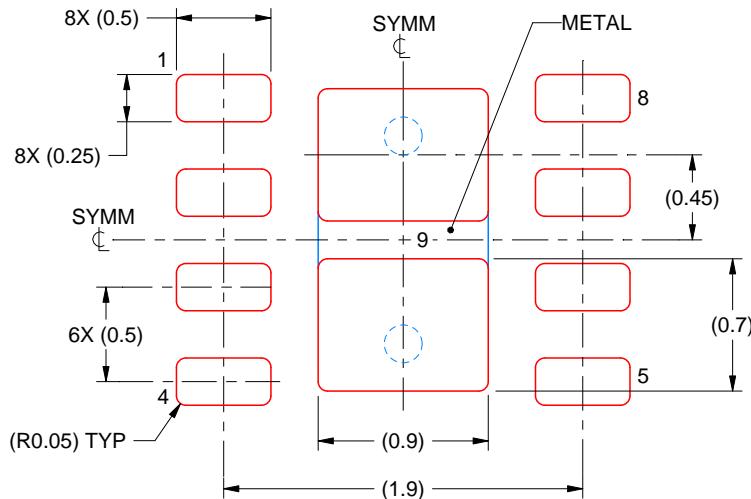
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

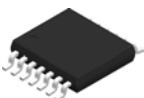
4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

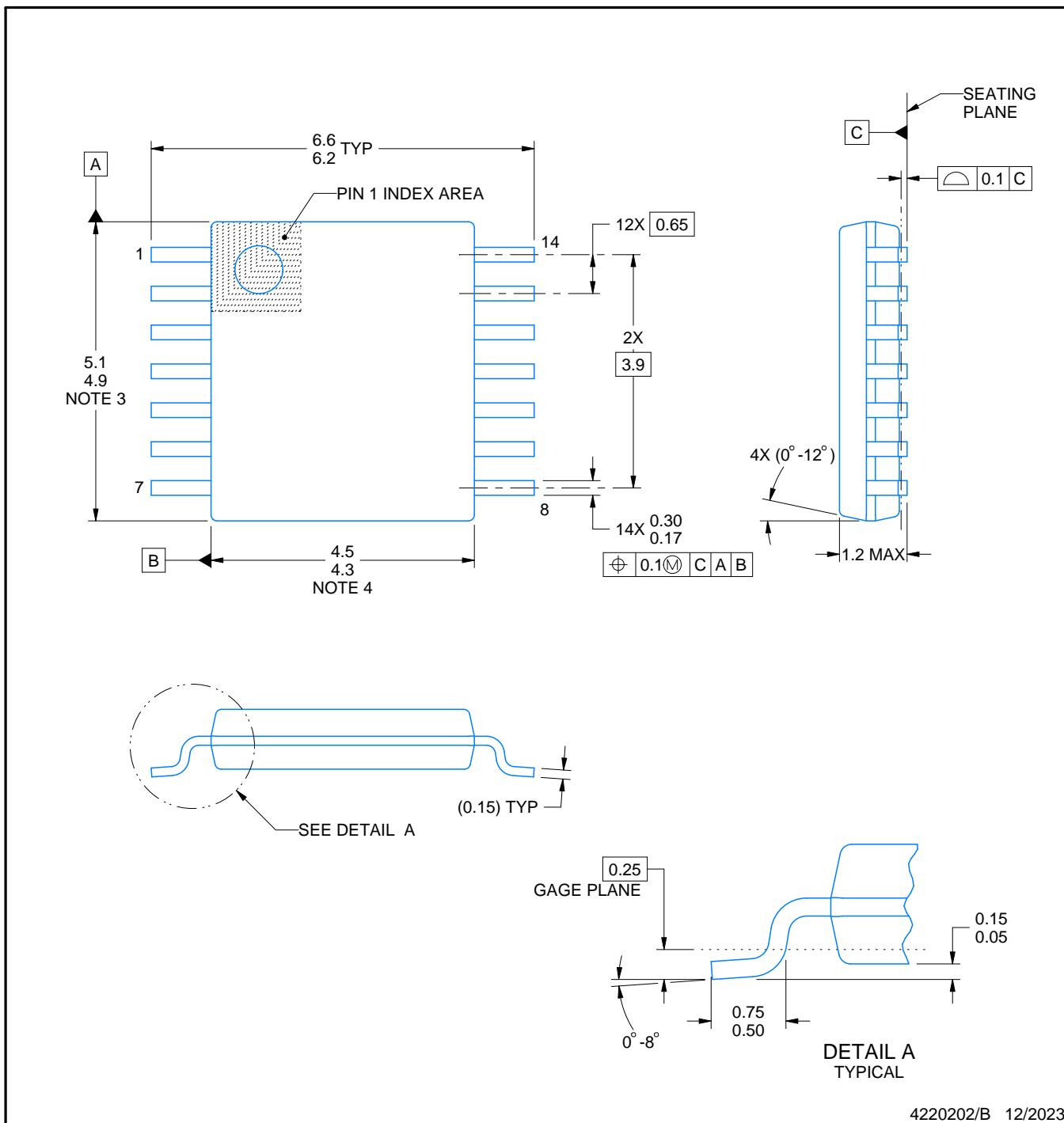
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

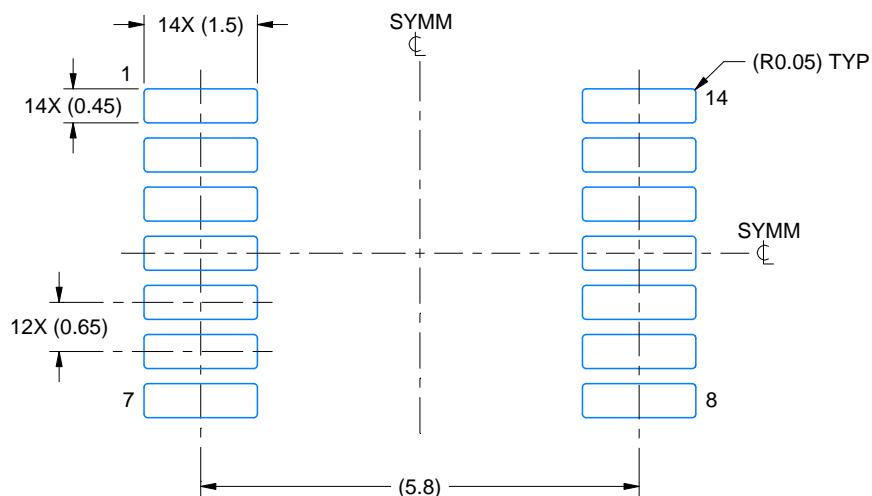
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

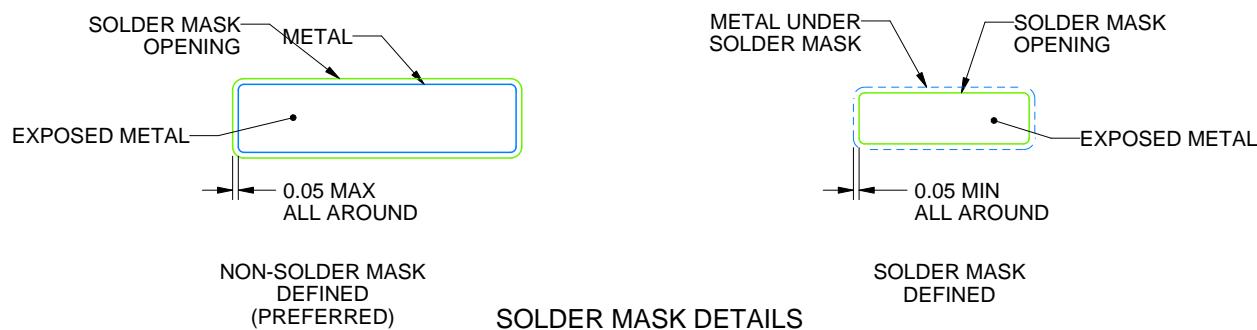
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

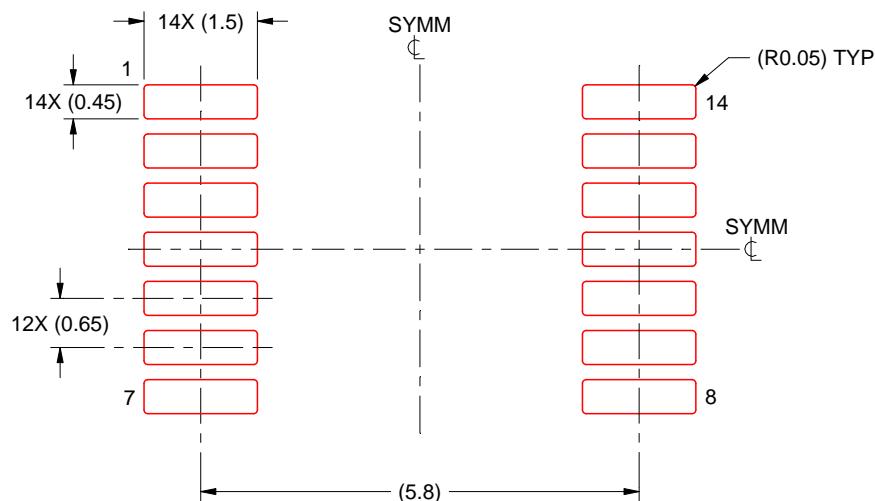
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

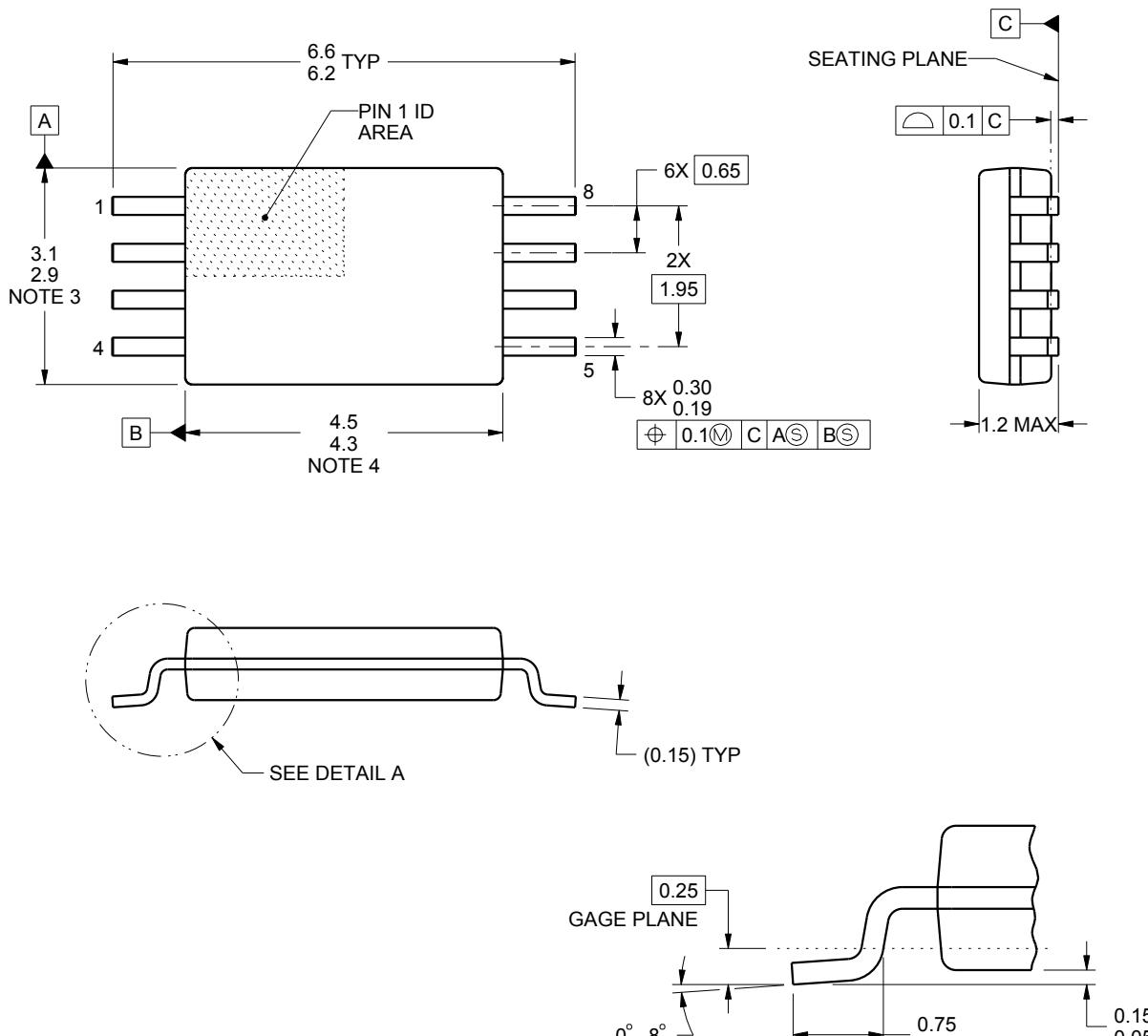
PACKAGE OUTLINE

PW0008A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



DETAIL A TYPICAL

NOTES:

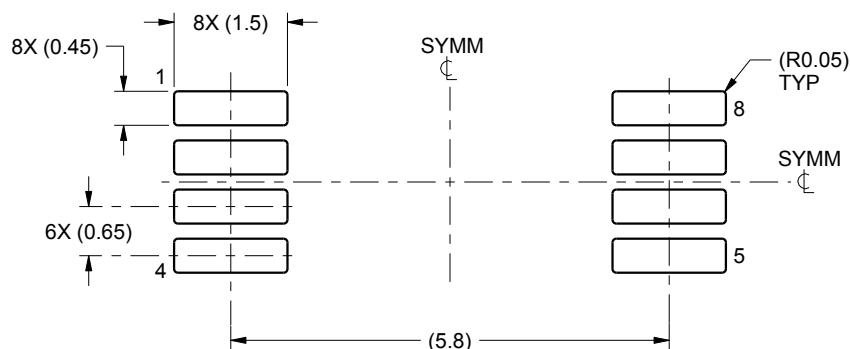
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

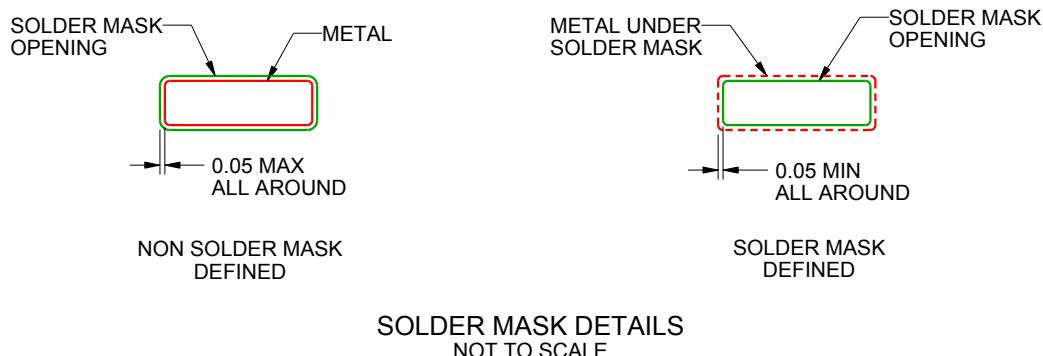
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



4221848/A 02/2015

NOTES: (continued)

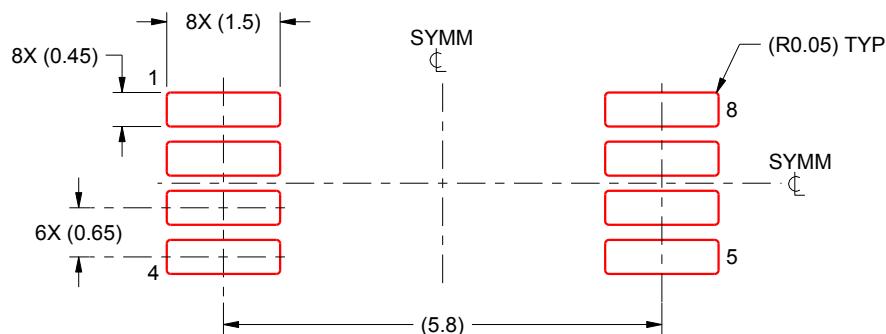
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月