

TLV370x ナノパワー プッシュプル出力コンパレータ ファミリー

1 特長

- 低い消費電流: チャネルあたり 56nA
- 両相入力範囲がレールを超える場合: $-0.1V \sim V_{CC} + 5V$
- 電源電圧範囲: 2.5V ~ 16V
- 最高 20V までの逆バッテリ保護
- プッシュプル CMOS 出力段
- 仕様温度範囲
 - $0^{\circ}C \sim 70^{\circ}C$ の商業用グレード
 - $-40^{\circ}C \sim 125^{\circ}C$ の産業用グレード
- 超小型のパッケージ
 - 5 ピン SOT-23 (TLV3701)
 - 8 ピン MSOP (TLV3702)
- ユニバーサルオペアンプ 評価基板 (詳細については、リファレンス SLOU060 を参照ください)

2 アプリケーション

- ポータブルバッテリモニタ
- コンシューマ医療用電子機器
- セキュリティ検出システム
- ハンドヘルド機器
- 超低消費電力超低消費電力

3 説明

TLV370x は、テキサスインスツルメンツ初のナノパワー・コンパレータファミリーです。チャネルあたりの電源電流はわずか 560nA で、バッテリー駆動やワイヤレス ハンドセットアプリケーションに最適です。

TLV370x は、拡張産業用温度範囲 ($T_A = -40^{\circ}C \sim 125^{\circ}C$) において最小動作電源電圧は 2.7V で、入力コンモンモード電圧範囲は $-0.1V \sim V_{CC} + 5V$ です。低電源電流のため、静止電流が主な懸念事項となるバッテリー駆動のポータブルアプリケーションに最適です。逆極性バッテリ保護機能により、不適切なバッテリー装着による過電流状態からアンプを護します。過酷な環境下では、入力を正の電源レールより 5V 高くしても、デバイスが損傷することはありません。

全製品とも PDIP および SOIC で提供され、シングルは小型 SOT-23 パッケージ、デュアルは MSOP パッケージ、クワッドは TSSOP パッケージで提供されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TLV3701	SOT-23 (5)	2.9mm × 2.8mm
	SOIC (8)	4.9mm × 6mm
TLV3702	SOIC (8)	4.9mm × 6mm
	VSSOP (8)	3mm × 4.9mm
	PDIP (8)	10.2mm × 9.4mm
TLV3704	SOIC (14)	8.65mm × 6mm
	PDIP (14)	19.3mm × 9.4mm
	TSSOP (14)	5mm × 6.4mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

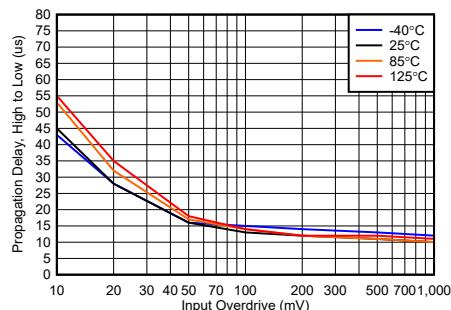
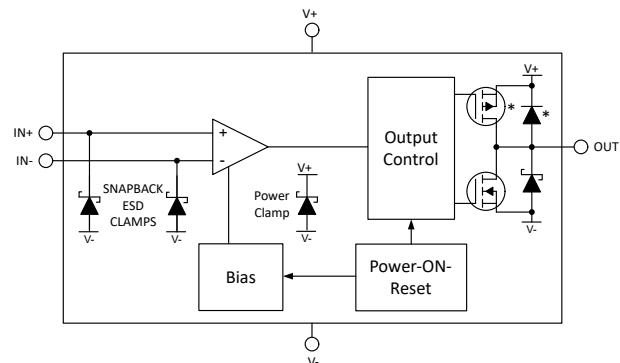


図 3-1. 伝搬遅延、High から Low、12V



ブロック図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.1 概要	13
2 アプリケーション	1	7.2 機能ブロック図	13
3 説明	1	7.3 機能説明	13
4 製品比較表	3	7.4 デバイスの機能モード	14
5 ピン構成および機能	4	8 アプリケーションと実装	15
TLV3701 のピンの機能	4	8.1 使用上の注意	15
TLV3702 のピン機能	4	8.2 代表的なアプリケーション	15
TLV3704 のピンの機能	5	8.3 電源に関する推奨事項	16
6 仕様	6	8.4 レイアウト	16
6.1 絶対最大定格	6	9 デバイスおよびドキュメントのサポート	18
6.2 ESD 定格	6	9.1 デバイス サポート	18
6.3 推奨動作条件	6	9.2 ドキュメントのサポート	18
6.4 熱に関する情報 — TLV3701	7	9.3 ドキュメントの更新通知を受け取る方法	18
6.5 熱に関する情報 — TLV3702	7	9.4 サポート・リソース	18
6.6 熱に関する情報 — TLV3704	7	9.5 商標	18
6.7 電気的特性	8	9.6 静電気放電に関する注意事項	19
6.8 スイッチング特性	9	9.7 用語集	19
6.9 代表的特性	10	10 改訂履歴	19
7 詳細説明	13	11 メカニカル、パッケージ、および注文情報	19

4 製品比較表

表 4-1. コンパレータの選択 (1)

デバイス	V _{CC} (V)	V _{IO} (μV)	I _{CC/Ch} (μA)	I _{IB} (pA)	t _{PLH} (μs)	t _{PHL} (μs)	t _f (μs)	t _r (μs)	レールツ 一 レール	出力段
TLV370x	2.5 ~ 16	250	0.56	80	56	83	22	8	—	PP
TLV340x	2.5 ~ 16	250	0.47	80	55	30	5	—	—	OD
TLC3702/4	3 ~ 16	1200	9	5	1.1	0.65	0.5	0.125	—	PP
TLC393/339	3 ~ 16	1400	11	5	1.1	0.55	0.22	—	—	OD
TLC372/4	3 ~ 16	1000	75	5	0.65	0.65	—	—	—	OD

(1) すべての仕様は、5V で測定された標準値です。

表 4-2. TLV3701 使用可能なオプション

T _A	25°C での V _{IO} の最大値	パッケージ デバイス			
		スマール アウトライ (D) ⁽¹⁾	SOT-23 (DBV) ⁽²⁾	記号	プラスチック DIP (P)
0°C ~ 70°C	5000 μV	TLV3701CD	TLV3701CDBV	VBCC	—
-40°C ~ 125°C		TLV3701ID	TLV3701IDBV	VBCI	TLV3701IP

- (1) このパッケージは、テープ&リールでの提供となります。このパッケージオプションをご注文の場合は、部品番号の末尾に「R」を付けてください (例:TLV3701CDR)。
 (2) このパッケージは、テープ&リールでのみの提供となります。標準数量(1 リールあたり 3000 個)の場合は、末尾に「R」を付けてください (例: TLV3701 CDBVR)。少量数量(ミニリールあたり 250 個)の場合は、部品番号の末尾に「T」を付けてください (例: TLV3701CDBVT)。

表 4-3. TLV3702 使用可能なオプション

T _A	25°C での V _{IO} の最大値	パッケージ デバイス			
		スマール アウトライ (D) ⁽¹⁾	MSOP (DGK)	記号	プラスチック DIP (P)
0°C ~ 70°C	5000 μV	TLV3702CD	TLV3702CDGK	xxTIAKC	—
-40°C ~ 125°C		TLV3702ID	TLV3702IDGK	xxTIAKD	TLV3702IP

- (1) このパッケージは、テープ&リールでの提供となります。このパッケージオプションをご注文の場合は、部品番号の末尾に「R」を付けてください (例:TLV3702CDR)。

表 4-4. TLV3704 使用可能なオプション

T _A	25°C での V _{IO} の最大値	パッケージ デバイス		
		スマール アウトライ (D) ⁽¹⁾	プラスチック DIP (N)	TSSOP (PW)
0°C ~ 70°C	5000 μV	TLV3704CD	—	TLV3704CPW
-40°C ~ 125°C		TLV3704ID	TLV3704IN	TLV3704IPW

- (1) このパッケージは、テープ&リールでの提供となります。このパッケージオプションをご注文の場合は、部品番号の末尾に「R」を付けてください (例:TLV3704CDR)。

5 ピン構成および機能

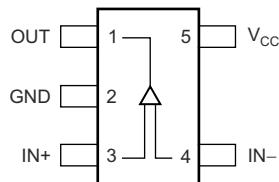


図 5-1. TLV3701 DBV パッケージ 5 ピン SOT-23 上面
図

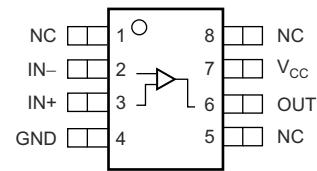


図 5-2. TLV3701 D または P パッケージ 8 ピン SOIC
または PDIP の上面図

TLV3701 のピンの機能

ピン		I/O	説明	
名称	SOT-23			
GND	2	4	—	グランド
IN-	4	2	I	負(反転)入力
IN+	3	3	I	正(非反転)入力
NC	—	1、5、8	—	内部接続なし(フローティングのままでも可)
OUT	1	6	O	出力
V _{CC}	5	7	—	正電源

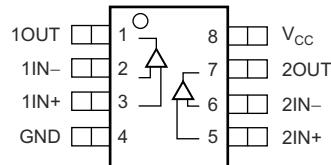


図 5-3. TLV3702 D、DGK、または P パッケージ 8 ピン SOIC、VSSOP、または PDIP の上面図

TLV3702 のピン機能

ピン		I/O	説明	
名称	番号			
GND	4	—	グランド	
1IN-	2	I	反転入力、チャネル 1	
2IN-	6	I	反転入力、チャネル 2	
1IN+	3	I	非反転入力、チャネル 1	
2IN+	5	I	非反転入力、チャネル 2	
1OUT	1	O	出力、チャネル 1	
2OUT	7	O	出力、チャネル 2	
V _{CC}	8	—	正電源	

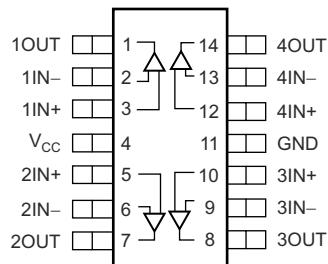


図 5-4. TLV3704 D、N、または PW パッケージ 14 ピン SOIC、PDIP、または TSSOP の上面図

TLV3704 のピンの機能

ピン		I/O	説明
名称	番号		
GND	11	—	グランド
1IN-	2	I	反転入力、チャネル 1
2IN-	6	I	反転入力、チャネル 2
3IN-	9	I	反転入力、チャネル 3
4IN-	13	I	反転入力、チャネル 4
1IN+	3	I	非反転入力、チャネル 1
2IN+	5	I	非反転入力、チャネル 2
3IN+	10	I	非反転入力、チャネル 3
4IN+	12	I	非反転入力、チャネル 4
1OUT	1	O	出力、チャネル 1
2OUT	7	O	出力、チャネル 2
3OUT	8	O	出力、チャネル 3
4OUT	14	O	出力、チャネル 4
V _{CC}	4	—	正電源

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
電源電圧、 V_{CC} ⁽²⁾	17		V
差動入力電圧、 V_{ID}	± 20		V
入力電圧、 V_I ^{(2) (3)}	0	$V_{CC} + 5$	V
入力電流、 I_I		± 10	mA
出力電流、 I_O		± 10	mA
最大接合部温度、 T_J	150		°C
リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間	260		°C
保管温度、 T_{stg}	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動電圧を除くすべての電圧値は、GND を基準にしています。
- (3) 入力電圧範囲は、最大 20V または $V_{CC} + 5V$ のいずれか小さい方に制限されます。

6.2 ESD 定格

	値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±未定
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧、 V_{CC}	接尾辞 C	2.5	16
	接尾辞 I	2.7	16
	接尾辞 C	± 1.25	± 8
	接尾辞 I	± 1.35	± 8
同相入力電圧、 V_{ICR}	-0.1	$V_{CC} + 5$	V
自由気流での動作温度 (T_A)	接尾辞 C	0	70
	接尾辞 I	-40	125

6.4 热に関する情報 — TLV3701

热評価基準 ⁽¹⁾	TLV3701			単位
	DBV (SOT-23)	D (SOIC)	P (PDIP)	
	5 ピン	8 ピン		
R _{θJA} 接合部から周囲への熱抵抗	193.6	124.8	82.8	°C/W
R _{θJC(top)} 接合部からケース (上面) への熱抵抗	102.4	69.1	84.8	°C/W
R _{θJB} 接合部から基板への熱抵抗	54.3	67.9	59.7	°C/W
Ψ _{JT} 接合部から上面への特性パラメータ	16.9	22.3	45.3	°C/W
Ψ _{JB} 接合部から基板への特性パラメータ	53.6	67.2	59.5	°C/W
R _{θJC(bot)} 接合部からケース (底面) への熱抵抗	—	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 热に関する情報 — TLV3702

热評価基準 ⁽¹⁾	TLV3702			単位
	D (SOIC)	DGK (VSSOP)	P (PDIP)	
	8 ピン			
R _{θJA} 接合部から周囲への熱抵抗	116.7	163.9	77.1	°C/W
R _{θJC(top)} 接合部からケース (上面) への熱抵抗	59.4	65.7	79	°C/W
R _{θJB} 接合部から基板への熱抵抗	60.2	85.3	54	°C/W
Ψ _{JT} 接合部から上面への特性パラメータ	14.6	9	39.5	°C/W
Ψ _{JB} 接合部から基板への特性パラメータ	59.5	83.9	53.7	°C/W
R _{θJC(bot)} 接合部からケース (底面) への熱抵抗	—	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.6 热に関する情報 — TLV3704

热評価基準 ⁽¹⁾	TLV3704			単位
	D (SOIC)	N (PDIP)	PW (TSSOP)	
	14 ピン			
R _{θJA} 接合部から周囲への熱抵抗	81.4	58.1	105.7	°C/W
R _{θJC(top)} 接合部からケース (上面) への熱抵抗	38.1	50.9	33.9	°C/W
R _{θJB} 接合部から基板への熱抵抗	37.8	38	49.5	°C/W
Ψ _{JT} 接合部から上面への特性パラメータ	7.5	23.6	2.5	°C/W
Ψ _{JB} 接合部から基板への特性パラメータ	37.4	37.7	48.8	°C/W
R _{θJC(bot)} 接合部からケース (底面) への熱抵抗	—	—	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.7 電気的特性

規定の外気温度では、特に記述のない限り、 $V_{CC} = 2.7V, 5V, 15V$ 。

パラメータ	テスト条件	T_A ⁽¹⁾	最小値	標準値	最大値	単位		
DC 特性								
V_{IO} 入力オフセット電圧	$V_{IC} = V_{CC}/2, R_S = 50\Omega$	25°C	250	5000	7000	μV		
		フルレンジ						
α_{VIO} オフセット電圧ドリフト	$V_{IC} = V_{CC}/2, R_S = 50\Omega$	25°C	3			$\mu V/^\circ C$		
V_{HYS} 入力ヒステリシス電圧	$V_{IC} = V_{CC}/2, R_S = 50\Omega$	25°C	1	2.8	5	mV		
CMRR 同相除去比	$V_{IC} = 0 \sim 2.7V, R_S = 50\Omega$	25°C	72		dB			
	$V_{IC} = 0 \sim 5V, R_S = 50\Omega$	25°C	76					
	$V_{IC} = 0 \sim 15V, R_S = 50\Omega$	25°C	88					
A_{VD} 大信号差動電圧増幅		25°C	1000			V/mV		
入出力特性								
I_{IO} 入力オフセット電流	$V_{IC} = V_{CC}/2, R_S = 50\Omega$	25°C	20	100	1000	pA		
		フルレンジ						
I_{IB} 入力バイアス電流	$V_{IC} = V_{CC}/2, R_S = 50\Omega$	25°C	80	250	1500	pA		
		フルレンジ						
$r_{i(d)}$ 差動入力抵抗		25°C	300			$M\Omega$		
V_{OH} High レベル出力電圧	$V_{IC} = V_{CC}/2, I_{OH} = 2\mu A, V_{ID} = 1V$	25°C	$V_{CC} - 80$		mV			
	$V_{IC} = V_{CC}/2, I_{OH} = -50\mu A, V_{ID} = 1V$	25°C	$V_{CC} - 320$					
		フルレンジ	$V_{CC} - 450$					
V_{OL} Low レベル出力電圧	$V_{IC} = V_{CC}/2, I_{OH} = 2\mu A, V_{ID} = -1V$	25°C	8		mV			
	$V_{IC} = V_{CC}/2, I_{OH} = 50\mu A, V_{ID} = -1V$	25°C	80	200				
		フルレンジ						
電源								
I_{CC} 電源電流 (チャネルあたり)	出力状態 High	25°C	560	800	1000	nA		
		フルレンジ						
PSRR 電源除去比	$V_{IC} = V_{CC}/2 V$ 、無負荷	$V_{CC} = 2.7V \sim 5V$	25°C	75	100	dB		
		フルレンジ		70				
		$V_{CC} = 5V \sim 15V$	25°C	85	105			
		フルレンジ		80				

(1) フルレンジは、接尾辞 C の場合は $0^\circ C \sim 70^\circ C$ 、接尾辞 I の場合は $-40^\circ C \sim 125^\circ C$ です。特に指定がない場合は、フルレンジは $-40^\circ C \sim 125^\circ C$ です。

6.8 スイッチング特性

規定の外気温度では、特に記述のない限り、 $V_{CC} = 2.7V, 5V, 15V$ 。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{(PLH)}$ 伝播応答時間、低レベルから高レベルへの出力 ⁽¹⁾	$f = 10\text{kHz}, V_{STEP} = 100\text{mV}, C_L = 10\text{pF}$	オーバードライブ = 10mV	34		μs
		オーバードライブ = 50mV	16		
$t_{(PHL)}$ 伝播応答時間、高レベルから低レベルへの出力 ⁽¹⁾	$f = 10\text{kHz}, V_{STEP} = 100\text{mV}, C_L = 10\text{pF}$	オーバードライブ = 10mV	45		μs
		オーバードライブ = 50mV	16		
t_r 立ち上がり時間	$C_L = 10\text{pF}$		0.2		μs
t_f 立ち下がり時間	$C_L = 10\text{pF}$		0.2		μs
t_{su} 起動時間	$V_{CC} = 2.7 \sim 15V$ ⁽²⁾	25°C		3	ms

(1) 記載されている応答時間は、入力ステップの動作から、出力が 1.4V を超える瞬間までの時間です。

(2) 起動時間の定義は、電源電圧が最小電源電圧 (V_{CCmin}) に達してから、デバイスの IQ が有効な出力電圧で起動 (I_{CCmin}) するまでの時間です。シングルデバイスのみ。

6.9 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 12\text{V}$ 、 $V_{CM} = V_S/2\text{V}$ 、 $R_P = 1\text{M}\Omega$ (オープンドレインのみ)、 $C_L = 25\text{pF}$ 、 $V_{OVERDRIVE} = 100\text{mV}$ (特に記述のない限り)。

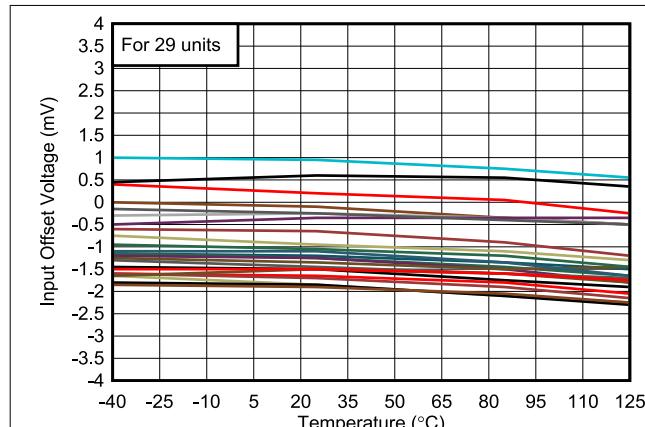


図 6-1. オフセットと温度との関係

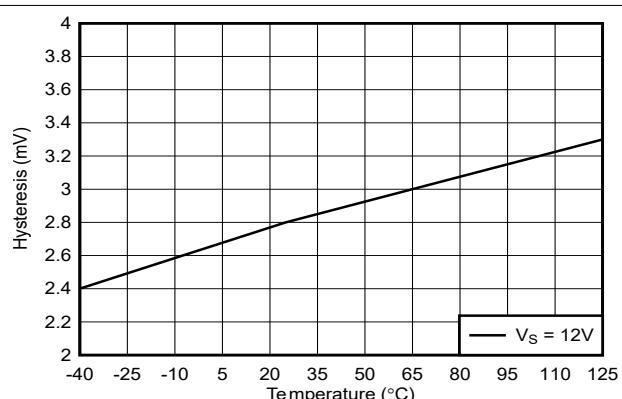


図 6-2. ヒステリシスと温度との関係

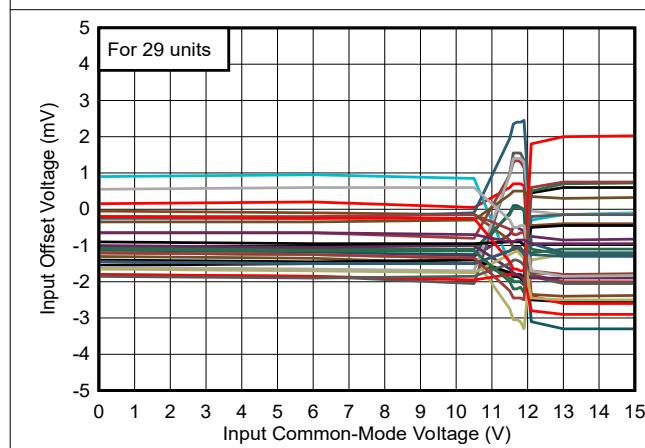


図 6-3. オフセットと同相との関係、12V

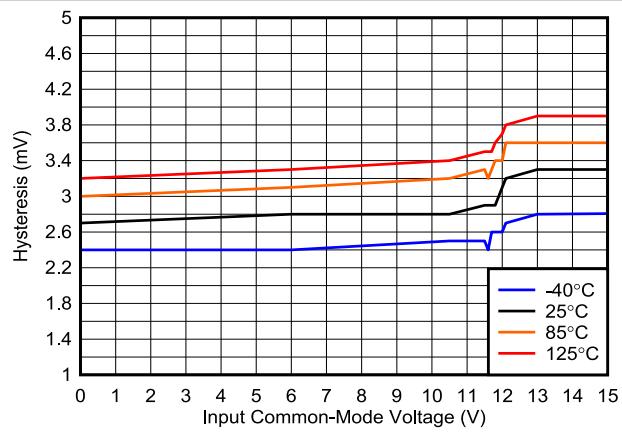


図 6-4. ヒステリシスと同相との関係、12V

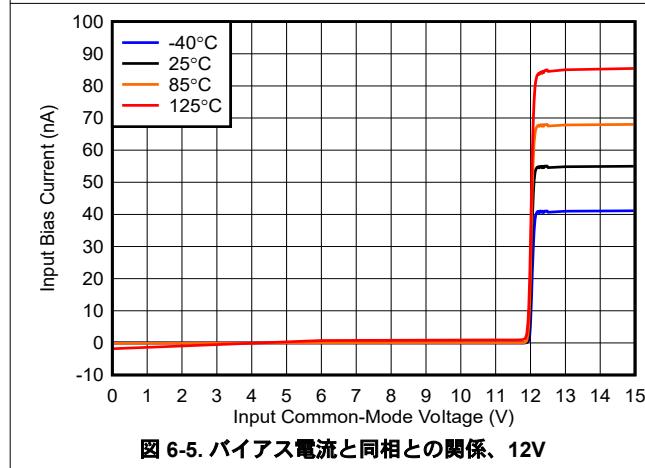


図 6-5. バイアス電流と同相との関係、12V

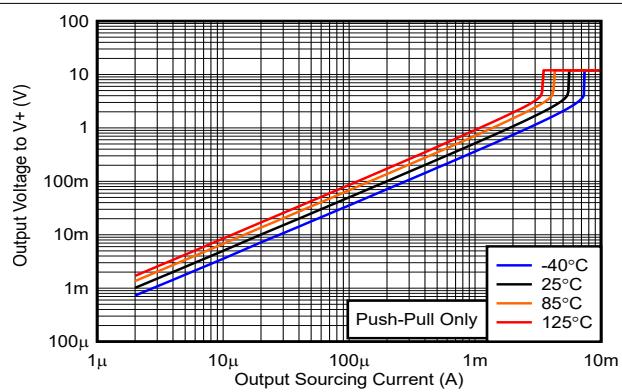


図 6-6. 出力電圧と出力ソース電流の関係、12V

6.9 代表的特性 (続き)

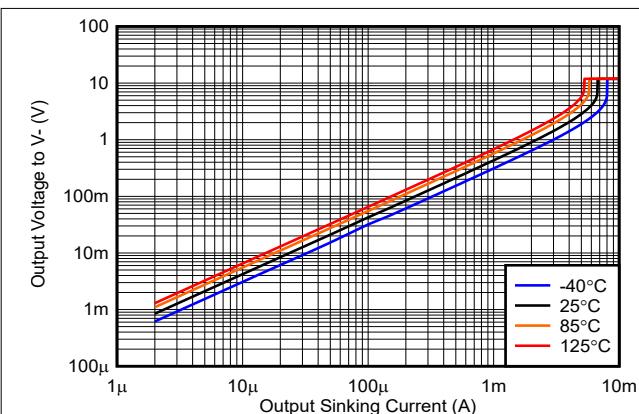


図 6-7. 出力電圧と出力シンク電流の関係、12V

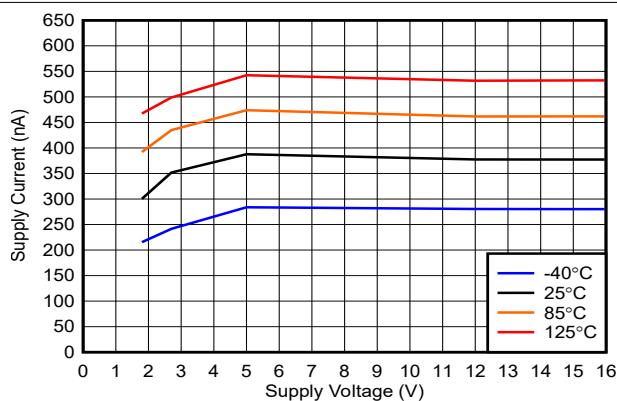


図 6-8. 電源電流と電源電圧との関係 (出力 Low)、プッシュプル

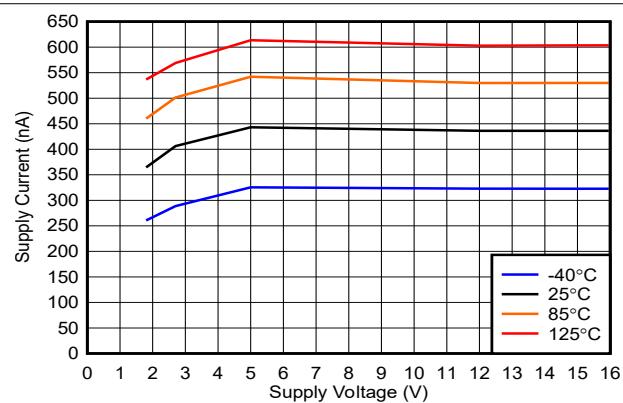


図 6-9. 電源電流と電源電圧との関係 (出力 High)、プッシュプル

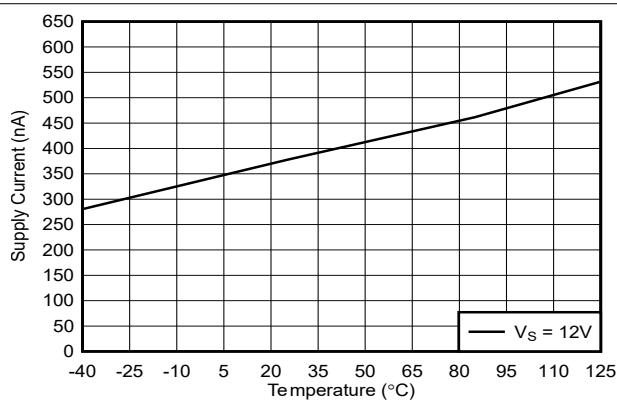


図 6-10. 電源電流と温度との関係 (出力 Low)、プッシュプル

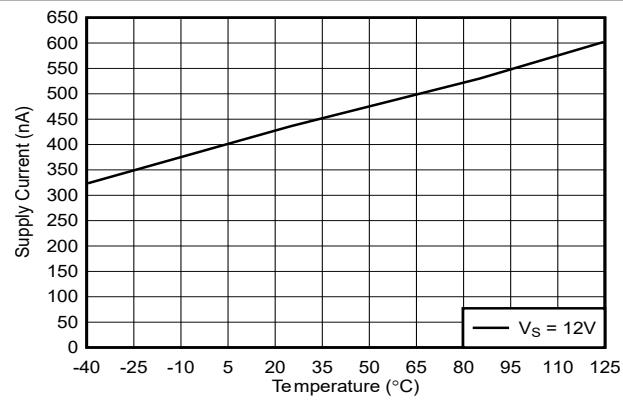


図 6-11. 電源電流と温度との関係 (出力 High)、プッシュプル

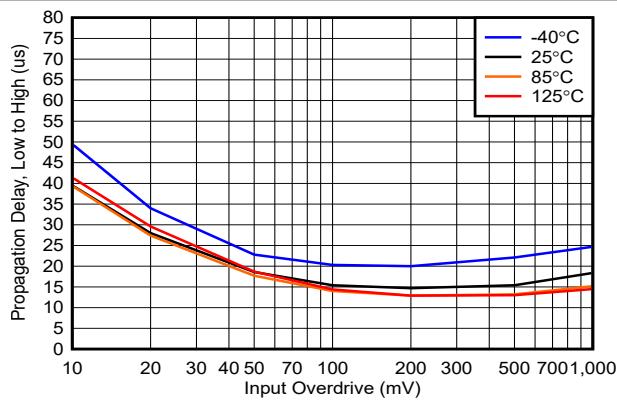


図 6-12. 伝搬遅延、Low から High、12V、プッシュプル

6.9 代表的特性 (続き)

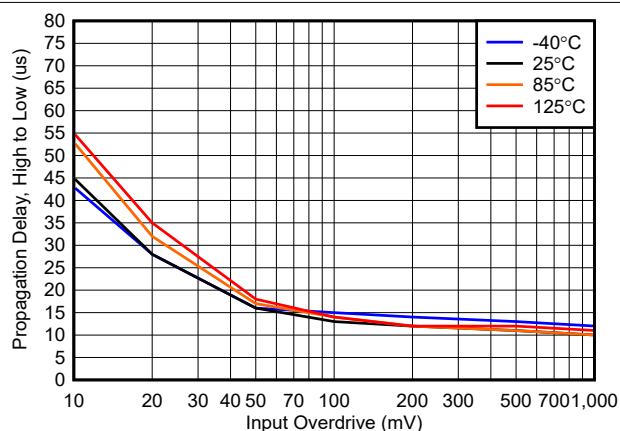


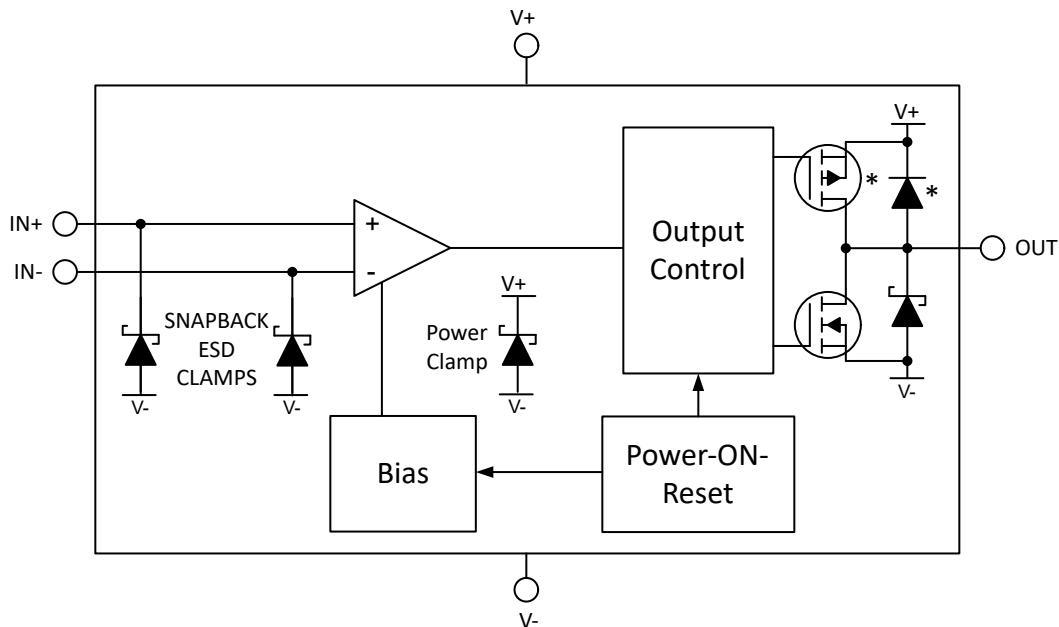
図 6-13. 伝搬遅延、"High" から "Low"、12V

7 詳細説明

7.1 概要

TLV370x は、チャネルあたりの電源電流がわずか 560nA のナノパワーコンパレータ ファミリです。拡張産業用温度範囲 ($T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$) にわたって最小動作電源電圧が 2.7V であり、同相入力範囲が $-0.1\text{V} \sim V_{CC} + 5\text{V}$ であるため、このデバイスはバッテリー駆動 ワイヤレスハンドセットアプリケーションに最適です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 動作電圧

TLV370x コンパレータは、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の温度範囲で、 $2.5\text{V} \sim 16\text{V}$ の単電源 (または $\pm 1.25\text{V} \sim \pm 16\text{V}$ の両電源) で使用できるように仕様規定されています。

7.3.1.1 パワーオン リセット (POR)

TLV370x デバイスには内部パワーオンリセット (POR) 回路があり、既知のスタートアップまたはパワーダウン状態を維持します。電源 (V+) がランプアップまたはランプダウンしている間、POR 回路は 1.5V の V_{POR} を超えたあと、最大 3ms アクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

TLV370x のプッシュプル出力デバイスでは、パワーオンリセット(POR)期間 (t_{on}) の間、出力は Low に保持されます。

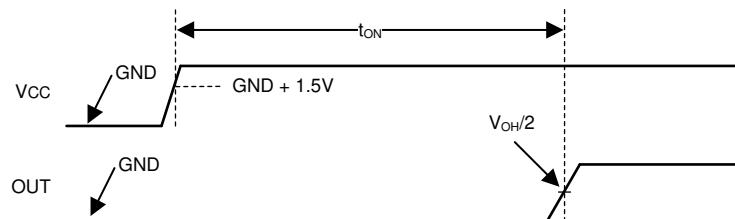
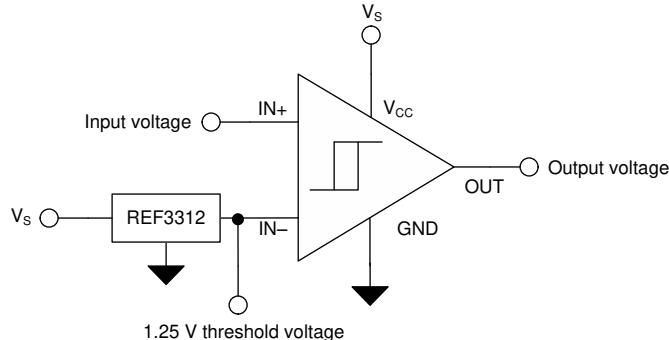


図 7-1. パワーオン リセットのタイミング図

7.3.2 スレッショルドの設定

デバイスの遷移点を設定する際は、低消費電力で安定した基準を使用することが重要です。REF3312 は、図 7-2 に示すように、低ドリフトでわずか $3.9\mu\text{A}$ の静止電流で 1.25V のリファレンス電圧を提供します。



Copyright © 2016, Texas Instruments Incorporated

図 7-2. スレッショルドの設定

7.4 デバイスの機能モード

TLV370x にはシングルの機能モードがあり、電源電圧が 2.5V ($\pm 1.25\text{V}$) から 16V ($\pm 8\text{V}$) の範囲で動作します。

7.4.1 入力

7.4.1.1 動作同相範囲

TLV370x デバイスには、レール内とレール上の 2 つの同相範囲で動作しています。

レール内動作: IN+ および IN- が (V+) 未満

入力ピンが (V+) より低い電圧で動作している場合、入力電圧を比較できる 2 つの動作領域が定義されます: 低い同相と高い同相。通常 0V から (V+) - 1V に拡張される低同相モードでは、標準入力バイアス電流は 1pA 未満です。通常 (V+) - 1V から (V+) まで拡張される高い同相モードでは、入力バイアス電流は 14nA (標準値) 未満です。

レール上での動作: IN+ および/または IN- が (V+) より大きい

TLV370x デバイスには独自の入力段があり、これにより入力同相モード範囲を電源電圧に依存せず 0V から 16V まで拡張できます。この機能により、低い電源電圧で動作する場合でも、比較可能な入力電圧範囲が制限されることはありません。入力ピンがレール上で動作 ((V+) を超える電圧で動作) している場合、バイアス電流は標準値 55nA まで増加します。

7.4.1.2 フェイルセーフ入力

TLV370x ファミリの特徴のひとつは、入力が (V+) に依存せず最大 16V までフェイルセーフであることです。入力は高入力インピーダンスを維持しており、(V+) が未供給、または最小電源電圧を下回っている場合でも、 -0.1V から 16V の任意の値を取ることができます。この機能により、入力が (V+) にダイオード クランプされていないため、電源シーケンスや過渡の問題が回避されます。

8 アプリケーションと実装

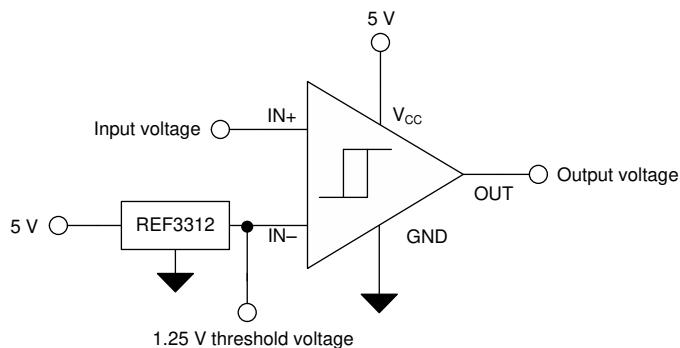
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

多くのアプリケーションでは、特定のスレッショルド電圧または電流を上回る信号（電圧または電流）を検出する必要があります。コンパレータを使用してスレッショルド検出を行うのは、最も簡単で、消費電力が少なく、速度も速い方法です。

8.2 代表的なアプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 8-1. 1.25V のスレッショルド検出器

8.2.1 設計要件

- 信号が 1.25V 以上または以下になったときに検出
- 5V 単一電源で動作
- レールツーレール入力電圧範囲: 0 ~ 5V
- レールツーレール出力電圧範囲: 0 ~ 5V

8.2.2 詳細な設計手順

図 8-1 に示す回路の入力電圧範囲は、TLV3701 に供給される電源によってのみ制限されます。この例では、5V の単一電源を選択し、入力電圧範囲は 0 ~ $V_S + 5V$ 、または 0 ~ 10V に制限されます。1.25V のスレッショルド電圧は、さまざまな方法で求めることができます。TLV3701 は非常に低消費電力のデバイスであるため、スレッショルド電圧を生成するために超低消費電力を使用することも望ましいです。REF3312 シリーズ電圧リファレンスは、1.25V の安定した出力電圧とわずか 3.9 μ A の低消費電力を理由に選択されました。TLV3701 はプッシュプル出力のコンパレータであり、消費電力を節約するためにプルアップ抵抗は必要ありません。

8.2.3 アプリケーション曲線

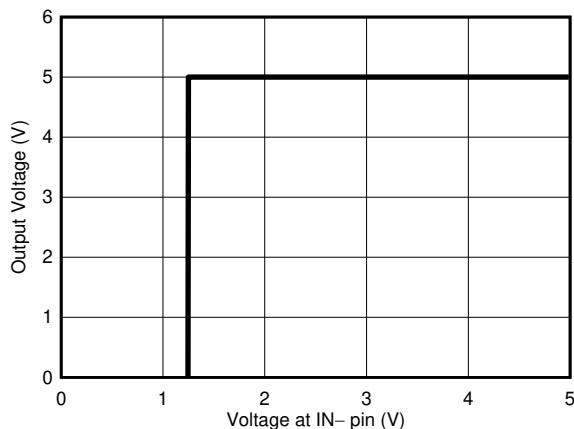


図 8-2. スレッショルド検出器の伝達関数

8.3 電源に関する推奨事項

TLV370x デバイスは 2.5V ~ 16V ($\pm 1.25 \sim \pm 8V$) の動作電圧範囲で規定されています。多くの仕様は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の範囲で適用されます。動作電圧または温度によって大きく変動する可能性のあるパラメータについては、[セクション 6.9](#) を参照してください。

8.4 レイアウト

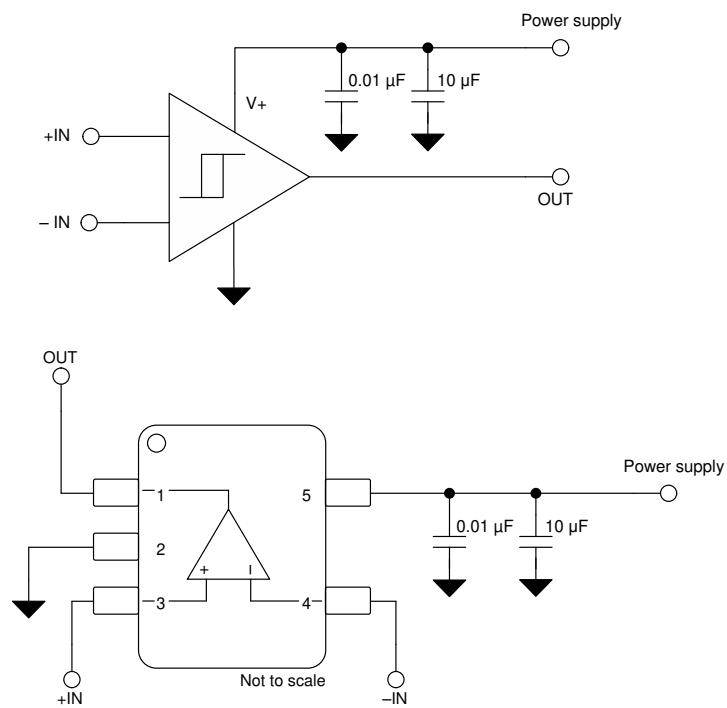
8.4.1 レイアウトのガイドライン

TLV370x の一般的な接続を、[図 8-3](#) に示します。電源ノイズを最小限に抑えるため、0.01 μF のセラミックコンデンサと 10 μF の電解コンデンサを並列に接続して、電源を容量的にデカッピングする必要があります。コンパレータは入力ノイズに非常に敏感です。適切な接地(グランドプレーンの使用)は、TLV370x ファミリの規定性能を維持するのに役立ちます。

最高の性能を得るには、以下のレイアウトのガイドラインに従ってください。

1. 良好で途切れていない低インダクタンスのグランドプレーンを持つプリント基板 (PCB) を使用します。
2. デカッピング・コンデンサ (0.1 μF セラミック、表面実装コンデンサ) を、 V_{CC} のできるだけ近くに配置します。
3. 入力と出力では、コンパレータ周辺での望ましくない寄生フィードバックを避けるため、リードの長さをできるだけ短くします。入力を出力から離して配置します。
4. ソケットを使用せず、デバイスを直接 PCB に半田付けします。
5. 入力信号が低速で変化する場合は、寄生フィードバックを防止するよう注意してください。入力間に小さなコンデンサ (1000pF 以下) を配置することで、遷移領域での発振を除去できます。このコンデンサは、インピーダンスが低いときに伝搬遅延を多少劣下させます。上面のグランドプレーンは、出力と入力との間に配置されています。
6. グランドピンのグランドトレースはデバイスの下からバイパス・コンデンサまで伸び、入力を出力からシールドします。

8.4.2 レイアウト例



Copyright © 2016, Texas Instruments Incorporated

図 8-3. TLV3701 SOT-23 レイアウトの例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

9.1.1.1 DIP アダプタ評価基板

DIP アダプタ EVM ツールは、小型表面実装 IC の試作を簡単かつ低コストで実現します。評価ツールは、以下の TI パッケージに対応しています:D または U (8 ピン SOIC)、PW (8 ピン TSSOP)、DGK (8 ピン MSOP)、DBV (6 ピン SOT-23、5 ピン SOT23、および 3 ピン SOT-23)、DCK (6 ピン SC-70 および 5 ピン SC-70)、および DRL (6 ピン SOT-563)。DIP アダプタ評価基板は、ターミナル ストリップとともに使用することも、既存の回路へ直接接続することもできます。

9.1.1.2 ユニバーサル オペアンプ評価基板

ユニバーサル オペアンプ評価基板は一連の汎用のブランクアウト回路基板で、各種の IC パッケージ タイプ向けの回路プロトタイプを簡単に作成できます。この評価基板は、多くの異なる回路を簡単かつ迅速に構築できるように設計されています。5 つのモデルが提供されており、それぞれのモデルは特定のパッケージ タイプを対象としています。PDIP、SOIC、MSOP、TSSOP、SOT-23 パッケージがすべてサポートされています。

注

これらの基板には部品が搭載されていないため、ユーザーが独自の IC を実装する必要があります。ユニバーサル オペアンプ評価基板を注文するときに、オペアンプ デバイスのサンプルをいくつか要求することをお勧めします。

9.2 ドキュメントのサポート

9.2.1 関連資料

TLV370x デバイスの使用に関連し、参考資料としてご利用いただくことを推奨します。すべてのドキュメントは、特に記述のない限り www.tij.co.jp からダウンロード可能です。

- テキサスインスツルメンツ、[ユニバーサル・オペアンプ 評価基板ユーザーガイド](#)
- テキサスインスツルメンツ、[スロープ検出用いたをハードウェアペース](#)
- テキサスインスツルメンツ、[低電圧コンバレータ用のバイポーラ高電圧差動インターフェイス](#)
- テキサス・インスツルメンツ、[『AC 結合、単一電源コンバレータ』](#)
- テキサスインスツルメンツ、[TMS320VC5505 DSP 医療用開発キットでの ECG の実装](#)
- テキサスインスツルメンツ、[REF33xx 3.9µA、SC70-3、SOT-23-3、および UQFN-8 ドリフト 30ppm/°C の電圧リファレンス](#)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上のアラートを受け取るをクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。



ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision D (May 2017) to Revision E (December 2025)	Page
• 「消費電力定格」表を削除.....	6
• スイッチング特性表を更新.....	9
• 代表特性曲線を更新.....	10
• 機能ブロック図を更新.....	13
• パワーオンリセットの情報を追加.....	13
• デバイスの機能モードの情報を追加.....	14

Changes from Revision C (March 2017) to Revision D (May 2017)	Page
• 起動時間表の注記の文言を変更.....	9

Changes from Revision B (August 2001) to Revision C (March 2017)	Page
• 「製品情報」表、「製品比較」表、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• 適切な単位を反映するために、VOH の標準値を 0.08 から 80 に変更.....	8

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3701CD	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3701C
TLV3701CD.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3701C
TLV3701ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701ID.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCI
TLV3701IDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCI
TLV3701IDBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TLV3701IDBVT	Obsolete	Production	SOT-23 (DBV) 5	-	-	Call TI	Call TI	-40 to 125	VBCI
TLV3701IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3701I
TLV3701IP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3701I
TLV3701IP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3701I
TLV3702CD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	3702C
TLV3702CDGKR	Obsolete	Production	VSSOP (DGK) 8	-	-	Call TI	Call TI	0 to 70	AKC
TLV3702ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	3702I
TLV3702IDGK	Obsolete	Production	VSSOP (DGK) 8	-	-	Call TI	Call TI	-40 to 125	AKD
TLV3702IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AKD
TLV3702IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AKD
TLV3702IDGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TLV3702IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702I
TLV3702IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702I
TLV3702IP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3702I
TLV3702IP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3702I
TLV3704CD	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3704C
TLV3704CD.A	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	3704C
TLV3704CPW	Obsolete	Production	TSSOP (PW) 14	-	-	Call TI	Call TI	0 to 70	3704C
TLV3704ID	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704ID.A	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704IDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3704IDR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704IN	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3704I
TLV3704IN.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TLV3704I
TLV3704IPW	Obsolete	Production	TSSOP (PW) 14	-	-	Call TI	Call TI	-40 to 125	3704I
TLV3704IPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I
TLV3704IPWR.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3704I

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

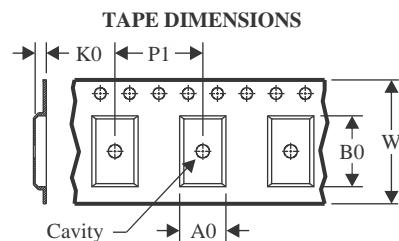
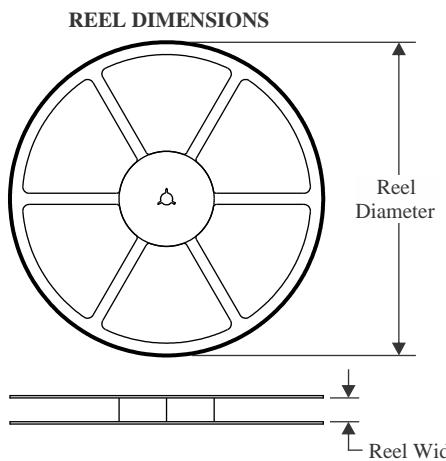
OTHER QUALIFIED VERSIONS OF TLV3701, TLV3702 :

-
- Automotive : [TLV3701-Q1](#), [TLV3702-Q1](#)

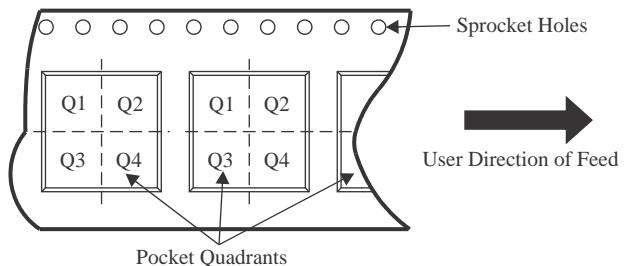
- Enhanced Product : [TLV3701-EP](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

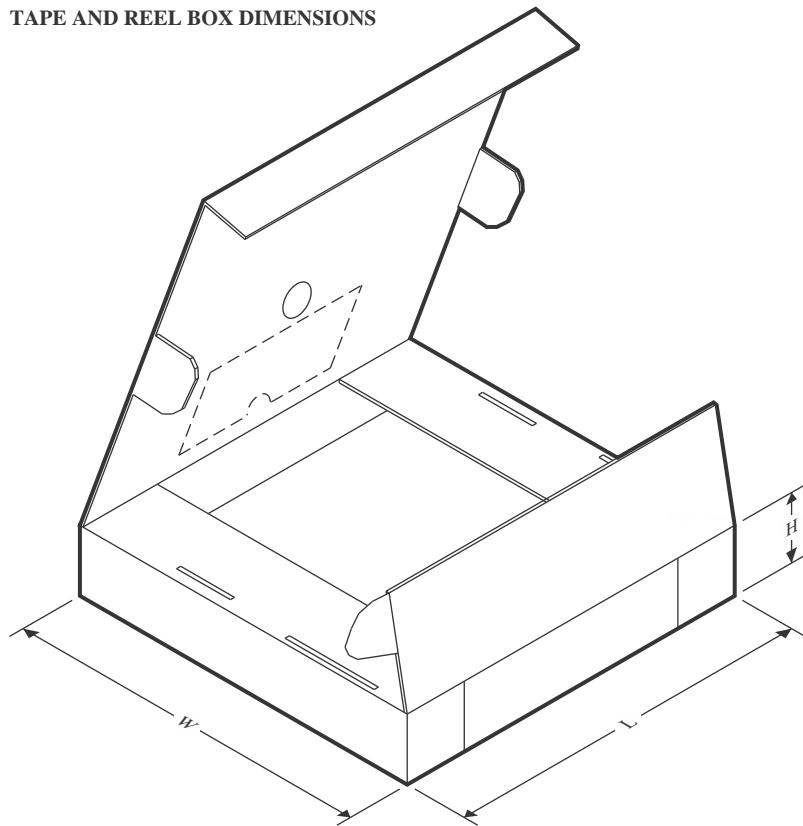
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


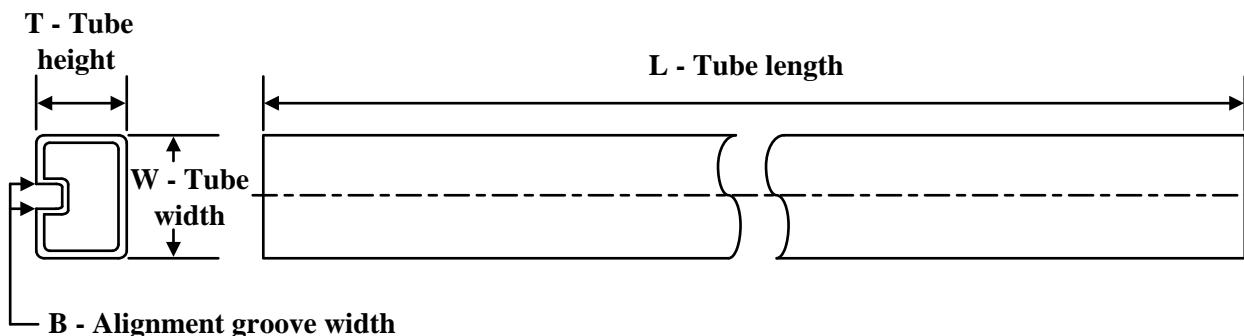
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3701IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3701IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3701IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3702IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3702IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3704IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV3704IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3701IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3701IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3701IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3702IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV3702IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV3704IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV3704IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

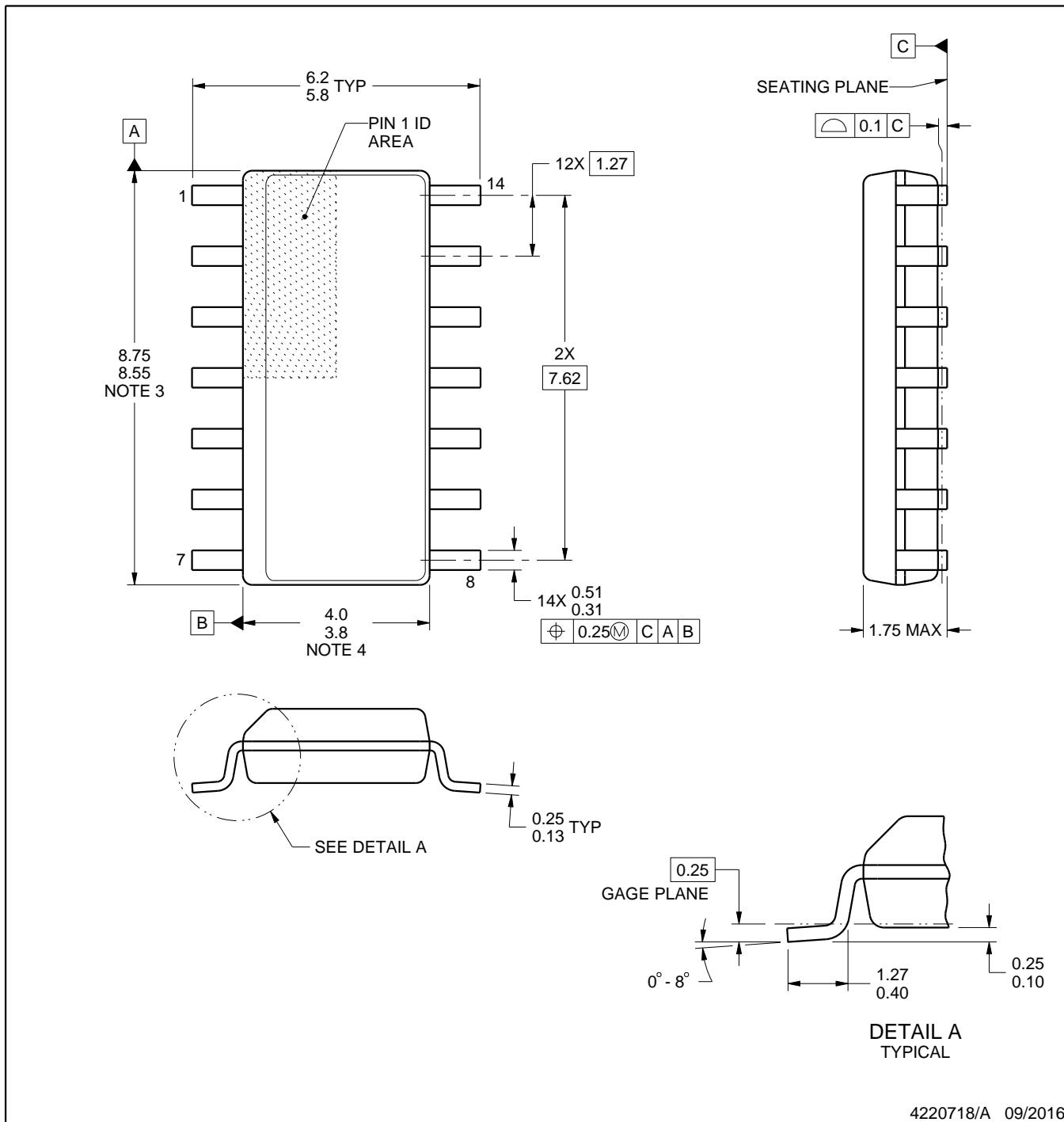
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TLV3701CD	D	SOIC	8	75	507	8	3940	4.32
TLV3701CD.A	D	SOIC	8	75	507	8	3940	4.32
TLV3701ID	D	SOIC	8	75	507	8	3940	4.32
TLV3701ID.A	D	SOIC	8	75	507	8	3940	4.32
TLV3701IP	P	PDIP	8	50	506	13.97	11230	4.32
TLV3701IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLV3702IP	P	PDIP	8	50	506	13.97	11230	4.32
TLV3702IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLV3704CD	D	SOIC	14	50	507	8	3940	4.32
TLV3704CD.A	D	SOIC	14	50	507	8	3940	4.32
TLV3704ID	D	SOIC	14	50	507	8	3940	4.32
TLV3704ID.A	D	SOIC	14	50	507	8	3940	4.32
TLV3704IN	N	PDIP	14	25	506	13.97	11230	4.32
TLV3704IN.A	N	PDIP	14	25	506	13.97	11230	4.32

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

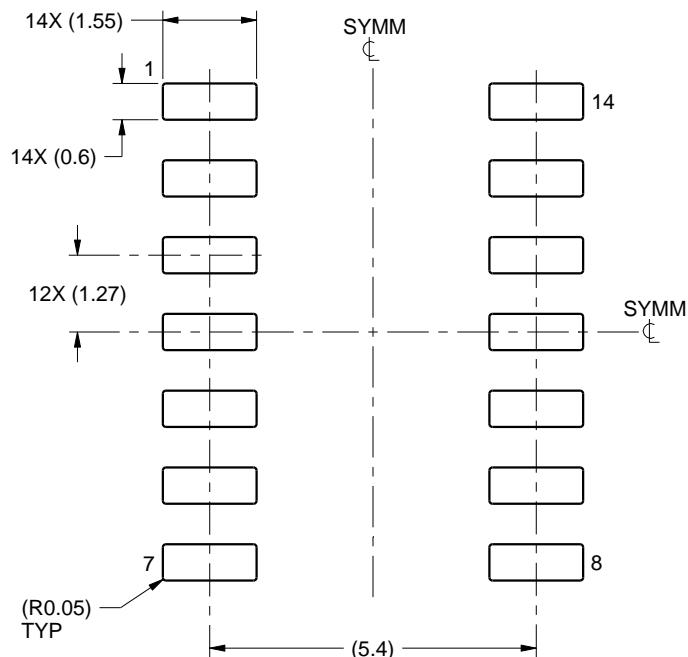
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

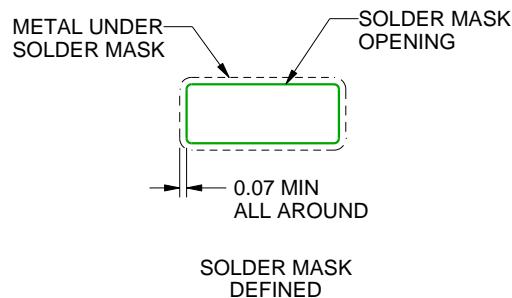
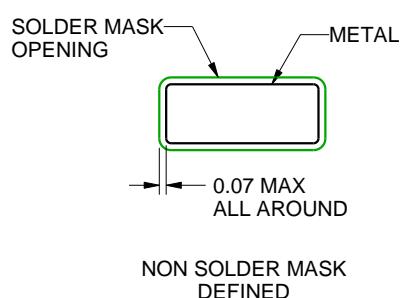
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

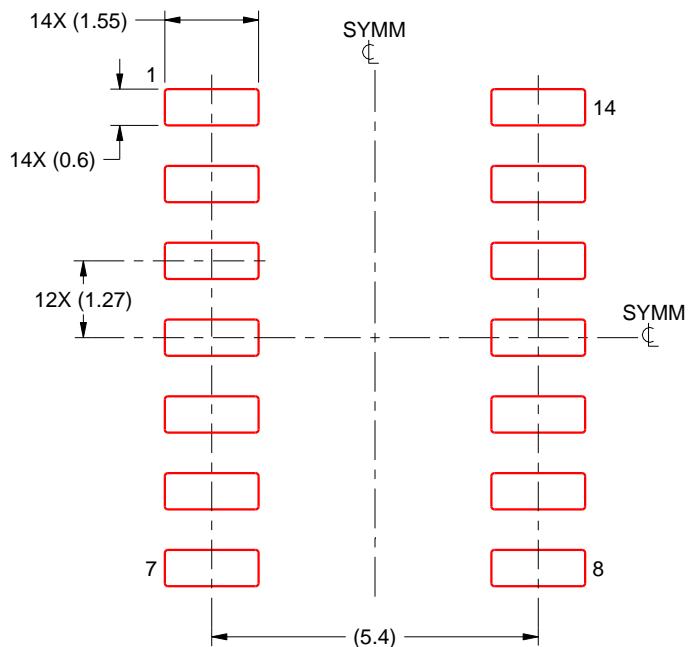
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

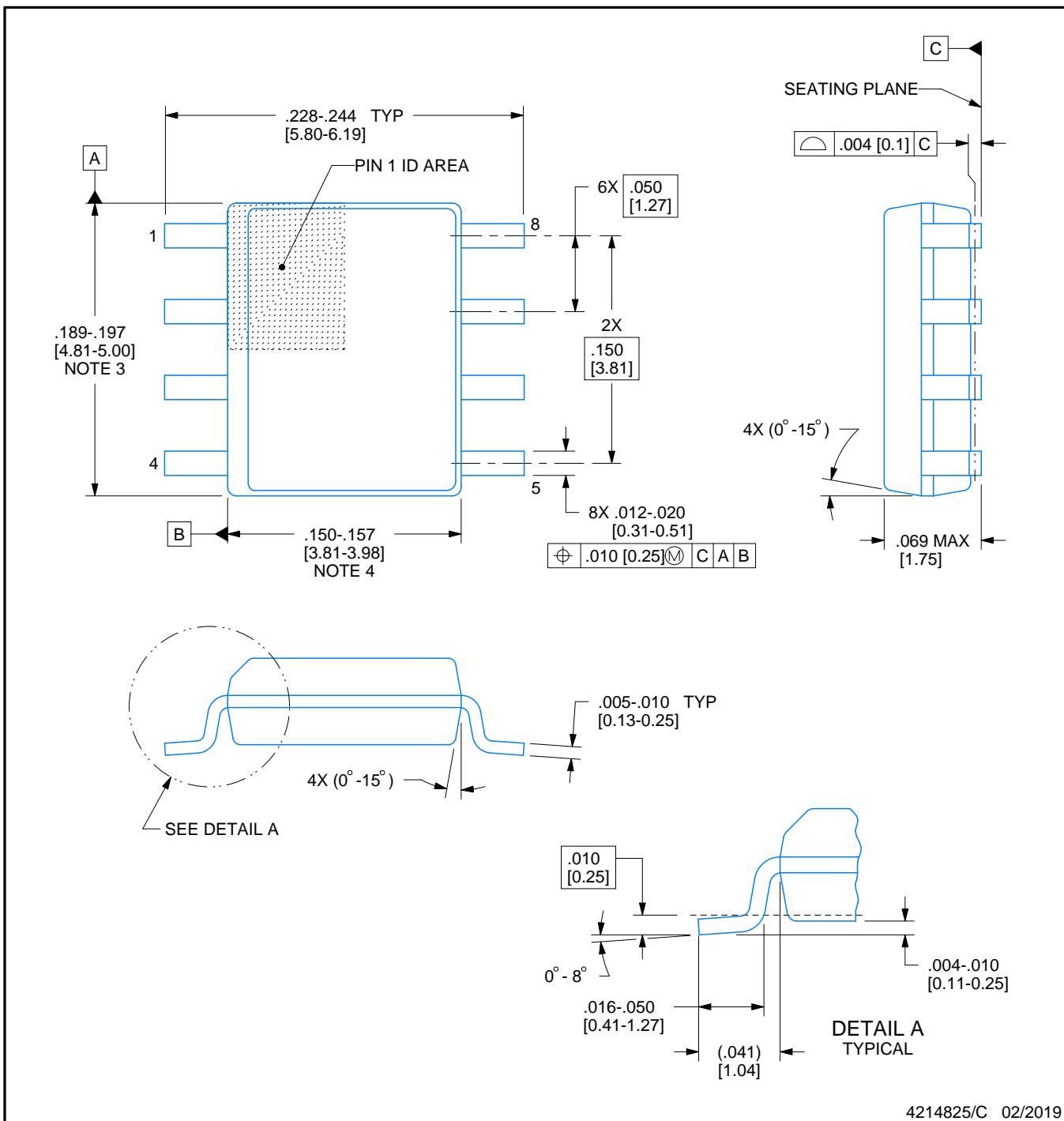
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

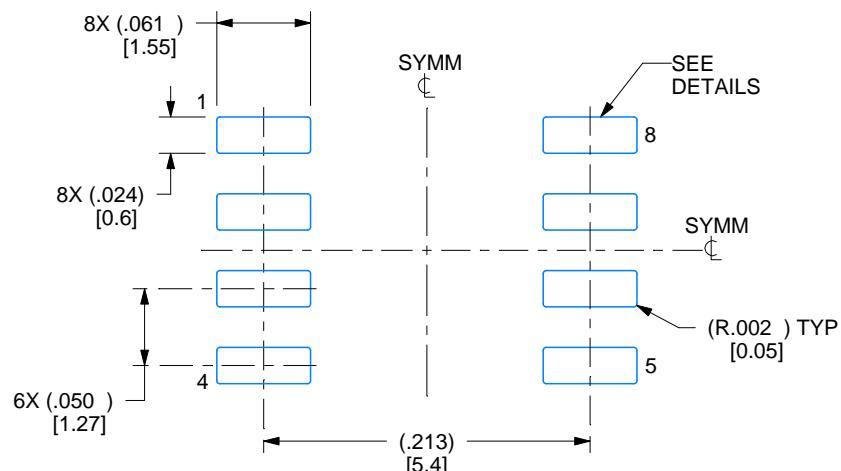
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

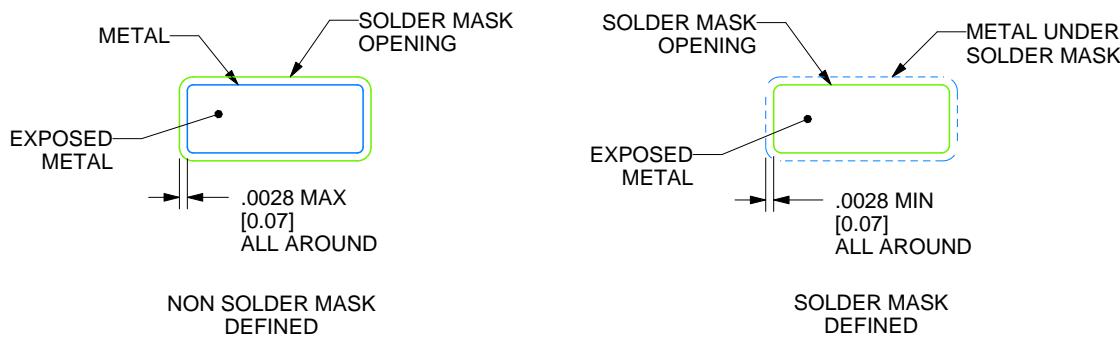
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

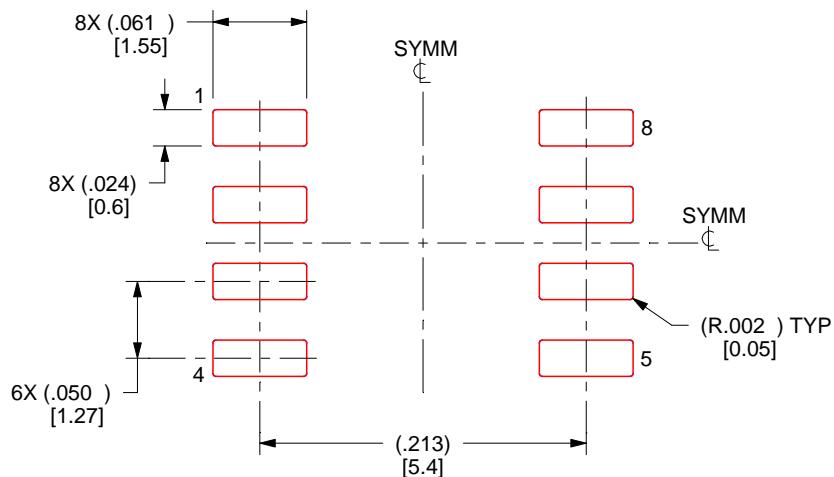
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

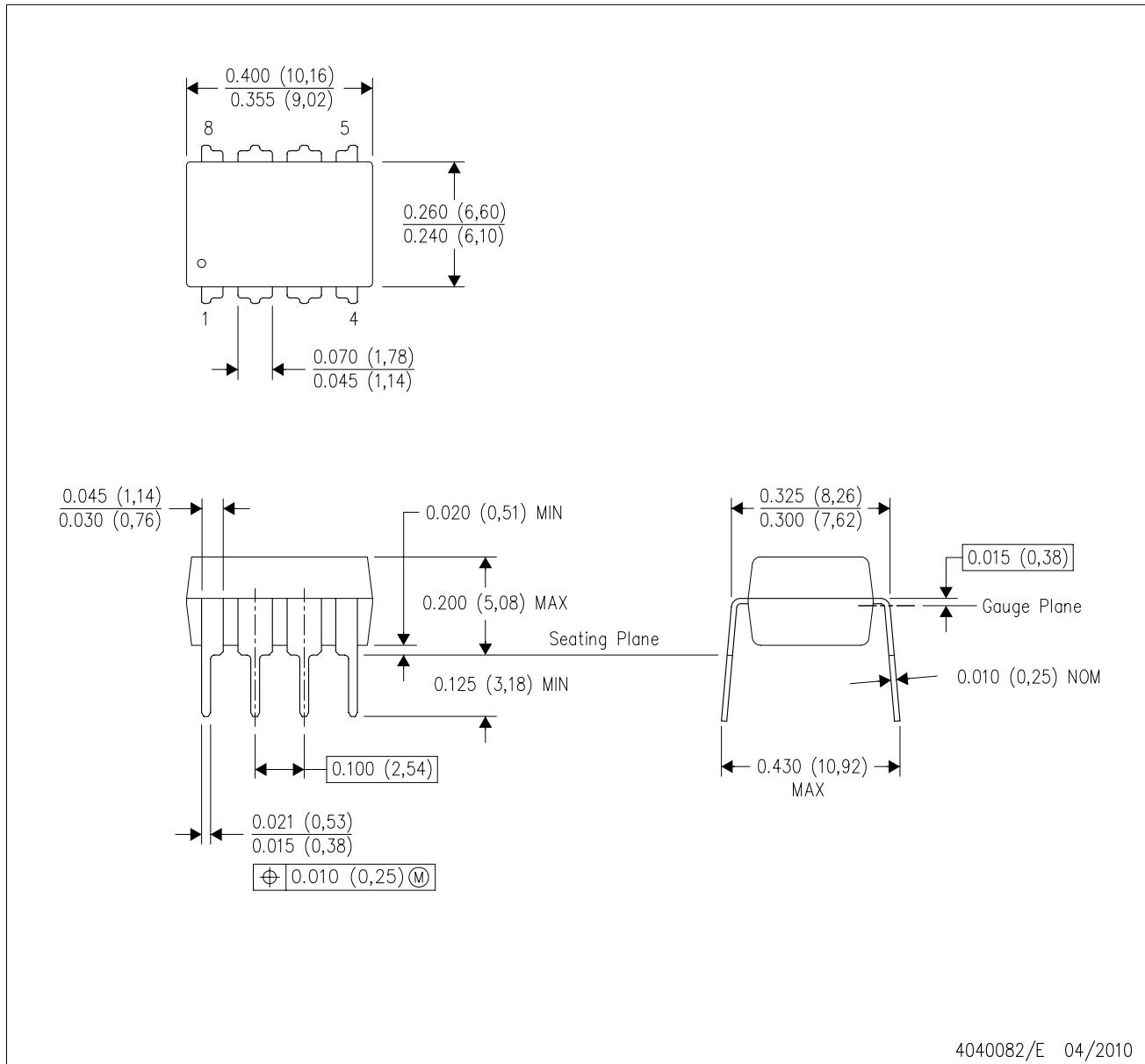
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



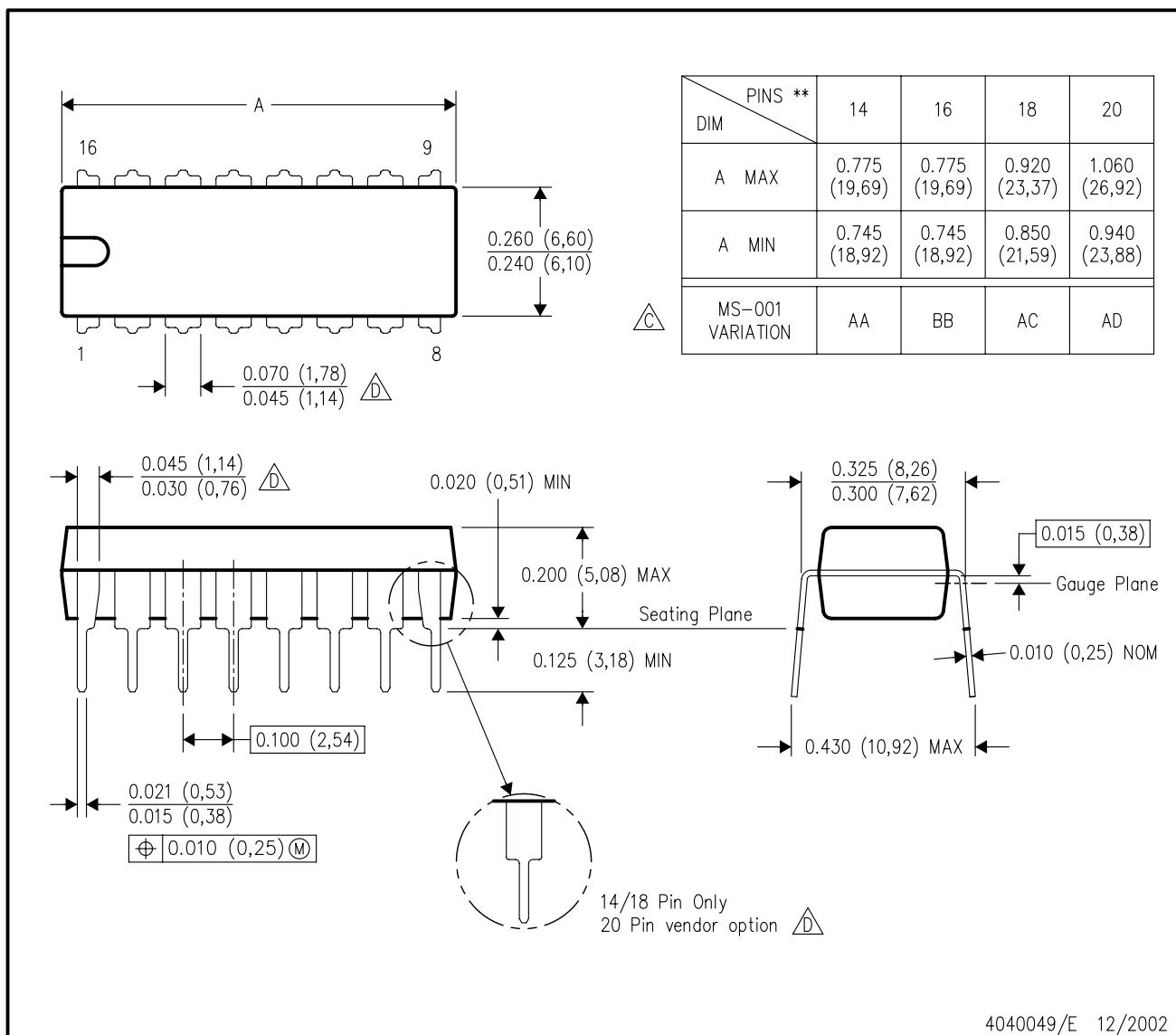
NOTES: A. All linear dimensions are in inches (millimeters).
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-001 variation BA.

4040082/E 04/2010

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



NOTES: A. All linear dimensions are in inches (millimeters).

B. This drawing is subject to change without notice.

C. Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).

D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

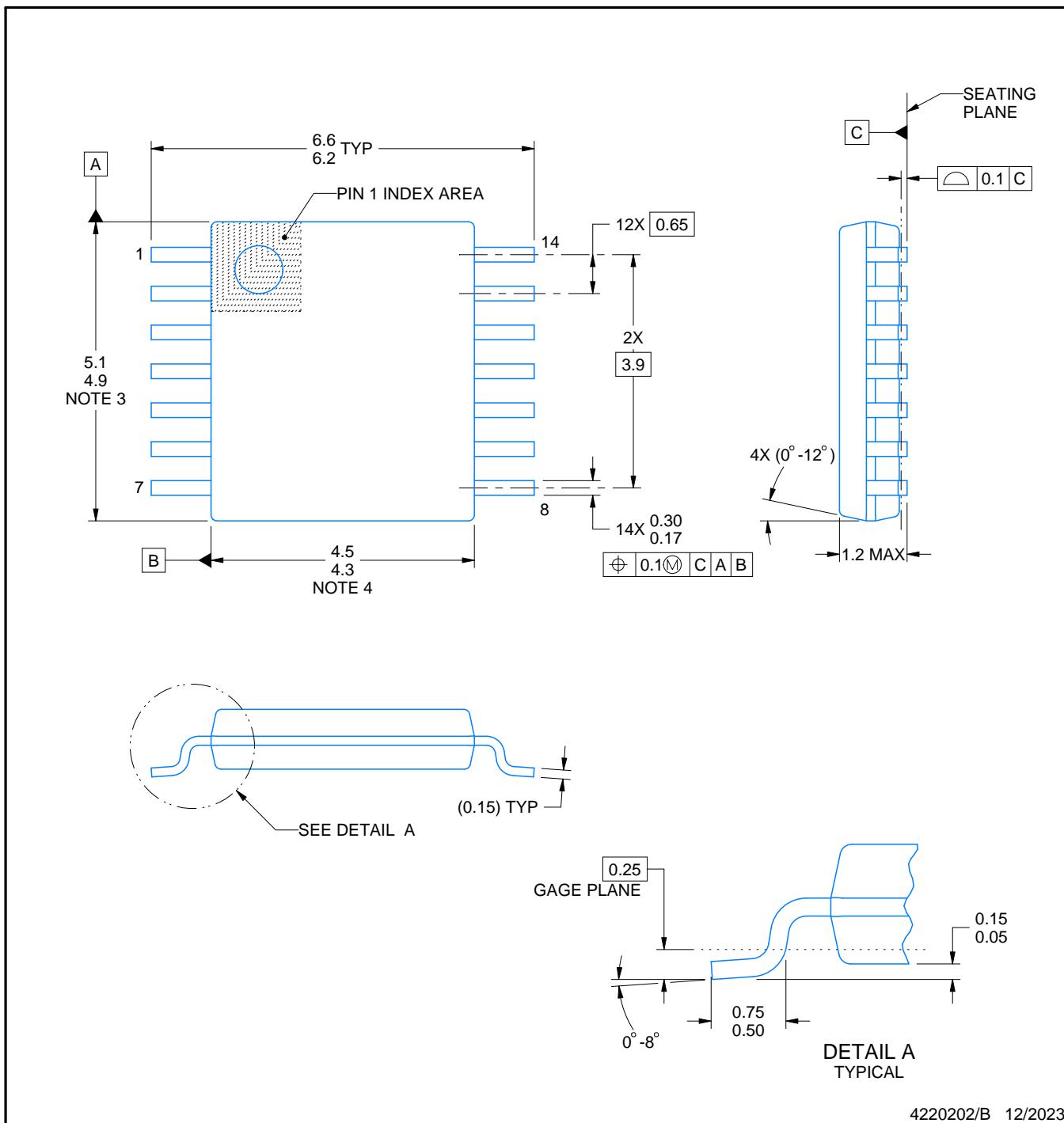
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

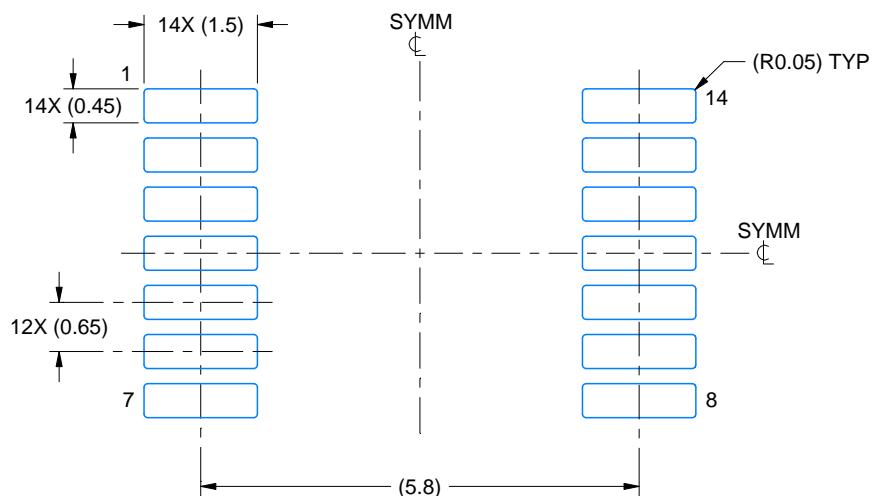
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

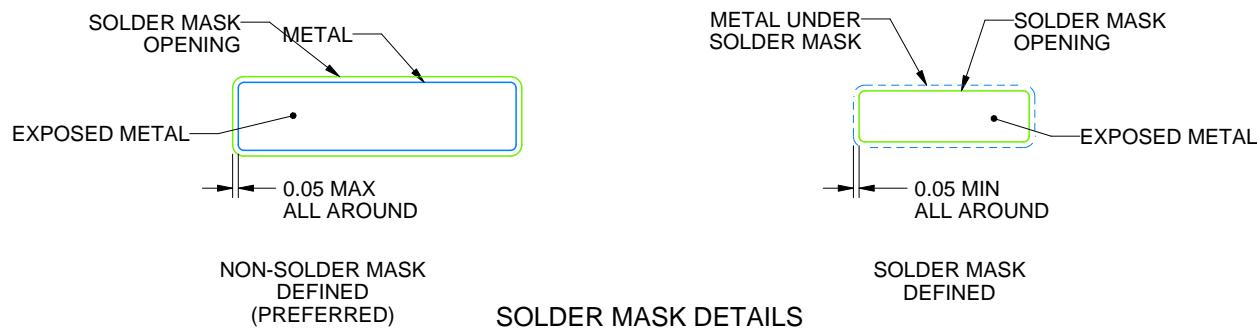
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

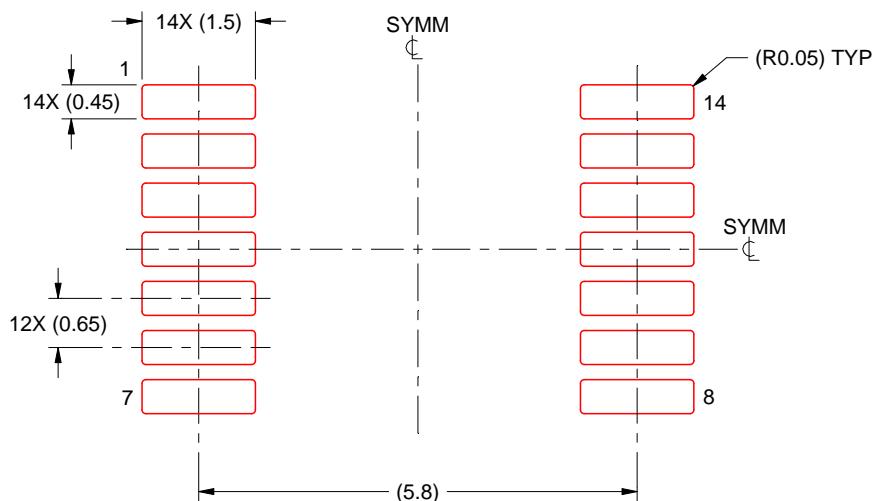
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

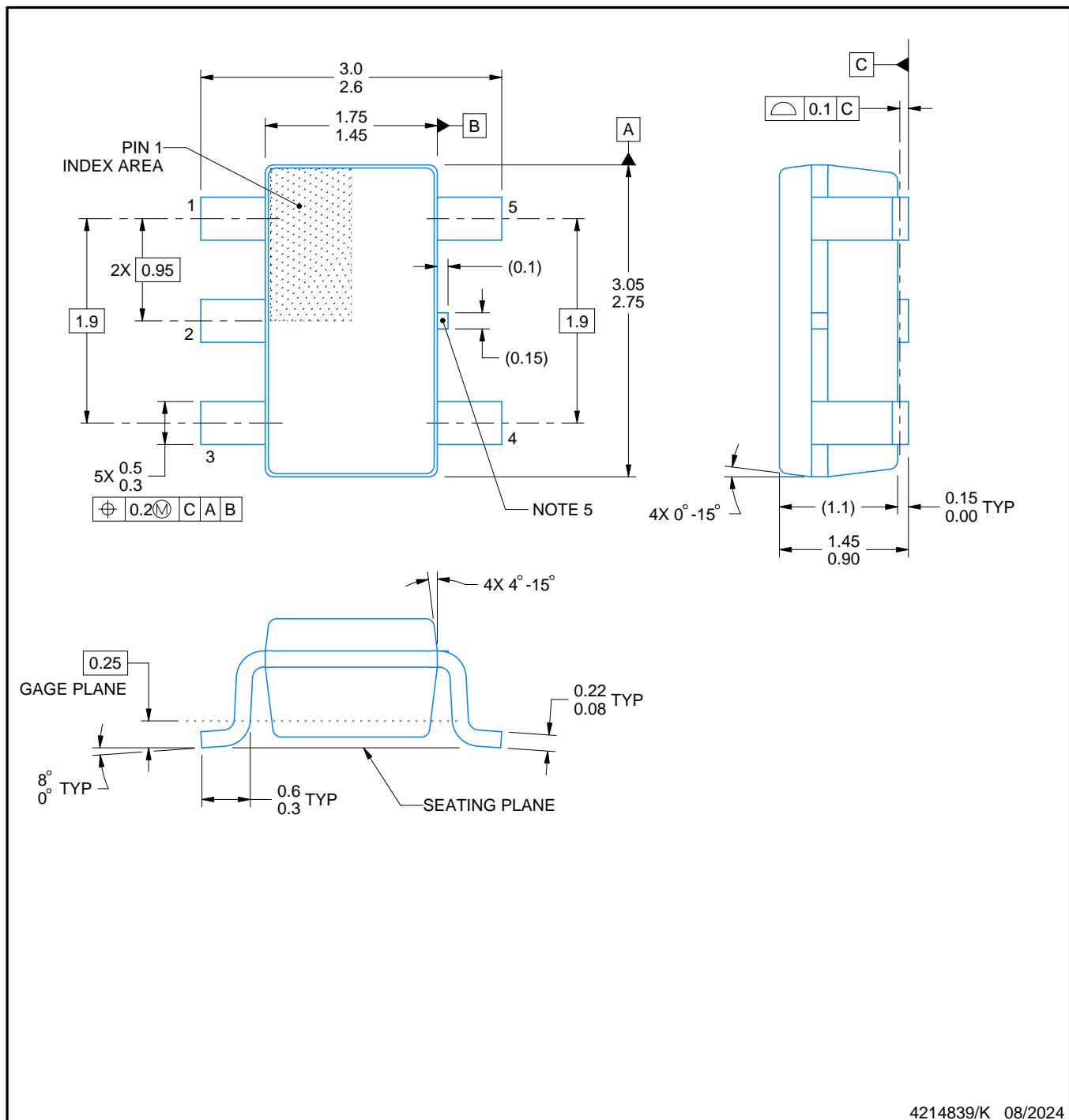
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

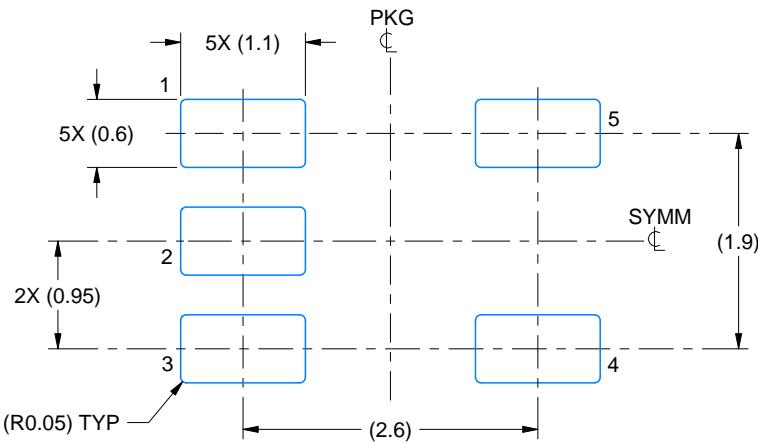
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

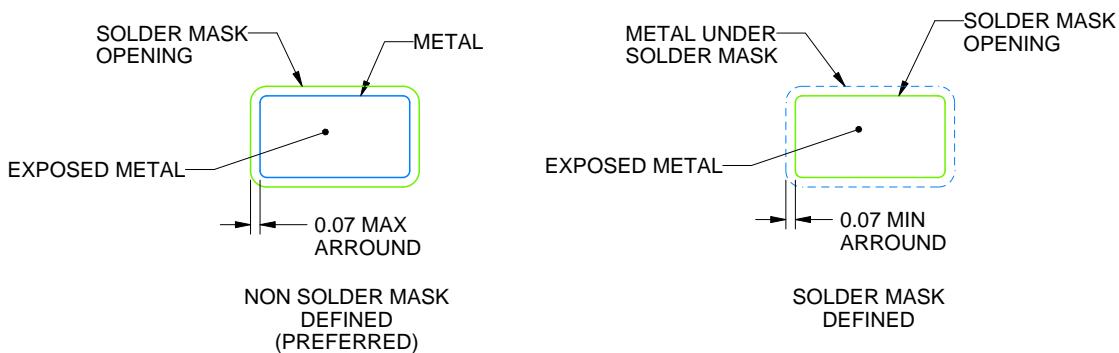
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

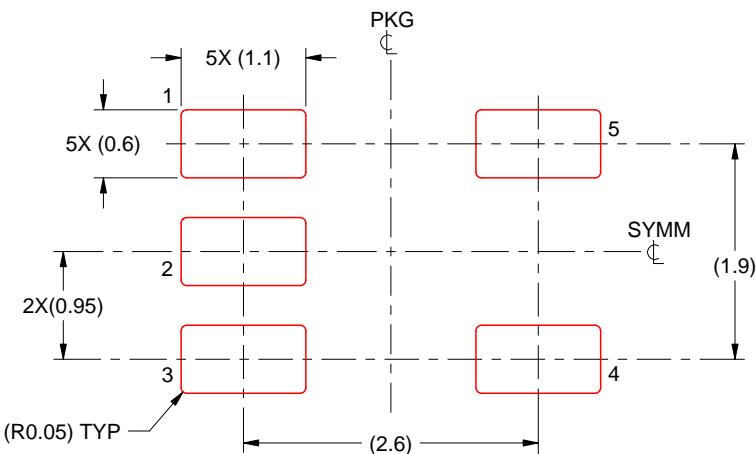
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

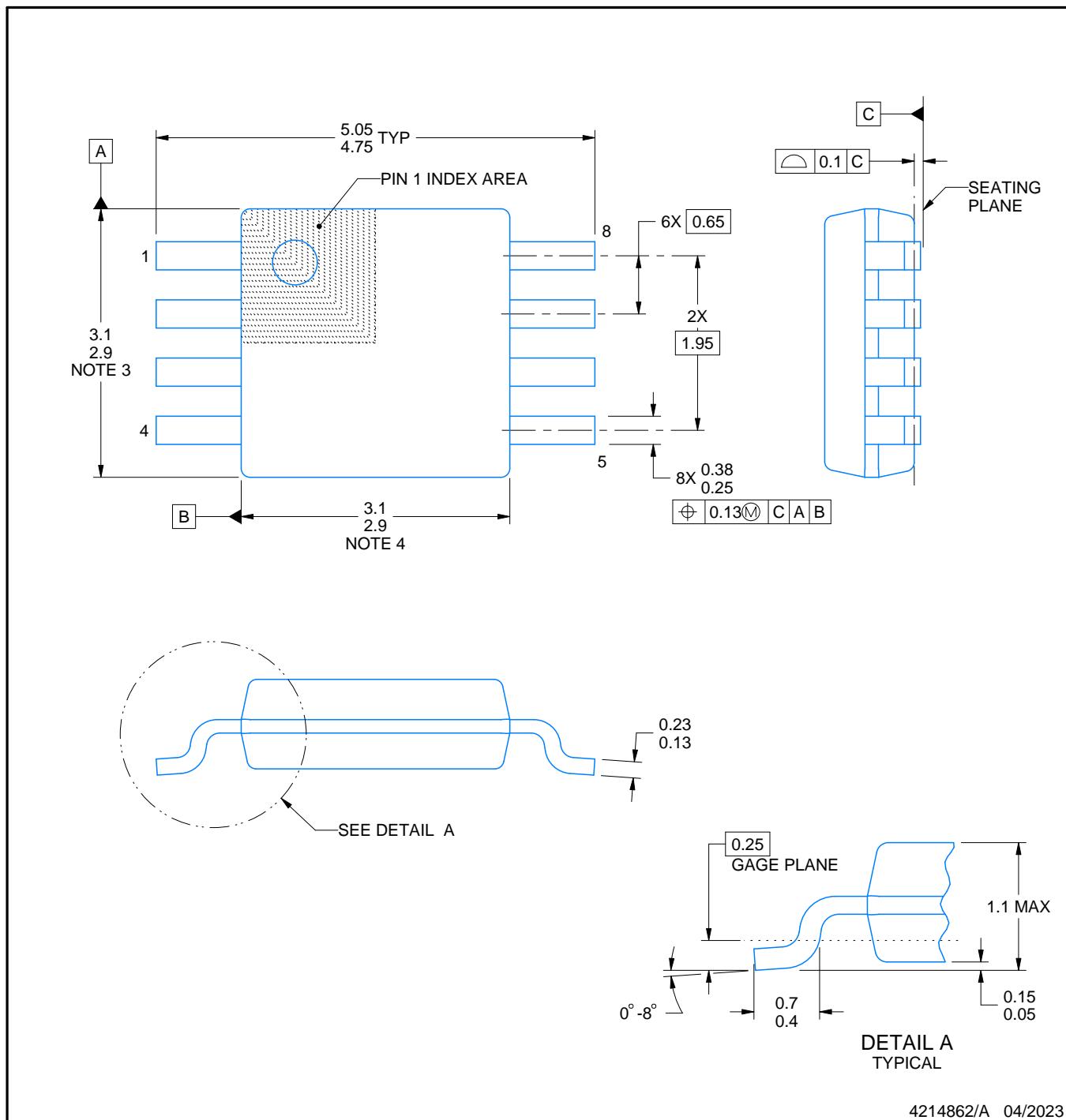
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

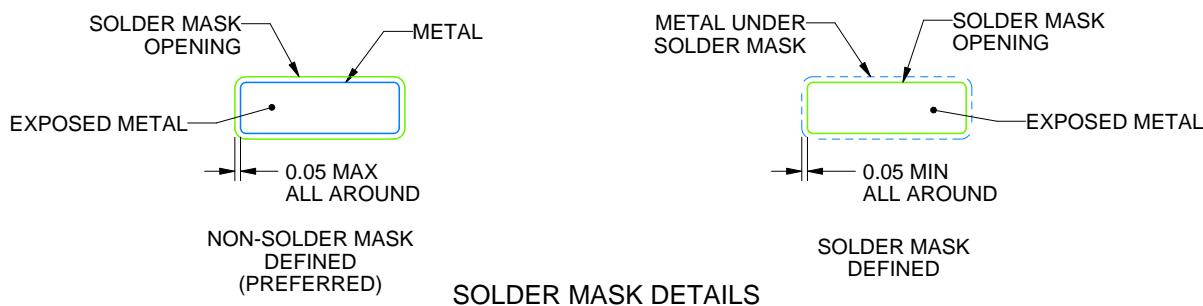
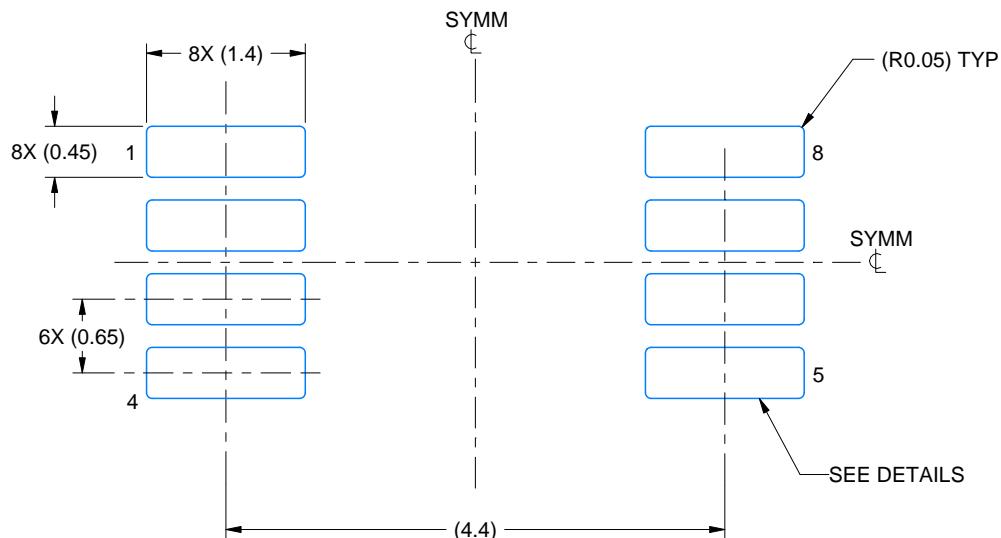
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES: (continued)

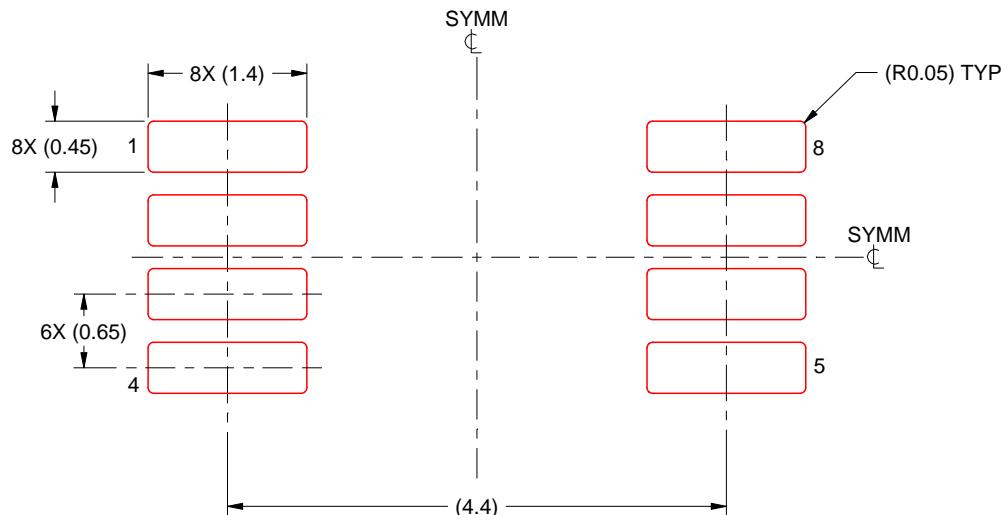
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月