

TLV3901 125ps 高速 RRI コンパレータ (CML 出力付き)

1 特長

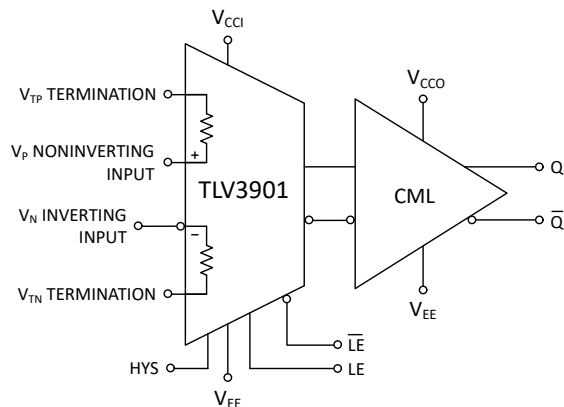
- 小さい伝搬遅延: 125ps
- 小さいオーバードライブ分散: 5ps
- 静止電流: 53mA
- 高いトグル周波数: 10GHz/20Gbps
- 狭パルス幅検出性能: 60ps
- CML 出力
- 入力電源と出力電源を分離します
- 単一電源電圧: 3.1V ~ 5.25V
- 低い入力オフセット電圧: $\pm 1\text{mV}$
- 両方の入力ピンのオンチップ終端
- ヒステリシスを抵抗によりプログラム可能
- 差動ラッチ制御

2 アプリケーション

- LIDAR の距離センシング
- タイム オブ フライト (ToF) センサ
- オシロスコープとロジック アナライザの高速トリガ機能
- 高速差動ライン レシーバ
- ドローンビジョン

3 説明

TLV3901 は、広い電源電圧範囲に対応し、125ps の高速動作と 10GHz の高いトグル周波数を備えたコンパレータです。動作電源電圧範囲が 3.1V~5.25V で、業界標



機能ブロック図

準の小型パッケージに収められた TLV3901 は、LIDAR などの走行時間 (ToF) アプリケーション、差動ライン レシーバ、試験・計測システムに最適です。

TLV3901 は、5ps という優れた入力オーバードライブ性能と、わずか 60ps の狭いパルス幅処理能力を備えています。優れた性能仕様に加えて、TLV3901 は両入力端にオプションの 50Ω オンチップ終端抵抗を備えており、ラッチ機能およびプログラマブル ヒステリシス機能も提供します。

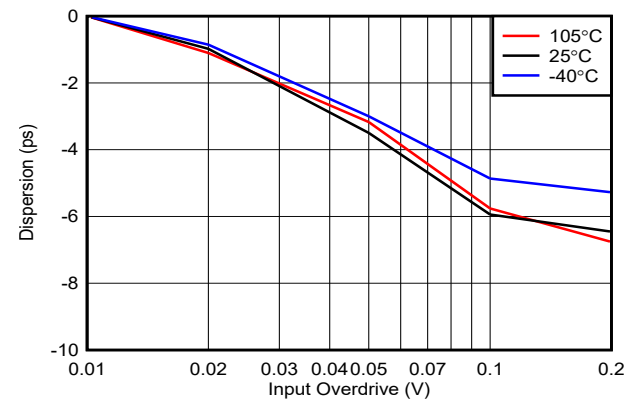
TLV3901 の電流モード ロジック (CML) 出力は、データスループットを向上させ、電力消費を最適化します。同様に相補出力は、各出力の同相ノイズを抑制することで、EMI 低減に役立ちます。CML 出力は、アプリケーション内の下流の大半の FPGA や CPU など、標準 CML 入力を受け入れるその他のデバイスの直接駆動およびインターフェイスを可能にします。

TLV3901 は 16 ピンの WQFN パッケージで提供されており、光センサ モジュールなどのスペース制約のあるアプリケーションに最適です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TLV3901	RTE (WQFN, 16)	3.00mm × 3.00mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



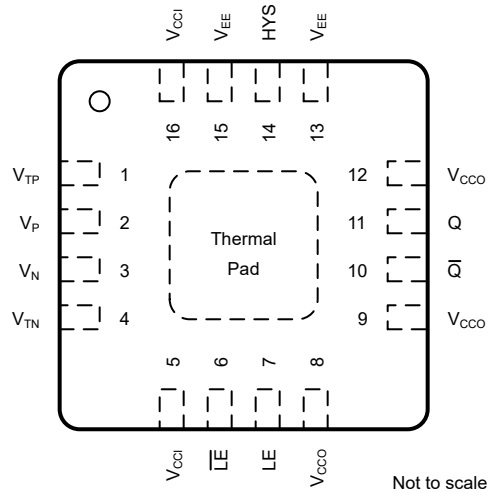
分散とオーバードライブとの関係



目次

1 特長	1	6.3 機能説明	14
2 アプリケーション	1	6.4 デバイスの機能モード	14
3 説明	1	7 アプリケーションと実装	19
4 ピン構成および機能	3	7.1 アプリケーション情報.....	19
5 仕様	4	7.2 代表的なアプリケーション.....	19
5.1 絶対最大定格.....	4	7.3 電源に関する推奨事項.....	22
5.2 ESD 定格.....	4	7.4 レイアウト.....	23
5.3 推奨動作条件.....	4	8 デバイスおよびドキュメントのサポート	24
5.4 熱に関する情報.....	5	8.1 デバイス サポート.....	24
5.5 電気的特性.....	6	8.2 ドキュメントの更新通知を受け取る方法.....	24
5.6 スイッチング特性.....	6	8.3 サポート・リソース.....	24
5.7 ラッチ / 調整可能なヒステリシス.....	7	8.4 商標.....	24
5.8 タイミング図.....	8	8.5 静電気放電に関する注意事項.....	24
5.9 代表的特性.....	9	8.6 用語集.....	24
6 詳細説明	14	9 改訂履歴	24
6.1 概要.....	14	10 メカニカル、パッケージ、および注文情報	24
6.2 機能ブロック図.....	14		

4 ピン構成および機能



**図 4-1. RTE パッケージ、
16 パッド WQFN (露出サーマルパッド付き)、
上面図**

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	TLV3901		
V _{TP}	1	-	V _P の終端抵抗リターン ピン
V _P	2	I	非反転アナログ入力
V _N	3	I	反転アナログ入力
V _{TN}	4	-	V _N 入力の終端抵抗リターン ピン
V _{CCI}	5、16	-	入力段の正電源電圧
LE	6	I	ラッチ イネーブルピン、反転側
LE	7	I	ラッチ イネーブル入力ピン
V _{CCO}	8	-	終端リターン ピン LE/ \overline{LE} 入力ピン
V _{CCO}	9、12	-	CML 出力段の正電源電圧
\overline{Q}	10	O	反転出力
Q	11	O	非反転出力
V _{EE}	13、15	-	負電源 (単電源で使用する場合は GND に接続)
HYS	14	I	ヒステリシス制御ピン
サーマルパッド	-	-	VEE ピンに直接接続

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
入力電源電圧 $V_S = V_{CC1} - V_{EE}$	-0.3	5.5	V
出力電源電圧 $V_S = V_{CC0} - V_{EE}$	-0.3	5.5	V
V_{CC1} と V_{CC0} の差	-0.2	2.4	V
差動入力電圧、VID	-2.5	+2.5	V
(V-) からの入力ピン (IN+, IN-) ⁽²⁾	$V_{EE} - 0.3$	$V_{CC1} + 0.3$	V
入力ピンへの電流 (IN+, IN-) ^{(2) (3)}	-10	10	mA
$V_P \sim V_{TP}$ 、 $V_N \sim V_{TN}$ ピン	-1.25	1.25	V
$LE/\overline{LE} \sim V_{CC0}$		1.5	V
出力電流	-20	+20	mA
接合部温度、 T_J		150	°C
保管温度、 T_{stg}	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力端子は V_{EE} および V_{CC} にダイオード クランプ
- (3) V_{TP} ピンおよび V_{TN} ピンを浮遊状態のままにした場合

5.2 ESD 定格

	値	単位
$V_{(ESD)}$ 静電放電 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
$V_{(ESD)}$ 静電放電 デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
入力電源電圧 $V_{CC1} - V_{EE}$	3.1	5.25	V
出力電源電圧 $V_{CC0} - V_{EE}$	3.1	5.25	V
V_{CC1} と V_{CC0} の差	-0.2	2.15	V
入力電圧範囲	$V_{EE} - 0.2$	$V_{CC1} + 0.2$	V
差動入力電圧範囲	-1.5	1.5	V
周囲温度、 T_A	-40	105	°C
接合部温度、 T_J	-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TLV3901	単位
		RTE (WQFN)	
		16ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	60.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	65.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	36	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	35.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	19.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

$V_S = 3.3V \sim 5V$ 、 $V_{CM} = V_S/2$ 。 $T_A = 25^\circ C$ の時 (特に記述のない限り)。
標準値は $T_A = 25^\circ C$ 時のものです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 入力特性						
V_{IO}	入力オフセット電圧	$V_S = 5V$ 、 $V_{CM} = V_S/2$		±1	±4	mV
V_{IO}	入力オフセット電圧	$V_S = 5V$ 、 $V_{CM} = V_S/2$ 、 $T_A = -40 \sim 105^\circ C$			±5	mV
dV_{OS}/dT	入力オフセット電圧ドリフト	$V_{CM} = V_S/2$ 、 $T_A = -40^\circ C \sim 105^\circ C$		±10		$\mu V/^\circ C$
V_{CM}	同相電圧範囲		$V_{EE} - 0.1$		$V_{CCI} + 0.1$	V
I_B	入力バイアス電流	$V_S = 5V$ 、 $V_{CM} = V_S/2$	-10	-5		μA
I_B	入力バイアス電流	$V_S = 5V$ 、 $V_{CM} = V_S/2$ 、 $T_A = -40 \sim 105^\circ C$	-15			μA
I_{OS}	入力オフセット電流	$V_S = 5V$ 、 $V_{CM} = V_S/2$		±1		μA
C_{IN}	入力容量			2		pF
R_{DM}	入力差動モード抵抗			1		M Ω
R_{CM}	入力同相抵抗			5		M Ω
CMRR	同相除去比	$V_{CM} = V_{EE} - 0.1V \sim V_{CCI} + 0.1V$		76		dB
DC 出力特性						
V_{OH}	V_{CCO} からの出力電圧スイング High レベル	V_{CCO} に 50 Ω で終端	100	50	0	mV
V_{OL}	V_{CCO} からの出力電圧スイング Low レベル	V_{CCO} に 50 Ω で終端	575	425	275	mV
V_{ODIFF}	出力電圧差動	V_{CCO} に 50 Ω で終端	275	375	475	mV
電源						
I_{CC}	電源電流/チャネル(1)	$V_S = 3.3V$ および 5V、無負荷		53		mA
I_{CC}	電源電流/チャネル(1)	$V_S = 3.3V$ および 5V、無負荷、 $T_A = -40^\circ C \sim 105^\circ C$			65	mA
PSRR	電源除去比	$V_S = 3.3V \sim 5V$ 、無負荷、 $T_A = -40^\circ C \sim 105^\circ C$		74		dB

(1) I_{TT} は含まれません

5.6 スイッチング特性

$T_A = 25^\circ C$ のとき、 $V_S = 5V$ 、 $V_{CM} = V_S/2$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PHL}	伝搬遅延時間、High から Low	入力の中間点から出力の中間点まで、 $V_{OD} = 50mV$		125		ps
dt_{PHL}/dT	伝搬遅延時間、high から low、温度との関係	入力の中間点から出力の中間点まで、 $V_{OD} = 50mV$ 、 $-40 \sim 105^\circ C$		0.08		$ps/^\circ C$
t_{PLH}	伝搬遅延時間、Low から High	入力の中間点から出力の中間点まで、 $V_{OD} = 50mV$		125		ps
dt_{PLH}/dT	伝搬遅延時間、low から high、温度との関係	入力の中間点から出力の中間点まで、 $V_{OD} = 50mV$ 、 $-40 \sim 105^\circ C$		0.08		$ps/^\circ C$
t_{PD} スキュー	t_{PLH} と t_{PHL} の間のスキュー	$V_{CM} = V_{CCI}/2$ 、 $V_{OD} = V_{UD} = 50mV$ 、5MHz 方形波		7		ps
$t_{OD_DISPERSION}$	オーバードライブ分散	20mV \sim 100mV、600mV Vpp で変化するオーバードライブ		5		ps
$t_{OD_DISPERSION}$	オーバードライブ分散	10mV \sim 200mV、600mV Vpp で変化するオーバードライブ		7		ps

$T_A = 25^\circ\text{C}$ のとき、 $V_S = 5\text{V}$ 、 $V_{CM} = V_S / 2$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{Jitter}	ランダムジッタ (RMS)	$V_{OD} = V_{UD} = 200\text{mV}$, 5V/ns, 1.25GHz		2		ps
D _{Jitter}	確定的ジッタ	$V_{OD} = V_{UD} = 200\text{mV}$, 5V/ns, 1.25GHz		15		ps
Min_Pulse	最小許容入力パルス幅	$V_{OVERDRIVE} = V_{UNDERDRIVE} = 50\text{mV}$ $PW_{OUT} = PW_{IN}$ の 90%		60		ps
f _{TOGGLE}	入力トグル周波数	$V_{IN} = 200\text{mV}_{PP}$ 正弦波, 50% 出力スイング		10		GHz
TR	トグルレート	$V_{IN} = 200\text{mV}_{PP}$ 正弦波, 50% 出力スイング		20		Gbps
t _R	立ち上がり時間	20% ~ 80% で測定		40		ps
t _F	立ち下がり時間	20% ~ 80% で測定		40		ps
t _{ON}	パワーアップ時間	電源オン時に、出力が入力を反映するには、(V+) が 3 μs の間 2V を上回る必要があります。		3		μs

5.7 ラッチ / 調整可能なヒステリシス

$V_S = 3.3\text{V} \sim 5\text{V}$ 、 $V_{CM} = V_S/2$ 。 $T_A = 25^\circ\text{C}$ の時 (特に記述のない限り)。
標準値は $T_A = 25^\circ\text{C}$ 時のものです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ラッチ / 調整可能なヒステリシス						
V _{HYST}	入力ヒステリシス電圧	$V_S = 5\text{V}$, $R_{HYST} \geq 4\text{k}\Omega$		1		mV
V _{HYST}	入力ヒステリシス電圧	$V_S = 5\text{V}$, $R_{HYST} = 0.8\text{k}\Omega$		16.5		mV
V _{HYST}	入力ヒステリシス電圧	$V_S = 5\text{V}$, $R_{HYST} = 0\text{k}\Omega$		47.5		mV
V _{LE}	LE ビン入力電圧範囲	$V_{CCI} = V_{CCO} = 3.1\text{V}$ および 5.25V $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$	$V_{CCO} - 1$		V_{CCO}	V
V _{LE_DIFF}	LE ビン入力差動	$V_{CCI} = V_{CCO} = 3.1\text{V}$ および 5.25V $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$	0.2		1	V
t _{SETUP}	ラッチのセットアップ時間			55		ps
t _{HOLD}	ラッチのホールド時間			12		ps
t _{PL}	ラッチから出力までの遅延			155		ps
t _{PW}	ラッチ最小パルス幅			60		ps

5.8 タイミング図

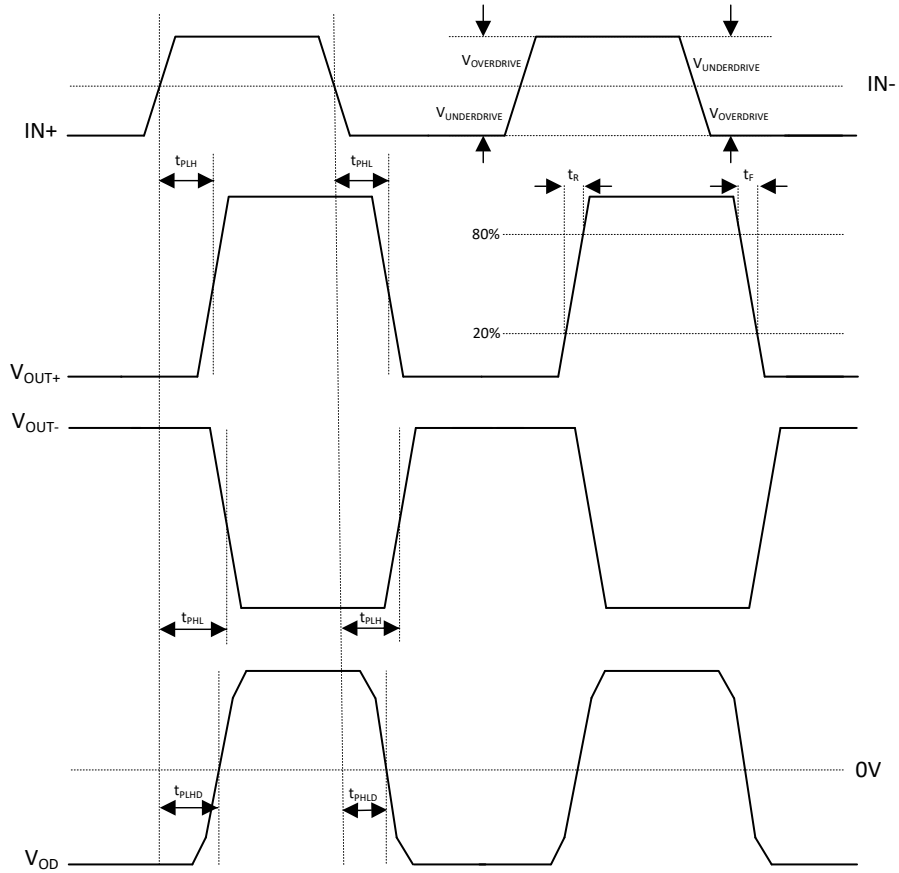


図 5-1. 一般的なタイミング図

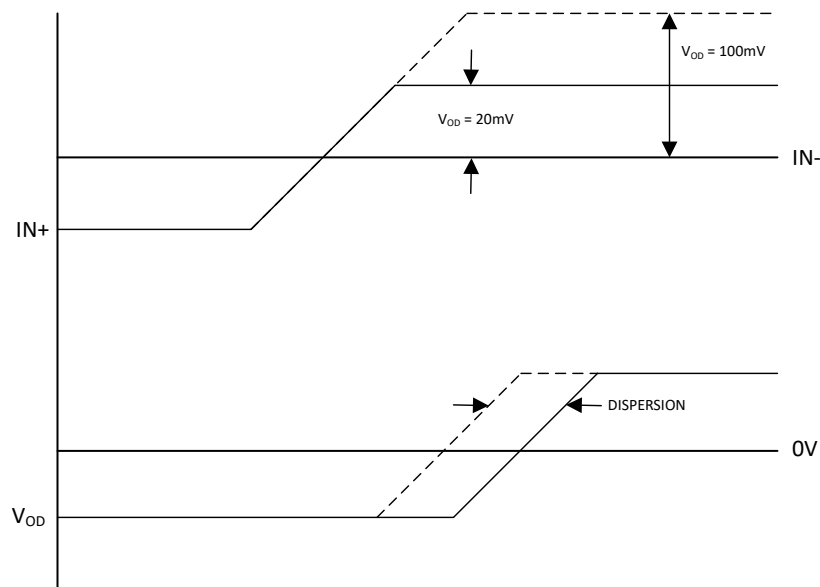


図 5-2. オーバードライブ分散

5.9 代表的特性

特に記載のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 3.3\text{V} \sim 5\text{V}$ 、 $V_{EE} = \text{GND} = 0$ 、 $V_{CM} = 0.5 \times V_{CCI}$ 、 $R_{HYS} = 4000\Omega$ 、入力オーバードライブ/アンダードライブ = 50mV で測定。

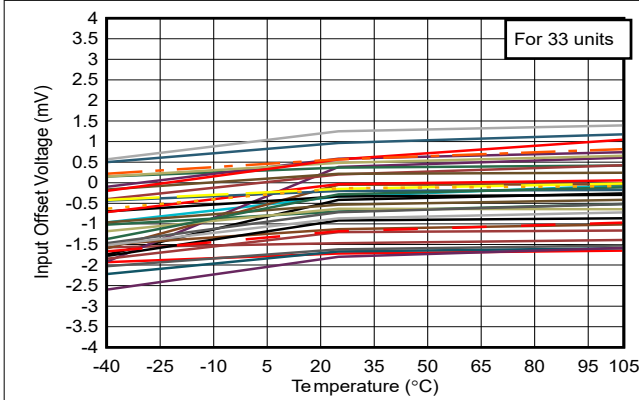


図 5-3. 3.3V におけるオフセットと温度の関係

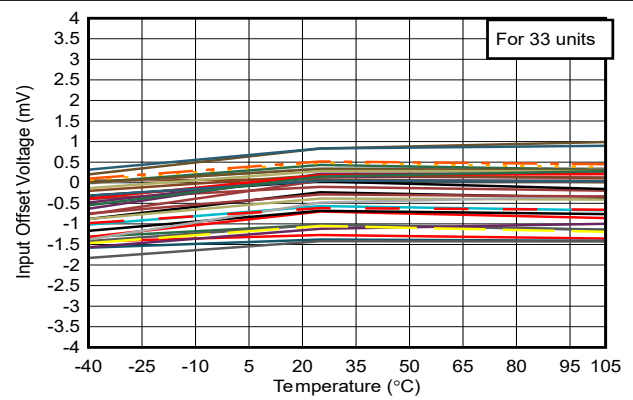


図 5-4. 5V におけるオフセットと温度の関係

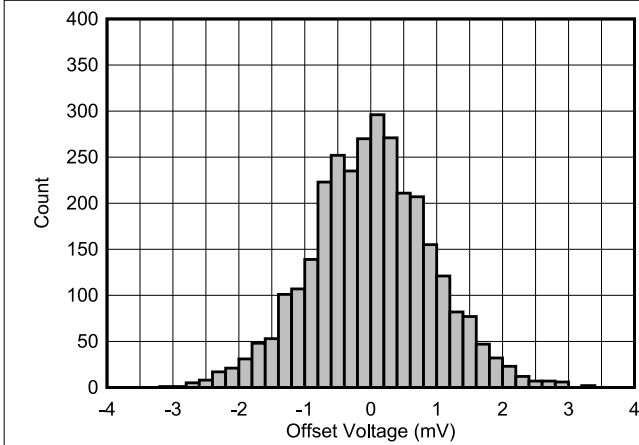


図 5-5. 3.3V でのオフセット ヒストグラム

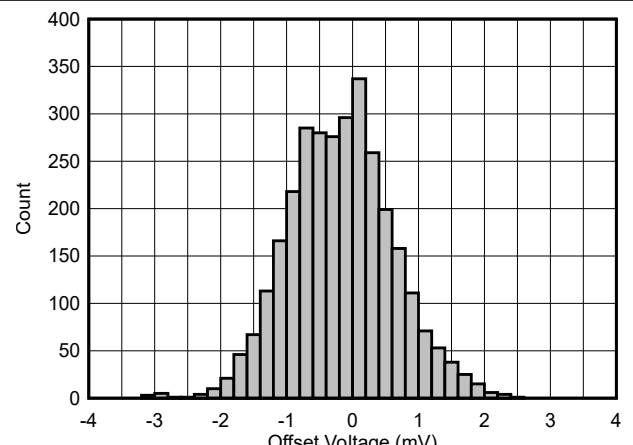


図 5-6. 5V でのオフセット ヒストグラム

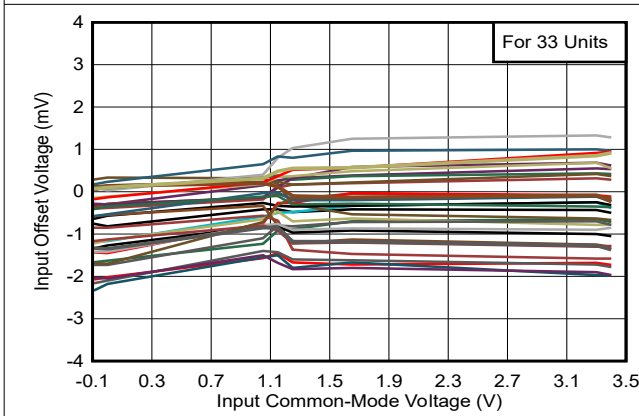


図 5-7. 3.3V におけるオフセットと同相モードの関係

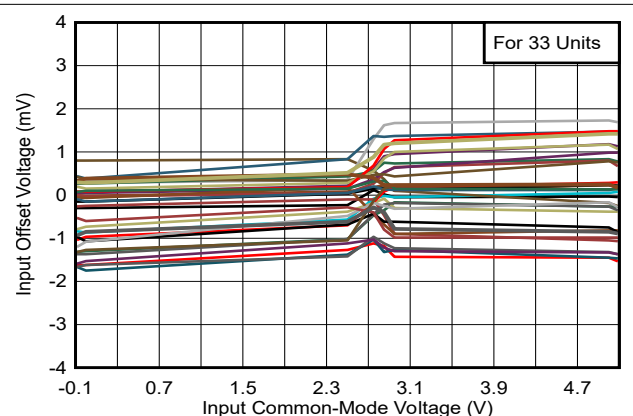


図 5-8. 5V におけるオフセットと同相モードの関係

5.9 代表的特性 (続き)

特に記載のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 3.3\text{V} \sim 5\text{V}$ 、 $V_{EE} = \text{GND} = 0$ 、 $V_{CM} = 0.5 \times V_{CCI}$ 、 $R_{HYS} = 4000\Omega$ 、入力オーバードライブ/アンダードライブ = 50mV で測定。

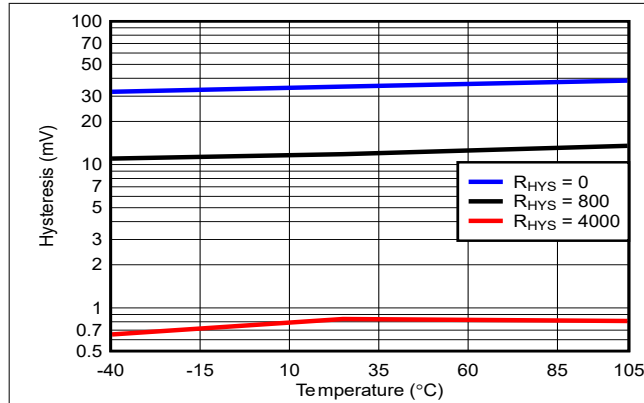


図 5-9. 3.3V におけるヒステリシスと温度の関係

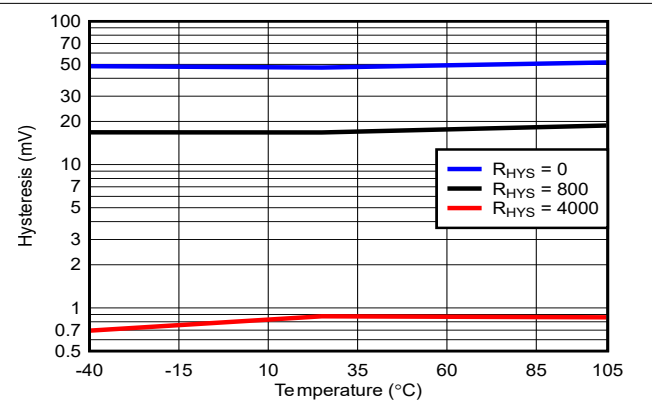


図 5-10. 5V におけるヒステリシスと温度の関係

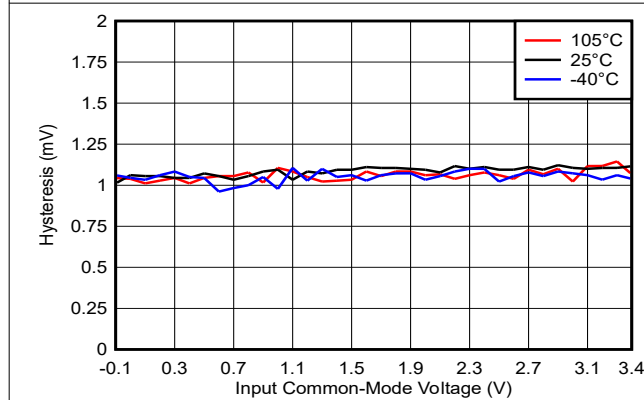


図 5-11. $R_{HYS} = 4000$ 、3.3V でのヒステリシスと VCM との関係

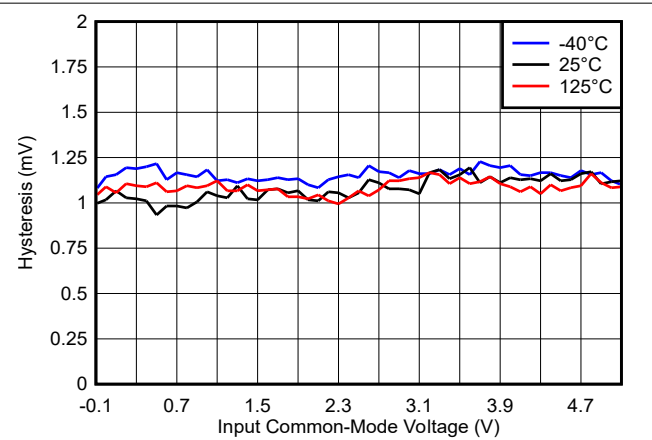


図 5-12. $R_{HYS} = 4000$ 、5V でのヒステリシスと VCM との関係

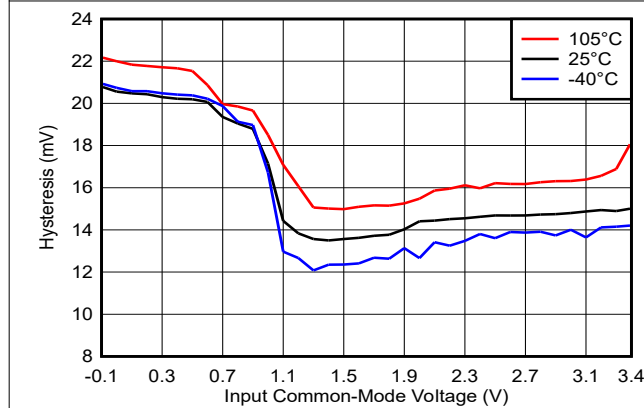


図 5-13. $R_{HYS} = 800$ 、3.3V でのヒステリシスと VCM との関係

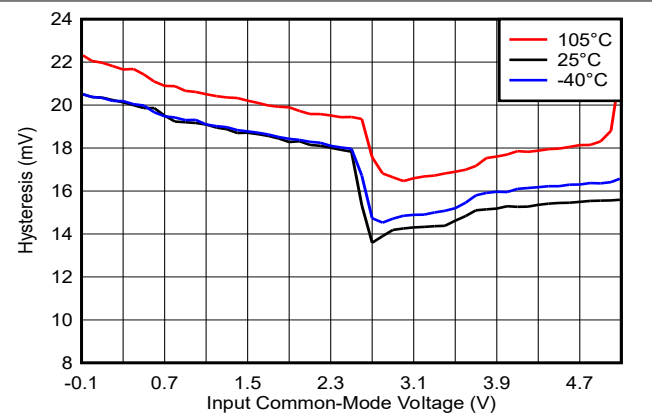


図 5-14. $R_{HYS} = 800$ 、5V でのヒステリシスと VCM との関係

5.9 代表的特性 (続き)

特に記載のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 3.3\text{V} \sim 5\text{V}$ 、 $V_{EE} = \text{GND} = 0$ 、 $V_{CM} = 0.5 \times V_{CCI}$ 、 $R_{HYS} = 4000\Omega$ 、入力オーバードライブ/アンダードライブ = 50mV で測定。

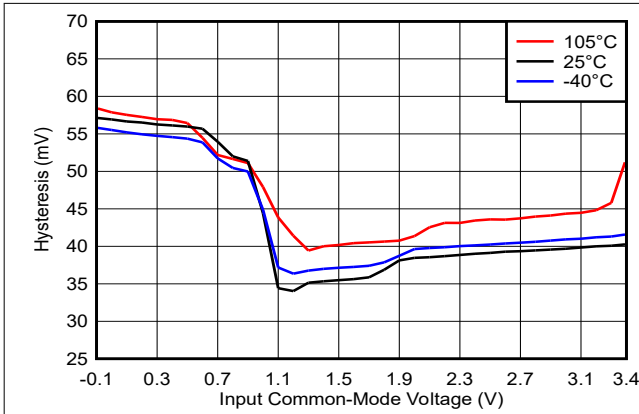


図 5-15. $R_{HYS} = 0$ 、3.3V でのヒステリシスと VCM との関係

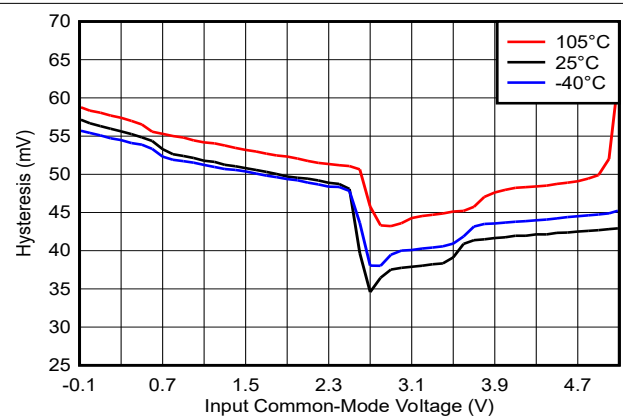


図 5-16. $R_{HYS} = 0$ 、5V でのヒステリシスと VCM との関係

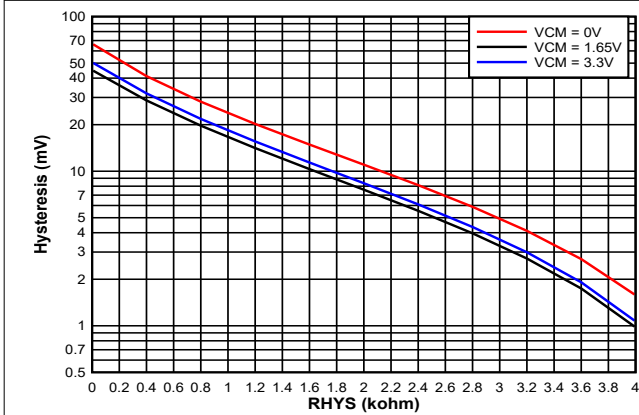


図 5-17. 3.3V におけるヒステリシスと R_{HYS} の関係

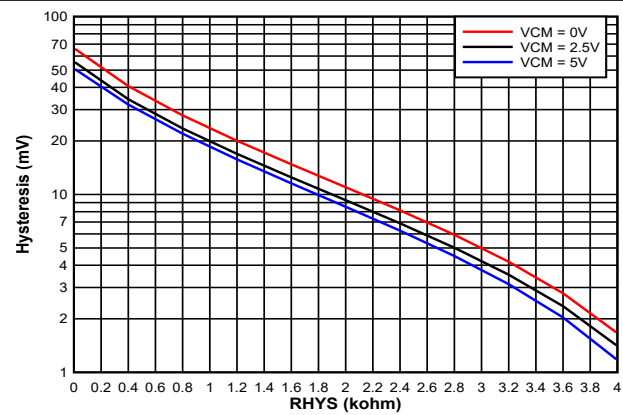


図 5-18. 5V におけるヒステリシスと R_{HYS} の関係

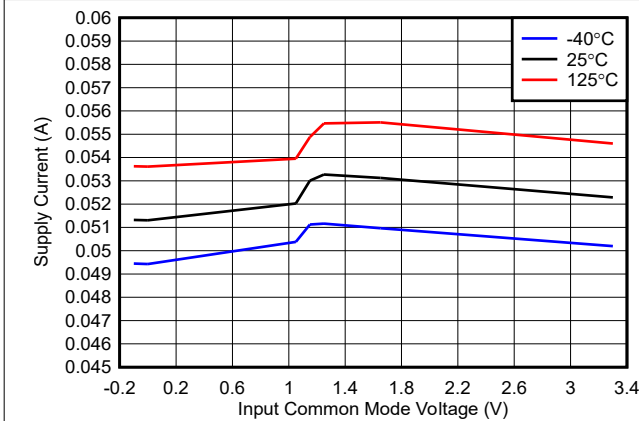


図 5-19. 3.3V における電源電流と同相モードとの関係、出力 High

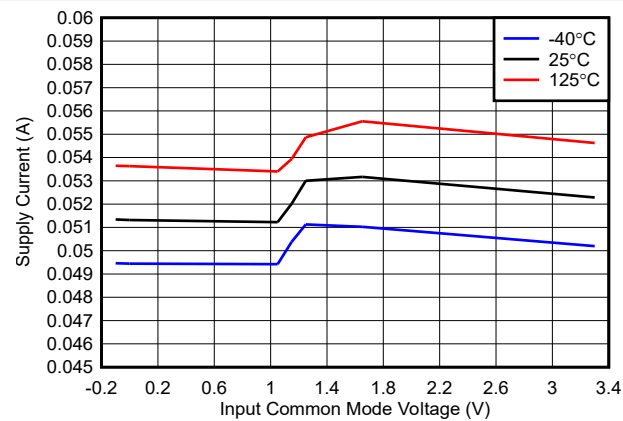


図 5-20. 3.3V における電源電流と同相モードとの関係、出力 Low

5.9 代表的特性 (続き)

特に記載のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 3.3\text{V} \sim 5\text{V}$ 、 $V_{EE} = \text{GND} = 0$ 、 $V_{CM} = 0.5 \times V_{CCI}$ 、 $R_{HYS} = 4000\Omega$ 、入力オーバードライブライブ/アンダードライブ = 50mV で測定。

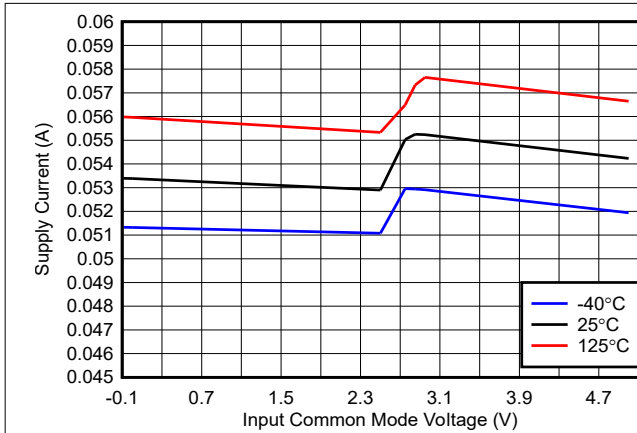


図 5-21. 5V における電源電流と同相モードとの関係、出力 High

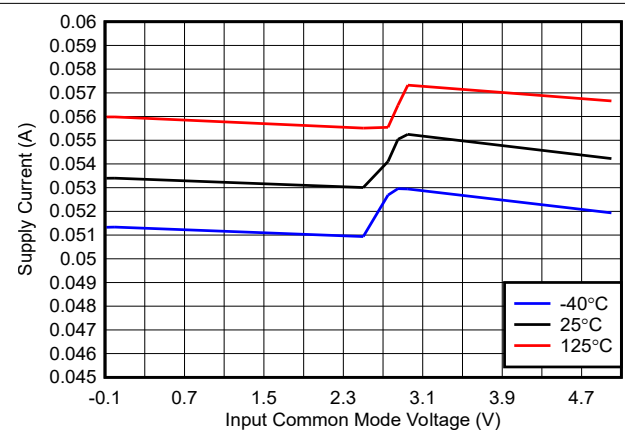


図 5-22. 5V における電源電流と同相モードとの関係、出力 Low

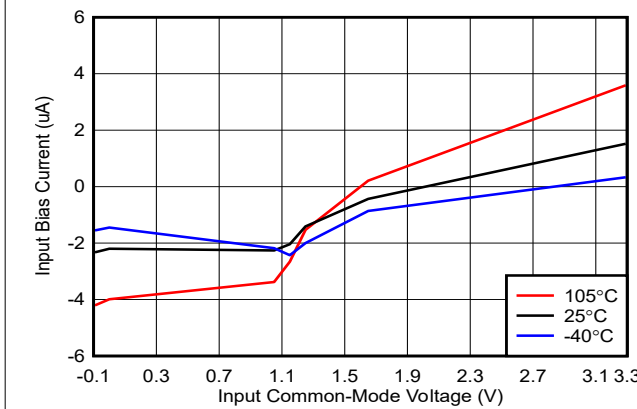


図 5-23. 3.3V におけるバイアス電流と同相モードとの関係

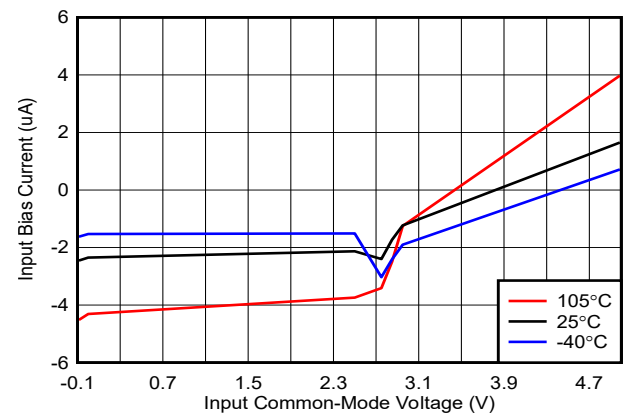


図 5-24. 5V におけるバイアス電流と同相モードとの関係

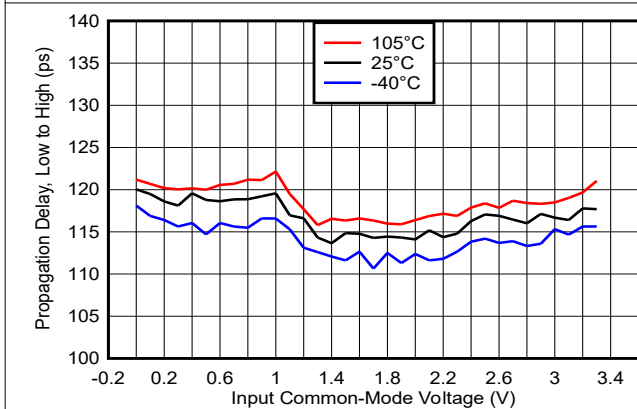


図 5-25. 3.3V における伝搬遅延と同相モードとの関係

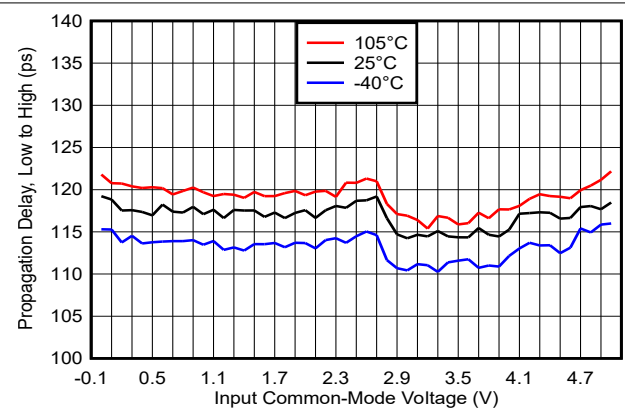


図 5-26. 5V における伝搬遅延と同相モードとの関係

5.9 代表的特性 (続き)

特に記載のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CCI} = V_{CCO} = 3.3\text{V} \sim 5\text{V}$ 、 $V_{EE} = \text{GND} = 0$ 、 $V_{CM} = 0.5 \times V_{CCI}$ 、 $R_{HYS} = 4000\Omega$ 、入力オーバードライブ/アンダードライブ = 50mV で測定。

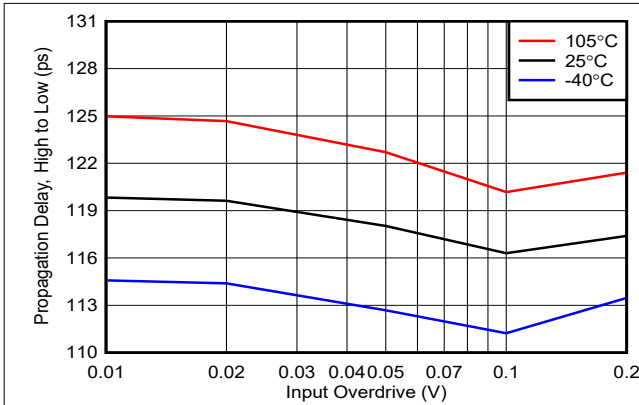


図 5-27. 3.3V における伝搬遅延 (High から Low) とオーバードライブとの関係

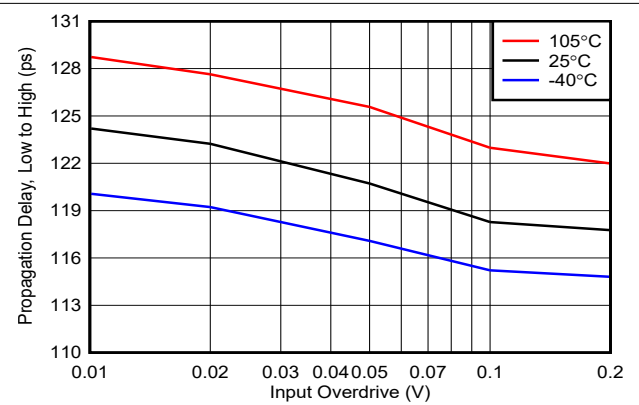


図 5-28. 3.3V における伝搬遅延 (Low から High) とオーバードライブとの関係

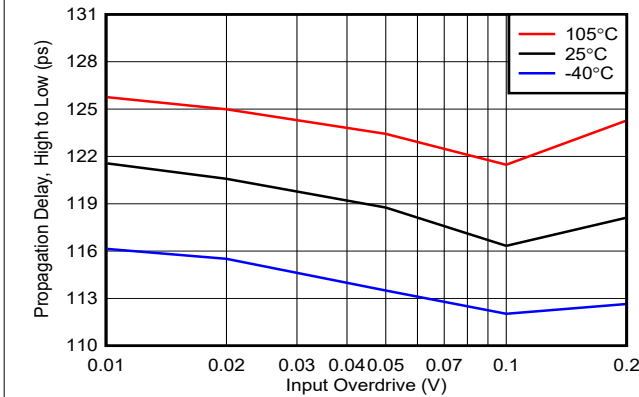


図 5-29. 5V における伝搬遅延 (High から Low) とオーバードライブとの関係

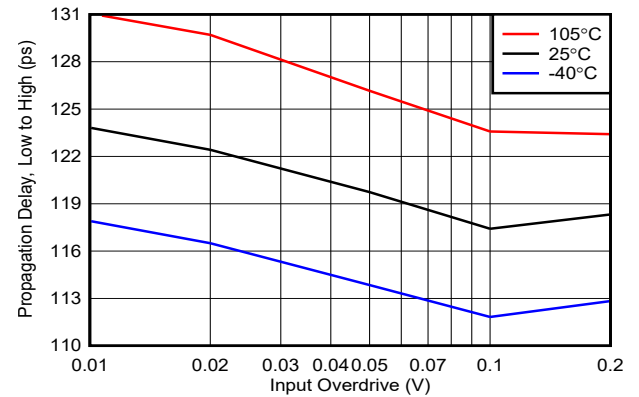


図 5-30. 5V における伝搬遅延 (Low から High) とオーバードライブとの関係

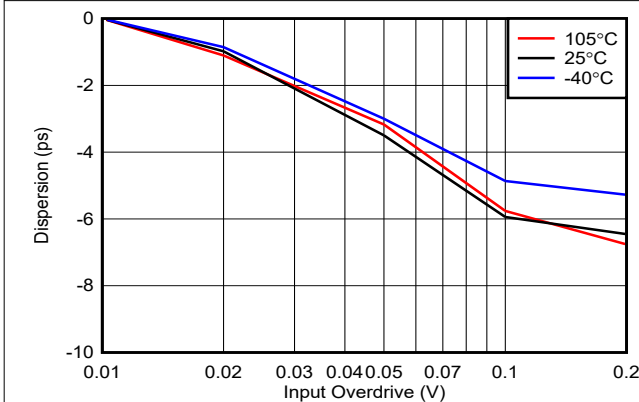


図 5-31. 3.3V における分散とオーバードライブとの関係、

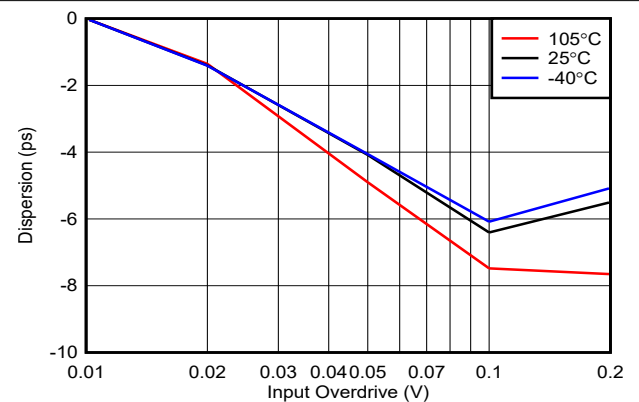


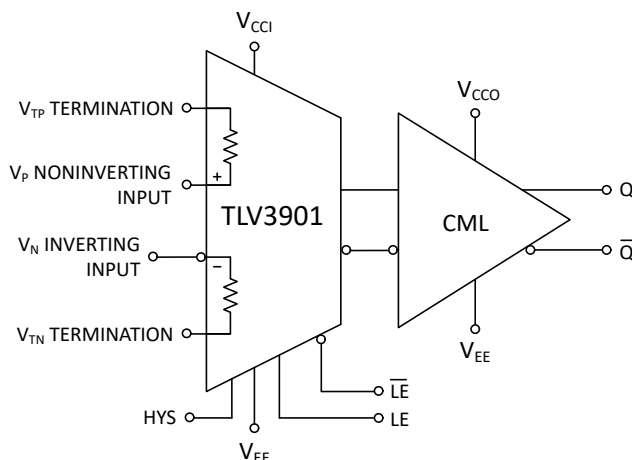
図 5-32. 5V における分散とオーバードライブとの関係、

6 詳細説明

6.1 概要

TLV3901 は CML 出力を備えた高速コンパレータです。このコンパレータは応答時間が短いため、狭いパルス幅の検出や高いトグル周波数が必要なアプリケーションに最適です。TLV3901 は、16 ピン WQFN パッケージで供給されます。

6.2 機能ブロック図



6.3 機能説明

TLV3901 コンパレータは、代表値 125ps の伝搬遅延と CML 出力を備えています。最小パルス幅検出能力は 60ps で、標準トグル周波数は 10GHz (20Gbps) です。TLV3901 には、入力ブロックと出力ブロック用に 2 つの独立した電源レールがあります。これにより、入力は単電源構成または分割電源構成 (VCCI および VEE) のいずれかを基準にでき、出力は VCCO および VEE を基準にします。

6.4 デバイスの機能モード

TLV3901 は、単一電源、または分割 (バイポーラ) 電源で動作させることができ、コンパレータの機能を変える 2 つの機能を備えています。1 つ目はラッチ機能で、もう 1 つは調整可能なヒステリシスです。

6.4.1 入力

TLV3901 は差動入力段を備えており、VEE より 0.1V 低い電圧から VCCI より 0.1V 高い電圧まで動作可能です。このため、コンパレータは入力段で完全なレール ツー レール動作が可能になっています。図 6-1 に示すように、入力には、VP と VN 間に背中合わせに接続された 2 組のダイオードと、2 つの 25Ω 抵抗を含む保護回路が組み込まれています。入力の差動電圧を 1.5V 未満に制限することで、入力の差動ペアが損傷するのを防ぎます。

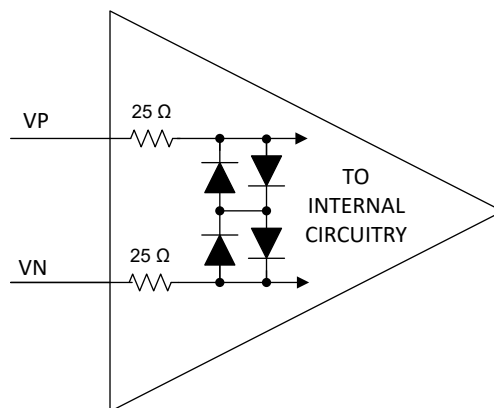


図 6-1. 入力保護回路

TLV3901 のようなバイポーラ技術を採用したコンパレータは、CMOS コンパレータよりもバイアス電流が大きく、ピコアンペア (pA) レベルではなく、しばしば数マイクロアンペア (μA) 程度になります。電気的特性表では、IBIAS は温度範囲全体にわたって電源電圧の midpoint で、差動入力信号が 0V 付近 ($V_P = V_N$) のときに規定されています。IBIAS は入同相力モード電圧によっても変化するため、代表特性グラフに IBIAS と入力共通モード電圧の関係データが示されています。 V_N ピンと V_P ピンの電位差が大きい状態で動作すると、IBIAS は主に $V_P \gg V_N$ の場合には V_P ピン側に、 $V_N \gg V_P$ の場合には V_N ピン側に偏ります。これは、入力差動ペアの一方が完全にオンになり、もう一方が完全にオフになることで、入力差動ペアにバイアスを供給するテール電流が不均等に分配されるために生じます。

入力保護回路に加えて、TLV3901 はオプションの 50Ω 終端抵抗を内蔵しています (以下の図を参照)。VP および VN が 50Ω の信号源で駆動される場合は、終端抵抗リターンピン (VTP および VTN) をシステム グラウンド、または上流デバイスの共通モード電圧に接続します。ただし、 50Ω の信号源で駆動されない場合は、終端抵抗は不要であり、VTP および VTN ピンは未接続 (フローティング) のままにします。同様に、TLV3901 を CML リピータとして使用する場合は、VTP および VTN を上流デバイスの VCCO に接続します (ただし、VCCO は TLV3901 の VCCI より低い必要があります)。

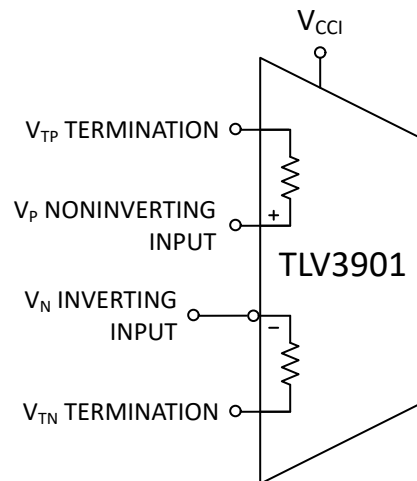


図 6-2. 入力の終端抵抗

6.4.2 CML 出力

TLV3901 の出力は CML に準拠しています。各コンパレータ出力は出力電源電圧 (VCCO) に対して 50Ω の抵抗で終端され、VCCO を基準に 375mV の振幅が生成されます。CML 出力の完全差動特性により、シングルエンド出力規格に比べて、高速なデジタルトグルが可能になり、EMI が低減されます。

6.4.3 ラッチ機能

TLV3901 には、CML 出力を固定状態に保持するためのラッチ機能が内蔵されています。CML 入力ピン ラッチ イネーブル (LE) とラッチ イネーブル バー (LEB) はラッチ機能を制御し、これらのラッチは VCCO に対して 50Ω で内部終端されています。LE が high (VCCO) で LEB が low (VCCO-1) のとき、コンパレータ出力がラッチされます。

ラッチ機能についての重要な考慮事項は、ラッチのホールド時間です。ラッチ ホールド時間は、コンパレータ出力を適切にラッチするためにラッチモードがアサートされた後の最小時間です。同様に、ラッチのセットアップ時間は、ラッチモードがアサートされる前に入力安定している必要がある時間として定義されます。次の図は、LE と LEB が有効なラッチを獲得できるときに遷移できる状態を示しています。

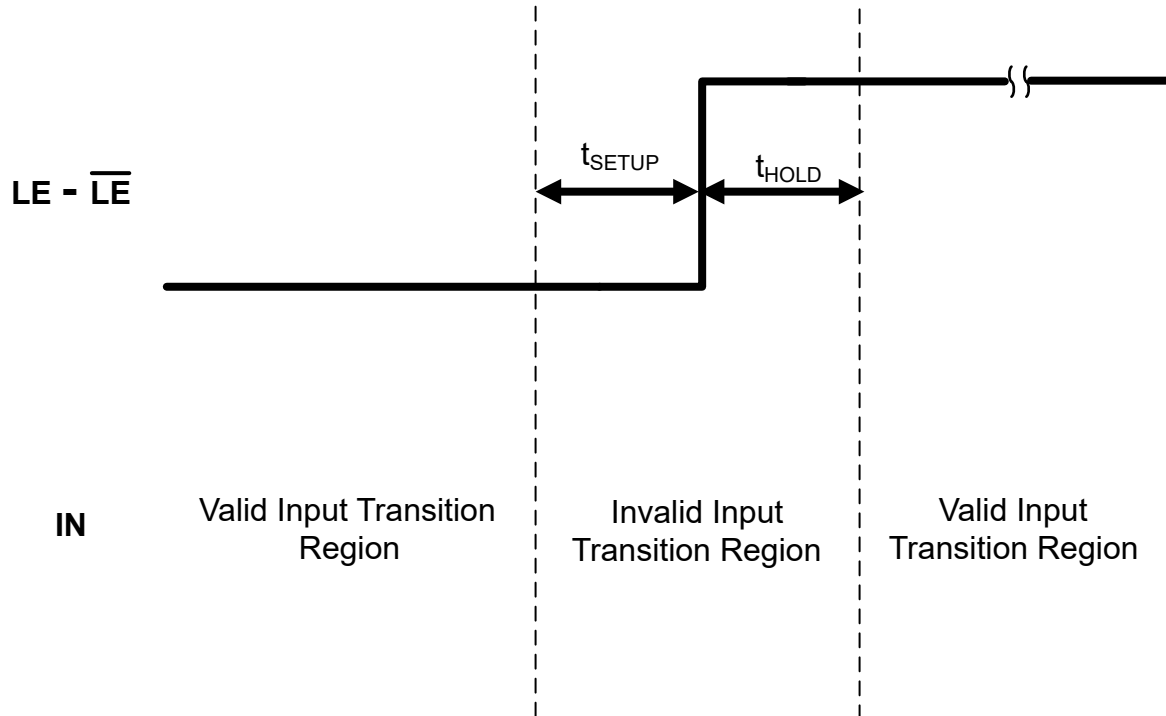


図 6-3. 有効なラッチ図

TLV3901 がラッチされた出力状態を終了するときの、出力応答の短い遅延 (t_{PL}) を以下に示します。

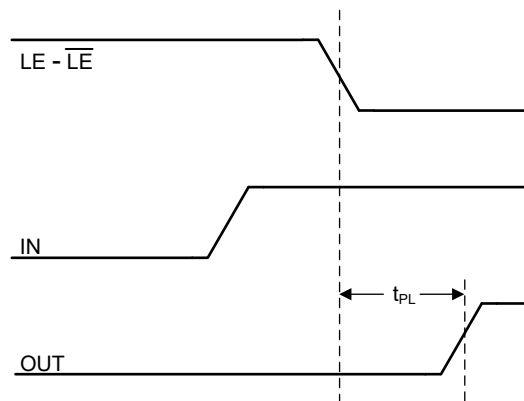


図 6-4. 入力変更によるラッチ ディスエーブル

ラッチ モードは、 LE を V_{CCO} より 200mV 以上低い電圧に接続することでディスエーブルになり、 LEB は未接続 (フローティング) のままにします。 LE または LEB の許容範囲は V_{CCO} から $V_{CCO} - 1V$ の間であり、最小差電圧は 200mV です。

6.4.4 調整可能なヒステリシス

コンパレータはオープンループ利得が非常に高いため、入力の差動電圧がごく小さい範囲にあると、出力が「ロジック High」と「ロジック Low」の状態の間で切り替わることがあります。このため、立ち上がり時間や立ち下がり時間が遅い入力や、ノイズが多いシステムでは、設計上の課題が生じる可能性があります。このような問題は、コンパレータにヒステリシスを追加することで解決できます。

TLV3901 にはヒステリシス制御ピン (HYS) が備えられており、このピンを使用してコンパレータの内部ヒステリシスを増加させることができます。TLV3901 の内部ヒステリシスを変更するには、 HYS ピンと VEE の間に図 6-5 に示すように単一の

抵抗を接続します。VCCI が 3.3V および 5V のときの、ヒステリシスと抵抗値の関係を示す曲線が用意されており、希望するヒステリシス量を設定する際の参考になります。システムでヒステリシスを微調整する必要がある場合、またはアプリケーション中に変動する必要がある場合は、D/A コンバータで HYS ピンを直接駆動します。

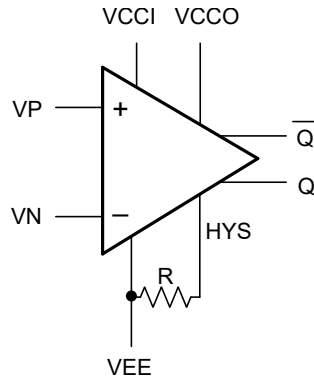


図 6-5. 外付け抵抗 (R) によるヒステリシスの調整

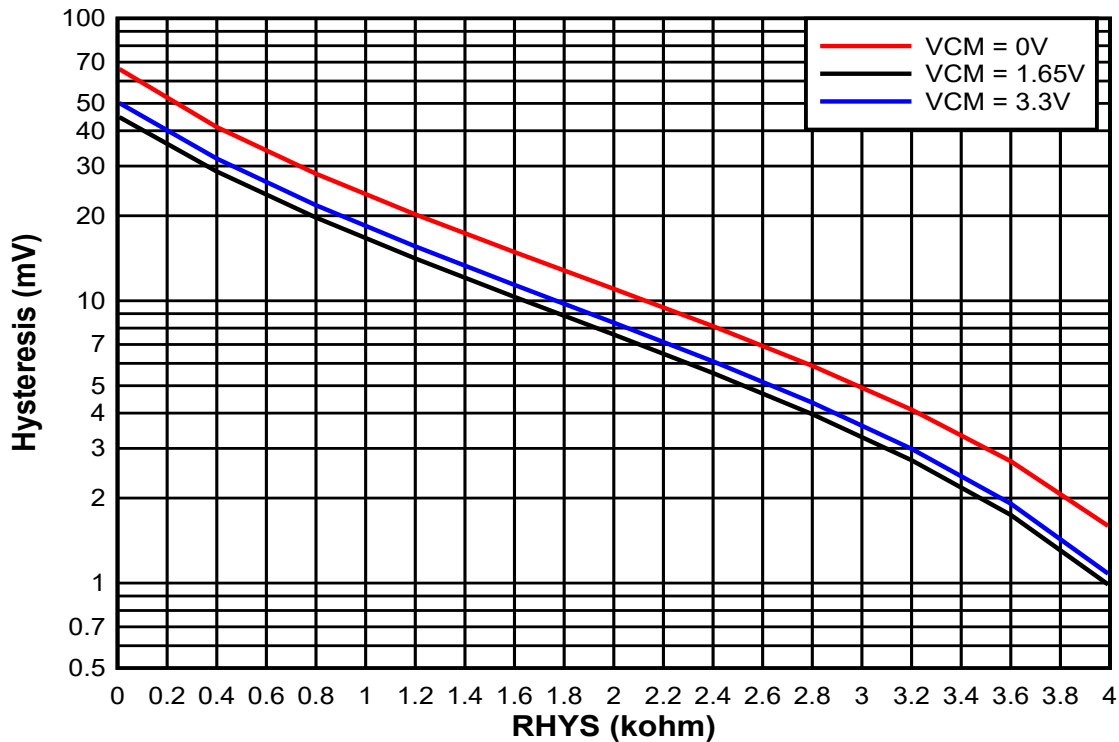


図 6-6. VCC = 3.3V でのヒステリシスと RHYS との関係

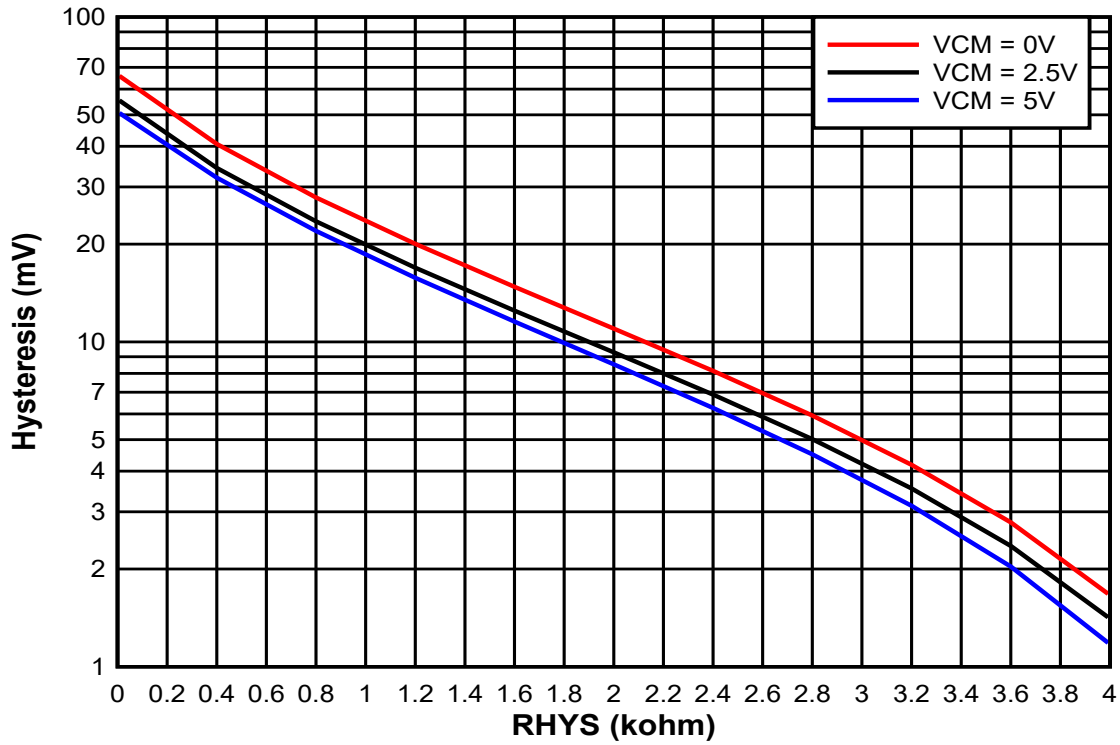


図 6-7. VCC = 5V でのヒステリシスと RHYS との関係

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 アプリケーションの概要

TLV3901 コンパレータは、レール ツー レール入力、入力電源と出力電源の独立ピン、ラッチ機能、外部ヒステリシス制御、高速アプリケーション向けの CML 出力段を備えています。コンパレータの 125ps の伝搬遅延により、光受信 (近接センサや LIDAR)、試験と計測システムのトリガ、高速信号を一定距離伝送するトランシーバなどの用途で性能が向上し、適用範囲が拡大します。

7.2 代表的なアプリケーション

7.2.1 光レシーバ

TLV3901 を OPA858 などの高速アンプと組み合わせると、[図 7-1](#) に示すような光レシーバを生成します。フォトダイオードは光導電モードで動作し、光が当たるとフォトダイオードに逆方向の電流が流れます。オペアンプの非反転入力にはバイアス電圧が印加され、負の電源側での飽和を防ぐとともに、フォトダイオードに対する負のバイアスとして機能し、寄生容量を効果的に低減します。OPA858 は、ダイオードに流れる電流を電圧に変換し、高速コンパレータを検出します。TLV3901 は、 V_{REF} で設定されたスレッシュホールドに応じて、適切な CML 信号を出力します。

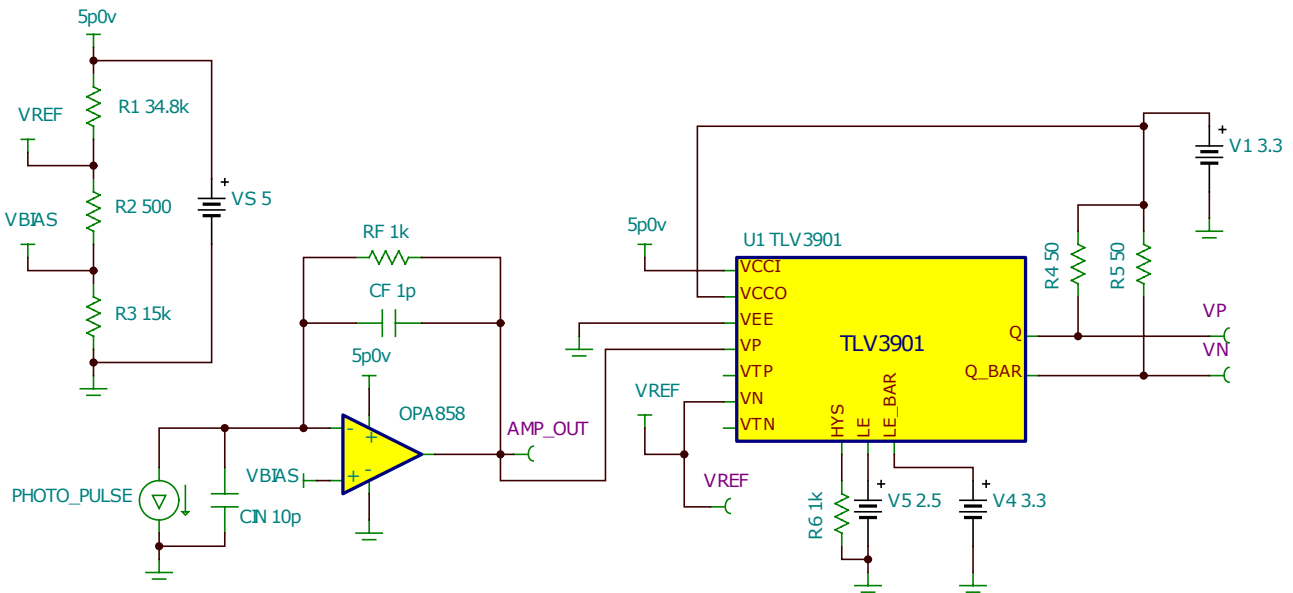


図 7-1. 光レシーバ

7.2.1.1 設計要件

表 7-1. 設計パラメータ

パラメータ	値
V_{CC}	+5V
V_{EE}	0V
$V_{OUT, SWING}$	100mV
I_{DIODE}	100 μ A
f_p	159MHz

7.2.1.2 詳細な設計手順

V_{BIAS} を OPA858 の推奨同相電圧範囲内に設定します。これは、オペアンプが非反転入力に印加された電圧で安定化しようとするための、オペアンプの最小出力電圧 ($V_{OUT, MIN}$) でもあります。

オペアンプ $V_{OUT, MAX}$ の最大出力電圧は、式 1 に示すように、目標の出力電圧スイング $V_{OUT, SWING}$ 、 $V_{OUT, MIN}$ から計算できます

$$V_{OUT, MAX} = V_{OUT, SWING} + V_{OUT, MIN} \quad (1)$$

ゲイン抵抗 R_F は、式 2 に示すように、目的の $V_{OUT, MAX}$ および $V_{OUT, MIN}$ およびダイオードを流れる最大電流 I_{DIODE} によって決定されます。

$$R_F = (V_{OUT, MAX} - V_{OUT, MIN}) / I_{DIODE} \quad (2)$$

帰還コンデンサは、ゲイン抵抗と組み合わせて、アンプの周波数応答に極を形成します。帰還コンデンサは、式 3 に示すように、ゲイン抵抗と目的の極周波数 f_p で決定できます。

$$C_F = 1 / (2 \times \pi \times R_F \times f_p) \quad (3)$$

V_{REF} を、 $V_{OUT, MAX}$ と $V_{OUT, MIN}$ の間のスイッチング スレッショルド電圧に設定します。

V_{BIAS} および V_{REF} の値を選択します。 $V_{OUT, MAX}$ 、 I_{DIODE} 、 f_p に与えられた値を代入します。この例では、 $V_{BIAS} = 1.5V$ 、 $V_{REF} = 1.55V$ 、 R_F 、 C_F はそれぞれ 1k Ω および 1pF として解かれます。

詳細については、トランスインピーダンス アンプの [Spice 安定性解析](#) および [オペアンプの安定性](#) の安定性解析について、オペアンプのチュートリアルを参照してください。詳細な手順については、[トランスインピーダンス アンプ回路アプリケーション ノート](#) を参照してください。

7.2.1.3 アプリケーション特性の波形

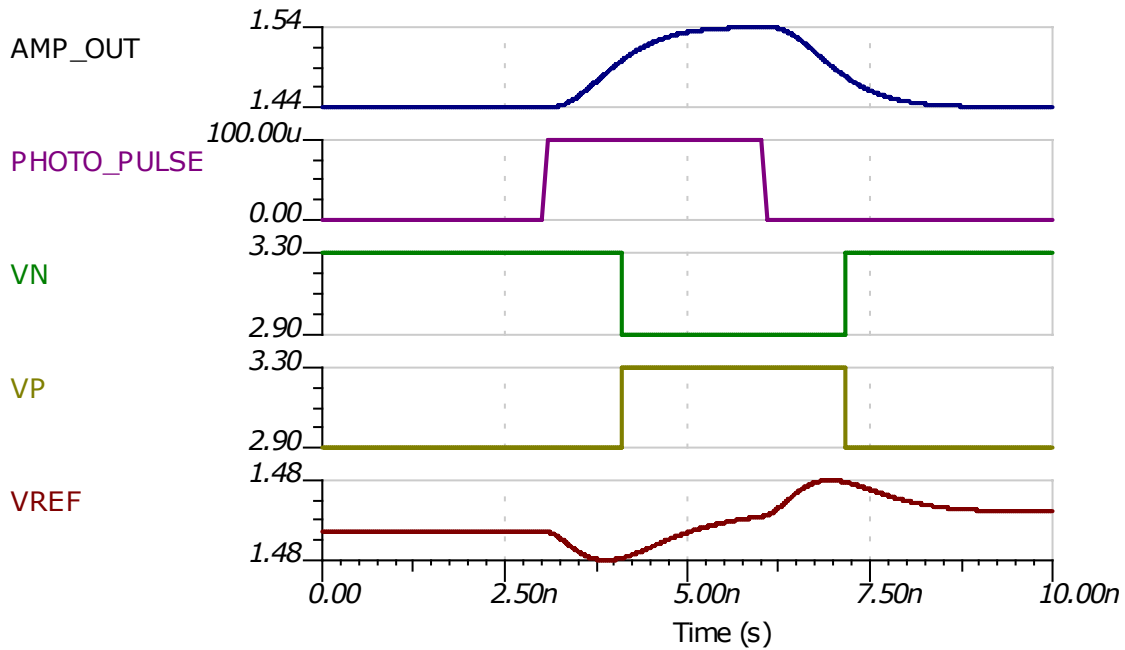


図 7-2. 光レシーバ出力波形

7.2.2 オシロスコープの外部トリガ機能

図 7-3 は、発振スコープで外部トリガを生成するための標準的な構成です。ユーザがトリガ レベルを調整すると、DAC がそのトリガ レベルを電圧に変換し、TLV3901 が基準電圧として使用できるようにします。オシロスコープのチャンネルからの入力電圧がトリガ基準電圧と比較され、その結果、TLV3901 が下流の FPGA に CML 信号を送ってキャプチャを開始します。オシロスコープのような試験および計測システムではバイポーラ入力が一般的なため、TLV3901 は分割電源構成に設定して、入力信号が許容入力電圧範囲内に収まるようにできます。出力が CML であるため、50Ω のプルアップ抵抗が使用されます。プルアップ電圧は V_{CCI} 以下にする必要があることに注意してください。

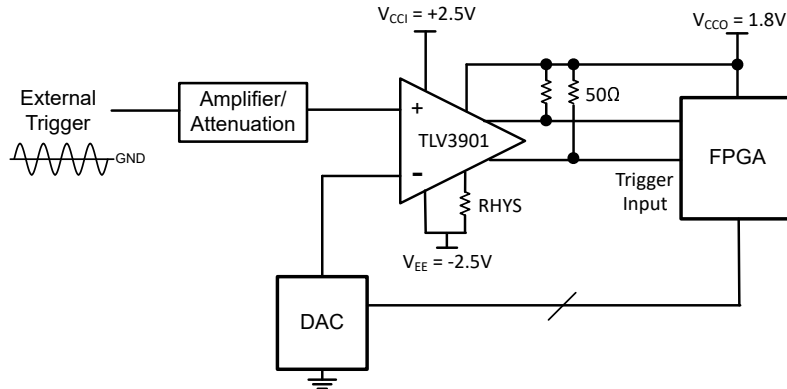


図 7-3. 外部トリガ機能

7.2.3 ロジック クロック ソースから CML トランシーバへ

図 7-4 にロジック クロック ソースを終端し、CAT6 ケーブル経由で TLV3901 で駆動して、レシーバ側で等価 CML クロック信号を受信する例を示します。入力にアナログ差動アンプを備えたコンパレータを使用することで、従来の CML バッファよりも減衰 (歪んだ) 信号に対する感度を高めることができます。

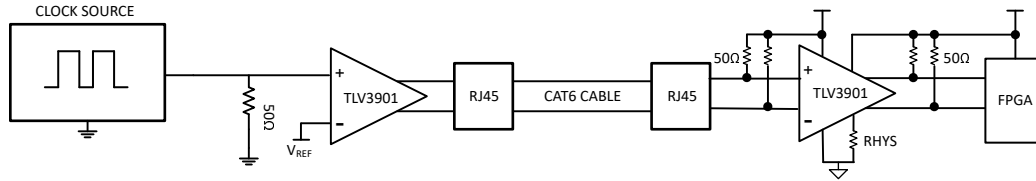


図 7-4. CML クロック トランシーバ

7.3 電源に関する推奨事項

TLV3901 には、2 つの独立した電源レールがあります: 入力段には $V_{CCI} - V_{EE}$ 、出力段には $V_{CCO} - V_{EE}$ の電源レールが使用されます。これにより、入力段で単一電源と分割電源の両方で動作が可能です。分割電源動作により、正と負の両方の電圧をレール ツー レール入力段に印加できます。同様に、 V_{CCO} 専用ピンを備えることで、 V_{CCO} と受信側の電源電圧を同じにすることができ、CML 出力段を下流のレシーバと互換性のあるものにします。データシートの仕様を満たすため、CML 出力 50Ω プルアップ抵抗は V_{CCO} に接続されていることに注意してください。

単一電源動作でも分割電源動作でも、適切なデカップリング コンデンサが必要です。最適な性能を得るために、電源ピンからグラウンド プレーンまで、複数の低 ESR セラミック コンデンサ方式を使用します。適切な組み合わせとしては、 100pF 、 10nF 、 $1\mu\text{F}$ を、コンパレータの近くに最小値のコンデンサを配置することです。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

コンパレータは入力ノイズに非常に敏感です。最高の性能を得るには、以下のレイアウトのガイドラインに従います。

1. 良好で途切れていない低インダクタンスのグランド プレーンを持つプリント基板 (PCB) を使用します。適切にグランド 接続 (グランドプレーンを使用) すると、規定されたデバイス性能の維持に役立ちます。
2. 単一電源および分割電源の電源ノイズを最小限に抑えるため、デカップリング コンデンサ アレイを V_{CC} のできるだけ近くに配置します。
3. 入力および出力では、コンパレータ周辺で不要なフィードバックが生じないよう、リード線をできるだけ短く保ち (入力パターンを出力から離します)、また入力および出力周囲のグランド パターンを除去して寄生容量を最小限に抑えます。
4. ソケットを使用せず、デバイスを直接 PCB に半田付けします。
5. 各出力には、 V_{CCO} に対する 50Ω の終端が必要です。
6. Rogers などの高性能な基板材料を使用します。

7.4.2 レイアウト例

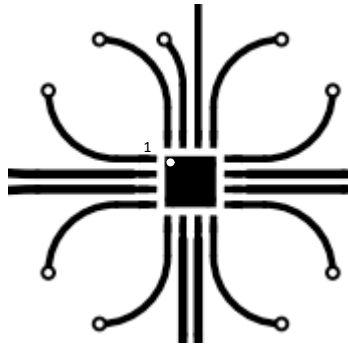


図 7-5. TLV3901EVM のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 関連資料

テキサス インストルメンツ、[LIDAR パルス走行時間リファレンス デザイン](#)

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インストルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (October 2025) to Revision A (December 2025)	Page
• TLV3811 のプレビューを RTM に変更.....	1
• デバイスのステータスを「事前情報」から「量産」に変更.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3901RTER	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL3901

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3901RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3901RTER	WQFN	RTE	16	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

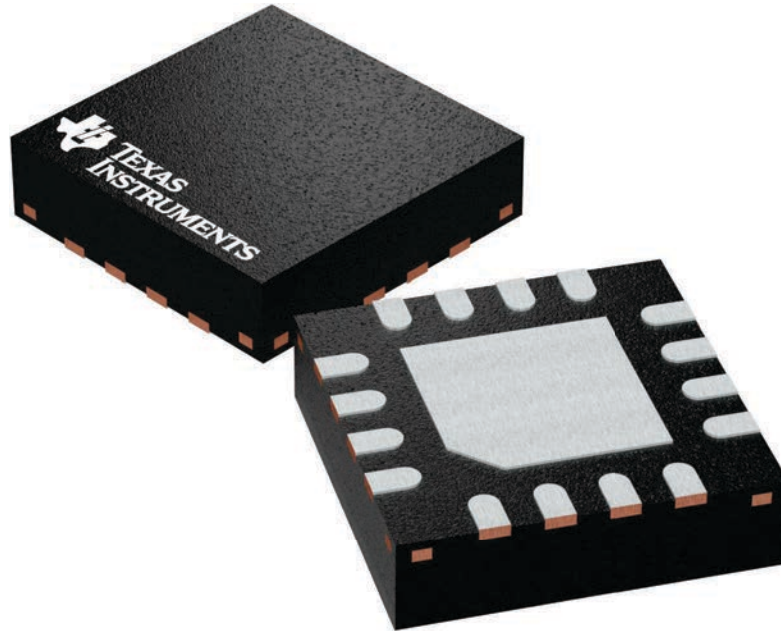
RTE 16

WQFN - 0.8 mm max height

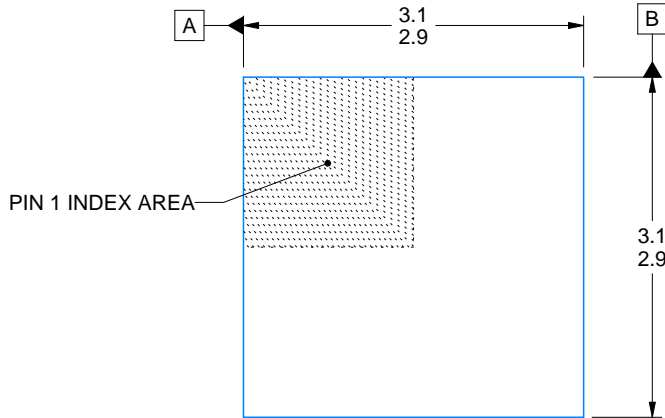
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

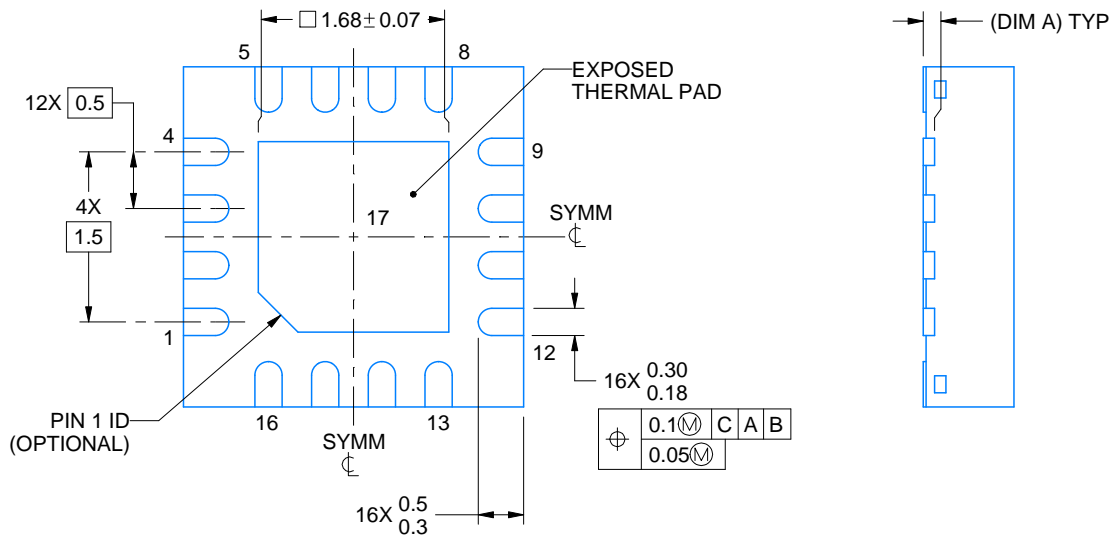
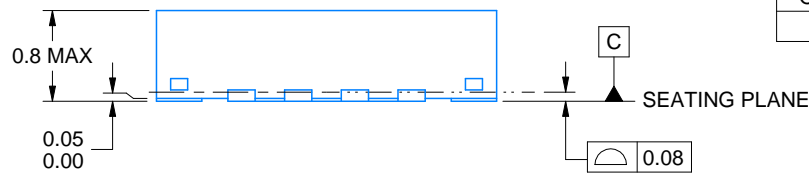
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4219117/B 04/2022

NOTES:

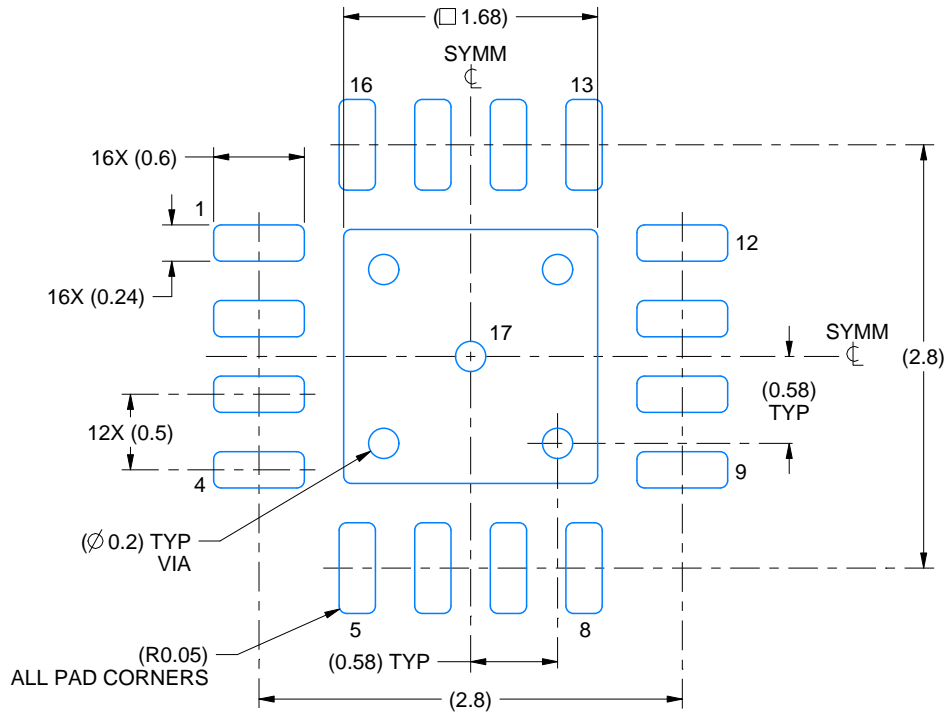
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

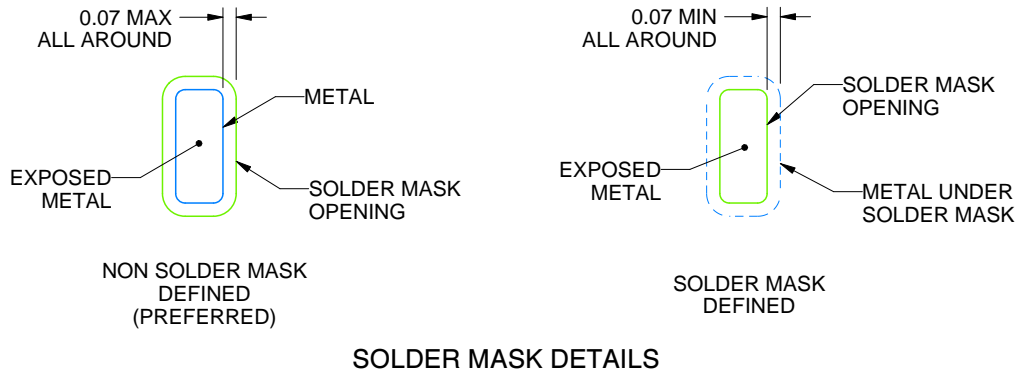
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

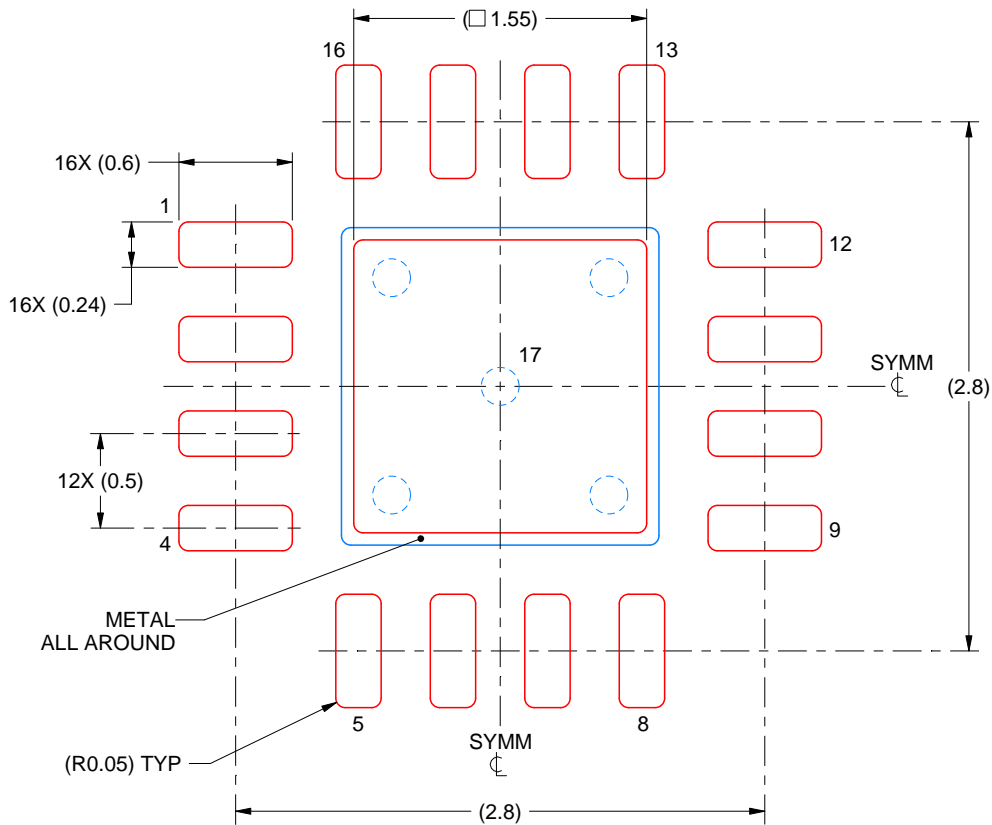
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月