

TLV61290 広電圧対応 バッテリ フロントエンド DC/DC コンバータ シングルセル Li-Ion、Ni-Rich、シリコンアノード用途向け

1 特長

- 2.0V～5.0V の広い V_{IN} 範囲
 - 入力電圧開始: 2.2V
- I^2C 経由で設定可能な平均入力電流制限 (3.5A～8A)
- I^2C を介して設定可能な出力電圧 (2.35V～5.0V)、デフォルトは 3.4V
- $V_{IN} = 3.3V$ 、 $V_{OUT} = 3.4V$ 、 $I_{OUT} = 1A$ で 97.99% の効率
- $V_{IN} = 3.3V$ 、 $V_{OUT} = 3.4V$ 、 $I_{OUT} = 3A$ で 95.73% の効率
- $V_{IN} = 2.7V$ 、 $V_{OUT} = 3.4V$ 、 $I_{OUT} = 0A \rightarrow 3A$ の場合、<300mV のアンダーシュート (0.2A/ μ s のスルーレート)
- 内蔵バイパス MOSFET (10mΩ)、ハイサイド MOSFET (10mΩ)、ローサイド MOSFET (10mΩ)
- $V_{IN} > V_{OUT}$ 時の自動バイパスモード
- 軽負荷時に設定可能なオート PFM 動作、強制 PWM 動作、または超音波モード動作 (可聴帯域ノイズ回避)
- スペクトラム拡散変調と EMI の改善
- EN が Low のときの出力放電機能
- シャットダウン時に入力と出力を完全に切り離し
- サーマル シャットダウンおよび過電流保護
- I^2C 互換 I/F: 最高 1Mbps
- 1.2V I/O ロジック制御インターフェイス
- 16 ポール WLCSP パッケージ

2 アプリケーション

- 携帯電話 / スマートフォン
- タブレット
- 光学モジュール
- 4G、5G のミニ モジュール データカード
- 衛星通信
- RF パワー アンプ

3 説明

TLV61290 は、ニッケルリッチ、シリコンアノード、リチウムイオン、または LiFePO4 バッテリで駆動される製品向けの電源ソリューションを提供します。電圧範囲は、スマートフォンや POS 端末など、シングルセルの携帯アプリケーション用に最適化されています。

デバイスを大電力のプリレギュレータとして使用すると、バッテリ駆動時間が延長され、給電されるシステムの入力電流および電圧の制限を克服できます。広い入力電圧範囲: 2.0V～5.0V。 I^2C を使用して出力電圧を最大 5.0Vまでプログラミし、デフォルト出力電圧は 3.4V です。

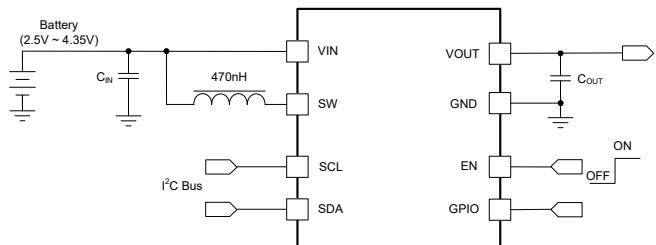
動作中、バッテリが良好な充電状態にある場合、TLV61290 はバイパスモードで動作し、バイパス FET を経由してバッテリを電源システムに接続します。バッテリの充電状態が低下し、バッテリの電圧が目的の最小システム電圧よりも低下した場合、本デバイスはシームレスに昇圧モードに移行してバッテリ容量を最大限に活用します。

TLV61290 は 16 個のボールを備える YBG パッケージで供給され、超小型ソリューションを実現します。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TLV61290x	YBG (16)	1.58mm × 1.58mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



アプリケーションの簡略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.4 デバイスの機能モード	17
2 アプリケーション	1	7.5 プログラミング	23
3 説明	1	7.6 レジスタマップ	27
4 デバイス比較表	3	8 アプリケーションと実装	36
5 ピン構成および機能	4	8.1 アプリケーション情報	36
6 仕様	5	8.2 代表的なアプリケーション	36
6.1 絶対最大定格	5	8.3 電源に関する推奨事項	42
6.2 ESD 定格	5	8.4 レイアウト	42
6.3 推奨動作条件	5	9 デバイスおよびドキュメントのサポート	44
6.4 熱に関する情報	5	9.1 デバイス サポート	44
6.5 電気的特性	6	9.2 ドキュメントの更新通知を受け取る方法	44
6.6 システム特性	8	9.3 サポート・リソース	44
6.7 I ² C インターフェイス タイミング特性	9	9.4 商標	44
6.8 代表的特性	10	9.5 静電気放電に関する注意事項	44
7 詳細説明	13	9.6 用語集	44
7.1 概要	13	10 改訂履歴	44
7.2 機能ブロック図	14	11 メカニカル、パッケージ、および注文情報	45
7.3 機能説明	15		

4 デバイス比較表

部品番号	デフォルトの GPIO 構成
TLV61290	GPIO = ADDR、I ² C アドレス選択ピン (ADDR が Low の場合は 75h、ADDR が High の場合は 76h、ADDR がフローティングの場合は 77h)。スタートアップ シーケンスが正常に完了すると、このアドレスはロックされます。
TLV612901 ⁽¹⁾	GPIO = VSEL、DC/DC 昇圧、またはバイパス スレッショルド選択ピン (VSEL が Low の場合は VOUTFLOORSET、VSEL が High の場合は VOUTROOFSET)

(1) 製品レビュー。詳細は テキサス・インスツルメンツまでお問い合わせください。

5 ピン構成および機能

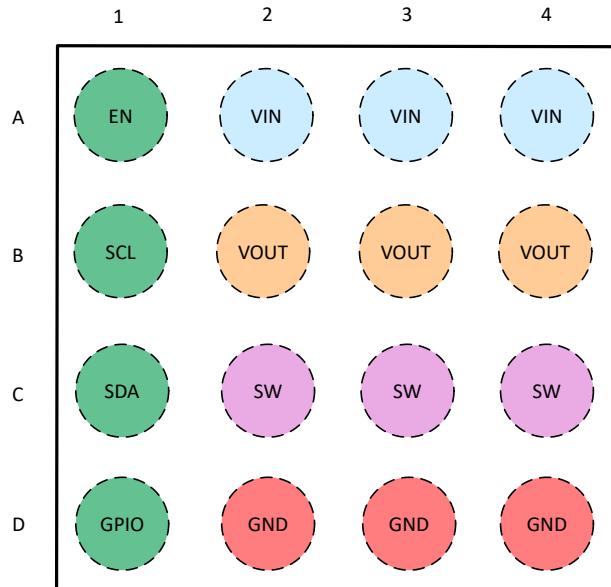


図 5-1. TLV61290 YBG パッケージ、16 ピン
(上面図)

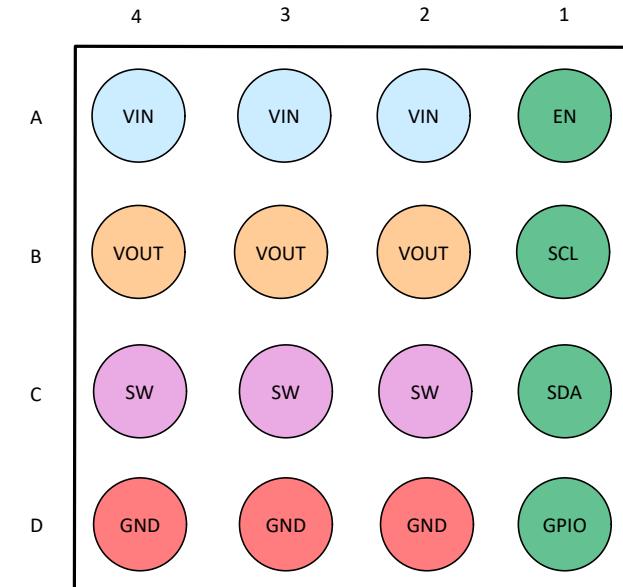


図 5-2. TLV61290 YBG パッケージ、16 ピン(底面図)

表 5-1. ピンの機能

ピン		I/O	説明
名称	番号		
EN	A1	I	イネーブル論理入力。High になると、デバイスがイネーブルになります。Low になると、デバイスがディスエーブルになり、シャットダウン モードに入ります。I ² C を介して ENABLE ビットを 11 に設定した際のロジック High 電圧は、デバイスを無効化しシャットダウン モードにします。
SCL	B1	I	シリアルインターフェース クロック ライン。このピンは終端して、フローティングのままでください。
SDA	C1	I	シリアルインターフェイス アドレス/データ ライン。このピンは終端して、フローティングのままでください。
GPIO	D1	I/O	ピンを ADDR または VSEL 機能として構成します。TLV61290 の場合、デフォルト構成は ADDR 機能です。TLV612901 の場合、デフォルト構成は VSEL 機能です。 ADDR: I ² C ターゲット アドレスの選択。I ² C ターゲット アドレスは、ADDR が Low のとき 75h、ADDR が High のとき I ² C ターゲット アドレスは 76h、ADDR がフローティングのとき I ² C ターゲットアドレスは 77h です。スタートアップ シーケンスが正常に完了すると、このアドレスはロックされます。 VSEL: DC/DC 昇圧またはバイパス スレッショルドの選択ピン。(セクション 7.3.1 を参照)
VIN	A2, A3, A4	PWR	電源入力。
VOUT	B2, B3, B4	PWR	昇圧コンバータ出力。
SW	C2, C3, C4	PWR	コンバータのスイッチ ピン。このピンは、内部ローサイド パワー MOSFET のドレインと、内部ハイサイド パワー MOSFET のソースに接続されています。
GND	D2, D3, D4	PWR	IC のグラウンド ピン。出力コンデンサの GND パッドは、GND ピンの近くに配置する必要があります。レイアウト例を「レイアウト例」セクションに示します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
入力電圧	VIN, SW, EN, VOUT, SCL, SDA, GPIO ⁽²⁾	DC	-0.3	7	V
入力電圧	10 ns での SW スパイク ⁽²⁾	AC	-0.7	8	V
入力電圧	1 ns での SW スパイク ⁽²⁾	AC	-0.7	8.5	V
温度範囲	動作仮想接合部、T _J		-40	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、ネットワーク グランド端子を基準としたものです。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置を講じれば、HBM は 500V 未満の許容差で製造できます。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V _{IN}	入力電圧範囲	2.0	5	5	V
V _{OUT}	出力電圧設定範囲		2.35	5	V
L	実効インダクタンス範囲	330	470	560	nH
C _{in}	実効入力容量範囲			5	μF
C _O	実効出力容量範囲、I _{out} ≤ 4A	10 ⁽¹⁾	14		μF
	実効出力容量範囲、6A ≥ I _{out} > 4A ⁽²⁾	20 ⁽¹⁾			μF
T _J	動作時接合部温度	-40		125	°C

- (1) 最小値は、入力電圧が 2.7V 以上の典型的なデバイスにのみ適用され、コーナー ケースでのシミュレーションでは指定されていません。
- (2) 出力電流が 4A を超える場合、TI は出力容量を大きくすることを推奨します。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TLV61290	TLV61290	単位
		YBG (16 ピン)	YBG (16 ピン)	
		標準	EVM ⁽²⁾	
R _{θJA}	接合部から周囲への熱抵抗	78	40.5	°C/W
R _{θJC}	接合部からケースへの熱抵抗	0.6	該当なし	°C/W
R _{θJB}	接合部から基板への熱抵抗	13	該当なし	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.4	0.1	°C/W

6.4 热に関する情報(続き)

热評価基準 ⁽¹⁾		TLV61290	TLV61290	単位
		YBG (16 ピン)	YBG (16 ピン)	
		標準	EVM ⁽²⁾	
Ψ_{JB}	接合部から基板への特性パラメータ	13	16.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションレポートを参照してください。

(2) TLV61290VM-076、4層、2oz 銅 92.2mm x 59.2mm PCB で測定。

6.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$, $V_{IN} = 2.0\text{V} \sim 5.0\text{V}$, $V_{OUT} = 3.4\text{V}$ (または V_{IN} 、高い方), $EN = 1.2\text{V}$, $GPIO = 1.2\text{V}$, $V_{IN} = 3.2\text{V}$, $V_{OUT} = 3.4\text{V}$, $EN = 1.2\text{V}$, $T_J = 25^{\circ}\text{C}$ における標準値(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V_{IN}	入力電圧範囲		2	5		V
V_{UVLO}	低電圧誤動作防止のスレッショルド	立ち上がり		2.1	2.2	V
		立ち下がり		1.9	2	V
		ヒステリシス		0.2		V
I_Q	V_{IN} への動作静止電流	DC/DC 昇圧モード。デバイスはスイッチングしません $EN = V_{IN}$, $ENABLE_bit = 01$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		40	52	μA
	V_{OUT} ピンへの動作時静止電流	DC/DC 昇圧モード。デバイスはスイッチングしません $EN = V_{IN}$, $ENABLE_bit = 01$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		9	20	μA
	オートバイパス モードにおける動作静止電流	真のバイパス モード(自動) $EN = V_{IN}$, $ENABLE_bit = 01$, $V_{IN} = 3.6\text{V}$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		30	40	μA
	強制バイパス モードでの動作時の静止電流	真のバイパス モード(強制) $EN = V_{IN}$, $ENABLE_bit = 10$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		30	42	μA
I_{SD}	シャットダウン電流	シャットダウン モード $EN = GND$, $V_{OUT} = GND$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		0.8		μA
		シャットダウン モードですが、I ² C ブロックがアクティブです。 $EN = V_{IN}$, $ENABLE_bit = 11$ $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		16	31	μA
EN, SDA, SCL, GPIO						
V_{IL}	Low レベル入力電圧		0.33			V
V_{IH}	High レベル入力電圧			0.82		V
V_{OL}	Low レベル出力電圧 (SDA)	$I_{OL} = 8\text{mA}$		0.36		V
R_{PD}	EN プルダウン抵抗	印加電圧 < 0.4V		800		k Ω
I_{lkg}	入力リーケ電流	$-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		0.1		μA
出力						
V_{OUT}	出力電圧設定範囲		2.35	5		V
V_{OUT_PWM}	DC 電圧精度	$2.2\text{V} \leq V_{IN} \leq V_{OUT_TAR} - 150\text{mV}$ PWM/PFM 動作。	-1.5	1.5		%

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$, $V_{IN} = 2.0\text{V} \sim 5.0\text{V}$, $V_{OUT} = 3.4\text{V}$ (または V_{IN} 、高い方), $EN = 1.2\text{V}$, $\text{GPIO} = 1.2\text{V}$, $V_{IN} = 3.2\text{V}$, $V_{OUT} = 3.4\text{V}$, $EN = 1.2\text{V}$, $T_J = 25^\circ\text{C}$ における標準値(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OUT_BP_ENTER}$	バイパス モード スレッショルドを開始します	MODE_CTRL = 01 または 11、PFM または超音波モード	$V_{OUT_P_WM}^{*(1+1\%)}$		%	
$V_{OUT_BP_TER}$	バイパス モード スレッショルドを開始します	MODE_CTRL = 10、FPWM モード	$V_{OUT_P_WM}^{*(1+2\%)}$		%	
$V_{OUT_BP_EXIT}$	バイパス モード スレッショルドを終了します		$V_{OUT_P_WM-50mV}$		mV	
パワー スイッチ						
$r_{DS(on)}$	ローサイド スイッチ MOSFET のオン抵抗	$V_{OUT} = 4.5\text{V}$	8	16	$\text{m}\Omega$	
	ハイサイド 整流 MOSFET のオン抵抗	$V_{OUT} = 4.5\text{V}$	8	16	$\text{m}\Omega$	
	ローサイド スイッチ MOSFET のオン抵抗	$V_{OUT} = 3.4\text{V}$	10	20	$\text{m}\Omega$	
	ハイサイド 整流 MOSFET のオン抵抗	$V_{OUT} = 3.4\text{V}$	10	20	$\text{m}\Omega$	
	ハイサイド バイパス MOSFET のオン抵抗	$V_{OUT} = 2.35\text{V} \sim 5\text{V}$	10	20	$\text{m}\Omega$	
I_{LIM_SW}	平均インダクタ電流制限	ILIM_BOOST = 0110 (デフォルト)、 $2.7\text{V} \leq V_{IN} \leq 4.85\text{V}$	6	8	9	A
	$I^2\text{C}$ 経由で平均インダクタ電流制限を調整可能な範囲	$2.7\text{V} \leq V_{IN} \leq 4.85\text{V}$ での標準値	3.5	8		A
$I_{LIM_REVERSE}$	逆電流制限 (FPWM 動作)	MODE_CTRL = 10	-1		A	
I_{LIM_BP}	バイパスモードの電流制限 (強制)	ENABLE_bit = 10、ILIM_FPT = 011 (デフォルト)	10	A		
	バイパスモードの電流制限 (自動)	ENABLE_bit = 01、ILIM_APT = 011 (デフォルト)	10	A		
I_{LIM_DOWN2}	ダウン モードのインダクタバレー電流制限	$0.6\text{V} < V_{OUT} \leq V_{IN} - 2\text{V}$	1		A	
I_{LIM_DOWN3}	ダウン モードのインダクタバレー電流制限	$V_{IN} - 2\text{V} < V_{OUT} \leq V_{IN}$	50%		$I_{LIM_SW_VALLEY}$	
I_{lkq}	SW/GND への逆リーキ電流	EN = GND, $V_{IN} = V_{OUT} = V_{SW} = 5\text{V}$, $T_J = 25^\circ\text{C}$	0.1	1	μA	
		EN = GND, $V_{IN} = V_{OUT} = V_{SW} = 5\text{V}$, $-40^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$	0.1	40	μA	
	SW/VOUT への逆リーキ電流	EN = GND, $V_{IN} = V_{SW} = 5\text{V}$, $V_{OUT} = \text{GND}$, $T_J = 25^\circ\text{C}$	0.1	1	μA	
		EN = GND, $V_{IN} = V_{SW} = 5\text{V}$, $V_{OUT} = \text{GND}$, $-40^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$	0.1	40	μA	
	VIN/VOUT への逆リーキ電流	EN = GND, $V_{IN} = V_{SW} = 5\text{V}$, $V_{OUT} = \text{GND}$, $T_J = 25^\circ\text{C}$	0.1	1	μA	
		EN = GND, $V_{IN} = V_{SW} = 5\text{V}$, $V_{OUT} = \text{GND}$, $-40^\circ\text{C} \leq T_J \leq 85^\circ\text{C}$	0.1	40	μA	
発振器						
T_{ON_MIN}	最小オン時間	PWM モード	50	ns		
$F_{sw_min_fpwm}$	最小スイッチング周波数 (FPWM)	MODE_CTRL = 10、FPWM 動作	200	kHz		

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$, $V_{IN} = 2.0\text{V} \sim 5.0\text{V}$, $V_{OUT} = 3.4\text{V}$ (または V_{IN} 、高い方), $EN = 1.2\text{V}$, $\text{GPIO} = 1.2\text{V}$, $V_{IN} = 3.2\text{V}$, $V_{OUT} = 3.4\text{V}$, $EN = 1.2\text{V}$, $T_J = 25^\circ\text{C}$ における標準値(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$F_{sw_min_pfm}$	超音波モードでの最小スイッチング周波数	MODE_CTRL = 11、超音波動作	23			kHz
F_{DITHER}	スペクトラム拡散ディザーリング周波数	$V_{IN}=3.2\text{V}$, $V_{OUT}=3.4\text{V}$, MODE_CTRL = 10, SSFM = 1		$\pm 8\%$		F_{sw}
F_{PATTER}	スペクトラム拡散パターン周波数	$V_{IN}=3.2\text{V}$, $V_{OUT}=3.4\text{V}$, MODE_CTRL = 10, SSFM = 1		0.5%		F_{sw}
サーマルシャットダウン、ホットダイ検出器						
T_{SD}	サーマルシャットダウン	T_J 立ち上がり	165			°C
T_{SD_HYS}	サーマルシャットダウンヒステリシス		20			
TIMING						
t_{ss}	ソフトスタートアップ時間	内部SSランプ時間	400			μs
t_{hiccup_on}	ヒップオン時間	HICCUP_MODE ビット=1	1			ms
t_{hiccup_off}	ヒップオフ時間	HICCUP_MODE ビット=1	19			ms

6.6 システム特性

以下の仕様は、標準的なアプリケーション回路に適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_A = 25^\circ\text{C}$ にのみ適用されます。最小値 (MIN) および最大値 (MAX) 列の仕様は、 $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲での標準的な部品の場合に適用されます(特に指定のない限り)。これらの仕様は、製造試験では規定されていません。

パラメータ		テスト条件	最小値	公称値	最大値	単位
V_{OUT}	調整可能な出力電圧負荷制御 ⁽¹⁾	USM/PWM動作、PFMは含まれません。 $T_A = 25^\circ\text{C}$	-1	+1.5		%
	調整可能な出力電圧ラインレギュレーション ⁽²⁾	USM/PWM動作、PFMは含まれません。 $T_A = 25^\circ\text{C}$	-0.25	+1.1		%
I_{SUPPLY}	無負荷時の入力供給電流	$V_{IN} = 2.7\text{V}$, $V_{OUT} = 3.4\text{V}$, PFM		66		μA
		$V_{IN} = 3.3\text{V}$, $V_{OUT} = 3.4\text{V}$, USM		1.4		mA
		$V_{IN} = 3.3\text{V}$, $V_{OUT} = 3.4\text{V}$, FPWM		5.3		mA
t_{RAMPUP}	$I^2C^{(3)}$ による変更時の出力電圧上昇時間	$V_{IN}=2.7\text{V}$, $V_{OUT}=3.4\text{V} \rightarrow 5\text{V}$, $I_{OUT}=100\text{mA}$, $f_{(SCL)}=100\text{kHz}$, C_{OUT} は2pcs 22uF/0603/6.3V/X5Rです		350		μs
$t_{RAMPDOWN}$	$I^2C^{(3)}$ による変更時の出力電圧ランプダウン時間	$V_{IN}=2.7\text{V}$, $V_{OUT}=5\text{V} \rightarrow 3.4\text{V}$, $I_{OUT}=100\text{mA}$, $f_{(SCL)}=100\text{kHz}$, C_{OUT} は2pcs 22uF/0603/6.3V/X5Rです		600		μs

6.6 システム特性 (続き)

以下の仕様は、標準的なアプリケーション回路に適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_A = 25^\circ\text{C}$ にのみ適用されます。最小値 (MIN) および最大値 (MAX) 列の仕様は、 $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ の温度範囲での標準的な部品の場合に適用されます (特に指定のない限り)。これらの仕様は、製造試験では規定されていません。

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{STARTUP}	0V ブリバイアス電圧時の起動時間	$V_{\text{IN}} = 2.7\text{V}, V_{\text{OUT}} = 3.4\text{V}, I_{\text{OUT}} = 0\text{A}, C_{\text{OUT}} \text{ は } 2\text{pF } 22\text{pF}/0603/6.3\text{V/X5R} \text{ です}$		400		μs

- (1) デフォルトの I²C レジスタ値で、 $V_{\text{IN}} = 2.7\text{V}, V_{\text{OUT}} = 3.4\text{V}, I_{\text{OUT}} = 1\text{mA}$ から 4A における V_{OUT} の公称出力電圧値からの偏差。最大値は、 $(V_{\text{OUT_MAX}} - V_{\text{OUT_SET}})/V_{\text{OUT_SET}} * 100\%$ によって計算され、最小値は $(V_{\text{OUT_MIN}} - V_{\text{OUT_SET}})/V_{\text{OUT_SET}} * 100\%$ によって計算されます。
- (2) $V_{\text{OUT}} = 3.4\text{V}, I_{\text{OUT}} = 1\text{A}, V_{\text{IN}} = 2.0\text{V} \sim 3.3\text{V}$ の条件における出力電圧の公称値からの V_{OUT} の偏差。最大値は、 $(V_{\text{OUT_MAX}} - V_{\text{OUT_SET}})/V_{\text{OUT_SET}} * 100\%$ によって計算され、最小値は $(V_{\text{OUT_MIN}} - V_{\text{OUT_SET}})/V_{\text{OUT_SET}} * 100\%$ によって計算されます。
- (3) この結果には、I²C 通信時間が含まれます。

6.7 I²C インターフェイス タイミング特性

動作接合部温度範囲および推奨電源電圧範囲 (特に記載のない限り)⁽¹⁾

パラメータ		テスト条件	最小値	最大値	単位
$f_{(\text{SCL})}$	SCL クロック周波数	スタンダード モード		100	KHz
$f_{(\text{SCL})}$	SCL クロック周波数	ファスト モード		400	KHz
$f_{(\text{SCL})}$	SCL クロック周波数	ファスト モード プラス		1	MHz
t_{BUF}	STOP 条件と START 条件の間のバスフリー時間	ファスト モード プラス	0.5		μs
$t_{\text{HD}}, t_{\text{STA}}$	(繰り返し) START 条件のホールド時間		260		ns
t_{LOW}	SCL クロックの LOW 期間		0.5		μs
t_{HIGH}	SCL クロックの HIGH 期間		260		ns
$t_{\text{SU}}, t_{\text{STA}}$	反復開始条件のセットアップ時間		260		ns
$t_{\text{SU}}, t_{\text{DAT}}$	データ セットアップ時間		50		ns
$t_{\text{HD}}, t_{\text{DAT}}$	データ ホールド時間		0		μs
t_{RCL}	SCL 信号の立ち上がり時間		120		ns
t_{RCL1}	START 条件の繰り返し、およびアクノーリッジ ピット後の SCL 信号の立ち上がり時間		120		ns
t_{FCL}	SCL 信号の立ち下がり時間		120		ns
t_{RDA}	SDA 信号の立ち上がり時間		120		ns
t_{FDA}	SDA 信号の立ち下がり時間		120		ns
$t_{\text{SU}}, t_{\text{STO}}$	STOP 条件のセットアップ時間		260		ns
C_B	SDA および SCL の容量性負荷		200		pF

- (1) 設計により規定されています。量産時にはテストを行っていません。

6.8 代表的特性

$V_{IN} = 2.7V$ 、 $V_{OUT} = 3.4V$ 、通常モード、 $T_J = 25^\circ C$ 、特に記述のない限り

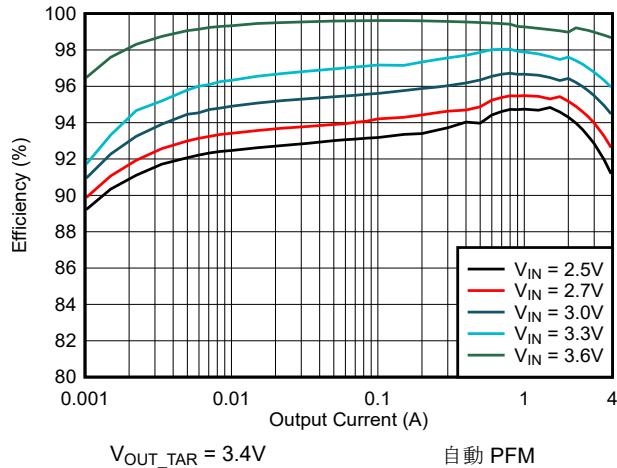


図 6-1. 効率と出力電流との関係

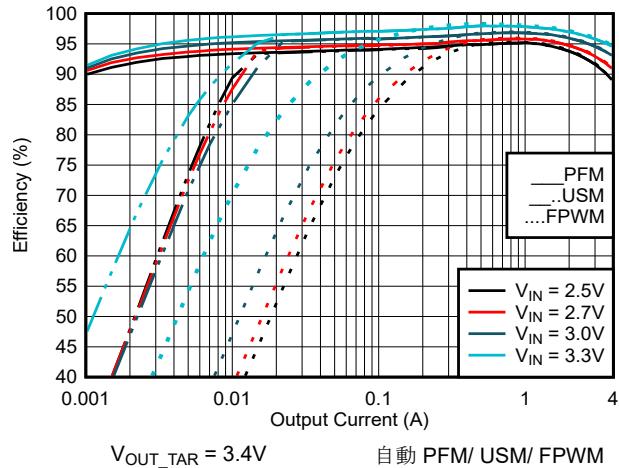


図 6-2. 効率と出力電流との関係

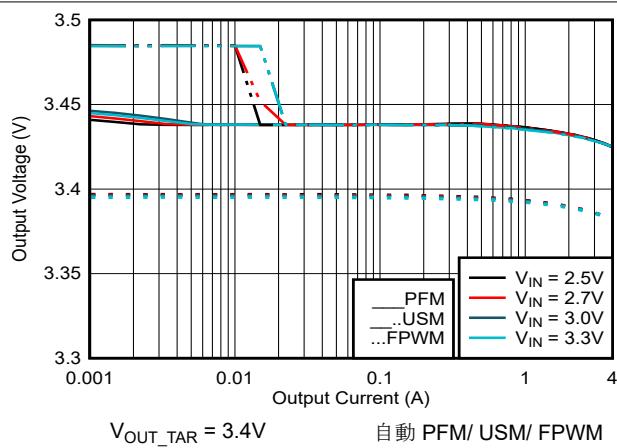


図 6-3. DC 出力電圧と出力電流との関係

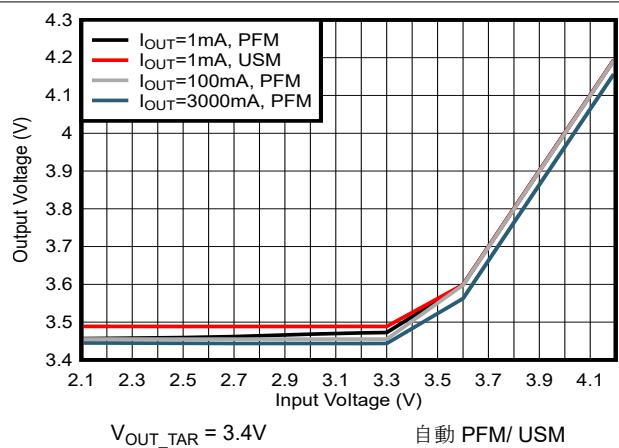


図 6-4. DC の出力電圧と入力電圧との関係

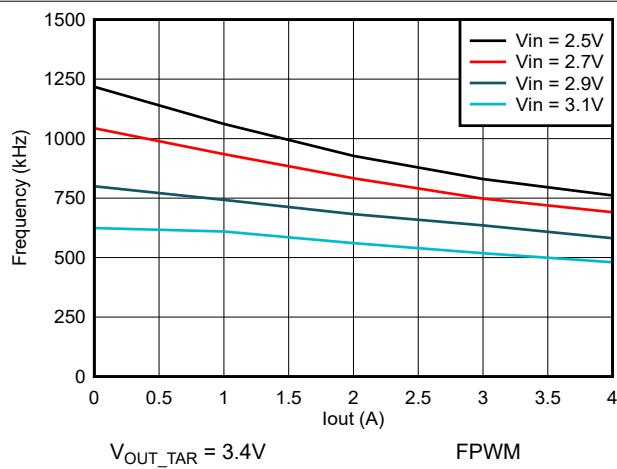


図 6-5. スイッチング周波数 対 出力電流

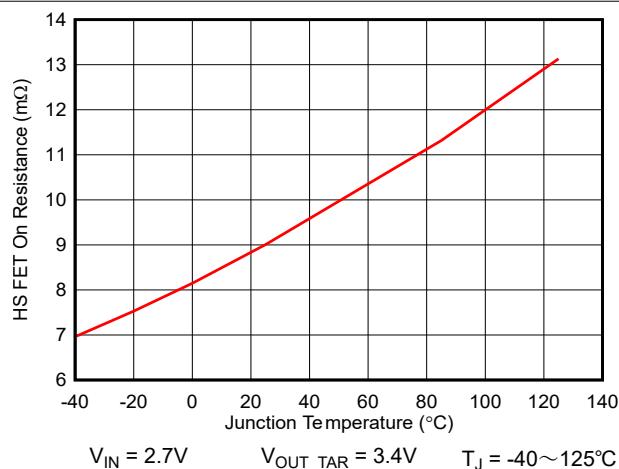


図 6-6. ハイサイド $R_{ds(on)}$ と接合部温度との関係

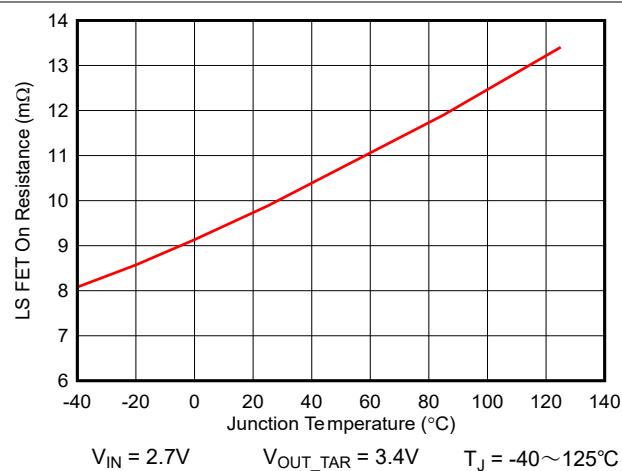


図 6-7. ローサイド $R_{ds(on)}$ と接合部温度との関係

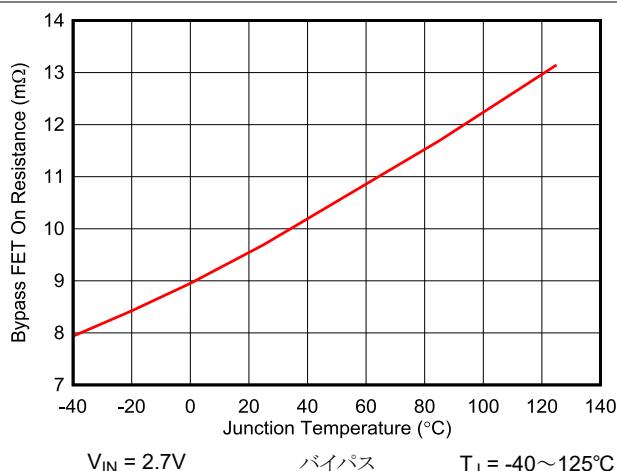


図 6-8. バイパス FET $R_{ds(on)}$ と接合部温度との関係

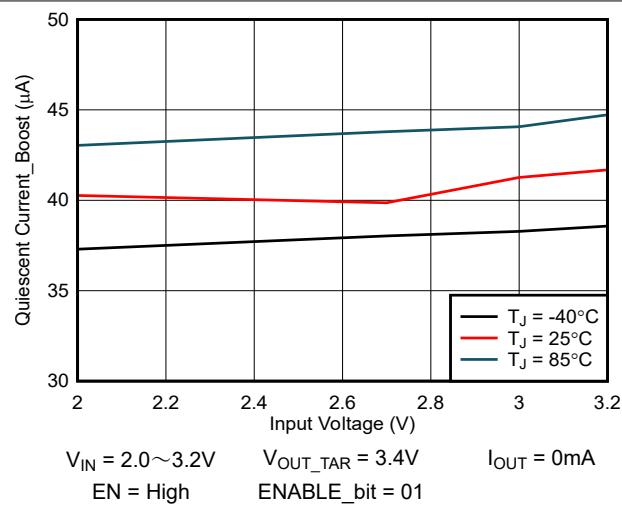


図 6-9. 昇圧モードでの静止電流と入力電圧との関係

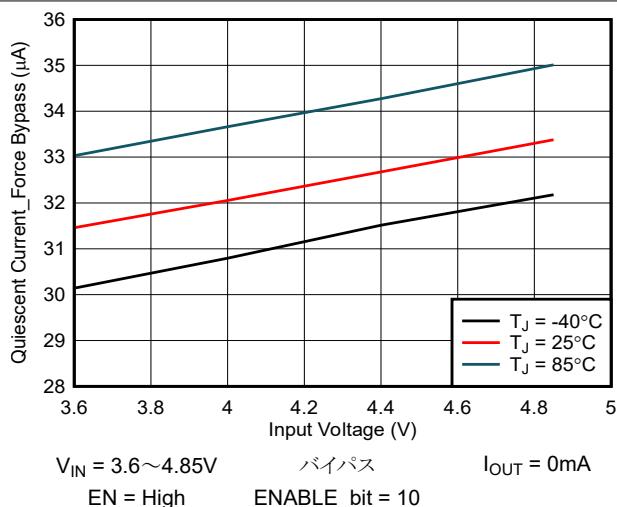


図 6-10. 強制バイパス モードでの静止電流と入力電圧との関係

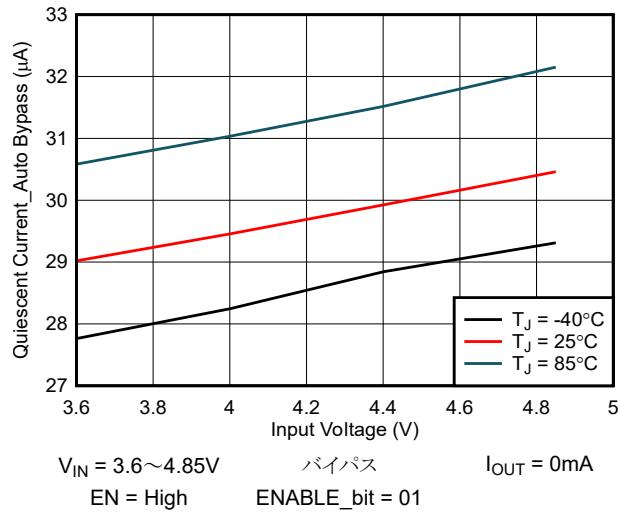


図 6-11. 自動バイパス モードでの静止電流と入力電圧との関係

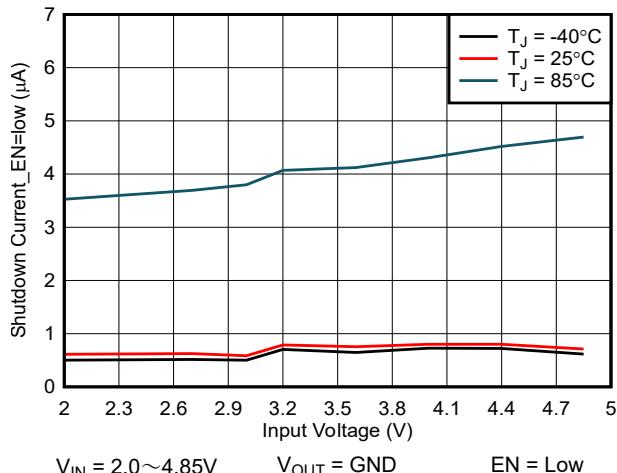


図 6-12. EN = Low でのシャットダウン電流と入力電圧との関係

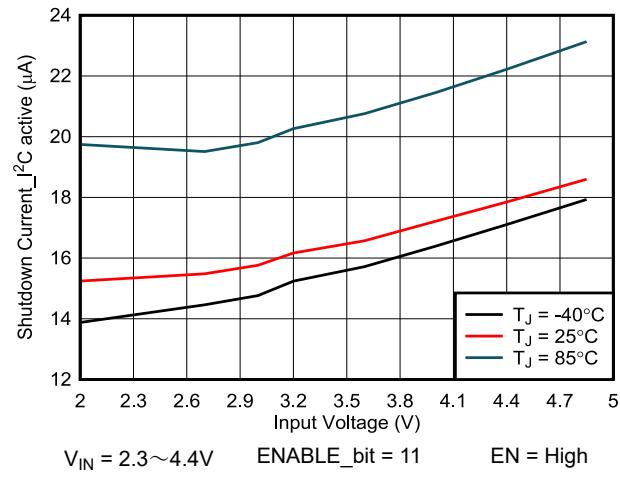


図 6-13. アクティブ I²C ブロックでのシャットダウン電流と入力電圧との関係

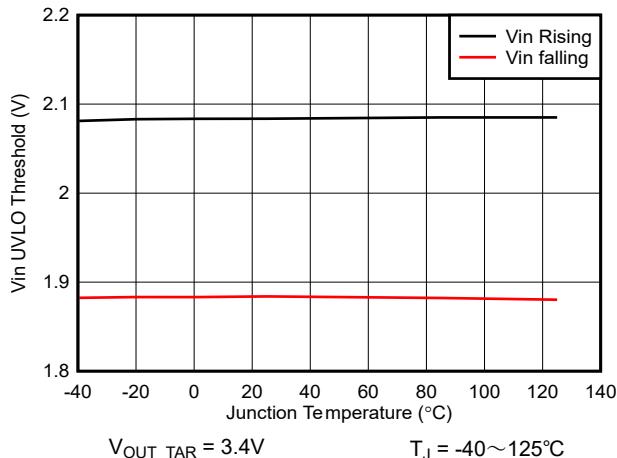


図 6-14. V_{IN} UVLO スレッショルドの立ち上がり/立ち下がりと接合部温度との関係

7 詳細説明

7.1 概要

TLV61290 は、高効率の昇圧コンバータであり、バイパス モードを最適化して搭載しています。このバイパス モードにより、携帯電話の 2G RF パワー アンプ (PA) 向けの低ノイズ電圧供給や、eMMC メモリ、オーディオ コーデック、LCD バイアス、アンテナ スイッチ、RF エンジン PMIC などのサブシステムへの電圧の事前調整を提供します。このデバイスは、低 I_Q の広電圧バッテリ セルから、幅広い消費電力レベルについてシステムが最大効率で動作できるよう設計されています。

TLV61290 は、電圧を昇圧する能力に加え、入力バッテリ電圧が十分に高い場合にはその電圧をバイパスする機能を備えています。これにより、システムは広いバッテリ電圧範囲で最大性能を発揮でき、充電間のバッテリ寿命を延ばすことが可能になります。このデバイスは、APU や GPU によるピーク電流の影響でバッテリ電圧が一時的に低下するブラウン アウト現象にも対応しています。TLV61290 デバイスをプリレギュレータとして使用すると、重要なサブシステムが正常に機能するために、安定した電源レールを維持しながら、システムのブラウンアウト状態を解消できます。

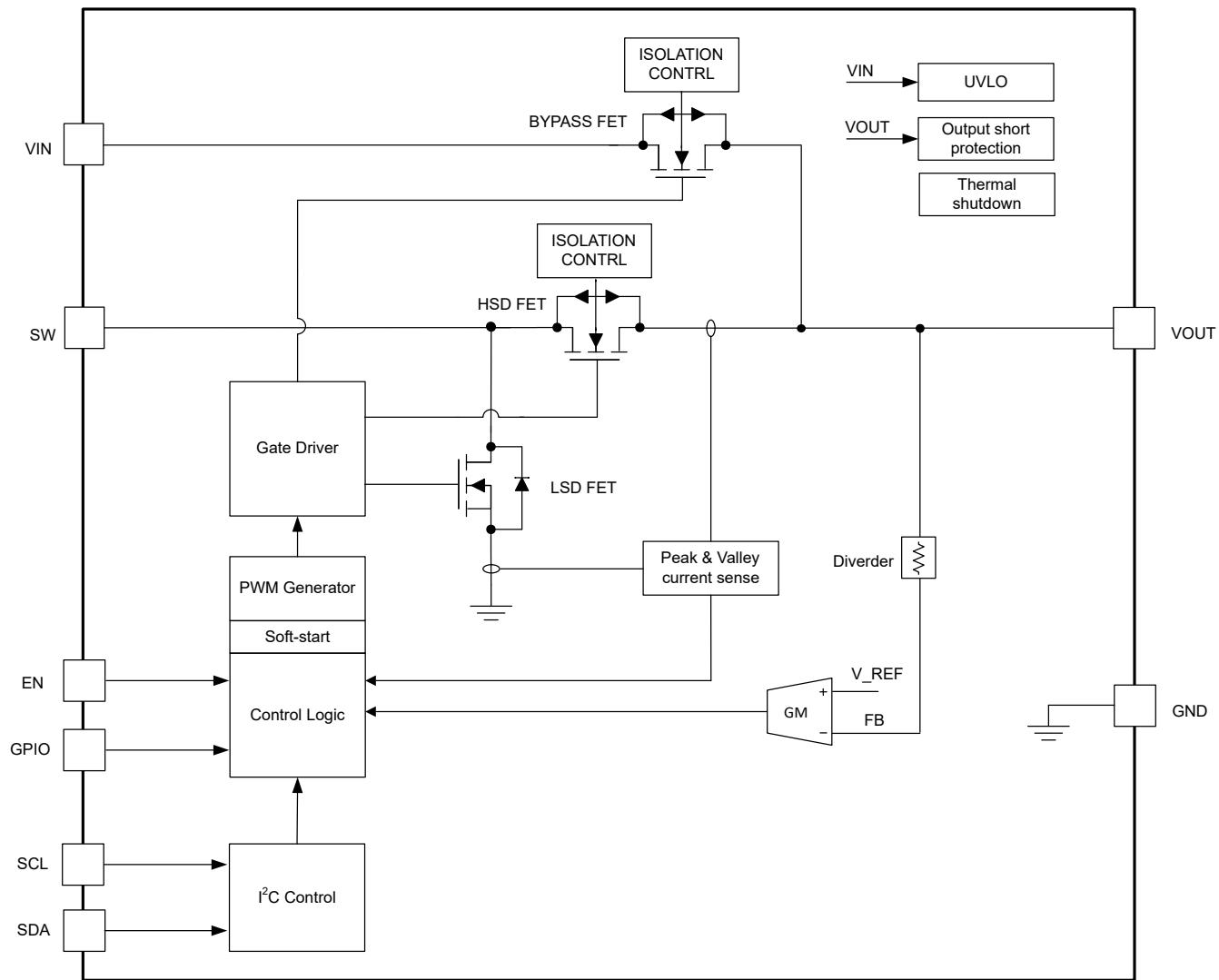
自動 PWM 動作中、TLV61290 はヒステリシス制御方式を使用します。軽負荷時には、TLV61290 コンバータは、パルス周波数変調 (自動 PFM) 付き電源セーブ モード、または I²C でプログラム可能な強制 PWM または超音波モードで動作します。

一般に、DC/DC 昇圧コンバータは「真の」昇圧モードでのみ動作します。これは出力が入力電圧を一定量上回る程度「昇圧」します。TLV61290 デバイスは、ゼロ デューティ サイクル動作との間でスムーズに遷移し、異なる動作を行っています。入力電圧、出力電圧スレッショルド、および負荷電流に応じて、内蔵のバイパススイッチが自動的にコンバータをいわゆる「真のバイパス モード」へ切り替え、低ドロップアウトかつ高効率を維持します。出力電圧を規定値に維持するための真のバイパス モード (デューティ サイクル 0% 動作) における合計ドロップアウト抵抗が不十分な場合、デバイスは真のバイパス モードを終了します。

VSEL 機能 (TLV612901) によって出力電圧を動的に調整します。この機能を使用して、正の負荷過渡を想定して出力電圧を上昇させるか、動作モードや送信電力に応じて PA の電源電圧を動的に変化させることができます。

TLV61290 は I²C 互換インターフェイスを内蔵しており、最大 1Mbps の転送が可能です。この通信インターフェイスを使用して、コンバータがブースト モードとバイパス モードの間を切り替える出力電圧スレッショルドの設定、動作モード (オート PFM、強制 PWM、超音波モード) の再プログラミング、平均電流制限の設定、出力電圧のリセットなどを行うことができます。I²C 互換インターフェイスのアドレスは、ADDR 機能 (TLV61290) で調整できます。この ADDR 機能は、一つの I²C バスごとにユニットがもう一つある場合に使用します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 出力電圧設定

大きな負荷過渡時に特定の最小出力電圧を維持するため、 I^2C レジスタ経由で出力電圧の設定値を動的に上げます。この機能は、激しいライン過渡時のアンダーシュートを軽減するとともに、通常の穏やかな動作条件では出力電圧を最小限に抑えて省電力にも貢献します。

出力電圧は、平均入力電流制限設定で定義される事前定義されたレートで上昇します。電圧を低下させるために必要な時間は、主にコンバータ出力に存在する容量の大きさと負荷電流の量に依存します。自動 PFM モードおよび超音波モードでは、出力コンデンサは負荷電流によってのみ放電されます。非常に軽負荷の条件下では、オート PFM モードの実際の出力電圧はおよそ $(1 + 1\%) \times V_{OUT_TAR}$ 、超音波モードの実際の出力電圧はおよそ $(1 + 2\%) \times V_{OUT_TAR}$ となります。負荷が増加するにつれて、両方のモードの実際の出力電圧は $(1+1\%) V_{OUT_TAR}$ 付近になります。強制 PWM モードでは、出力コンデンサは負荷電流に加えて約 100mA (またはそれ以上) の一定電流で放電されます。したがって、実際の出力電圧は V_{OUT_TAR} です。

TLV61290 の場合、GPIO は ADDR 機能として構成されており、出力電圧は VOUTFLOORSET (デフォルト 3.4V) でのみ設定します。TLV612901 の場合、GPIO が VSEL 機能として設定されている場合、VSEL が Low のときは VOUTFLOORSET レジスタで、VSEL が High のときは VOUTROOFSET レジスタで出力電圧を設定します。

出力電圧設定が 4.5V を超える場合、出力電圧の立ち上げ時に 200mV を超えるステップで電圧を上げることは推奨されません。そうしないと、立ち上げ時のオーバーシュートが推奨動作条件を超える可能性があります。

7.3.2 スイッチング周波数およびスペクトラム拡散クロック

TLV61290 昇圧コンバータは固定周波数ではなく、インダクタのリップル電流を約 1.0A の範囲に維持するため、周波数は動作条件によって変化し決定されます。

自動 PFM 動作では、最小スイッチング周波数に制限がなく、負荷が開放状態の場合はスイッチング周波数は約 20Hz (またはそれ以下) になります。

超音波モードでは、オーディオ帯域ノイズを避けるため、最小スイッチング周波数は 25kHz (最小値) に制限されています。強制 PWM 動作では、最小スイッチング周波数は約 300kHz に制限されています。この独自の機能により、TLV61290 は低周波数のスイッチングを回避し、低周波数のノイズに敏感な範囲のアプリケーションを防ぎます。

スイッチング レギュレータは、電磁干渉 (EMI) が問題となるアプリケーションにおいて特に扱いが難しいです。スイッチング レギュレータはサイクルバイサイクル ベースで動作し、電力を出力に伝送します。ほとんどの場合、動作周波数は出力負荷に応じて固定されるか、制御されています。この変換方法では、動作周波数 (基本波) およびその倍数の周波数 (高調波) で大きなノイズ成分が発生します。

TLV61290 はスペクトラム拡散機能を備えています。目的は、放射される RF エネルギーをより広い周波数帯に分散させ、結果として発生する EMI をホワイト ノイズに近い状態にすることです。最終的に、スペクトルは連続的でピーク振幅が低くなり、これにより携帯電話用および非携帯電話用の無線アプリケーションにおける電磁干渉 (EMI) 規格や電源リップルの要件を満たしやすくなります。無線レシーバは通常、特定の周波数に焦点を当てた狭帯域ノイズの影響を受けやすくなっています。

スペクトラム拡散アーキテクチャは、スイッチング周波数を公称周波数の約 $\pm 8\%$ の範囲で変動させることで、入力および出力電源におけるピーク放射ノイズおよび伝導ノイズを大幅に低減します。周波数ディザリング方式は、三角波プロファイルと変調周波数 f_m で変調されます。

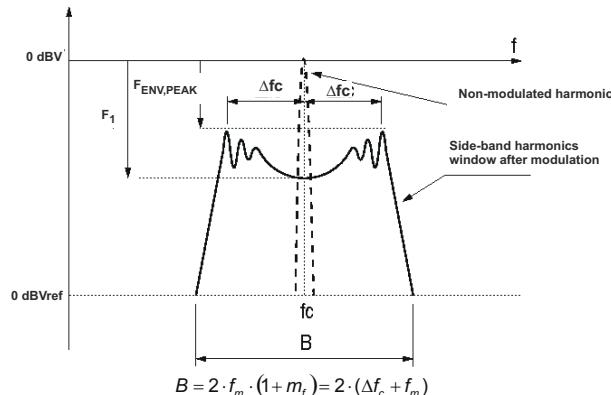


図 7-1. 周波数変調 Sin のスペクトル時間の正弦波変動を伴う波形

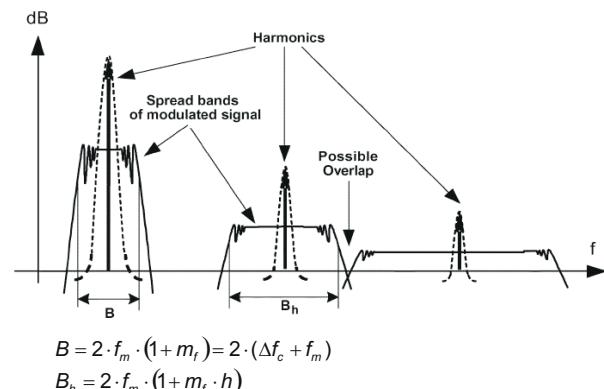


図 7-2. スペクトルの図解と数式¹

上記の図は、変調後のサイドバンド高調波が変調されていない高調波に比べて減衰しており、高調波エネルギーが一定の周波数帯域に拡散していることを示しています。変調指数 (m_f) が高いほど、減衰は大きくなります。

$$m_f = \frac{\delta \times f_c}{f_m} \quad (1)$$

ここで、

- f_c はキャリア周波数 (スイッチング周波数) です
- f_m は変調周波数 (約 0.5% * f_c) です
- δ は変調比 (約 8%) です

$$\delta = \frac{\Delta f_c}{f_c} \quad (2)$$

最大スイッチング周波数 f_c はプロセス、最後はパラメータ変調比 (δ)、さらに f_m によって制限されます。これは、キャリア周波数 f_c 周辺のサイドバンド高調波の帯域幅を指します。周波数変調波形の帯域幅は、キヤルソンの法則によっておおむね以下のように表されます:

$$B = 2 \times f_m \times (1 + m_f) = 2 \times (\Delta f_c + f_m) \quad (3)$$

$f_m < RBW$: レシーバは個々のサイドバンド高調波を区別できないため、複数の高調波が入力フィルタで重畠され、理論計算で予想される値よりも高い測定値となります。

$f_m > RBW$: レシーバは、それぞれのサイドバンドの高調波を個別に適切に測定できるため、測定値は理論計算と一致します。

¹ スペクトルの図解と数式 (図 7-1 および 図 7-2) 著作権: IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY, VOL.47, NO. 3, 2005 年 8 月。

7.4 デバイスの機能モード

7.4.1 イネーブルおよびスタートアップ

TLV61290 は、2.2V より高く、5V 未満の入力電圧が印加されると、自動的にパワーアップします。スタートアップ後、入力電圧を 2.0V に下げることができます。このデバイスには内部ソフトスタート回路が搭載されており、起動時の突入電流を制限します。起動手順の第一段階は、出力ノードを入力電圧レベルに近づけるバイアスをかけることです（これをダウンモードプリチャージフェーズとも呼びます）。この動作モードでは、出力電圧が 0.6V 未満のとき、インダクタの平均電流は約 500mA に制限されます。出力電圧が 0.6V より高く、かつ入力電圧マイナス 2.0V より低い場合、インダクタの平均電流制限は約 1.5A に引き上げられます。出力電圧が入力電圧マイナス 2V より高く、かつ入力電圧より低い場合、入力の平均電流制限は ILIM_BOOST で設定された値の半分に引き上げられます。

出力電圧が入力電圧より高くなると、デバイスはダウンモードプリチャージフェーズを終了し、昇圧スイッチングフェーズに移行します。このとき、入力の平均電流制限は昇圧電流制限値（デフォルトは 8A）に引き上げられます。この方法を使用すると、スタートアップ時の負荷能力が改善され、これは起動時の入力電流オーバーシュートを低減するのに役立ちます。[表 7-1](#) に、起動フェーズでの入力電流制限と出力電圧の関係を示します。

表 7-1. 起動時の平均電流制限設定 (VIN ≤ 2.6V)

位相	インダクタ平均電流制限	出力電圧
ダウンモードプリチャージフェーズ	500mA (代表値)	VOUT ≤ 0.6V
	ILIM_BOOST / 2	VIN - 2V < VOUT ≤ VIN
昇圧スイッチングフェーズ	ILIM_BOOST	VIN < VOUT

表 7-2. スタートアップ時の平均電流制限設定 (VIN > 2.6V)

位相	インダクタ平均電流制限	出力電圧
ダウンモードプリチャージフェーズ	500mA (代表値)	VOUT ≤ 0.6V
	1.5A (代表値)	0.6V < VOUT ≤ VIN - 2V
	ILIM_BOOST / 2	VIN - 2V < VOUT ≤ VIN
昇圧スイッチングフェーズ	ILIM_BOOST	VIN < VOUT

ダウンモードプリチャージフェーズにおいて、出力電圧が 1ms 以内に入力電圧に達しない場合、フォルト状態と判断されます。19ms の待機後、再起動が試みられ、この動作モードはヒップモードとも呼ばれます。I²C を使用してヒップモードを無効化します。

TLV61290 は、10Ω を超える負荷で 2.2V UVLO 立ち上がりスレッショルドで起動できます。ただし、起動時の負荷が非常に重い場合、または出力容量が非常に大きいために TLV61290 が出力電圧をターゲット値まで充電できない場合、入力電圧が上昇するか、負荷電流が減少するまで、TLV61290 は正常に起動しません。合計起動時間は、入力電圧、出力容量、負荷電流に依存します。

7.4.2 動作モードの設定

TLV61290 デバイスは（セクション 7.6.5 により）構成して、デバイスの動作モードを選択できます。

EN ピンがロジック High に設定され、ENABLE ビット (CONFIG[5:6]) が 01 (デフォルト値) の場合、デバイスは通常モード（自動ブースト/バイパスモード）に入り、出力電圧をあらかじめ定められたターゲット電圧以上に維持します。

EN ピンがロジック High の ENABLE ビット (CONFIG[5:6]) = 10 に設定されると、デバイスは強制バイパスモードに移行します。このモードでは、同期整流器の電流が約 10A (I²C 経由でプログラム可能) に制限され、外部負荷（例えばオーディオアンプ）に制限された電源供給が可能となります。バイパス MOSFET の両端での電圧降下により、出力電圧はわずかに低下します。このデバイスは、30μA（標準値）のスタンバイ電流のみを消費します。

EN ピンがロジック High に設定され、ENABLE ビット (CONFIG[5:6]) が 11 の場合、デバイスはシャットダウンモードに強制的に移行しますが、I²C ブロックは動作し、スタンバイ電流は通常 16μA 程度です。このモードでは、バッテリと負荷

間が完全に切り離されているため、 V_{IN} から V_{OUT} への電流の流れだけでなく、 V_{OUT} から V_{IN} への逆流も防止されます。

EN ピンがロジック **Low** に設定されると、**ENABLE** ビットの設定に関わらずデバイスはシャットダウン モードに入り、シャットダウン時の消費電流は通常約 $0.8\mu A$ となります。このモードでは、バッテリと負荷間が完全に切り離されているため、 V_{IN} から V_{OUT} への電流の流れだけでなく、 V_{OUT} から V_{IN} への逆流も防止されます。

表 7-3. 動作モード

EN ピン	ENABLE ビット	動作モード
Low	xx	シャットダウン モード。真の負荷切断と V_{OUT} なし。デバイスのシャットダウン電流は、約 $0.8\mu A$ (標準値) です。
High	11	I^2C シャットダウン モード。電力段はオフになり、 V_{OUT} はありませんが、 I^2C がアクティブになります。完全な負荷接続解除。このモードの標準スタンバイ電流は約 $16\mu A$ (標準値) です。
High	10	強制バイパス モード。 V_{OUT} は V_{IN} に追従します。本デバイスのスタンバイ電流は、標準値で約 $30\mu A$ です。
High	00/01 (デフォルト 01)	自動昇圧/バイパス モード。昇圧モードでは、 $V_{OUT} = V_{OUT_TAR}$ (デフォルト $3.4V$)。バイパス モードでは、 V_{OUT} は V_{IN} に追従します。

7.4.3 バイパス モード

TLV61290 は、バイパス モードで DC/DC 昇圧コンバータをバイパスするための内部スイッチを備えています。入力電圧がプリセットされた出力電圧より高くなると、コンバータはシームレスに 0% デューティ サイクル動作に遷移し、バイパス FET が完全にオンになります。

自動 PFM または超音波モードでは、 $V_{OUT} > (1 + 1\%) * V_{OUT_TAR}$ および $V_{IN} > V_{OUT}$ の条件によってバイパス モードの移行がトリガれます。

強制 PWM 動作では、デバイスは次の 2 つの条件のいずれかからバイパス モードに移行します:

- $V_{OUT} > (1+2\%) * V_{OUT_TAR}$ 。
- 最大クランプ オフ時間が連続する 7 サイクルが発生します (t_{OFF} の標準値は各サイクルの $2.25\mu s$ 、合計 $16\mu s$ です)。

$V_{OUT} < V_{OUT_TAR} - 50mV$ のとき、バイパス モード終了がトリガれます。

バイパス モード動作では、負荷 (例えば 2G RF PA) はバッテリから直接電力が供給され、最大の RF 出力、最高の効率、および入力から出力への電圧差を最小限に抑えます。このデバイスは、 $30\mu A$ (標準値) のスタンバイ電流のみを消費します。バイパスモードでは、非常に高速な電流制限検出方式によってデバイスを短絡から保護します。

この動作中、入力電圧の変動に合わせて出力電圧が追従し、入力電圧が低下しても設定された出力電圧スレッショルドを下回ることはありません。バイパス モード時の出力電圧の低下は負荷電流と入力電圧に依存し、結果として得られる出力電圧は次のように計算されます:

$$V_{OUT} = V_{IN} - (R_{DS(on)(BP)} \times I_{OUT}) \quad (4)$$

逆に、バイパス モードでの効率は次のように定義されます:

$$\eta = 1 - R_{DS(on)(BP)} \frac{I_{OUT}}{V_{IN}} \quad (5)$$

- このとき、 $R_{DS(on)(BP)}$ はバイパス FET の標準的なオン抵抗です

バイパス モードでは、TLV61290 デバイスは高速電流制限検出方式による過電流および短絡保護機能を備えています。バイパス FET の電流が約 $10A$ (I^2C でプログラム可能) を上回ると、バイパス FET がオフになり、TLV61290 は出力からグランドへの短絡保護モードに移行します。過電流または短絡が解消されると、TLV61290 は再び起動手順を実行します。

7.4.4 昇圧制御動作

TLV61290 昇圧コンバータは、ヒステリシス電流モードで制御されます。このコントローラは、インダクタのリップル電流を約 1.0A に一定に保ち、出力負荷に応じてこのインダクタ電流のオフセットを調整することで出力電圧を制御します。入力電圧、出力電圧、インダクタ値のすべてがインダクタリップル電流の立ち上がり / 立ち下がり勾配に影響を与えるため、スイッチング周波数は固定されず、動作条件によって決定されます。軽負荷時、TLV61290 は自動 PFM、強制 PWM、超音波モードの 3 つの動作モードを実装しており、さまざまなアプリケーション要件を満たします。動作モードは、I_C を介して MODE_CTRL ビットの状態を変更することで設定されます。MODE_CTRL = 00 の場合、デバイスは自動 PFM モードで動作します。MODE_CTRL = 01 の場合、本デバイスは超音波モードで動作します。MODE_CTRL = 10 または 11 の場合、デバイスは強制 PWM モードで動作します。このデバイスの推奨インダクタンス範囲は 330nH~560nH です。

7.4.5 自動 PFM モード

TLV61290 は、軽負荷時の効率を向上させるために、省電力モードとパルス周波数変調（自動 PFM）を統合しています。このモードでは、必要な平均入力電流がこの一定リップルによって定義される平均インダクタ電流よりも小さい場合、軽負荷状況でも高効率を維持するため、インダクタ電流は不連続になります。インダクタのピーク電流とバレー電流は、それぞれ約 1.0A と 0A に制限されています。自動 PFM モードで出力電流を維持できなくなると、TLV61290 は自動 PFM モードを終了し、PWM モードに移行します。

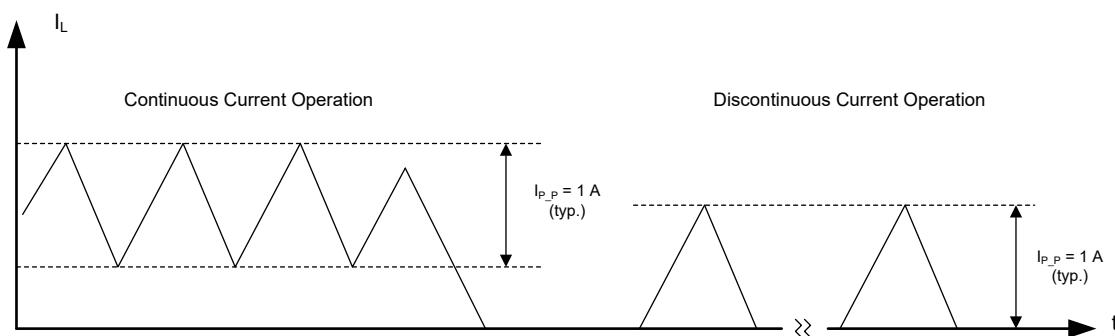


図 7-3. 自動 PFM モード

7.4.6 強制 PWM モード

強制 PWM モードでは、TLV61290 は全負荷範囲にわたってインダクタ電流を連続的に維持します。負荷電流が減少すると、内部エラー アンプの出力も低下し、インダクタのピーク電流が下がって入力から出力への供給電力が減少します。たとえ FET を流れる電流が負になんしても、ハイサイド FET はオフになりず、スイッチング周波数は重負荷と同じに保たれます。このモードでは、入力電圧が出力電圧に近い場合、最小スイッチング周波数は 300kHz（標準値）に制限されます。

7.4.7 超音波モード

超音波モードは、無負荷および軽負荷状況に向けて、スイッチング周波数を音響可聴周波数よりも高く維持する独自の制御機能です。超音波モード制御回路はスイッチング周波数を監視し、周波数を 23kHz 以上に維持して可聴帯域を回避します。出力電圧は通常、PWM での動作より 1% 高い値になります。

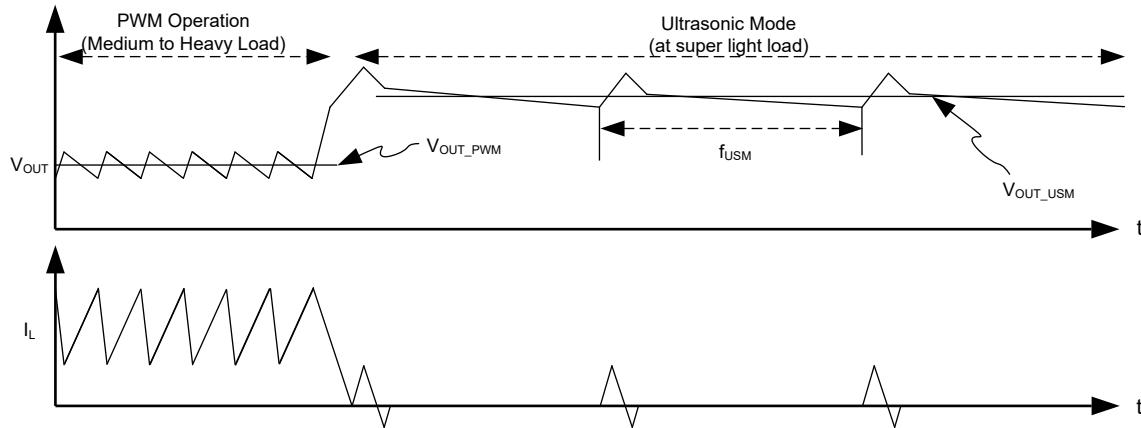


図 7-4. 超音波モード動作

7.4.8 出力放電

TLV61290 はアクティブ プルダウン電流を供給するため、EN がロジック Low のとき、またはデバイスが I²C シャットダウン モードのときに出力を素早く放電します。この機能では、出力電圧が内部回路経由でグランドに接続され、出力がフローティングになることや不定状態に移行することを防止します。出力放電機能により、電源のオン / オフのシーケンスがスマーズになります。このデバイスを電力多重化などの用途で使用する場合は、出力放電機能に注意してください。出力放電回路により、マルチブレクサ出力とグランドの間に一定の電流経路が形成されるためです。

TLV61290 は、I²C 経由で DISCHG ビットの値を書き込むことで、この機能のステータスを変更できます。DISCHG = 0 の場合、I²C シャットダウン モードで出力放電機能を無効にします。DISCHG = 1 の場合、シャットダウン モードで出力放電機能を有効にします。このビットのデフォルト値は 1 です。

7.4.9 低電圧誤動作防止

低電圧誤動作防止回路により、バッテリの低入力電圧時に、過剰な放電によるデバイスの誤動作を防止します。入力電圧 V_{IN} が降下して低電圧誤動作防止スレッショルド $V_{UVLO_falling}$ (最大 2.0V) に達すると、I²C 制御インターフェイスとコンバータの出力段が無効化されます。デバイスは、立ち上がり V_{IN} が V_{UVLO_rising} スレッショルド (最大 2.2V) をトリップすると動作を開始します。

7.4.10 電流制限動作

TLV61290 デバイスは平均インダクタ電流制限方式を備えています。

DC/DC 昇圧モードでは、TLV61290 デバイスは電流制限検出方式を採用しており、オフ時間中に同期整流器にかかる電圧降下を検出します。平均電流制限スレッショルドは、I²C レジスタで設定します。昇圧モードのデフォルトの平均電流制限値は約 8A で、この制限に達するとデバイスは定電流モードで動作します。デバイスの電力段は定電流モードで動作すると、出力電圧が低下します。

デバイスの電力段は定電流モードで動作すると、出力電圧が低下します。定電流制限 (CL) 動作に入る前の最大連続出力電流 ($I_{OUT(max)}$) は、式 6 によって定義されます。

$$I_{OUT(max)} = I_{LIMIT} \times \left(\frac{V_{IN}}{V_{OUT}} \right) \times \eta \quad (6)$$

ここで、

- η は効率です。
- $I_{OUT(max)}$ は最大負荷電流です
- I_{LIMIT} は入力側の電流制限です
- V_{IN} は入力電圧
- V_{OUT} は出力電圧です。

出力電流 I_{OUT} は整流器のリップル電流波形の平均値です。負荷電流が増加し、電流の谷が電流制限閾値を超えた場合、次のオンタイムが始まる前に電流をこの閾値まで下げるため、オフタイムが延長されます（いわゆる周波数フォールドバック機構）。電流制限に達した後は、さらなる負荷の増加中に出力電圧が低下します。

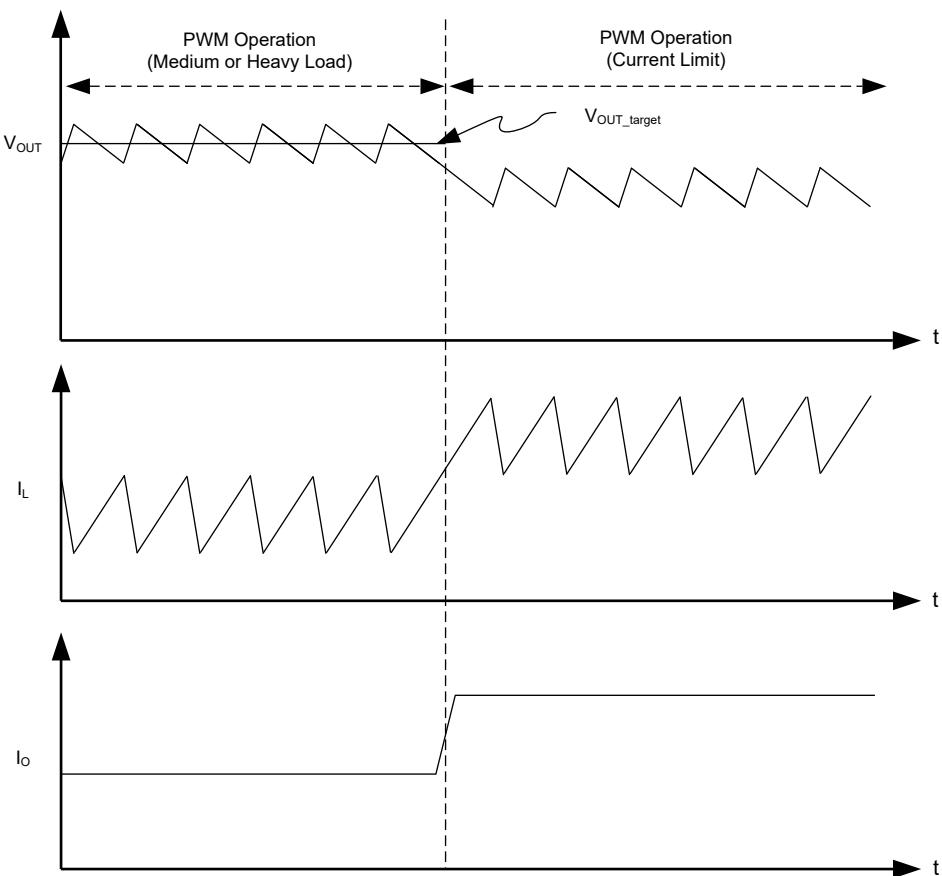


図 7-5. DC/DC 弇圧モードにおける電流制限の動作方式

真のバイパス モードでは、TLV61290 デバイスはヒカッピ保護方式を採用しています。電流制限スレッショルドは、 I^2C レジスタを使用して設定します。真のバイパス モードのデフォルト電流制限は 10A で、この制限に達すると、約 200ns の遅延の後にバイパス FET をオフにし、デバイスはヒカッピ モードに移行します。短絡が解消されると、TLV61290 は再びソフトスタートアップを実行します。

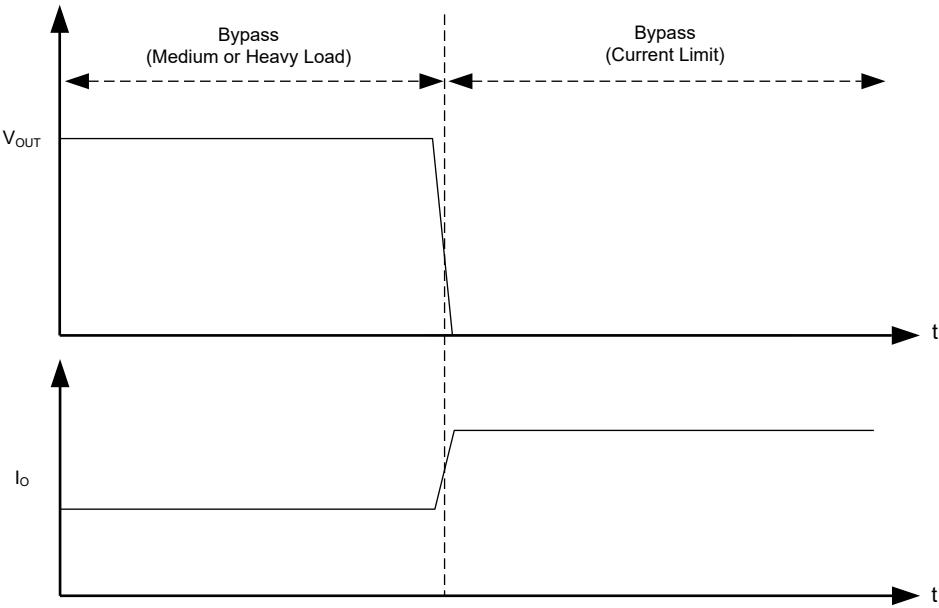


図 7-6. 真のバイパス モードでの電流制限の動作方式

7.4.11 グランドへの出力短絡保護

デバイスの TLV61290 は、出力がグランドに短絡するとヒカッピングモードで動作します。出力のグランドへの短絡保護(OSGP) 方式は、スタートアップ フェーズの方式と同じです。

出力が短絡すると、TLV61290 はヒカッピングモードに入ります。過電流または短絡が解消されると、TLV61290 はソフト スタートアップを再び実行し、レギュレートされた出力電圧を供給します。

I^2C を使用して、ヒカッピング保護モードをディセーブルにします。

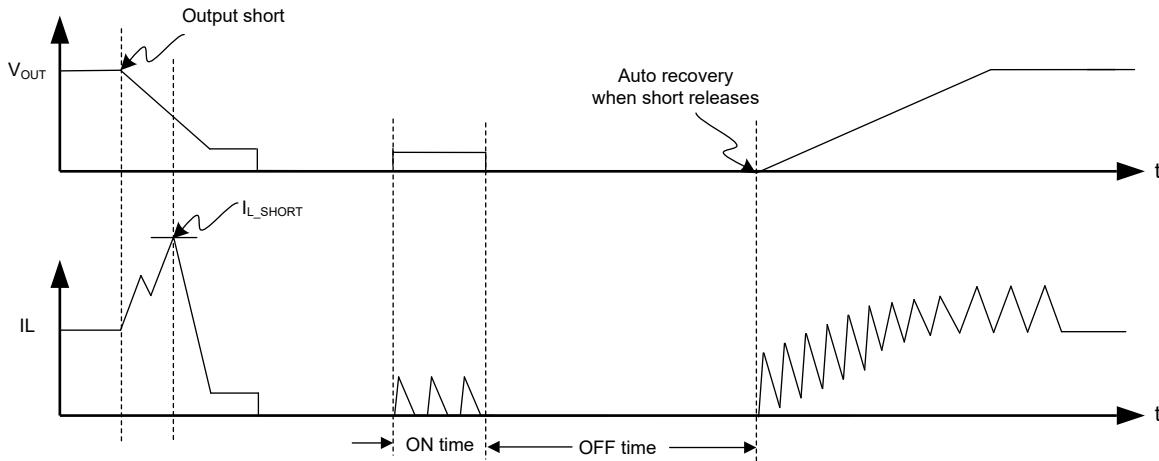


図 7-7. ヒカッピングモードでの OSGP

7.4.12 サーマルシャットダウン

接合部温度 T_J が 165°C (標準値) を超えるとすぐに、デバイスはサーマルシャットダウンに移行します。このモードでは、バイパス、ハイサイドおよびローサイド MOSFET はターンオフし、 I^2C ブロックがアクティブになります。接合部温度がサーマルシャットダウン温度からヒステリシス分 (標準値: 20°C) 下回ると、デバイスは再び起動を繰り返し、出力電圧の制御を継続します。

7.4.13 パワーグッド表示ステータス

TLV61290 は、レギュレータが正常に起動を完了し、故障が発生していないことをシステムに知らせるためのパワーグッド出力ビット (I²C 内の PG ビット) も提供します。パワーグッドは、過度のダイ温度や過負荷状態に対する早期警告フラグとしても機能します。

- スタートアップ シーケンスが正常に完了すると、PG ビットはセットされ (ビット= 1) です。
- 昇圧モードで出力電圧がレギュレーション レベルより約 50mV 低くなると、PG はリセットされます (ビット= 0)。
- デバイスが自動バイパス モード (ENABLE ビット= 00 または 01、V_{IN}> V_{OUT}) で動作している場合、PG は設定されま (ビット = 1)。
- デバイスが強制バイパスモード (ENABLE ビット= 10) で動作している場合、PG は定義されません。
- デバイスがシャットダウン モード (ENABLE ビット= 11) のとき、PG はリセットされます (ビット= 0)。
- デバイスが短絡保護モードまたはサーマルシャットダウン モードに入ると、PG はリセットされ ます (ビット= 0)。

7.5 プログラミング

TLV61290 では、コンバータのパラメータをフレキシブルにプログラムするために、I²C インターフェイスを使用します。I²C は、双方向 2 線式のシリアル インターフェイスです。必要なバス ラインは、シリアル データライン (SDA) とシリアル クロック ライン (SCL) の 2 つのみです。I²C デバイスは、データ転送を実行する際のコントローラまたはターゲットとみなすことができます。コントローラは、バス上でデータ転送を開始し、その転送を許可するクロック信号を生成するデバイスです。その際、アドレス指定されたデバイスはすべてターゲットとみなされます。

TLV61290 はアドレス 75h を持つターゲット デバイスとして動作します。マイコンやデジタル信号プロセッサなどのコントローラ デバイスから制御入力を受信すると、内部レジスタ 00h ~ 07h の読み取りと書き込みが行われます。TLV61290 の I²C インターフェイスは、標準モード (最大 100kbit/s) と高速モード プラス (最大 1000kbit/s) の両方をサポートしています。電流ソースまたはプルアップ抵抗経由で、SDA と SCL の両方を正の電源電圧に接続する必要があります。バスが空いていると、両方のラインが高電圧になります。

7.5.1 データの有効性

SDA ラインのデータは、クロックの High レベル期間中は安定している必要があります。データ ラインの High レベルまたは Low レベルの状態は、SCL ラインのクロック信号が Low レベルのときのみ変化します。転送されるデータ ビットごとに、1 つのクロック パルスが生成されます。

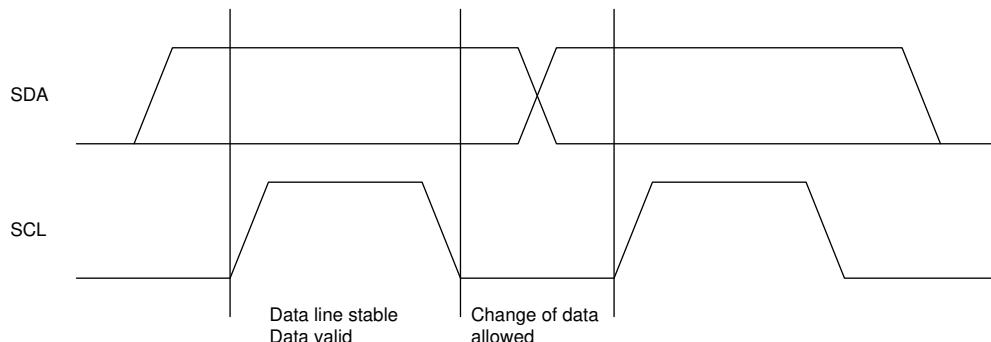
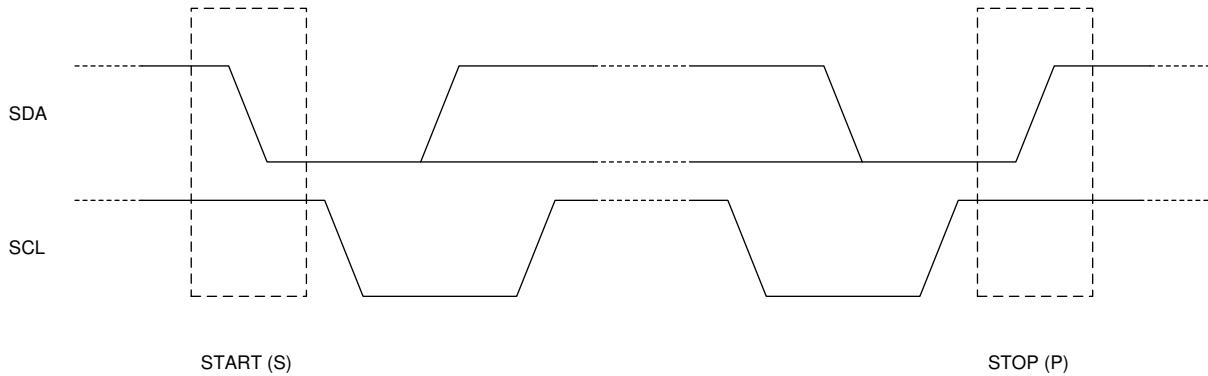


図 7-8. I²C データの有効性

7.5.2 開始条件と停止条件

すべてのトランザクションは START (S) で開始され、STOP (P) により終了できます。SCL が High レベルのときに SDA ラインが High レベルから Low レベルに遷移すると、START 条件が定義されます。SCL が High レベルのときに SDA ラインが Low レベルから High レベルに遷移すると、STOP 条件が定義されます。

START 条件と STOP 条件は、常にコントローラによって生成されます。バスは、START 条件の後はビジー状態とみなされ、STOP 条件の後はフリーとみなされます。

図 7-9. I²C の START 条件と STOP 条件

7.5.3 バイト フォーマット

SDA ラインの各バイトは 8 ビット長でなければなりません。転送ごとに送信されるバイト数に制限はありません。各バイトには、アクノリッジ ビットが続きます。データは、最上位ビット (MSB) を先頭にして転送されます。ターゲットが他の機能を実行するまで、別の完全なデータ バイトを受信または送信できない場合、ターゲットはクロック ライン SCL を Low に保持して、コントローラを強制的に待機状態 (クロック ストレッチ) に移行できます。その後、ターゲットが別のデータのバイトを処理する準備が整い、クロック ライン SCL を解放すると、データ転送が続行されます。

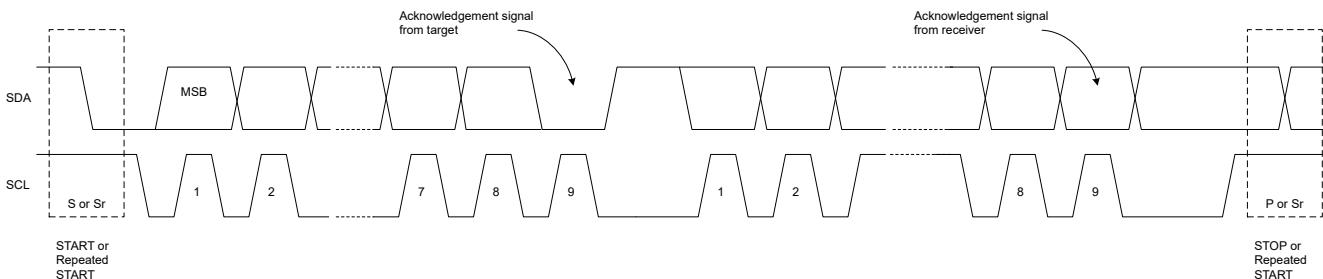


図 7-10. バイト フォーマット

7.5.4 アクノリッジ(ACK) とアクノリッジなし(NACK)

アクノリッジ (受信確認) は各バイトの後に行われます。アクノリッジ ビットによりレシーバは、バイトが正常に受信され、別のバイトが送信されることをトランスマッタに信号伝達することができます。9 番目のアクノリッジ クロック パルスを含むすべてのクロック パルスはコントローラによって生成されます。

アクノリッジ クロック パルスの間にトランスマッタは SDA ラインを解放するため、レシーバは SDA ラインを Low レベルにプルし、このクロック パルスが High レベルの間は安定した Low レベルを維持できます。

アクノリッジなし信号は、9 番目のクロック パルスの間、SDA が High レベルに維持されるときです。その後コントローラは転送を中止する STOP を生成するか、新しい転送を開始する START を繰り返し生成することができます。

7.5.5 ターゲット アドレスおよびデータ方向ビット

START 後にターゲット アドレスが送信されます。このアドレスは 7 ビット長で、8 番目のビットがデータ方向ビット (ビット R/W) として続けます。0 は転送 (WRITE) を示し、1 はデータの要求 (READ) を示します。

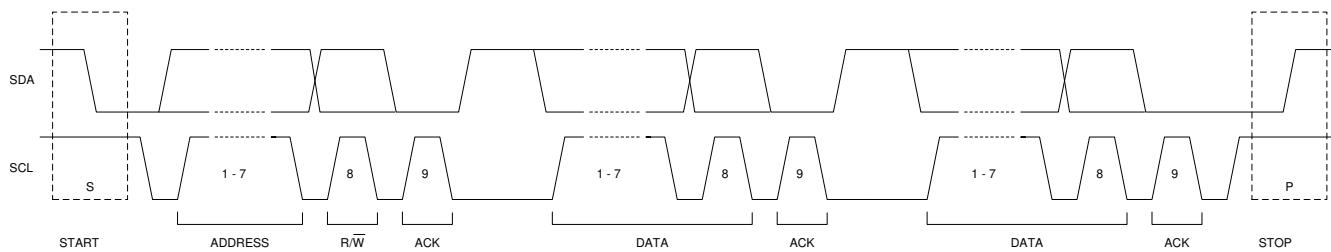


図 7-11. ターゲットアドレスとデータ方向

7.5.6 単一読み取りおよび書き込み

図 7-12 と 図 7-13 に、I²C 通信のシングル バイトの書き込みとシングル バイトの読み取りのフォーマットを示します。



図 7-12. シングル バイトの書き込み

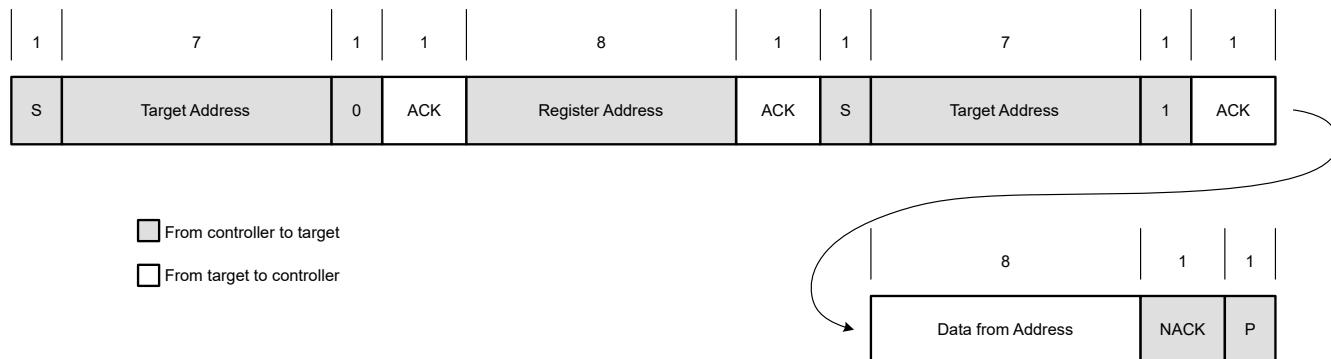


図 7-13. シングル バイトの読み取り

レジスタ アドレスが定義されていない場合、TLV61290 は NACK を返し、アイドル状態に戻ります。

7.5.7 複数読み取りおよび複数書き込み

TLV61290 は、複数読み取りと複数書き込みをサポートしています。

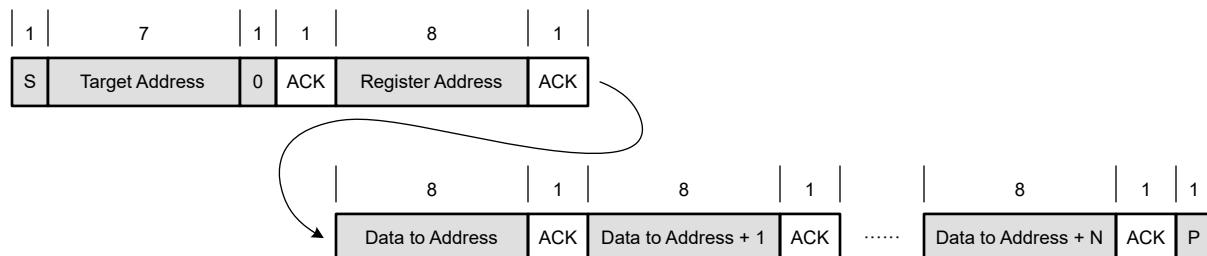


図 7-14. マルチ バイトの書き込み

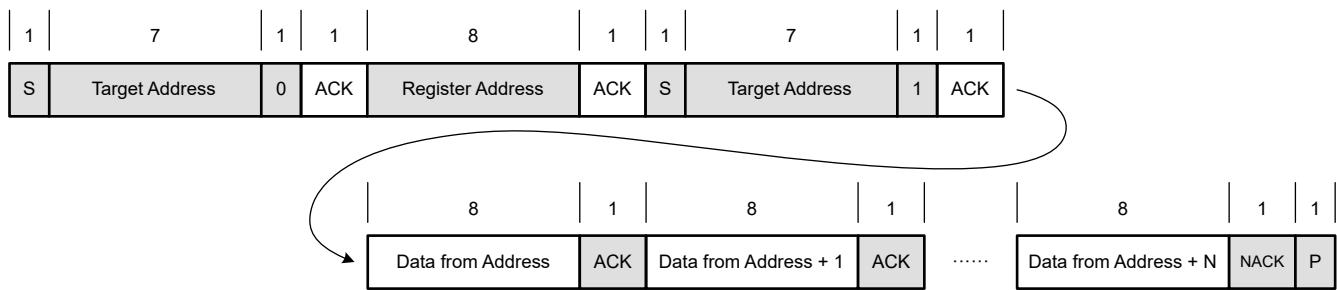


図 7-15. マルチ バイトの読み取り

7.6 レジスタマップ

構成済みメモリ マップには、デバイスのメモリマップト レジスタが一覧で記載されています。構成済みメモリ マップに記載されていないすべてのレジスタ オフセット アドレスは予約領域とみなされ、レジスタの内容を変更してはいけません。

表 7-4. デバイスのレジスタ

レジスタ アドレス	レジスタ名	説明
00h	DeviceID レジスタ	メーカー ID とデバイス バージョン ID を設定します
01h	CONFIG レジスタ	その他の構成ビットを設定します
02h	VOUTFLOORSET レジスタ	フロア出力電圧スレッショルドの昇圧/バイパス モードの変更を設定します
03h	ILIMBSTSET レジスタ	DC/DC 昇圧モードで入力電流制限を設定します
04h	VOUTROOFSET レジスタ	ループ出力電圧スレッショルド昇圧/バイパス モードの変更を設定します (GPIO が VSEL 機能として構成されている場合のみ有効)
05h	STATUS レジスタ	ステータス フラグを返します
06h	ILIMPTSET レジスタ	バイパス モードで入力電流制限を設定します
07h	BSTLOOP レジスタ	内部補償ループを設定します

7.6.1 DeviceID レジスタ

メモリ位置: 0x00

表 7-5. VersionID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	メーカー ID	R	0111	メーカー ID。
3:0	デバイス ID	R	0000	デバイスのバージョン ID。

7.6.2 CONFIG レジスタ

メモリ位置: 0x01

表 7-6. CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	リセット	R/W	0	デバイスリセットビット。 0:通常動作。または改行 1:デフォルト値は、すべての内部レジスタに設定されています。デバイスの動作はサイクル (ON-OFF-ON) されます。つまり、コンバータが短時間無効化され、その間に出力がリセットされます。
6:5	イネーブル	R/W	01	デバイスのイネーブルビット (動作モード設定 を参照)。 00 または 01: デバイスは自動昇圧モードで動作します。 10: デバイスは強制的に真のバイパスモードに移行します。 11: デバイスはシャットダウンモードですが、I ² C はアクティブです。
4	HICCUP_MODE	R/W	1	ヒップモードイネーブルビット。 0: ヒップモードディセーブル 1: ヒップモードイネーブル
3	DISCHG	R/W	1	出力放電イネーブルビット。 0: デバイスが I ² C シャットダウンモードにあるときは、VOUT の放電を無効にします。 1: デバイスがシャットダウンモードのときに、VOUT の放電を有効にします。 (出力放電 を参照)
2	SSFM	R/W	0	拡散変調制御。 0: スペクトラム拡散変調が無効です。 1: スペクトラム拡散変調は、強制 PWM モードで有効になります
1:0	MODE_CTRL	R/W	00	デバイス軽負荷の機能モードビット。 00: デバイスは自動 PFM モードで動作しています。 01: デバイスは超音波モードで動作します。 10 または 11: デバイスは強制 PWM モードで動作します。

7.6.3 VOUTFLOORSET レジスタ

メモリ位置: 0x02

表 7-7. VOUTFLOORSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5:0	VOUTFLOOR_TH	R/W	0	出力電圧スレッショルド、DC/DC 昇圧/バイパス モードの変更。
				R/W 0
				R/W 1
				000000: 2.85 V
				100000: 4.45 V
				000001: 2.90 V
				100001: 4.50 V
				000010: 2.95 V
				100010: 4.55 V
				000011: 3.00 V
				100011: 4.60 V
				000100: 3.05 V
				100100: 4.65 V
				000101: 3.10 V
				100101: 4.70 V
				000110: 3.15 V
				100110: 4.75 V
				000111: 3.20 V
				100111: 4.80 V
				001000: 3.25 V
				101000: 4.85 V
				001001: 3.30 V
				101001: 4.90 V
				001010: 3.35 V
				101010: 4.95 V
				001011: 3.40 V
				101011: 5.00 V
				001100: 3.45 V
				110110: 2.80 V
				001101: 3.50 V
				110111: 2.75 V
				001110: 3.55 V
				111000: 2.70 V
				001111: 3.60 V
				111001: 2.65 V
			1	010000: 3.65 V
				111010: 2.60 V
				010001: 3.70 V
				111011: 2.55 V
				010010: 3.75 V
				111100: 2.50 V
				010011: 3.80 V
				111101: 2.45 V
				010100: 3.85 V
				111110: 2.40 V
				010101: 3.90 V
				111111: 2.35 V
				010110: 3.95 V
				101100 ~ 110101: 定義なし。
				010111: 4.00 V

7.6.4 ILIMBSTSET レジスタ

メモリ位置: 0x03

表 7-8. ILIMBSTSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
6	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
4	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
3:0	ILIM_BOOST	R/W	0	DC/DC 昇圧モードにおけるインダクタの平均電流制限。 0000: 5A 0001: 5.5A 0010: 6A 0011: 6.5A 0100: 7A 0101: 7.5A 0110: 8A 1101: 3.5A 1110: 4A 1111: 4.5A 0111 ~ 1100: 定義なし。

7.6.5 VOUTROOFSET レジスタ

メモリ位置: 0x04

表 7-9. VOUTROOFSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5:0	VOUTROOF_TH	R/W	0	出力電圧スレッショルド、DC/DC 昇圧/バイパス モードの変更。
				000000:2.85 V 100000:4.45V 000001:2.90 V 100001:4.50 V 000010:2.95 V 100010:4.55 V 000011:3.00 V 100011:4.60 V 000100:3.05 V 100100:4.65 V 000101:3.10 V 100101:4.70 V 000110:3.15 V 100110:4.75 V 000111:3.20 V 100111:4.80 V 001000:3.25 V 101000:4.85 V 001001:3.30 V 101001:4.90 V 001010:3.35 V 101010:4.95 V 001011:3.40 V 101011:5.00 V 001100:3.45 V 110110:2.80 V 001101:3.50 V 110111:2.75 V 001110:3.55 V 111000:2.70 V 001111:3.60 V 111001:2.65 V 010000:3.65 V 111010:2.60 V 010001:3.70 V 111011:2.55 V 010010:3.75 V 111100:2.50 V 010011:3.80 V 111101:2.45 V 010100:3.85 V 111110:2.40 V 010101:3.90 V 111111:2.35 V 010110:3.95 V 101100 ~ 110101: 定義なし。 010111:4.00 V 011000:4.05 V 011001:4.10 V 011010:4.15 V 011011:4.20 V 011100:4.25 V 011101:4.30 V 011110:4.35 V 011111:4.40 V

7.6.6 STATUS レジスタ

メモリ位置: 0x05

表 7-10. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSD	R	0	サーマル シャットダウン ステータス ビット。 0:通常動作。 1:サーマル シャットダウントリップ。このフラグは、読み出し後にリセットされます。
6	CRC_PASS	R	1	OTP テスト ステータス ビット。 0:OTP テストに失敗しました。このビットは、TI のテスト エンジニア向けに予約されています。 1:通常動作。このフラグは、読み出し後にリセットされます。
5	VOUT_START	R	1	Vout ステータス ビット。 0:Vout < 0.6V。 1:Vout > 0.6V。 このフラグは、読み出し後にリセットされます。
4	OPMODE	R	1	デバイス モードの動作ステータス ビット。 0:デバイスはバイパスモードで動作します。 1:デバイスは昇圧モードで動作します。
3	ILIMPT	R	0	電流制限ステータス ビット (バイパス モード)。 0:通常動作。 1:バイパス FET 電流制限がトリガされたことを示します。このフラグは、読み出し後にリセットされます。
2	ILIMBST	R	0	電流制限ステータス ビット (DC/DC 昇圧モード)。 0:通常動作。 1:DC/DC 昇圧モードで平均入力電流制限が 4ms の間トリガされたことを示します。このフラグは、読み出し後にリセットされます。
1	FL_LD	R	0	電流制限ステータス ビット (DC/DC 昇圧モード)。 0:通常動作。 1:DC/DC 昇圧モードで平均入力電流制限がトリガされたことを示します。このフラグは、読み出し後にリセットされます。
0	PGOOD	R	1	パワー グッド ステータス ビット。 0:出力電圧がレギュレーション範囲外であることを示します。 1:出力電圧が公称範囲内であることを示します。コンバータが自動バイパス モードで動作する場合、このビットは 1 に設定されます。

7.6.7 ILIMPTSET レジスタ

メモリ位置: 0x06

表 7-11. ILIMPTSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
6	予約済み	R/W	0	予約済みビット。 このビットは、将来の使用のために予約されています。書き込み操作時、このビットに対するデータは無視され、読み出し操作時には 0 が返されます。
5:3	ILIM_FPT	R/W	0	強制真のバイパス モードでの電流制限。
		R/W	1	000: 16A 001: 6A 010: 8A 011: 10A 100: 12A 101: 14A 110: 4A 111: 18A
2:0	ILIM_APT	R/W	0	自動真のバイパス モードでの電流制限。
		R/W	1	000: 16A 001: 6A 010: 8A 011: 10A 100: 12A 101: 14A 110: 4A 111: 18A

7.6.8 BSTLOOP レジスタ

メモリ位置: 0x07

表 7-12. BSTLOOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	TI_internal	R/W	01000	TI 社内使用。読み取りや書き込みを行わないでください。
2:0	RC	R/W	000	補償抵抗設定ビット。 000:200k 001:250k 010:100k 011:150k 100:400k 101:450k 110:300k 111:350k

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

デバイスは、真のバイパス機能を内蔵した昇圧 DC/DC コンバータです。これらは通常、入力電圧範囲が 2.0V から 5.0V のプリレギュレータとして使用され、バッテリの駆動時間を延長し、給電対象システムの入力電流および入力電圧の制限を克服します。

入力電圧が昇圧またはバイパスのスレッショルドを上回っている一方で、高効率の内蔵バイパス パスはバッテリを電源システムに直接接続します。

入力電圧が昇圧/バイパスのスレッショルドを下回ると、デバイスはシームレスに昇圧モード動作に遷移します。

以下の設計手順を使用して、TLV61290 および TLV612901 の両方の部品の値を選択します。

8.2 代表的なアプリケーション

8.2.1 TLV61290 (2.5V-4.35V V_{IN}、3.4V V_{OUT}、4A 出力電流)

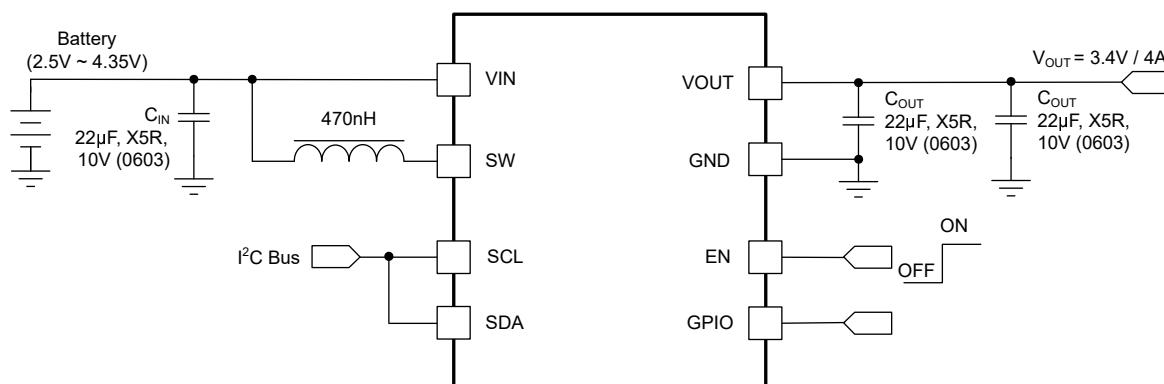


図 8-1. TLV61290 (2.5V-4.35V V_{IN}、3.4V V_{OUT}、4A 出力電流)

8.2.1.1 設計要件

表 8-1. 設計パラメータ

リファレンス	説明	サンプル値
V _{IN}	入力電圧範囲	2.5V~4.35 V
V _{OUT}	昇圧モードでの出力電圧範囲	V _{OUT} = 3.4V
	出力電圧範囲のバイパス モード	V _{OUT} = V _{IN} - I _{OUT} * R _{DSON_BYP}
I _{OUT}	出力電流	4A

8.2.1.2 詳細設計パラメータ

8.2.1.2.1 インダクタの選択

昇圧コンバータは通常、変換中にエネルギーを蓄えるための主な受動部品として、インダクタと出力コンデンサの 2 つが必要です。パワー スイッチを流れる可能性のあるピーク電流よりも大きな飽和電流定格を持つインダクタを選択することを推奨します。

インダクタのピーク電流は負荷、入力電圧および出力電圧の関数として変動し、式 7 を用いて推定されます。

$$I_{L(\text{PEAK})} = \frac{V_{\text{IN}} \times D}{2 \times f \times L} + \frac{I_{\text{OUT}}}{(1 - D) \times \eta} \quad \text{with } D = 1 - \frac{V_{\text{IN}}}{V_{\text{OUT}}} \quad (7)$$

飽和特性が不十分なインダクタを選定すると、コンバータ内で過剰なピーク電流が流れる原因となります。この電流は最終的にデバイスを損傷し、デバイスの信頼性を低下させる可能性があります。

インダクタを選定する際には、インダクタンスに加えて、最大定格電流、直列抵抗、動作温度が重要なパラメータとなります。インダクタの DC 電流定格を最大入力平均電流よりも大きくできるようにします。詳細については、セクション 7.4.10 セクションを参照してください。

$$I_{L(\text{DC})} = \frac{V_{\text{OUT}}}{V_{\text{IN}}} \times \frac{1}{\eta} \times I_{\text{OUT}} \quad (8)$$

TLV61290 シリーズの昇圧コンバータは、330nH~560nH の範囲の実効インダクタンスで動作するよう最適化されています。より大きいまたは小さいインダクタンス値は、特定の動作条件に応じてデバイスの性能を最適化するために使用されます。詳細については、セクションを参照してください。

コイルの合計損失は、DC 抵抗 $R_{(\text{DC})}$ による損失と、以下の周波数依存成分の両方で構成されます：

- コア材料での損失 (特に高いスイッチング周波数での磁気ヒステリシス損失)
- 表皮効果による導体の追加損失 (高周波での電流変位)
- 隣接巻線の磁界損失 (近接効果)
- 放射損失

良好な効率を得るには、インダクタの DC 抵抗を $30\text{m}\Omega$ 未満にできます。TLV61290 コンバータとともに推奨するのは、さまざまなサプライヤの以下のインダクタシリーズです。

表 8-2. インダクター一覧

シリーズ	L (nH)	寸法 (mm)	DC 入力電流制限の設定	メーカー ⁽¹⁾
HTTO32251T-R47MMR	470	3.2 x 2.5 x 1.0 最大高	≤ 8600mA	Cyntec
744383340047	470	3.4 x 3.4 x 1.2 最大高	≤ 9400mA	Wurth Elektronik
XGL4012-451	450	4.0 x 4.0 x 1.2 最大高	≤ 9900mA	Coilcraft
DFE32CAHR47MR0	470	3.2 x 2.5 x 2.0 最大高	≤ 8700mA	Murata (村田製作所)

(1) サードパーティ製品の免責事項を参照してください。

8.2.1.2.2 出力コンデンサ

出力コンデンサについては、小さなセラミック コンデンサを IC の VOUT および GND ピンにできる限り近づけて配置することを推奨します。もし何らかの理由で、大型コンデンサを IC の近くに配置できない場合は、大型コンデンサに並列して小型のセラミック コンデンサを使用することを強く推奨します。推奨される最小出力容量の推定値を求めるには、式 9 を使用します。

$$C_{\text{MIN}} = \frac{I_{\text{OUT}} \times (V_{\text{OUT}} - V_{\text{IN}})}{f \times \Delta V \times V_{\text{OUT}}} \quad (9)$$

ここで、 f はスイッチング周波数、 ΔV は許容される最大出力リップルです。

出力コンデンサの ESR と ESL により、合計リップルは大きくなります。次の式を使用して、このリップルの追加成分を計算します：

$$\Delta V_{\text{OUT}(\text{ESR})} = \text{ESR} \times \left(\frac{I_{\text{OUT}}}{1-D} + \frac{\Delta I_L}{2} \right) \quad (10)$$

$$\Delta V_{\text{OUT}(\text{ESL})} = \text{ESL} \times \left(\frac{I_{\text{OUT}}}{1-D} + \frac{\Delta I_L}{2} - I_{\text{OUT}} \right) \times \frac{1}{t_{\text{SW}}(\text{RISE})} \quad (11)$$

$$\Delta V_{\text{OUT}(\text{ESL})} = \text{ESL} \times \left(\frac{I_{\text{OUT}}}{1-D} - \frac{\Delta I_L}{2} - I_{\text{OUT}} \right) \times \frac{1}{t_{\text{SW}}(\text{FALL})} \quad (12)$$

ここで、

- I_{OUT} = アプリケーションの出力電流
- D = デューティ サイクル
- ΔI_L = ピンインダクタリップル電流
- $t_{\text{SW}}(\text{RISE})$ = スイッチ ノードの立ち上がり時間
- $t_{\text{SW}}(\text{FALL})$ = スイッチ ノードの立ち下がり時間
- ESR = 使用する出力コンデンサの等価直列抵抗
- ESL = 使用する出力コンデンサの等価直列インダクタンス

DC バイアスの影響を考慮して、計算された最小値の 2 倍の値を持つ MLCC コンデンサを使用します。このコンデンサは、制御ループの安定性を維持するために必要です。出力コンデンサには、X7R または X5R の誘電体が必要です。Y5V および Z5U 誘電体コンデンサは、温度による容量の大きな変動に加えて、高周波数では抵抗性を示します。最小 ESR に関する追加の要件はありません。大容量コンデンサは、出力電圧リップルを低減し、負荷過渡時の出力電圧降下を低減します。

ほとんどのアプリケーションでは、22μF X5R 10V (0603) MLCC コンデンサを 2 個使用することを推奨します。

大きな (パルス) 負荷電流を持つアプリケーション (例: $\geq 3.4V/4A$) の場合、コンバータは、適切な量の実効出力容量と低 ESL デバイスを用いて動作させることができます。例えば、3 個の 22μF X5R 10V (0603) の MLCC コンデンサが挙げられます。

DC バイアス効果: 高コンデンサ セラミック コンデンサは DC バイアス効果を示し、デバイスの実効容量に大きな影響を与えます。したがって、適切なコンデンサの値を非常に注意深く選択する必要があります。パッケージ サイズと定格電圧、および使用される材料の組み合わせが、定格容量と実効容量の差異の原因となります。例えば、22μF X5R 6.3V (0603) の MLCC コンデンサは、通常、実効容量が 10μF 未満 (DC バイアス 3.4V、AC バイアス 20mV の条件下) となります。

RF パワー アンプ用途では、出力コンデンサの負荷は DC/DC コンバータと RF パワー アンプおよび PA 入力コンデンサの合成容量となります。

大きな出力容量値は、主にコンデンサを並列に接続することで実現されます。これにより、全体の直列抵抗 (ESR) が非常に低い値に抑えられます。その結果、出力での電圧リップルがほとんどなくなり、調整回路が反応すべき電圧降下がな

ぐなります。それでも、低 ESR でも正確な出力電圧制御を行うために、制御ループは純粋なコンパレータ制御方式に切り替わります。

8.2.1.2.3 入力コンデンサ

多層セラミックコンデンサは、ESR が極めて低く、占有面積も小さいため、昇圧コンバータの入力デカップリング用に優れた選択肢となります。コンデンサはデバイスにできる限り近づけて配置します。一方、 $22\mu F$ の入力コンデンサは、ほとんどのアプリケーションでは十分です。制限なく入力電流リップルをさらに低減するには、より大きな値を使用します。

セラミック入力コンデンサのみを使用する場合には注意が必要です。入力でセラミックコンデンサを使用している場合に、長いワイヤを通して（壁のアダプタなどから）電源を供給すると、出力での負荷ステップにより V_{IN} ピンでリングングが生じます。このリングングは出力に結びつき、ループが不安定であると誤判定をしたり、部品の損傷を招くことがあります。電源リード線と C_L の間で発生するリングングを低減するには、 C_L と電源の間に「バルク」容量（電解またはタンタル）を配置します。

8.2.1.2.4 ループ安定性のチェック

回路および安定性評価の最初のステップは、定常状態の観点から以下の信号を確認することです：

- スイッチングノード、SW
- インダクタ電流、 I_L
- 出力リップル電圧、 $V_{OUT(AC)}$

これらは、スイッチングコンバータの評価時に測定する必要のある基本的な信号です。制御ループの不安定性の兆候としては、スイッチング波形に大きなデューティサイクルジッタが見られたり、出力電圧やインダクタ電流に発振が現れたりすることがあります。これは多くの場合、基板レイアウトや L-C の組み合わせによるものです。

制御ループの評価の次のステップとして、負荷過渡応答のテストが行われます。負荷過渡が発生してから P チャネル MOSFET がオンになるまでの時間の間、出力コンデンサが負荷に必要なすべての電流を供給します。 V_{OUT} は、すぐに $\Delta I_{(LOAD)} \times ESR$ の量だけ変動します。ここで、ESR は C_{OUT} の実効直列抵抗です。 $\Delta I_{(LOAD)}$ は、 C_{OUT} の充電または放電を開始し、レギュレータが V_{OUT} を定常状態の値に戻すために使用する帰還誤差信号を生成します。デバイスが PWM モードで動作している場合、結果は最も理解しやすくなります。

この回復時間中に、 V_{OUT} のセトリングタイム、オーバーシュート、リングングを監視し、コンバータの安定性を評価します。リングングがなければ、ループは通常 45 度以上の位相マージンを持ちます。回路のダンピング係数は、温度に依存するいくつかの抵抗パラメータ（MOSFET の $r_{DS(on)}$ ）に直接関係しているため、入力電圧範囲、負荷電流範囲、温度範囲についてループ安定性解析を行う必要があります。

TLV61290 シリーズの昇圧コンバータは、 $330nH \sim 560nH$ の範囲の実効インダクタンスで動作し、出力コンデンサは $11\mu F \sim 100\mu F$ の範囲の実効インダクタンスで動作するよう最適化されています。内部補償は、 $L = 0.47\mu H$ の出力フィルタと実効 $C_O = 14\mu F$ に対して最適化されています。

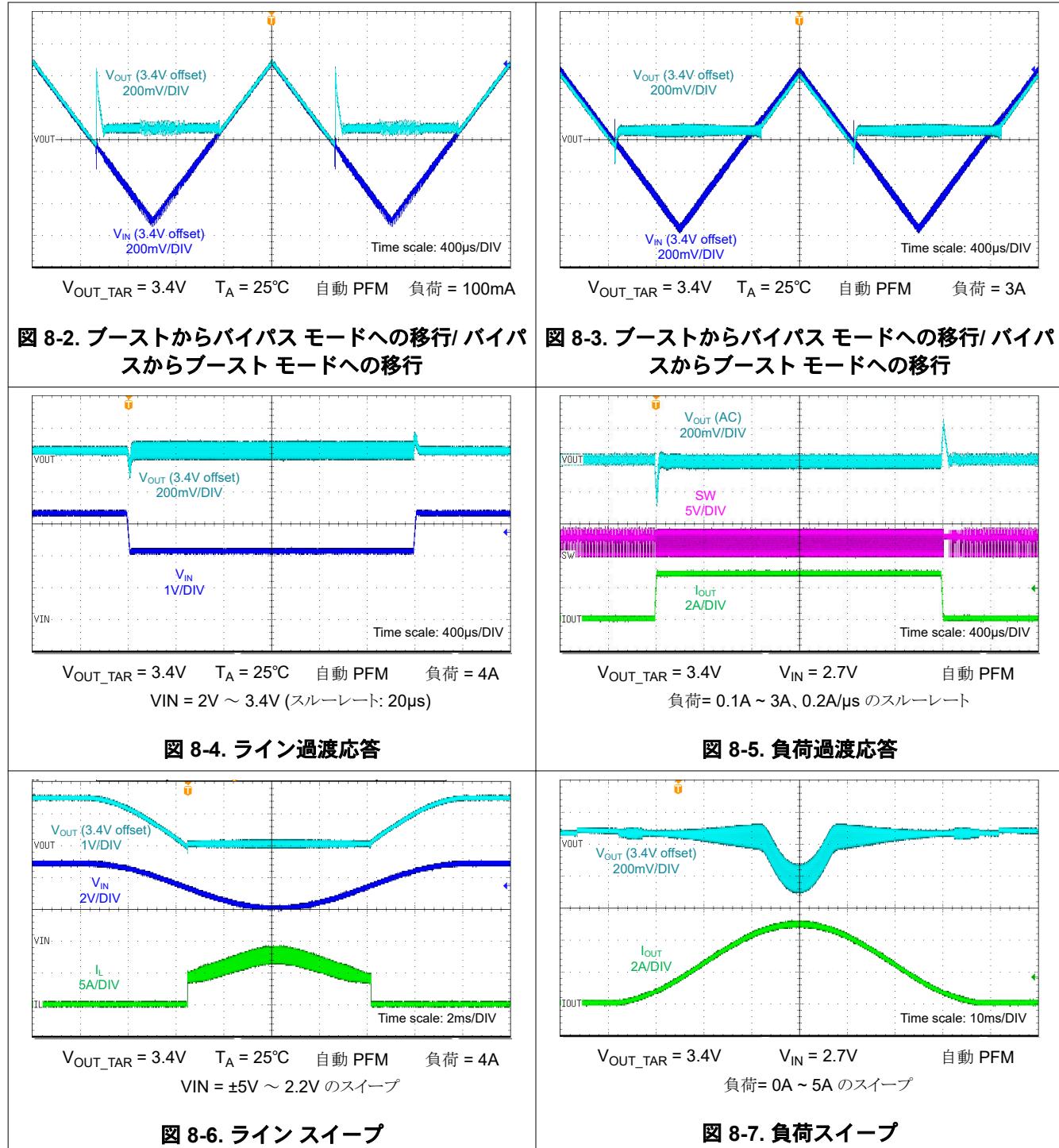
表 8-3. 部品リスト

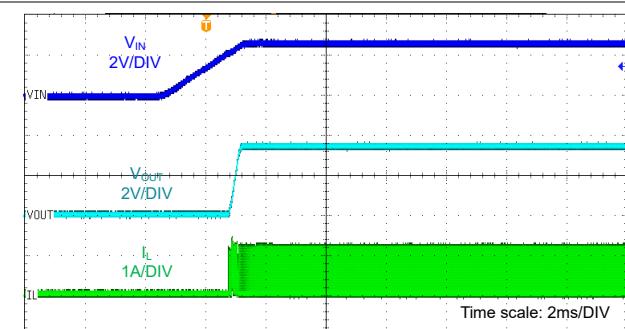
リファレンス	説明	部品番号、メーカー ⁽¹⁾
C_{IN}	$22\mu F$ 、10V、0603、X5R セラミック	GRM187R61A226ME15D
C_{OUT}	$2 \times 22\mu F$ 、10V、0603、X5R セラミック	$2 \times$ GRM187R61A226ME15D
L	$450nH$ 、 $13.8m\Omega$ 、 $4.0mm \times 4.0mm \times 1.2mm$	XGL4012-451

(1) サードパーティ製品の免責事項を参照してください。

8.2.1.3 アプリケーション曲線

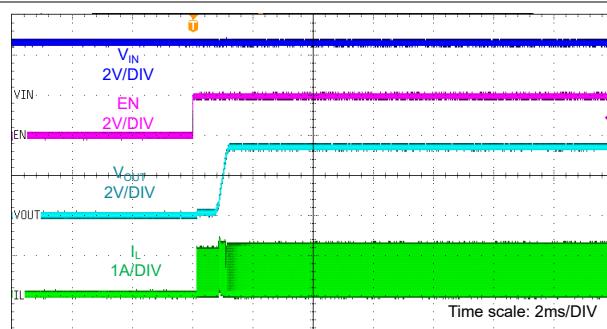
特記のない限り、標準条件は $V_{IN} = 2.5V \sim 4.35V$ 、 $V_{OUT_TAR} = 3.4V$ 、 $T_J = 25^\circ C$





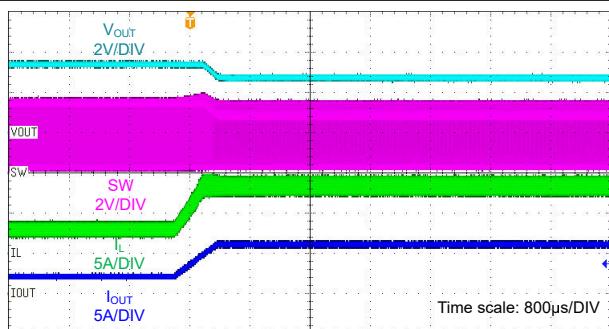
$V_{OUT_TAR} = 3.4V$ $V_{IN} = 2.7V$ 自動 PFM 10Ω の負荷

図 8-8. V_{IN} によるスタートアップ



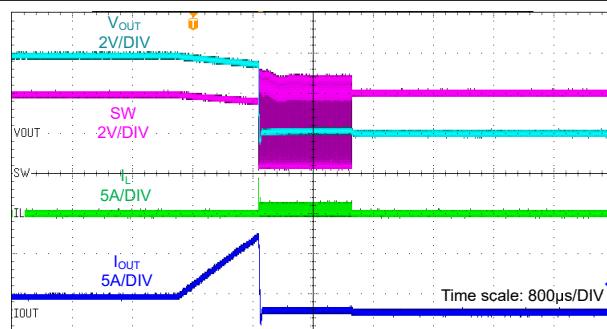
$V_{OUT_TAR} = 3.4V$ $V_{IN} = 2.7V$ 自動 PFM 10Ω の負荷

図 8-9. EN によるスタートアップ



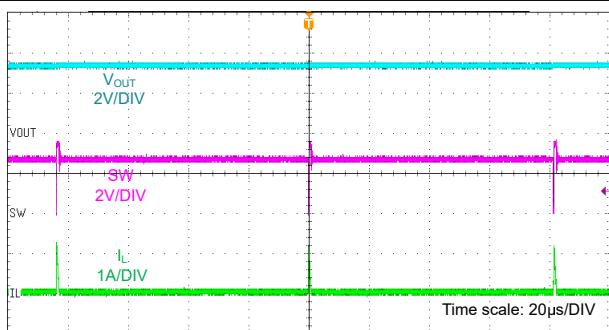
$V_{IN} = 2.7V$ 自動 PFM 負荷 = $2A \sim 6A$

図 8-10. 昇圧モードでの電流制限動作



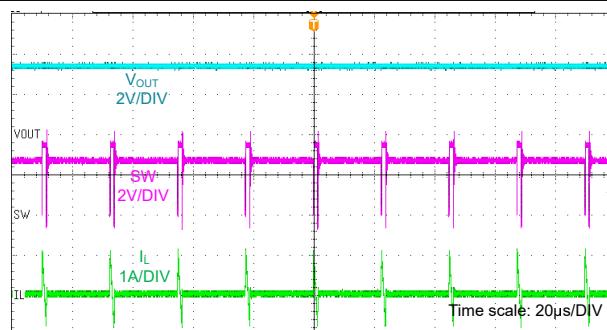
$V_{IN} = 4V$ 自動 PFM 負荷 = $2A \sim 10A$

図 8-11. バイパス モードでの電流制限動作



$V_{OUT_TAR} = 3.4V$ $V_{IN} = 2.7V$ 自動 PFM 負荷 = $5mA$

図 8-12. 軽負荷時のスイッチング波形



$V_{OUT_TAR} = 3.4V$ $V_{IN} = 2.7V$ USM 負荷 = $5mA$

図 8-13. 軽負荷時のスイッチング波形

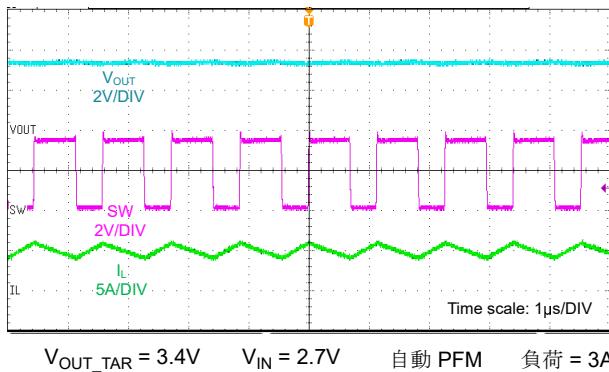


図 8-14. 重負荷時のスイッチング波形

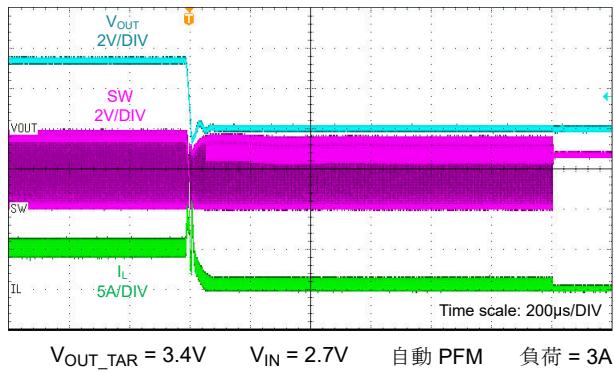


図 8-15. グランドへの出力短絡保護

8.3 電源に関する推奨事項

デバイスは、 $2.0V \sim 5.0V$ の入力電源電圧範囲で動作するように設計されています。この入力電源を適切にレギュレーションします。入力電源が TLV61290 コンバータから数インチ以上離れている場合、セラミック バイパス コンデンサに加えてバルク容量の追加が必要になることがあります。 $47\mu F$ の電解コンデンサまたはタンタル コンデンサが典型的な選択肢です。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

すべてのスイッチング電源、特に高いスイッチング周波数と大電流で動作する電源については、レイアウトは、重要な設計ステップです。レイアウトを注意深く行わないと、レギュレータで不安定性やノイズの問題が発生する可能性があります。効率を最大化するために、スイッチの立ち上がり時間と立ち下がり時間は非常に短くなっています。高周波ノイズ (たとえば EMI) の放射を防止するには、高周波スイッチング パスを適切にレイアウトすることが不可欠です。 SW ピンに接続されるすべてのパターンの長さと面積を最小限に抑え、スイッチング レギュレータの下には常にグランドプレーンを使用して、プレーン間カッティングを最小限に抑えます。

入力コンデンサは、 I_{input} 電源リップルを低減するために、 V_{IN} ピンの近くに配置するだけでなく、 $PGND$ ピンの近くに配置する必要があります。

寄生インダクタンスを低減するために、 V_{OUT} 、出力コンデンサ、および $PGND$ の電源経路はできるだけ短くしてください。

このデバイスは高い電力密度を持つため、レイアウトは熱設計も十分に考慮して行う必要があります。パッケージの熱特性を向上させるために、 SW 、 V_{OUT} 、 $PGND$ ピンは大きなパターンに半田付けし、 SW ピンの下にサーマル ピアを設けることで熱性能が改善されます。

8.4.2 レイアウト例

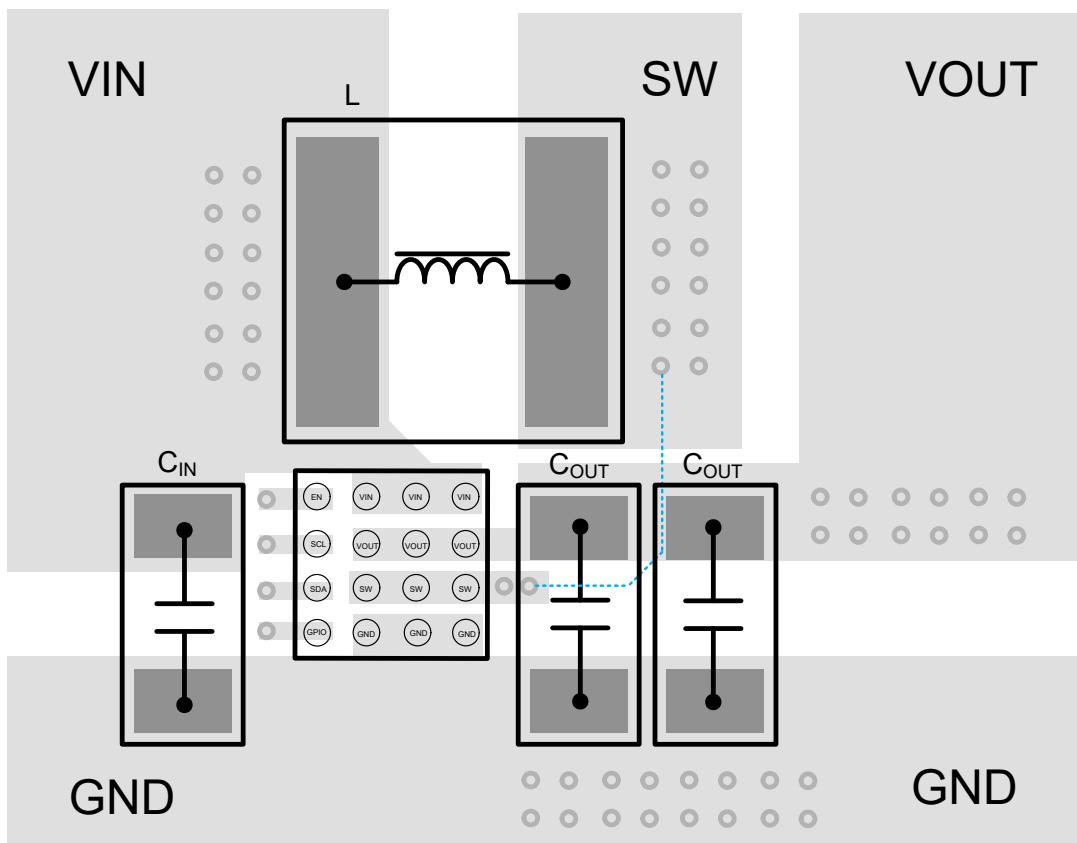


図 8-16. 推奨レイアウト (上面)

8.4.3 热に関する情報

一般に、低背でファインピッチの表面実装パッケージに IC を実装する場合は、消費電力に特別な注意が必要です。熱結合、エアフロー、追加ヒートシンク、対流面、他の発熱部品の存在など、システムに依存する多くの問題により、所定の部品の消費電力の限界が左右されます。

熱特性強化の 3 つの方法を以下のリストに示します。

- PCB 設計による消費電力性能の改善
- PCB コンポーネントの熱結合の改善
- システムへのエアフローの導入

ポータブル設計における電力需要の重要性はますます高まっており、設計者は効率、電力損失、ソリューション サイズの間で最適な選択を行う必要があります。集積化と小型化により接合部温度が大幅に上昇し、これが原因でアプリケーションの不具合 (例えば、早期のサーマルシャットダウン、あるいは最悪の場合デバイスの信頼性低下を招く) 可能性があります。

接合部から周囲への熱抵抗は、アプリケーションと基板レイアウトに大きく依存します。最大電力損失が大きいアプリケーションでは、基板設計において放熱対策に特に注意を払う必要があります。デバイスの動作時接合部温度 (T_J) は 125°C 未満に維持してください。

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

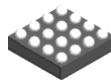
10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

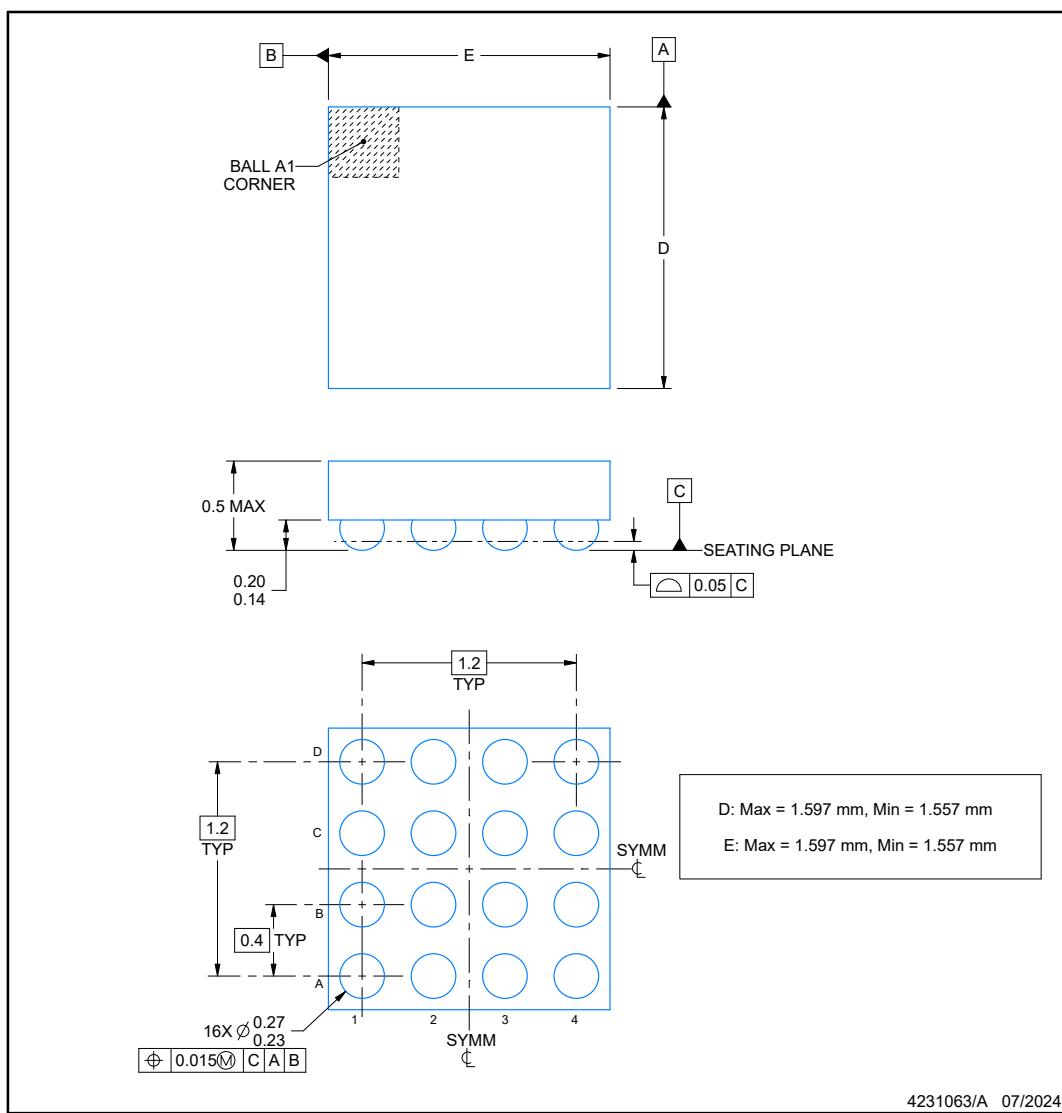
Changes from Revision * (July 2025) to Revision A (November 2025)	Page
• バイパス モードの説明を更新.....	18

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

YBG0016-C01**PACKAGE OUTLINE****DSBGA - 0.5 mm max height**

DIE SIZE BALL GRID ARRAY



NOTES:

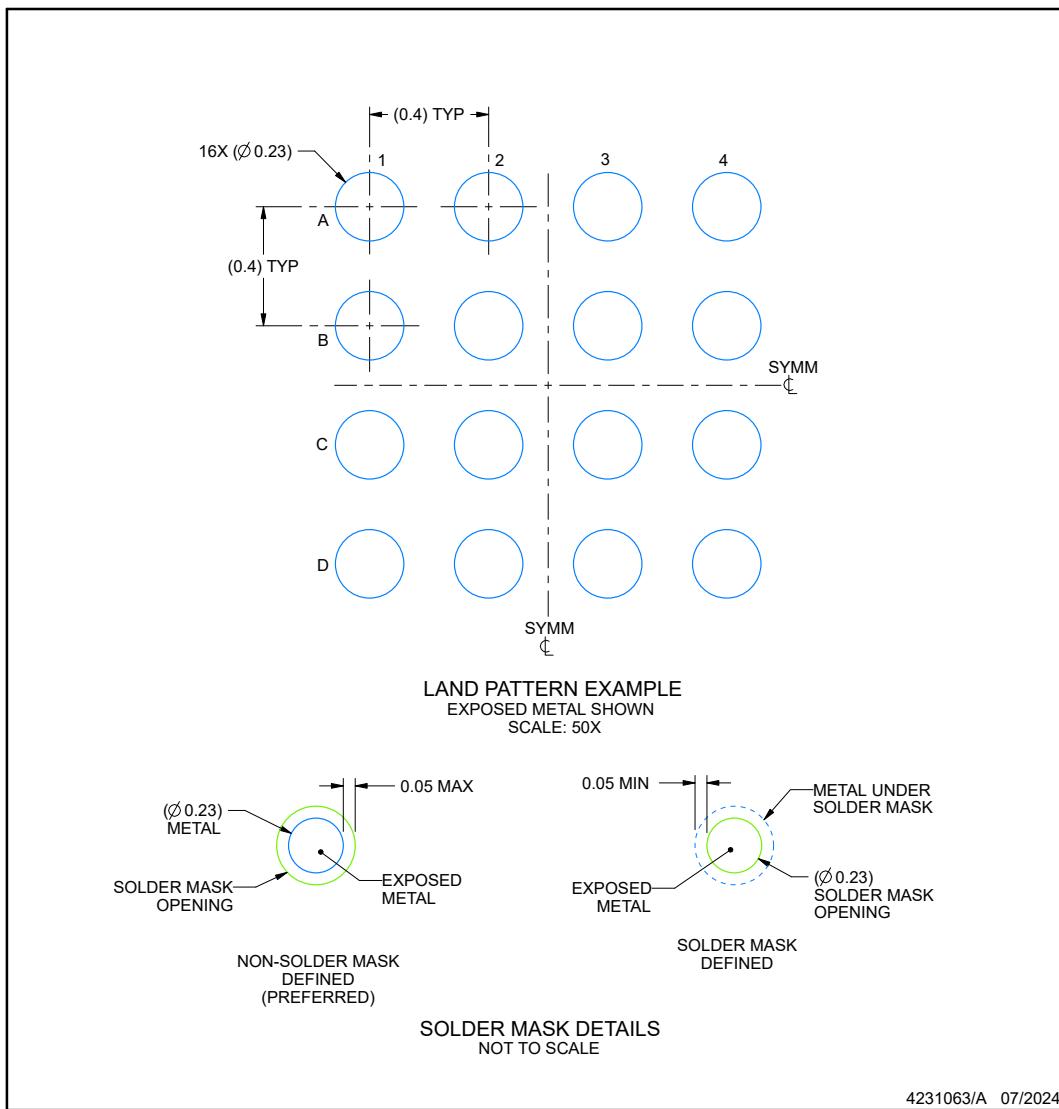
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

YBG0016-C01

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

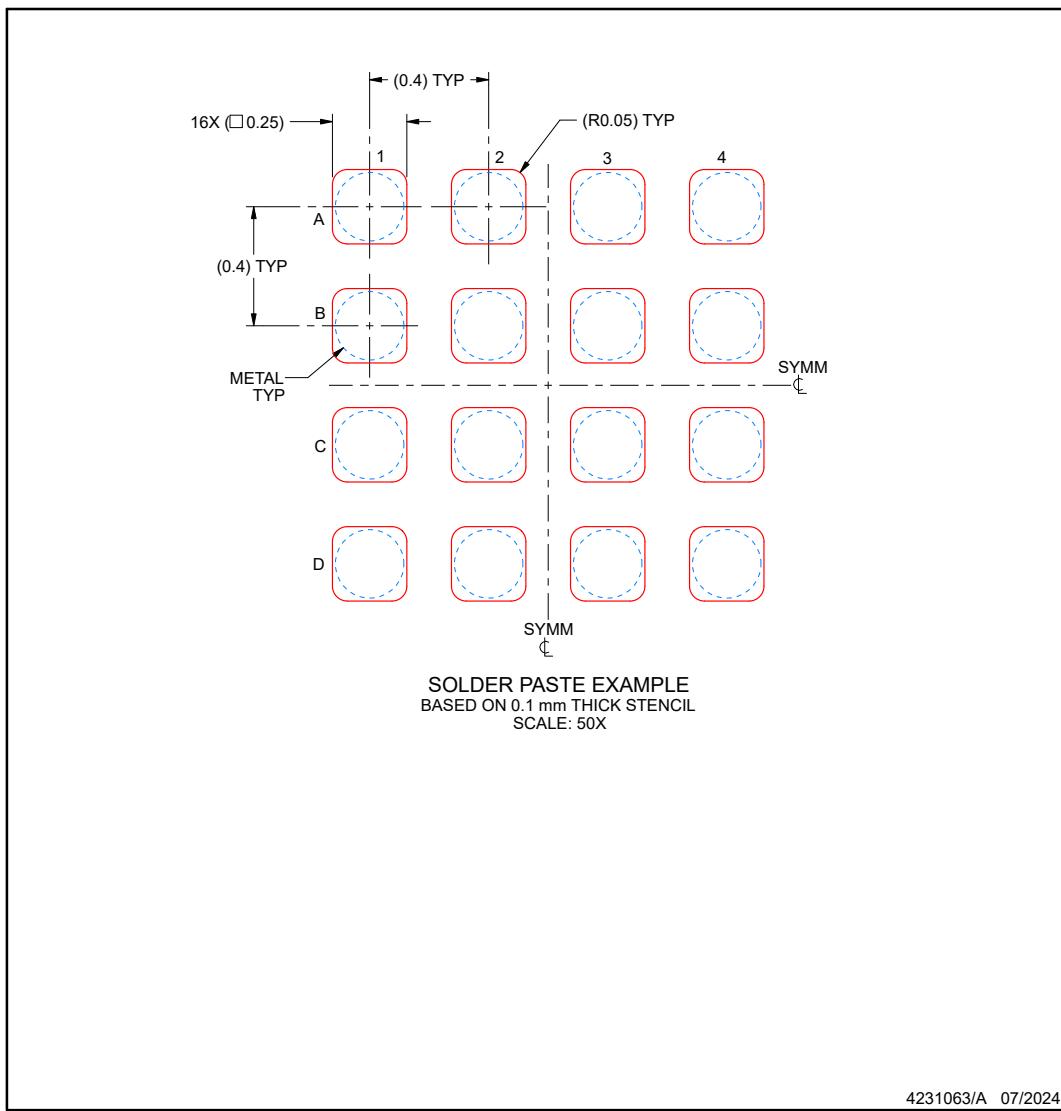
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBG0016-C01

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV61290YBGR	Active	Production	DSBGA (YBG) 16	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-	1ZG

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

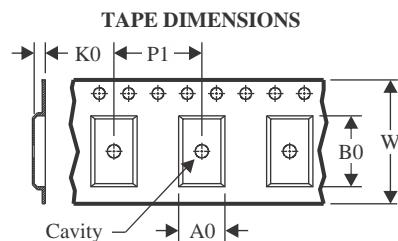
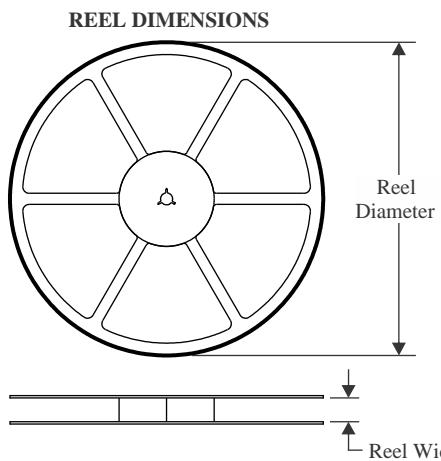
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

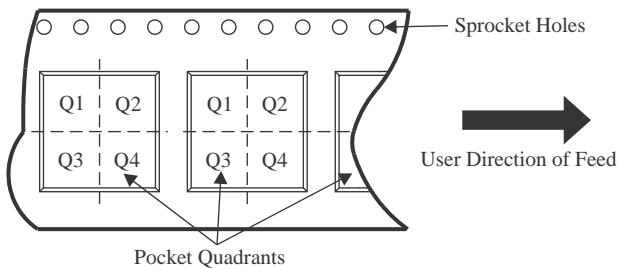
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



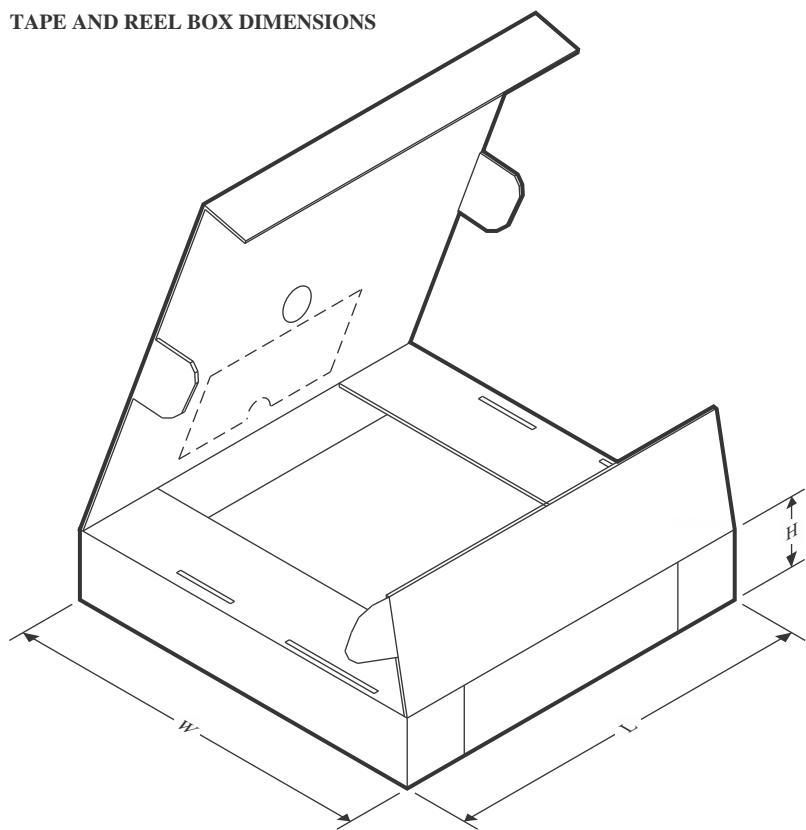
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV61290YBGR	DSBGA	YBG	16	3000	180.0	8.4	1.68	1.72	0.62	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV61290YBGR	DSBGA	YBG	16	3000	182.0	182.0	20.0

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月