

2チャンネル 200mA、低消費電流、 携帯機起用、低ドロップアウト・リニア・レギュレータ

特 長

- 低ドロップアウト電圧:
 - 150mV ($I_{OUT} = 200\text{mA}$ 、 $V_{OUT} = 2.8\text{V}$ 時)
 - 75mV ($I_{OUT} = 100\text{mA}$ 、 $V_{OUT} = 2.8\text{V}$ 時)
 - 40mV ($I_{OUT} = 50\text{mA}$ 、 $V_{OUT} = 2.8\text{V}$ 時)
- 出力電圧精度 2% (全温度範囲)
- 低自己消費電流 I_Q : 35 μA (チャンネルあたり)
- 1.2Vから4.8Vの間の異なる電圧組み合わせの固定出力製品が可能
- 高いPSRR能力 (1kHzで70dB)
- 0.1 μF (実効容量) のセラミック・コンデンサで安定⁽¹⁾
- 過熱保護と過電流保護
- 各出力で独立した基準電圧によりクロストークを最小化
- 1.5mm × 1.5mmのSON-6パッケージ
 - (1) 入出力コンデンサの要件はアプリケーション情報の項を参照してください。

アプリケーション

- 携帯電話、スマートフォン、PDA
- MP3プレーヤー などの携帯機器製品

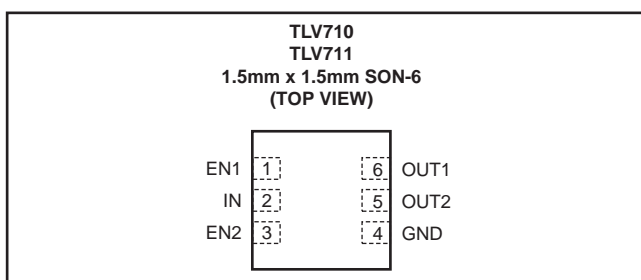
概 要

TLV710とTLV711 シリーズの低ドロップアウト (LDO) でローパワーの2chリニア・レギュレータは極めて低いグランド電流にもかかわらず優れた電源及び負荷に対する過渡応答特性を示します。これらのLDOは高い電源性能を必要とするアプリケーション向けに開発されました。これらの製品は全温度範囲で標準2%の電圧精度を実現しています。

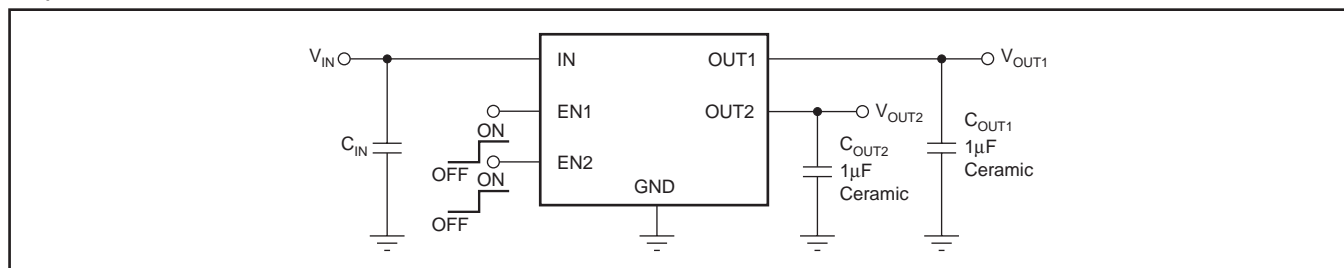
TLV711シリーズはOFF時に出力電圧の電荷を高速放電するためのアクティブ・プルダウン回路を内蔵しています。

さらに、TLV711-DシリーズはENピンにプルダウン抵抗を内蔵しています。この設計により、ENピンを駆動する信号の駆動能力が不足している場合や不定の状態 (例えばマイコンのGPIOは起動時には3ステート出力の場合が多い) に役立ちます。プルダウン抵抗によりENピンの電圧は0Vに引き下げられるので製品はディスエーブルになります。

TLV710とTLV711シリーズは1.5mm × 1.5mmのSON-6パッケージで供給され、携帯機器アプリケーションに最適です。



標準アプリケーション回路



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	出力電圧 ⁽²⁾
TLV710xxyyqwwwz TLV711xxyyqwwwz	XX はCH1の標準出力電圧 (例: 18 = 1.8V) YY はCH2の標準出力電圧 (例: 28 = 2.8V) Q はオプション。ENピンにプル・アップ抵抗を内蔵する場合 “U”、ENピンにプル・ダウン抵抗を内蔵する場合 “D” WWW はパッケージ記号 Z は数量。リール (3000 個) の場合 “R”、テープ (250 個) の場合 “T”

- (1) 最新のパッケージおよび発注情報については、最新の英文データシートの最後のPackage Option Addendum、またはTIホームページ www.ti.com を参照してください。
- (2) 先進的な工場での出荷時プログラミングにより1.2Vから4.8Vで50mVきざみの出力電圧で供給可能です。最小発注数量の適用があります。詳細についてはお問い合わせください。

絶対最大定格⁽¹⁾

T_J は -40°C から $+125^{\circ}\text{C}$ (特に記述のない限り)

		VALUE		単位
		MIN	MAX	
Voltage ⁽²⁾	IN	-0.3	+6.0	V
	EN	-0.3	$V_{IN} + 0.3$	V
	OUT	-0.3	+6.0	V
Current	OUT	Internally limited		A
Output short-circuit duration		Indefinite		s
Temperature	Operating junction, T_J	-55	+150	$^{\circ}\text{C}$
	Storage, T_{stg}	-55	+150	$^{\circ}\text{C}$
Electrostatic Discharge Rating	Human body model (HBM) QSS 009-105 (JESD22-A114A)	2		kV
	Charged device model (CDM) QSS 009-147 (JESD22-C101B.01)	500		V

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 全ての電圧はGNDが基準です。

熱情報⁽¹⁾

THERMAL METRIC ⁽²⁾		TLV710, TLV711	単位
		DSE	
		6 PINS	
θ_{JT}	Junction-to-top characterization parameter	6	$^{\circ}\text{C}/\text{W}$

- (1) 詳細は許容損失の章を参照してください。
- (2) 従来方式と最新の方式での熱設計に関する詳細情報はアプリケーション・レポート “IC Package Thermal Metrics application report, SPRA953” を参照してください。

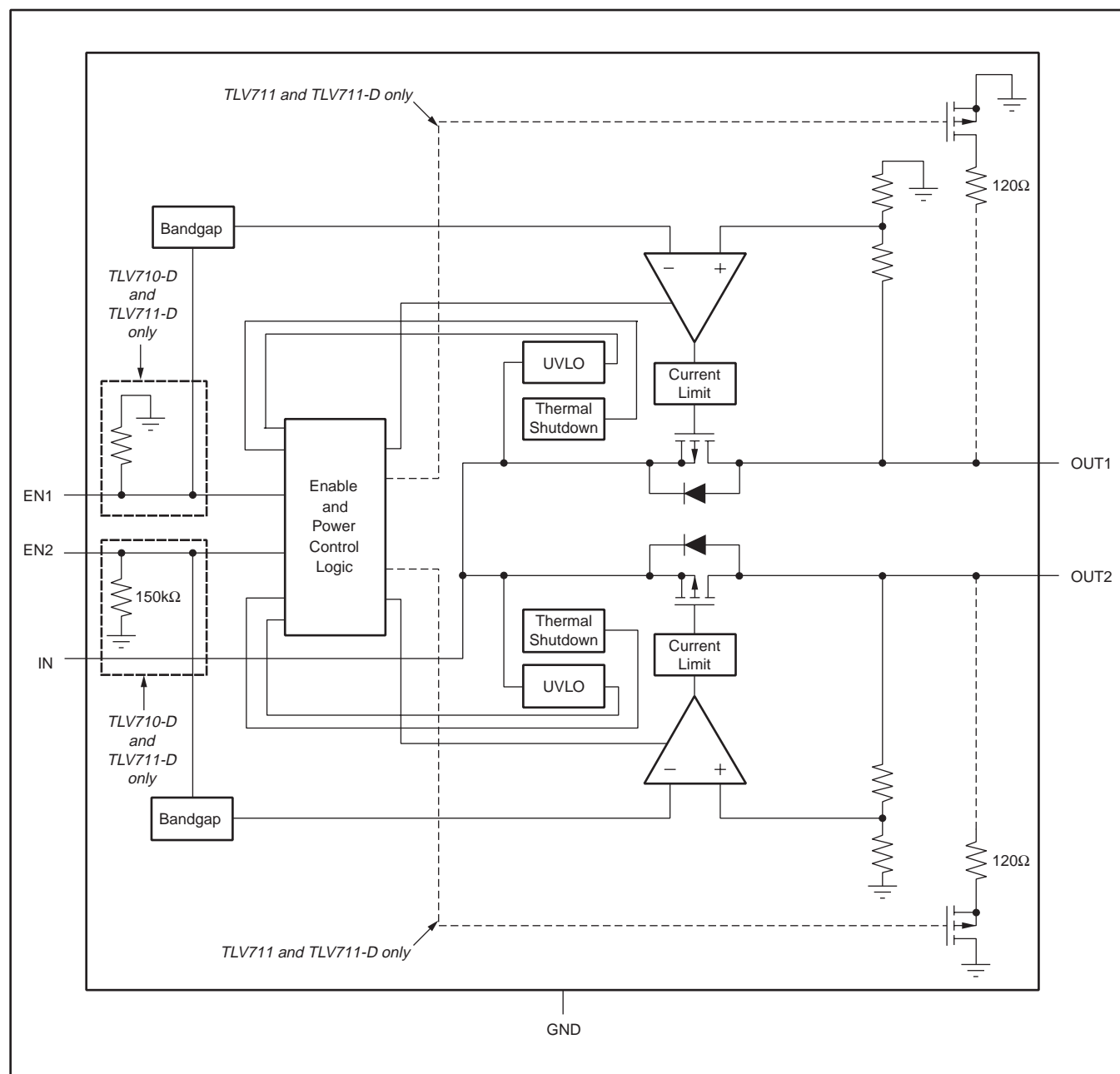
電気的特性

$T_J = +25^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 0.5\text{V}$ または 2.0V (電圧の高い方)、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN1} = V_{EN2} = 0.9\text{V}$ 、 $C_{OUT1} = C_{OUT2} = 1\mu\text{F}$ の時 (特に記述のない限り)

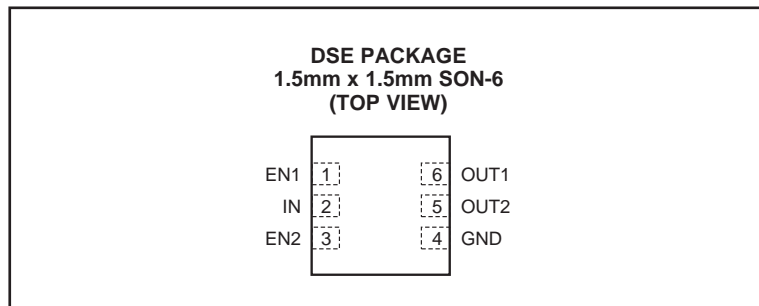
パラメータ		テスト条件	TLV710, TLV711			単位
			MIN	TYP	MAX	
V_{IN}	Input voltage range		2.0		5.5	V
V_O	Output voltage range		1.2		4.8	V
V_{OUT}	DC output accuracy	$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$	-2		+2	%
$\Delta V_O / \Delta V_{IN}$	Line regulation	$V_{OUT(NOM)} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$		1	5	mV
$\Delta V_O / \Delta I_{OUT}$	Load regulation	$0\text{mA} \leq I_{OUT} \leq 200\text{mA}$		5	15	mV
V_{DO}	Dropout voltage	$V_{IN} = 0.98\text{V} \times V_{OUT(NOM)}$, $I_{OUT} = 200\text{mA}$, $2\text{V} \leq V_{OUT} < 2.4\text{V}$		200	285	mV
		$V_{IN} = 0.98\text{V} \times V_{OUT(NOM)}$, $I_{OUT} = 200\text{mA}$, $2.4\text{V} \leq V_{OUT} < 2.8\text{V}$		175	250	mV
		$V_{IN} = 0.98\text{V} \times V_{OUT(NOM)}$, $I_{OUT} = 200\text{mA}$, $2.8\text{V} \leq V_{OUT} < 3.3\text{V}$		150	215	mV
		$V_{IN} = 0.98\text{V} \times V_{OUT(NOM)}$, $I_{OUT} = 200\text{mA}$, $3.3\text{V} \leq V_{OUT} \leq 4.8\text{V}$		140	200	mV
I_{CL}	Output current limit	$V_{OUT} = 0.9\text{V} \times V_{OUT(NOM)}$	220	350	550	mA
I_Q	Quiescent current	$V_{EN1} = \text{high}$, $V_{EN2} = \text{low}$, $I_{OUT1} = 0\text{mA}$		35		μA
		$V_{EN1} = \text{low}$, $V_{EN2} = \text{high}$, $I_{OUT2} = 0\text{mA}$		35		μA
		$V_{EN1} = \text{high}$, $V_{EN2} = \text{high}$, $I_{OUT} = 0\text{mA}$		70	110	μA
I_{GND}	Ground pin current	$I_{OUT1} = I_{OUT2} = 200\text{mA}$		360		μA
$I_{SHUTDOWN}$	Shutdown current	$V_{EN1,2} \leq 0.4\text{V}$, $2.0\text{V} \leq V_{IN} \leq 4.5\text{V}$		2.5	4	μA
PSRR	Power-supply rejection ratio	$V_{OUT} = 1.8\text{V}$	$f = 10\text{Hz}$	80		dB
			$f = 100\text{Hz}$	75		dB
			$f = 1\text{kHz}$	70		dB
			$f = 10\text{kHz}$	70		dB
			$f = 100\text{kHz}$	50		dB
V_N	Output noise voltage	$\text{BW} = 100\text{Hz to } 100\text{kHz}$, $V_{OUT} = 1.8\text{V}$		48		μV_{RMS}
t_{STR}	Startup time ⁽¹⁾	$C_{OUT} = 1.0\mu\text{F}$, $I_{OUT} = 200\text{mA}$		100		μs
V_{HI}	Enable high (enabled)		0.9		V_{IN}	V
V_{LO}	Enable low (shutdown)		0		0.4	V
I_{EN}	Enable pin current, enabled	TLV710, TLV711		0.04		μA
		TLV710-D, TLV711-D		6		μA
UVLO	Undervoltage lockout	V_{IN} rising		1.9		V
T_J	Operating junction temperature		-40		+125	$^{\circ}\text{C}$
T_{SD}	Thermal shutdown temperature	Shutdown, temperature increasing		+165		$^{\circ}\text{C}$
		Reset, temperature decreasing		+145		$^{\circ}\text{C}$

(1) 起動時間はENがアサートされてから $V_{OUT(TYP)} \times 0.98$ までの時間です。

機能ブロック図



ピン配置図



端子機能

名称	ピン番号	機 能
EN1	1	レギュレータ1のイネーブルピン。EN1を0.9V以上にするとレギュレータ1はオンになります。EN1を0.4V以下にするとレギュレータ1はシャットダウン・モードになります。
IN	2	デバイスの入力電源。安定性の確保の為に小型セラミック・コンデンサをこのピンとGND間に接続する事を推奨します。詳細はアプリケーション情報の“入出力コンデンサの要件”を参照して下さい。
EN2	3	レギュレータ2のイネーブルピン。EN2を0.9V以上にするとレギュレータ2はオンになります。EN2を0.4V以下にするとレギュレータ2はシャットダウン・モードになります。
GND	4	グラウンド ピン。
OUT2	5	レギュレータ2の出力電圧ピンです。安定性を確保するにはこのピンとグラウンドの間に小型の1μFのセラミック・コンデンサが必要です。詳細はアプリケーション情報の“入出力コンデンサの要件”を参照して下さい。
OUT1	6	レギュレータ1の出力電圧ピンです。安定性を確保するにはこのピンとグラウンドの間に小型の1μFのセラミック・コンデンサが必要です。詳細はアプリケーション情報の“入出力コンデンサの要件”を参照して下さい。

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN2} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT2} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

LINE REGULATION: V_{OUT1}
(TLV7101828)

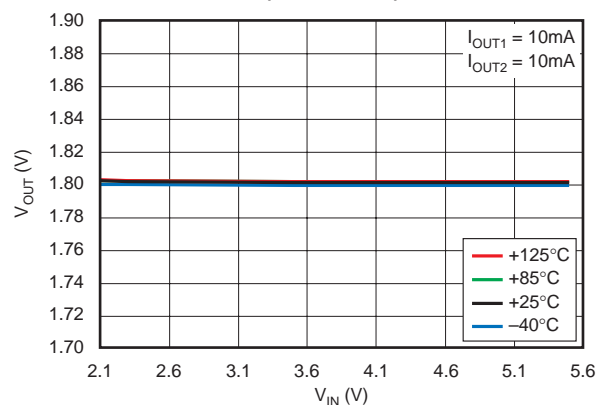


図 1

LINE REGULATION: V_{OUT2}
(TLV7101828)

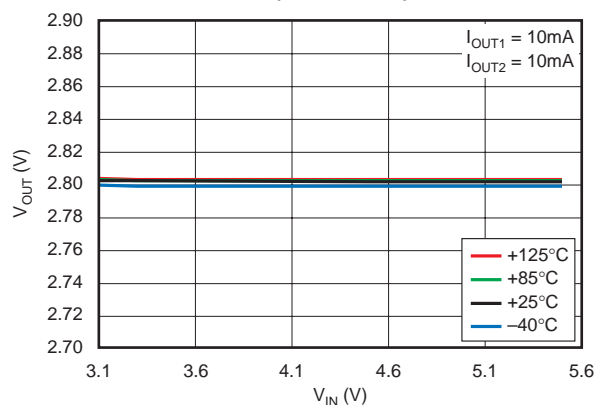


図 2

LINE REGULATION: V_{OUT1}
(TLV7101828)

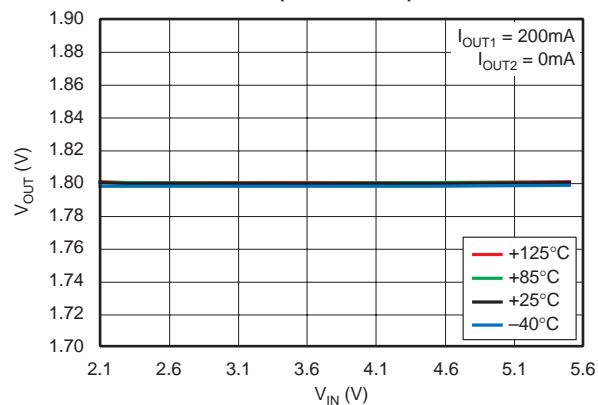


図 3

LINE REGULATION: V_{OUT2}
(TLV7101828)

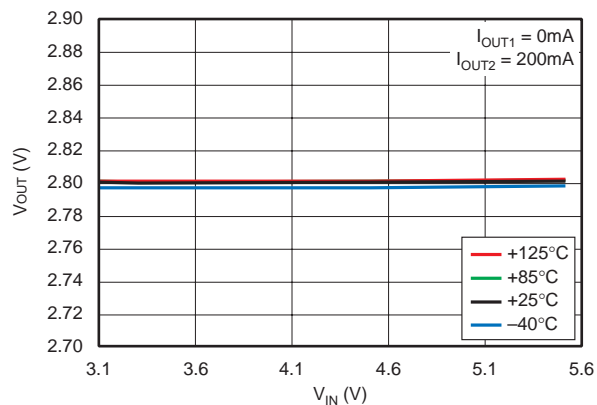


図 4

LINE REGULATION: V_{OUT1}
(TLV7103333)

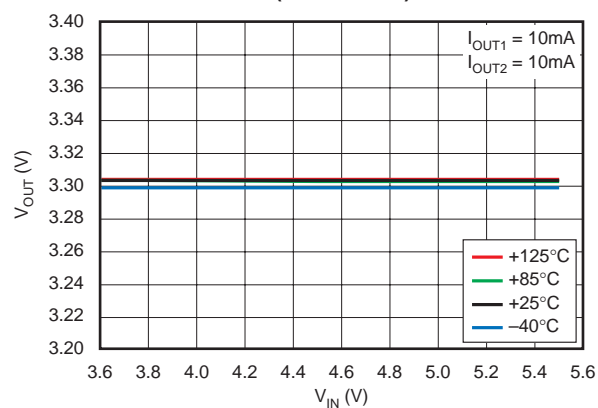


図 5

LINE REGULATION: V_{OUT2}
(TLV7103333)

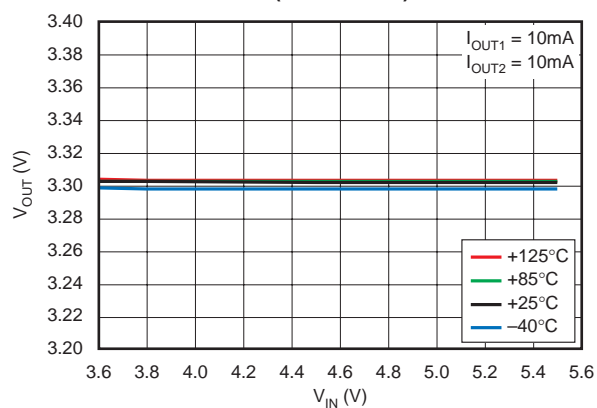


図 6

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN1} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT2} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

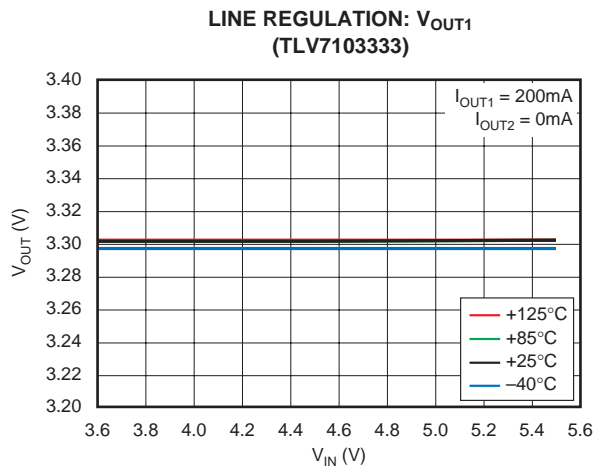


図 7

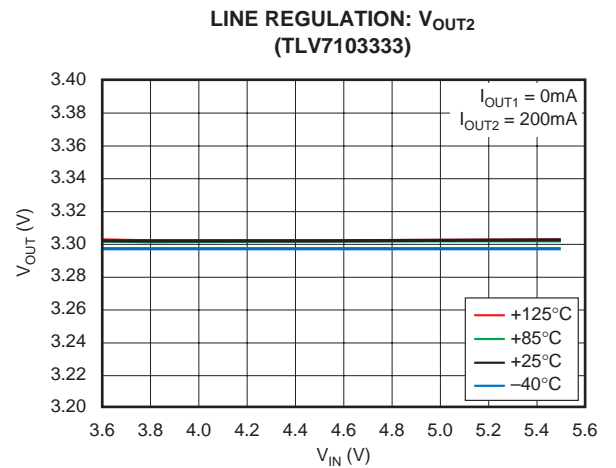


図 8

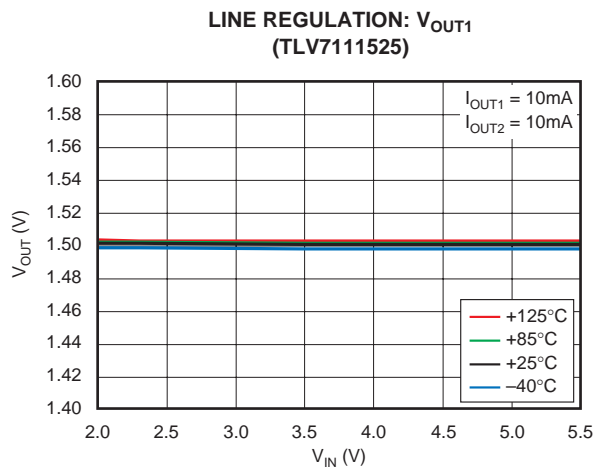


図 9

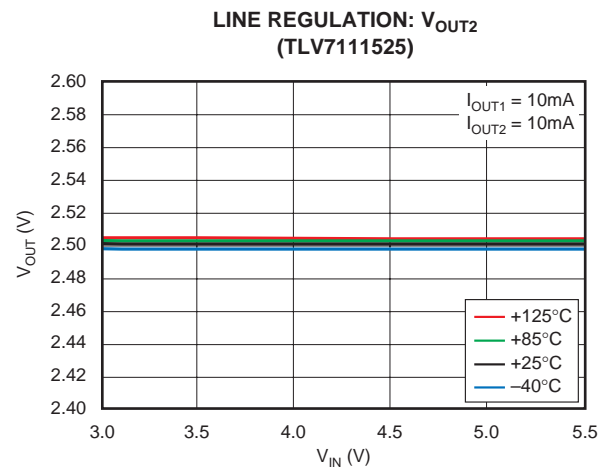


図 10

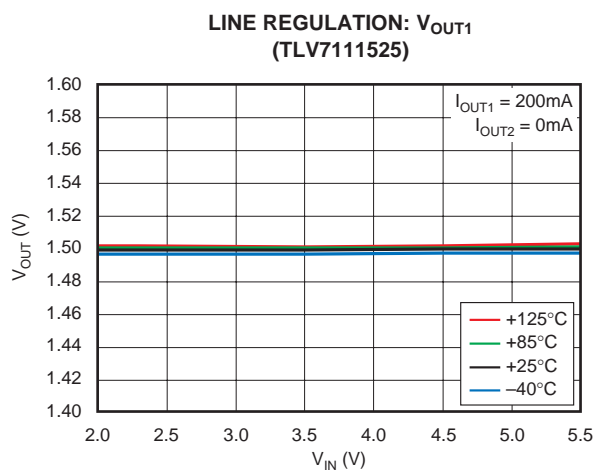


図 11

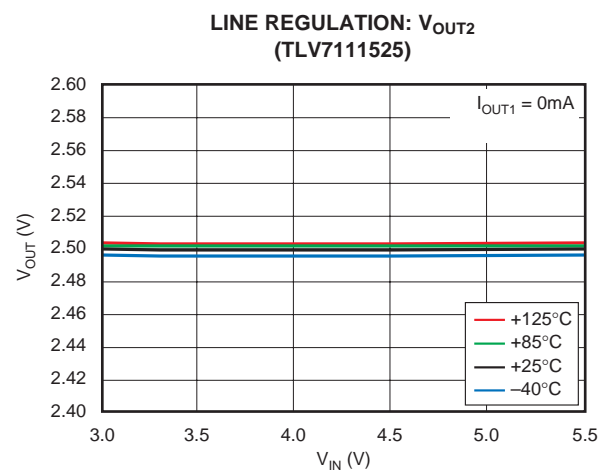


図 12

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN1} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT2} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

LOAD REGULATION: V_{OUT1}
(TLV7101828)

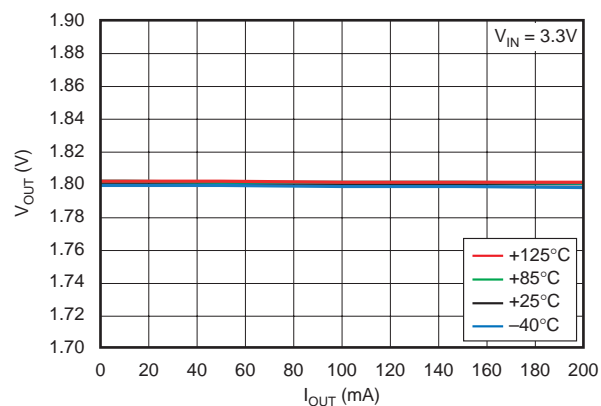


図 13

LOAD REGULATION: V_{OUT2}
(TLV7101828)

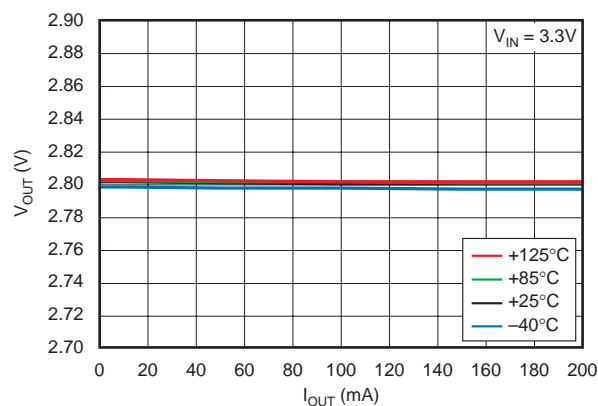


図 14

LOAD REGULATION: V_{OUT1}
(TLV7103333)

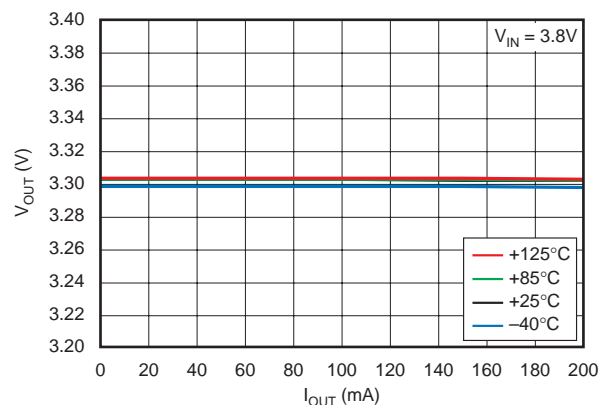


図 15

LOAD REGULATION: V_{OUT2}
(TLV7103333)

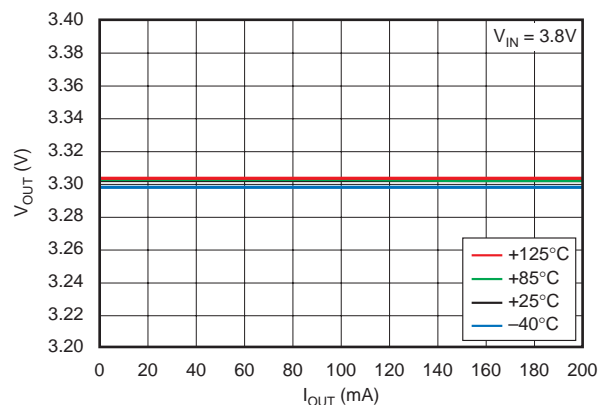


図 16

LOAD REGULATION: V_{OUT1}
(TLV7111525)

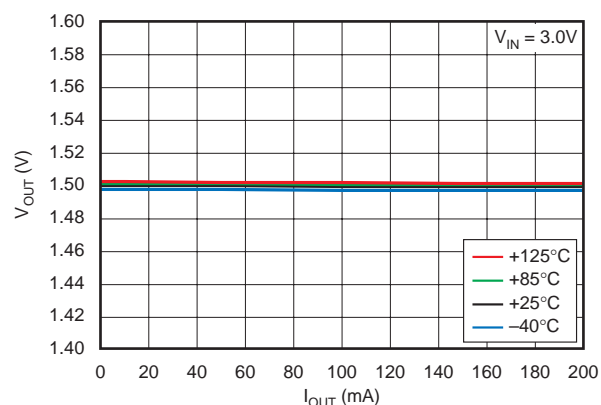


図 17

LOAD REGULATION: V_{OUT2}
(TLV7111525)

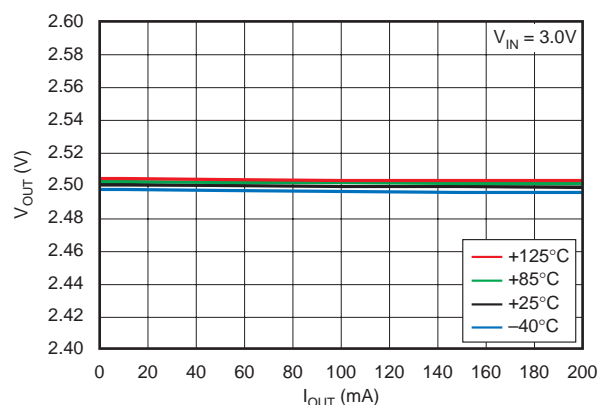


図 18

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{\text{EN}1} = V_{\text{EN}2} = V_{\text{IN}}$ 、 $C_{\text{IN}} = 1\mu\text{F}$ 、 $C_{\text{OUT}1} = 1.0\mu\text{F}$ および $C_{\text{OUT}2} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

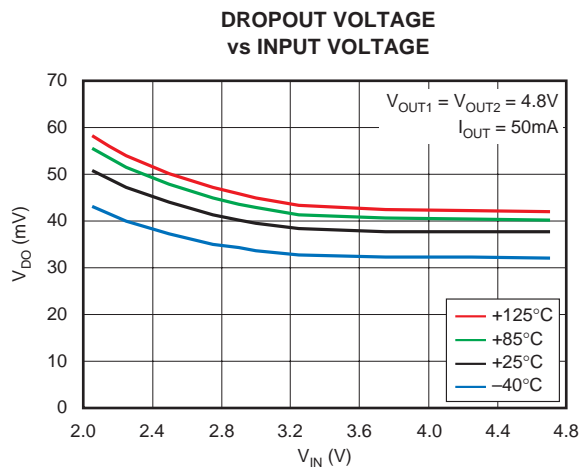


図 19

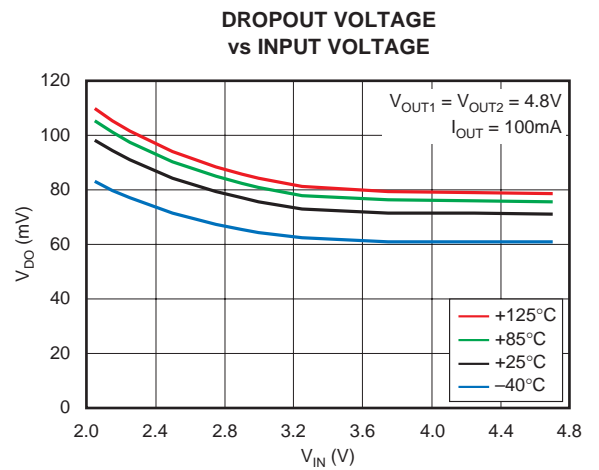


図 20

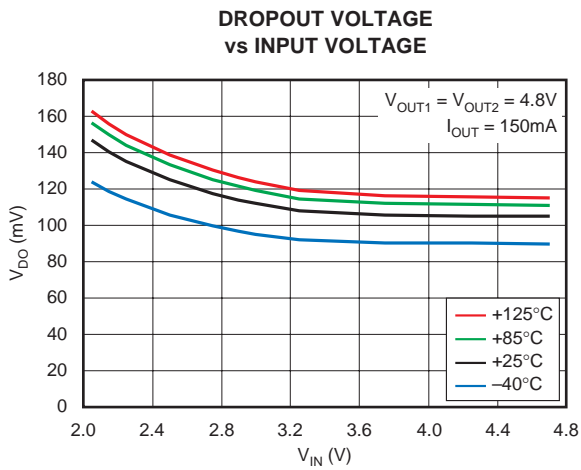


図 21

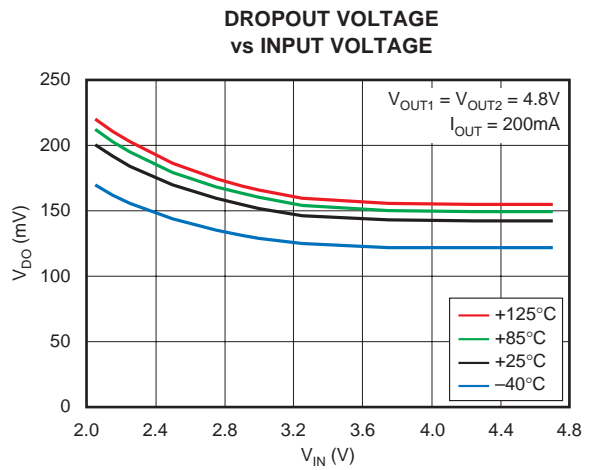


図 22

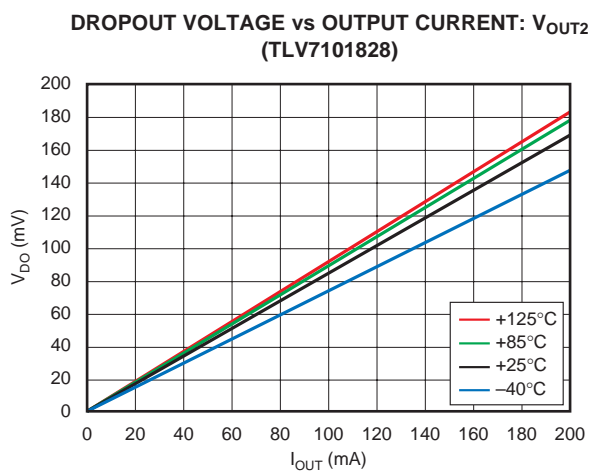


図 23

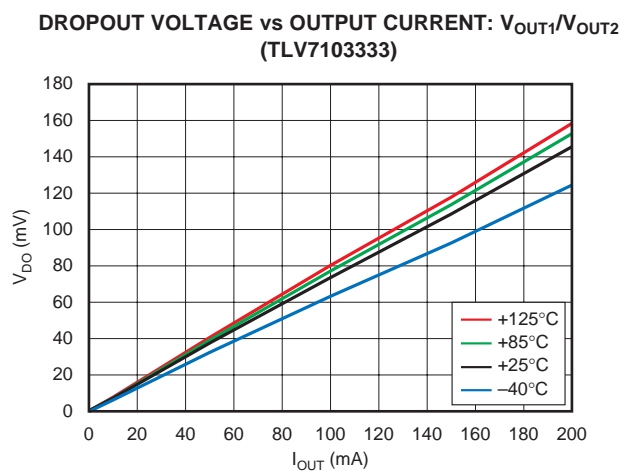


図 24

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{\text{EN1}} = V_{\text{EN1}} = V_{\text{IN}}$ 、 $C_{\text{IN}} = 1\mu\text{F}$ 、 $C_{\text{OUT1}} = 1.0\mu\text{F}$ および $C_{\text{OUT1}} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

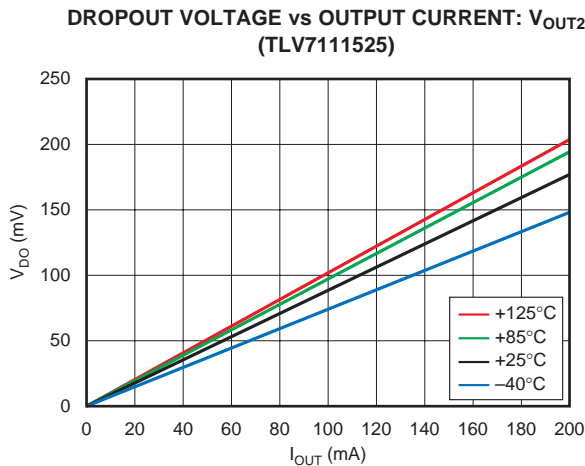


図 25

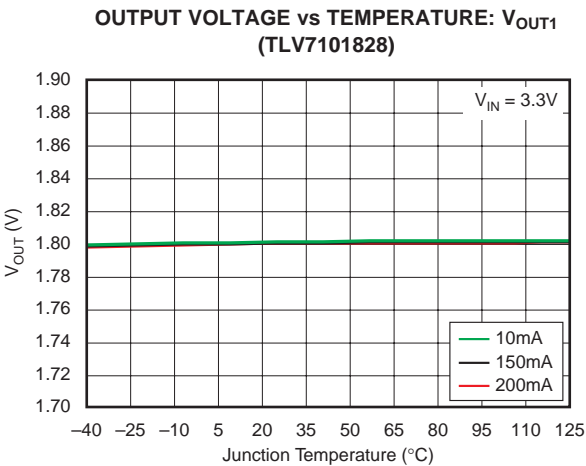


図 26

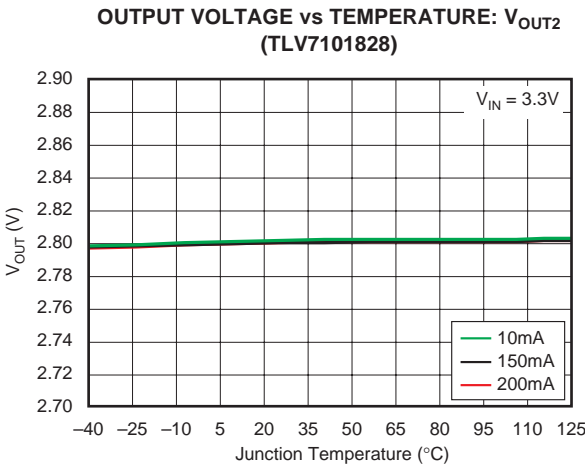


図 27

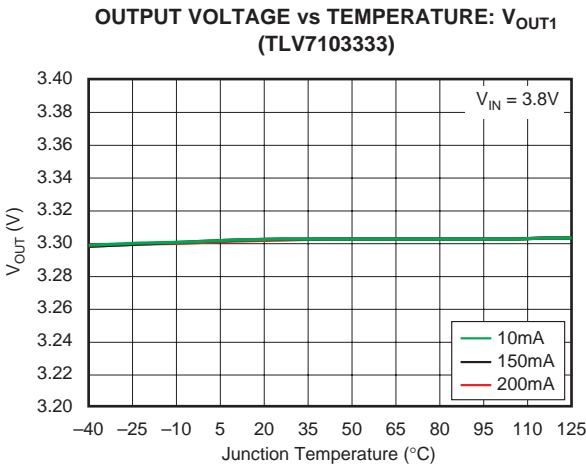


図 28

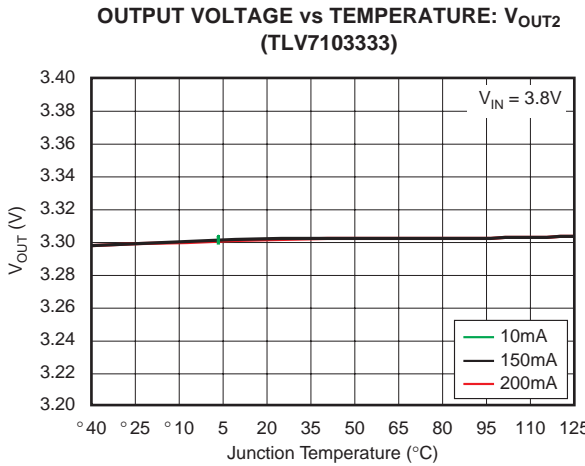


図 29

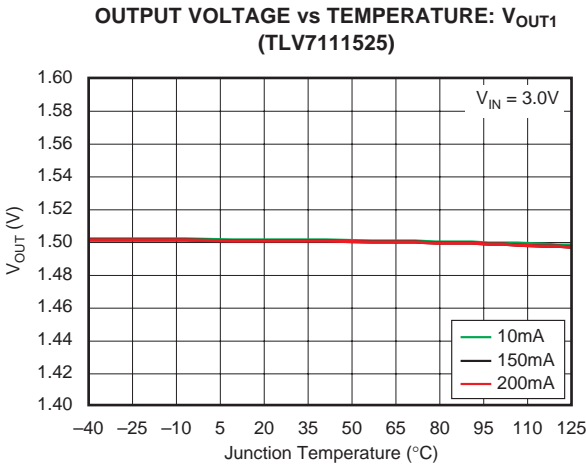


図 30

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN2} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT2} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

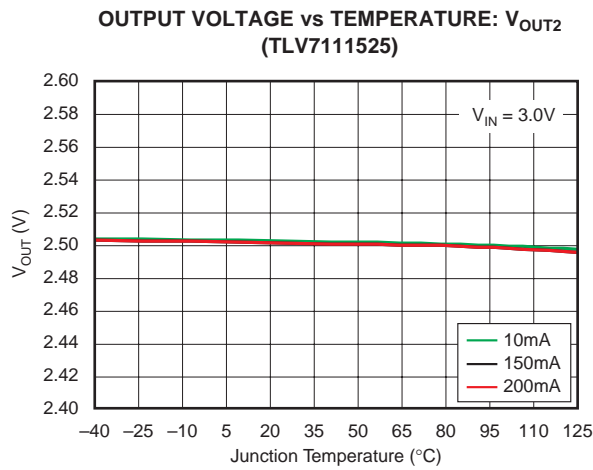


図 31

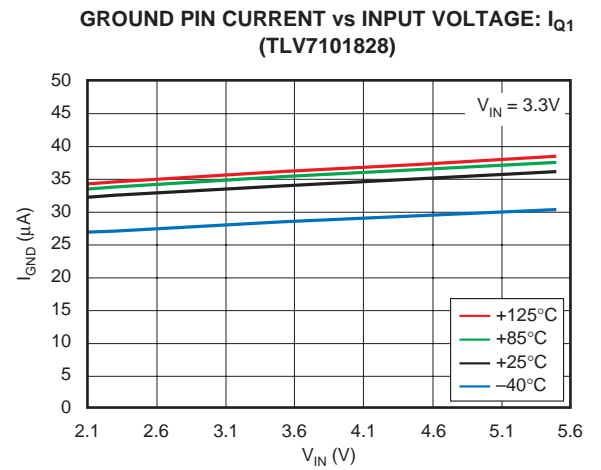


図 32

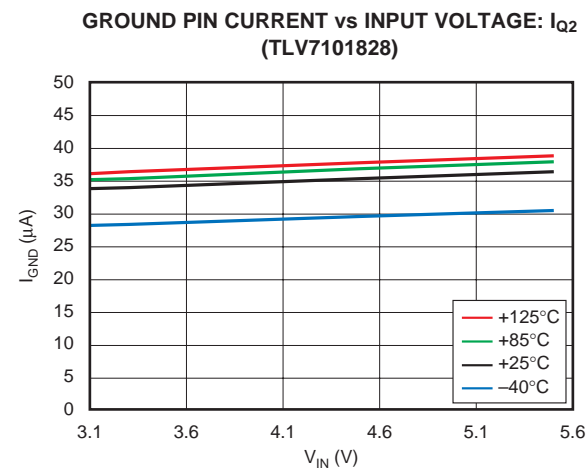


図 33

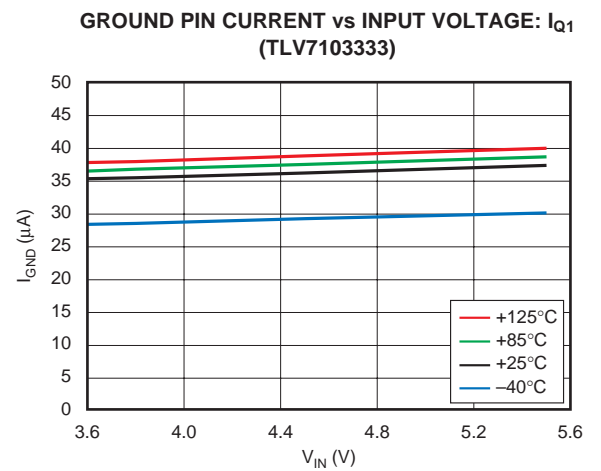


図 34

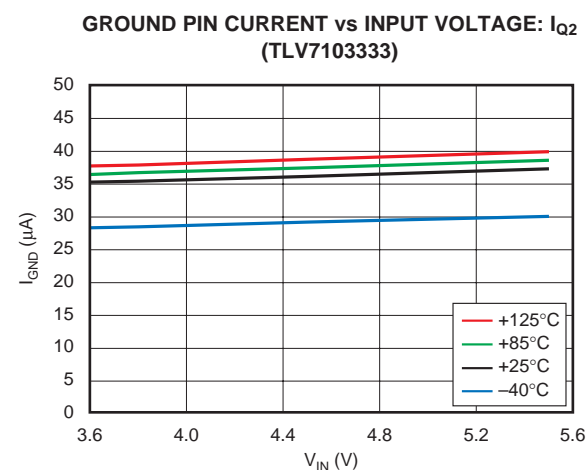


図 35

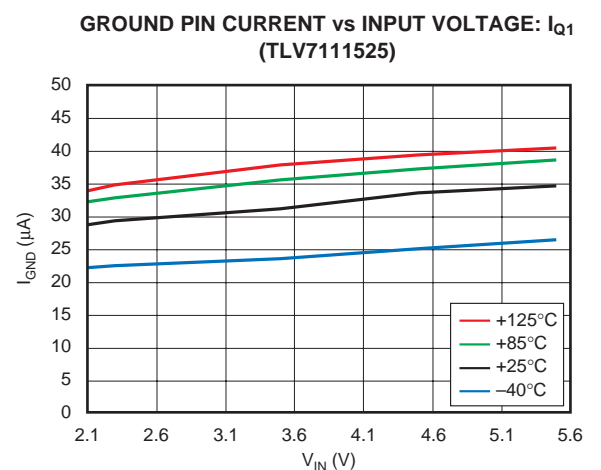


図 36

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN1} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT1} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

GROUND PIN CURRENT vs INPUT VOLTAGE: I_{Q2}
(TLV7111525)

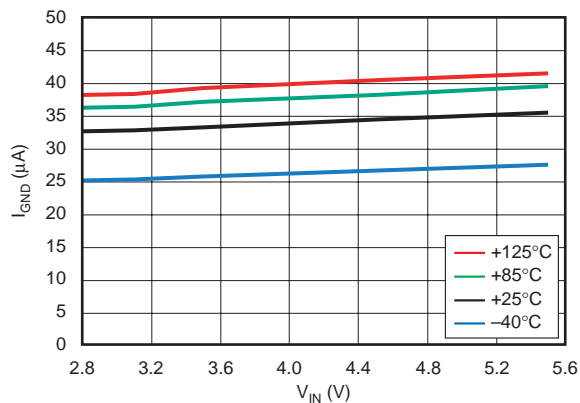


図 37

GROUND PIN CURRENT vs LOAD: I_{Q1}
(TLV7101828)

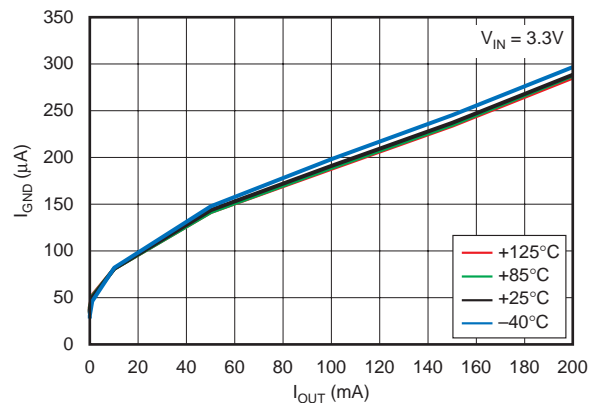


図 38

GROUND PIN CURRENT vs LOAD: I_{Q2}
(TLV7103333)

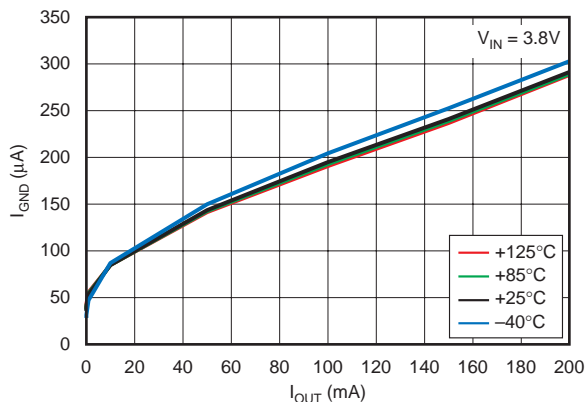


図 39

GROUND PIN CURRENT vs LOAD: I_{Q1}
(TLV7111525)

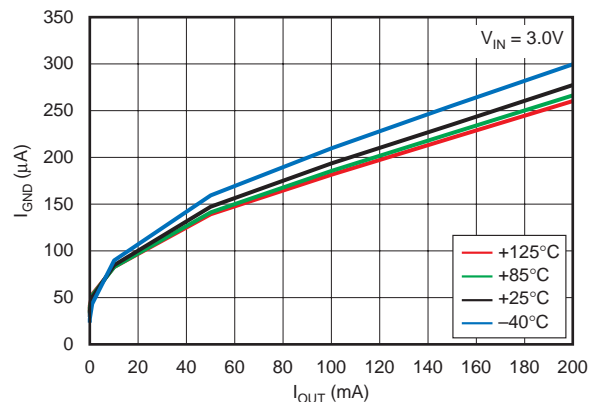


図 40

SHUTDOWN CURRENT vs INPUT VOLTAGE
(TLV7101828)

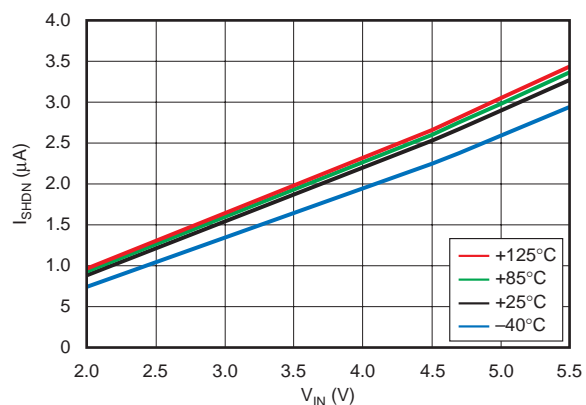


図 41

SHUTDOWN CURRENT vs INPUT VOLTAGE
(TLV7103333)

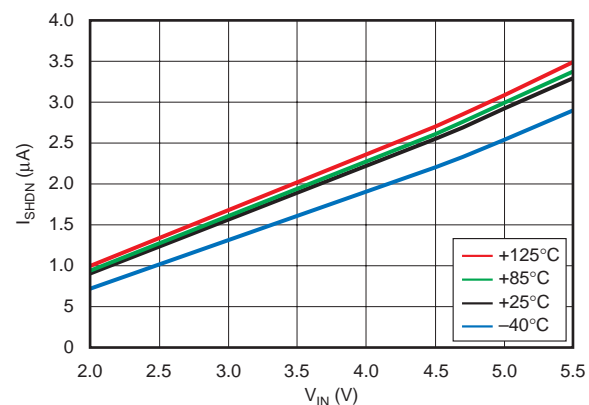


図 42

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT1} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

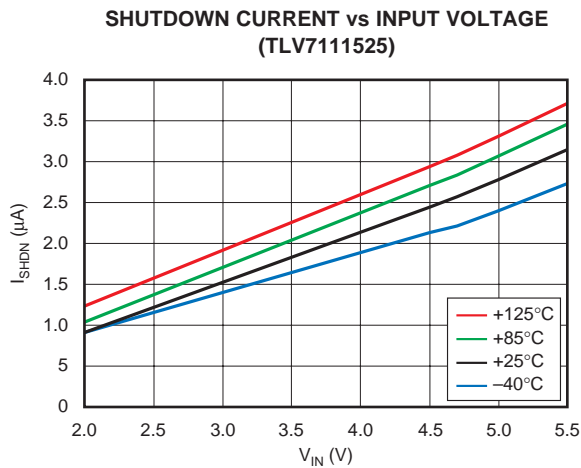


図 43

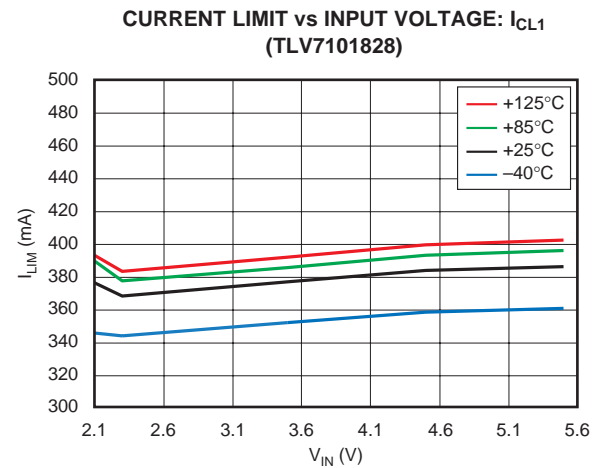


図 44

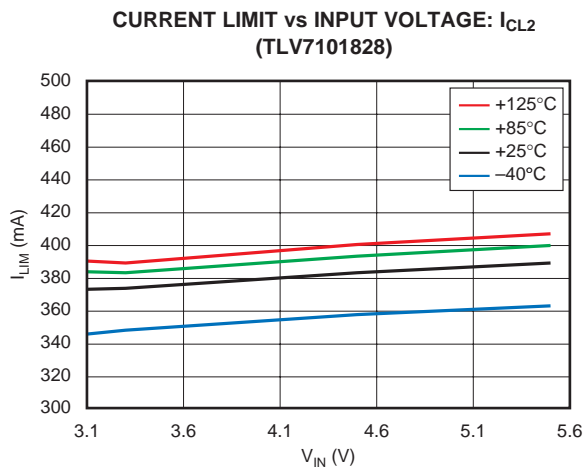


図 45

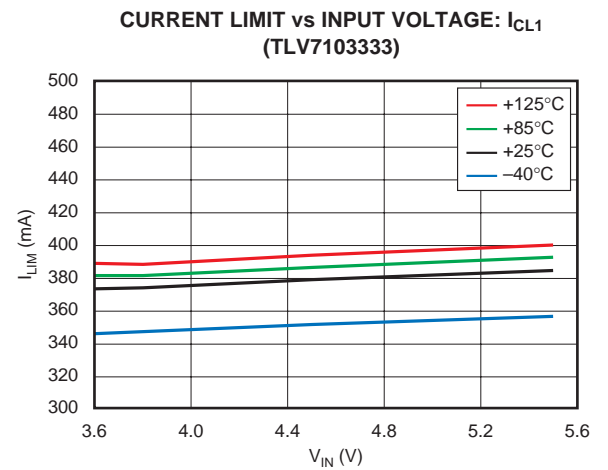


図 46

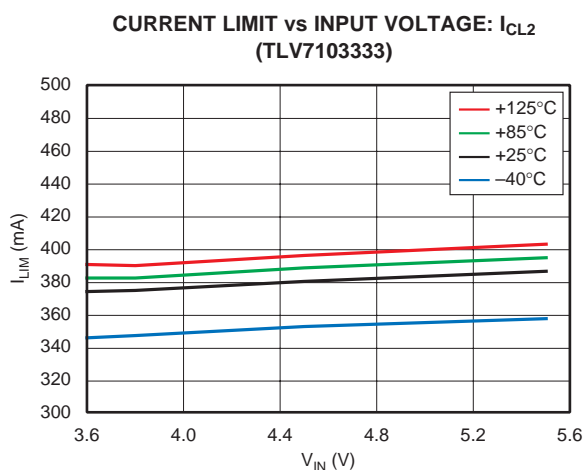


図 47

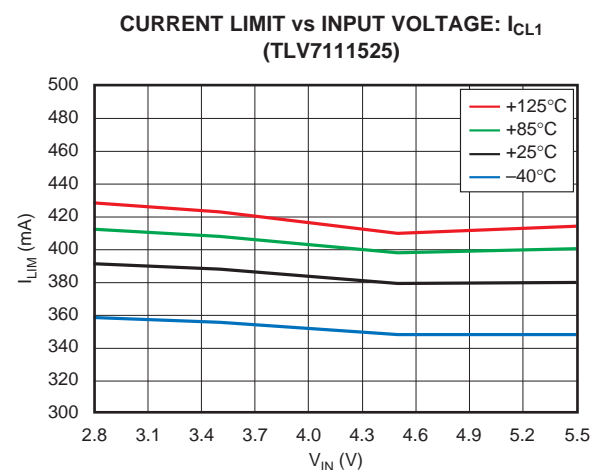


図 48

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN1} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT1} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

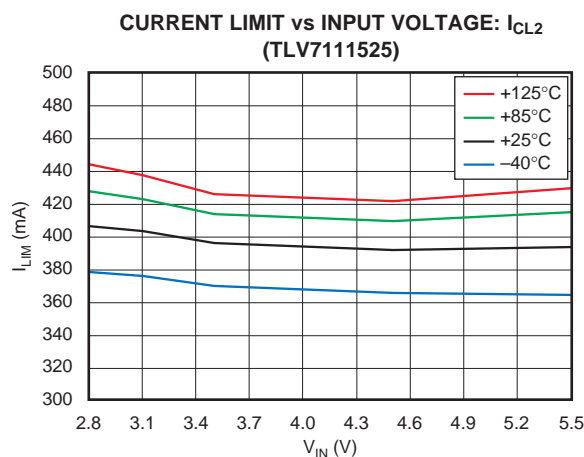


図 49

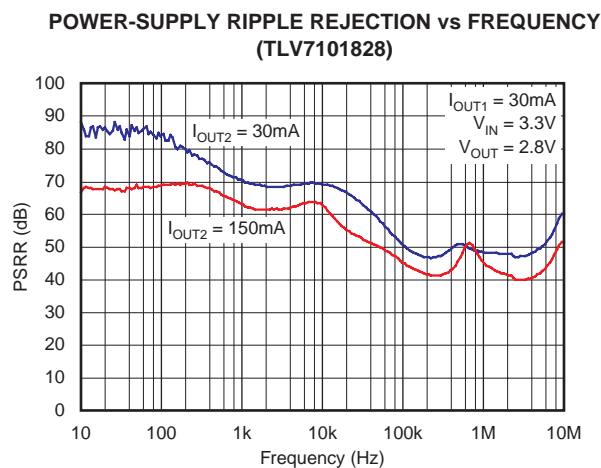


図 50

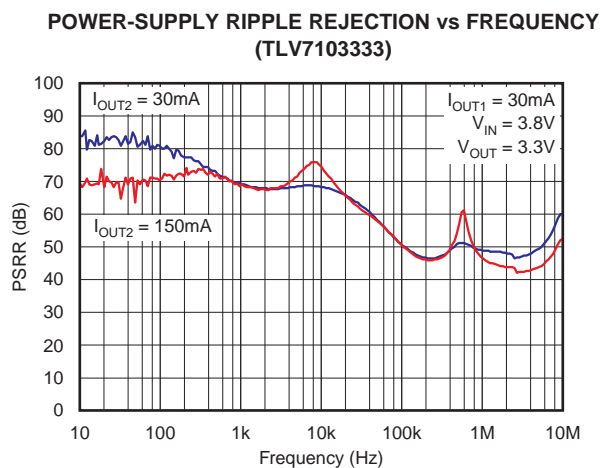


図 51

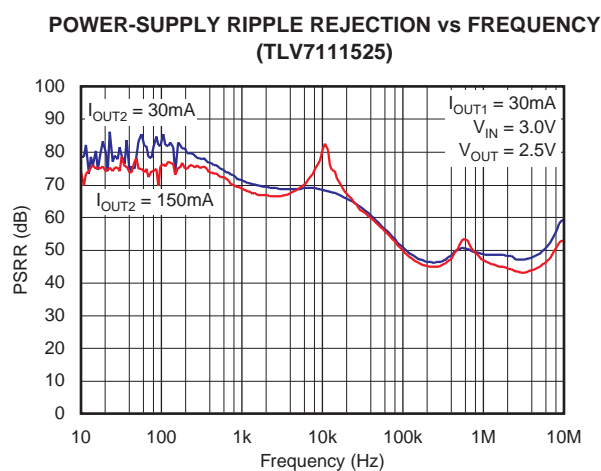


図 52

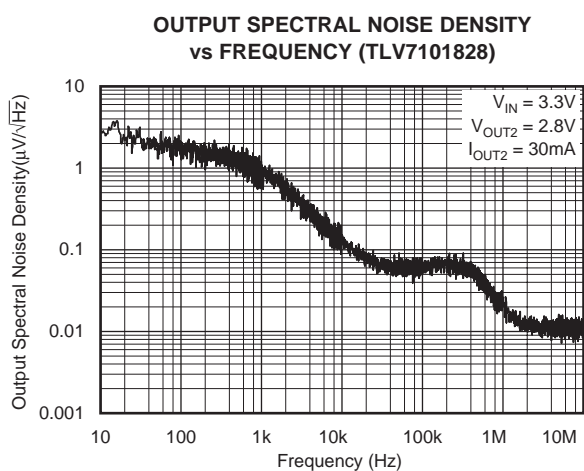


図 53

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN1} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT1} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

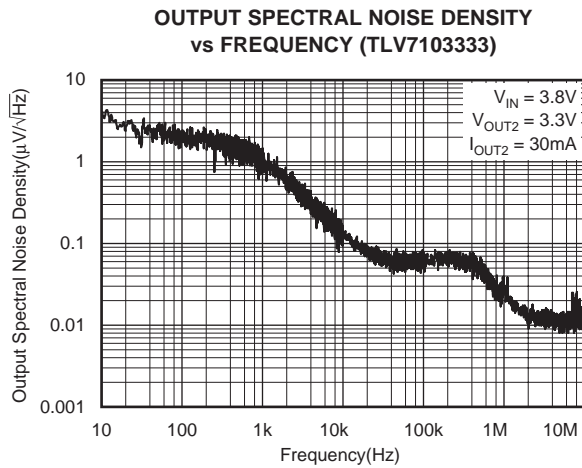


図 54

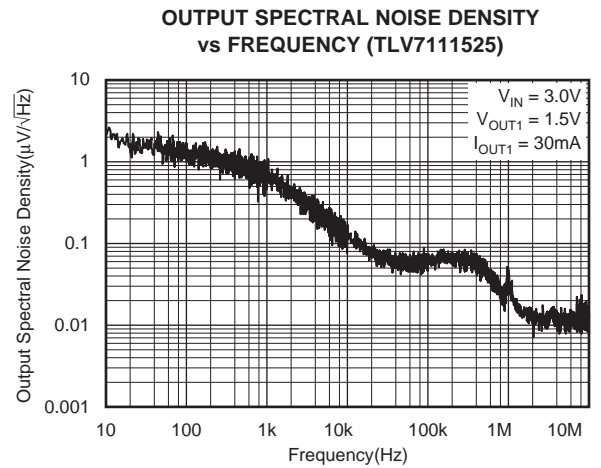


図 55

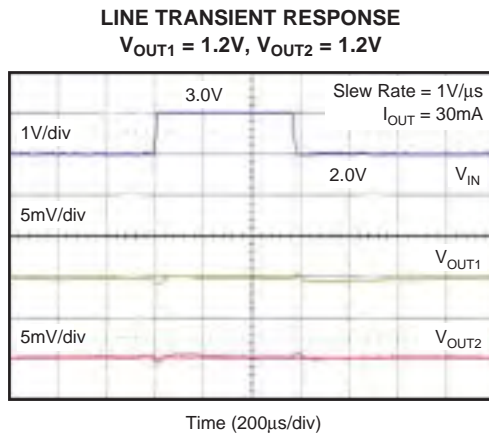


図 56

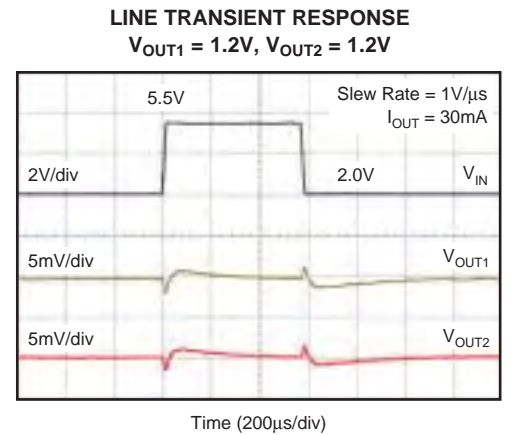


図 57

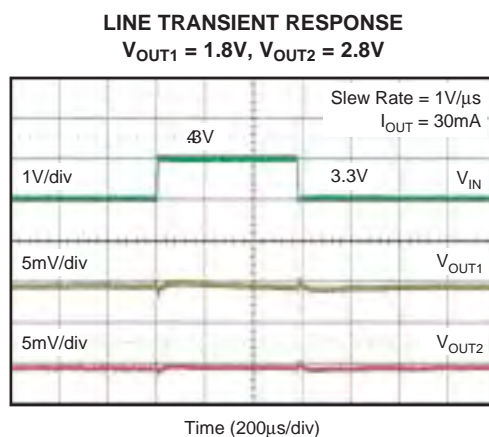


図 58

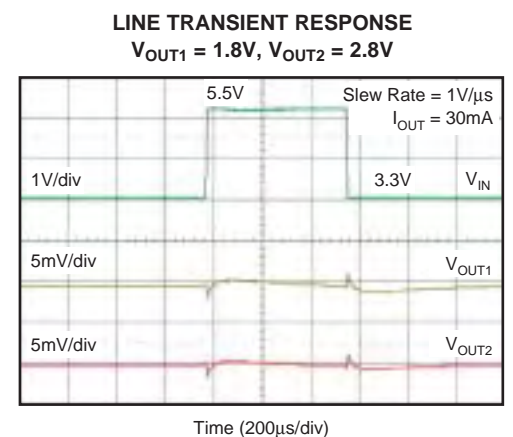


図 59

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN2} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT2} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

LINE TRANSIENT RESPONSE

$V_{OUT1} = 4.8\text{V}$, $V_{OUT2} = 4.8\text{V}$

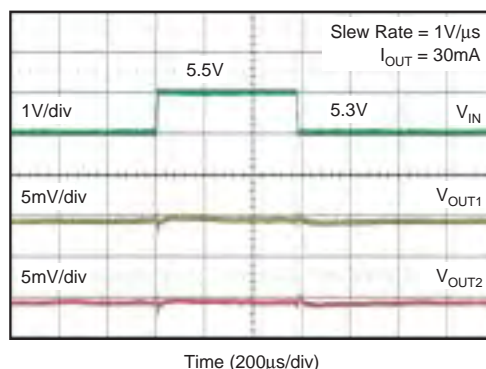


図 60

LOAD TRANSIENT RESPONSE AND CROSSTALK

$V_{OUT1} = 1.2\text{V}$, $V_{OUT2} = 1.2\text{V}$

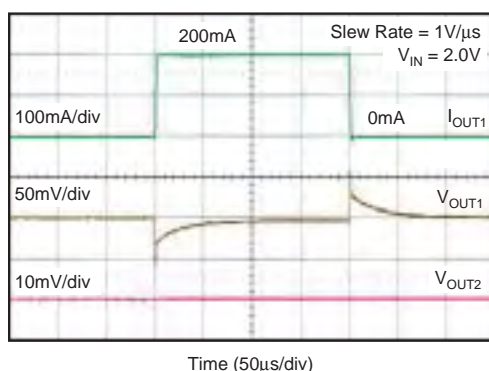


図 61

LOAD TRANSIENT RESPONSE AND CROSSTALK

$V_{OUT1} = 1.2\text{V}$, $V_{OUT2} = 1.2\text{V}$

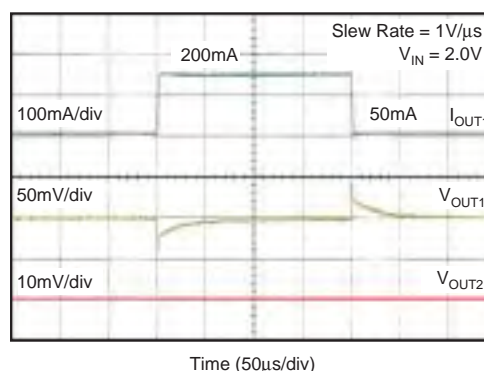


図 62

LOAD TRANSIENT RESPONSE AND CROSSTALK

$V_{OUT1} = 1.8\text{V}$, $V_{OUT2} = 2.8\text{V}$

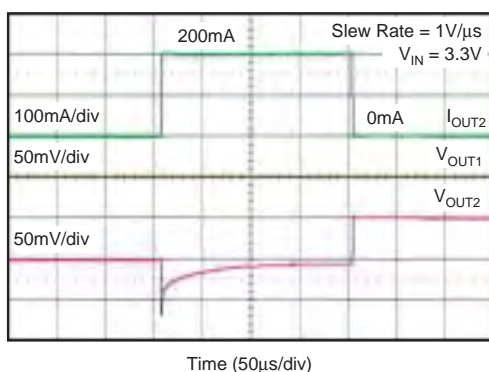


図 63

LOAD TRANSIENT RESPONSE AND CROSSTALK

$V_{OUT1} = 1.8\text{V}$, $V_{OUT2} = 2.8\text{V}$

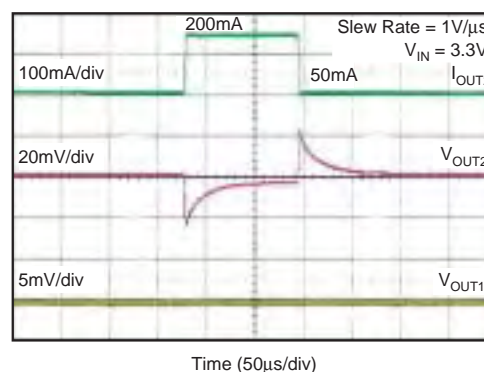


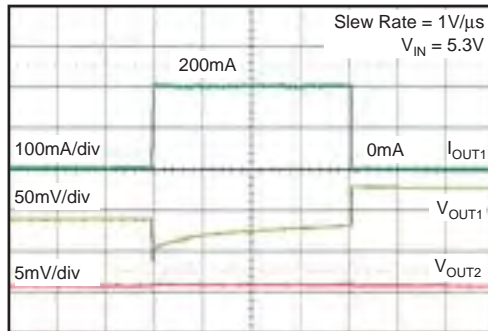
図 64

代表的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN1} = V_{EN} = V_{IN}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT1} = 1.0\mu\text{F}$ および $C_{OUT2} = 1.0\mu\text{F}$ 、特に記述のない限り。標準値は $T_J = +25^{\circ}\text{C}$ の値です。

LOAD TRANSIENT RESPONSE AND CROSSTALK

$V_{OUT1} = 4.8\text{V}$, $V_{OUT2} = 4.8\text{V}$

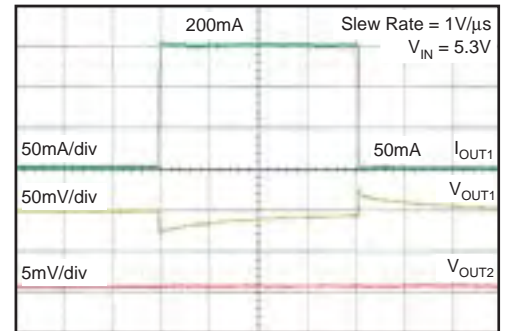


Time (50μs/div)

図 65

LOAD TRANSIENT RESPONSE AND CROSSTALK

$V_{OUT1} = 4.8\text{V}$, $V_{OUT2} = 4.8\text{V}$

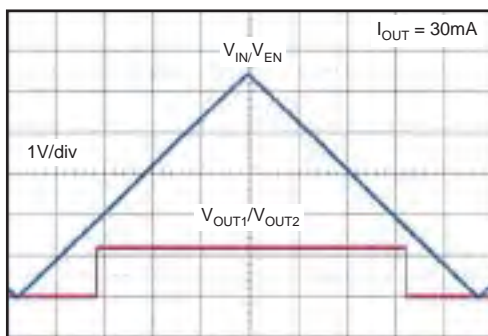


Time (50μs/div)

図 66

V_{IN} RAMP UP, RAMP DOWN RESPONSE

$V_{OUT1} = 1.2\text{V}$, $V_{OUT2} = 1.2\text{V}$

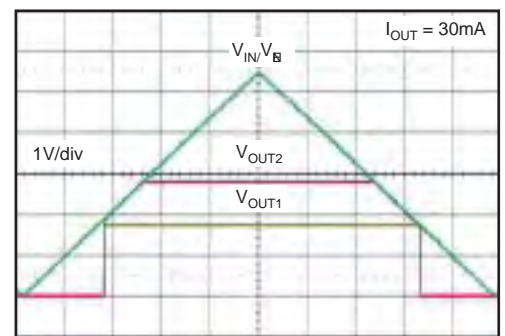


Time (200ms/div)

図 67

V_{IN} RAMP UP, RAMP DOWN RESPONSE

$V_{OUT1} = 1.8\text{V}$, $V_{OUT2} = 2.8\text{V}$

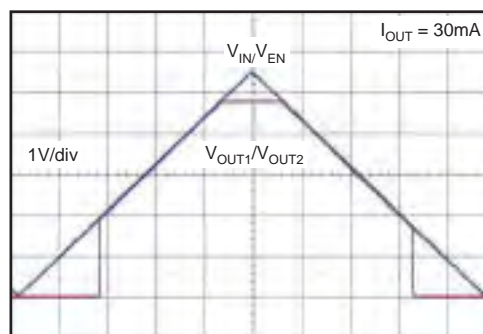


Time (200ms/div)

図 68

V_{IN} RAMP UP, RAMP DOWN RESPONSE

$V_{OUT1} = 4.8\text{V}$, $V_{OUT2} = 4.8\text{V}$



Time (200ms/div)

図 68

アプリケーション情報

TLV710とTLV711 シリーズの製品は新世代の高性能LDOレギュレータです。これらの製品は低い自己消費電流にもかかわらず優れた電源および負荷に対する過渡応答特性を示します。低い出力ノイズ、非常に高い電源リップル除去比 (PSRR)、低い ($V_{IN} - V_{OUT}$ 間) のヘッドルームという特性により、本製品はRF用携帯機器に最適です。本ファミリーのレギュレータ製品は電流制限、過熱保護をもち、 -40°C から $+125^{\circ}\text{C}$ でスペックが規定されています。

入出力コンデンサの要件

X5RまたはX7Rの1.0 μF セラミック・コンデンサの使用を推奨します。なぜなら、これらのコンデンサは広い温度範囲にわたり容量値の変化が少なく、等価直列抵抗 (ESR) も低いからです。

TLV710とTLV711は出力に実容量が0.1 μF 以上のコンデンサの接続により安定するように設計されています。また、本製品はコンデンサの誘電体が異なっても、バイアス電圧特性や温度特性による変化があっても、実容量が0.1 μF 以上である限り安定に動作します。この実容量とは動作時のバイアス電圧と温度条件においてLDOから見える容量です。すなわち、バイアス電圧と温度特性の両方による容量の減少を考慮した実際の容量です。

そして、より安価な誘電体の製品や、基板スペースの制約のあるアプリケーションにおいて、大幅な容量減少特性を持っているがフットプリントが小さなコンデンサの使用を可能としています。

表記容量が0.1 μF のコンデンサは実使用条件下ではその実容量は0.1 μF を下回っているため、このコンデンサをLDOの出力に付けても安定性を確保できる保証は無いということに注意する必要があります。さらに、最大ESR値は200m Ω 以下である必要があります。

入力コンデンサは安定性には不要ですが、良いアナログ回路の設計手法とはレギュレータの近くで入力電源に0.1 μF から1.0 μF の等価直列抵抗 (ESR) の低いコンデンサをレギュレータのINピンとGNDピンの間に接続することです。このコンデンサは入力源の電圧振動を抑え、過渡応答、ノイズ除去、リップル除去の特性を改善します。大きくて高速に立ち上がる負荷過渡が予想されるか、またはこの製品が電源から数インチ以上離れた場所に置かれている場合には、これより大きな値のコンデンサが必要となることがあります。供給源のインピーダンスが2 Ω 以上ある場合は安定性を確保するために0.1 μF の入力コンデンサが必須となることがあります。

PSRRとノイズ特性改善のための推奨ボード・レイアウト

入出力のコンデンサは製品のピンにできるだけ近づけて配置してください。PSRR、出力ノイズ、過渡応答などのAC特性を改善するため、ボード設計は V_{IN} と V_{OUT} 用のグラウンド・プレーンを分けておき、各グラウンド・プレーンはデバイスのGNDピンのみ接続することを推奨します。さらに、バイパス・コンデンサのグラウンドへの接続はデバイスのGNDピンに直接接続しなければなりません。ESRの大きなコンデンサを使用するとPSRR能力が低下します。

内蔵電流制限機能

TLV710とTLV711に内蔵されている電流制限機能は異常状態時にレギュレータを保護するのに役立ちます。電流制限時、出力は出力電圧にほとんど依存しない一定の電流値に制限されます。この状態では出力電圧は制御されておらず、出力電圧 (V_{OUT}) = 制限電流値 (I_{LIMIT}) \times 負荷抵抗 (R_{LOAD}) になります。

PMOSの制御トランジスタでの過熱保護が動作するまでの間の損失は ($V_{IN} - V_{OUT}$) $\times I_{LIMIT}$ となり、この熱によりデバイスはオフになります。製品が冷却されると過熱保護は解除されて再起動します。異常状態が継続しているとデバイスは過電流制限状態と過熱保護によるシャットダウン状態を繰り返します。詳細は“過熱保護”の章を参照してください。TLV710とTLV711のPMOSパス素子にはOUTの電圧がINの電圧を越えた時に逆方向の電流を導通するボディ・ダイオードが内蔵されています。この電流は制限されないため、逆電圧動作が続くことが予想される場合には、外部で定格電流の5%以下に制限することが推奨されます。

シャットダウン

イネーブル・ピン (EN) はアクティブ “High” です。本製品はENピンの電圧が0.9V以上でイネーブルされます。このLDOレギュレータをオンさせるのに比較的低い電圧しか必要としないことから、従来のマイコンより低いGPIO電圧である最新マイコンのGPIOにより製品をイネーブル制御する事が出来ます。

本製品はENピンの電圧が0.4V以下に保持されるとオフ状態になります。シャットダウンの機能が不要の場合、ENピンはINに接続しておきます。

TLV711は内部にプルダウン回路を持っており、次の時定数で出力を放電します：

$$\tau = \frac{120 \cdot R_L}{120 + R_L} \cdot C_{OUT} \quad (1)$$

ここで、

R_L = 負荷抵抗

C_{OUT} = 出力容量

ドロップアウト電圧

TLV710とTLV711には低ドロップアウトを実現するためPMOSのパス・トランジスタが使用されています。($V_{IN} - V_{OUT}$) がドロップアウト電圧 (V_{DO}) より小さい時、PMOSパス・デバイスは線形領域での動作となり、入出力間の抵抗はPMOSパス素子の $R_{DS(ON)}$ となります。ドロップアウト動作条件ではPMOSデバイスは抵抗のように機能するため、 V_{DO} はほぼ出力電流にほぼ比例して拡大縮小します。

いかなるリニア・レギュレータにおいても、PSRRや過渡応答は ($V_{IN} - V_{OUT}$) がドロップアウト電圧に近づくにつれ劣化します。

過渡応答

いかなるレギュレータとも同様に、出力コンデンサを大きくするとオーバーシュート/アンダーシュートの大きさが低減しますが、過渡応答の持続期間は長くなります。

TLV710とTLV711は各々専用のVREFを持っています。これにより、過渡応答の結果によるチャネル間クロストークの発生は殆ど0Vとなります。

低電圧ロックアウト (UVLO)

TLV710とTLV711は低電圧ロックアウト回路により内部回路が正しく動作する入力電圧以下では出力電圧を遮断状態に保ちます。

熱情報

過熱保護機能は接合部温度が約+165°Cに上昇した時、出力をディセーブルにしてデバイスを冷却させます。接合部温度が約+140°Cに下がると、出力回路は再びイネーブルになります。消費電力、熱抵抗、周囲温度によっては、過熱保護回路はオンとオフを繰り返すことがあります。この繰り返しによりレギュレータでの平均消費電力が制限され、過熱によりレギュレータが損傷することが回避されます。過熱保護回路が作動するということは消費電力が過剰であるか、またはヒートシンクが不十分であるということを示しています。信頼性の高い動作を行うには、接合部温度は最大+125°Cに制限しなければなりません。

最終製品（ヒートシンクを含む）での温度余裕を見積もるには、最大負荷の発生する負荷と信号の状態で作動させておいて、過熱保護が作動するまで周囲温度を上昇させます。高い信頼性を得るには、過熱保護がアプリケーションに設定された最高動作周囲温度より少なくとも+35°C高い温度で保護回路が作動するようにしなくてはなりません。このようにすると最高動作周囲温度における最大負荷条件でも接合部温度は+125°Cになります。

TLV710とTLV711の内部保護回路は過負荷状態に対して製品を保護するよう設計されています。しかしこの機能は適切なヒートシンクに取って代わるというのが目的ではありません。TLV710とTLV711を絶えずサーマル・シャットダウン状態にしておくとデバイスの信頼性が劣化してしまいます。

許容損失

チップから熱を拡散する能力は各パッケージ・タイプで異なるため、プリント基板(PCB)レイアウトではそれぞれに異なった考察をします。他の部品が実装されていない製品周囲のPCB領域が製品から周囲空間に熱を移動させます。

TLV710の評価基板(EVM)での熱特性データが表1に記載されています。EVMは各面2オンスの銅による両面基板です。レイアウトと寸法を図70と図71に示します。

広くて厚い銅パターンを用いるとデバイスから熱を拡散させる効果が増大します。また、熱を放散する層にめっきしたスルーホールで接続することもヒートシンクとしての効果を改善します。消費電力は入力電圧と負荷状態に依存します。

消費電力(P_D)は式(2)に示されているように出力電流に出力パス素子の電圧降下(V_{IN} から V_{OUT})を乗じたものとなります。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

パッケージの実装

TLV710とTLV711の推奨するはんだパッドのフットプリントはテキサス・インスツルメンツのホームページwww.ti.comでも入手できます。DSE (SON-6)パッケージの推奨ランド・パターンを図72に示します。

PACKAGE	$R_{\theta JA}$	$T_A < +25^\circ\text{C}$	$T_A = +70^\circ\text{C}$	$T_A = +85^\circ\text{C}$
DSE	170°C/W	585mW	320mW	235mW

表 1. TLV710 EVM 許容損失表

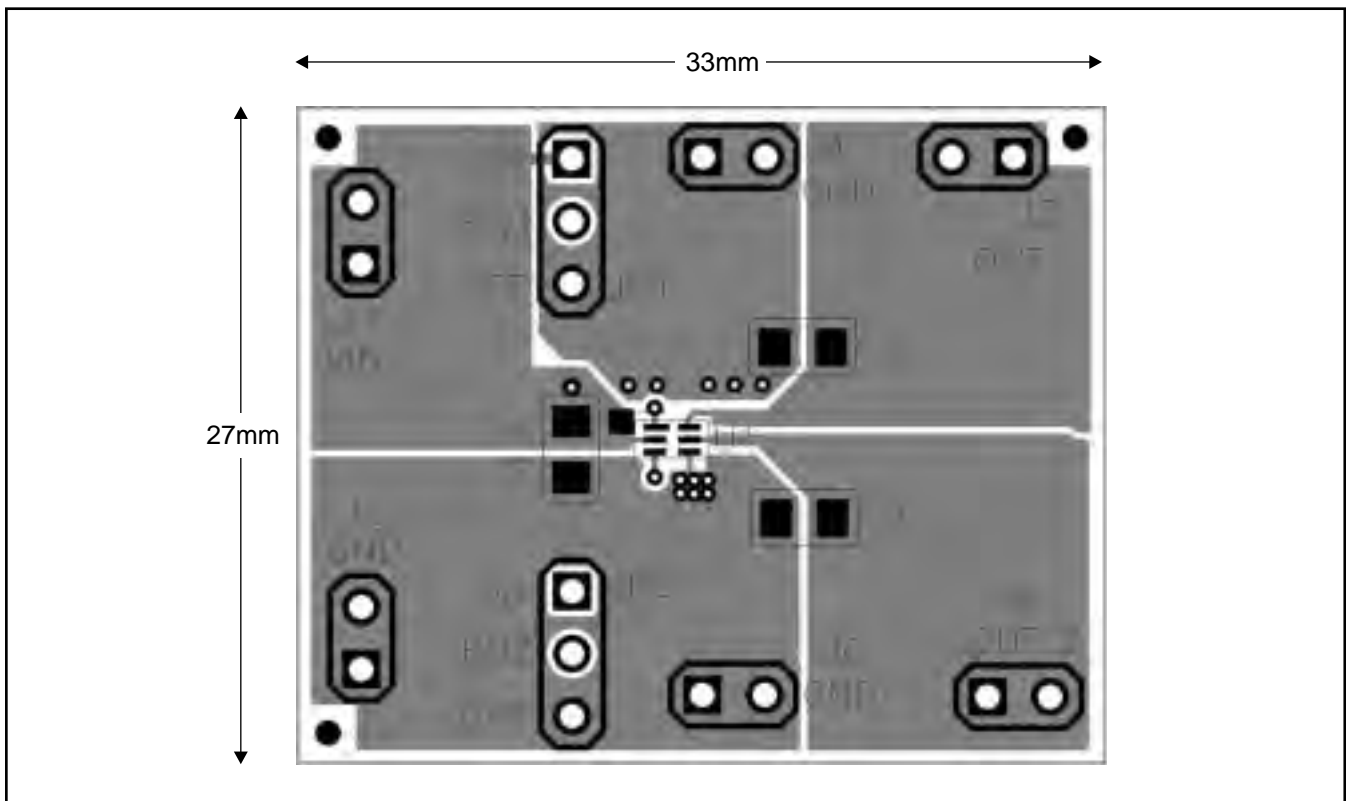


図 70. 表面レイヤー

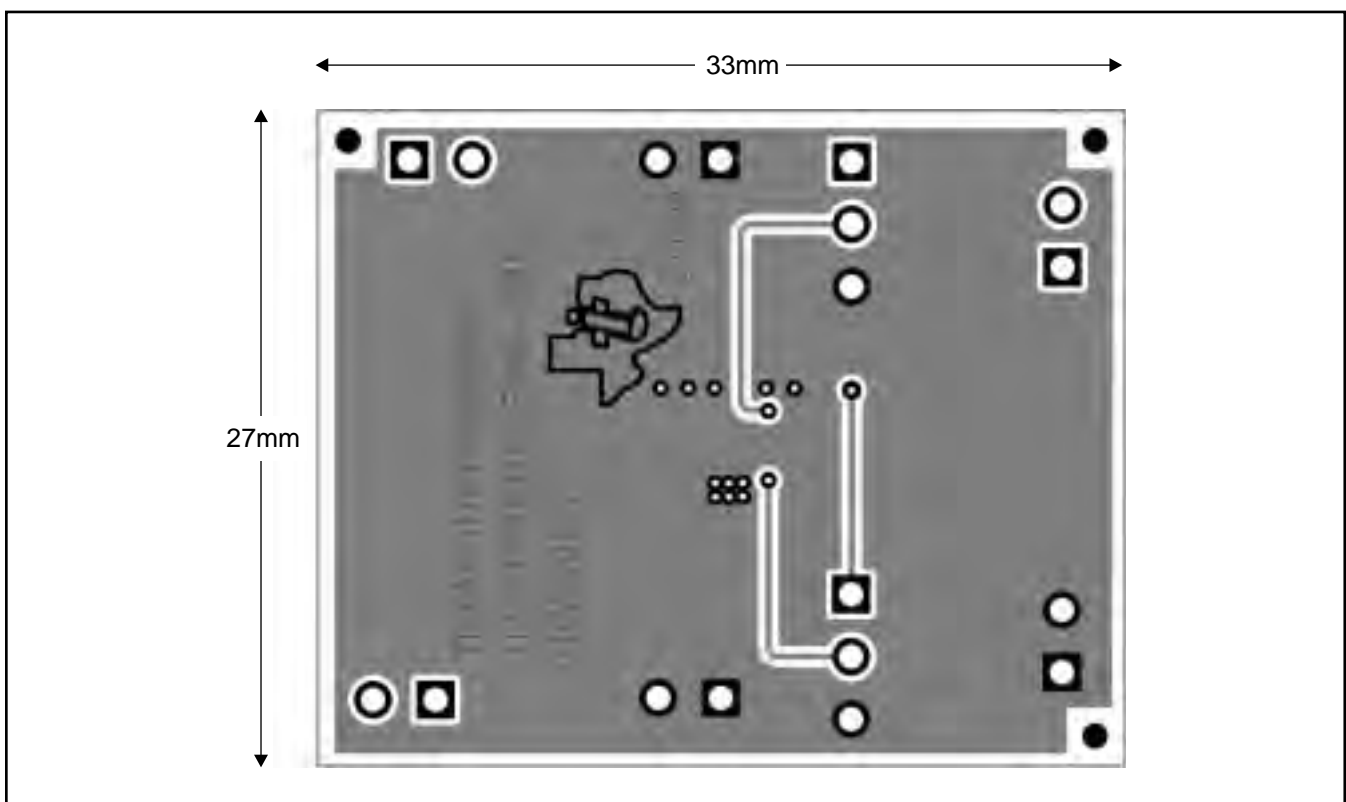


図 71. 裏面レイヤー

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak ⁽³⁾ Temp	Samples (Requires Login)
TLV7101828DSER	ACTIVE	WSON	DSE	6	3000	TBD	Call TI	Call TI	Purchase Samples
TLV7101828DSET	ACTIVE	WSON	DSE	6	250	TBD	Call TI	Call TI	Purchase Samples
TLV7113333DSER	PREVIEW	WSON	DSE	6	3000	TBD	Call TI	Call TI	Samples Not Available
TLV7113333DSET	PREVIEW	WSON	DSE	6	250	TBD	Call TI	Call TI	Samples Not Available

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

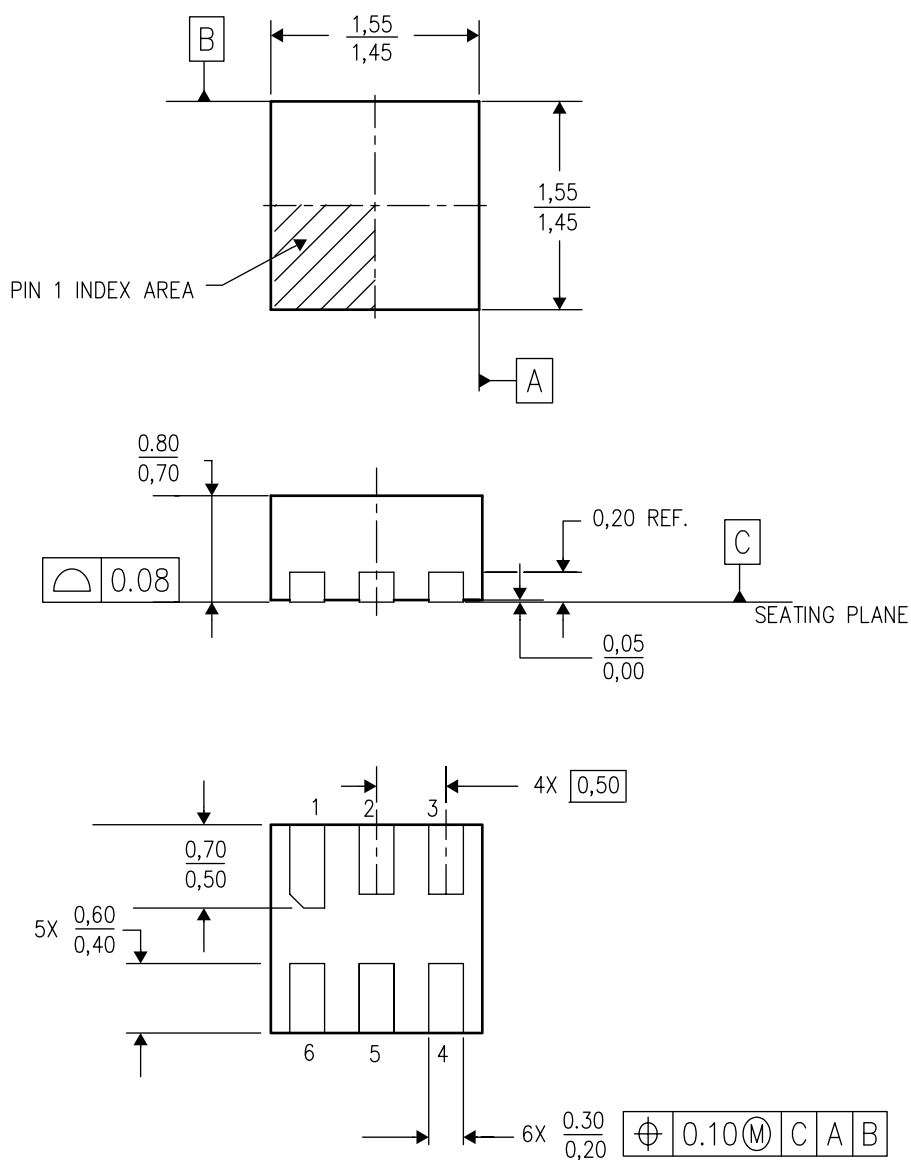
Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任は負いかねます。

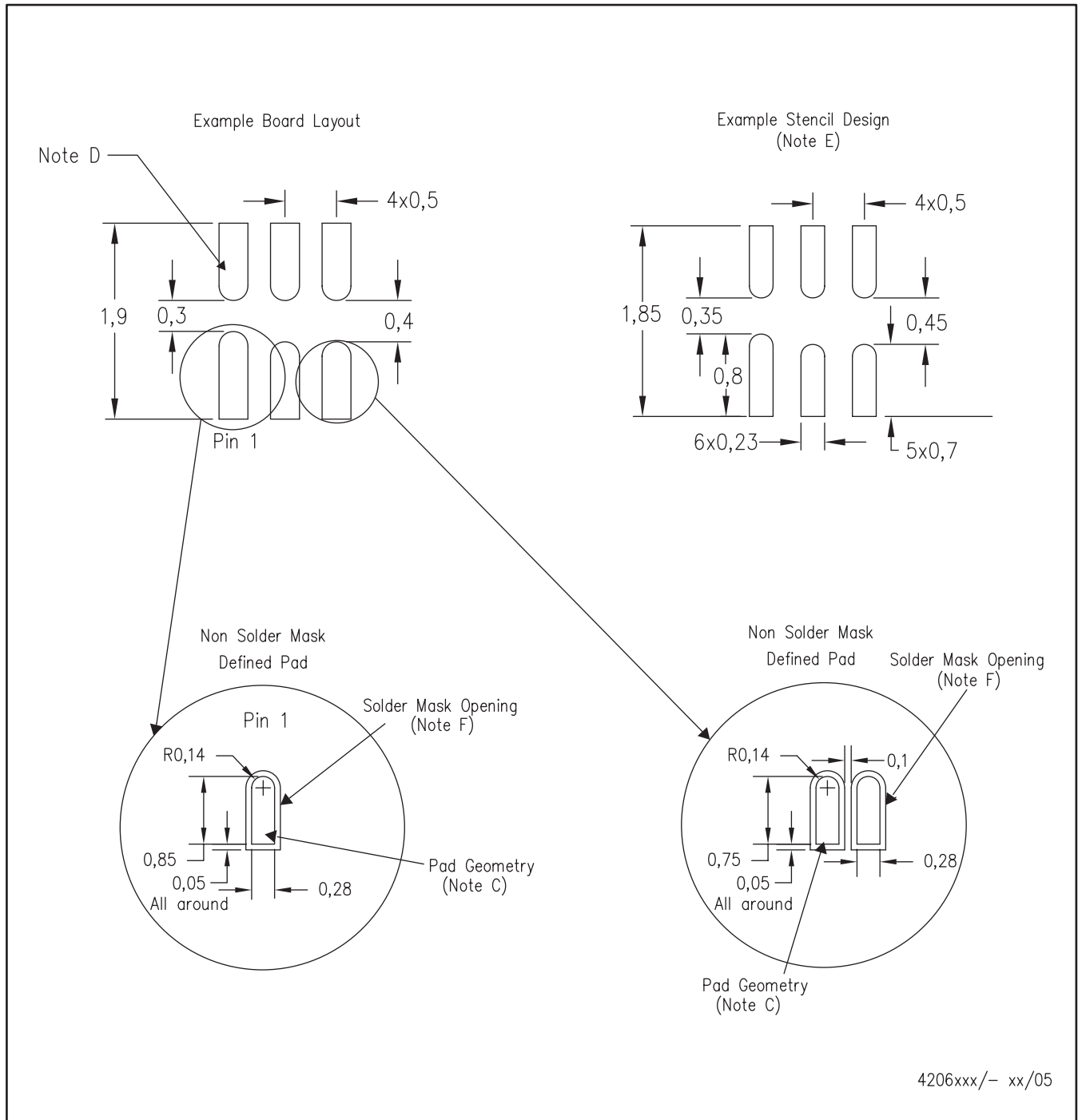


4207810/A 03/06

注: A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. SON (Small Outline No-Lead) パッケージ構成
D. このパッケージはリードフリーです。

ランド・パターン

DSE (S-PDSO-N6)



- 注： A. 直線寸法はすべてミリメートル単位です。
B. 本図は予告なしに変更することがあります。
C. 代替設計には、IPC-7351規格を推奨します。
D. 本パッケージは、サーマルパッドを基板に半田付けするように設計されています。具体的な熱的特性情報、
ビア条件、および推奨基板レイアウトについては、アプリケーション・ノート「QFNパッケージ」
テキサス・インスツルメンツ文献番号SCBA017, SLUA271, および製品データシートも参照願います。
これらの文献はwww.ti.com < <http://www.ti.com> > で入手できます。
E. 台形壁面やラウンドコーナーにレーザー・カッティング・アパーチャを行うと、ペーストのリリースが
容易になります。推奨のステンシル設計については、基板組立元に問合せ願います。ステンシル設計の
検討については、IPC7525規格を参照願います。
F. 半田マスク公差については、基板製造元に問合せ願います。

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV7101828DSERG4	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7101828DSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7103318DSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7103318DSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111225DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111225DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111233DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111233DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111323DDSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111323DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111323DDSETG4	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111333DDSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111333DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111518DDSER	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7111518DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111518DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV7111533DDSERG4	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111533DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7111812DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111812DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111830DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111830DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111833DDSER	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7111833DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7111930DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7111930DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71125125DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71125125DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7112525DSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7112525DSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV71128512DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71128512DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71128518DDSER	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV71128518DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV71128518DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV711285285DDSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV711285285DDSET	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV711285285DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV711285285DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7113025DSER	WSO	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7113025DSET	WSO	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV7113030DDSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7113030DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7113318DDSER	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7113318DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7113318DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV71133285DDSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV71133285DDSET	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV71133285DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV71133285DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7113330DDSER	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7113330DDSER	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7113330DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7113330DDSET	WSO	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV7113333DDSER	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7113333DDSERG4	WSO	DSE	6	3000	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2
TLV7113333DDSET	WSO	DSE	6	250	178.0	8.4	1.7	1.7	0.95	4.0	8.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV711333DDSET	WSO8	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV7101828DSERG4	WSN	DSE	6	3000	200.0	183.0	25.0
TLV7101828DSET	WSN	DSE	6	250	200.0	183.0	25.0
TLV7103318DSER	WSN	DSE	6	3000	200.0	183.0	25.0
TLV7103318DSET	WSN	DSE	6	250	200.0	183.0	25.0
TLV7111225DSER	WSN	DSE	6	3000	183.0	183.0	20.0
TLV7111225DSET	WSN	DSE	6	250	183.0	183.0	20.0
TLV7111233DSER	WSN	DSE	6	3000	183.0	183.0	20.0
TLV7111233DSET	WSN	DSE	6	250	183.0	183.0	20.0
TLV7111323DDSER	WSN	DSE	6	3000	200.0	183.0	25.0
TLV7111323DDSET	WSN	DSE	6	250	200.0	183.0	25.0
TLV7111323DDSETG4	WSN	DSE	6	250	200.0	183.0	25.0
TLV7111333DDSER	WSN	DSE	6	3000	200.0	183.0	25.0
TLV7111333DDSET	WSN	DSE	6	250	200.0	183.0	25.0
TLV7111518DDSER	WSN	DSE	6	3000	205.0	200.0	33.0
TLV7111518DDSET	WSN	DSE	6	250	200.0	183.0	25.0
TLV7111518DDSET	WSN	DSE	6	250	205.0	200.0	33.0
TLV7111533DDSERG4	WSN	DSE	6	3000	200.0	183.0	25.0
TLV7111533DDSET	WSN	DSE	6	250	200.0	183.0	25.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV7111812DSER	WSON	DSE	6	3000	183.0	183.0	20.0
TLV7111812DSET	WSON	DSE	6	250	183.0	183.0	20.0
TLV7111830DSER	WSON	DSE	6	3000	183.0	183.0	20.0
TLV7111830DSET	WSON	DSE	6	250	183.0	183.0	20.0
TLV7111833DDSER	WSON	DSE	6	3000	205.0	200.0	33.0
TLV7111833DDSET	WSON	DSE	6	250	205.0	200.0	33.0
TLV7111930DSER	WSON	DSE	6	3000	183.0	183.0	20.0
TLV7111930DSET	WSON	DSE	6	250	183.0	183.0	20.0
TLV71125125DSER	WSON	DSE	6	3000	183.0	183.0	20.0
TLV71125125DSET	WSON	DSE	6	250	183.0	183.0	20.0
TLV7112525DSER	WSON	DSE	6	3000	200.0	183.0	25.0
TLV7112525DSET	WSON	DSE	6	250	200.0	183.0	25.0
TLV71128512DSER	WSON	DSE	6	3000	183.0	183.0	20.0
TLV71128512DSET	WSON	DSE	6	250	183.0	183.0	20.0
TLV71128518DDSER	WSON	DSE	6	3000	205.0	200.0	33.0
TLV71128518DDSET	WSON	DSE	6	250	200.0	183.0	25.0
TLV71128518DDSET	WSON	DSE	6	250	205.0	200.0	33.0
TLV711285285DDSER	WSON	DSE	6	3000	200.0	183.0	25.0
TLV711285285DDSER	WSON	DSE	6	3000	205.0	200.0	33.0
TLV711285285DDSET	WSON	DSE	6	250	203.0	203.0	35.0
TLV711285285DDSET	WSON	DSE	6	250	205.0	200.0	33.0
TLV7113025DSER	WSON	DSE	6	3000	183.0	183.0	20.0
TLV7113025DSET	WSON	DSE	6	250	183.0	183.0	20.0
TLV7113030DDSER	WSON	DSE	6	3000	200.0	183.0	25.0
TLV7113030DDSET	WSON	DSE	6	250	200.0	183.0	25.0
TLV7113318DDSER	WSON	DSE	6	3000	205.0	200.0	33.0
TLV7113318DDSET	WSON	DSE	6	250	200.0	183.0	25.0
TLV7113318DDSET	WSON	DSE	6	250	205.0	200.0	33.0
TLV71133285DDSER	WSON	DSE	6	3000	203.0	203.0	35.0
TLV71133285DDSER	WSON	DSE	6	3000	205.0	200.0	33.0
TLV71133285DDSET	WSON	DSE	6	250	203.0	203.0	35.0
TLV71133285DDSET	WSON	DSE	6	250	205.0	200.0	33.0
TLV7113330DDSER	WSON	DSE	6	3000	205.0	200.0	33.0
TLV7113330DDSER	WSON	DSE	6	3000	200.0	183.0	25.0
TLV7113330DDSET	WSON	DSE	6	250	205.0	200.0	33.0
TLV7113330DDSET	WSON	DSE	6	250	200.0	183.0	25.0
TLV7113333DDSER	WSON	DSE	6	3000	205.0	200.0	33.0
TLV7113333DDSERG4	WSON	DSE	6	3000	205.0	200.0	33.0
TLV7113333DDSET	WSON	DSE	6	250	205.0	200.0	33.0
TLV7113333DDSET	WSON	DSE	6	250	203.0	203.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月