

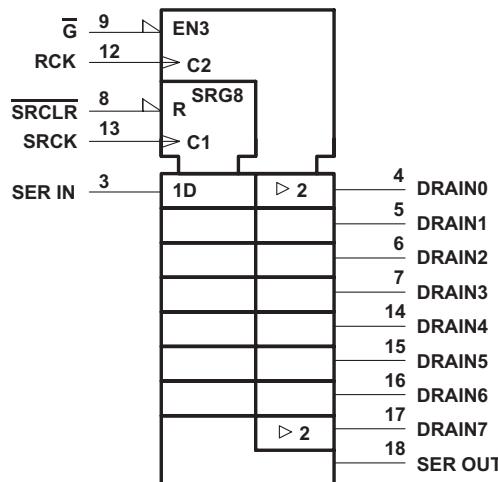
## TPIC6B595 パワー ロジック 8 ビット シフト レジスタ

### 1 特長

- 低  $r_{DS(on)}$ 、 $5\Omega$  (標準値)
- アバランシェエネルギー、 $30mJ$
- 8つのパワー DMOS トランジスタ出力、 $150mA$  連続電流
- $50V$  の出力クランプ電圧
- デバイスはカスケード接続可能です
- 低消費電力

### 2 アプリケーション

- 計測クラスター
- 警告灯 (テレテール) ランプ
- LED 照明および制御
- 車載リレーまたはソレノイドドライバ



この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。

### 論理記号

### 3 説明

TPIC6B595 デバイスは、比較的大きな負荷電力を必要とするシステムで使用するために設計されたモノリシック、高電圧、中電流出力の 8 ビット シフト レジスタです。本デバイスは、誘導性過渡保護のために電圧クランプを出力に組み込んでいます。パワー ドライバ アプリケーションには、リレー、ソレノイド、その他の中電流または高電圧負荷が含まれています。

このデバイスには、8 ビットのシリアル イン、パラレル アウトのシフト レジスタが内蔵されており、8 ビットの D タイプ ストレージ レジスタへデータを供給します。シフト レジスタとストレージ レジスタを経由するデータ転送は、それぞれシフト レジスタ クロック (SRCK) とレジスタ クロック (RCK) の立ち上がりエッジで行われます。

ストレージ レジスタは、シフト レジスタ クリア (SRCLR) が HIGH のとき、出力バッファへデータを転送します。書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です。SRCLR が LOW のとき、入力シフト レジスタはクリアされます。出力イネーブル ( $\bar{G}$ ) が HIGH に保持されると、出力バッファのすべてのデータが LOW に保持され、すべてのドレイン出力がオフになります。 $\bar{G}$  を LOW に保持すると、ストレージ レジスタのデータが出力バッファへ透過的になります。出力バッファのデータが LOW のとき、DMOS トランジスタの出力がオフになります。データが HIGH の場合、DMOS トランジスタ出力はシンク電流能力を持つようになります。シリアル出力 (SER OUT) を使用すると、シフト レジスタから追加のデバイスにデータをカスケード接続できます。

出力は、 $50V$  の定格出力と  $150mA$  の連続シンク電流能力を持つローサイド オープンドレン DMOS トランジスタです。各出力には、 $T_C = 25^\circ C$  での  $500mA$  の標準電流制限があります。デバイス保護を強化するため、接合部の温度が上昇すると、電流制限は減少します。

TPIC6B595 デバイスは、動作ケース温度範囲  $-40^\circ C \sim 125^\circ C$  全体での動作が規定されています。

### 製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
TPIC6B595	SOIC (20)	12.80mm × 7.50mm
	PDIP (20)	25.40mm × 6.35mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

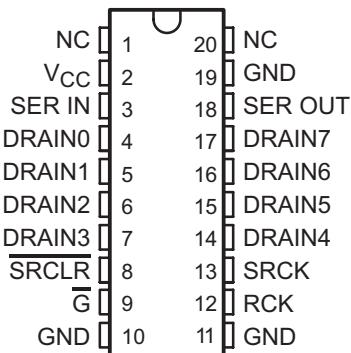


このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長.....	1	7.2 機能ブロック図.....	11
2 アプリケーション.....	1	7.3 機能説明.....	12
3 説明.....	1	7.4 デバイスの機能モード.....	13
4 ピン構成および機能.....	3	8 アプリケーションと実装.....	14
5 仕様.....	4	8.1 アプリケーション情報.....	14
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション.....	14
5.2 ESD 定格.....	4	8.3 電源に関する推奨事項.....	16
5.3 推奨動作条件.....	4	8.4 レイアウト.....	16
5.4 熱に関する情報.....	5	9 デバイスおよびドキュメントのサポート.....	18
5.5 電気的特性.....	5	9.1 サポート・リソース.....	18
5.6 スイッチング特性.....	6	9.2 商標.....	18
5.7 代表的特性.....	7	9.3 静電気放電に関する注意事項.....	18
6 パラメータ測定情報.....	9	9.4 用語集.....	18
7 詳細説明.....	11	10 改訂履歴.....	18
7.1 概要.....	11	11 メカニカル、パッケージ、および注文情報.....	19

## 4 ピン構成および機能



NC - 内部接続なし

図 4-1. DW または N パッケージ 20 ピン SOIC または PDIP 上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
DRAIN0	4	O	オープンドレイン出力
DRAIN1	5		
DRAIN2	6		
DRAIN3	7		
DRAIN4	14		
DRAIN5	15		
DRAIN6	16		
DRAIN7	17		
G	9	I	出力イネーブル、アクティブロー
GND	10, 11, 19	—	電源グランド
NC	1, 20	—	内部接続なし
RCK	12	I	レジスタ クロック
SERIN	3	I	シリアル データ入力
SEROUT	18	O	シリアル データ出力
SRCK	15	I	シフトレジスタ クロック
SRCLR	8	I	シフトレジスタクリア、アクティブロー
VCC	2	I	電源

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	ロジック電源電圧 <sup>(2)</sup>	-0.3	7	V
V <sub>I</sub>	ロジック入力電圧	-0.3	7	V
V <sub>DS</sub>	パワー DMOS のドレイン-ソース間電圧 <sup>(3)</sup>	-0.3	50	V
	ソース-ドレイン間ダイオードの連続アノード電流	0	500	mA
	ソース-ドレイン間ダイオードのアノード側バレス電流 <sup>(4)</sup>	0	1	A
I <sub>D</sub>	バ尔斯ドレン電流、各出力、すべての出力がオン、T <sub>C</sub> = 25°C <sup>(4)</sup>	0	500	mA
I <sub>D</sub>	連続ドレン電流、各出力、すべての出力がオン、T <sub>C</sub> = 25°C <sup>(4)</sup>	0	150	mA
I <sub>DM</sub>	ピークドレン電流 (シングル出力)、T <sub>C</sub> = 25°C <sup>(4)</sup>	0	500	mA
E <sub>AS</sub>	シングルバ尔斯アバランシェエネルギー (以下の 代表的特性 を参照)	0	30	mJ
I <sub>AS</sub>	アバランシェ電流 <sup>(5)</sup>	0	500	mA
	連続総許容損失	熱に関する情報参照。		
T <sub>J</sub>	動作時の仮想接合部温度	-40	150	°C
T <sub>C</sub>	動作時のケース温度	-40	125	°C
T <sub>stg</sub>	保存温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格に限られたものであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件も、このデバイスが正常に動作することを默示するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、GND を基準としたものです。
- (3) 各パワー DMOS ソースは、内部で GND に接続されています。
- (4) パルス持続時間  $\leq 100\mu s$ 、デューティ サイクル  $\leq 2\%$ 。
- (5) ドレン電源電圧=15V、開始時接合部温度 (T<sub>JS</sub>) = 25°C、L = 1.5H、I<sub>AS</sub> = 200mA (以下の 代表的特性 を参照)。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 <sup>(1)</sup>	±2000	V
		デバイス帶電モデル (CDM)、AEC Q100-011 準拠	すべてのピン ±500 コーナー ピン (1, 10, 20, 11) ±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>CC</sub>	ロジック電源電圧	4.5	5.5		V
V <sub>IH</sub>	High レベル入力電圧	0.85V <sub>CC</sub>			V
V <sub>IL</sub>	Low レベル入力電圧		0.15V <sub>CC</sub>		V
	ドレン出力パルス電流、T <sub>C</sub> = 25°C、V <sub>CC</sub> = 5V、すべての出力がオン <sup>(1) (2)</sup> (以下の 代表的特性 を参照)	-500	500		mA
t <sub>su</sub>	セットアップ時間、SRCK ↑ 前の SER IN HIGH (以下の 代表的特性 を参照)	20			ns
t <sub>h</sub>	ホールド時間、SRCK ↑ 後の SER IN HIGH (以下の 代表的特性 を参照)	20			ns
t <sub>w</sub>	パルス持続時間 (以下の 代表的特性 を参照)	40			ns
T <sub>C</sub>	動作時のケース温度	-40	125		°C

- (1) パルス持続時間  $\leq 100\mu s$ 、デューティ サイクル  $\leq 2\%$ 。
- (2) 技術的には、T<sub>J</sub> - T<sub>C</sub> を最大でも 10°C に制限する必要があります。

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>	TPIC6B595		単位
	DW (SOIC)	N (PDIP)	
	20 ピン	20 ピン	
R <sub>θJA</sub> 接合部から周囲への熱抵抗	75.3	57	°C/W
R <sub>θJC(top)</sub> 接合部からケース(上面)への熱抵抗	39.8	58.5	°C/W
R <sub>θJB</sub> 接合部から基板への熱抵抗	43.1	38	°C/W
Ψ <sub>JT</sub> 接合部から上面への特性パラメータ	15.4	25.2	°C/W
Ψ <sub>JB</sub> 接合部から基板への特性パラメータ	42.6	37.9	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーションレポート『半導体およびICパッケージの熱評価基準』、SPRA953を参照してください。

## 5.5 電気的特性

自由気流での動作温度範囲内(特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位
V <sub>(BR)DSX</sub> ドレイン ソース間ブレークダウン電圧	I <sub>D</sub> = 1mA		50		V	
V <sub>SD</sub> ソース-ドレイン間ダイオードの順方向電圧	I <sub>F</sub> = 100mA		0.85		1	V
V <sub>OH</sub> H レベル出力電圧、SER OUT	I <sub>OH</sub> = -20μA	V <sub>CC</sub> = 4.5 V	4.4	4.49	4.49	V
	I <sub>OH</sub> = -4mA	V <sub>CC</sub> = 4.5 V	4	4.2		
V <sub>OL</sub> L レベル出力電圧、SER OUT	I <sub>OL</sub> = 20μA	V <sub>CC</sub> = 4.5 V	0.005		0.1	V
	I <sub>OL</sub> = 4mA	V <sub>CC</sub> = 4.5 V	0.3		0.5	
I <sub>IH</sub> High レベル入力電流	V <sub>CC</sub> = 5.5V、V <sub>I</sub> = V <sub>CC</sub>		1		μA	
I <sub>IL</sub> Low レベル入力電流	V <sub>CC</sub> = 5.5V、V <sub>I</sub> = 0		-1		μA	
I <sub>CC</sub> ロジック電源電流	V <sub>CC</sub> = 5.5 V	全出力オフ	20		100	μA
		全出力オン	150		300	
I <sub>ICC(FRQ)</sub> 周波数におけるロジック電源電流	f <sub>SRCK</sub> = 5MHz C <sub>L</sub> = 30pF、すべての出力がオフ、以下に「代表的特性」をご覧ください		0.4		5	mA
I <sub>N</sub> 公称電流	V <sub>DS(ON)</sub> = 0.5V、I <sub>N</sub> = I <sub>D</sub> 、T <sub>C</sub> = 85°C		90		mA	
I <sub>DSX</sub> オフ状態のドレイン電流	V <sub>DS</sub> = 40V、V <sub>CC</sub> = 5.5 V		0.1		5	μA
	V <sub>DS</sub> = 40V T <sub>C</sub> = 125°C V <sub>CC</sub> = 5.5V		0.15		8	
r <sub>DS(on)</sub> 静的ドレイン - ソース間オン抵抗	I <sub>D</sub> = 100mA、V <sub>CC</sub> = 4.5V	(1) および(2)以下の「代表的特性」をご覧ください	4.2		5.7	Ω
	I <sub>D</sub> = 100mA、T <sub>C</sub> = 125°C、V <sub>CC</sub> = 4.5V		6.8		9.5	
	I <sub>D</sub> = 350mA、V <sub>CC</sub> = 4.5V		5.5		8	

- (1) 技術的にはT<sub>J</sub> - T<sub>C</sub>を最大でも10°Cまでに制限する必要があります。  
 (2) これらのパラメータは、電流端子とは別の電圧検知用の端子で測定されます。  
 (3) 公称電流は、異なるソースのデバイス間で一貫した比較を行うために定められています。これは、T<sub>C</sub> = 85°Cにおいて0.5Vの電圧降下が発生する電流です。

## 5.6 スイッチング特性

$V_{CC} = 5V$ 、 $T_C = 25^\circ C$

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{PLH}$ 伝搬遅延時間、 $\overline{G}$ 出力立ち上がり	$C_L = 30\text{pF}$ 、 $I_D = 100\text{mA}$ 、以下の代表的特性をご覧ください	150		ns	
$t_{PHL}$ 伝搬遅延時間、 $\overline{G}$ からの出力立ち下がり		90		ns	
$t_r$ 立ち上がり時間、ドレイン出力		200		ns	
$t_f$ 立ち下がり時間、ドレイン出力		200		ns	
$t_a$ 逆回復電流の立ち上がり時間	$I_F = 100\text{mA}$ 、 $di/dt = 10\text{A}/\mu\text{s}$ <sup>(1)</sup> <sup>(2)</sup> 、以下の代表的特性をご覧ください	100		ns	
$t_{rr}$ 逆方向回復時間		300			

- (1) 技術的には、 $T_J - T_C$  を最大でも  $10^\circ C$  までに制限する必要があります。  
(2) これらのパラメータは、電流端子とは別の電圧検知用の端子で測定されます。

## 5.7 代表的特性

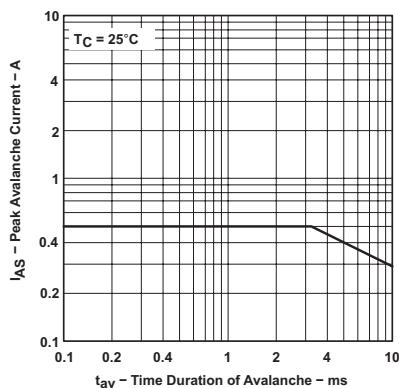


図 5-1. ピークアバランシェ電流とアバランシェ期間の関係

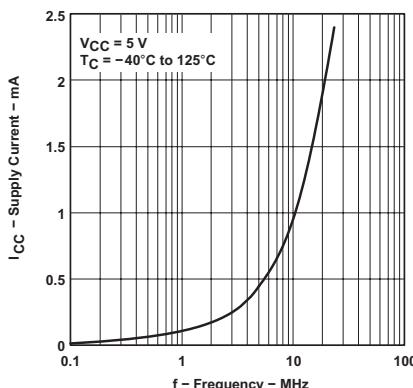
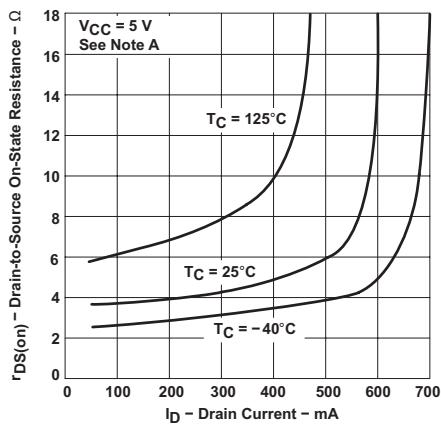
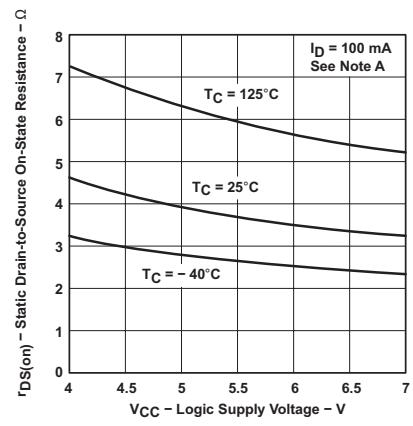


図 5-2. 電源電流と周波数との関係



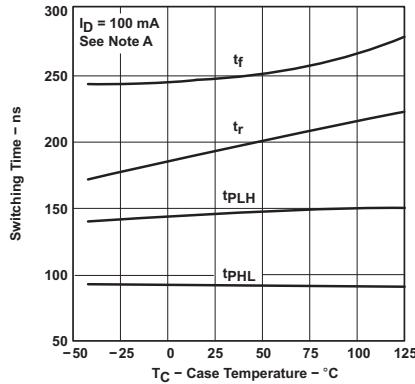
技術的には、 $T_J - T_C$  を最大でも 10°C までに制限する必要があります。

図 5-3. ドレイン-ソース間のオン抵抗とドレイン電流との関係



技術的には、 $T_J - T_C$  を最大でも 10°C に制限する必要があります。

図 5-4. ドレインとソース間の静的オン抵抗と電源電圧との関係



技術的には、 $T_J - T_C$  を最大でも 10°C までに制限する必要があります。

図 5-5. スイッチング時間とケース温度との関係

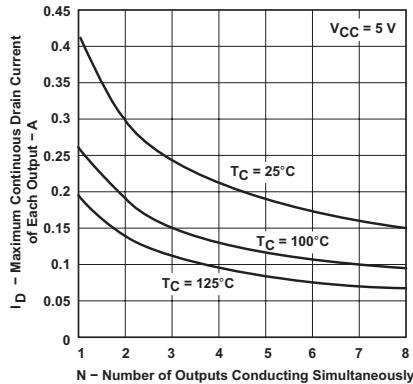


図 5-6. 各出力の最大連続ドレイン電流と、同時に導通する出力数との関係

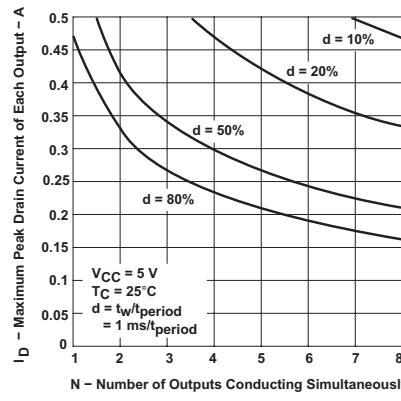
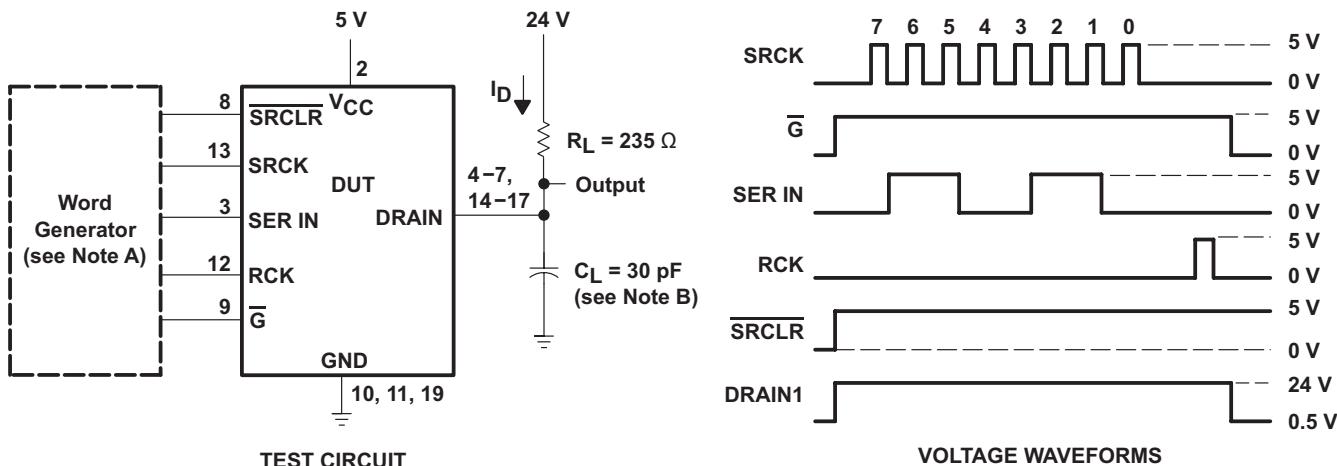


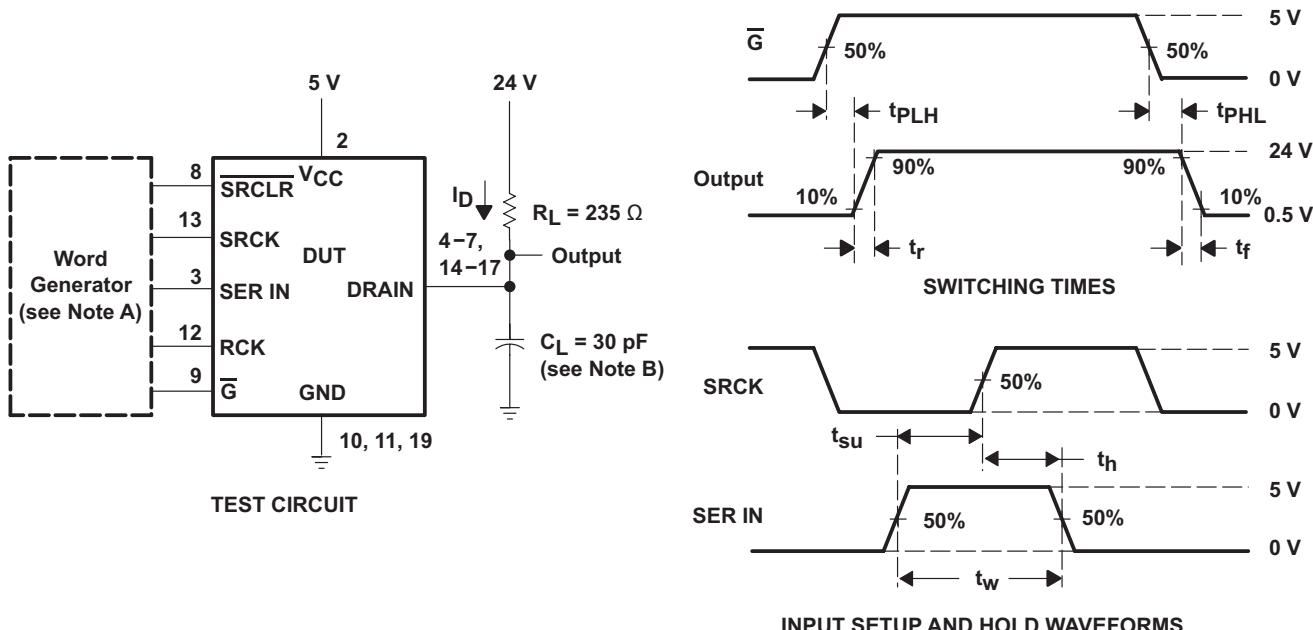
図 5-7. 各出力の最大ピークドレン電流と同時に導通する出力数との関係

## 6 パラメータ測定情報



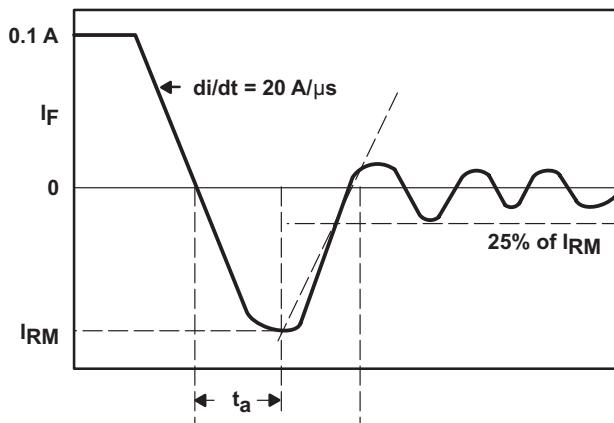
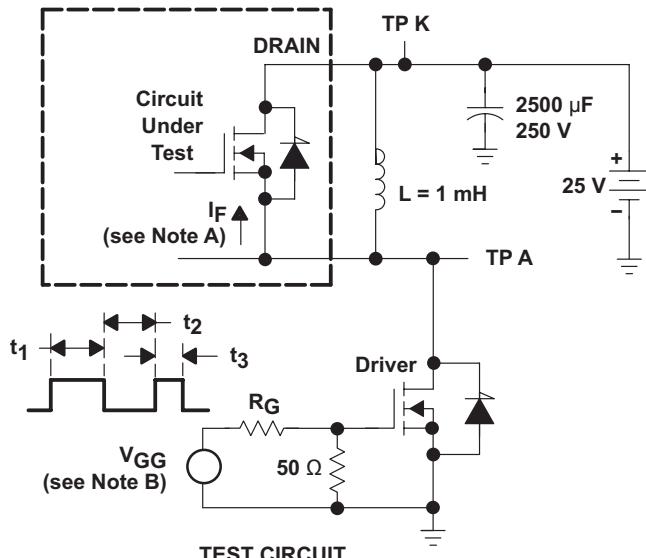
- A. ワードジェネレータには、 $t_f \leq 10\text{ns}$ 、 $t_r \leq 10\text{ns}$ 、 $t_w = 300\text{ns}$ 、パルス反復率(PRR)=5kHz、 $Z_0 = 50\Omega$ といった特性があります。
- B.  $C_L$ にはプローブと治具の容量が含まれます。
- C. 書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です。

図 6-1. 抵抗負荷試験回路と電圧波形



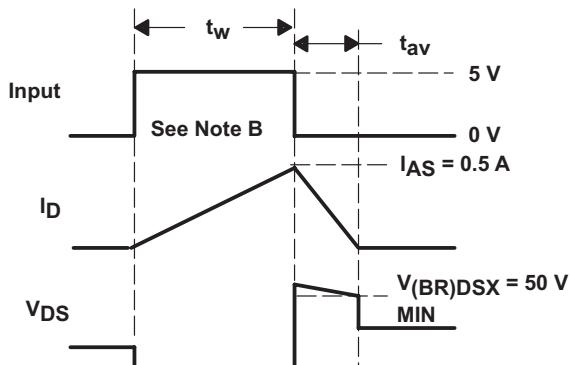
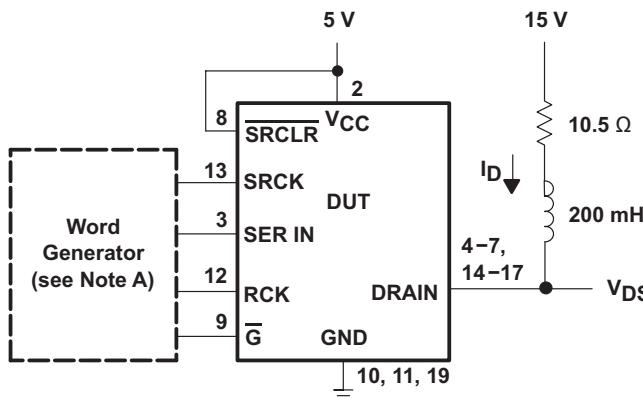
- A. ワードジェネレータには、 $t_f \leq 10\text{ns}$ 、 $t_r \leq 10\text{ns}$ 、 $t_w = 300\text{ns}$ 、パルス反復率(PRR)=5kHz、 $Z_0 = 50\Omega$ といった特性があります。
- B.  $C_L$ にはプローブと治具の容量が含まれます。

図 6-2. テスト回路、各スイッチング時間、および電圧波形



- A. テスト対象のドレイン端子は、TP K テストポイントに接続されています。その他の端子はすべて互いに接続され、TP A テストポイントに接続されています。
- B.  $di/dt = 20A/\mu s$  に合わせて、 $V_{GG}$  の振幅と  $R_G$  を調整します。 $I_F = 0.1A$  を設定するためには  $V_{GG}$  ダブルパルス列を使用しますが、その場合、 $t_1 = 10\mu s$ 、 $t_2 = 7\mu s$ 、 $t_3 = 3\mu s$  となります。

図 6-3. 逆回復電流テスト回路とソース-ドレイン間ダイオードの波形



- A. ワードジェネレータの特性は次の通りです： $t_r \leq 10ns$ 、 $t_f \leq 10ns$ 、 $Z_O = 50\Omega$ 。
- B. 入力パルス持続時間  $t_w$  は、ピーク電流が  $I_{AS} = 0.5mA$  になるまで増加します。エネルギーテストレベルは、 $E_{AS} = I_{AS} \times V_{(BR)DSX} \times t_{AV/2} = 30mJ$  と定義されています。

図 6-4. シングルパルスアバランシェエネルギーのテスト回路と波形

## 7 詳細説明

### 7.1 概要

TPIC6B595 デバイスは、比較的大きな負荷電力を必要とするシステムで使用するために設計されたモノリシック、高電圧、中電流出力の 8 ビットシフトレジスタです。このデバイスは、誘導性過渡保護用として出力に電圧クランプが組み込まれているため、リレー、ソレノイド、その他の中電流または高電圧負荷も駆動できます。

### 7.2 機能ブロック図

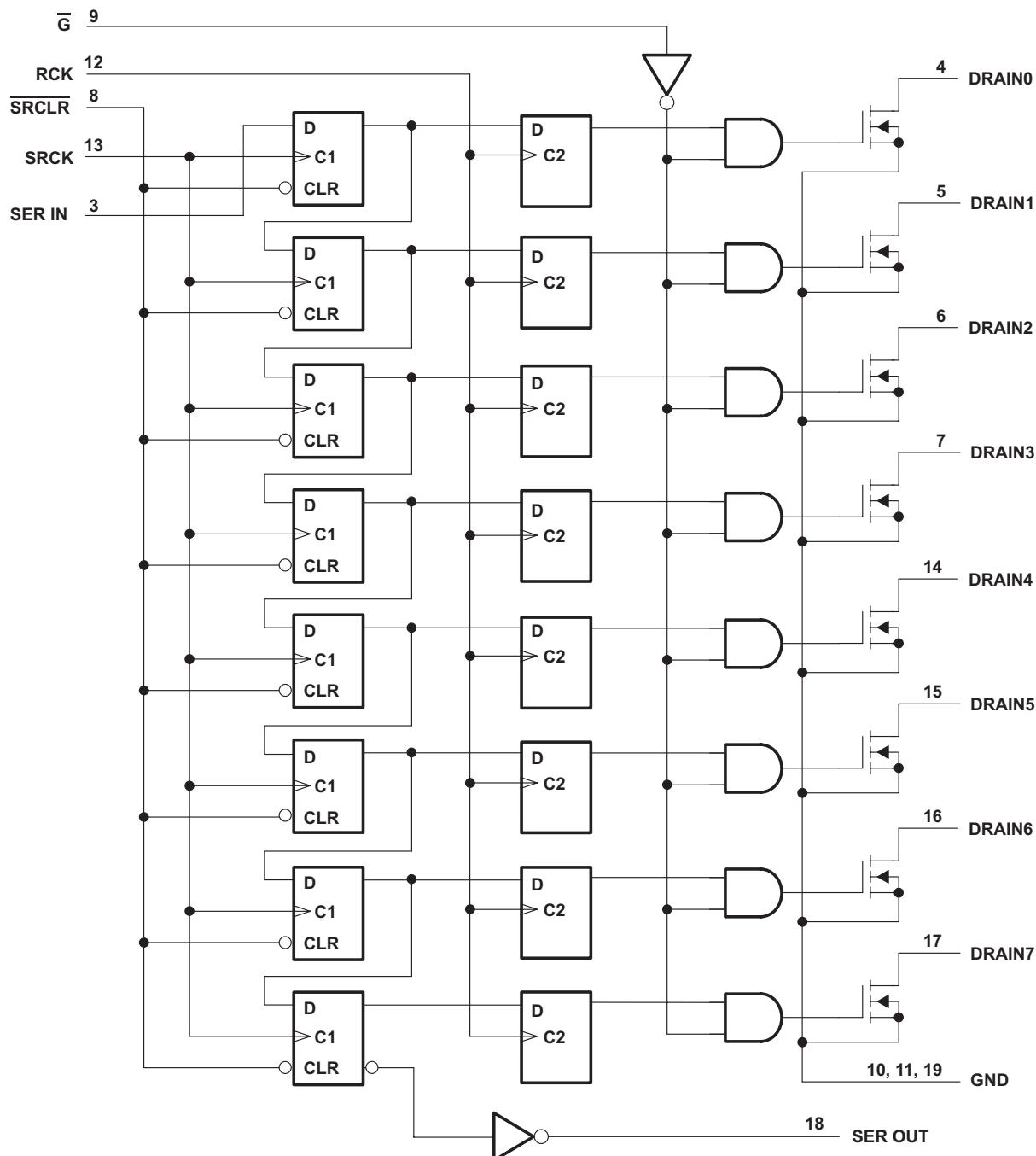


図 7-1. 論理図 (正論理)

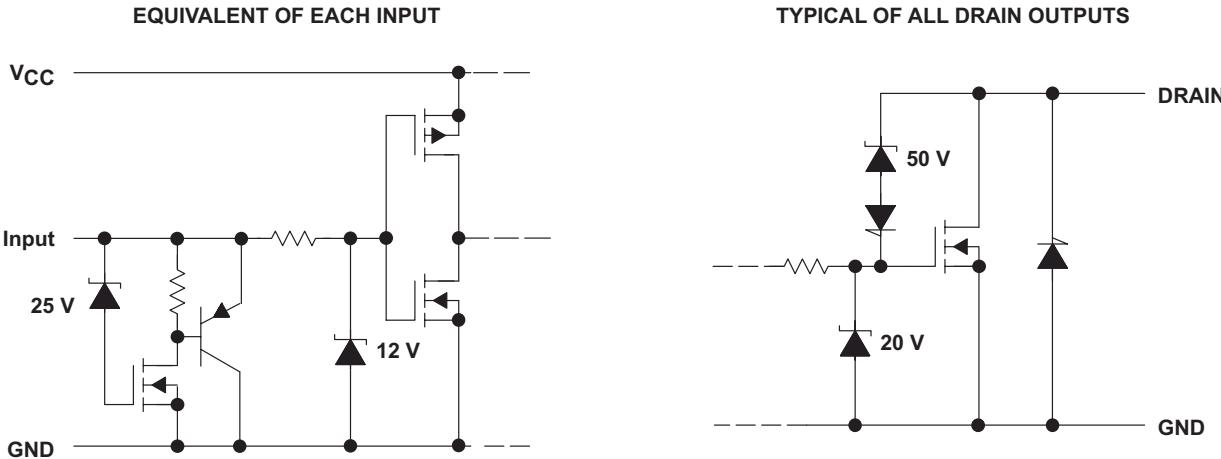


図 7-2. 入力の回路図

## 7.3 機能説明

### 7.3.1 シリアルインインターフェイス

このデバイスには、8ビットのシリアルイン、パラレルアウトのシフトレジスタが内蔵されており、8ビットのDタイプストレージレジスタへデータを供給します。データ転送は、シフトレジスタとストレージレジスタのどちらを経由するにしても、シフトレジスタクロック(SRCK)とレジスタクロック(RCK)の立ち上がりエッジで行われます。書き込みデータと読み取りデータは、RCKがLOWのときのみ有効です。ストレージレジスタは、シフトレジスタクリア(SRCLR)がHIGHのとき、出力バッファへデータを転送します。

### 7.3.2 レジスタのクリア

論理LOWにすれば(SRCLR)、デバイスのすべてのレジスタがクリアされます。TIでは、電源オン時または初期化時にデバイスレジスタのクリアをお勧めします。

### 7.3.3 出力制御

出力イネーブル( $\bar{G}$ )をHIGHに保持すると、出力バッファの全データがLOWに保持され、すべてのドレン出力がオフになります。 $(\bar{G})$ をLOWに保持すると、ストレージレジスタのデータが出力バッファに対して透過的になります。出力バッファのデータがLOWの場合、DMOSトランジスタの出力はオフになります。データがHIGHの場合、DMOSトランジスタ出力はシンク電流能力を持つようになります。このピンは、グローバルPWM調光としても使用できます。

### 7.3.4 カスケードアプリケーション

シリアル出力(SER OUT)を使用すると、シフトレジスタから追加のデバイスにデータをカスケード接続できます。デバイス(SER OUT)ピンを、デイジーチェーン用の次のデバイス(SER IN)に接続します。

### 7.3.5 電流制限機能

出力は、50Vの出力定格と150mAの連続シンク電流能力を持つローサイドオープンドレンDMOSトランジスタです。各出力には、 $T_C = 25^\circ\text{C}$ での500mAの標準電流制限があります。デバイス保護を強化するため、接合部の温度が上昇すると、電流制限は減少します。

## 7.4 デバイスの機能モード

### 7.4.1 $V(V_{CC}) < 4.5$ (最小 $V(V_{CC})$ ) での動作

このデバイスは、動作電圧が 4.5V 未満、 $4.5V \leq V(V_{CC}) \leq 5.5V$  の間の場合、正常に動作します。TI では、通信インターフェイスや電流能力などデバイスの動作を保証することできません。

### 7.4.2 $5.5V \leq V(V_{CC}) < 6V$ での動作

このデバイスは、この電圧範囲で正常に動作しますが、この電圧範囲で長時間使用すると信頼性の問題が発生する可能性があります。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

TPIC6B595 デバイスは、シリアル入力パラレル出力、Power+LogicE 8 ビットシフトレジスタで、ローサイドスイッチ DMOS 出力定格はチャネルあたり 150mA です。このデバイスは、比較的大きな負荷電力を必要とするシステムで使用できるように設計されています。本デバイスは、誘導性過渡保護のために電圧クランプを出力に組み込んでいます。パワー ドライバ アプリケーションには、リレー、ソレノイド、その他の中電流または高電圧負荷が挙げられます。以下では、TPIC6B595 デバイスの車載用クラスタアプリケーションを重点的に説明します。

### 8.2 代表的なアプリケーション

TPIC6B595 デバイスの代表的なアプリケーションは、車載用クラスタのドライバです。この例では、2 つの TPIC6B595 パワーシフトレジスタをカスケード接続し、クラスタパネルの LED をオンにします。この場合、16 ビットのデータをすべてシリアルシフトレジスタに読み込んだ後、LED を更新する必要があります。MCU は、シフトレジスタクロック(SRCK)にクロックを供給しながら、データをシリアル入力(SER IN)に出力します。16 番目のクロックの後、レジスタクロック(RCK)へのパルスにより、データがストレージレジスタに転送されます。出力イネーブル(G)が Low の場合、1 がオンでゼロがオフのステータスワードに対応する LED がオンになります。このシンプルな方法により、MCU が SPI インターフェイスを使用することで、図 8-1 に示すように、2 つの IC のみを使用して 16 個の LED を点灯させるできます。

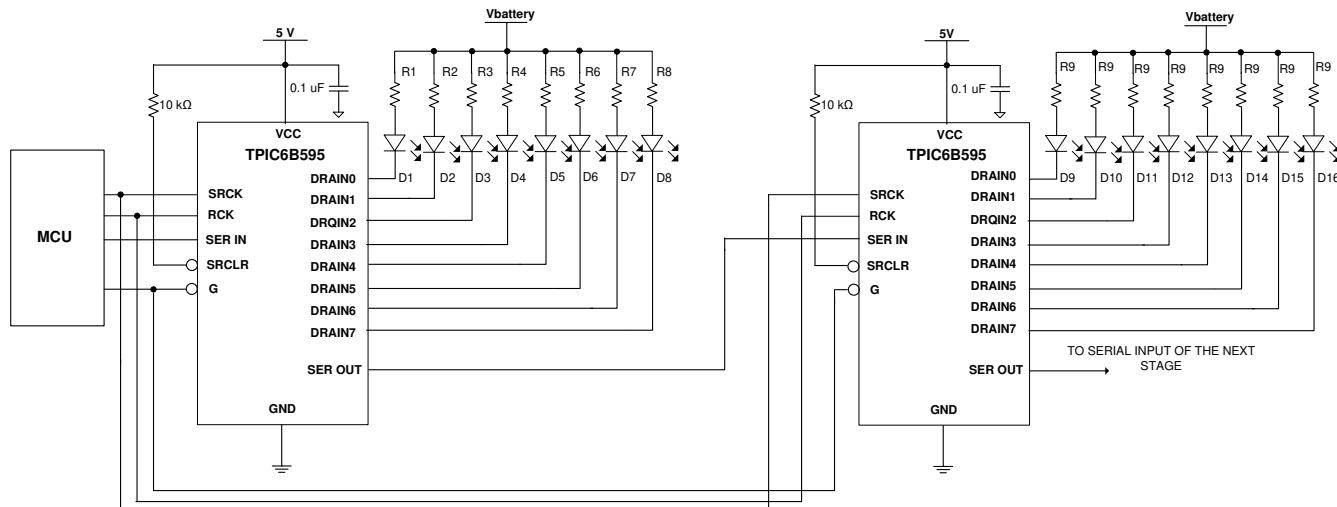


図 8-1. 代表的なアプリケーション回路図

#### 8.2.1 設計要件

この設計例では、表 8-1 の設計パラメータを使用します。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
VSUPPLY	9-16V
V(D1)、V(D2)、V(D3)、V(D4)、V(D5)、V(D6)、V(D7)、V(D8)	2V
V(D9)、V(D10)、V(D11)、V(D12)、V(D13)、V(D14)、V(D15)、V(D16)	3.3V

**表 8-1. 設計パラメータ (続き)**

設計パラメータ	数値の例
I(D1)、I(D2)、I(D3)、I(D4)、I(D5)、I(D6)、I(D7)、I(D8)	Vbattery が 12V のとき 20mA
I(D9)、I(D10)、I(D11)、I(D12)、I(D13)、I(D14)、I(D15)、I(D16)	Vbattery が 12V のとき 30mA

### 8.2.2 詳細な設計手順

設計プロセスを開始するには、いくつかのパラメータを決定する必要があります。設計者は、以下を把握する必要があります。

- VSUPPLY - LED 電源はバッテリに直接接続するか、電圧を固定します。このアプリケーションではバッテリに直接接続します。
- V(Dx) – LED 順方向電圧
- I(Dx) – バッテリが 12V のときの LED 設定電流。

R1,R2,R3,R4,R5,R6,R7,R8

$$R1 = R2 = R3 = R4 = R5 = R6 = R7 = R8 = \frac{(V_{supply} - V(Dx))}{I(Dx)} = \frac{(12V - 2V)}{0.02A} = 500\Omega \quad (1)$$

V<sub>supply</sub> が 9V のとき、

$$I(D1) = I(D2) = I(D3) = I(D4) = I(D5) = I(D6) = I(D7) = I(D8) = \frac{(V_{supply} - V(Dx))}{Rx} = \frac{(9V - 2V)}{Rx} = 14mA \quad (2)$$

V<sub>supply</sub> が 16V のとき、

$$I(D1) = I(D2) = I(D3) = I(D4) = I(D5) = I(D6) = I(D7) = I(D8) = \frac{(V_{supply} - V(Dx))}{Rx} = \frac{(16V - 2V)}{Rx} = 28mA \quad (3)$$

R9,R10,R11,R12,R13,R14,R15,R16

$$R9 = R10 = R11 = R12 = R13 = R14 = R15 = R16 = \frac{(V_{supply} - V(Dx))}{I(Dx)} = \frac{(16V - 3.3V)}{0.03A} = 290\Omega \quad (4)$$

V<sub>supply</sub> が 9V のとき、

$$I(D9) = I(D10) = I(D11) = I(D12) = I(D13) = I(D14) = I(D15) = I(D16) = \frac{(V_{supply} - V(Dx))}{Rx} = \frac{(9V - 2V)}{Rx} = 19.7mA \quad (5)$$

V<sub>supply</sub> が 16V のとき、

$$I(D9) = I(D10) = I(D11) = I(D12) = I(D13) = I(D14) = I(D15) = I(D16) = \frac{(V_{supply} - V(Dx))}{Rx} = \frac{(16V - 2V)}{Rx} = 43.8mA \quad (6)$$

---

#### 注

バッテリ電圧の変化による電流の変化を許容できる場合は、バッテリに直接接続できます。電流の変動を抑える必要がある場合は、LED の電源電圧として電圧レギュレータを使用するか、定電流 LED ドライバに直接変更する必要があります。

### 8.2.3 アプリケーション曲線

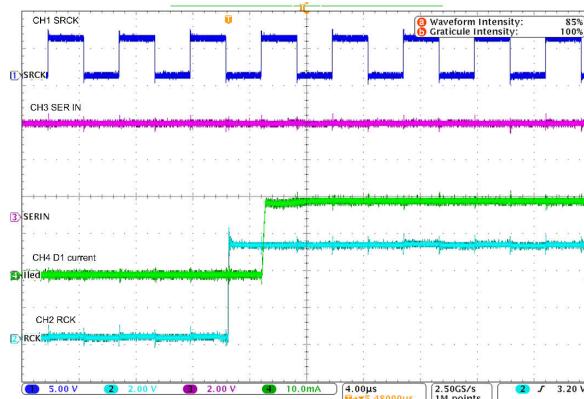


図 8-2. CH1 は SRCK、CH2 は RCK、CH3 は SER IN、CH4 は D1 電流

## 8.3 電源に関する推奨事項

TPIC6B595 は、4.5V から 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電源は適切な調整が行われる必要があります。TI は、VVCC ピンの近くにセラミックバイパスコンデンサを配置することを推奨しています。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

デジタル信号ピンに対して特別なレイアウトの要件はありませんが、唯一の要件は、パスコンデンサを配置することです。TPIC6B595 デバイスには過熱保護機能がないため、熱による損傷を防ぐため、 $T_J$  は、150°C よりも低くする必要があります。合計シンク電流が大きい場合は、消費電力が大きくなる可能性があります。現在、このデバイスはサーマルパッドパッケージでは提供されていないため、PCB 設計を適切に行って熱伝導を最適化する必要があります。これはデバイスの長期的な信頼性にとって必須です。基板の熱伝導率を高めるために、PCB 上の銅領域の面積はできるだけ大きくします。これは、PCB 上の銅領域がパッケージから周囲への主要な熱伝導経路となっているためです。設計で、PCB パッケージの反対側にヒートシンクが設けられていない場合は、銅領域を最大限大きくすることが極めて重要です。

- 基板の熱伝導率を最適化するため、パッケージのグランドパッドの直下に、できるだけ多くのサーマルビアを追加します。
- すべてのサーマルビアは、半田ボイドの発生を防ぐため、基板の両側で、めつきして閉じるか、栓で塞いで覆っておく必要があります。信頼性と性能を確保するには、はんだの被覆率は 85% 以上でなければなりません。

#### 8.4.2 レイアウト例

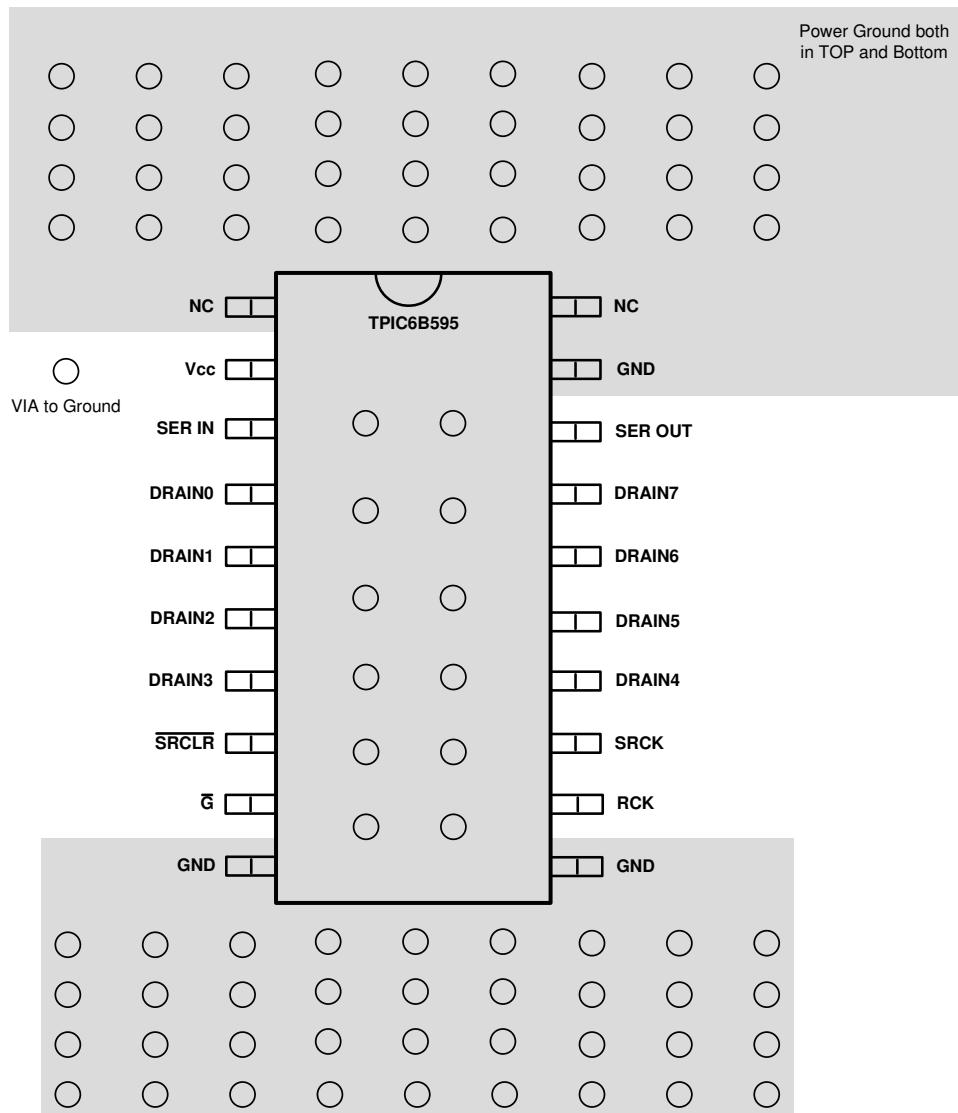


図 8-3. TPIC6B595 のレイアウト例

## 9 デバイスおよびドキュメントのサポート

### 9.1 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの使用条件を参照してください。

### 9.2 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.4 用語集

#### テキサス・インストルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2025) to Revision D (April 2025)	Page
• 「製品情報」表を更新.....	1

Changes from Revision B (September 2014) to Revision C (March 2025)	Page
• 「アプリケーション」セクションを更新.....	1

Changes from Revision A (May 2005) to Revision B (September 2014)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• SRCLR タイミング図の変更.....	1
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。 .....	4

Changes from Revision * (July 1995) to Revision A (May 2005)	Page
• SRCLR タイミング図の変更.....	1

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPIC6B595DW	Obsolete	Production	SOIC (DW)   20	-	-	Call TI	Call TI	-40 to 125	TPIC6B595
TPIC6B595DWG4	Obsolete	Production	SOIC (DW)   20	-	-	Call TI	Call TI	-	TPIC6B595
TPIC6B595DWR	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6B595
TPIC6B595DWR.A	Active	Production	SOIC (DW)   20	2000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6B595
TPIC6B595DWRG4	Obsolete	Production	SOIC (DW)   20	-	-	Call TI	Call TI	-	TPIC6B595
TPIC6B595N	Active	Production	PDIP (N)   20	20   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6B595N
TPIC6B595N.A	Active	Production	PDIP (N)   20	20   TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6B595N

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

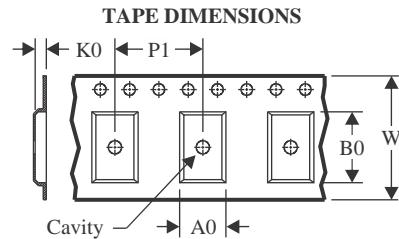
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

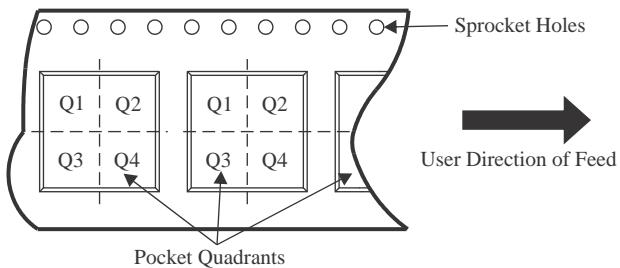
**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



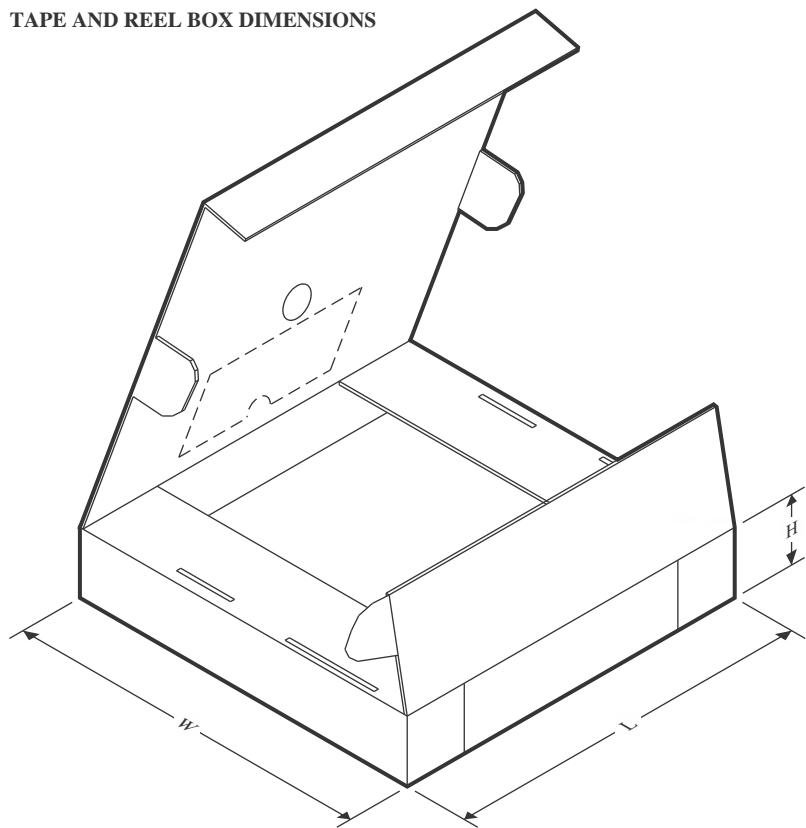
**TAPE AND REEL INFORMATION**

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**

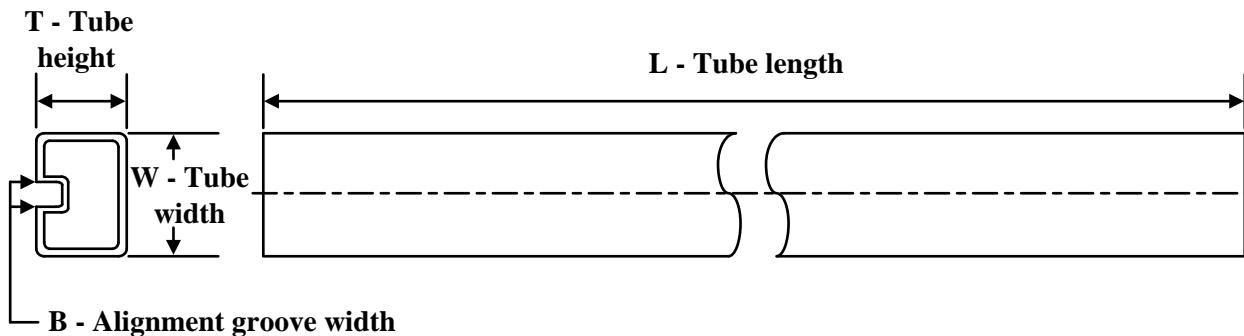
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPIC6B595DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
TPIC6B595DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPIC6B595DWR	SOIC	DW	20	2000	350.0	350.0	43.0
TPIC6B595DWR	SOIC	DW	20	2000	350.0	350.0	43.0

**TUBE**


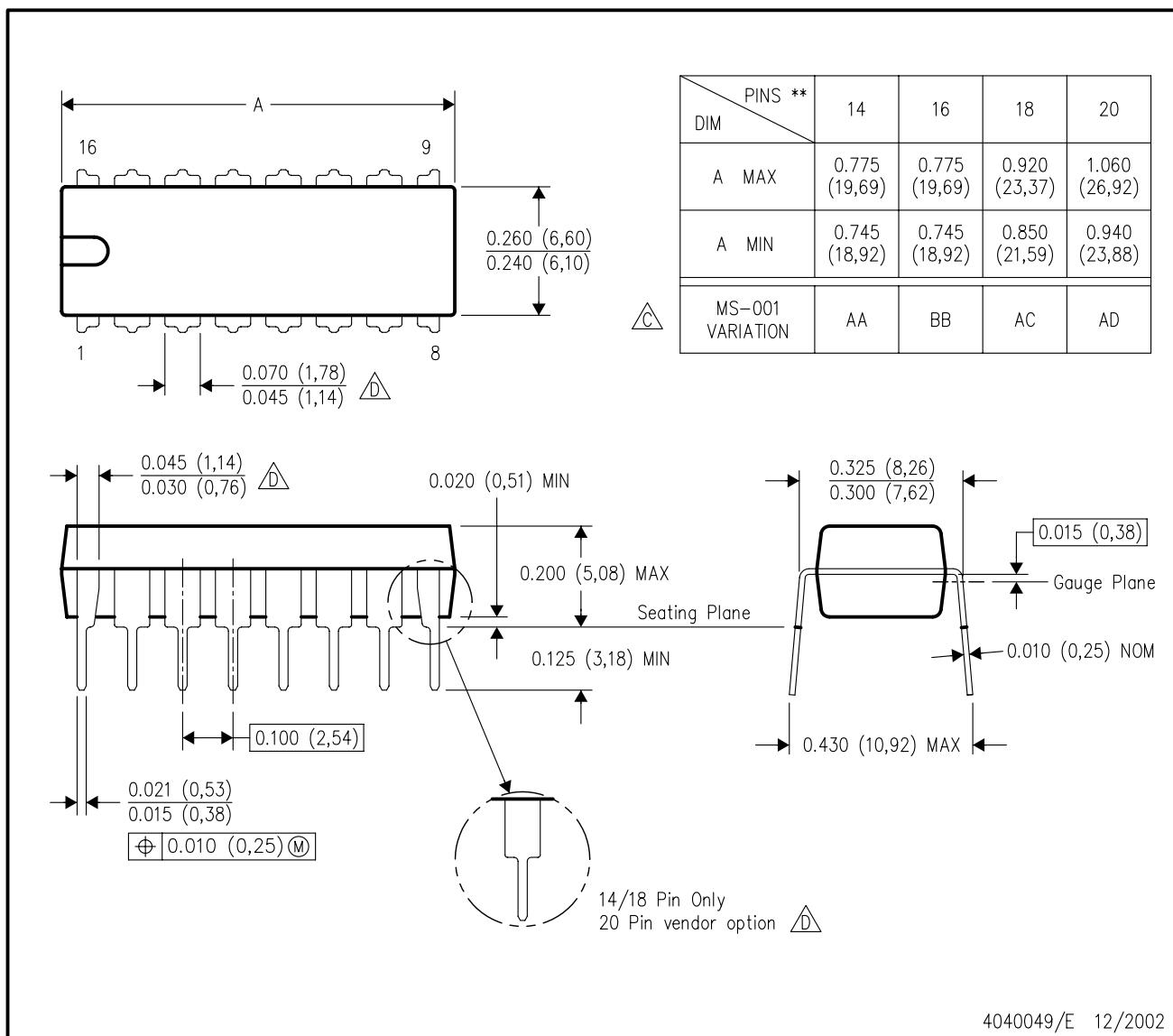
\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T ( $\mu$ m)	B (mm)
TPIC6B595N	N	PDIP	20	20	506	13.97	11230	4.32
TPIC6B595N.A	N	PDIP	20	20	506	13.97	11230	4.32

## N (R-PDIP-T\*\*)

16 PINS SHOWN

## PLASTIC DUAL-IN-LINE PACKAGE



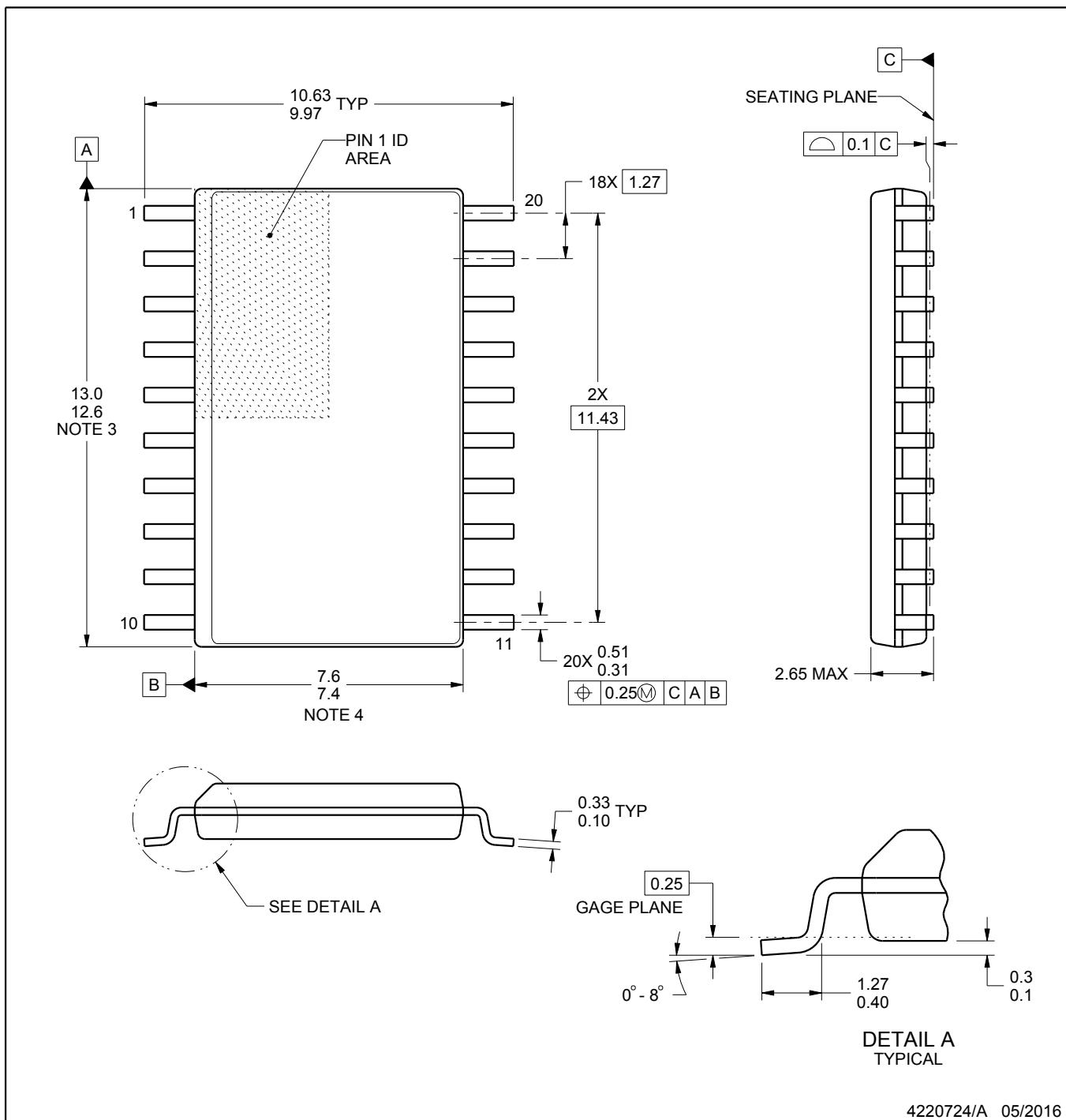
# PACKAGE OUTLINE

DW0020A



SOIC - 2.65 mm max height

SOIC



NOTES:

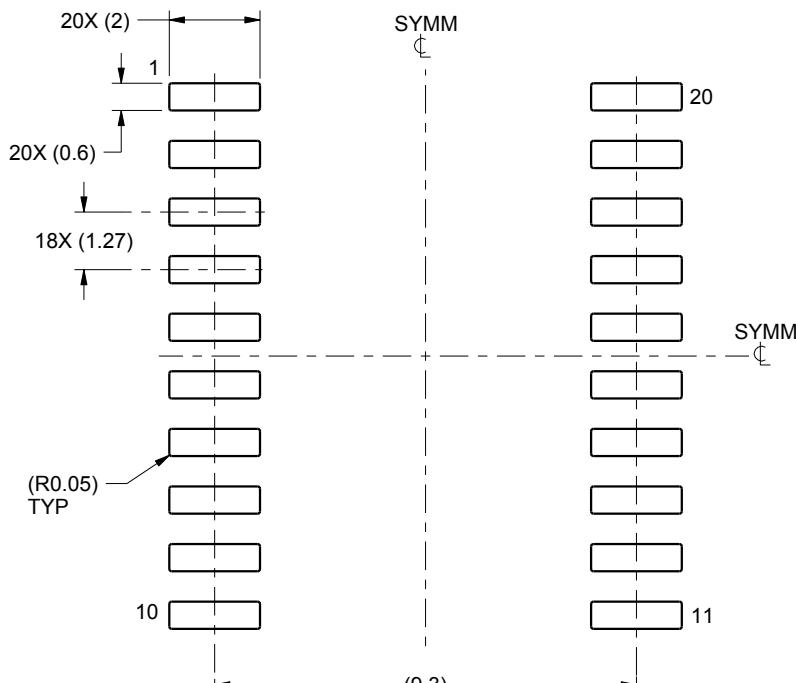
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
- Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

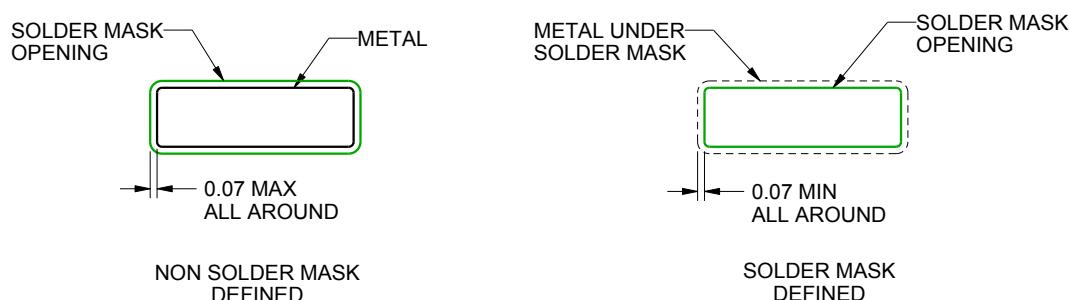
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

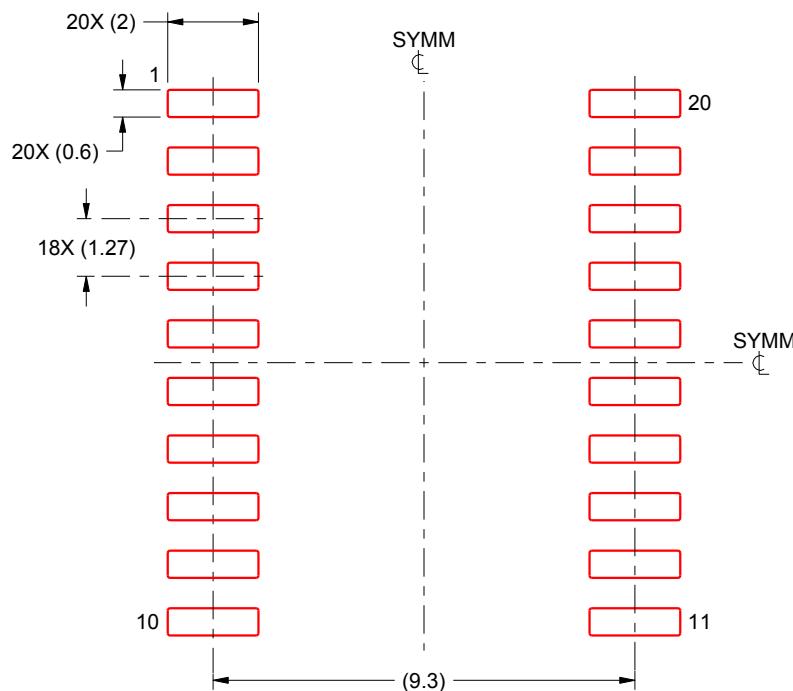
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月