

TPIC6B596 パワー ロジック 8 ビット シフト レジスタ

1 特長

- 低い $r_{DS(on)}$: 5 Ω
- アバランシェ エネルギー: 30mJ
- 8 つのパワー DMOS トランジスタ出力、150-mA 連続電流
- 500mA の標準的な電流制限能力
- 出力クランプ電圧: 50V
- 拡張カスケードにより複数段可能
- 単一の入力ですべてのレジスタをクリア
- 低消費電力

2 アプリケーション

- メーター クラスター
- インジケーター ランプ
- LED 照明および制御
- 車載用リレーまたはソレノイド ドライバ

3 概要

TPIC6B596 デバイスは、比較的大きな負荷電力を必要とするシステムで使用するために設計されたモノリシック、高電圧、中電流出力の 8 ビット シフト レジスタです。本デバイスは、誘導性過渡保護のために電圧クランプを出力に組み込んでいます。パワー ドライバ アプリケーションには、リレー、ソレノイド、その他の中電流または高電圧負荷が含まれています。

このデバイスには、8 ビットのシリアル イン、パラレル アウトのシフト レジスタが内蔵されており、8 ビットの D タイプ ストレージ レジスタへデータを供給します。データはシフト レジスタとストレージ レジスタを経由して、それぞれシフト レジスタ クロック(SRCK)とレジスタ クロック(RCK)の立ち上がりエッジで転送されます。ストレージ レジスタは、シフト レジスタ クリア(SRCLR)が HIGH のとき、出力バッファへデータを転送します。書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です。SRCLR が LOW の場合、デバイスのすべてのレジスタがクリアされます。出力イネーブル (\bar{G}) が HIGH に保持されると、出力バッファのすべてのデータが LOW に保持され、すべてのドレイン出力がオフになります。 \bar{G} を LOW に保持すると、ストレージ レジスタのデータが出力バッファへ透過的になります。出力バッファのデータが HIGH のとき、DMOS- トランジスタの出力がオフになります。データが HIGH のとき、DMOS- トランジスタ出力はシンク電流能力を持つようになります。シリアル出力(SER OUT)は、カスケード接続されたアプリケーションに追加のホールドタイムを提供するため、SRCK の立ち下がりエッジでデバイスからクロックアウトされます。これにより、クロック信号にスキューが生じたり、

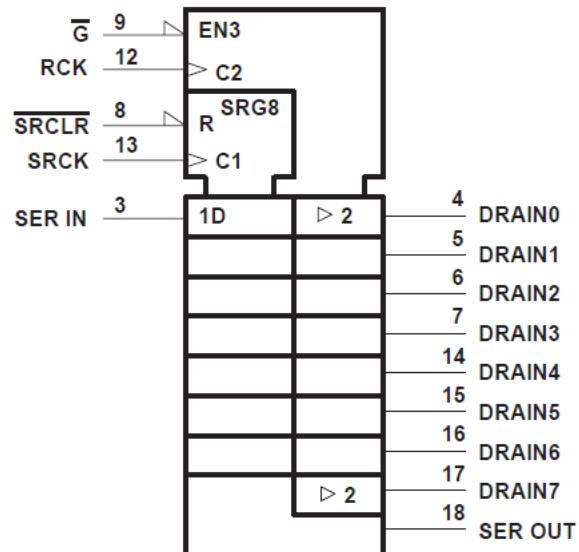
デバイスが互いに近接していないかったり、システムが電磁妨害を許容しなければならない場合、このアプリケーションのパフォーマンスが向上します。

出力は、50V の出力定格と 150mA の連続シンク電流能力を持つローサイド オープンドレイン DMOS トランジスタです。各出力には、 $T_C = 25^\circ\text{C}$ での 500mA の標準電流制限があります。デバイス保護を強化するため、接合部の温度が上昇すると、電流制限は減少します。

TPIC6B596 デバイスは、動作ケース温度範囲 $-40^\circ\text{C} \sim 125^\circ\text{C}$ 全体での動作が規定されています。

表 3-1. 製品情報

部品番号	パッケージ	本体サイズ(標準)
TPIC6A595	PDIP(20)	25.4mm × 6.35mm
	SOIC(20)	12.80mm × 7.50mm



A. † この記号は ANSI/IEEE Std 91-1984 と IEC Publication 617-12 に準拠しています。

論理記号

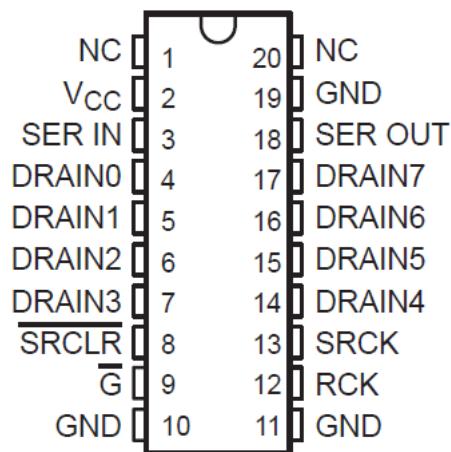


このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.2 機能ブロック図	12
2 アプリケーション	1	7.3 リファレンス	13
3 概要	1	8 デバイスの機能モード	14
4 ピン構成および機能	3	8.1 $V_{CC} < 4.5V$ での動作	14
5 仕様	4	8.2 $5.5V < V_{CC} \leq 7V$ での動作	14
5.1 絶対最大定格	4	9 デバイスおよびドキュメントのサポート	15
5.2 許容損失表	4	9.1 ドキュメントのサポート	15
5.3 推奨動作条件	4	9.2 ドキュメントの更新通知を受け取る方法	15
5.4 電気的特性	6	9.3 サポート・リソース	15
5.5 スイッチング特性	7	9.4 商標	15
5.6 熱抵抗	7	9.5 静電気放電に関する注意事項	15
5.7 代表的特性	7	9.6 用語集	15
6 パラメータ測定情報	9	10 改訂履歴	15
7 詳細説明	12	11 メカニカル、パッケージ、および注文情報	16
7.1 概要	12		

4 ピン構成および機能



A. NC - 内部接続なし

図 4-1. DW または N パッケージ (上面図)

ピン機能

ピン	番号	I/O	説明
名称			
DRAIN0	4		
DRAIN1	5		
DRAIN2	6		
DRAIN3	7		
DRAIN4	14		オープンドレイン出力
DRAIN5	15		
DRAIN6	16		
DRAIN7	17		
G	9	I	出力イネーブル、アクティブロー
GND	10, 11, 19	-	電源グランド
NC	1, 20	-	内部接続なし
RCK	12	I	レジスタ クロック
SERIN	3	I	シリアル データ入力
SEROUT	18	O	シリアル データ出力
SRCK	15	I	シフト レジスタ クロック
SRCLR	3	I	シフト レジスタのクリア、アクティブロー
VCC	2	I	電源

5 仕様

5.1 絶対最大定格

(特に注記のない限り) ケースの推奨動作温度範囲以上 ⁽¹⁾

			最小値	最大値	単位
V_{CC}	ロジック電源電圧 ⁽²⁾			7	V
V_I	ロジック入力電圧範囲		-0.3	7	V
V_{DS}	パワー DMOS のドレイン-ソース間電圧 ⁽³⁾			50	V
	ソース-ドレイン間ダイオードの連続アノード電流			500	mA
	ソース-ドレイン間ダイオードのアノード側パルス電流 ⁽⁴⁾			1	A
I_D	パルスドレイン電流、各出力、すべての出力がオン ⁽⁴⁾	$T_C = 25^\circ\text{C}$		500	mA
I_D	連続ドレイン電流、各出力、すべての出力がオン	$T_C = 25^\circ\text{C}$		150	mA
I_{DM}	ピークドレイン電流シングル出力 ⁽⁴⁾	$T_C = 25^\circ\text{C}$		500	mA
E_{AS}	シングルパルスアバランシェエネルギー(図 6-4 を参照)			30	mJ
I_{AS}	アバランシェ電流 ⁽⁵⁾			500	mA
	連続総許容損失		セクション 5.2 を参照		
T_J	動作接合部温度範囲		-40	150	°C
T_C	動作ケース温度範囲		-40	125	°C
	保管温度範囲		-65	150	°C
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間			260	°C

- (1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、GND を基準としたものです。
- (3) 各パワー DMOS ソースは、内部で GND に接続されています。
- (4) パルス持続時間 $\leq 100\mu\text{s}$ 、デューティ サイクル $\leq 2\%$ 。
- (5) ドレイン電源電圧 = 15V、開始接合部温度 (T_{JS}) = 25°C、L = 200mH、 $I_{AS} = 0.5\text{A}$ (図 6-4 を参照)。

5.2 許容損失表

パッケージ	$T_C \leq 25^\circ\text{C}$ の電力定格	$T_C = 25^\circ\text{C}$ を超える場合のディレーティング係数	$T_C = 125^\circ\text{C}$ の電力定格
DW	1389mW	11.1 mW/°C	278mW
N	1050mW	10. mW/°C	263mW

5.3 推奨動作条件

		最小値	最大値	単位
V_{CC}	ロジック電源電圧	4.5	5.5	V
V_{IH}	High レベル入力電圧	0.85 V_{CC}		V
V_{IL}	Low レベル入力電圧		0.15 V_{CC}	V
	パルスドレイン出力電流、 $T_C = 25^\circ\text{C}$ 、 $V_{CC} = 5\text{V}$ ^{(1) (2)}	-500	500	mA
t_{su}	セットアップ時間、SRCK 前の SER IN HIGH(図 6-2 を参照)	15		ns
t_h	ホールド時間、SRCK 後の SER IN HIGH(図 6-2 を参照)	15		ns
t_w	パルス持続時間(図 6-2 を参照)	40		ns
T_C	動作時のケース温度	-40	125	°C

- (1) パルス持続時間 $\leq 100\mu\text{s}$ 、デューティ サイクル $\leq 2\%$ 。

- (2) 技術的には、 $T_J - T_C$ を最大でも 10°C に制限する必要があります。

5.4 電気的特性

(特に注記のない限り) $V_{CC} = 5V$, $T_C = 25^\circ C$

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{(BR)DSX}$	ドレイン-ソース間ブレークダウン電圧	$I_D = 1mA$		50		V	
V_{SD}	ソース-ドレイン間ダイオードの順方向電圧	$I_F = 100mA$		0.85		1	V
V_{OH}	H レベル出力電圧、SER OUT	$I_{OH} = -20\mu A$	$V_{CC} = 4.5 V$	4.4	4.49	V	
		$I_{OH} = -4mA$	$V_{CC} = 4.5 V$	4	4.2		
V_{OL}	L レベル出力電圧、SER OUT	$I_{OL} = 20\mu A$	$V_{CC} = 4.5 V$	0.005		0.1	V
		$I_{OL} = 4mA$	$V_{CC} = 4.5 V$	0.3		0.5	
I_{IH}	High レベル入力電流	$V_{CC} = 5.5V$	$V_I = V_{CC}$	1		μA	
I_{IL}	Low レベル入力電流	$V_{CC} = 5.5V$	$V_I = 0$	-1		μA	
I_{CC}	ロジック電源電流	$V_{CC} = 5.5 V$		全出力オフ	20	100	μA
				全出力オン	150	300	
$I_{CC(FRQ)}$	周波数におけるロジック電源電流	$f_{SRCK} = 5MHz$ 、 全出力オフ、		$C_L = 30pF$ 、 図 6-2 および 図 5-2 を参照	0.4	5	mA
I_N	定格電流	$V_{DS(on)} = 0.5V$ 、 $I_N = I_D$, $T_C = 85^\circ C$		(1) (2) (3) を参照		90	mA
I_{DSX}	オフ状態のドレイン電流	$V_{DS} = 40V$	$V_{CC} = 5.5 V$	0.1		5	μA
		$V_{DS} = 40V$	$V_{CC} = 5.5V$, $T_C = 125^\circ C$	0.15		8	
$r_{DS(on)}$	ドレイン - ソース間オン抵抗	$I_D = 100mA$	$V_{CC} = 4.5 V$	図 5-3 および 図 5-4 (1) (2) を参照		4.2	5.7
		$I_D = 100mA$	$T_C = 125^\circ C$			6.8	9.5
		$I_D = 350mA$	$V_{CC} = 4.5 V$			5.5	8

(1) 技術的には、 $T_J - T_C$ を最大でも $10^\circ C$ までに制限する必要があります。

(2) これらのパラメータは、電流端子とは別の電圧検知用の端子で測定されます。

(3) 公称電流は、異なるソースのデバイス間で一貫した比較を行うために定められています。これは、 $T_C = 85^\circ C$ において $0.5V$ の電圧降下が発生する電流です。

5.5 スイッチング特性

$V_{CC} = 5V$, $T_C = 25^\circ C$

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{PLH}	伝搬遅延時間、Gからの出力立ち上がり	$C_L = 30pF$ 、 図 6-1 、 図 6-2 、 図 5-5 を参照	$I_D = 100mA$ 、	150		ns	
t_{PHL}	伝搬遅延時間、 \overline{G} からの出力立ち下がり			90		ns	
t_r	立ち上がり時間、ドレイン出力	図 6-1 、 図 6-2 、 図 5-5 を参照		200		ns	
t_f	立ち下がり時間、ドレイン出力			200		ns	
t_{pd}	伝搬遅延時間、SRCK ↓ から SEROUT まで	$C_L = 30pF$ 、 図 6-2 を参照	$I_D = 100mA$ 、	15		ns	
$f_{(SRCK)}$	シリアルクロック周波数	$C_L = 30pF$ 、 (3) を参照	$I_D = 100mA$ 、		10	MHz	
t_a	逆回復電流の立ち上がり時間	$I_F = 100mA$ 、	$di/dt = 20A/\mu s$ 、	100			
t_{rr}	逆方向回復時間	図 6-3 (1) (2) を参照		300		ns	

(1) 技術的には、 $T_J - T_C$ を最大でも $10^\circ C$ までに制限する必要があります。

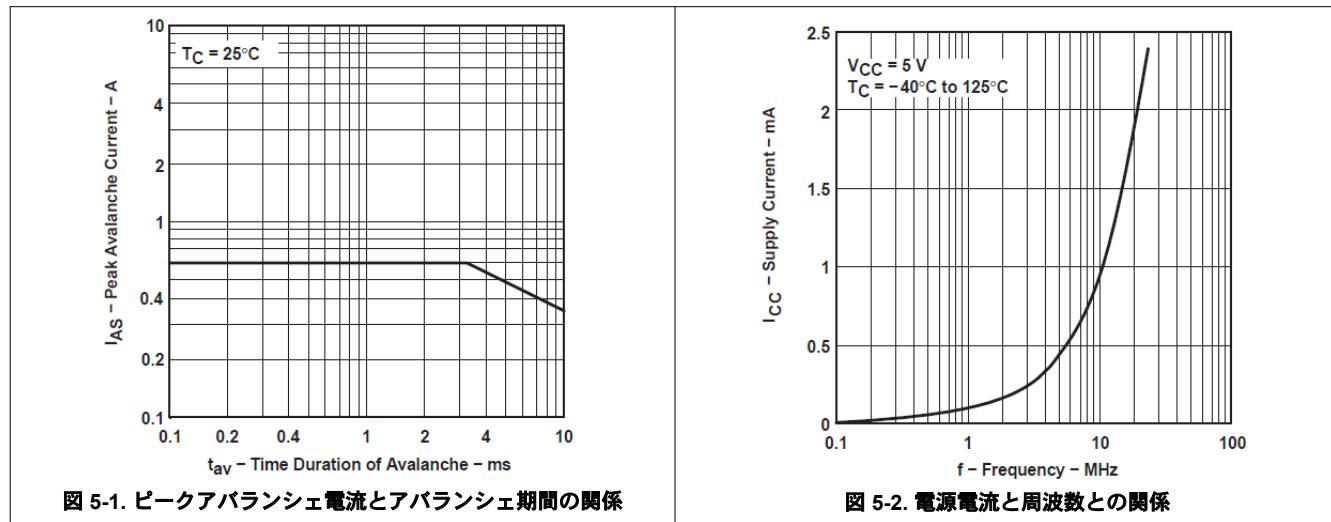
(2) これらのパラメータは、電流端子とは別の電圧検知用の端子で測定されます。

(3) これは、シリアルデータが 1 段目から 2 段目に渡されるカスケード動作を想定した場合の最大シリアルクロック周波数です。クロック周期により、SRCK→SEROUT の伝搬遅延とセットアップ時間、および若干のタイミングマージンを許容されます。

5.6 熱抵抗

パラメータ		テスト条件		最小値	最大値	単位
$R_{\theta JA}$	熱抵抗、接合部-周囲環境	DW パッケージ	8 つの出力はすべて均等出力	90		
		N パッケージ		95		°C/W

5.7 代表的特性



5.7 代表的特性 (続き)

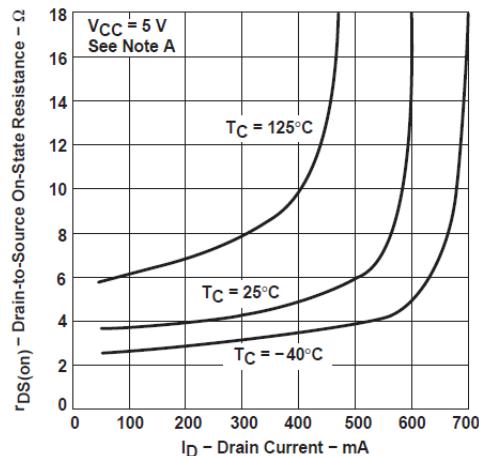


図 5-3. ドレイン-ソース間のオン抵抗とドレイン電流との関係

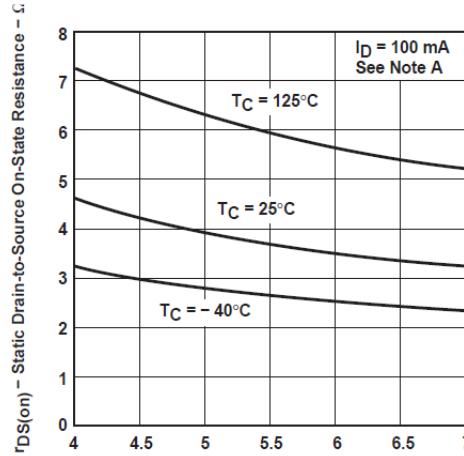
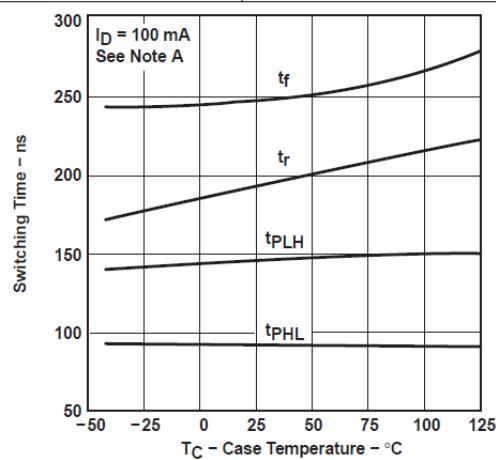


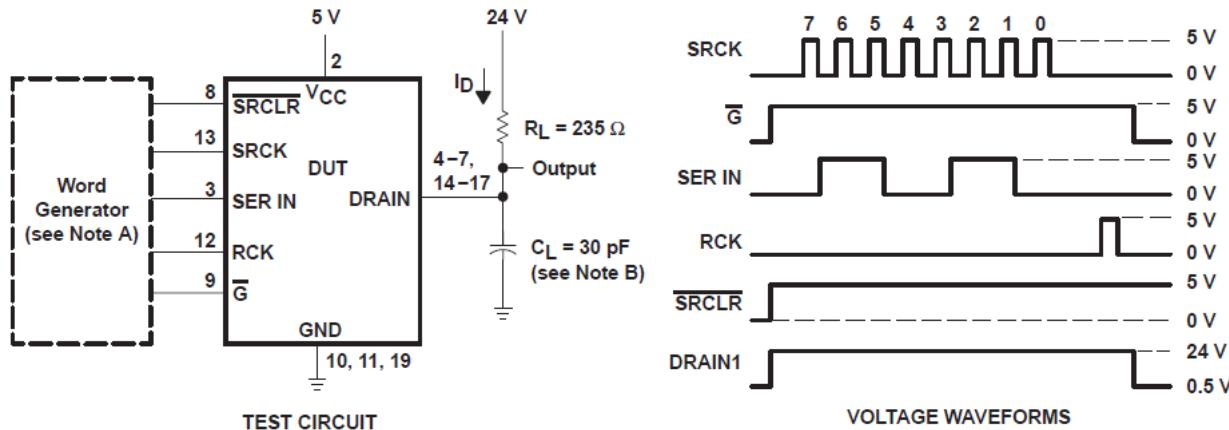
図 5-4. ドレイン-ソース間の静的のオン抵抗と電源電圧との関係



技術的には、 $T_J - T_C$ を最大でも 10°C に制限する必要があります。

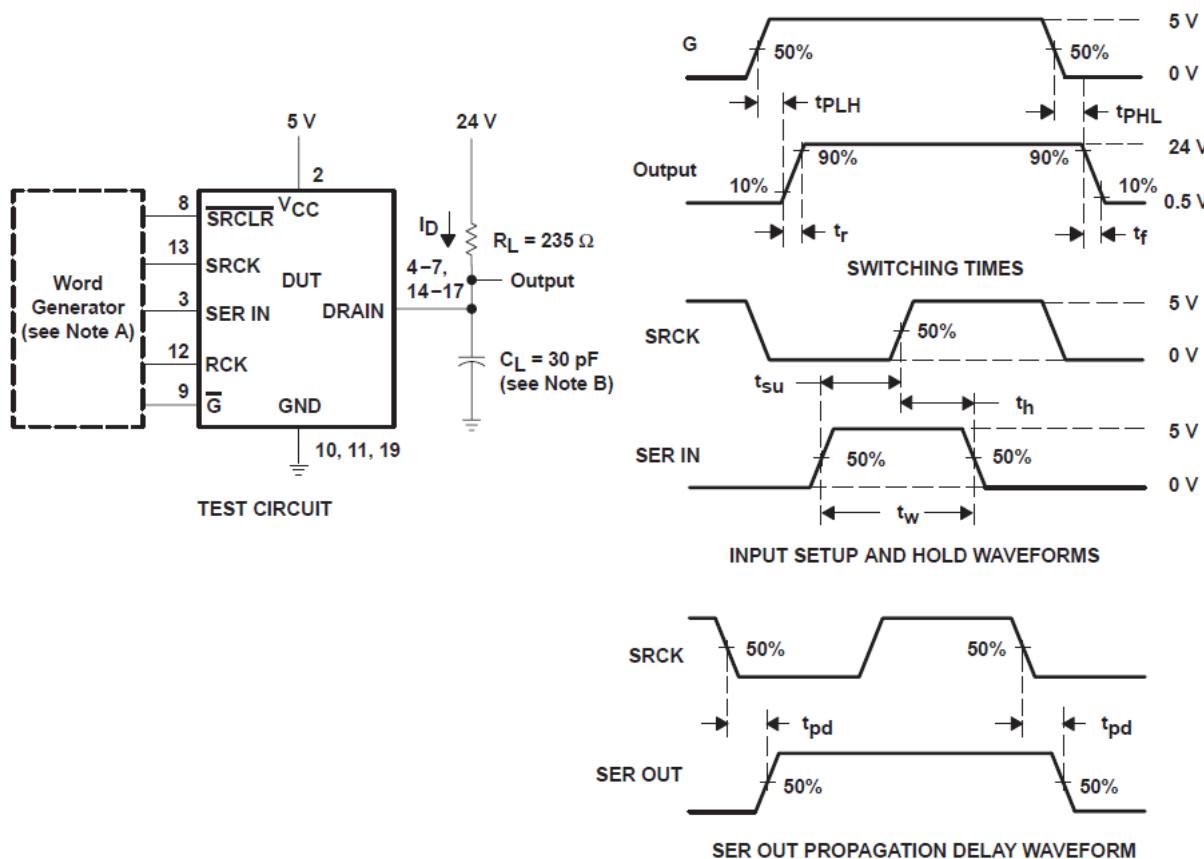
図 5-5. スイッチング時間とケース温度との関係

6 パラメータ測定情報



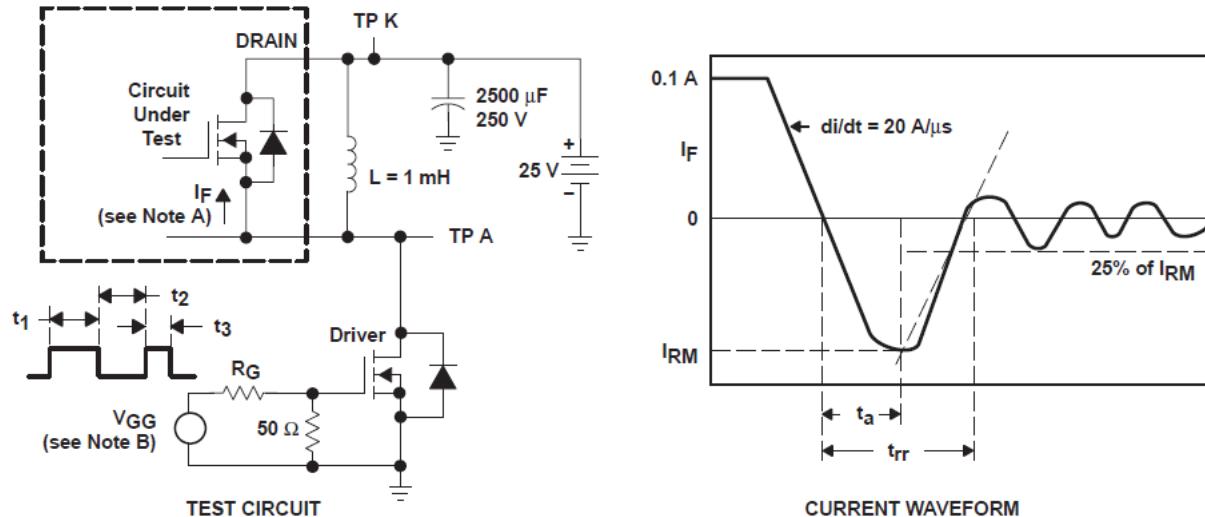
- A. ワード ジェネレータには、 $t_r \leq 10\text{ns}$ 、 $t_f \leq 10\text{ns}$ 、 $t_w = 300\text{ns}$ 、パルス反復率(PRR) = 5kHz、 $Z_0 = 50\Omega$ といった特性があります。
- B. C_L にはプローブと治具の容量が含まれます。
- C. 書き込みデータと読み取りデータは、RCK が LOW のときのみ有効です

図 6-1. 抵抗性負荷 テスト回路と電圧波形



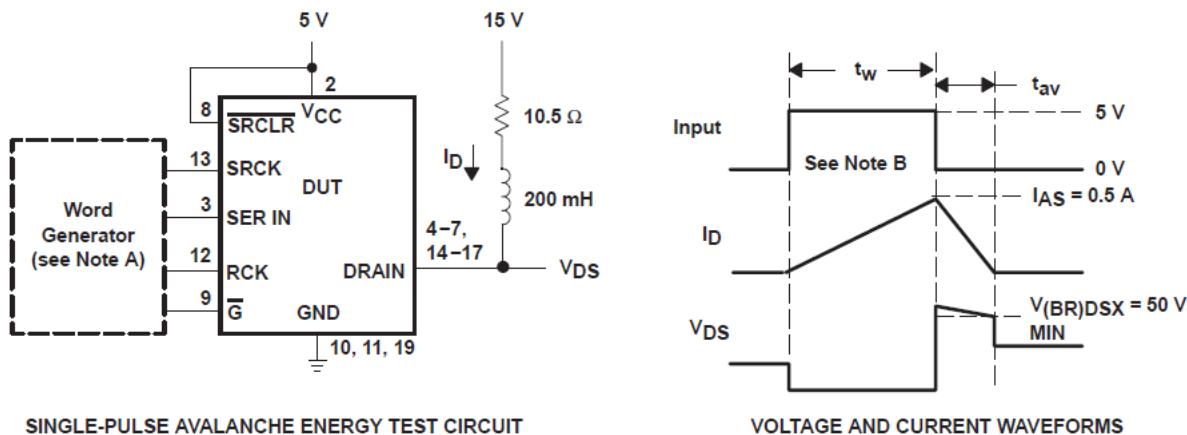
- A. ワード ジェネレータには、 $t_r \leq 10\text{ns}$ 、 $t_f \leq 10\text{ns}$ 、 $t_w = 300\text{ns}$ 、パルス反復率(PRR) = 5kHz、 $Z_0 = 50\Omega$ といった特性があります。
- B. C_L にはプローブと治具の容量が含まれています

図 6-2. テスト回路、各スイッチング時間、および電圧波形



- A. テスト対象のドレイン端子は、TP K テストポイントに接続されています。その他の端子はすべて互いに接続され、TP A テストポイントに接続されています。
- B. $di/dt = 20 \text{ A}/\mu\text{s}$ に合わせて、 V_{GG} の振幅と R_G を調整します。 $I_F = 0.1 \text{ A}$ を設定するために、 V_{GG} のダブルパルス列を使用しますが、その場合、 $t_1 = 10 \mu\text{s}$ 、 $t_2 = 7 \mu\text{s}$ 、 $t_3 = 3 \mu\text{s}$ となります。

図 6-3. 逆回復電流テスト回路とソース-ドレイン間ダイオードの波形



- A. ワード ジェネレータの特性は次の通りです: $t_f \leq 10 \text{ ns}$, $t_r \leq 10 \text{ ns}$, $Z_O = 50 \Omega$ 。
- B. 入力パルス持続時間、 t_w は、ピーク電流 $I_{AS} = 0.5 \text{ A}$ になるまで増加します。エネルギーテストレベルは、 $E_{AS} = I_{AS} \times V_{(BR)DSX} \times t_{av}/2 = 30 \text{ mJ}$ と定義されています。

図 6-4. シングルパルスアバランシェエネルギーのテスト回路と波形

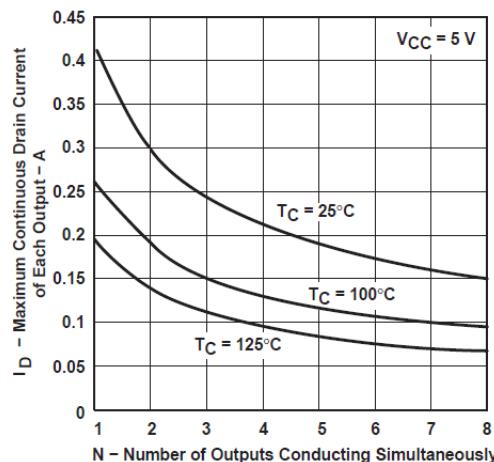


図 6-5. 各出力の最大連続ドレイン電流と、同時に導通する出力数との関係

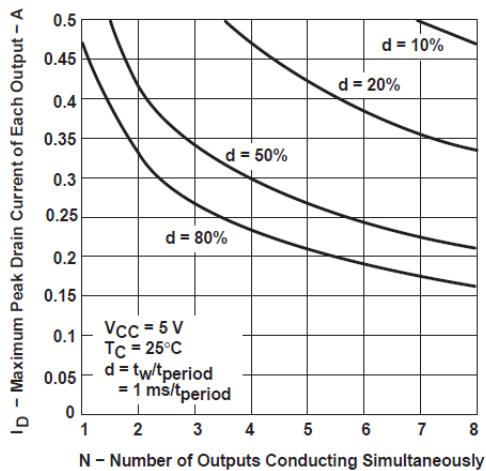


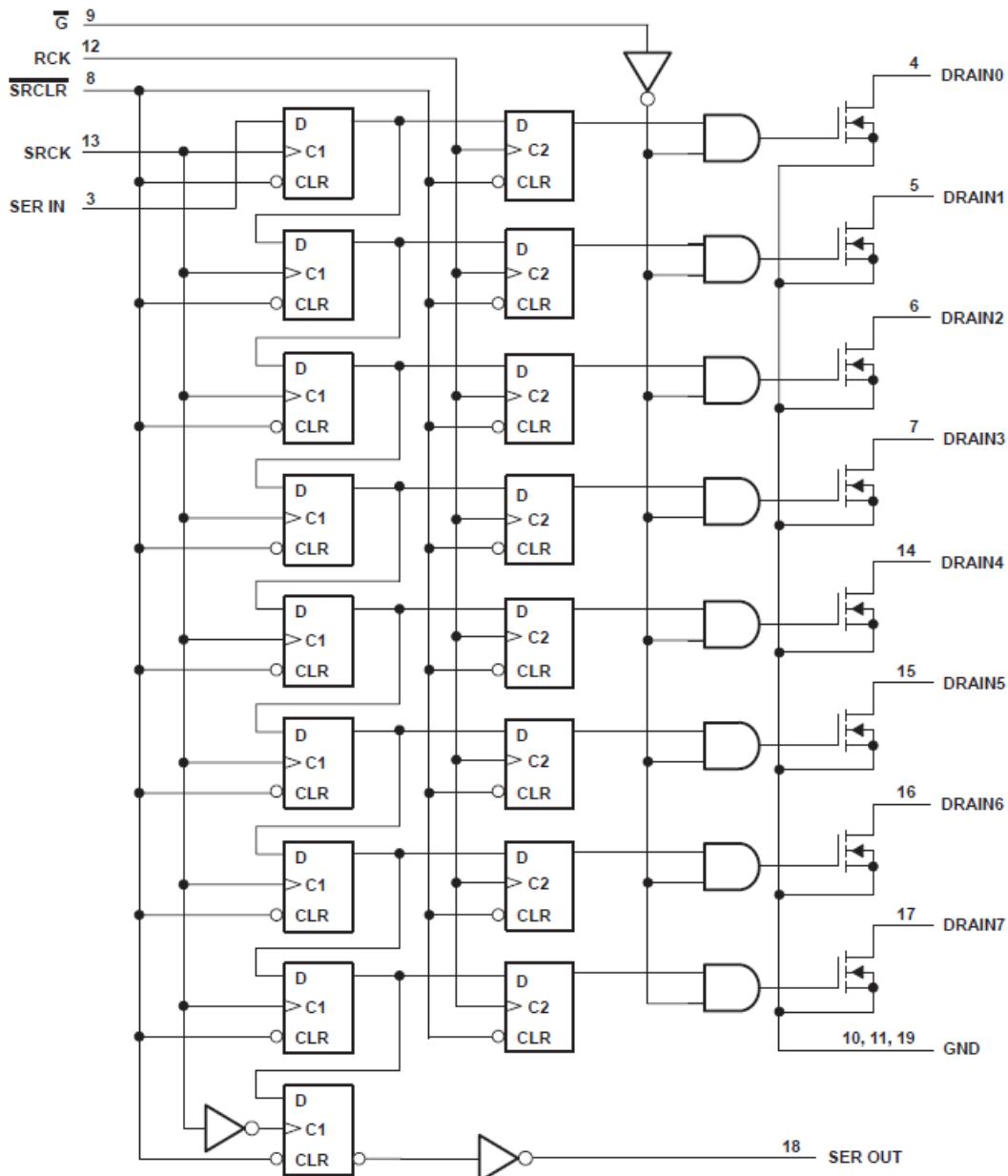
図 6-6. 各出力の最大ピーカー ドレイン電流と同時に導通する出力数との関係

7 詳細説明

7.1 概要

TPIC6B596 デバイスは、比較的大きな負荷電力を必要とするシステムで使用するために設計されたモノリシック、高電圧、中電流出力の 8 ビットシフトレジスタです。このデバイスは、誘導過渡保護用として出力に電圧クランプが組み込まれているため、リレー、ソレノイド、その他の中電流または高電圧負荷でも駆動できます。

7.2 機能ブロック図



機能ブロック図

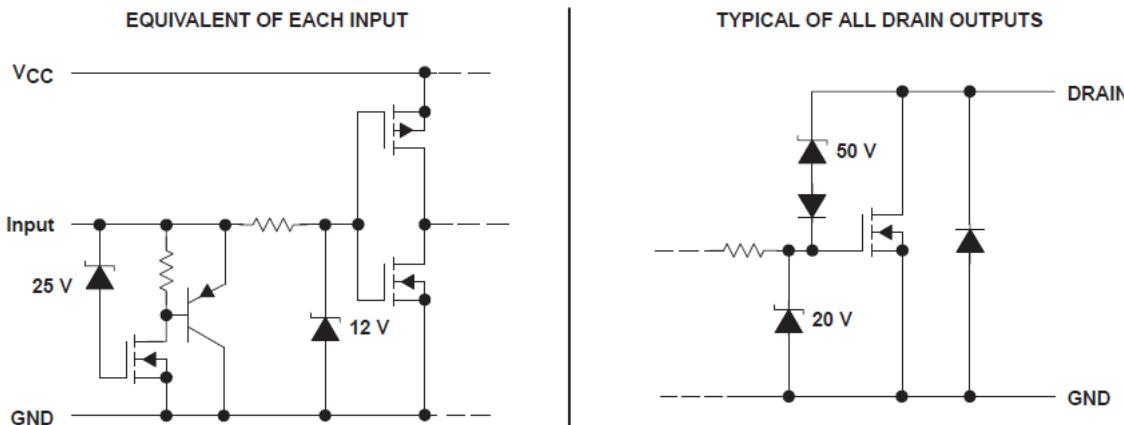


図 7-1. 機能ブロック図（続き）

7.3 リファレンス

7.3.1 リファレンス

このデバイスには、8ビットのシリアルイン、パラレルアウトのシフトレジスタが内蔵されており、8ビットのDタイプストレージレジスタへデータを供給します。データ転送は、シフトレジスタとストレージレジスタのどちらを経由するにしても、シフトレジスタクロック(SRCK)とレジスタクロック(RCK)の立ち上がりエッジで行われます。書き込みデータと読み取りデータは、RCKがLOWのときのみ有効です。ストレージレジスタは、シフトレジスタクリア(SRCLR)がHIGHのとき、出力バッファへデータを転送します。

7.3.2 レジスタのクリア

論理LOWにすれば(SRCLR)、デバイスのすべてのレジスタがクリアされます。TIでは、電源オン時または初期化時にデバイスレジスタのクリアをお勧めしています。

7.3.3 出力制御

出力イネーブル(\overline{G})がHIGHに保持されると、出力バッファのすべてのデータがLOWに保持され、すべてのドレイン出力がオフになります。 (\overline{G}) をLOWに保持すると、ストレージレジスタのデータは出力バッファに対して透過的になります。出力バッファのデータがLOWの場合、DMOSトランジスタの出力はオフになります。データがHIGHの場合、DMOSトランジスタ出力はシンク電流能力を持つようになります。このピンは、グローバルPWM調光にも使用できます。

7.3.4 カスケードアプリケーション

シリアル出力(SER OUT)を使用すると、シフトレジスタから追加のデバイスにデータをカスケード接続できます。シリアル出力(SER OUT)は、カスケード接続されたアプリケーションに追加のホールドタイムを提供するために、SRCKの立ち上がりエッジでデバイスからクロックアウトされます。これにより、クロック信号にスキューが生じたり、デバイスが互いに近接していないなかつたり、システムが電磁妨害を許容しなければならない場合、このアプリケーションのパフォーマンスが向上します。デバイス(SER OUT)ピンを、デイジーチェーン用の次のデバイス(SER IN)に接続します。

7.3.5 電流制限機能

出力は、ローサイド、オープンドレインのDMOSトランジスタで、出力定格は50V、連続シンク電流能力は150-mAです。各出力は、 $T_C = 25^\circ C$ で標準電流制限値が500-mAですが、デバイス保護を強化するため、接合部温度が上昇すると、電流制限値は低下します。

8 デバイスの機能モード

8.1 $V_{cc} < 4.5V$ での動作

このデバイスは $4.5V \leq V_{cc} \leq 5.5V$ のときに正常に動作します。動作電圧が $4.5V$ 未満の場合、通信インターフェイスや電流機能を含め、デバイスの正常動作は保証されません。

8.2 $5.5V < V_{cc} \leq 7V$ での動作

このデバイスは、この電圧範囲で正常に動作しますが、この電圧範囲で長時間使用すると信頼性の問題が発生する可能性があります。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2005) to Revision B (March 2024)	Page
• 「アプリケーション」セクションを更新.....	1

Changes from Revision * (March 2000) to Revision A (May 2005)	Page
• 図 6-1 の SRCLR タイミング図を変更.....	9

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPIC6B596DW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-40 to 125	TPIC6B596
TPIC6B596DWG4	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-	TPIC6B596
TPIC6B596DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6B596
TPIC6B596DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPIC6B596
TPIC6B596DWRG4	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-	TPIC6B596
TPIC6B596N	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6B596N
TPIC6B596N.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	TPIC6B596N

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

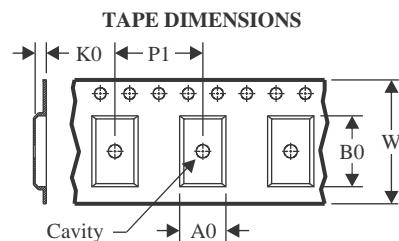
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

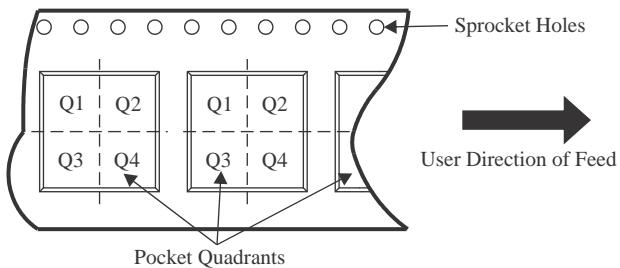
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

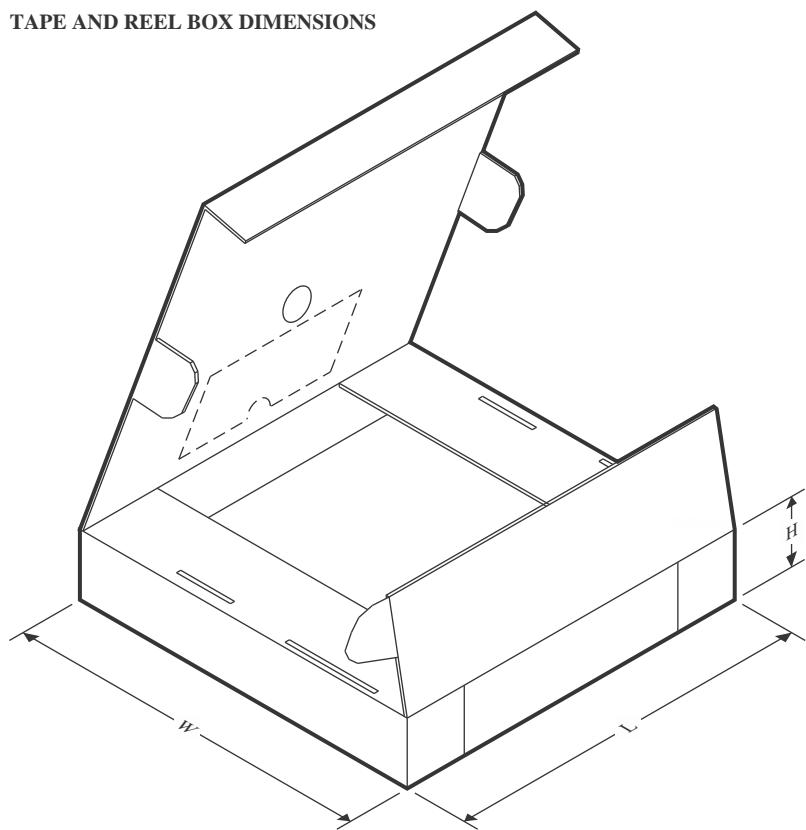
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

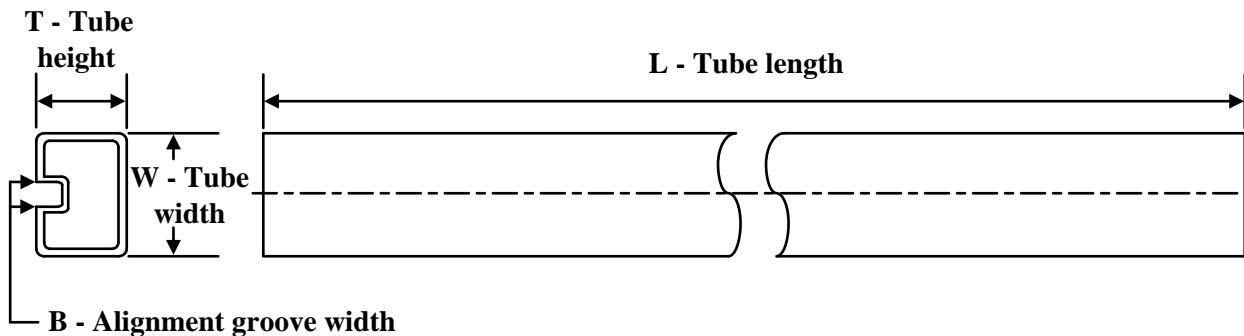
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPIC6B596DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
TPIC6B596DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPIC6B596DWR	SOIC	DW	20	2000	350.0	350.0	43.0
TPIC6B596DWR	SOIC	DW	20	2000	350.0	350.0	43.0

TUBE


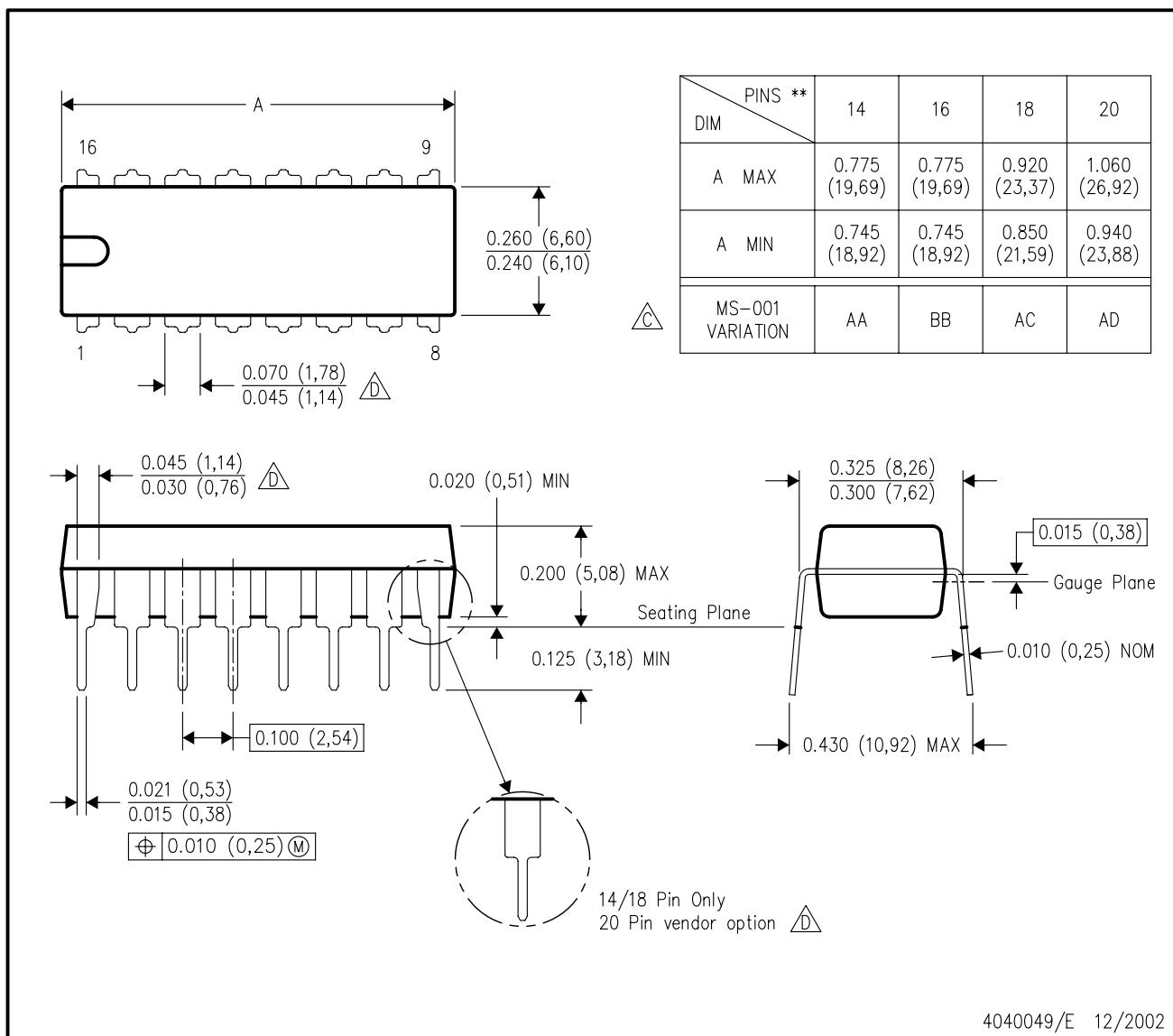
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
TPIC6B596N	N	PDIP	20	20	506	13.97	11230	4.32
TPIC6B596N.A	N	PDIP	20	20	506	13.97	11230	4.32

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



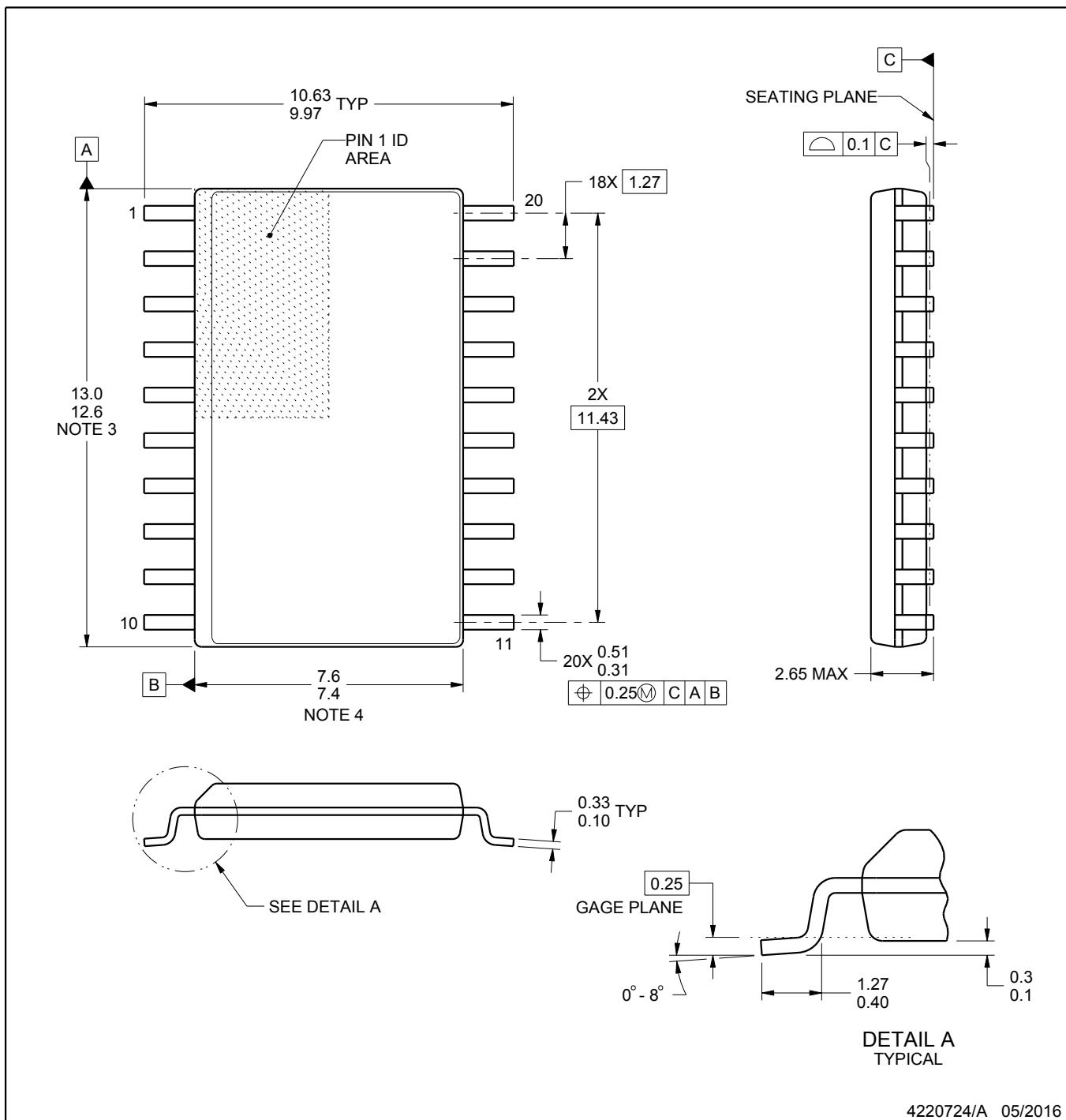
PACKAGE OUTLINE

DW0020A



SOIC - 2.65 mm max height

SOIC



NOTES:

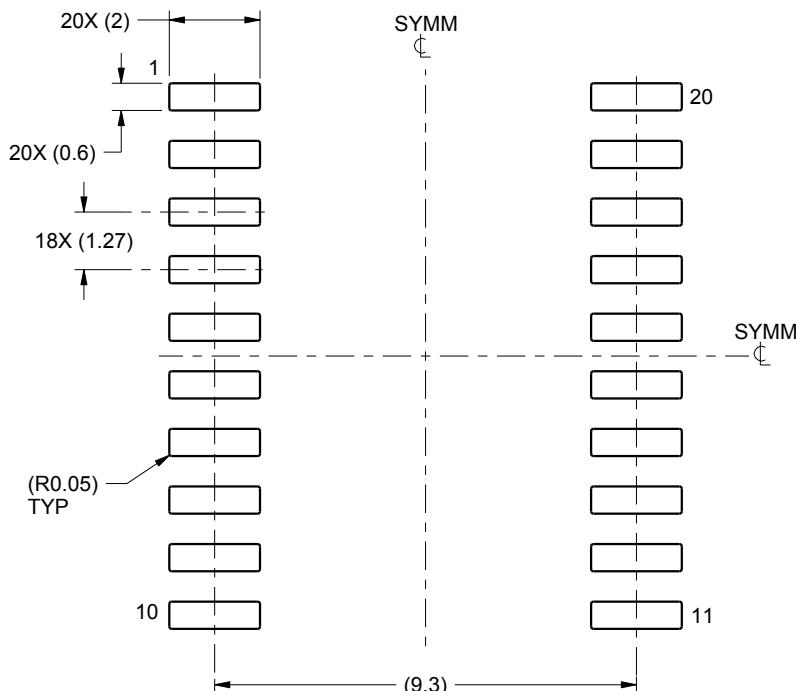
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

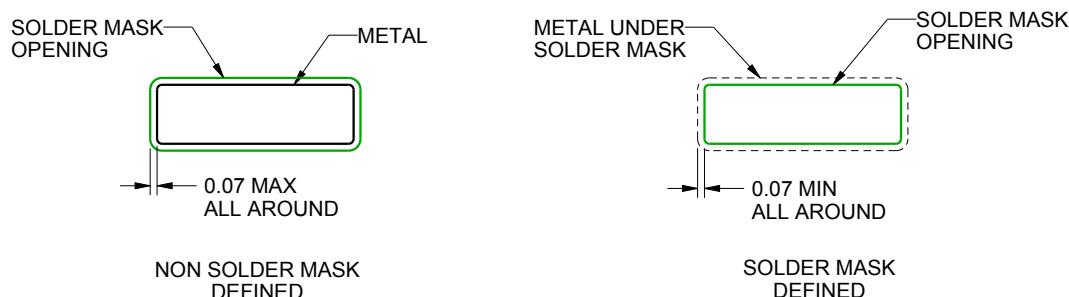
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

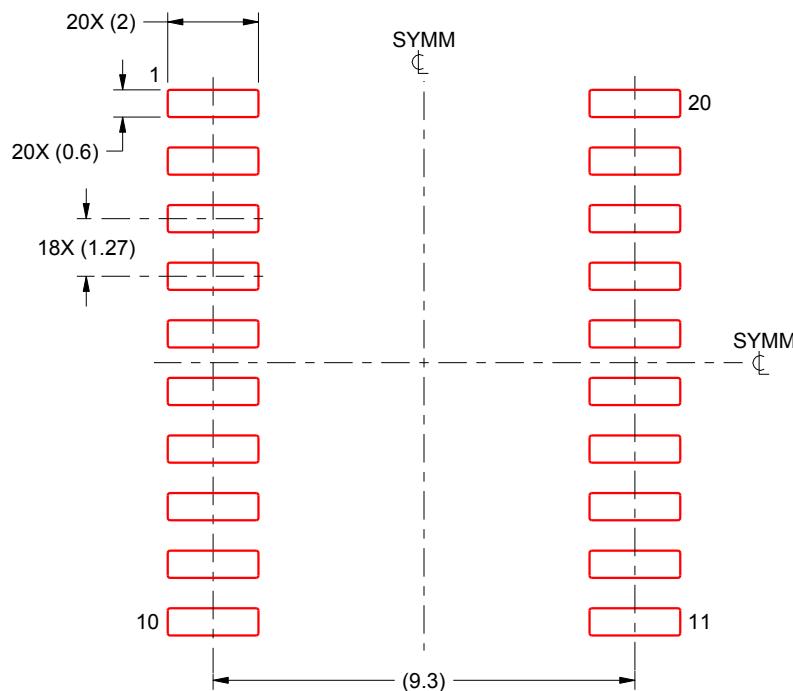
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月