

TPS20xxE 電流制限、パワー・ディストリビューション・スイッチ

1 特長

- シングルパワー・スイッチ・ファミリ
- 既存の [テキサス・インスツルメンツのスイッチ・ポート](#) フォリオとのピン互換
- 定格電流は 1.5A および 2A
- 3.3V および 5V の電源レールに対応
- 精度 $\pm 20\%$ の固定定電流制限
- 高速過電流応答: 2 μ s
- デグリッチ異常検出出力
- 出力放電
- 逆電流ブロッキング
- ソフトスタート機能内蔵
- 周囲温度範囲: -40°C ~ 85°C
- UL 認定済み: CB ファイル番号 E169910

2 アプリケーション

- [PC とノート PC](#)
- ゲーム
- テレビ
- ネットワーク接続の周辺機器とプリンタ
- データ・センターおよびエンタープライズ・コンピューティング
- 短絡保護

3 概要

TPS20xxE パワー・ディストリビューション・スイッチ・ファミリは、大きな容量性負荷や短絡が発生しやすい USB などのアプリケーション向けに設計されています。このファミリは、1.5A または 2A の負荷を必要とするアプリケーション向けに固定電流制限スレッショルドを提供し、異なるパッケージで High または Low の選択によって分極を実現します。

TPS20xxE ファミリは、出力負荷が電流制限のスレッショルドを上回ったときに、定電流モードで動作することにより、出力電流を制限して安全なレベルに下げます。これにより、あらゆる条件下で故障時の電流が予測可能となります。高速な過負荷応答時間達成していることから、2.7V ~ 5.5V 電源にかかる負荷を軽減し、出力の短絡が発生したときに電力を安定化します。この電源スイッチの立ち上がりおよび立ち下がり時間は、オン / オフ時の電流サーボを最小限に抑えるように制御されます。

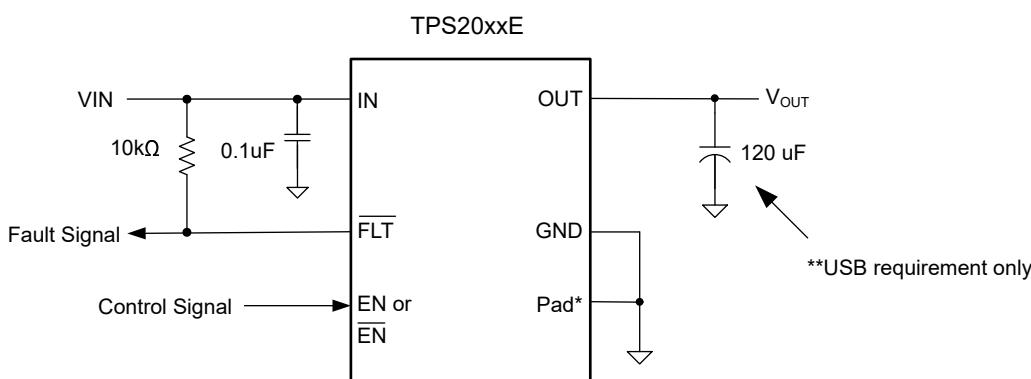
パッケージ情報

部品番号 ⁽¹⁾	パッケージ ⁽²⁾	パッケージ サイズ ⁽³⁾
TPS20xxE	DBV (SOT-23, 5)	2.90mm × 1.60mm
	DGN (HVSOP, 8) PowerPAD™	3.00mm × 3.00mm
	DGK (VSSOP, 8)	3.00mm × 3.00mm

(1) [デバイス比較表](#) を参照してください。

(2) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(3) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はビンも含まれます。



* DGN only

** USB requirement that downstream facing ports are bypassed with at least 120uF per hub

代表的なアプリケーションの図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSGZ7](#)

目次

1 特長	1	7.4 デバイスの機能モード	14
2 アプリケーション	1	8 アプリケーションと実装	15
3 概要	1	8.1 アプリケーション情報	15
4 デバイス比較表	3	8.2 代表的なアプリケーション	15
5 ピン構成および機能	4	8.3 電源に関する推奨事項	18
6 仕様	5	8.4 レイアウト	18
6.1 絶対最大定格	5	9 デバイスおよびドキュメントのサポート	20
6.2 ESD 定格	5	9.1 ドキュメントのサポート	20
6.3 推奨動作条件	5	9.2 ドキュメントの更新通知を受け取る方法	20
6.4 熱に関する情報	6	9.3 サポート・リソース	20
6.5 電気的特性	6	9.4 商標	20
6.6 代表的特性	10	9.5 静電気放電に関する注意事項	20
7 詳細説明	12	9.6 用語集	20
7.1 概要	12	10 改訂履歴	20
7.2 機能ブロック図	12	11 メカニカル、パッケージ、および注文情報	21
7.3 機能説明	12		

4 デバイス比較表

最大動作電流	出力放電	イネーブル	基本型番	パッケージ デバイスとマーキング ⁽¹⁾		
				DBV (SOT-23, 5)	DGN (HVSSOP, 8) PowerPAD™	DGK (VSSOP, 8) ⁽²⁾
1.5	Y	Low	TPS2068E	2068E	2068E	-
1.5	Y	High	TPS2069E	2069E	2069E	-
2	Y	Low	TPS2000E	2000E	2000E	000E
2	Y	High	TPS2001E	2001E	2001E	001E

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

(2) 「-」は、このパッケージではデバイスが利用できないことを示します。

5 ピン構成および機能

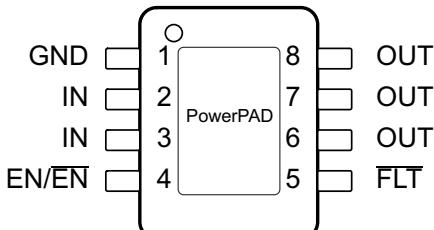


図 5-1. DGN パッケージ 8 ピン MSOP-PowerPAD™ 上面図

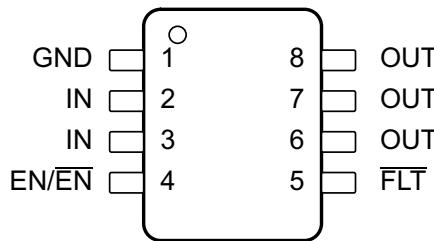


図 5-2. DGK パッケージ 8 ピン VSSOP 上面図

表 5-1. ピン機能-8 ピン

ピン		I/O	説明
名称	番号		
EN / EN	4	I	イネーブル入力。ロジック High になるとパワー スイッチがターンオンします。
FLT	5	O	アクティブ Low のオープンドレイン出力。過電流または過熱条件時にアサートされます。
GND	1	—	グランド接続
IN	2, 3	PWR	入力電圧とパワー スイッチ ドレイン。IN から GND への $0.1\mu\text{F}$ 以上のセラミック コンデンサを IC の近くに接続します。
OUT	6, 7, 8	PWR	パワー スイッチ出力。負荷に接続します。
PowerPAD (DGN のみ)	PowerPAD	—	最高の放熱性能を得るには、PAD をヒートシンクとして GND プレーンに接続します。必要に応じて、PAD をフローティングのままにすることもできます。

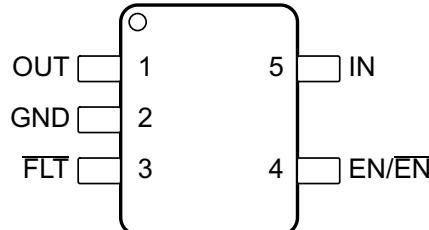


図 5-3. DBV パッケージ 5 ピン SOT-23 上面図

表 5-2. ピン機能-5 ピン

ピン		I/O	説明
名称	番号		
EN / EN	4	I	イネーブル入力。ロジック High になるとパワー スイッチがターンオンします。
FLT	3	O	アクティブ Low のオープンドレイン出力。過電流または過熱条件時にアサートされます。
GND	2	—	グランド接続
IN	5	PWR	入力電圧とパワー スイッチ ドレイン。IN から GND への $0.1\mu\text{F}$ 以上のセラミック コンデンサを IC の近くに接続します。
OUT	1	PWR	パワー スイッチ出力。負荷に接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{IN}	入力電圧	-0.3	6	V
V_{OUT}	出力電圧	-0.3	6	V
V_{EN}	入力電圧	-0.3	6	V
V_{FLT}	電圧範囲	-0.3	6	V
I_{OUT}	連続出力電流	内部制限		
T_J	接合部温度	-40	125	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	± 2000	V
		デバイス帶電モデル (CDM)、JEDEC 仕様 JS-002 に準拠、すべてのピン ⁽²⁾	± 500	
$V_{(ESD)}$	静電放電	IEC 61000-4-2 接触放電、OUT ピン ⁽³⁾	± 8000	V
$V_{(ESD)}$	静電放電	IEC 61000-4-2 気中放電、OUT ピン ⁽³⁾	± 15000	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (3) 最初のページの「代表的なアプリケーション図」に従って入力および出力バイパスを実装した PCB 上では、 V_{OUT} が急上昇してもデバイスの故障は発生しませんでした。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	2.7	5.5	5.5	V
V_{EN}	入力電圧 (EN または \bar{EN})	0	5.5	5.5	V
V_{IH}	High レベル入力電圧 (EN または \bar{EN})	1.8			V
V_{IL}	Low レベル入力電圧 (EN または \bar{EN})		0.8	0.8	V
I_{OUT}	連続出力電流-TPS2068E、TPS2069E			1.5	A
I_{OUT}	連続出力電流-TPS2000E、TPS2001E			2	A
T_J	接合部温度	-40	125	125	°C
I_{FLT}	FLT へのシンク電流	0	10	10	mA

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS20xxE			単位
		DBV (SOT-23)	DGN (HVSSOP) PowerPAD™	DGK (VSSOP)	
		5 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	184.6	51.7	169.6	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	92.6	82.7	65.5	
$R_{\theta JB}$	接合部から基板への熱抵抗	59.9	25.2	90.5	
Ψ_{JT}	接合部から上面への特性パラメータ	30.7	6.5	11.8	
Ψ_{JB}	接合部から基板への特性パラメータ	59.6	25.2	89.0	
$R_{\theta JC(\text{bot})}$	接合部からケース(底面)への熱抵抗	-	6.4	-	

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションレポートを参照してください。

6.5 電気的特性

特に記述のない限り以下のとおり: $V_{IN} = 5.5V$ 、 $V_{EN} = VIN$ 、 $I_{OUT} = 0A$ 、 $-40^{\circ}C \leq TJ \leq 125^{\circ}C$ 。

パラメータ	テスト条件	最小値	標準値	最大値	単位
パワー スイッチ (TPS2068E, TPS2069E)					
$R_{DS(ON)}$	静的ドレイン-ソース間オン抵抗 (5V、3.3V、2.7V動作時)	$V_{IN} = 5V$ 、3.3V または 2.7V、 $IO = 1.5A$ 、 $TJ = 85^{\circ}C$		87	$m\Omega$
	静的ドレイン-ソース間オン抵抗 (5V または 3.3V 動作時)	$V_{IN} = 5V$ または 3.3V、 $IO = 1.5A$ 、 $-40^{\circ}C \leq TJ \leq 125^{\circ}C$		70	$m\Omega$
	静的ドレイン-ソース間オン抵抗 (2.7V 動作時)	$V_{IN} = 2.7V$ 、 $IO = 1.5A$ 、 $-40^{\circ}C \leq TJ \leq 125^{\circ}C$		70	$m\Omega$
パワー スイッチ (TPS2000E, TPS2001E)					
$R_{DS(ON)}$	静的ドレイン-ソース間オン抵抗 (5V、3.3V、2.7V 動作時)	$V_{IN} = 5V$ 、3.3V または 2.7V、 $IO = 2.0A$ 、 $TJ = 85^{\circ}C$		86	$m\Omega$
	静的ドレイン-ソース間オン抵抗 (5V または 3.3V 動作時)	$V_{IN} = 5V$ または 3.3V、 $IO = 2.0A$ 、 $-40^{\circ}C \leq TJ \leq 125^{\circ}C$		70	$m\Omega$
	静的ドレイン-ソース間オン抵抗 (2.7V 動作時)	$V_{IN} = 2.7V$ 、 $IO = 2.0A$ 、 $-40^{\circ}C \leq TJ \leq 125^{\circ}C$		70	$m\Omega$
T_{rise} および T_{fall}					
t_r	立ち上がり時間、出力	$V_{IN} = 5.5V$ 、 $C_L = 1\mu F$ 、 $R_L = 10\Omega$ 、 $TJ = 25^{\circ}C$		0.6	1.5
		$V_{IN} = 2.7V$ 、 $C_L = 1\mu F$ 、 $R_L = 10\Omega$ 、 $TJ = 25^{\circ}C$		0.4	1
t_f	立ち下がり時間、出力	$V_{IN} = 5.5V$ 、 $C_L = 1\mu F$ 、 $R_L = 10\Omega$ 、 $TJ = 25^{\circ}C$		0.05	0.5
		$V_{IN} = 2.7V$ 、 $CL = 1\mu F$ 、 $RL = 10\Omega$ 、 $TJ = 25^{\circ}C$		0.05	0.5
イネーブル入力 EN (TPS2068E, TPS2069E, TPS2000E)					
V_{IH}	イネーブル High レベル入力電圧	$2.7V \leq V_{IN} \leq 5.5V$		1.8	V
V_{IL}	イネーブル Low レベル入力電圧	$2.7V \leq V_{IN} \leq 5.5V$		0.8	V
I_{EN}	EN ピンのリーク電流	$VEN = 5.5V$		-0.5	μA
イネーブル入力 EN (TPS2001E)					
V_{IH}	イネーブル High レベル入力電圧	$2.7V \leq V_{IN} \leq 5.5V$		1.75	V
V_{IH}	イネーブル High レベル入力電圧	$2.7V \leq V_{IN} \leq 5.0V$		1.6	V
V_{IH}	イネーブル High レベル入力電圧	$2.7V \leq V_{IN} \leq 3.5V$		1.5	V

6.5 電気的特性 (続き)

特に記述のない限り以下のとおり: $V_{IN} = 5.5V$ 、 $V_{EN} = VIN$ 、 $I_{OUT} = 0A$ 、 $-40^\circ C \leq TJ \leq 125^\circ C$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位		
V_{IL}	イネーブル Low レベル入力電圧	$2.7V \leq V_{IN} \leq 5.5V$		0.8		V		
I_{EN}	EN ピンのリーク電流	$V_{EN} = 5.5V$		-0.5		μA		
T_{on} および T_{off}								
t_{on}	ターンオン時間	$C_L = 100\mu F$ 、 $R_L = 10\Omega$	3		ms			
t_{off}	ターンオフ時間	$C_L = 100\mu F$ 、 $R_L = 10\Omega$	3		ms			
DISCHARGE								
R_{DCHG}	放電抵抗	$V_{IN} = V_{OUT} = 5V$ 、ディスエーブル	400	500	810	Ω		
電流制限 (TPS2068E、TPS2069E)								
I_{os}	短絡出力電流	$V_{IN} = 5V$ 、OUT を GND に接続、デバイスイネーブルを短絡に接続、 $TJ = 25^\circ C$	1.71	2.13	2.55	A		
		$V_{IN} = 5V$ 、OUT を GND に接続、デバイスイネーブルを短絡に接続、 $-40^\circ C \leq TJ \leq 125^\circ C$	1.6	2.13	2.66	A		
t_{ios}	短絡に対する応答時間	$V_{IN} = 5.0V$ 、 $R_L = 50m\Omega$ 。図 7-5 を参照。	1.5		us			
電流制限 (TPS2000E、TPS2001E)								
I_{os}	短絡出力電流	$V_{IN} = 5V$ 、OUT を GND に接続、デバイスイネーブルを短絡に接続、 $TJ = 25^\circ C$	2.24	2.8	3.36	A		
		$V_{IN} = 5V$ 、OUT を GND に接続、デバイスイネーブルを短絡に接続、 $-40^\circ C \leq TJ \leq 125^\circ C$	2.1	2.8	3.5	A		
t_{ios}	短絡に対する応答時間	$V_{IN} = 5.0V$ 、 $R_L = 50m\Omega$ 。図 7-5 を参照。	1.5		us			
電源電流								
I_{SD}	電源電流、スイッチ ディスエーブル	OUT は無負荷、 $V_{EN} = 0V$ 、 $TJ = 25^\circ C$	0.5	1	μA			
		OUT は無負荷、 $V_{EN} = 0V$ 、 $40^\circ C \leq TJ \leq 125^\circ C$	0.5	5	μA			
I_{SE}	消費電流、スイッチ イネーブル	OUT は無負荷、 $V_{EN} = 5.5V$ 、 $TJ = 25^\circ C$	93	118	μA			
		OUT は無負荷、 $V_{EN} = 5.5V$ 、 $-40^\circ C \leq TJ \leq 125^\circ C$	93	118	μA			
I_{LKG}	リーコンダクタ電流	OUT をグランドに接続、 $V_{EN} = 0V$ 、 $-40^\circ C \leq TJ \leq 125^\circ C$	1	μA				
I_{REV}	逆リーコンダクタ電流	$V_{OUT} = 5.5V$ 、 IN = グランド、 $TJ = 25^\circ C$	0	μA				
低電圧誤動作防止								
V_{UVLO}	低電圧誤動作防止のスレッショルド、 IN	V_{IN} 立ち上がり	2	2.6	V			
	ヒステリシス、 IN	$TJ = 25^\circ C$	75		mV			
過電流フラグ								
$I_{OL(OC)}$	出力 LOW 電圧	$I_{OL(OC)} = 5mA$	180		mV			
$I_{OFF_Leakage}$	オフ状態リーケージ	$V_{OC} = 5.5V$	1		μA			
T_{OC_DEG}	/OC フラグのグリッチ除去	/OC のアサートまたはデアサート	6	8	12	ms		
発振器周波数								
POR								
バンドギャップ出力								
サーマル シャットダウン								
T_{OTSD_R}	サーマル シャットダウン スレッショルドの立ち上がりスレッショルド		155	175	195	$^\circ C$		

6.5 電気的特性 (続き)

特に記述のない限り以下のとおり: $V_{IN} = 5.5V$ 、 $V_{EN} = VIN$ 、 $I_{OUT} = 0A$ 、 $-40^{\circ}C \leq TJ \leq 125^{\circ}C$ 。

パラメータ	テスト条件	最小値	標準値	最大値	単位
ヒステリシス		10			°C
電流制限時のサーマル シャットダウン					
$T_{OTSD_CL_R}$	電流制限時のサーマル シャットダウン立ち上がりスレッショルド	135	155	175	°C
	ヒステリシス	10			°C

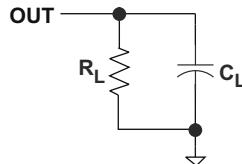


図 6-1. Output Rise and Fall Test Load

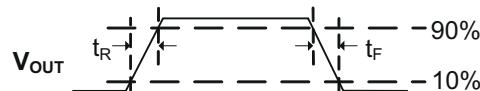


図 6-2. Power-On and Power-Off Timing

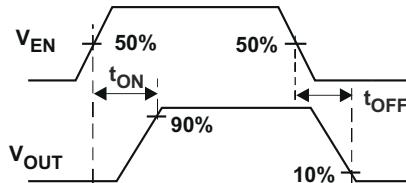


図 6-3. Enable Timing, Active High Enable

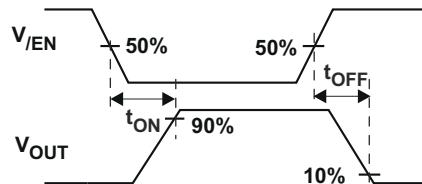


図 6-4. Enable Timing, Active Low Enable

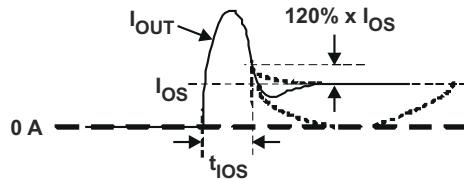


図 6-5. Output Short-Circuit Parameters

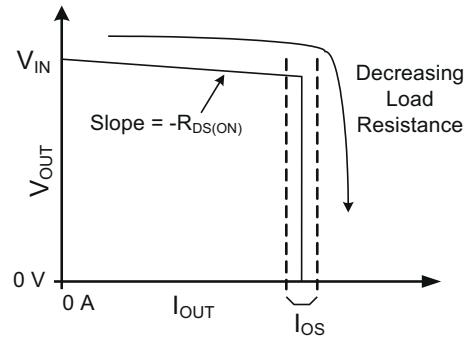
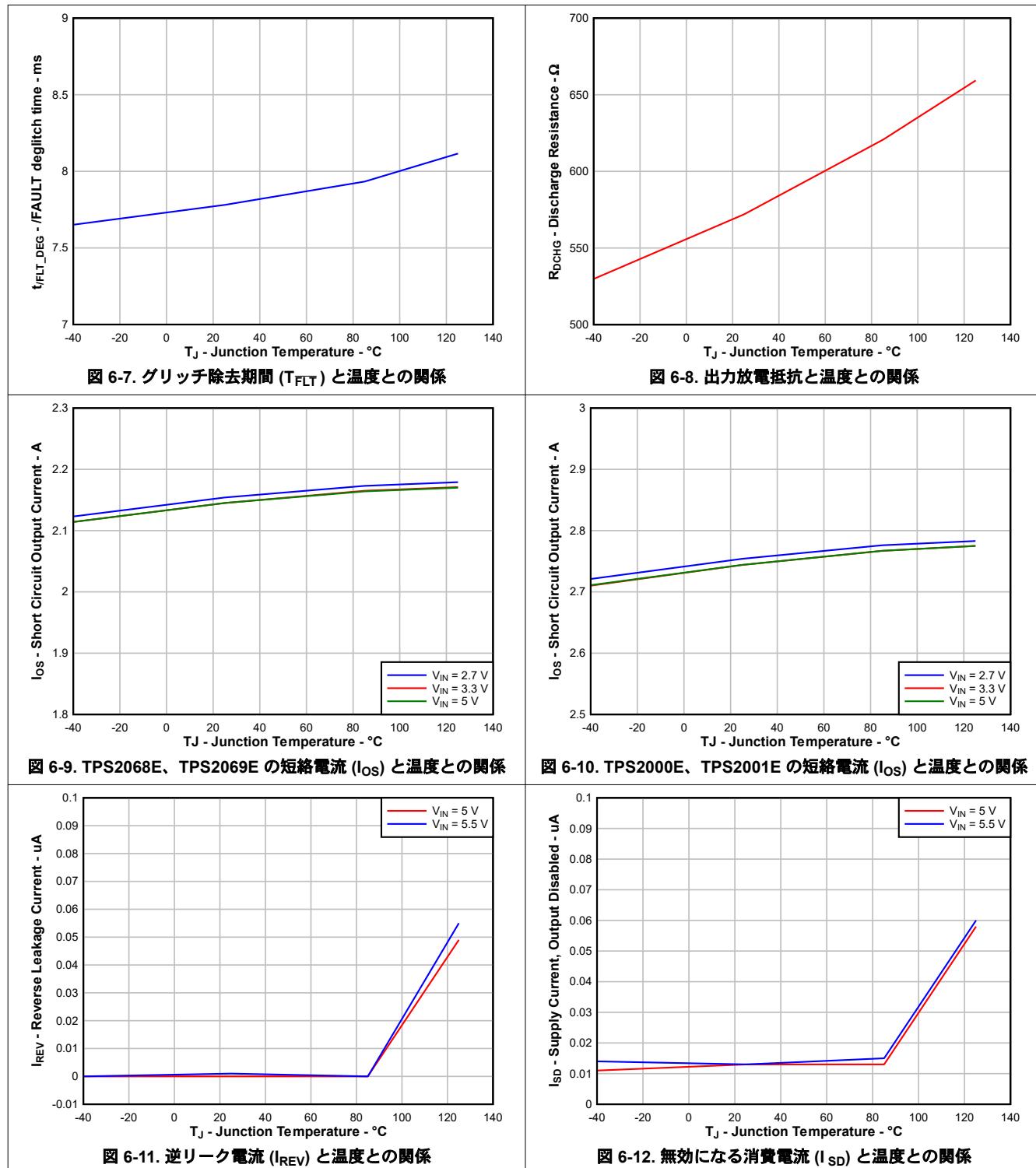


図 6-6. Output Characteristic Showing Current Limit

6.6 代表的特性



6.6 代表的特性 (続き)

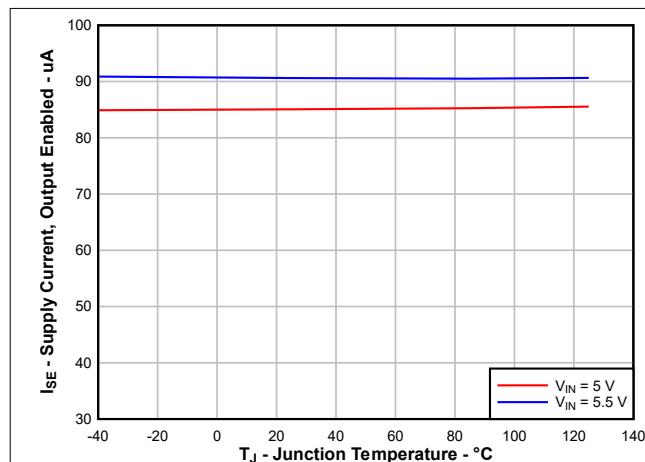


図 6-13. 無効になる電源電流 (I_{SE}) と温度との関係

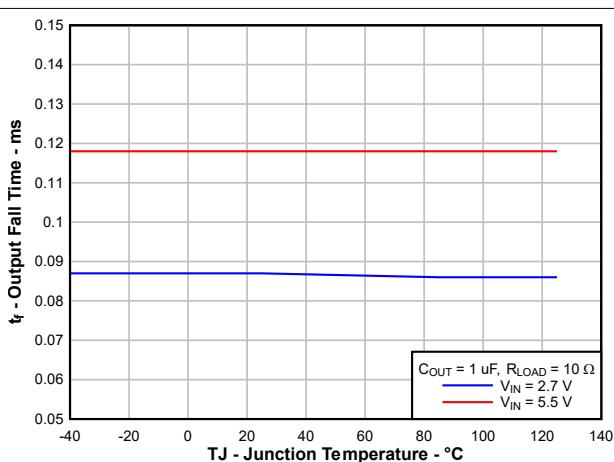


図 6-14. 出力立ち下がり時間 (t_F) と温度との関係

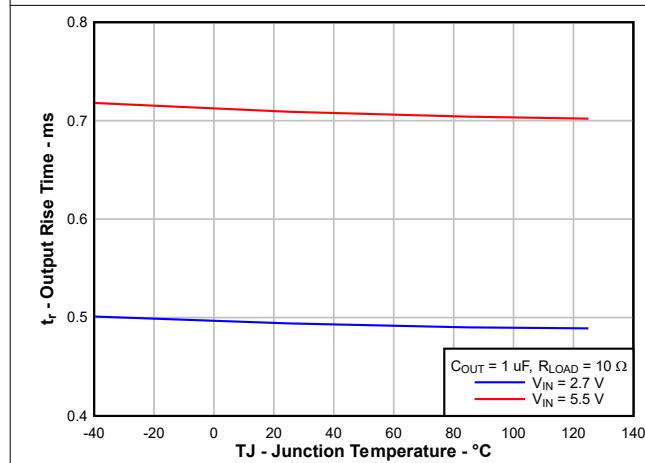


図 6-15. 出力立ち上がり時間 t_r と温度との関係

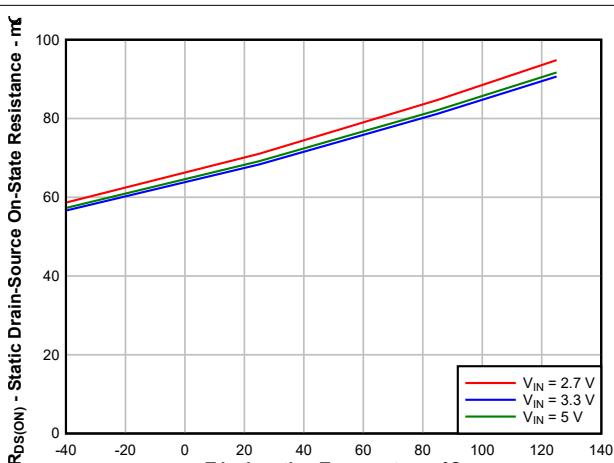


図 6-16. 入力-出力抵抗 ($R_{DS(on)}$) と温度との関係

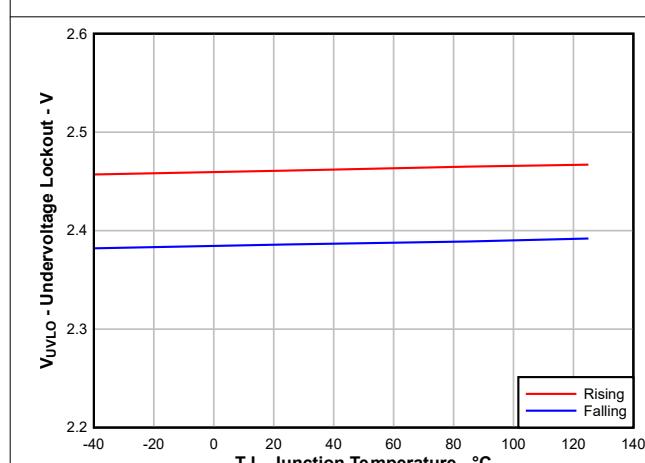


図 6-17. 低電圧誤動作防止と温度との関係

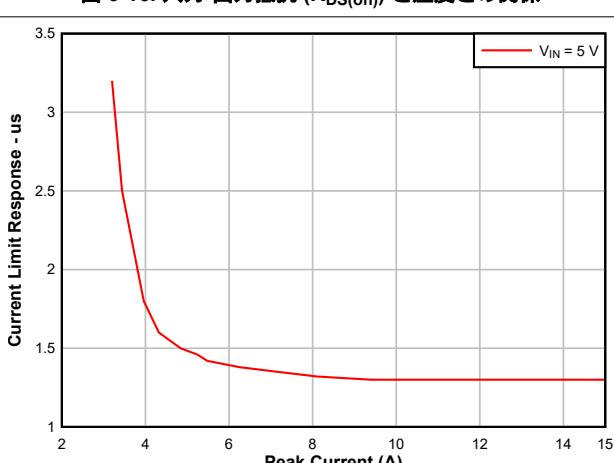


図 6-18. 電流制限応答 (t_{iOS}) とピーク電流との関係

7 詳細説明

7.1 概要

TPS20xxE は電流制限付きのパワー ディストリビューション スイッチで、3.3V および 5V の電源レール回路において 1.5A ~ 2A の連続負荷電流を供給します。これらの部品は N チャネル MOSFET を使用して低抵抗を実現し、負荷に対する電圧レギュレーションを維持します。これらのデバイスは、短絡や大きな容量性負荷が発生する可能性のあるアプリケーションを想定して設計されています。デバイスの機能として、イネーブル、ディスエーブル時の逆方向ブロック、出力放電プルダウン、過電流保護、過熱保護、デグリッヂ異常検出出力があります。

7.2 機能ブロック図

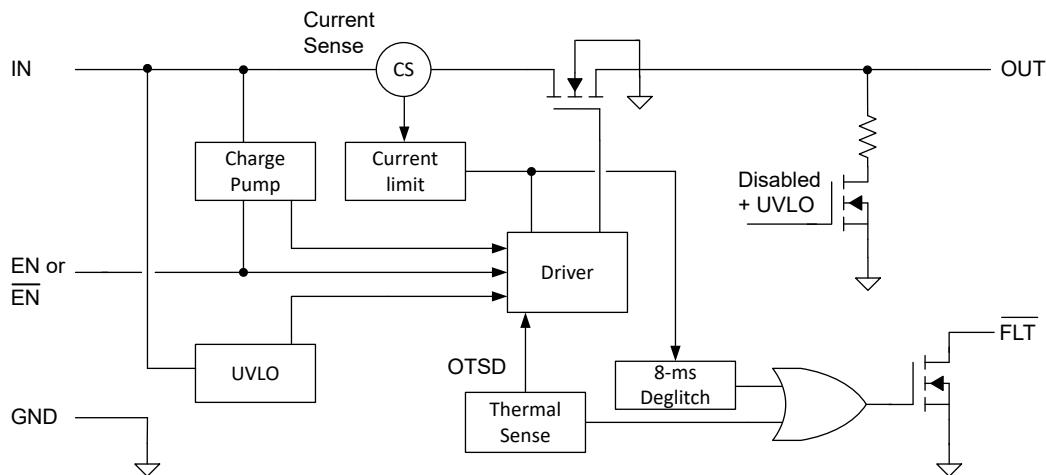


図 7-1. TPS20xxE のブロック図

7.3 機能説明

7.3.1 低電圧誤動作防止

低電圧誤動作防止 (UVLO) 回路は、入力電圧が UVLO ターンオン スレッショルドに達するまで、パワー スイッチを無効化しています。ヒステリシスが組み込まれているため、大きな電流サーボによる入力の電圧降下に起因する不要なオン / オフの繰り返しが防止されます。TPS20xxE が UVLO のとき、 \overline{FLT} はハイインピーダンスになります。

7.3.2 イネーブル

ロジック イネーブル入力 (EN または \overline{EN}) により、パワー スイッチ、チャージ ポンプのバイアス、ドライバ、その他の回路が制御されます。TPS20xxE がディスエーブルになると、電源電流は $1\mu\text{A}$ 未満に低減されます。TPS20xxE をディスエーブルにすると、アクティブな \overline{FLT} 通知をただちにクリアします。イネーブル入力は TTL と CMOS の両方のロジック レベルと互換性があります。

ターンオンおよびターンオフ時間 (t_{ON} , t_{OFF}) は、遅延時間と立ち上がりまたは立ち下がり時間 (t_R , t_F) で構成されます。遅延時間は内部で制御されます。立ち上がり時間は、TPS20xxE と外部負荷 (特に静電容量) の両方によって制御されます。TPS20xxE の立ち下がり時間は、負荷 (R および C) と出力放電 (R_{DCHG}) により制御されます。抵抗のみで構成される出力負荷の場合、TPS20xxE で設定される立ち下がり時間が発生します。R 素子と C 素子を並列にした出力負荷の場合、 t_F TPS20xxE よりも長い場合は、($R \times C$) 時定数で決定される立ち下がり時間が発生します。

イネーブルをオープンのままにしないでください。デバイスの種類によっては、VIN または GND に接続される可能性があります。

7.3.3 内蔵チャージポンプ

本デバイスは、N チャネル MOSFET を駆動するために必要なチャージ ポンプとゲート駆動回路を内蔵しています。チャージ ポンプは、ゲート駆動回路に電力を供給し、MOSFET のゲートをソースよりも高く引き上げるのに必要な電圧を生成

します。このドライバは、入力電源の大電流および電圧サージを制限するために出力電圧の立ち上がりおよび立ち下がり時間を制御する回路と、ソフトスタート機能とを内蔵しています。MOSFET パワー スイッチは、UVLO によってオフになったとき、またはディスエーブルにしたときに、OUT から IN への電流を遮断します。

7.3.4 電流制限

TPS20xxE は、出力電流を静的 I_{OS} レベルに制限することで、過負荷に応答します (セクション 6.5 を参照)。過負荷状態が存在する場合、デバイスは出力電流を一定に保ち、 $(I_{OS} \times R_{LOAD})$ で算出される出力電圧になります。過負荷状態には、次の 2 つが考えられます。1 つ目の過負荷状態は、次のいずれかの場合に発生します。

- 最初に入力電圧が印加され、イネーブルが有効で、短絡が存在する ($I_{OUT} > I_{OS}$ を引き出す負荷)
- 入力電圧が存在し、TPS20xxE が短絡された状態でイネーブルになる。

出力電圧は、グランドに対してほぼゼロ電位に保持され、TPS20xxE は出力電流を I_{OS} まで上昇させます。TPS20xxE は、過負荷状態が解消されるか、デバイスがサーマル サイクルを開始するまで、電流を I_{OS} に制限します。図 8-4 に示すように、デバイスが短絡された状態でイネーブルになり、その後、過熱保護機能が作動すると、電流のオフとオンを繰り返します。

2 つ目の状態は、デバイスがイネーブルになり完全にオンになっている間に過負荷が発生する場合です。デバイスは、指定された過負荷 (セクション 6.5 参照) が印加されると、 $t_{I_{OS}}$ (図 6-5 および 図 6-6) 以内に過負荷状態に応答します。応答速度と形状は、過負荷レベル、入力回路、アプリケーションの速度によって異なります。電流制限の応答は、単純に I_{OS} にセトリングする場合と、オフにしてから制御された状態で I_{OS} に戻る場合があります。前の例と同様に、TPS20xxE は、過負荷状態が解消されるか、デバイスがサーマル サイクルを開始するまで、電流を I_{OS} に制限します。

上記のいずれかのケースで、過熱制限機能が作動するほどの長い間、過負荷状態にあると、TPS20xxE のサーマル サイクルが起動します。これは、比較的大きい消費電力 $[(V_{IN} - V_{OUT}) \times I_{OS}]$ により接合部温度が上昇するためです。電流制限中に接合部温度が 135°C (最小値) を超えると、本デバイスはオフになります。接合部温度が 10°C 下がるまで、本デバイスはオフ状態を維持し、その後再起動します。

TPS20xxE に類似した TI のスイッチ製品では通常、2 種類の電流制限プロファイルが利用できます。多くの古い設計では、出力 I と V の特性は、図 7-2 でピーカーのある電流制限とラベル付けされたプロットと同様です。このタイプの制限は、電流制限コーナー (I_{OC}) と短絡電流 (I_{OS}) の 2 つのパラメータで特徴付けることができます。 I_{OC} は多くの場合、最大値として指定されます。TPS20xxE ファミリーの部品は、電流制限に顕著なピーカーがなく、図 7-2 の フラットな電流制限 という特性に対応しています。セクション 6.5 で I_{OC} パラメータが存在しないのはそのためです。

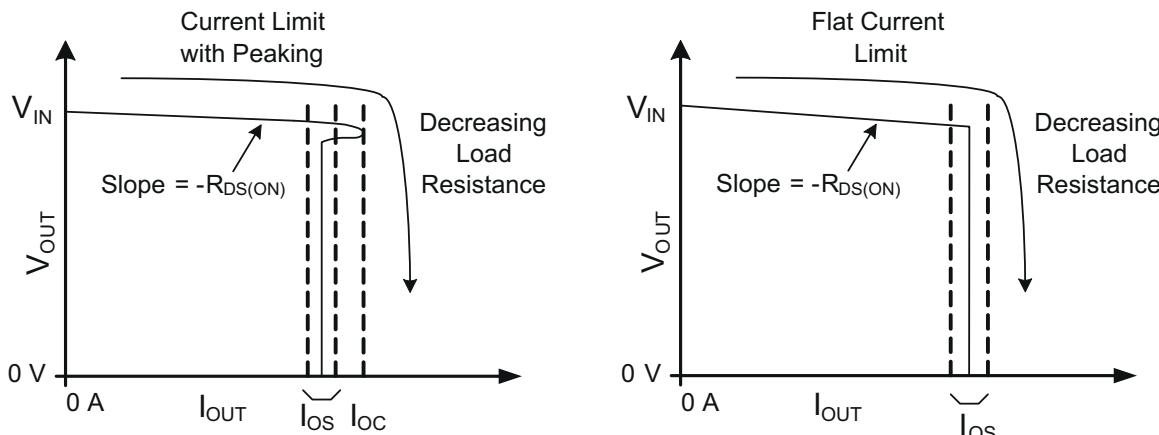


図 7-2. 電流制限プロファイル

7.3.5 \overline{FLT}

過負荷または過熱条件の間、 \overline{FLT} オープンドレイン出力はアサートされます (アクティブ Low)。立ち上がりエッジと立ち下がりエッジの両方に 8ms のグリッチ除去を設けることで、スタートアップ時や過渡時の誤通知を防止します。グリッチ除

去期間よりも短い電流制限状態では、終了時に内部タイマをクリアします。グリッチ除去タイマは複数の短い過負荷を統合して故障を宣言することはありません。これは、故障が発生した状態から復帰する場合にも当てはまります。入力電圧に過度のリップルと大きな出力容量があると、リップルによって TPS20xxE が電流制限に入ったり電流制限から外れたりするため、 I_{OS} 周辺の \overline{FLT} の動作に干渉する可能性があります。

TPS20xxE が電流制限状態で、過熱回路がアクティブになると、 \overline{FLT} は即座に真になります。ただし、この状態から外れると、グリッチ除去されます。 \overline{FLT} は、定電流制限のニーに入るとすぐにトリップされます。TPS20xxE を無効化すると、スイッチがオフになるとすぐにアクティブな \overline{FLT} をクリアします。 \overline{FLT} は、TPS20xxE が無効のとき、または低電圧誤動作防止 (UVLO) 状態のときハイインピーダンスになります。

7.3.6 出力放電

TPS20xxE が UVLO またはディスエーブルのとき、 500Ω (標準値) の出力放電は、OUT で蓄積された電荷およびリーク電流を放電します。 V_{IN} が低下すると、プルダウン回路は徐々にバイアスを失い、 V_{IN} が $0V$ に向かって低下すると放電抵抗が上昇します。

7.4 デバイスの機能モード

7.4.1 シャットダウン・モード

ロジック イネーブル入力 (EN または \overline{EN}) ピンは、TPS20xxE の電気的オン / オフ制御を行います。 $V_{EN/\overline{EN}}$ が $0.8V$ を下回るか、 V_{IN} が $2V$ を下回ると、デバイスがシャットダウン モードになり、パワー スイッチがオフになり、消費電流が $1\mu A$ 未満に減少します。イネーブルおよび低電圧誤動作防止の詳細については、[イネーブル](#) および [低電圧誤動作防止](#) を参照してください。

7.4.2 アクティブモード

$V_{EN/\overline{EN}}$ が $1.8V$ を上回り、IN ピンの電源電圧が $2.6V$ を上回ると、TPS20xxE はアクティブ モードに移行します。アクティブ モードが開始されると、パワー スイッチがオンになり、全機能が有効になります。

8 アプリケーションと実装

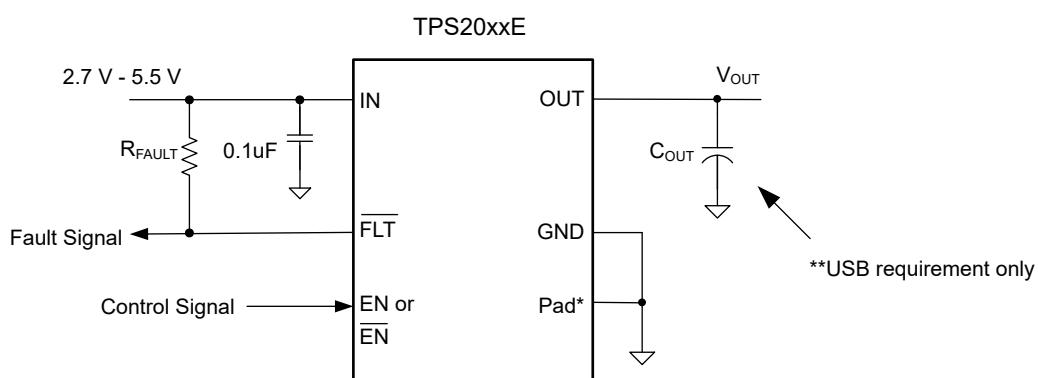
注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPS20xxE 電流制限機能付きパワー スイッチは、連続的な負荷電流が求められるアプリケーションのために N チャネル MOSFET を使ってています。負荷電流が電流制限スレッショルドを上回ると、本デバイスは定電流モードに移行します。

8.2 代表的なアプリケーション



* DGN only

** USB requirement that downstream facing ports are bypassed with at least 120uF per hub

図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

ここで説明する設計の例で使用している入力パラメータは、以下のとおりです。

1. TPS2001EDBV は、5V $\sim \pm 0.5V$ の入力レールで動作します。
2. 通常動作電流とは、たとえば、BC1.2 用のポータブル機器が引き込む最大許容電流は 1500mA であるため、通常動作電流は 1500mA になります。通常動作時の誤トリガを防ぐため、パワー スイッチの最小電流制限は 1500mA を超える値にする必要があります。TPS2001E デバイスの場合は、2A の連続出力電流のアプリケーションを対象としています。
3. 上流の電源が提供できる最大許容電流はどれくらいでしょうか。パワー スイッチの出力で過負荷が発生したとき、パワー スイッチが上流電力を保護できるようにするために、パワー スイッチの最大電流制限を下げる必要があります。TPS2001E デバイスの場合、最大 I_{OS} は 3.5A です。

8.2.2 詳細な設計手順

設計プロセスを開始するには、いくつかのパラメータを決定する必要があります。設計者は、以下を把握する必要があります。

1. 通常の入力動作電圧
2. 出力連続電流
3. 最大上流電源出力電流

8.2.2.1 入力および出力容量

入力および出力容量は本デバイスの性能を向上させます。特定のアプリケーションに対して実際の容量を最適化する必要があります。すべてのアプリケーションにおいて、TI では局所的なノイズ デカップリングのため、IN と GND の間に $0.1\mu\text{F}$ 以上のセラミック バイパス コンデンサを本デバイスにできる限り近づけて配置することを推奨します。

TPS20xxE などのすべての保護回路は、入力電圧オーバーシュートや出力電圧アンダーシュートの可能性があります。

入力電圧オーバーシュートは、次の 2 つの要因によって発生する可能性があります。1 つ目の要因は、IN 端子がハイインピーダンス (ターンオン前) のときに、入力電源バスのインダクタンスと入力容量が組み合わさって、入力電圧が急激に印加されることです。理論的には、ピーク電圧は印加された値の 2 倍です。2 つ目の要因は、TPS20xxE がオフになり、入力インダクタンスに蓄積されたエネルギーによって入力電圧が高くなるときに、出力短絡電流が急激に減少することです。入力電圧低下は、過大な負荷ステップや、TPS20xxE の出力が短絡したときに発生することもあります。入力インダクタンスが大きいアプリケーション (長いケーブルで評価ボードをベンチ電源に接続する場合など) では、大きな入力容量により、デバイスの絶対最大電圧を超えないように電圧オーバーシュートを低減する必要があります。ハード出力短絡に対する TPS20xxE の高速な電流制限速度により、入力バスをフォルトから絶縁します。ただし、TPS20xxE の入力に隣接して $1\mu\text{F} \sim 22\mu\text{F}$ の範囲のセラミック入力容量を使用すると、応答時間の短縮と、入力電源バスで見られる過渡の制限の両方に役立ちます。

出力電圧のアンダーシュートは、短絡が発生し、TPS20xxE の OUT 電流が急激に減少した直後の出力電源バスのインダクタンスによって発生します。インダクタンスに蓄積されたエネルギーによって OUT 電圧が降下し、放電する際に負の値になる可能性があります。出力インダクタンスが大きいアプリケーション (ケーブルなど) では、大容量の出力コンデンサを使用すると、電圧アンダーシュートを制御できるため、利点があります。USB 標準アプリケーションを実装する場合は、 $120\mu\text{F}$ の最小出力容量が必要になります。通常は、 $150\mu\text{F}$ 電解コンデンサを使用します。これは、電圧アンダーシュートを制御するのに十分な値です。ただし、アプリケーションに $120\mu\text{F}$ の容量が必要なく、出力が負の値になる可能性がある場合、TI では出力に最低 $10\mu\text{F}$ のセラミック容量を推奨します。 $10\mu\text{s}$ の場合、電圧アンダーシュートは 1.5V 未満に制御する必要があります。

8.2.3 アプリケーション曲線

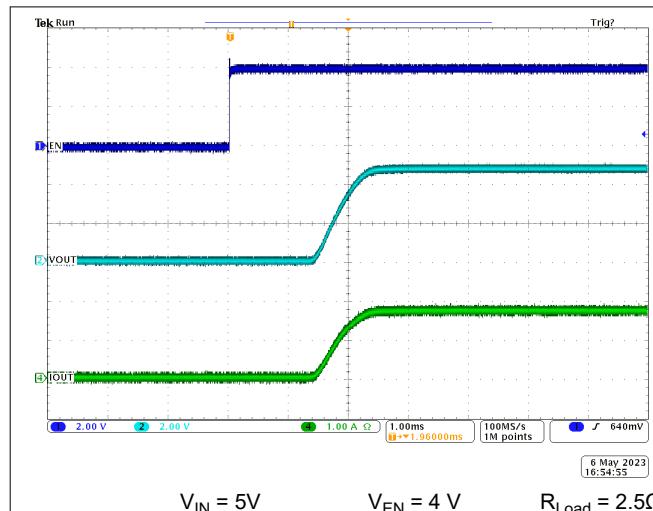


図 8-2. ターンオン遅延と立ち上がり時間との関係

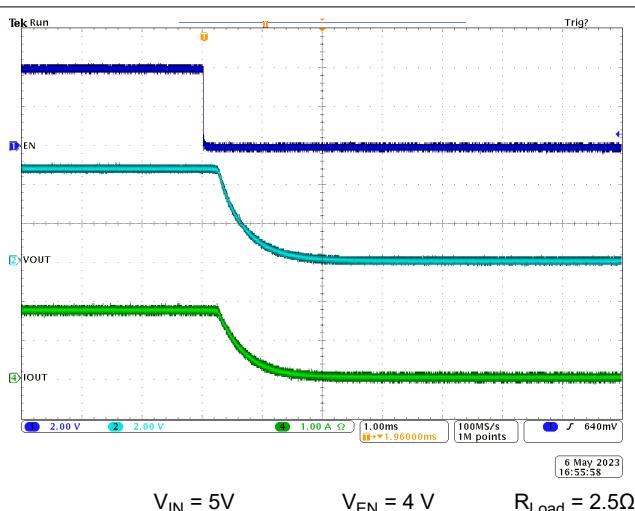


図 8-3. ターンオフ遅延と立ち下がり時間との関係

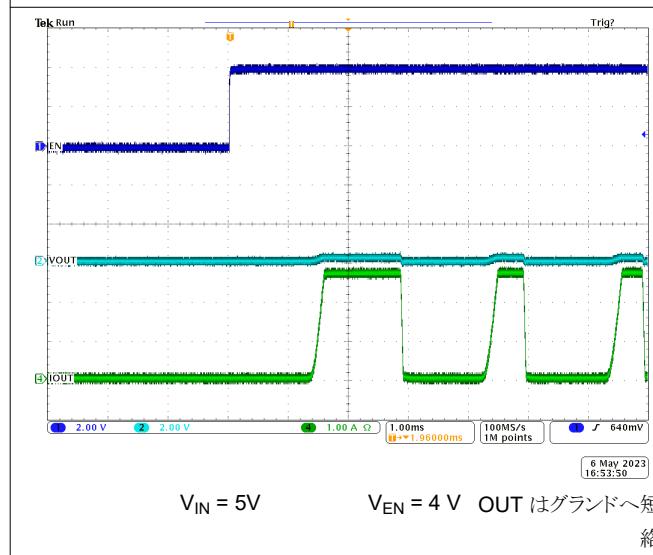


図 8-4. TPS2001E イネーブルから出力短絡

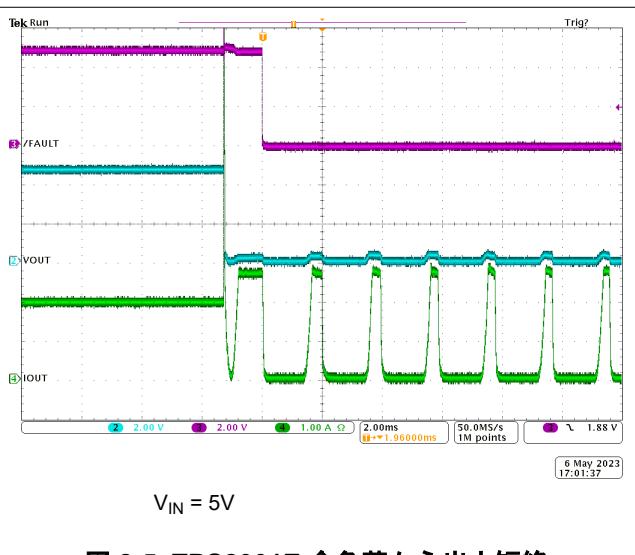
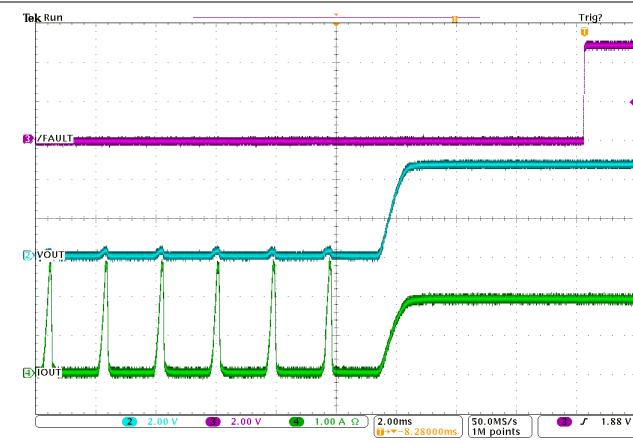
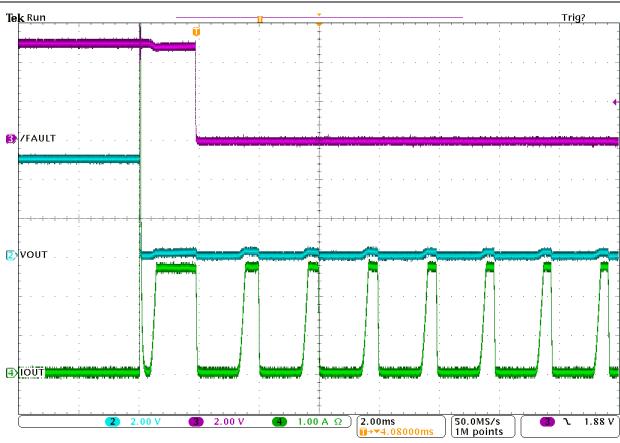


図 8-5. TPS2001E 全負荷から出力短絡



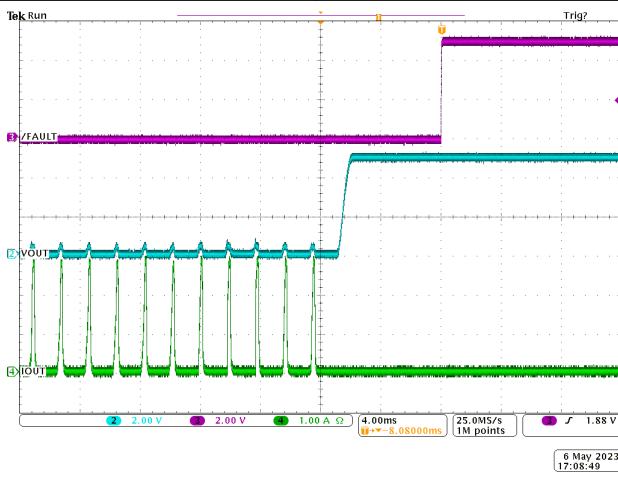
$V_{IN} = 5V$

図 8-6. TPS2001E 出力短絡から全負荷



$V_{IN} = 5V$

図 8-7. TPS2001E 無負荷から出力短絡



$V_{IN} = 5V$

図 8-8. TPS2001E 出力短絡から無負荷

8.3 電源に関する推奨事項

このデバイスは、2.7V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。電源の電流能力は、パワースイッチの最大電流制限を上回る必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- 100 nF のバイパスコンデンサを IN および GND ピンの近くに配置し、低インダクタンスのパターンを使って接続します。
- 10 μ F 以上の低 ESR セラミックコンデンサを OUT および GND ピンの近くに配置し、低インダクタンスのパターンを使って接続します。
- PowerPAD は、幅広で短い銅パターンを使って、PCB のグランドプレーンに直接接続する必要があります。

8.4.2 レイアウト例

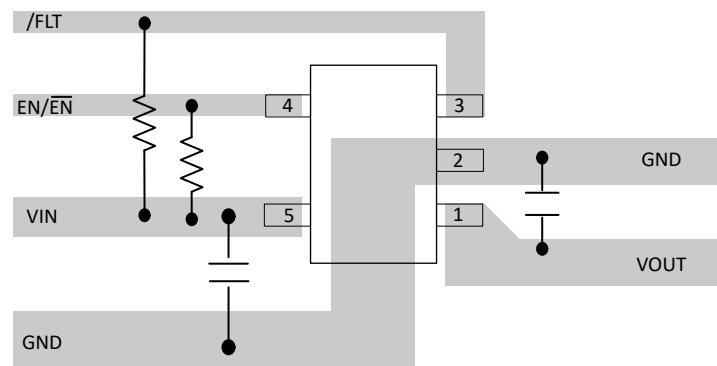


図 8-9. 推奨レイアウト-DBV

- Via to Bottom Layer Signal Ground Plane
 - Via to Bottom Layer Signal

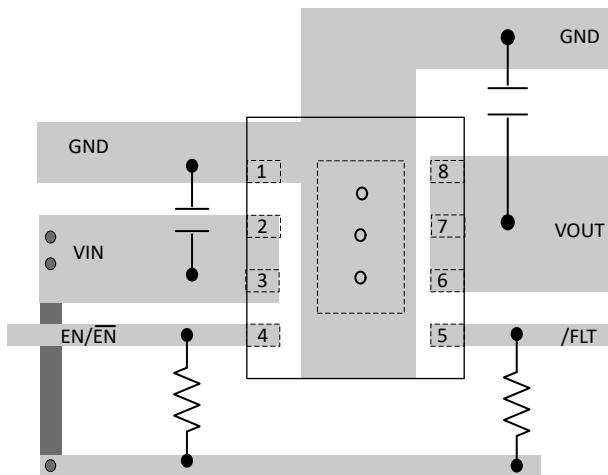


図 8-10. 推奨レイアウト-DGN および DGK

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2023) to Revision C (March 2025)	Page
• 行名から「(DBV)」を削除.....	6
• TJ=85C での RDS(on) データを追加.....	6
• 行名から「(DBV)」を削除.....	6
• TJ=85C での RDS(on) データを追加.....	6

Changes from Revision A (July 2023) to Revision B (October 2023)	Page
• DGN および DGK パッケージの熱情報を追加.....	6
• TPS2001E のイネーブル High レベル入力電圧を更新.....	6

Changes from Revision * (May 2023) to Revision A (July 2023)	Page
• デバイスのステータスを「事前情報」から「量産データ」に変更.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

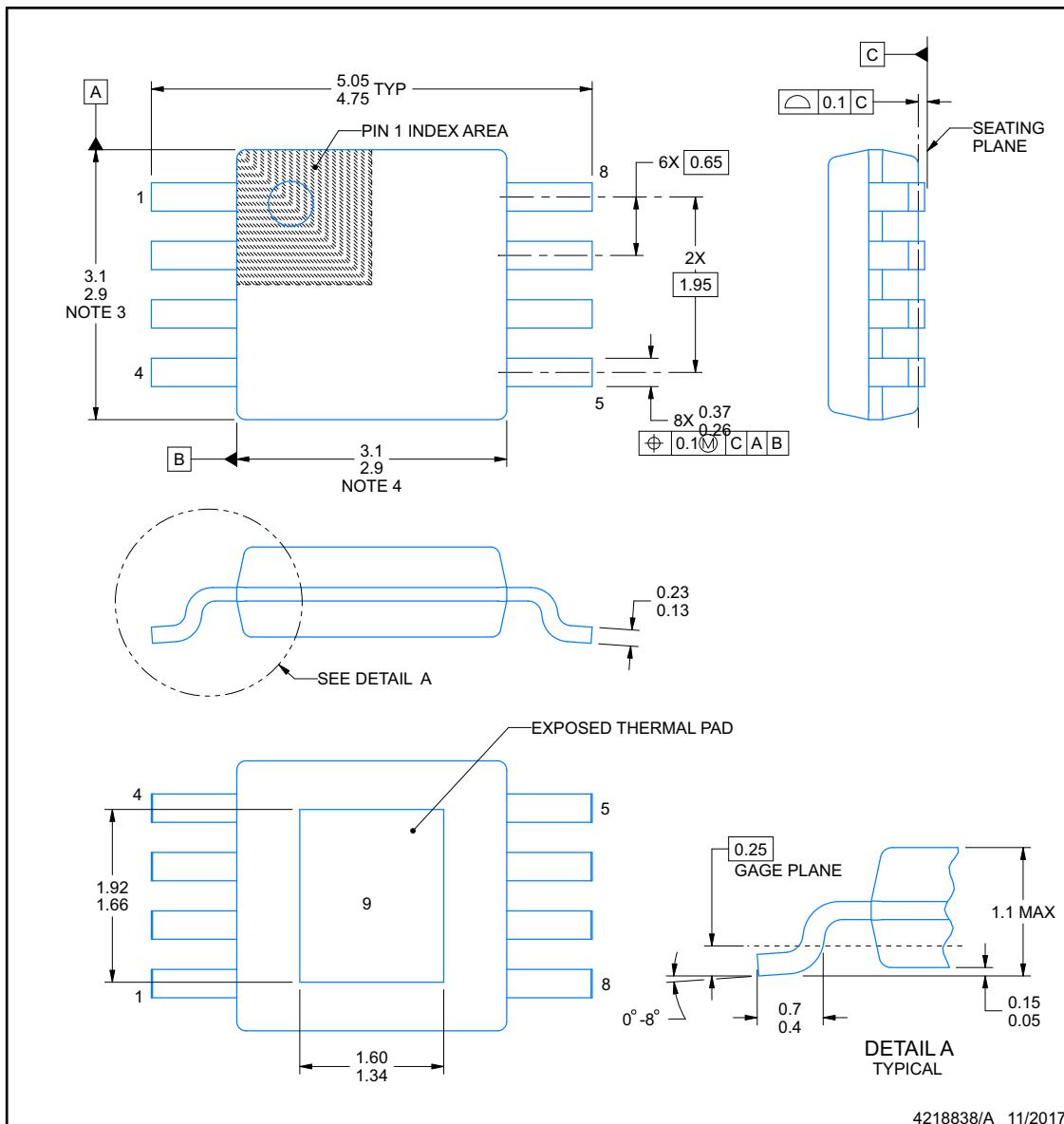
DGN0008C



PACKAGE OUTLINE

HVSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

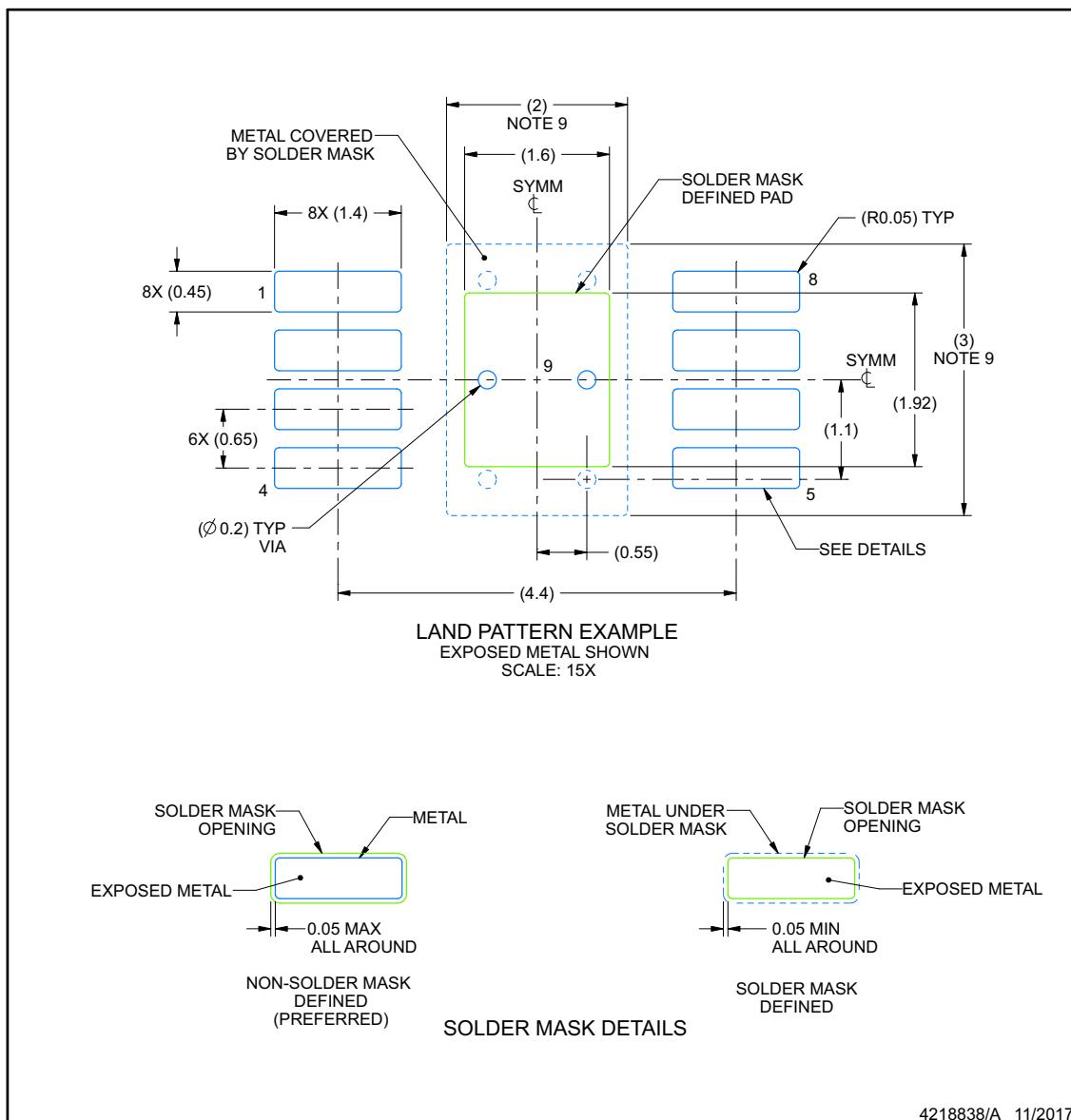
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGN0008C

HVSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

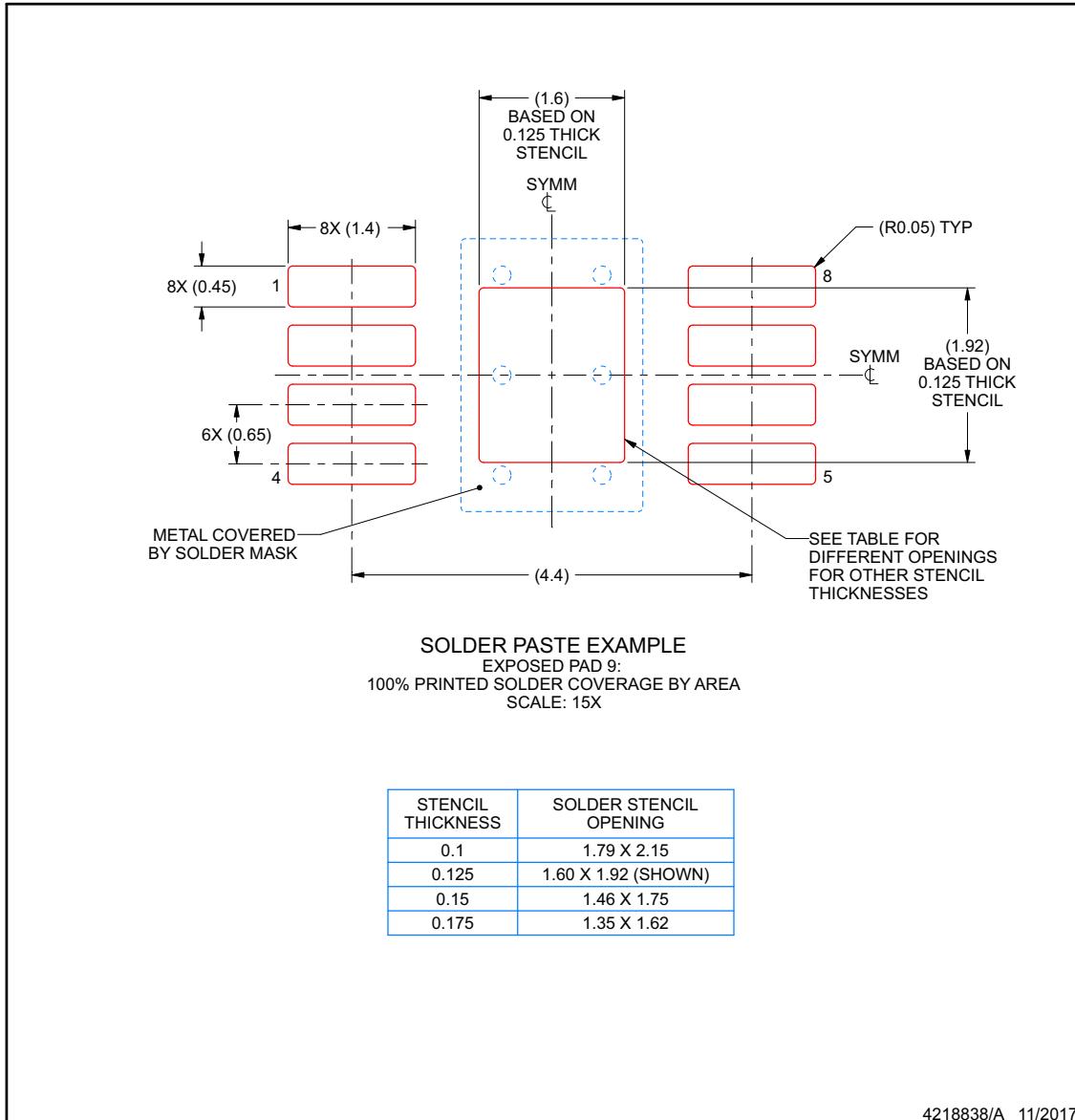
4218838/A 11/2017

EXAMPLE STENCIL DESIGN

DGN0008C

HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



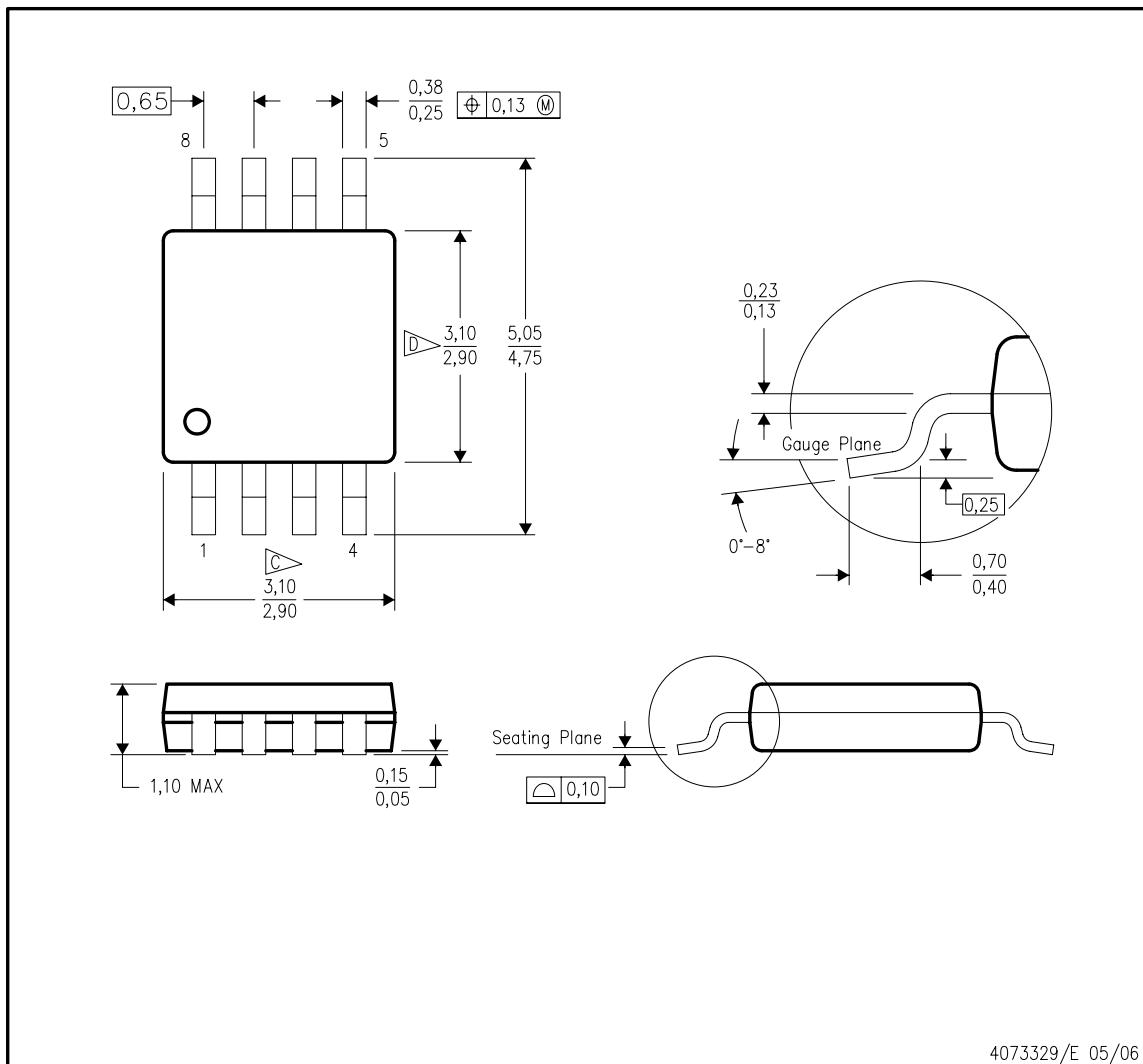
NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

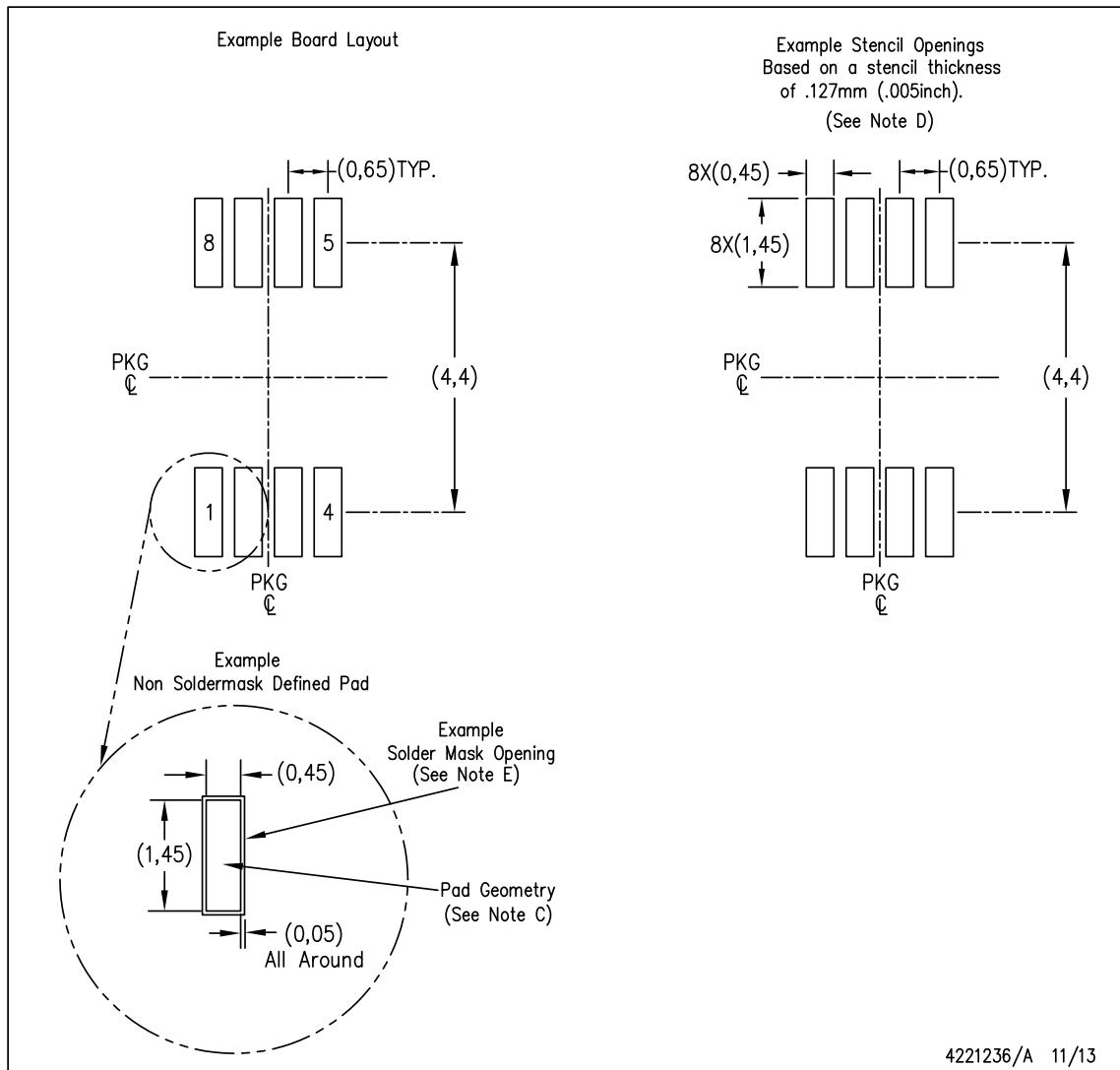


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C**> Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
 - D**> Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
 - E. Falls within JEDEC MO-187 variation AA, except interlead flash.

LAND PATTERN DATA

DGK (S-PDSO-G8)

PLASTIC SMALL OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

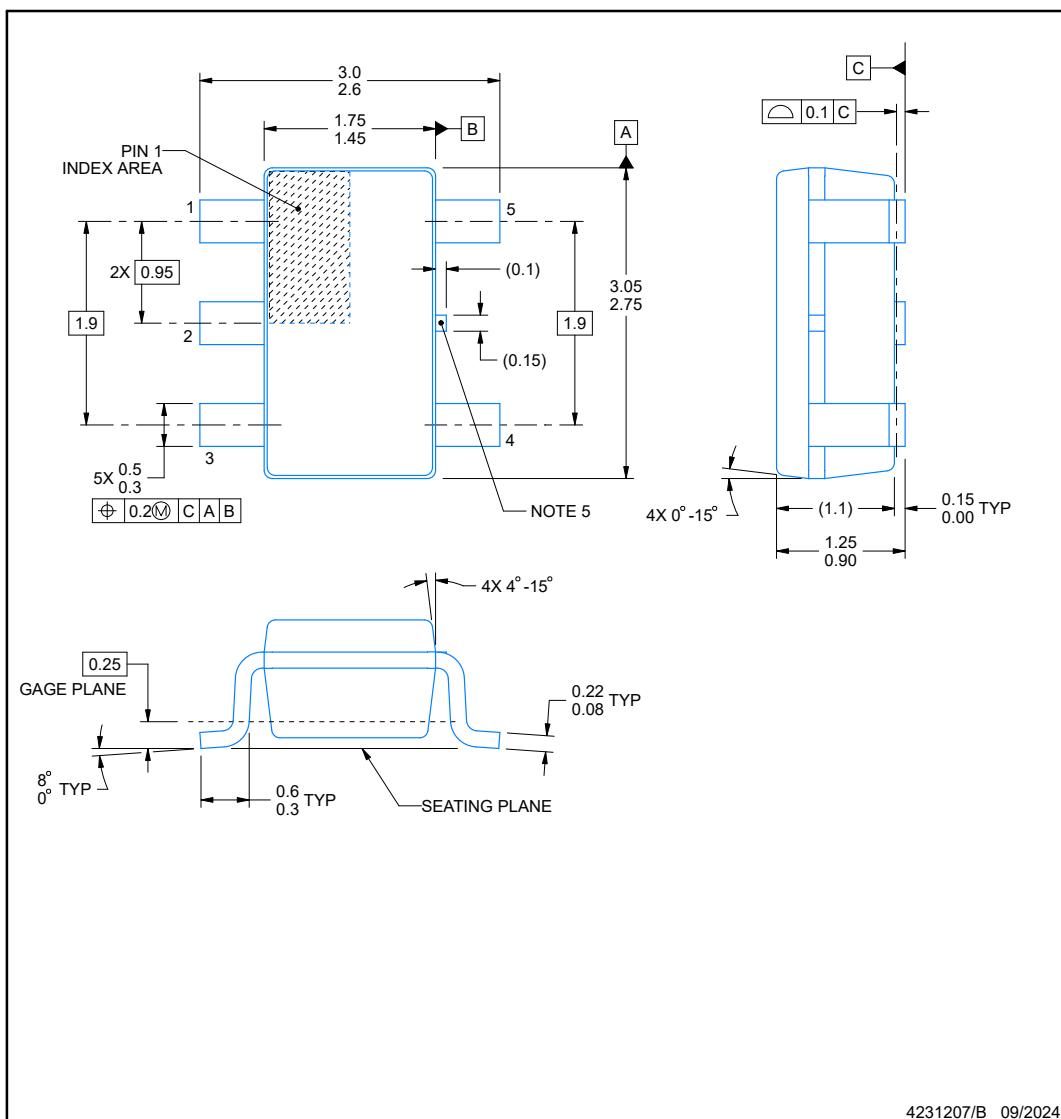
**TPS2XXX/XXXX
DBV0005A-C02**



PACKAGE OUTLINE

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



4231207/B 09/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Refer to JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

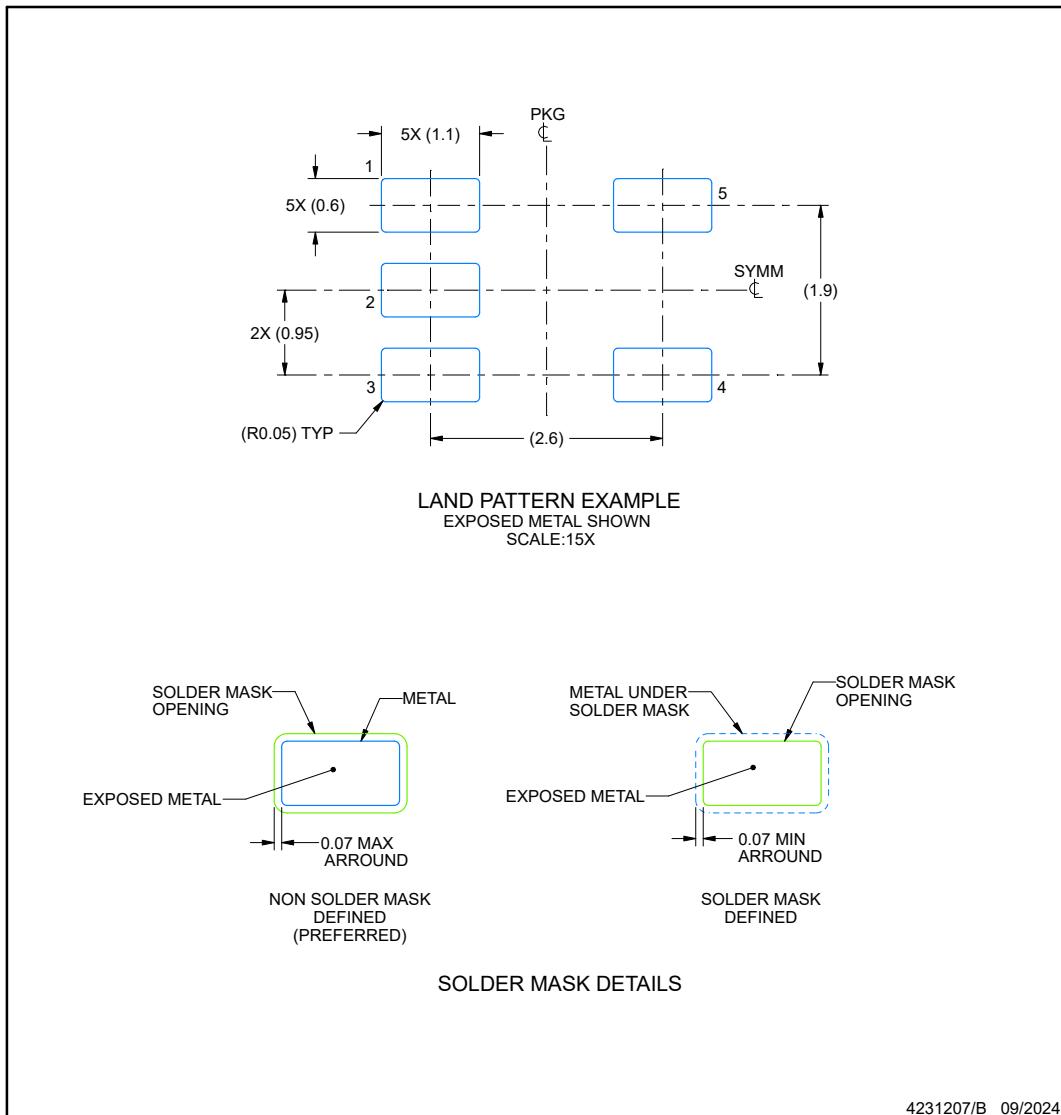


EXAMPLE BOARD LAYOUT

DBV0005A-C02

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



NOTES: (continued)

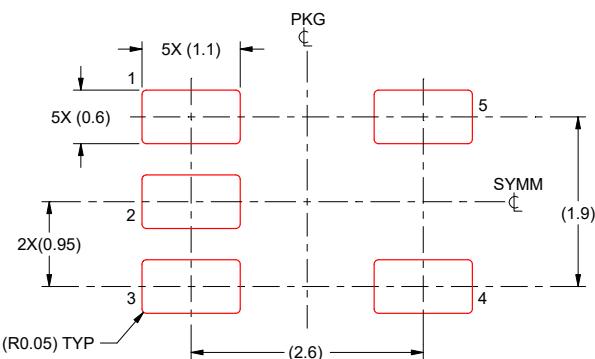
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A-C02

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4231207/B 09/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS2000EDBVR.A	Active	Preproduction	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS2001EDBVR	Active	Preproduction	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS2001EDBVR.A	Active	Preproduction	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS2068EDBVR	Active	Preproduction	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS2068EDBVR.A	Active	Preproduction	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS2069EDBVR	Active	Preproduction	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS2069EDBVR.A	Active	Preproduction	SOT-23 (DBV) 5	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS2000EDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2000E
TPS2000EDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2000E
TPS2000EDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	000E
TPS2000EDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	000E
TPS2000EDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2000E
TPS2000EDGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2000E
TPS2001EDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	2001E
TPS2001EDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2001E
TPS2001EDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	001E
TPS2001EDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	001E
TPS2001EDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2001E
TPS2001EDGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2001E
TPS2068EDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2068E
TPS2068EDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2068E
TPS2068EDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2068E
TPS2068EDGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2068E
TPS2069EDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	2069E
TPS2069EDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2069E
TPS2069EDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2069E
TPS2069EDGNR.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2069E

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

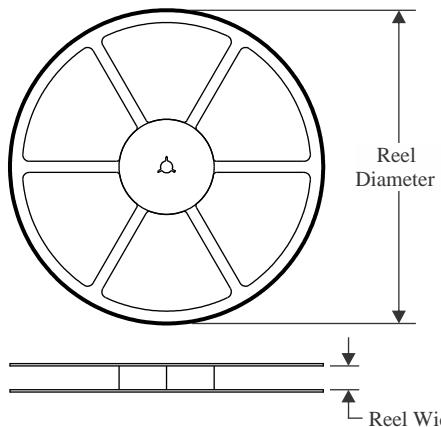
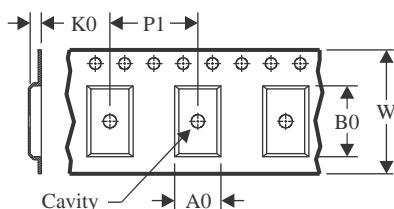
(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

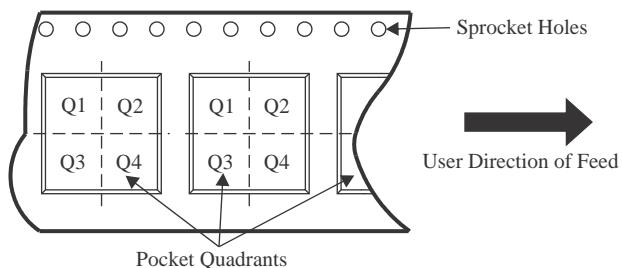
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

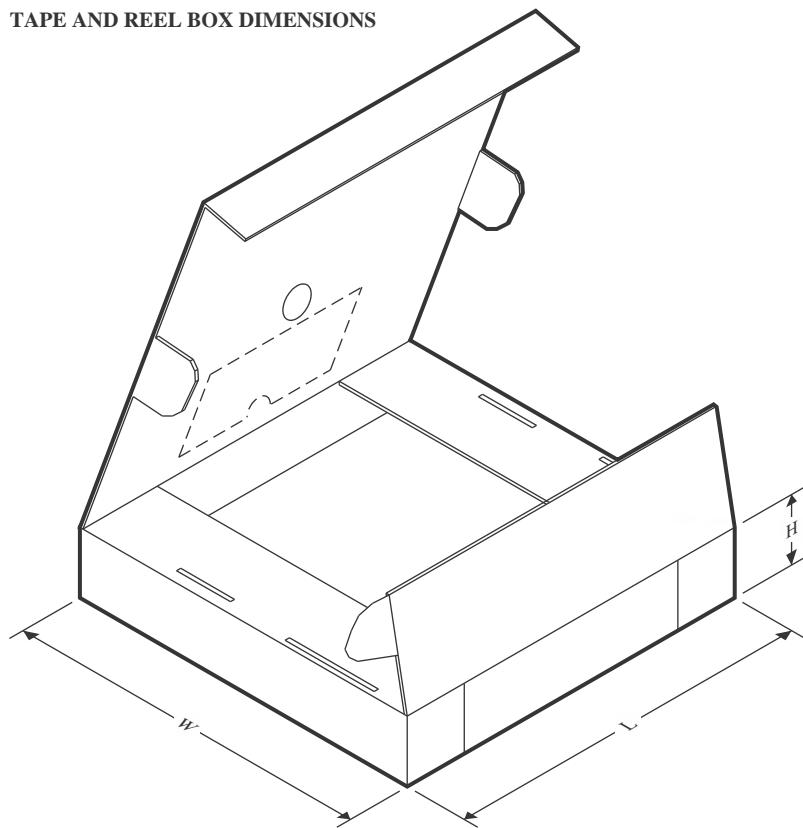
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2000EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2000EDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2000EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2001EDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2068EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2068EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2069EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2069EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2000EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2000EDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TPS2000EDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2001EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2001EDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TPS2001EDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2068EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2068EDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2069EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2069EDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月