

ExpressCard™パワー・インターフェイス・スイッチ

特 長

- ExpressCard™スタンダードに準拠
(ExpressCard/34またはExpressCard/54)
- ExpressCard™要求チェックリストに適合
- ExpressCard™インプリメンテーション・ガイドラインを完全に満足
- WAKE機能を持つシステムをサポート
- TTLロジック対応入力
- 短絡保護と過熱保護
- 周囲動作温度範囲 : -40°C~85°C
- 20ピンTSSOP、20ピンQFN、または24ピンPowerPAD™ HTSSOPパッケージで供給
(シングル)
- 32ピンPowerPAD™ HTSSOPパッケージで供給
(デュアル)

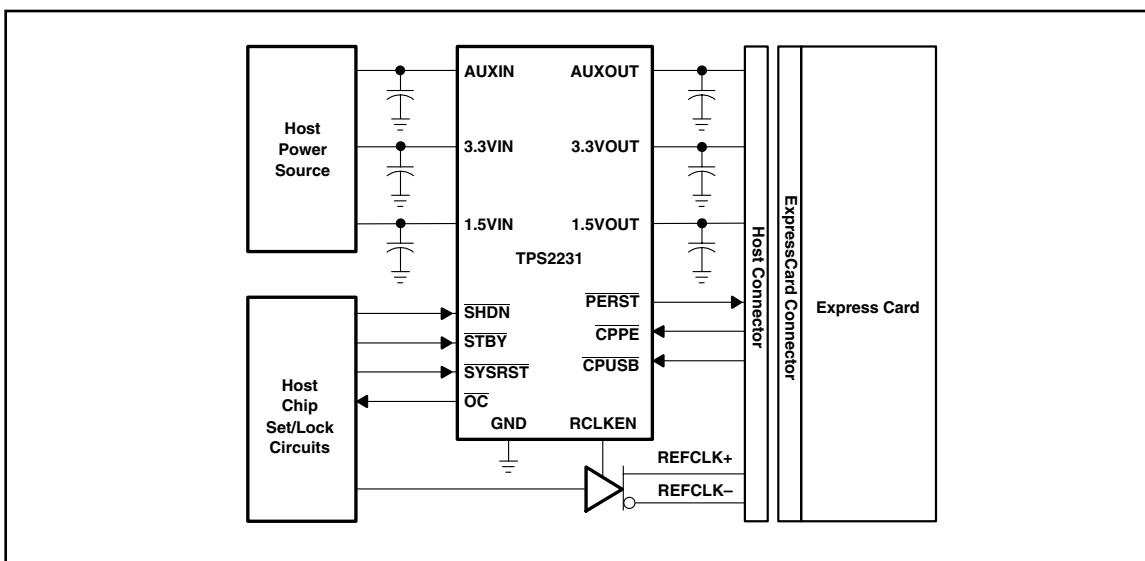
アプローチーション

- ノート・パソコン
- デスクトップ・パソコン
- PDA
- デジタル・カメラ
- テレビおよびセットトップ・ボックス

概 要

TPS2231およびTPS2236 ExpressCardパワー・インターフェイス・スイッチは、ExpressCard仕様で必要とされるトータルな電源管理ソリューションを提供します。TPS2231およびTPS2236 ExpressCardパワー・インターフェイス・スイッチは、ExpressCardソケットに対して3.3V、AUX、および1.5Vを供給します。各電圧レールは、内蔵の電流制限回路によって保護されます。

TPS2231は、1スロットのExpressCard/34またはExpressCard/54



PowerPAD™はテキサス・インスツルメンツの商標です。ExpressCardはPersonal Computer Memory Card International Associationの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

ソケットを持つシステムをサポートします。TPS2236は、2スロットのExpressCardソケットを持つシステムをサポートします。

TPS2231およびTPS2236の応用機器には、ノート・パソコン、デスクトップ・パソコン、PDA、デジタル・カメラなどがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

供給オプション

T _A	NUMBER OF CHANNELS	PACKAGED DEVICES ⁽¹⁾		
		TSSOP	PowerPAD HTSSOP	QFN
−40°C to 85°C	Single	TPS2231PW	TPS2231PWP	TPS2231RGP
	Dual		TPS2236DAP	

(1) パッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(すなわち、TPS2231PWPR)。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

			TPS223x	UNIT
V _I	Input voltage range for card power	V _{I(3.3VIN)}	−0.3 to 6	V
		V _{I(1.5VIN)}	−0.3 to 6	V
		V _{I(AUXIN)}	−0.3 to 6	V
	Logic input/output voltage		−0.3 to 6	V
V _O	Output voltage range	V _{O(3.3VOUT)}	−0.3 to 6	V
		V _{O(1.5VOUT)}	−0.3 to 6	V
		V _{O(AUXOUT)}	−0.3 to 6	V
	Continuous total power dissipation		See Dissipation Rating Table	
I _O	Output current	I _{O(3.3VOUT)}	Internally limited	
		I _{O(AUXOUT)}	Internally limited	
		I _{O(1.5VOUT)}	Internally limited	
	OC sink current		10	mA
	PERST sink/source current		10	mA
T _J	Operating virtual junction temperature range		−40 to 120	°C
T _{stg}	Storage temperature range		−55 to 150	°C
	Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds		260	°C
ESD	Electrostatic discharge protection	Human body model (HBM) MIL-STD-883C	TPS2231	
			2	kV
			TPS2236, PERSTx and OCx	1.5
		Charge device model (CDM)	500	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

定格消費電力(熱抵抗 = °C/W)

PACKAGE	T _A ≤ 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
PW (20) ⁽¹⁾	704.2 mW	7.41 mW/°C	370.6 mW	259.5 mW
PWP (24) ⁽¹⁾	3153 mW	33.19 mW/°C	1659.5 mW	1161.6 mW
RGP (20) ⁽²⁾	3277.5 mW	34.5 mW/°C	1725 mW	1207.3 mW

(1) これらのデバイスは、JEDECのlow-k基板(面上に2オンスのトレース)に実装されています(表中では、最大接合部温度を120°Cと仮定しています)。最良の熱特性が必要な場合は、デバイス上のパワーパッドを基板上のパワーパッドに半田付けしてください。

(2) このデバイスは、JEDECのJESO51.5 high-k基板(2信号、2プレーン)に実装されています。表中では、最大接合部温度を120°Cと仮定しています。

定格消費電力(熱抵抗 = °C/W) (続き)

PACKAGE	T _A ≤ 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
DAP (32) ⁽¹⁾ PowerPAD not soldered down	993.4 mW	10.46 mW/°C	522.8 mW	366 mW
DAP (32) ⁽¹⁾	4040.8 mW	42.55 mW/°C	2126.8 mW	1488.7 mW

推奨動作条件

			MIN	MAX	UNIT
V _{I(3.3VIN)}	Input voltage	3.3VIN is only required for its respective functions	3	3.6	V
V _{I(1.5VIN)}		1.5VIN is only required for its respective functions	1.35	1.65	
V _{I(AUXIN)}		AUXIN is required for all circuit operations	3	3.6	
I _{O(3.3VOUT)}	Continuous output current	T _J = 120°C	0	1.3	A
I _{O(1.5VOUT)}			0	650	mA
I _{O(AUXOUT)}			0	275	mA
T _J	Operating virtual junction temperature		-40	120	°C

電気的特性

T_J = 25°C, V_{I(3.3VIN)} = V_{I(AUXIN)} = 3.3V, V_{I(1.5VIN)} = 1.5V, V_{I(SHDNx)}, V_{I(STBYx)} = 3.3V, V_{I(CPPEEx)} = V_{I(CPUSBx)} = 0V, V_{I(SYSRST)} = 3.3V, OCx, RCLKENx、およびPERSTxはオープン、電圧出力はすべて無負荷(特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
POWER SWITCH						
Power switch resistance	3.3VIN to 3.3VOUT with two switches on for dual	T _J = 25°C, I = 1300 mA each	45			mΩ
		T _J = 100°C, I = 1300 mA each			68	
	1.5VIN to 1.5VOUT With two switches on for dual	T _J = 25°C, I = 650 mA each	46			mΩ
		T _J = 100°C, I = 650 mA each			70	
	AUXIN to AUXOUT with two switches on for dual	T _J = 25°C, I = 275 mA each	120			mΩ
		T _J = 100°C, I = 275 mA each			200	
R _(DIS_FET)	Discharge resistance on 3.3V/1.5V/AUX outputs	V _{I(SHDNx)} = 0 V, I _(discharge) = 1 mA	100	500		Ω
I _{OS}	I _{OS(3.3VOUT)} (steady-state value)	T _J (-40, 120°C]. Output powered into a short	1.35	2	2.5	A
	I _{OS(1.5VOUT)} (steady-state value)		0.67	1	1.3	A
	I _{OS(AUXOUT)} (steady-state value)		275	450	600	mA
Thermal shutdown	Trip point, T _J	Rising temperature, not in overcurrent condition	155	165		°C
		Overcurrent condition	120	130		
	Hysteresis				10	
Current-limit response time	From short to the 1 st threshold within 1.1 times of final current limit, T _J = 25°C	V _{O(3.3VOUT)} with 100-mΩ short	43	100		μs
		V _{O(1.5VOUT)} with 100-mΩ short, TPS2231	100	140		
		V _{O(1.5VOUT)} with 100-mΩ short, TPS2236	110	150		
		V _{O(AUXOUT)} with 100-mΩ short	38	100		
I _I	Normal operation of TPS2236	I _{I(AUXIN)}			125	200
		I _{I(3.3VIN)}			17.5	25
		I _{I(1.5VIN)}			5.5	15
	Normal operation of TPS2231	I _{I(AUXIN)}			85	150
		I _{I(3.3VIN)}			10	15
		I _{I(1.5VIN)}			2.5	10

(1) パルス・テスト手法により、接合部温度を周囲温度に近い値に保持しています。熱による影響を別途考慮する必要があります。

電気的特性(続き)

$T_J = 25^\circ\text{C}$, $V_{I(3.3\text{VIN})} = V_{I(\text{AUXIN})} = 3.3\text{V}$, $V_{I(1.5\text{VIN})} = 1.5\text{V}$, $V_{I(\text{SHDNx})}, V_{I(\text{STBYx})} = 3.3\text{V}$, $V_{I(\text{CPPEx})} = V_{I(\text{CPUSBx})} = 0\text{V}$, $V_{I(\text{SYSRST})} = 3.3\text{V}$, $\overline{\text{OCx}}$ 、 RCLKENx 、および $\overline{\text{PERSTx}}$ はオープン、電圧出力はすべて無負荷(特に記述のない限り)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
I_I	Total input quiescent current Normal operation of TPS2236	$I_{I(\text{AUXIN})}$	Outputs are unloaded, $T_J[-40, 120^\circ\text{C}]$ (include $\overline{\text{CPPE}}_x$ and $\overline{\text{CPUSB}}_x$ logic pullup currents)	200	320		μA
		$I_{I(3.3\text{VIN})}$		17.5	25		
		$I_{I(1.5\text{VIN})}$		5.5	15		
		$I_{I(\text{AUXIN})}$		120	210		
		$I_{I(3.3\text{VIN})}$		10	15		
	Normal operation of TPS2231	$I_{I(1.5\text{VIN})}$		2.5	10		μA
		$I_{I(\text{AUXIN})}$		250	440		
		$I_{I(3.3\text{VIN})}$		3.5	20		
		$I_{I(1.5\text{VIN})}$		0.1	20		
		$I_{I(\text{AUXIN})}$	$\overline{\text{CPUSB}} = \overline{\text{CPPE}} = 0\text{V}$ $\overline{\text{SHDN}} = 0\text{V}$ (discharge FETs are on) (include $\overline{\text{CPPE}}_x$ and $\overline{\text{CPUSB}}_x$ logic pullup currents and $\overline{\text{SHDN}}$ pullup current) $T_J[-40, 120^\circ\text{C}]$	144	270		μA
	Shutdown mode of TPS2236	$I_{I(3.3\text{VIN})}$		3.5	10		
		$I_{I(1.5\text{VIN})}$		0.5	10		
		$I_{I(\text{AUXIN})}$		20	50		μA
	Shutdown mode of TPS2231	$I_{I(3.3\text{VIN})}$		0.1	50		
		$I_{I(1.5\text{VIN})}$		0.1	50		
		$I_{I(\text{AUXIN})}$		0.1	10		μA
		$I_{I(3.3\text{VIN})}$		50			
$I_{Ikg(FWD)}$	Forward leakage current TPS2236	$I_{I(\text{AUXIN})}$	$\overline{\text{SHDN}} = 3.3\text{V}$, $\overline{\text{CPUSB}} = \overline{\text{CPPE}} = 3.3\text{V}$ (no card present, discharge FETs are on); current measured at input pins $T_J = 120^\circ\text{C}$, includes RCLKEN pullup current	0.1	100		μA
		$I_{I(3.3\text{VIN})}$		0.1	100		
		$I_{I(1.5\text{VIN})}$		0.1	100		
		$I_{I(\text{AUXIN})}$		20	50		μA
		$I_{I(3.3\text{VIN})}$		0.1	50		
	TPS2231	$I_{I(1.5\text{VIN})}$		0.1	50		μA
		$I_{I(\text{AUXIN})}$		0.1	10		
		$I_{I(3.3\text{VIN})}$		50			
		$I_{I(1.5\text{VIN})}$		0.1	10		
		$I_{I(\text{AUXIN})}$		50			
$I_{Ikg(RVS)}$	Reverse leakage current (TPS2236 and TPS2231)	$I_{I(\text{AUXOUT})}$	$T_J = 25^\circ\text{C}$ $T_J = 120^\circ\text{C}$ $V_{O(\text{AUXOUT})} = V_{O(3.3\text{VOUT})} = 3.3\text{V}$; $V_{O(1.5\text{VOUT})} = 1.5\text{V}$; All voltage inputs are grounded (current measured from output pins going in)	0.1	10		μA
		$I_{I(3.3\text{VOUT})}$		50			
		$I_{I(1.5\text{VOUT})}$		0.1	10		
		$T_J = 25^\circ\text{C}$		50			
		$T_J = 120^\circ\text{C}$		0.1	10		
	LOGIC SECTION (SYSRST, SHDNx, STBYx, PERSTx, RCLKENx, OCx, CPUSBx, CPPEx)	$I_{I(\text{SYSRST})}$	Input $\overline{\text{SYSRST}} = 3.6\text{V}$, sinking $\overline{\text{SYSRST}} = 0\text{V}$, sourcing	0	1		μA
		$I_{I(\text{SHDNx})}$		10	30		
		$I_{I(\text{STBYx})}$	Input $\overline{\text{STBYx}} = 3.6\text{V}$, sinking $\overline{\text{STBYx}} = 0\text{V}$, sourcing	0	1		μA
		$I_{I(\text{RCLKENx})}$		10	30		
		$I_{I(\text{CPUSBx})}$ or $I_{I(\text{CPPEx})}$	Inputs $\overline{\text{CPUSB}} = \overline{\text{CPPE}} = 0\text{V}$, sinking $\overline{\text{CPUSB}} = \overline{\text{CPPE}} = 3.6\text{V}$, sourcing	0	1		μA
Logic input voltage	High level				2		V
	Low level				0.8		
RCLEN output low voltage		Output	$I_{O(\text{RCLKEN})} = 60\text{ }\mu\text{A}$		0.4		V
$\overline{\text{PERST}}$ assertion threshold of output voltage ($\overline{\text{PERST}}$ asserted when any output voltage falls below the threshold)			3.3VOUT falling		2.7	3	V
			AUXOUT falling		2.7	3	
			1.5VOUT falling		1.2	1.35	
$\overline{\text{PERST}}$ assertion delay from output voltage			3.3VOUT, AUXOUT, or 1.5VOUT falling		500		ns
$\overline{\text{PERST}}$ de-assertion delay from output voltage			3.3VOUT, AUXOUT, and 1.5VOUT rising within tolerance		4	10	20 ms
$\overline{\text{PERST}}$ assertion delay from $\overline{\text{SYSRST}}$			Max time from $\overline{\text{SYSRST}}$ asserted or de-asserted		500		ns

電気的特性(続き)

$T_J = 25^\circ\text{C}$, $V_{I(3.3\text{VIN})} = V_{I(\text{AUXIN})} = 3.3\text{V}$, $V_{I(1.5\text{VIN})} = 1.5\text{V}$, $V_{I(\text{SHDNx})}, V_{I(\text{STBYx})} = 3.3\text{V}$, $V_{I(\text{CPPEx})} = V_{I(\text{CPUSBx})} = 0\text{V}$, $V_{I(\text{SYSRST})} = 3.3\text{V}$, $\overline{\text{OCx}}, \text{RCLKENx}$ 、および $\overline{\text{PERSTx}}$ はオープン、電圧出力はすべて無負荷(特に記述のない限り)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{W(\text{PERST})}$ $\overline{\text{PERST}}$ minimum pulse width	3.3VOUT , AUXOUT , or 1.5VOUT falling out of tolerance or triggered by $\overline{\text{SYSRST}}$	100	250		μs
$\overline{\text{PERST}}$ output low voltage	$I_{O(\text{PERST})} = 500 \mu\text{A}$		0.4		V
$\overline{\text{PERST}}$ output high voltage	$I_{O(\text{PERST})} = 500 \mu\text{A}$		2.4		V
$\overline{\text{OC}}$ output low voltage	$I_{O(\text{OC})} = 2 \text{ mA}$		0.4		V
$\overline{\text{OC}}$ leakage current	$V_{O(\text{OC})} = 3.6 \text{ V}$		1		μA
$\overline{\text{OC}}$ deglitch	Falling into or out of an overcurrent condition	6	20		mS
UNDERVOLTAGE LOCKOUT (UVLO)					
3.3VIN UVLO	3.3VIN level, below which 3.3VIN and 1.5VIN switches are off	2.6	2.9		V
1.5VIN UVLO	1.5VIN level, below which 3.3VIN and 1.5VIN switches are off	1	1.25		
AUXIN UVLO	AUXIN level, below which all switches are off	2.6	2.9		
UVLO hysteresis			100		mV

スイッチング特性

$T_J = 25^\circ\text{C}$, $V_{I(3.3\text{VIN})} = V_{I(\text{AUXIN})} = 3.3\text{V}$, $V_{I(1.5\text{VIN})} = 1.5\text{V}$, $V_{I(\text{SHDNx})}, V_{I(\text{STBYx})} = 3.3\text{V}$, $V_{I(\text{CPPEx})} = V_{I(\text{CPUSBx})} = 0\text{V}$, $V_{I(\text{SYSRST})} = 3.3\text{V}$, $\overline{\text{OCx}}, \text{RCLKENx}$ 、および $\overline{\text{PERSTx}}$ はオープン、電圧出力はすべて無負荷(特に記述のない限り)

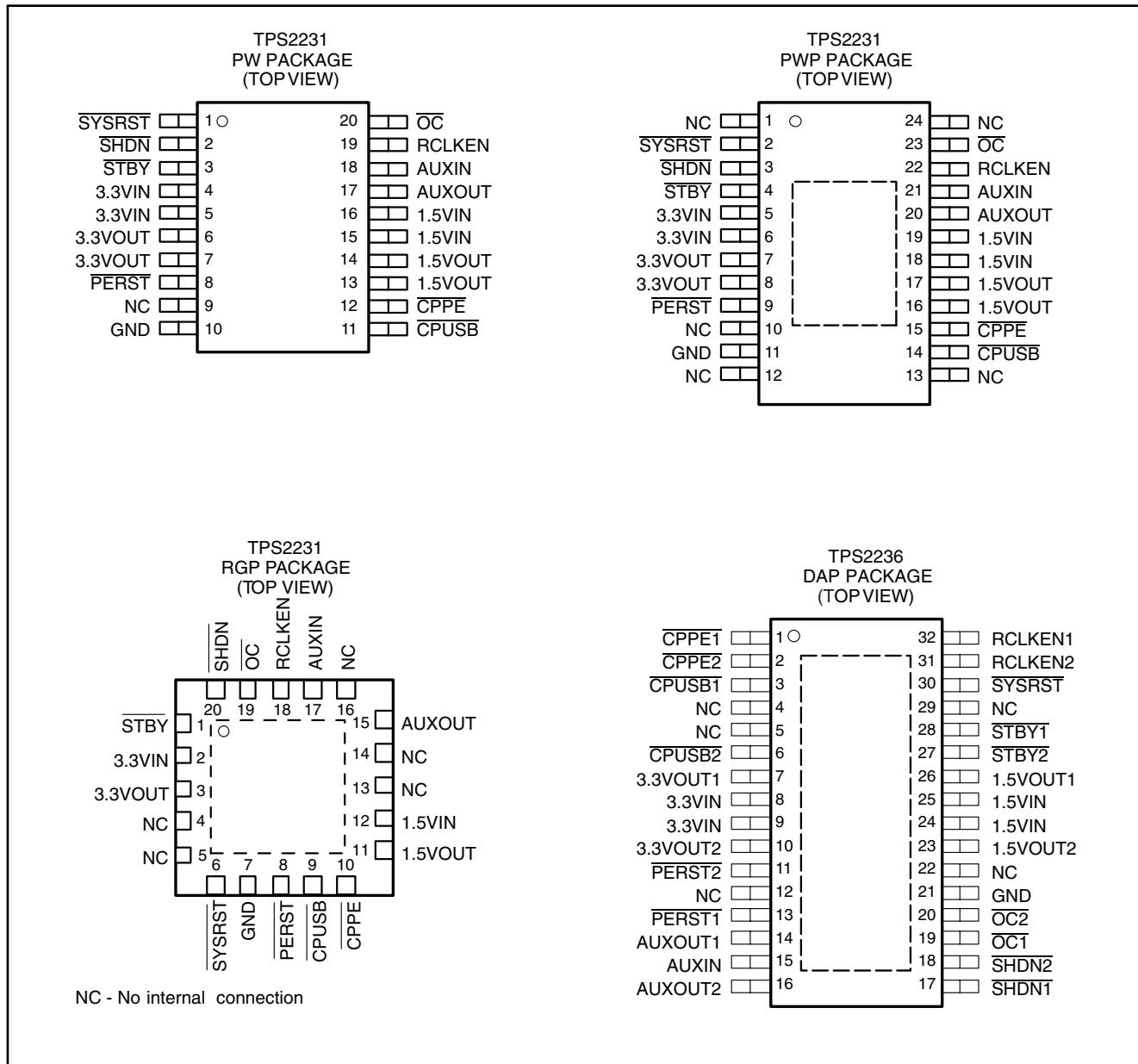
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_r Output rise times	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(3.3\text{VOUT})} = 0 \text{ A}$	0.1	3		ms
	AUXIN to AUXOUT $C_{L(\text{AUXOUT})} = 0.1 \mu\text{F}$, $I_{O(\text{AUXOUT})} = 0 \text{ A}$	0.1	3		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(1.5\text{VOUT})} = 0 \text{ A}$	0.1	3		
	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(3.3\text{VIN})}/1 \text{ A}$	0.1	6		
	AUXIN to AUXOUT $C_{L(\text{AUXOUT})} = 100 \mu\text{F}$, $R_L = V_{I(\text{AUXIN})}/0.250 \text{ A}$	0.1	6		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(1.5\text{VIN})}/0.500 \text{ A}$	0.1	6		
t_f Output fall times when card removed (both $\overline{\text{CPUSB}}$ and $\overline{\text{CPPE}}$ de-asserted)	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(3.3\text{VOUT})} = 0 \text{ A}$	10	150		μs
	AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 0.1 \mu\text{F}$, $I_{O(\text{AUXOUT})} = 0 \text{ A}$	10	150		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(1.5\text{VOUT})} = 0 \text{ A}$	10	150		
	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 20 \mu\text{F}$, $I_{O(3.3\text{VOUT})} = 0 \text{ A}$	2	30		
	AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 20 \mu\text{F}$, $I_{O(\text{AUXOUT})} = 0 \text{ A}$	2	30		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 20 \mu\text{F}$, $I_{O(1.5\text{VOUT})} = 0 \text{ A}$	2	30		
t_f Output fall times when $\overline{\text{SHDN}}$ asserted (card is present)	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(3.3\text{VOUT})} = 0 \text{ A}$	10	150		μs
	AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 0.1 \mu\text{F}$, $I_{O(\text{AUXOUT})} = 0 \text{ A}$	10	150		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(1.5\text{VOUT})} = 0 \text{ A}$	10	150		
	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(3.3\text{VIN})}/1 \text{ A}$	0.1	5		
	AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 100 \mu\text{F}$, $R_L = V_{I(\text{AUXIN})}/0.250 \text{ A}$	0.1	5		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(1.5\text{VIN})}/0.500 \text{ A}$	0.1	5		
$t_{pd(on)}$ Turn-on propagation delay	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(3.3\text{VOUT})} = 0 \text{ A}$	0.1	1		ms
	AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 0.1 \mu\text{F}$, $I_{O(\text{AUXOUT})} = 0 \text{ A}$	0.05	0.5		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(1.5\text{VOUT})} = 0 \text{ A}$	0.1	1		
	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(3.3\text{VIN})}/1 \text{ A}$	0.1	1.5		
	AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 100 \mu\text{F}$, $R_L = V_{I(\text{AUXIN})}/0.250 \text{ A}$	0.05	1		
	1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(1.5\text{VIN})}/0.500 \text{ A}$	0.1	1.5		

スイッチング特性(続き)

$T_J = 25^\circ\text{C}$, $V_{I(3.3\text{VIN})} = V_{I(\text{AUXIN})} = 3.3\text{V}$, $V_{I(1.5\text{VIN})} = 1.5\text{V}$, $V_{I(\text{SHDNx})}, V_{I(\text{STBYx})} = 3.3\text{V}$, $V_{I(\text{CPPEx})} = V_{I(\text{CPUSBx})} = 0\text{V}$, $V_{I(\text{SYSRST})} = 3.3\text{V}$, $\overline{\text{OCx}}$, RCLKENx , および PERSTx はオープン、電圧出力はすべて無負荷(特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{pd(off)}$	Turn-off propagation delay	3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(3.3\text{VOUT})} = 0 \text{ A}$	0.1	1.5		ms
		AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 0.1 \mu\text{F}$, $I_{O(\text{AUXOUT})} = 0 \text{ A}$	0.05	0.5		
		1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 0.1 \mu\text{F}$, $I_{O(1.5\text{VOUT})} = 0 \text{ A}$	0.1	1.5		
		3.3VIN to 3.3VOUT $C_{L(3.3\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(3.3\text{VIN})} / 1 \text{ A}$	0.1	1.5		
		AUXIN to VAUXOUT $C_{L(\text{AUXOUT})} = 100 \mu\text{F}$, $R_L = V_{I(\text{AUXIN})} / 0.250 \text{ A}$	0.05	0.5		
		1.5VIN to 1.5VOUT $C_{L(1.5\text{VOUT})} = 100 \mu\text{F}$, $R_L = V_{I(1.5\text{VIN})} / 0.500 \text{ A}$	0.1	1		

ピン配置

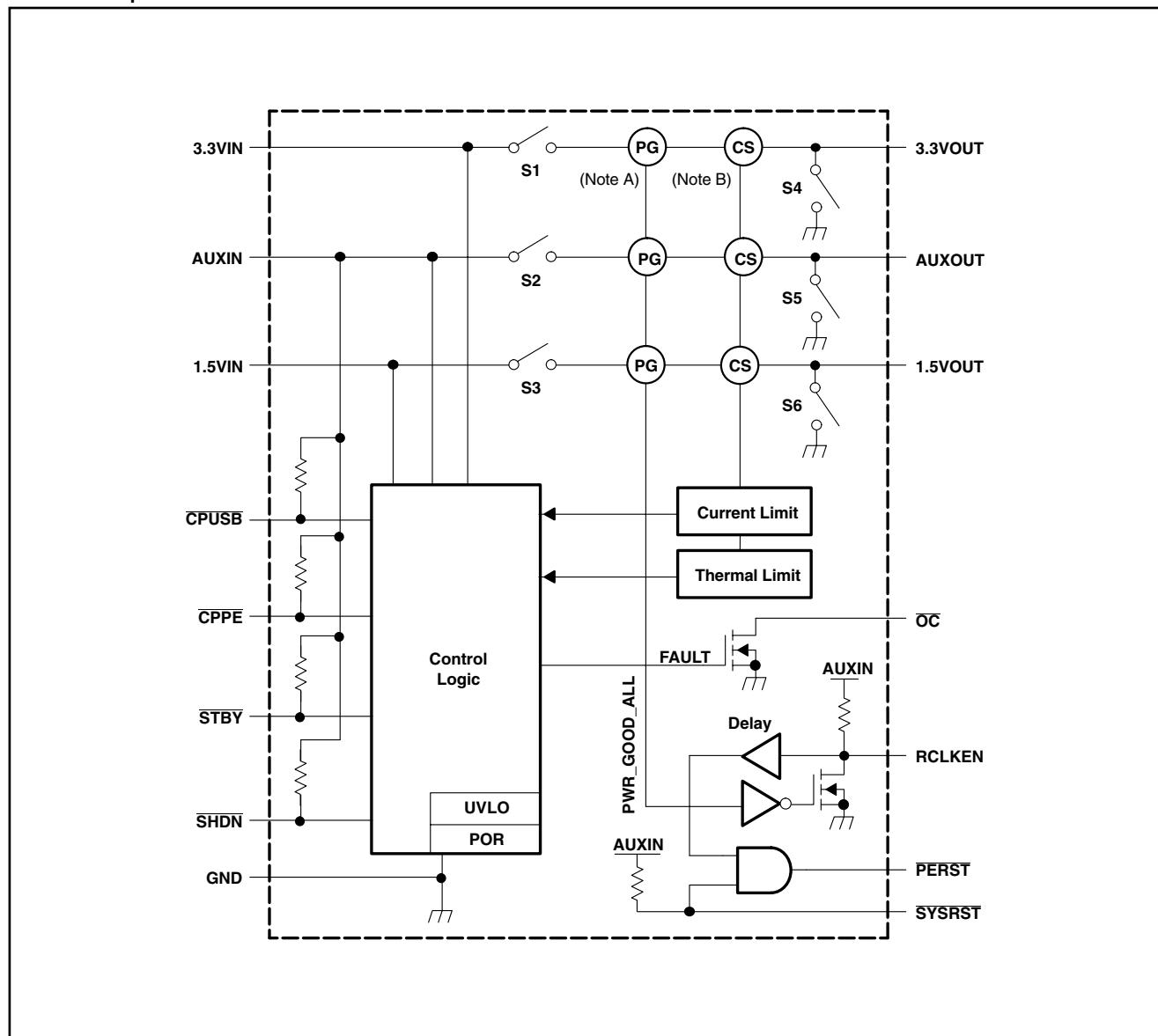


端子機能

TERMINAL						I/O	DESCRIPTION		
TPS2231			TPS2236						
NAME	NO.		NAME	NO.					
	PW	PWP	RGP		DAP				
3.3VIN	4, 5	5, 6	2	3.3VIN	8, 9	I	3.3VOUTに対する3.3V入力		
1.5VIN	15, 16	18, 19	12	1.5VIN	24, 25	I	1.5VOUTに対する1.5V入力		
AUXIN	18	21	17	AUXIN	15	I	AUXOUTおよびチップ電源に対するAUX入力		
GND	10	11	7	GND	21		グランド		
3.3VOUT	6, 7	7, 8	3	3.3VOUT1	7	O	0V、3.3V、またはハイ・インピーダンスをカードに供給するスイッチ出力		
1.5VOUT	13, 14	16, 17	11	1.5VOUT1	26	O	0V、1.5V、またはハイ・インピーダンスをカードに供給するスイッチ出力		
AUXOUT	17	20	15	AUXOUT1	14	O	0V、AUX、またはハイ・インピーダンスをカードに供給するスイッチ出力		
				3.3VOUT2	10	O	0V、3.3V、またはハイ・インピーダンスをカードに供給するスイッチ出力		
				1.5VOUT2	23	O	0V、1.5V、またはハイ・インピーダンスをカードに供給するスイッチ出力		
				AUXOUT2	16	O	0V、AUX、またはハイ・インピーダンスをカードに供給するスイッチ出力		
SYSRST	1	2	6	SYSRST	30	I	システムリセット入力 -- アクティブ・ロー、論理レベル信号。内部でAUXINにプルアップされています。		
CPPE	12	15	10	CPPE1	1	I	PCI Expressカードに対するカード挿入検出入力。内部でAUXINにプルアップされています。		
CPUSB	11	14	9	CPUSB1	3	I	USBカードに対するカード挿入検出入力。内部でAUXINにプルアップされています。		
				CPPE2	2	I	PCI Expressカードに対するカード挿入検出入力。内部でAUXINにプルアップされています。		
				CPUSB2	6	I	USBカードに対するカード挿入検出入力。内部でAUXINにプルアップされています。		
PERST	8	9	8	PERST1	13	O	スロット0への論理レベル・パワーグッド (遅延付き)		
				PERST2	11	O	スロット1への論理レベル・パワーグッド (遅延付き)		
SHDN	2	3	20	SHDN1	17	I	シャットダウン入力 -- アクティブ・ロー、論理レベル信号。内部でAUXINにプルアップされています。		
				SHDN2	18	I	シャットダウン入力 -- アクティブ・ロー、論理レベル信号。内部でAUXINにプルアップされています。		
STBY	3	4	1	STBY1	28	I	スタンバイ入力 -- アクティブ・ロー、論理レベル信号。内部でAUXINにプルアップされています。		
				STBY2	27	I	スタンバイ入力 -- アクティブ・ロー、論理レベル信号。内部でAUXINにプルアップされています。		
RCLKEN	19	22	18	RCLKEN1	32	I/O	基準クロック・イネーブル信号。出力の場合、スロット0のホストに対する論理レベル・パワーグッド(遅延なし、オープン・ドレイン)。入力の場合、ホストによって非アクティブ("ロー")に維持することで、PERSTのデアサートを防ぎます。内部でAUXINにプルアップされています。		
				RCLKEN2	31	I/O	基準クロック・イネーブル信号。出力の場合、スロット1のホストに対する論理レベル・パワーグッド(遅延なし、オープン・ドレイン)。入力の場合、ホストによって非アクティブ("ロー")に維持することで、PERSTのデアサートを防ぎます。内部でAUXINにプルアップされています。		
OC	20	23	19	OC1	19	O	スロット0に対する過電流ステータス出力(オープン・ドレーン)。		
				OC2	20	O	スロット1に対する過電流ステータス出力(オープン・ドレーン)。		
NC	9	1, 10, 12, 13, 24	4, 5, 13, 14, 16	NC	4, 5, 12, 22, 29		接続なし		

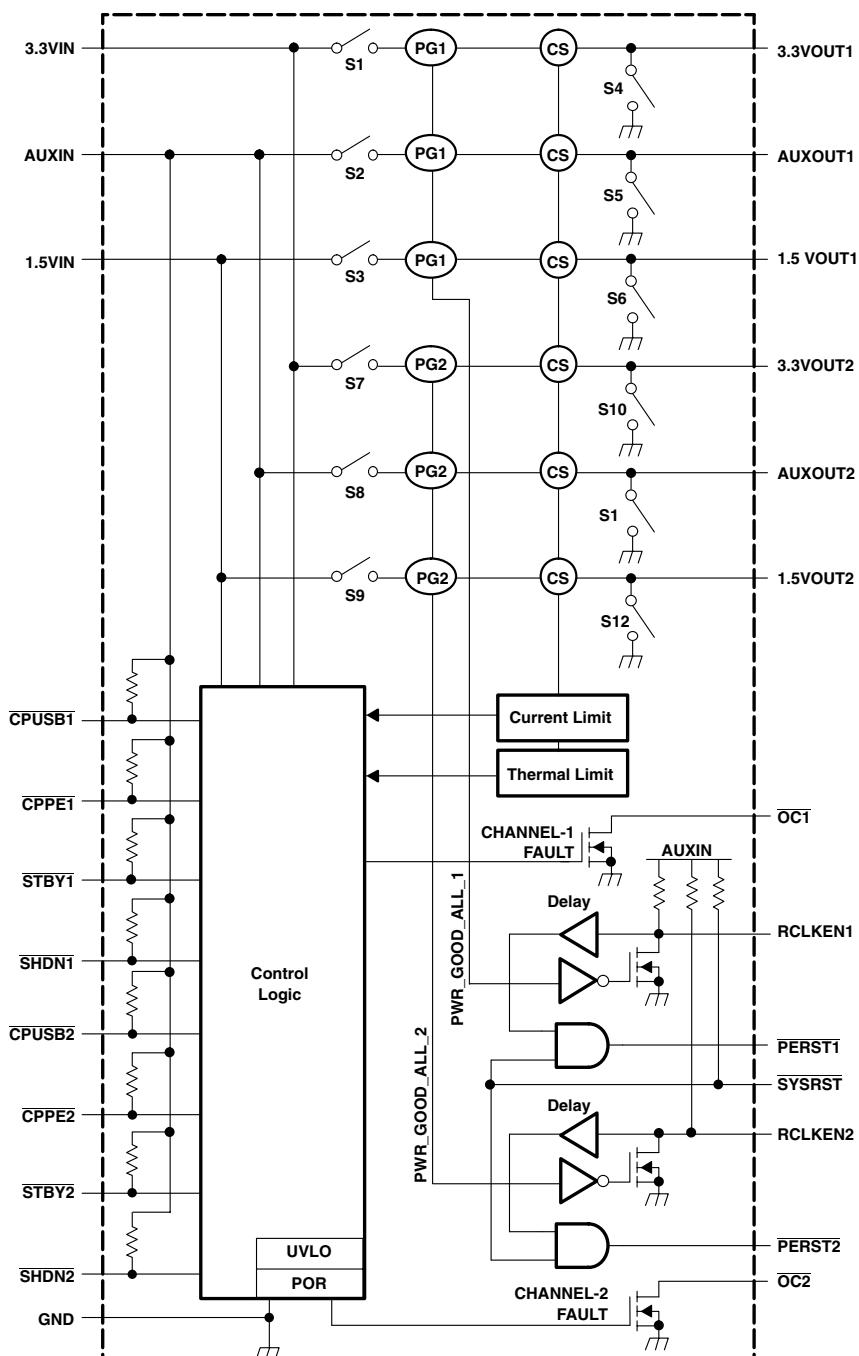
機能ブロック図

シングルExpressCardパワー・スイッチ



注： A. PG = パワーグッド
B. CS = 電流センス

デュアルExpressCardパワー・スイッチ



ピンの詳細説明

CPPE

カードがPCI Express機能をサポートしている場合、“ロー”レベルが入力されます。CPPEは、内部プルアップを通してAUXIN入力に接続されます。カードが挿入されたときに、カードがPCI Express機能をサポートしている場合、CPPEは物理的にグランドに接続されます。

CPUSB

カードがUSB機能をサポートしている場合、“ロー”レベルが入力されます。CPUSBは、内部プルアップを通してAUXIN入力に接続されます。カードが挿入されたときに、カードがUSB機能をサポートしている場合、CPUSBは物理的にグランドに接続されます。

SHDN

この入力がアサート (“ロー” レベル) されると、電源スイッチはすべての電圧出力をオフにし、放電FETがアクティブになります。SHDNは、内部でAUXINにプルアップされています。

STBY

カードの挿入後にこの入力がアサート (“ロー” レベル) されると、電源スイッチはスタンバイ・モードになります。3.3Vおよび1.5V電源スイッチがオフになり、AUXスイッチはオンに保持されます。カードを挿入する前にSTBYがアサートされた場合、電源スイッチはOFFモードになり、AUX、3.3V、および1.5V電源スイッチがすべてオフになります。STBYは、内部でAUXINにプルアップされています。

RCLKEN

このピンは、入力および出力として機能します。パワーアップ時には、すべての出力電源レールが許容範囲内に収まるまでの間、この信号は放電FETにより “ロー” 状態に維持されます。すべての電源レールが許容範囲に収まると、スイッチはRCLKENを解除して、“ハイ” 状態への遷移を許可します(内部でAUXINにプルアップされています)。RCLKENが “ロー” から “ハイ” に遷移すると、PERSTをデアサートするための内部タイマが動作を開始します。入力の場合、RCLKENを “ロー” に維持することで、PERST内部タイマの動作開始を遅延させることができます。

RCLKENは内部で放電FETに接続されているため、このピンは “ロー” にのみ設定できます。入力として “ハイ” に設定しないよう注意してください。外部回路によって “ロー” に設定されると、RCLKENは入力になります。それ以外の場合、このピンは出力です。

RCLKENは、ホスト・システムによってクロック・ドライバをイネーブルにするために使用できます。

PERST

パワーアップ時に、この出力はすべての電源レールが許容範囲内に収まるまでの間、アサート状態 (“ロー” レベル) に維持されます。すべての電源レールが許容範囲に収まり、RCLKENが解除 (“ハイ” レベル) されると、特性表に示される遅延時間の経過後にPERSTがデアサート (“ハイ” レベル) されます。パワーダウン時には、いずれかの電源レールが許容電圧以下に低下すると、この出力がアサートされます。

PERST信号は、ホスト・システムからの出力であり、ExpressCardモジュールへの入力です。この信号は、PCI Expressベースのモジュールでのみ使用され、ExpressCardモジュールをリセット状態にする機能を持ちます。

パワーアップ時、パワーダウン時、またはExpressCardモジュールへの電源が不安定または許容電圧範囲外の場合に、ExpressCardスタンダードの要件としてPERSTをアサートする必要があります。そのため、この信号はExpressCardモジュールへのパワーグッド・インジケータとしても機能し、電源レールとPERSTとの関係はExpressCardスタンダードにはっきりと定義されています。

ホストは、システム・リセットSYSRSTをアサートすることによっても、ExpressCardモジュールをリセット状態でできます。このシステム・リセットにより、電圧レールに影響を与えることなく、ExpressCardモジュールに対してPERSTが生成されます。これは通常、ウォーム(Warm)・リセットと呼ばれます。ただし、コールド(Cold)・スタートの状況でシステム・リセットを使用して、PERSTがアサートされている時間を延長することもできます。

SYSRST

この入力は、ホスト・システムによってドライブされ、PERSTに直接影響を与えます。SYSRSTをアサート (“ロー” レベル) すると、PERSTがアサートされます。RCLKENは、SYSRSTのアサートによって影響を受けません。SYSRSTは、内部でAUXINにプルアップされています。

OC

このピンは、オープン・ドレーン出力です。3つの電源スイッチ(AUX、3.3V、1.5V)のいずれかが過電流状態になると、内部の放電FETにより、デグリッヂ遅延時間後にOCがアサート (“ロー” レベル) されます。それ以外の場合、放電FETはオープンであり、このピンは外部抵抗を通して電源電圧にプルアップできます。

機能真理値表

電圧出力の真理値表

VOLTAGE INPUTS ⁽¹⁾			LOGIC INPUTS			VOLTAGE OUTPUTS ⁽²⁾			MODE ⁽³⁾
AUXIN	3.3VIN	1.5VIN	SHDN	STBY	CP ⁽⁴⁾	AUXOUT	3.3VOUT	1.5VOUT	
Off	x	x	x	x	x	Off	Off	Off	OFF
On	x	x	0	x	x	GND	GND	GND	Shutdown
On	x	x	1	x	1	GND	GND	GND	No Card
On	On	On	1	0	0	On	Off	Off	Standby
On	On	On	1	1	0	On	On	On	Card Inserted

(1) 入力電圧について、Onは該当する入力電圧がターンオン・スレッシュホールド電圧よりも高いことを意味します。それ以外の場合、電圧はOffです(AUX入力の場合、Offは電圧が0Vに近いことを意味します)。

(2) 出力電圧の場合、Onは該当する電源スイッチがオンであり、入力電圧が出力に接続されていることを意味します。Offは、電源スイッチおよび出力放電FETが両方ともオフであることを意味します。GNDは、電源スイッチがオフで出力放電FETはオンであり、出力の電圧が0Vにプルダウンされることを意味します。

(3) モードは、入力条件と該当する出力電圧結果の各組み合わせに異なる名前を付けたものです。これらのモードは、次の「論理出力の真理値表」では「入力条件」と示されています。

(4) CP = CPUSB AND CPPE (AND論理出力) です。CPUSBおよびCPPE信号が両方とも“ハイ”であれば、 $\overline{CP} = 1$ であり、いずれかが“ロー”的場合は $\overline{CP} = 0$ です。

論理出力の真理値表

INPUT CONDITIONS			LOGIC OUTPUTS	
MODE	SYSRST	RCLKEN ⁽¹⁾	PERST	RCLKEN ⁽²⁾
OFF	X	X	0	0
Shutdown				
No Card				
Standby				
Card Inserted	0	Hi-Z	0	1
	0	0	0	0
	1	Hi-Z	1	1
	1	0	0	0

(1) この列では、RCLKENはロジック入力です。RCLKENは入出力ピンであり、外部から“ロー”に設定するか、オープンにするか、または高インピーダンス端子(MOSFETのゲートなど)に接続することができます。外部から“ハイ”にしてはなりません。

(2) この列では、RCLKENはロジック出力です。

電源ステート

AUXINが入力されていない場合は、すべての入出力間電源スイッチがオフになります(OFFモード)。

AUXINが入力され、 $\overline{\text{SHDN}}$ がアサート(“ロー”レベル)されると、入出力間電源スイッチはすべてオフのままで、出力放電FETがオンになります(シャットダウン・モード)。 $\overline{\text{SHDN}}$ をアサートした後でデアサートすると、出力のステートが、 $\overline{\text{SHDN}}$ をアサートする前の状態に戻ります。

電源スイッチの入力に3.3VIN、AUXIN、および1.5VINが供給されていて、カードが挿入されていない場合は、入出力間電源スイッチはすべてオフのままで、出力放電FETがオンになります(カード無しモード)。

カードを挿入する前に電源スイッチの入力に3.3VIN、AUXIN、および1.5VINが供給されている場合、カード挿入信号($\overline{\text{CPUSB}}$ および $\overline{\text{CPP}}$)が検出されると、すべての入出力間電源スイッチがオンになります(カード挿入モード)。

カードが挿入され、すべての出力電圧が印加されているときに、 $\overline{\text{STBY}}$ がアサート(“ロー”レベル)されると、カードにAUXOUT電圧が供給され、3.3VOUTおよび1.5VOUTスイッチはオフになります(スタンバイ・モード)。

カードが挿入され、すべての出力電圧が印加されているときに、電源スイッチの入力から1.5VINまたは3.3VINがオフになると、カードにAUXOUT電圧が供給され、3.3VOUTおよび1.5VOUTスイッチはオフになります(スタンバイ・モード)。

カードを挿入する前に、電源スイッチの入力にAUXINが供給され、3.3VINまたは1.5VIN(またはその両方)が供給されていない場合、または $\overline{\text{STBY}}$ がアサート(“ロー”レベル)された場合は、カードには電源が供給されません(OFFモード)。カードを挿入した後に、電源スイッチの入力に1.5VINおよび3.3VINが供給され、 $\overline{\text{STBY}}$ がアサートされていない場合は、すべての出力電圧がカードに供給されます(カード挿入モード)。

放電FET

出力上の放電FETは、カードが挿入されていないことをデバイスが検出したときにアクティブになります(カード無しモード)。放電FETがアクティブになるのは、入出力間の電源スイッチがオフになった後です(Break - Before - Make)。いずれかのカード挿入検出ラインがアクティブ(“ロー”)になると、放電FETが非アクティブになります($\overline{\text{SHDN}}$ ピンがアサートされていない場合)。

放電FETは、 $\overline{\text{SHDN}}$ 入力がアサートされたときにもアクティブになり、 $\overline{\text{SHDN}}$ がデアサートされるまでアクティブ状態を維持します。

パラメータ測定情報

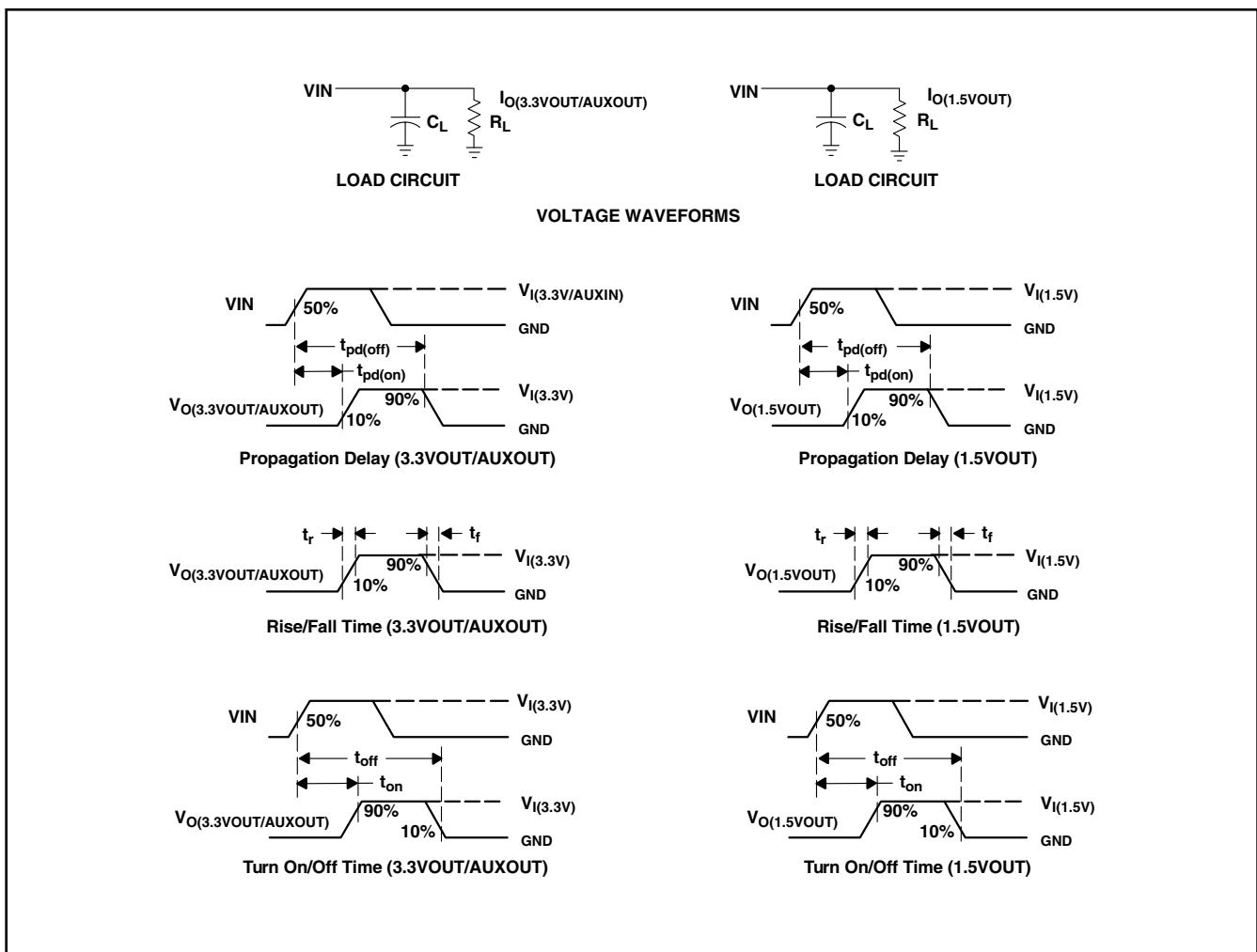


図 1. 測定回路と電圧波形

代表的特性

グラフ一覧

		FIGURE
Output voltage when card is inserted	vs Time	2
RCLKEN and PERST voltage during power up	vs Time	3
RCLKEN and PERST voltage during power down	vs Time	4
PERST asserted by SYSRST when power is on	vs Time	5
PERST de-asserted by SYSRST when power is on	vs Time	6
Output voltage when 3.3VIN is removed	vs Time	7
Output voltage when 1.5VIN is removed	vs Time	8
OC response when powered into a short (3.3VOUT)	vs Time	9
Supply current of AUXIN	vs Junction temperature	10
Static drain-source on-state resistance	vs Junction temperature	11
3.3-V power switch current limit	vs Junction temperature	12
1.5-V power switch current limit	vs Junction temperature	13
AUX power switch current limit	vs Junction temperature	14
3.3-V power switch current limit trip	vs Junction temperature	15
1.5-V power switch current limit trip	vs Junction temperature	16
AUX power switch current limit trip	vs Junction temperature	17

代表的特性

OUTPUT VOLTAGE WHEN CARD IS INSERTED
vs
TIME

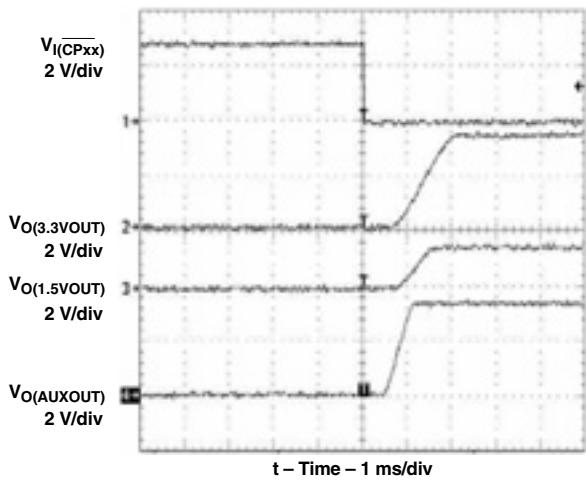


図 2

RCLKEN AND \overline{PERST} VOLTAGE DURING POWER UP
vs
TIME

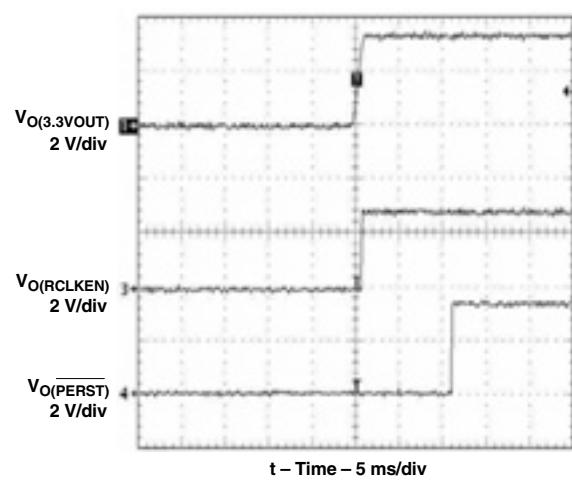


図 3

RCLKEN AND \overline{PERST} VOLTAGE DURING POWER DOWN
vs
TIME

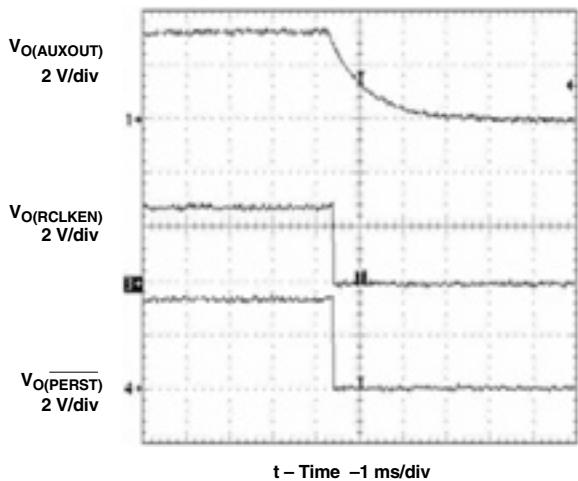


図 4

\overline{PERST} ASSERTED BY \overline{SYSRST} WHEN POWER IS ON
vs
TIME

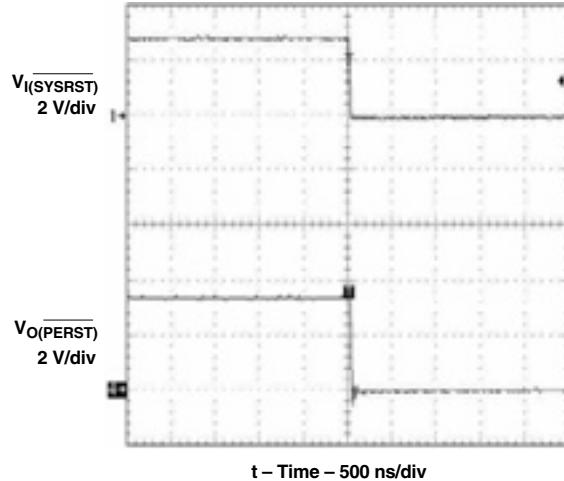
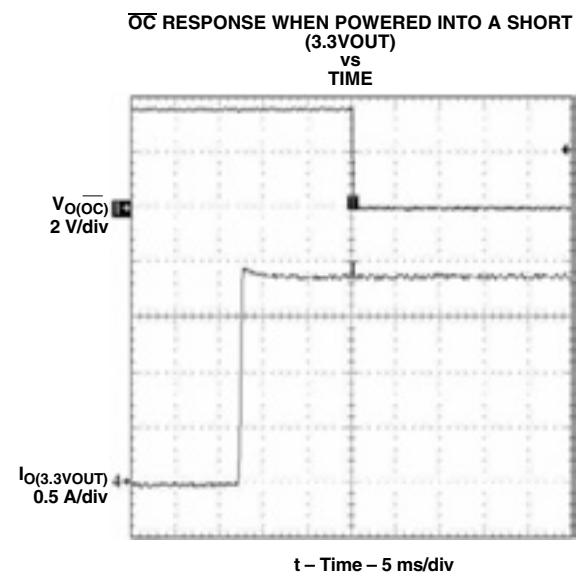
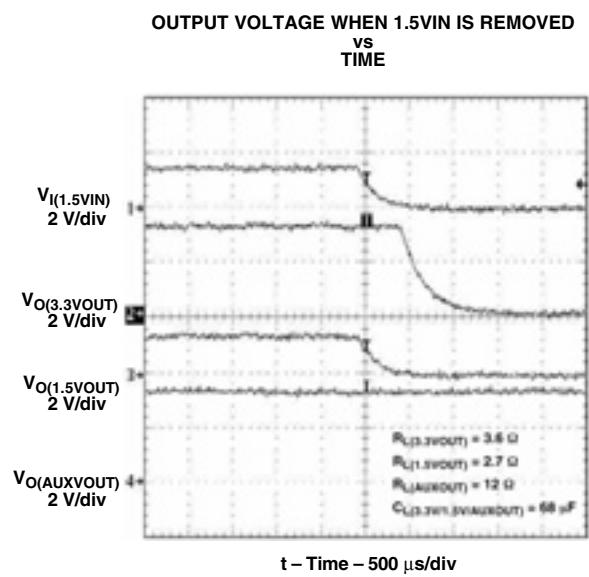
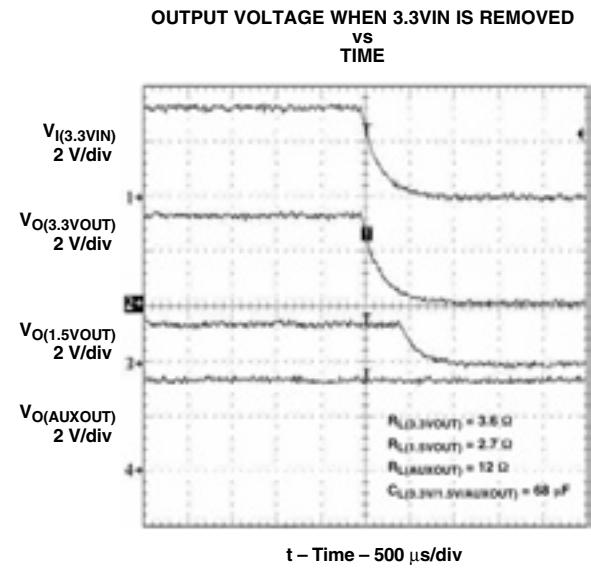
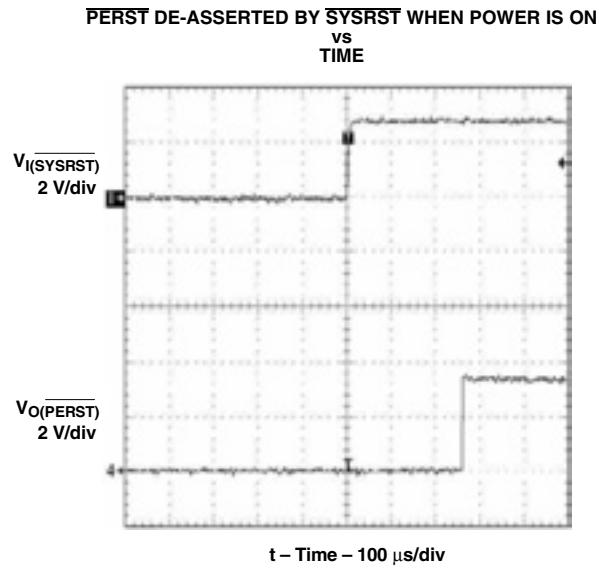


図 5



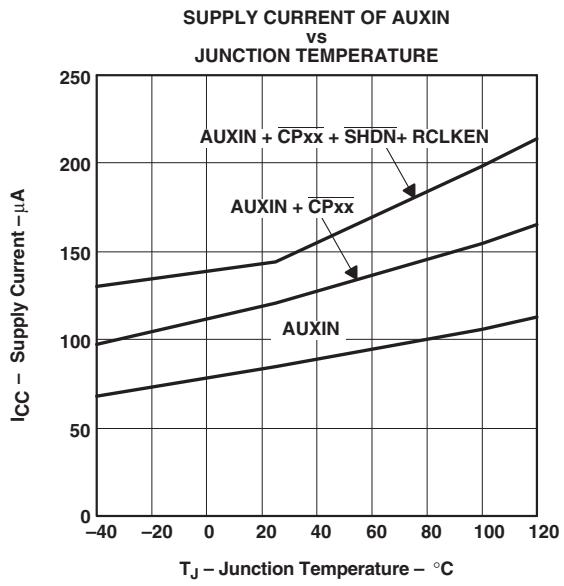


図 10

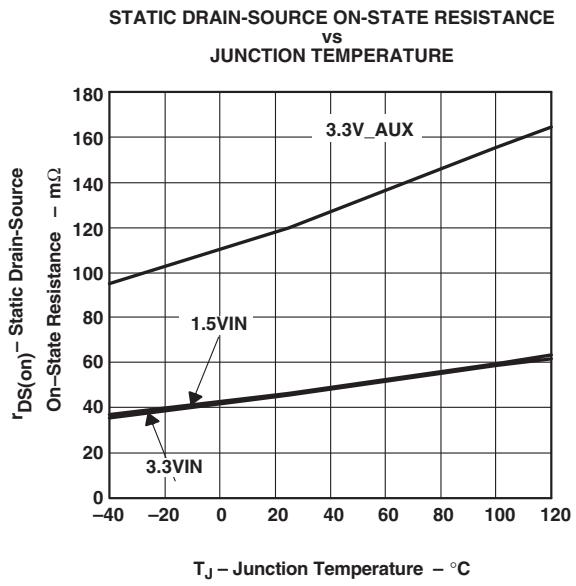


図 11

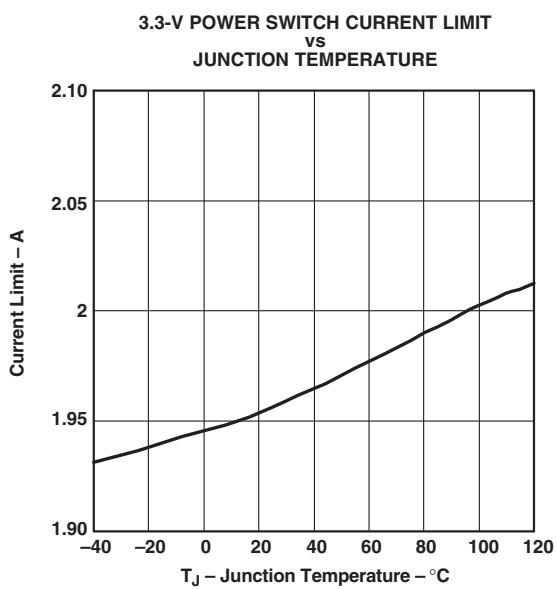


図 12

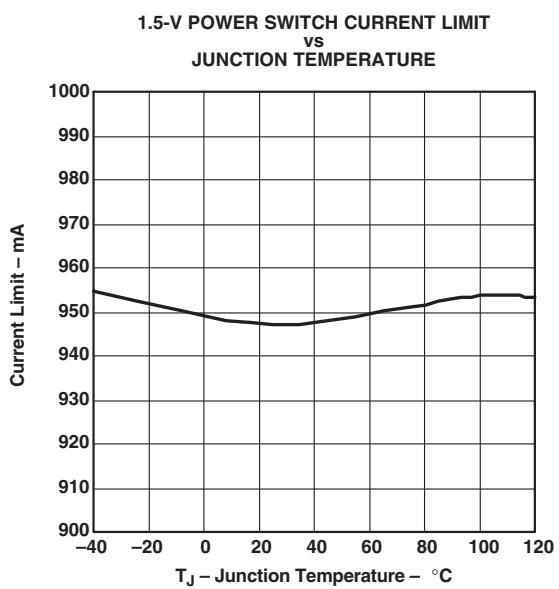


図 13

AUX POWER SWITCH CURRENT LIMIT
vs
JUNCTION TEMPERATURE

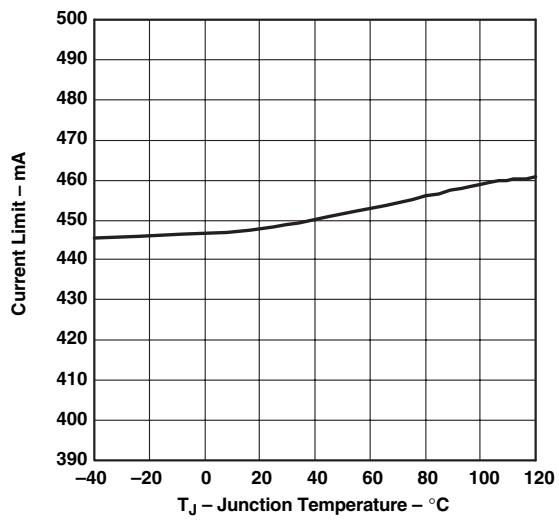


図 14

3.3-V POWERSWITCH CURRENT LIMIT TRIP
vs
JUNCTION TEMPERATURE

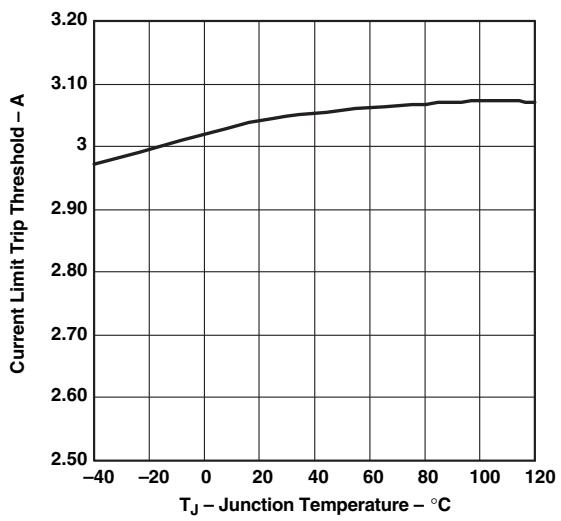


図 15

1.5-V POWER SWITCH CURRENT LIMIT TRIP
vs
JUNCTION TEMPERATURE

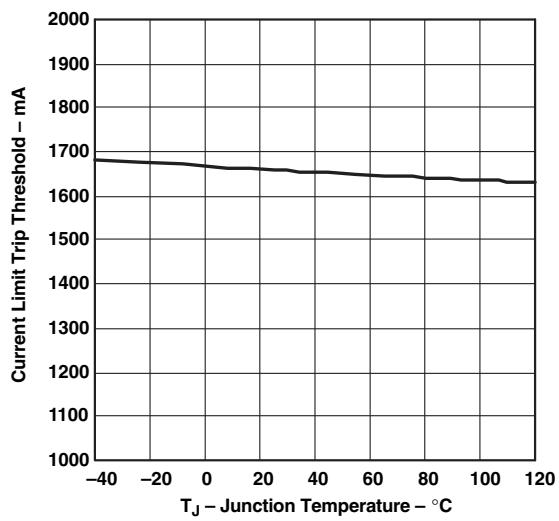


図 16

AUX POWER SWITCH CURRENT LIMIT TRIP
vs
JUNCTION TEMPERATURE

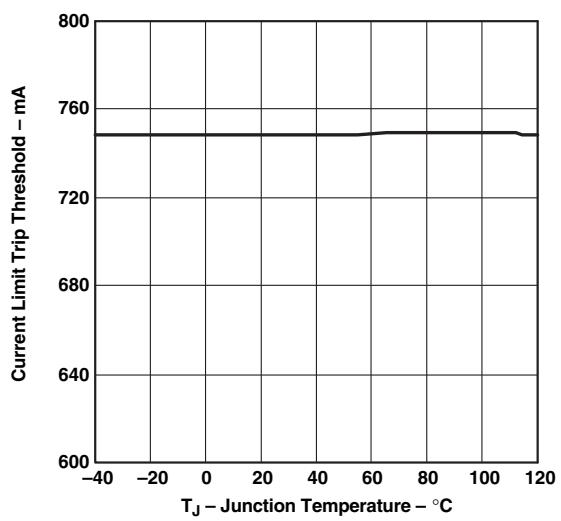


図 17

アプリケーション情報

ExpressCardの概要

ExpressCardモジュールは、PCI ExpressまたはUSB (Universal Serial Bus) 技術に基づくシリアル・インターフェイスを備えたアドイン・カードです。ExpressCardには、ExpressCard/34およびExpressCard/54として定義される2つのフォーム・ファクタがあります。その違いは、名前に示されるとおり、モジュールの幅であり、それぞれ34mmと54mmです。ExpressCardモジュールをサポートするホスト・システムは、ExpressCard/34とExpressCard/54のいずれか一方、または両方をサポートできます。

ExpressCardの電源要求

使用するExpressCardモジュールの種類に関係なく、ExpressCardスタンダードに定義された電源が個々のスロットについて両方の種類に適用されます。ホスト・システムは、各ExpressCardスロットに3.3V、1.5V、およびAUXを供給する必要があります。ただし電圧は、スロットにExpressCardが挿入された後に印加されます。

ExpressCardコネクタには、カードの挿入をホストに通知するための2つのピン (CPPEおよびCPUSB) があります。ExpressCardモジュールがCPPEをグランドに接続すると、この信号の“ロー”レベルにより、PCI Expressをサポートするカードが挿入されたことがホストに示されます。CPUSBがグランドに接続された場合、ExpressCardモジュールはUSBインターフェイスをサポートしています。ExpressCardモジュールがPCI ExpressとUSBの両方をサポートしている場合は、CPPEとCPUSBの両方の信号をグランドに接続する必要があります。

カード挿入検出信号 (CPPEおよびCPUSB) に加えて、ホスト・システムは、システムの状態に基づいて、ExpressCardモジュールに電源を供給するタイミングを決定します。システムの状態は、3.3V、1.5V、およびAUX入力電圧レールの状態によって定義されます。説明を単純にするために、3.3Vおよび1.5Vレールを主電圧レールと定義し、AUXを補助電圧レールと定義します。

ExpressCardの電源スイッチ動作

ExpressCard電源スイッチはホストに存在し、その主な機能は、ExpressCardスロットにパワーを送信するタイミングを制御することです。ExpressCardパワー・スイッチは、カード挿入検出入力と、主電圧および補助電圧レールで定義されるホスト・システムの状態とに基づいて、タイミングを決定します。

ホスト電源コントローラの動作は、次の条件により定義されます。

1. ExpressCardパワー・スイッチの主電源と補助電源が両方ともオフの場合は、カードが挿入されているかどうかに関係なく、ExpressCardコネクタへのすべての電源供給がオフになります。
2. ExpressCardパワー・スイッチの主電源と補助電源が両方ともオンの場合は、ExpressCard電源スイッチがカードの挿入を検出した後でのみ、ExpressCardに電源が供給されます。
3. ExpressCardパワー・スイッチの入力で主電源 (+3.3Vまたは+1.5V) がオフであり、補助電源がオンである場合、ExpressCard電源スイッチは次のように動作します。
 - a. カード挿入入力がいずれも検出されていない(カードが挿入されていない)場合は、ExpressCardスロットに電源が供給されません。
 - b. システムがこの電源状態になった後でカードが挿入された場合は、ExpressCardスロットに電源が供給されません。
 - c. ExpressCardの主電源 (+3.3Vまたは+1.5V、あるいはその両方) がオフになる前にカードが挿入されている場合は、主電源 (+3.3Vと+1.5Vの両方) のみがオフになり、補助電源がExpressCardスロットに供給されます。

図18～図23に、ExpressCardの電源/論理入出力間のタイミング関係を示します。

ExpressCardのタイミング図

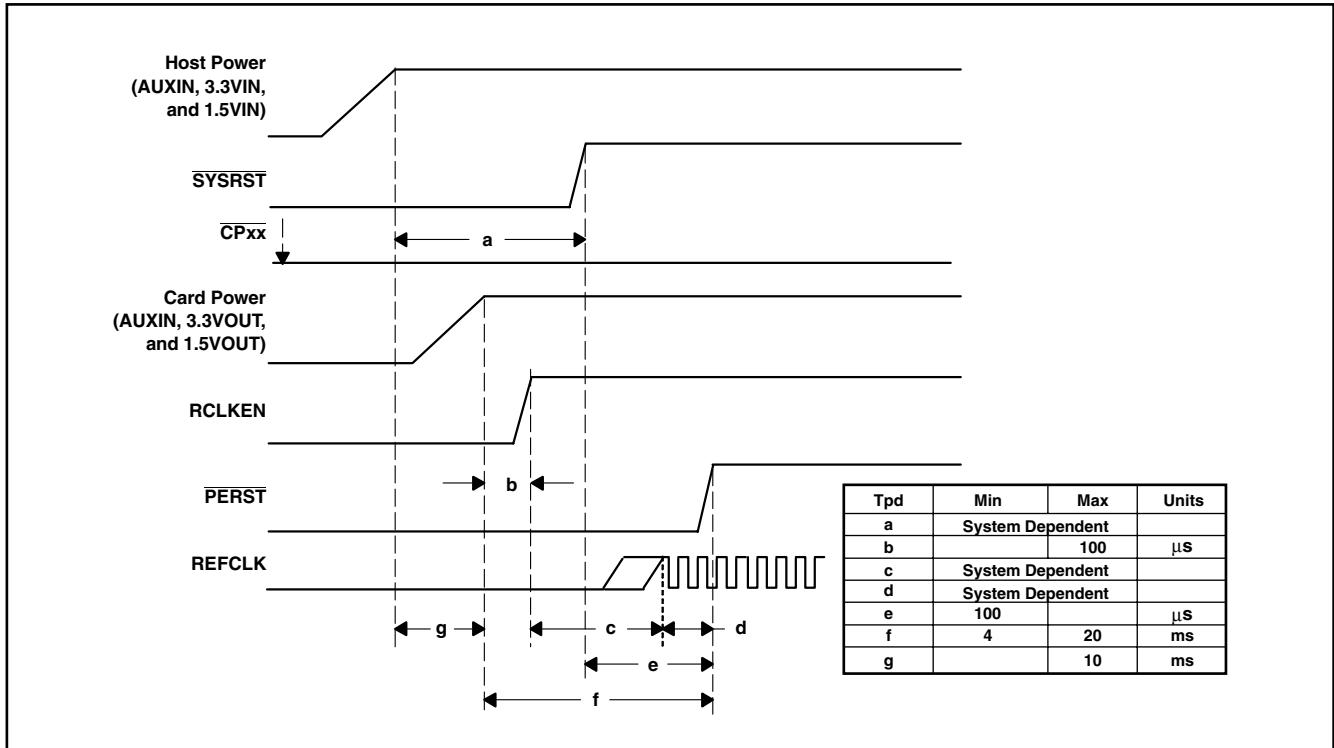


図 18. タイミング信号 – カードを挿入してからホスト電源をオン

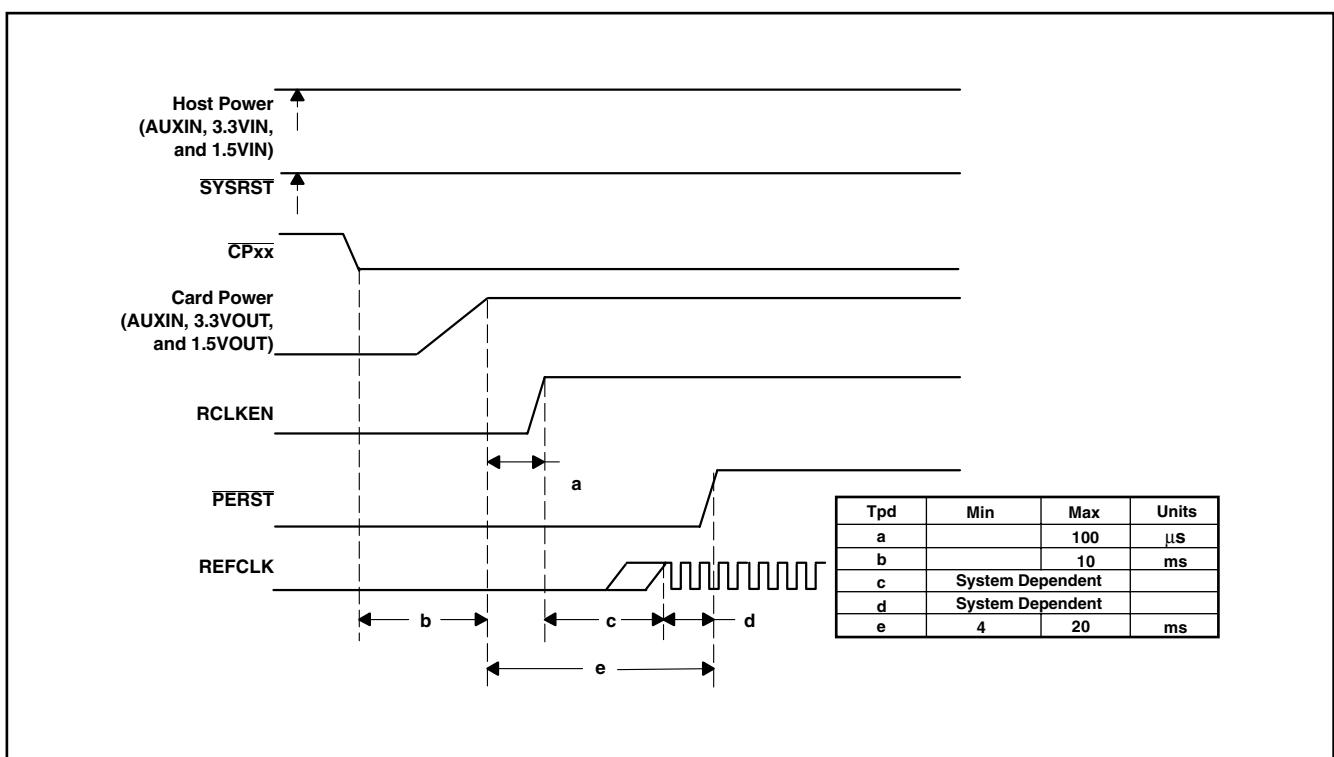
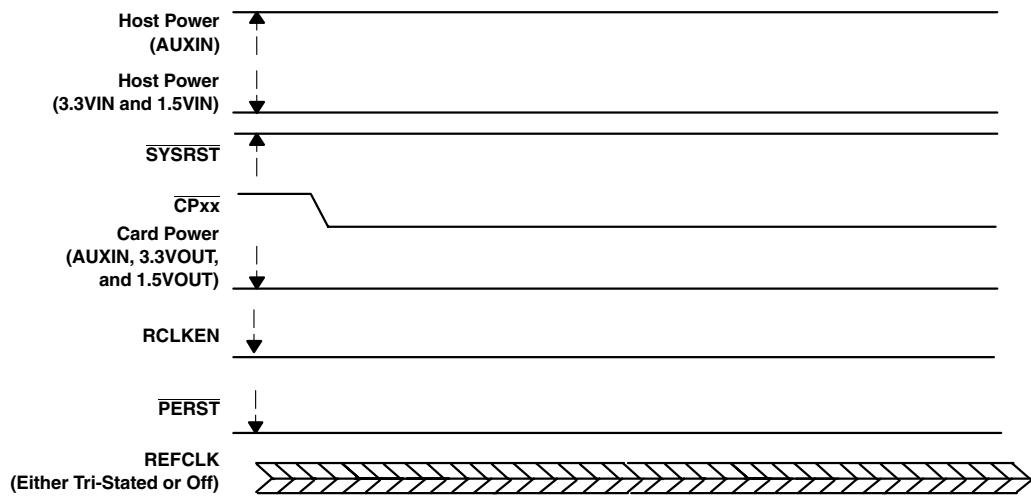


図 19. タイミング信号 – ホスト電源をオンにしてからカードを挿入



注：3.3Vおよび1.5Vを印加した後、電源スイッチは図18または図19のパワーアップ・シーケンスに従います。

図 20. タイミング信号 – ホスト電源がスタンバイ状態でカードを挿入

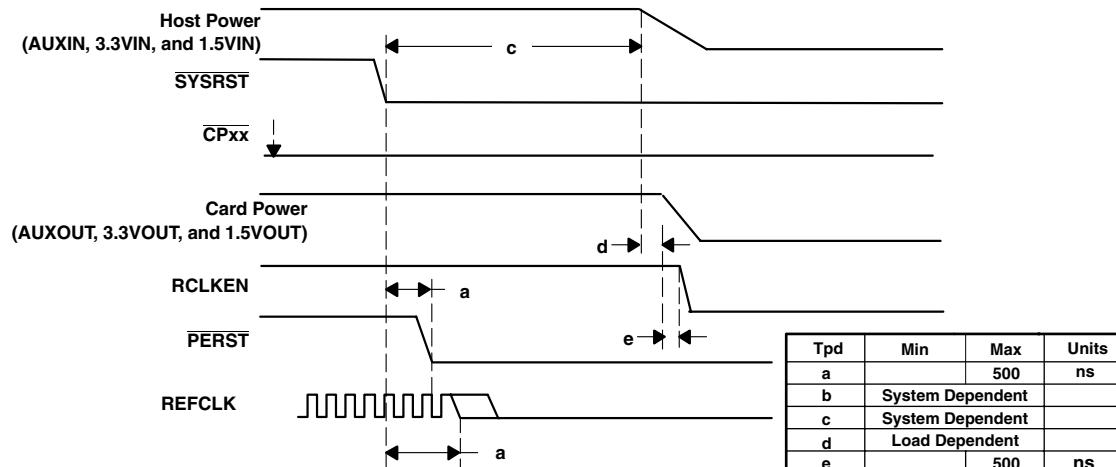


図 20. タイミング信号 – ホスト制御によるパワーダウン

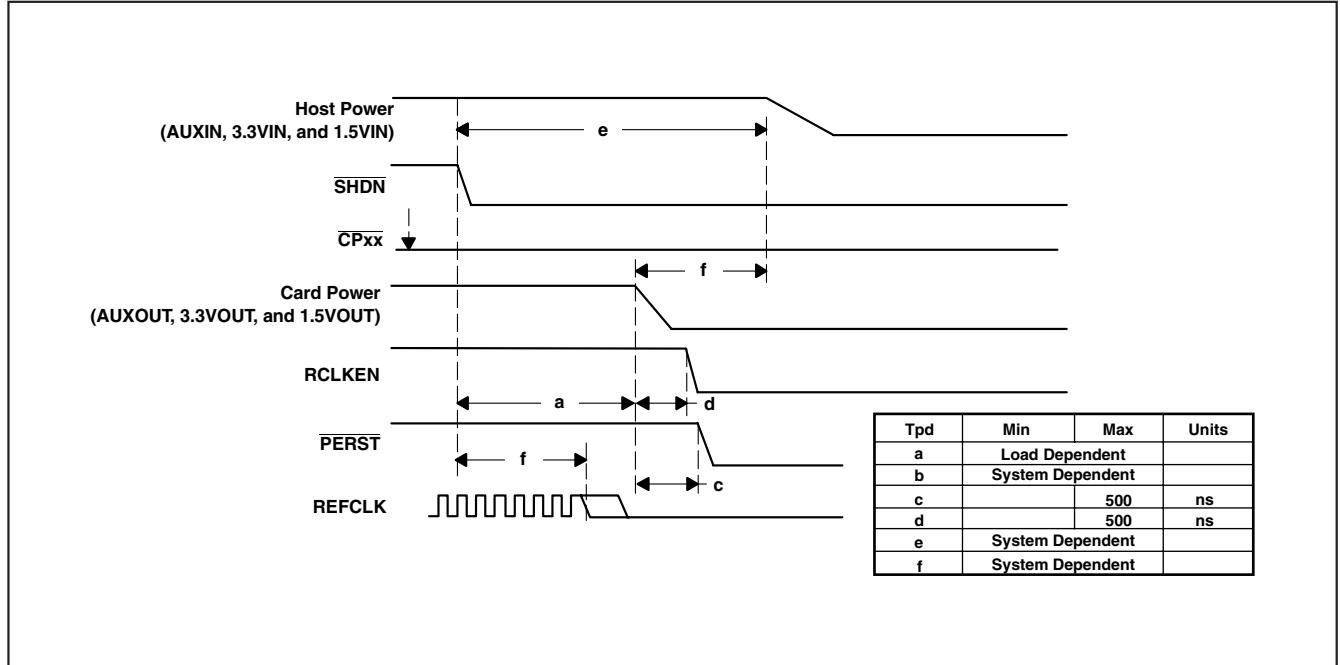


図 22. タイミング信号 – SHDNがアサートされたときの制御パワーダウン

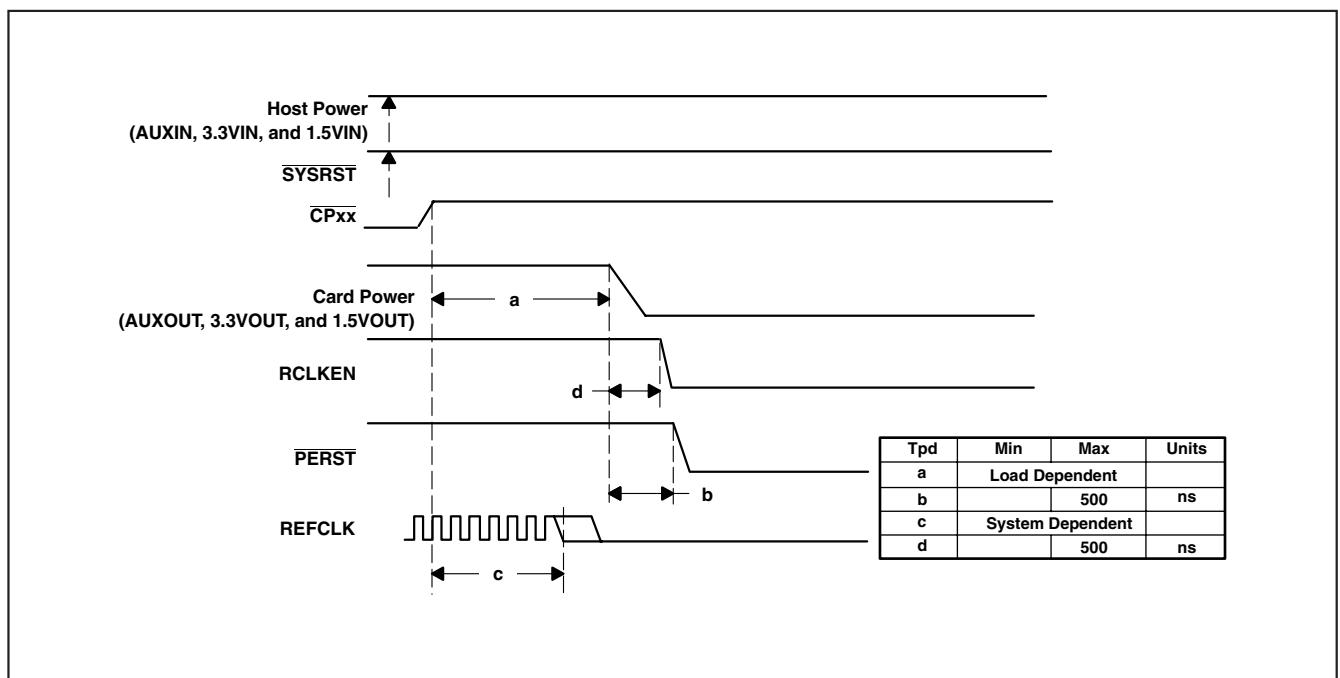


図 23. タイミング信号 – カードが突然取り出された場合

サーマル・パッド寸法図

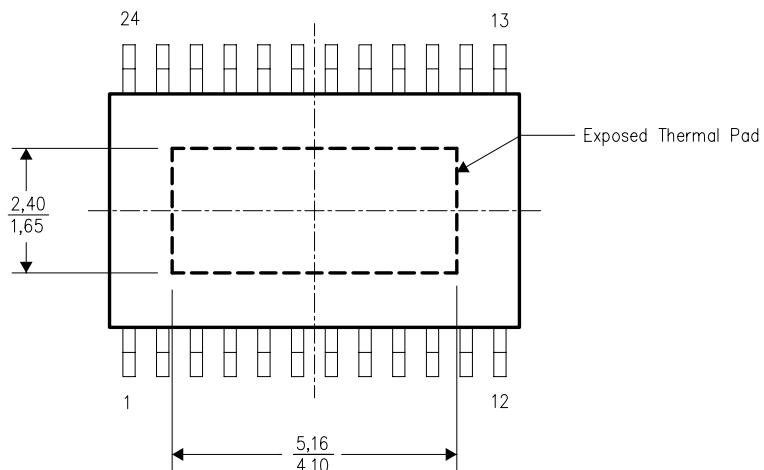
PWP (R-PDSO-G24)

熱情報

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドをプリント基板(PCB)に直接半田付けすると、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをグランド・プレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.comで入手できます。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



Top View

注：全ての線寸法の単位はミリメートルです。

4206332-10/A 12/04

サーマル・パッド寸法図

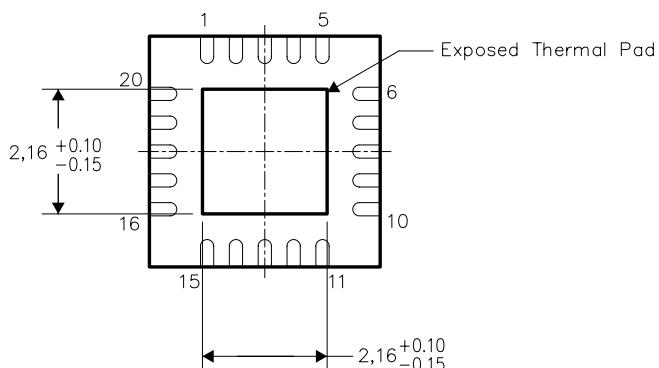
PGP (S-PQFP-N20)

熱特性について

このパッケージには、外部ヒートシンクに直接接続するよう設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板(PCB)をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマル・ビアを使用して、サーマル・パッドをグランド・プレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017) を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



Bottom View

注：全ての線寸法の単位はミリメートルです。

4206346-2/C 04/05

PACKAGE OPTION ADDENDUM

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS2231PW	ACTIVE	TSSOP	PW	20	70	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS2231PWG4	ACTIVE	TSSOP	PW	20	70	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS2231PWP	ACTIVE	HTSSOP	PWP	24	60	TBD	CU NIPDAU	Level-1-220C-UNLIM
TPS2231PWPR	ACTIVE	HTSSOP	PWP	24	2000	TBD	CU NIPDAU	Level-1-220C-UNLIM
TPS2231PWPRG4	ACTIVE	HTSSOP	PWP	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS2231PWR	PREVIEW	TSSOP	PW	20		Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS2231RGP	PREVIEW	QFN	RGP	20	91	TBD	Call TI	Call TI
TPS2231RGPR	ACTIVE	QFN	RGP	20	3000	TBD	CU NIPDAU	Level-2-220C-1 YEAR
TPS2231RGPT	ACTIVE	QFN	RGP	20	250	TBD	CU NIPDAU	Level-2-220C-1 YEAR
TPS2236DAP	ACTIVE	HTSSOP	DAP	32	46	TBD	CU NIPDAU	Level-2-220C-1 YEAR
TPS2236DAPG4	ACTIVE	HTSSOP	DAP	32	46	TBD	CU NIPDAU	Level-2-220C-1 YEAR
TPS2236DAPR	ACTIVE	HTSSOP	DAP	32	2000	TBD	CU NIPDAU	Level-2-220C-1 YEAR
TPS2236DAPRG4	ACTIVE	HTSSOP	DAP	32	2000	TBD	CU NIPDAU	Level-2-220C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE : 製品デバイスが新規設計用に推奨されています。

LIFEBUY : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE : TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD : Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS) : TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br) : TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

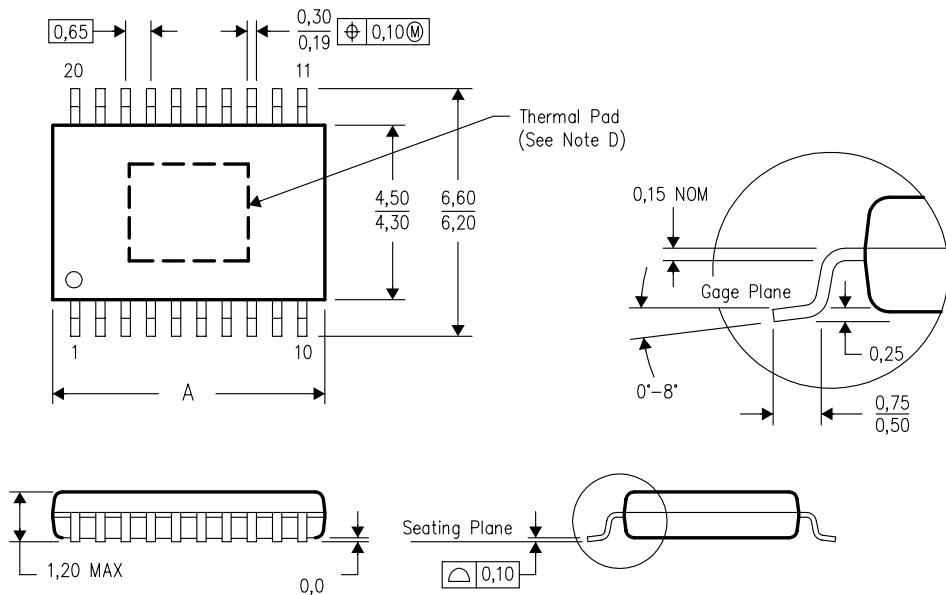
いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。

MECHANICAL DATA

PWP (R-PDSO-G**)

20 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



DIM \ PINS **	14	16	20	24	28
A MAX	5,10	5,10	6,60	7,90	9,80
A MIN	4,90	4,90	6,40	7,70	9,60

4073225/G 08

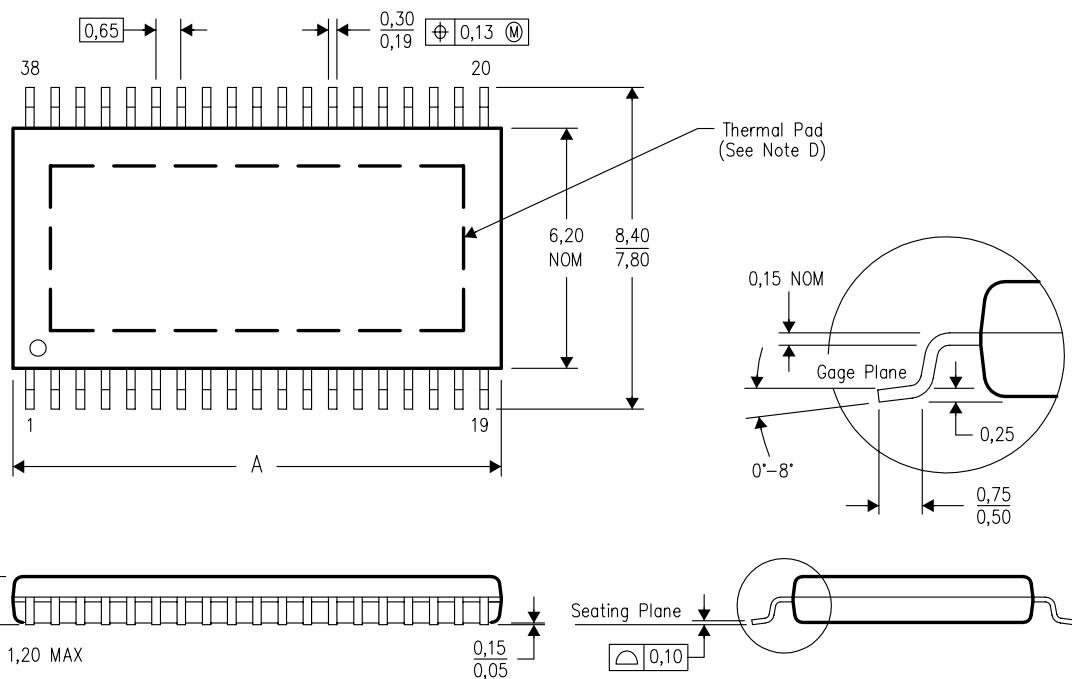
- 注：
- A. 全ての線寸法の単位はミリメートルです。
 - B. 図は予告なく変更することがあります。
 - C. 本体寸法にはバリや突起を含みません。
 - D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002) を参照してください。
このドキュメントはホームページwww.ti.comで入手できます。
 - E. JEDEC MO-153に適合しています。

MECHANICAL DATA

DAP (R-PDSO-G**)

38 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



PINS **\DIM	28	30	32	38
A MAX	9,80	11,10	11,10	12,60
A MIN	9,60	10,90	10,90	12,40

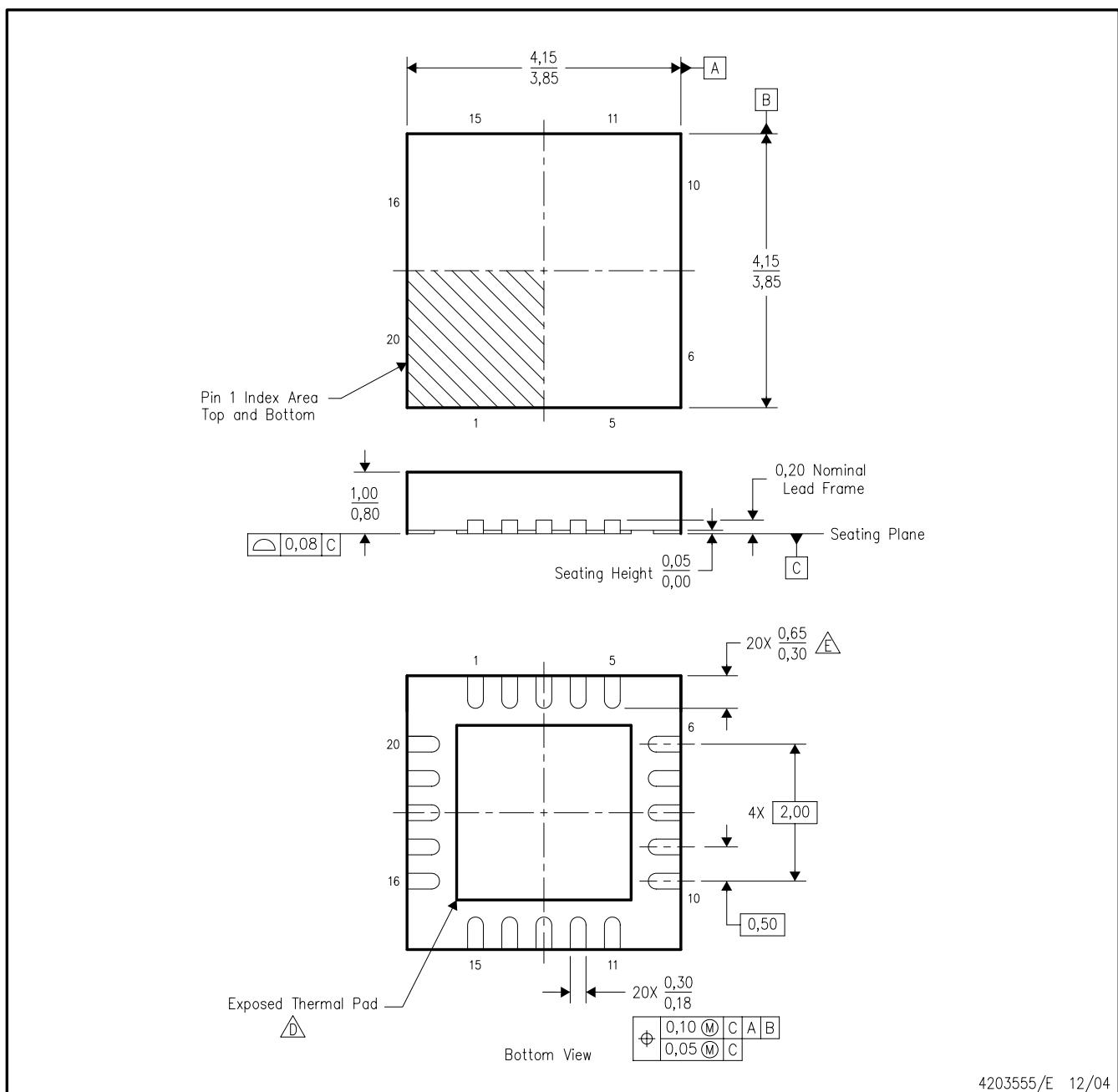
4073257/B 08/03

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法にはバリや突起を含みません。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、
 テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。
 このドキュメントはホームページwww.ti.comで入手できます。
 E. JEDEC MO-153に適合しています。

MECHANICAL DATA

RGP (S-PQFP-N20)

PLASTIC QUAD FLATPACK



4203555/E 12/04

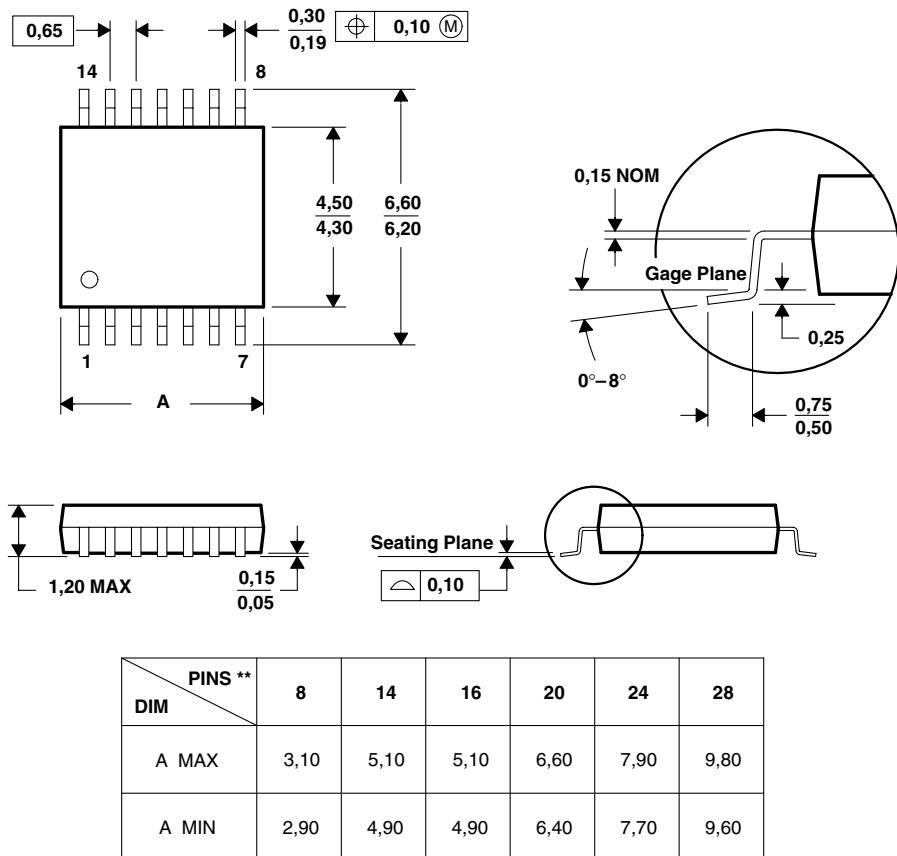
- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. QFN (Quad Flatpack No-Lead) パッケージ構成
 ▲ 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。
 露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。
 ▲ 公称リード長については、製品データシートに記載されているサーマル・パッド図を参照してください。

MECHANICAL DATA

PW (R-PDSO-G**)

14 PINS SHOWN

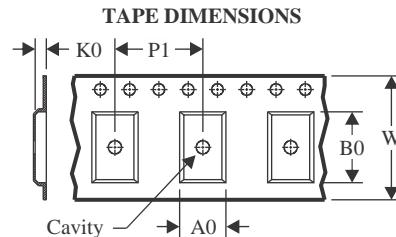
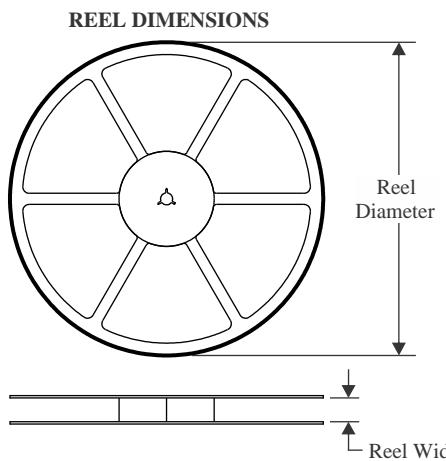
PLASTIC SMALL-OUTLINE PACKAGE



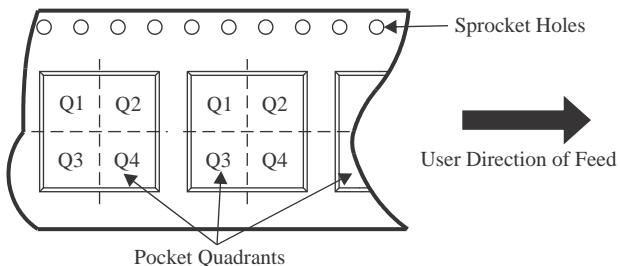
- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法には0,15以下のバリや突起を含みません。
 D. JEDEC MO-153に適合しています。

4040064/F 01/97

(SLVS536C_April 2005)

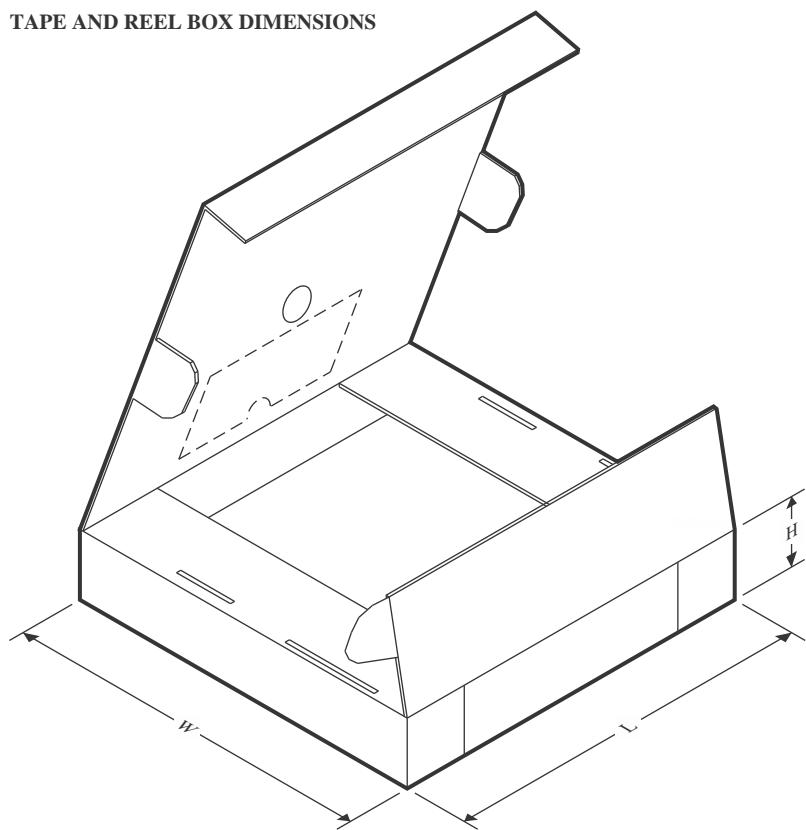
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

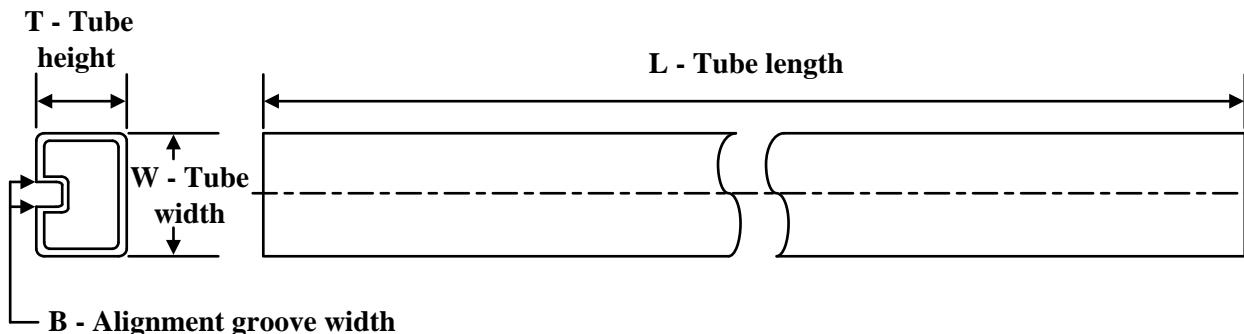
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2231MRGPR	QFN	RGP	20	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS2231MRGPR-2	QFN	RGP	20	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q1
TPS2231MRGPR-3	QFN	RGP	20	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS2231MRGPT-3	QFN	RGP	20	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS2231PWPR	HTSSOP	PWP	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TPS2231PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
TPS2231RGPR	QFN	RGP	20	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS2231RGPT	QFN	RGP	20	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2231MRGPR	QFN	RGP	20	3000	346.0	346.0	33.0
TPS2231MRGPR-2	QFN	RGP	20	3000	346.0	346.0	33.0
TPS2231MRGPR-3	QFN	RGP	20	3000	346.0	346.0	33.0
TPS2231RGPT-3	QFN	RGP	20	250	210.0	185.0	35.0
TPS2231PWPR	HTSSOP	PWP	24	2000	353.0	353.0	32.0
TPS2231PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
TPS2231RGPR	QFN	RGP	20	3000	346.0	346.0	33.0
TPS2231RGPT	QFN	RGP	20	250	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
TPS2231PW	PW	TSSOP	20	70	530	10.2	3600	3.5
TPS2231PW.A	PW	TSSOP	20	70	530	10.2	3600	3.5
TPS2231PWP	PWP	HTSSOP	24	60	530	10.2	3600	3.5
TPS2231PWP.A	PWP	HTSSOP	24	60	530	10.2	3600	3.5

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1)お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated