

TPS25981x 過渡過電流ブランキング タイマ搭載、2.7V ~ 16V、10A、6mΩ eFuse

1 特長

- 広い動作時入力電圧範囲: 2.7V ~ 16V
 - 絶対最大電圧 20V
- 低いオン抵抗の FET を内蔵: $R_{ON} = 6m\Omega$ (標準値)
- 高速過電圧保護
 - 調整可能な過電圧誤動作防止 (OVLO) 1.2 μ s (標準値) の応答時間
- 負荷電流監視出力 (ILM) を備えた過電流保護
 - サーキットブレーカ応答
 - 調整可能なスレッシュホールド (I_{LIM}) 1.5A ~ 11A
 - 精度: $\pm 10\%$ ($I_{LIM} > 5A$)
 - 可変の過渡ブランキング タイマ (ITIMER)、最大 $2 \times I_{LIM}$ のピーク電流を許容
 - 出力負荷電流監視精度: $\pm 10\%$ ($I_{OUT} \geq 3A$)
- 高速トリップ応答による短絡保護
 - 640ns の立ち上がり時間 (標準値)
 - 可変 ($2 \times I_{LIM}$) および固定のスレッシュホールド
- アクティブ High のイネーブル入力、低電圧誤動作防止 (UVLO) スレッシュホールドを設定可能
- アクティブ Low のイネーブル入力、低電圧誤動作防止 (OVLO) スレッシュホールドを設定可能
- 可変の出力スルー レート (dVdt) 制御
- ディスエーブル / オフ状態で逆電流ブロックするために外部 FET を駆動するオプション
- 過熱保護
- クイック出力放電
- デジタル出力
 - パワー グッド (PG) およびフォルト表示 (FLT)
- UL 2367 認定
 - ファイル番号 E115731
 - $R_{ILM} \geq 1.47k\Omega$
- IEC 62368-1 CB 認証
- 小さい占有面積: QFN 2mm \times 2mm (0.45mm ピッチ)

2 アプリケーション

- 光モジュール
- サーバー、PC マザーボード、アドオン カード
- エンタープライズ ルータ、データ センター スイッチ
- 産業用 PC
- UHDTV

3 説明

TPS25981xx デバイス ファミリの eFuse は、小さなパッケージに搭載され、高集積な回路保護および電力管理ソリューションです。このデバイスは、非常に少ない数の外付け部品で複数の保護モードを提供し、過負荷、短絡、電圧サージ、および過剰な突入電流に対して堅牢な保護を行います。

出力のスルーレートと突入電流は、1 個の外付けコンデンサを使用して調整できます。入力が過電圧スレッシュホールド (調整可能) を上回った場合は、出力を遮断することにより負荷を入力過電圧状態から保護します。このデバイスは、電流をアクティブに制限する (起動中の場合)、または回路を遮断する (定常状態の場合) ことにより、出力過負荷に対応します。過電流保護スレッシュホールドおよび過渡過電流ブランキング タイマは、ユーザーが調整可能です。電流制限制御ピンは、アナログ負荷電流モニタとしても機能します。

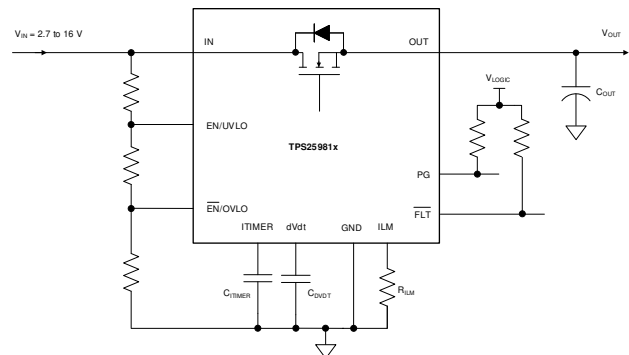
これらのデバイスは、2mm \times 2mm、10 ピンの HotRod™ QFN パッケージで供給され、放熱性能の向上とシステムのフットプリント削減に役立ちます。

これらのデバイスは、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の接合部温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS25981	RPW (VQFN-HR, 10)	2.00mm \times 2.00mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ \times 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長	1	7.3 機能説明	20
2 アプリケーション	1	7.4 デバイスの機能モード	30
3 説明	1	8 アプリケーションと実装	31
4 デバイス比較表	3	8.1 使用上の注意	31
5 ピン構成および機能	4	8.2 代表的なアプリケーション	34
6 仕様	6	8.3 電源に関する推奨事項	38
6.1 絶対最大定格.....	6	8.4 レイアウト	40
6.2 ESD 定格.....	6	9 デバイスおよびドキュメントのサポート	42
6.3 推奨動作条件.....	6	9.1 ドキュメントのサポート.....	42
6.4 熱に関する情報.....	7	9.2 ドキュメントの更新通知を受け取る方法.....	42
6.5 電気的特性.....	7	9.3 サポート・リソース.....	42
6.6 タイミング要件.....	9	9.4 商標.....	42
6.7 スイッチング特性.....	9	9.5 静電気放電に関する注意事項.....	42
6.8 代表的特性.....	11	9.6 用語集.....	42
7 詳細説明	18	10 改訂履歴	42
7.1 概要.....	18	11 メカニカル、パッケージ、および注文情報	44
7.2 機能ブロック図.....	19		

4 デバイス比較表

部品番号	過電圧応答	過電流応答	逆電流ブロック FET ドライバ	故障への応答
TPS259814ARPW	調整可能な OVLO	回路ブレーカ	なし	自動再試行
TPS259814LRPW				ラッチオフ
TPS259813ARPW			あり	自動再試行
TPS259813LRPW				ラッチオフ

5 ピン構成および機能

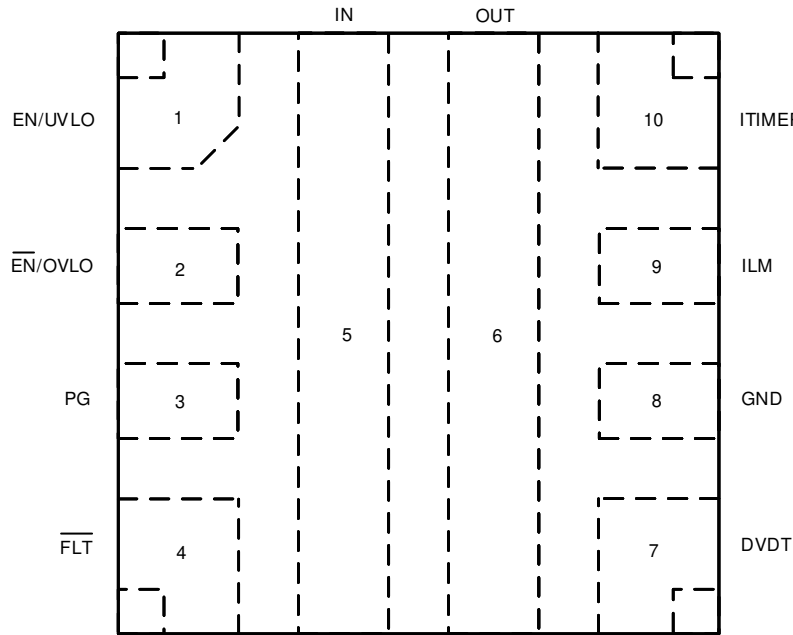


図 5-1. TPS25981xx RPW パッケージ、10 ピン QFN 上面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
EN/UVLO	1	アナログ 入力	デバイスに対してアクティブ "High" を有効にします。入力電源と GND の間のこのピンで抵抗デバイダを使用することで、低電圧誤動作防止スレッシュホールドを調整できます。フローティングのままにしないでください。詳細については、「 低電圧誤動作防止 (UVLO および UVP) 」も参照してください。
EN/OVLO	2	アナログ 入力	電源と GND の間のこのピンで抵抗デバイダを使用して、過電圧誤動作防止スレッシュホールドを調整できます。このピンは、デバイスのロー イネーブルとしても使用できます。フローティングのままにしないでください。詳細については、「 過電圧誤動作防止 (OVLO) 」も参照してください。
PG	3	デジタル 出力	パワー グッド表示。 このピンはオープンドレイン信号で、パワー FET が完全にオンになって電力を供給する準備ができると High にアサートされます。詳細については、「 パワー グッド (PG) 」も参照してください。
FLT	4	デジタル 出力	アクティブ "Low" の故障イベント インジケータ。このピンは、故障が検出されると "Low" にプルダウンされるオープンドレイン信号です。詳細については、「 フォルト応答および表示 (FLT) 」も参照してください。
IN	5	電源	電源入力
OUT	6	電源	電力出力
DVDT	7	アナログ 出力	このピンと GND との間にコンデンサを接続することで、出力ターンオンのスルーレートが設定されます。ターンオン スルーレートを最速にするには、このピンをフローティングのままにしてください。詳細については、「 スルーレート (dVdt) および突入電流制御 」も参照してください。 TPS259813x バリエーションのみ、このピンを使用して外部 FET を駆動し、逆電流ブロックを実装することもできます。詳細については、「 逆電流ブロック FET ドライバ 」も参照してください。
GND	8	グランド	このピンはすべての内部回路のグランドリファレンスであり、システムの GND に接続する必要があります。
ILM	9	アナログ 出力	このピンは出力電流の制限と監視に使用されるデュアル機能ピンです。このピンと GND との間に外付け抵抗を接続することにより、起動時および定常状態時の過電流保護スレッシュホールドが設定されます。このピン電圧は、出力負荷電流の監視信号としても使用できます。フローティングのままにしないでください。詳細については、「 定常状態時のサーキットブレーカ 」または「 起動時のアクティブ電流制限 」も参照してください。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
ITIMER	10	アナログ 出力	このピンと GND との間のコンデンサにより、定常状態時には、デバイスの過電流応答が動作する前に、出力電流が電流制限を一時的に超えることができる (ただし、高速トリップ スレッショルドより低い) 過電流ブランキング間隔が設定されます。過電流イベントへの応答を最速にするには、このピンをオープンのままにします。詳細については、「 定常状態時のサーキット ブレーカ 」も参照してください。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		ピン	最小値	最大値	単位
V _{IN}	最大入力電圧範囲、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	IN	-0.3	20	V
V _{OUT}	最大出力電圧範囲、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	OUT	-0.3	V _{IN} + 0.3	
V _{OUT,PLS}	最小出力電圧パルス (1 μs 未満)	OUT	-0.8		
V _{EN/UVLO}	Enable ピンの最大電圧範囲	EN/UVLO	-0.3	6.5	V
V _{OV}	$\overline{\text{EN}}$ /OVLO ピンの最大電圧範囲	$\overline{\text{EN}}$ /OVLO	-0.3	6.5	V
V _{dVdT}	dVdT ピンの最大電圧範囲	dVdT	内部的に制限		V
V _{ITIMER}	ITIMER ピンの最大電圧範囲	ITIMER	内部で制限		V
V _{PG}	PG ピンの最大電圧範囲	PG	-0.3	6.5	V
V _{FLT}	FLT ピンの最大電圧範囲	FLT	-0.3	6.5	V
V _{ILM}	ILM ピンの最大電圧範囲	ILM	内部で制限		V
I _{MAX}	最大連続スイッチ電流	IN から OUT	内部で制限		A
T _J	接合部温度		内部で制限		$^{\circ}\text{C}$
T _{LEAD}	最大リード温度			300	$^{\circ}\text{C}$
T _{stg}	保存温度		-65	150	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V
		荷電デバイスモデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	± 500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V _{IN}	入力電圧範囲	IN	2.7	16	V
V _{OUT}	出力電圧範囲	OUT		V _{IN}	V
V _{EN/UVLO}	EN/UVLO ピンの電圧範囲	EN/UVLO		5 ⁽¹⁾	V
V _{OV}	$\overline{\text{EN}}$ /OVLO ピンの電圧範囲	$\overline{\text{EN}}$ /OVLO	0.5	1.5	V
V _{dVdT}	dVdT ピン コンデンサ電圧定格	dVdT	V _{IN} + 5V		V
V _{FLT}	FLT ピンの電圧範囲	FLT		5	V
V _{PG}	PG ピンの電圧範囲	PG		5	V
V _{ITIMER}	ITIMER ピンのコンデンサの電圧定格	ITIMER	4		V
R _{ILM}	GND への ILM ピン抵抗	ILM	600	4400	Ω
I _{MAX}	連続スイッチ電流、 $T_J \leq 125^{\circ}\text{C}$	IN から OUT		10	A

6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
T_J	接合部温度		-40	125	°C

- (1) 電源電圧が 5V 未満の場合は、EN ピンを IN に直接プルアップしても問題ありません。電源電圧が 5V を超える場合は、最小プルアップ電圧が 350k Ω の抵抗デバイダを使用することを推奨します。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS25981xx		単位
		RPW (QFN)		
		10 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	49.7 ⁽²⁾		°C/W
		71.8 ⁽³⁾		°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	15.7		°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.1 ⁽²⁾		°C/W
	接合部から上面への特性パラメータ	1.3 ⁽³⁾		°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	23 ⁽²⁾		°C/W
		14.5 ⁽³⁾		°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
(2) デバイスの下に 8 つのサーマル ビアを持つカスタム 4 層 PCB (2s2p) に実装したデバイスで行ったシミュレーションに基づく
(3) デバイスの下にサーマル ビアを持たない JEDEC 4 層 PCB (2s2p) に実装したデバイスで行ったシミュレーションに基づく

6.5 電気的特性

(ほかの注記がない場合のテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ 、OUT = オープン、 $V_{EN/UVLO} = 2\text{V}$ 、 $V_{OVLO} = 0\text{V}$ 、 $R_{ILM} = 611\Omega$ 、dVdT = オープン、ITIMER = オープン、FLT = オープン、PG = オープン。すべての電圧の基準は GND。

パラメータとテスト条件		最小値	標準値	最大値	単位
入力電源 (IN)					
$I_{Q(ON)}$	IN 電源静止電流		417	610	μA
$I_{Q(OFF)}$	IN 電源 OFF 状態電流 ($V_{SD(F)} < V_{EN} < V_{UVLO(R)}$)		68	90	μA
I_{SD}	IN 電源シャットダウン電流 ($V_{EN} < V_{SD(F)}$)		3	25	μA
$V_{UVP(R)}$	IN 電源 UVP 立ち上がりスレッショルド	2.44	2.53	2.64	V
$V_{UVP(F)}$	IN 電源 UVP 立ち下がりスレッショルド	2.35	2.42	2.55	V
出力負荷電流モニタ (ILM)					
G_{IMON}	アナログ負荷電流のモニタ ゲイン ($I_{MON} : I_{OUT}$)、 $I_{OUT} = 1.5\text{A}$ 、 $I_{OUT} < I_{LIM}$	82.9	95.3	107.6	$\mu\text{A/A}$
	アナログ負荷電流のモニタ ゲイン ($I_{MON} : I_{OUT}$)、 $I_{OUT} = 3\text{A}$ 、 $I_{OUT} < I_{LIM}$	87	95.3	104.5	$\mu\text{A/A}$
	アナログ負荷電流のモニタ ゲイン ($I_{MON} : I_{OUT}$)、 $I_{OUT} = 4.5\text{A}$ 、 $I_{OUT} < I_{LIM}$	87.6	95.3	103.1	$\mu\text{A/A}$
	アナログ負荷電流のモニタ ゲイン ($I_{MON} : I_{OUT}$)、 $I_{OUT} = 8\text{A}$ 、 $I_{OUT} < I_{LIM}$	87.7	95.3	102.6	$\mu\text{A/A}$
	アナログ負荷電流のモニタ ゲイン ($I_{MON} : I_{OUT}$)、 $I_{OUT} = 10\text{A}$ 、 $I_{OUT} < I_{LIM}$	87.8	95.3	102.4	$\mu\text{A/A}$
過電流保護 (OUT)					

6.5 電気的特性 (続き)

(ほかの注記がない場合のテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $\text{OUT} = \text{オープン}$ 、 $V_{EN/UVLO} = 2\text{V}$ 、 $V_{OVLO} = 0\text{V}$ 、 $R_{ILM} = 611\Omega$ 、 $dVdT = \text{オープン}$ 、 $\text{ITIMER} = \text{オープン}$ 、 $\text{FLT} = \text{オープン}$ 、 $\text{PG} = \text{オープン}$ 。すべての電圧の基準は GND。

パラメータとテスト条件		最小値	標準値	最大値	単位
I_{LIM}	過電流スレッシュヨルド、 $R_{ILM} = 3320\Omega$	1.72	1.99	2.26	A
	過電流スレッシュヨルド、 $R_{ILM} = 2212\Omega$	2.64	2.98	3.32	A
	過電流スレッシュヨルド、 $R_{ILM} = 1102\text{k}\Omega$	5.43	5.98	6.52	A
	過電流スレッシュヨルド、 $R_{ILM} = 750\Omega$	7.95	8.73	9.52	A
	過電流スレッシュヨルド、 $R_{ILM} = 611\Omega$	9.8	10.76	11.73	A
I_{SPFLT}	サーキットブレーカのスレッシュヨルド、ILM ピン オープン (単一障害点)			0.1	A
I_{SPFLT}	サーキットブレーカのスレッシュヨルド、ILM ピンを GND に短絡 (単一障害点)		2.24	3.3	A
I_{FT}	固定高速トリップの電流スレッシュヨルド		39.5		A
I_{SCGain}	スケーラブルな高速トリップのスレッシュヨルド (I_{SC}): I_{LIM} 比	170	193	242	%
V_{FB}	電流制限フォールドバックを終了するための V_{OUT} スレッシュヨルド	1.55	1.91	2.23	V
オン抵抗 (IN - OUT)					
R_{ON}	$2.7 \leq V_{IN} = 4\text{V}$ 、 $I_{OUT} = 3\text{A}$ 、 $T_J = 25^{\circ}\text{C}$		6.07		mΩ
	$4 < V_{IN} = 16\text{V}$ 、 $I_{OUT} = 3\text{A}$ 、 $T_J = 25^{\circ}\text{C}$		5.81		mΩ
	$2.7 \leq V_{IN} \leq 16\text{V}$ 、 $I_{OUT} = 3\text{A}$ 、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$			8.4	mΩ
イネーブル / 低電圧誤動作防止 (EN/UVLO)					
$V_{UVLO(R)}$	EN/UVLO 立ち上がりスレッシュヨルド	1.176	1.20	1.224	V
$V_{UVLO(F)}$	EN/UVLO 立ち下がりスレッシュヨルド	1.073	1.09	1.116	V
$V_{SD(F)}$	最小のシャットダウン電流のための EN/UVLO 立ち下がりスレッシュヨルド	0.45	0.75		V
I_{ENLKG}	EN/UVLO ピンのリーク電流	-0.1		0.1	μA
過電圧誤動作防止 (EN/OVLO)					
$V_{OV(R)}$	OVLO 立ち上がりスレッシュヨルド	1.176	1.20	1.224	V
$V_{OV(F)}$	OVLO 立ち下がりスレッシュヨルド	1.074	1.09	1.116	V
I_{OVLKG}	OVLO ピンのリーク電流 ($0.5\text{V} < V_{OVLO} < 1.5\text{V}$)	-0.1		0.1	μA
過電流フォルト タイマ (ITIMER)					
I_{ITIMER}	ITIMER ピン内部放電電流、 $I_{OUT} > I_{LIM}$	1.25	2	2.72	μA
R_{ITIMER}	ITIMER ピン内部プルアップ抵抗		15.4		kΩ
V_{INT}	ITIMER ピン内部プルアップ電圧	2.1	2.57	2.74	V
$V_{ITIMER(F)}$	ITIMER コンパレータ スレッシュヨルド、 $I_{OUT} > I_{LIM}$	0.6	1.06	1.37	V
ΔV_{ITIMER}	ITIMER 放電差動電圧スレッシュヨルド、 $I_{OUT} > I_{LIM}$	1.28	1.51	1.74	V
パワー グッド表示 (PG)					
V_{PGD}	デアサート時の PG ピン電圧。 $V_{IN} < V_{UVP(F)}$ 、 $V_{EN} < V_{SD(F)}$ 、弱プルアップ ($I_{PG} = 26\mu\text{A}$)		0.66	0.80	V
	デアサート時の PG ピン電圧。 $V_{IN} < V_{UVP(F)}$ 、 $V_{EN} < V_{SD(F)}$ 、強プルアップ ($I_{PG} = 242\mu\text{A}$)		0.78	0.90	V
	デアサート時の PG ピン電圧、 $V_{IN} > V_{UVP(R)}$		0	0.60	V
I_{PGLKG}	PG アサート時の PG ピンリーク電流			3	μA
R_{FLTB}	FLT ピン内部プルダウン抵抗		12.57		Ω
フォルト通知 (FLT)					
I_{FLTLKG}	FLT ピンのリーク電流	-1		1	μA

6.5 電気的特性 (続き)

(ほかの注記がない場合のテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $\text{OUT} = \text{オープン}$ 、 $V_{EN/UVLO} = 2\text{V}$ 、 $V_{OVLO} = 0\text{V}$ 、 $R_{ILM} = 611\Omega$ 、 $dVdt = \text{オープン}$ 、 $I_{TIMER} = \text{オープン}$ 、 $\text{FLT} = \text{オープン}$ 、 $\text{PG} = \text{オープン}$ 。すべての電圧の基準は GND。

パラメータとテスト条件		最小値	標準値	最大値	単位
過熱保護 (OTP)					
TSD	サーマル シャットダウンの立ち上がりスレッシュホールド、 T_J		154		$^{\circ}\text{C}$
TSD _{HYS}	サーマル シャットダウン ヒステリシス、 T_J		10		$^{\circ}\text{C}$
DVDT					
I _{dVdt}	dVdt ピンの内部充電電流	1.4	3.45	5.7	μA
クイック出力放電 (OUT)					
R _{QOD}	クイック出力放電抵抗、 $V_{EN} < V_{UVLO(F)}$	455	488	530	Ω

6.6 タイミング要件

パラメータ	テスト条件	最小値	標準値	最大値	単位
t _{OVLO}	過電圧誤動作防止の応答時間		1.2		μs
t _{CB}	サーキットブレーカの応答時間		1.8		μs
t _{SC}	短絡応答時間		640		ns
t _{FT}	固定高速トリップ応答時間		640		ns
t _{TSD,RST}	サーマル シャットダウン 自動再試行間隔		105		ms
t _{PGA}	PG アサート時のグリッチ除去時間		14		μs
t _{PGD}	PG デアサート時のグリッチ除去時間		14		μs

6.7 スイッチング特性

出力の立ち上がりスルー レートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないことが保証されます。立ち上がりスルー レートは、dVdt ピンとグラウンドの間に容量を追加することで調整できます。C_{dVdt} が大きくなると、立ち上がりスルー レート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップシーケンスに対してのみ有効です。標準値は $T_J = 25^{\circ}\text{C}$ 時に測定 (特に記述のない限り)。R_L = 100 Ω 、C_{OUT} = 1 μF 。

パラメータ		V _{IN}	C _{dVdt} = Open	C _{dVdt} = 1800pF	C _{dVdt} = 3300pF	単位
SR _{ON}	出力立ち上がりスルー レート	2.7V	8.19	1.30	0.78	V/ms
		5V	11.28	1.42	0.84	
		12V	19.71	1.68	0.98	
t _{D,ON}	ターンオン遅延	2.7V	0.14	0.46	0.70	ms
		5V	0.14	0.60	0.96	
		12V	0.14	0.93	1.57	
t _R	立ち上がり時間	2.7V	0.26	1.66	2.77	ms
		5V	0.36	2.82	4.78	
		12V	0.49	5.74	9.84	
t _{ON}	ターンオン時間	2.7V	0.40	2.11	3.47	ms
		5V	0.50	3.42	5.74	
		12V	0.63	6.67	11.41	

6.7 スイッチング特性 (続き)

出力の立ち上がりスルー レートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないことが保証されます。立ち上がりスルー レートは、 dV/dt ピンとグラウンドの間に容量を追加することで調整できます。 C_{dVdt} が大きくなると、立ち上がりスルー レート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は $T_J = 25^\circ\text{C}$ 時に測定 (特に記述のない限り)。 $R_L = 100\Omega$ 、 $C_{OUT} = 1\mu\text{F}$ 。

パラメータ		V_{IN}	$C_{dVdt} = \text{Open}$	$C_{dVdt} = 1800\text{pF}$	$C_{dVdt} = 3300\text{pF}$	単位
$t_{D,OFF}$	ターンオフ遅延時間	2.7V	24.90	24.90	24.90	μs
		5V	21.10	21.10	21.10	
		12V	18.80	18.80	18.80	

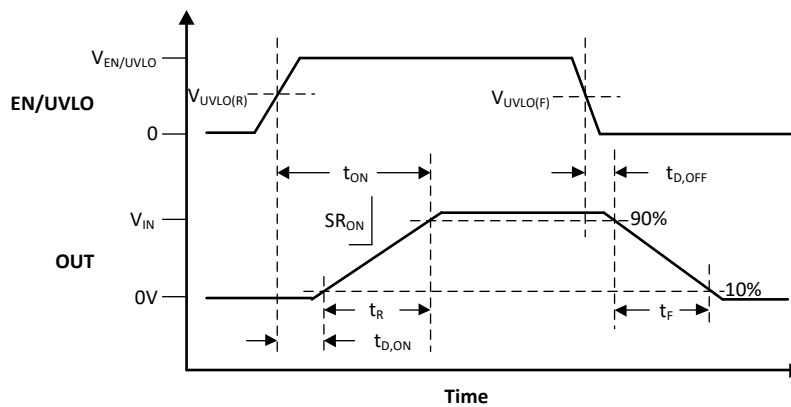


図 6-1. TPS25981xx のスイッチング時間

6.8 代表的特性

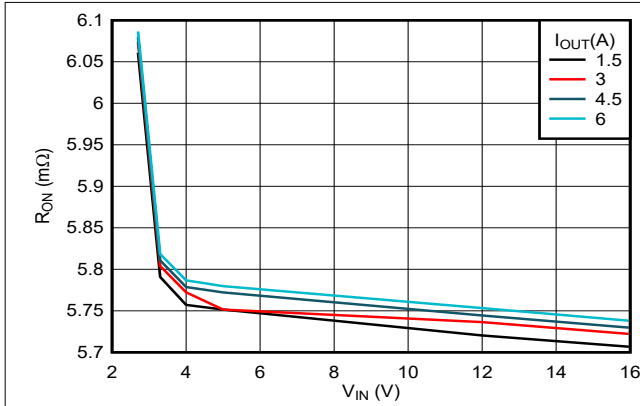


図 6-2. オン抵抗と電源電圧との関係 ($T_A = 25^\circ\text{C}$)

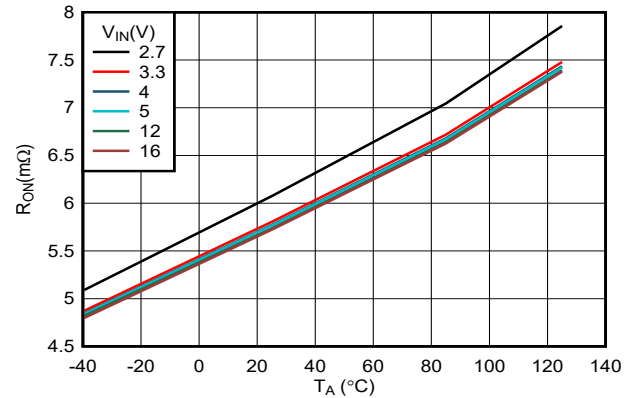


図 6-3. オン抵抗と温度との関係 ($I_{\text{OUT}} = 3\text{A}$)

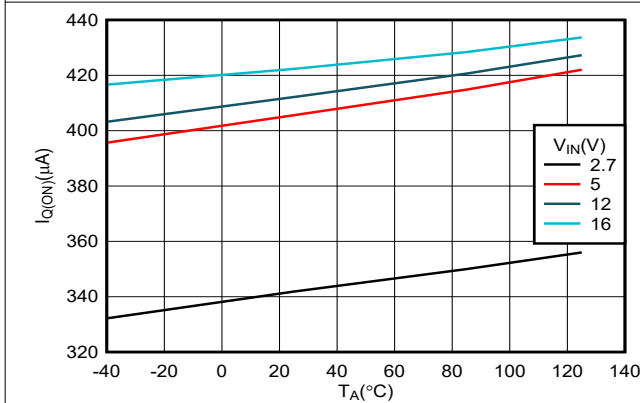


図 6-4. IN 静止電流と温度との関係

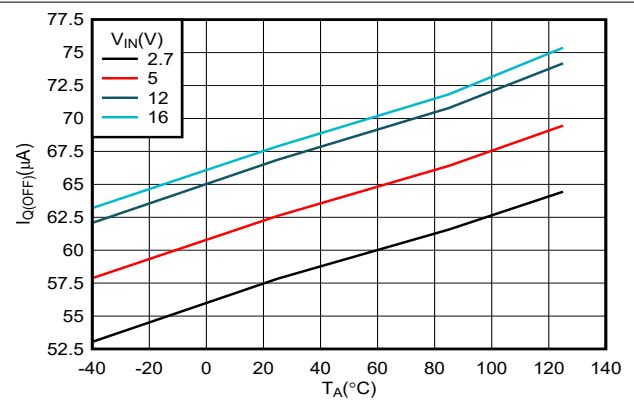


図 6-5. IN オフ状態 (UVLO) 電流と温度との関係

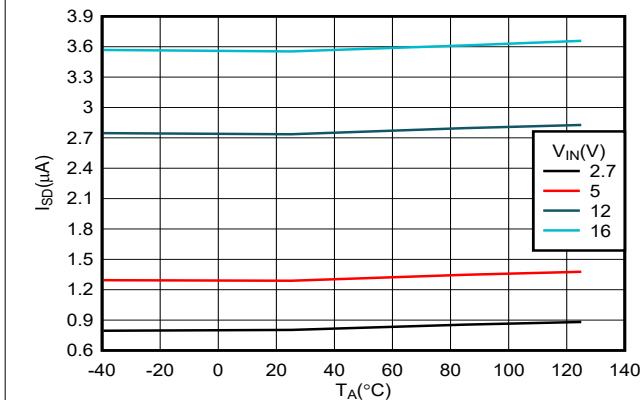


図 6-6. IN シャットダウン電流と温度との関係

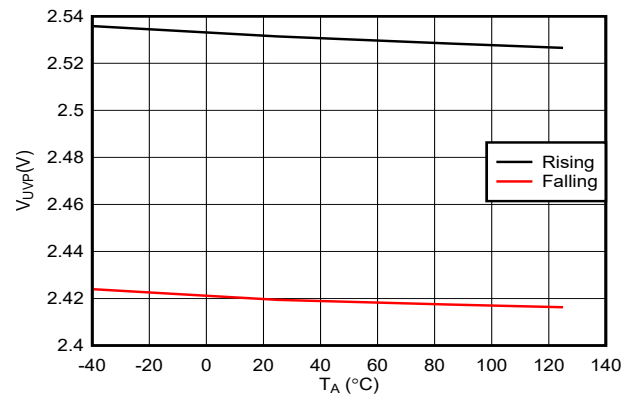


図 6-7. IN 低電圧スレッシュホールドと温度との関係

6.8 代表的特性 (続き)

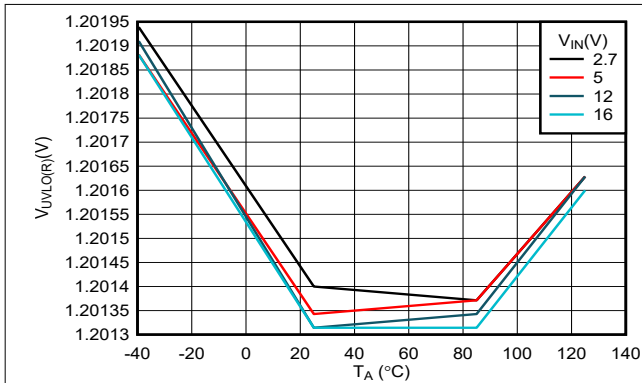


図 6-8. EN/UVLO 立ち上がりスレッシュホールドと温度の関係

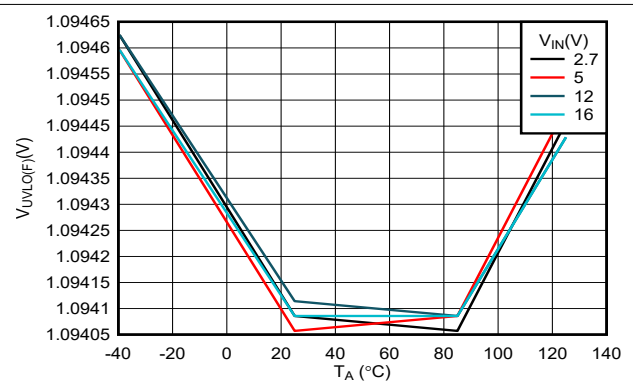


図 6-9. EN/UVLO 立ち下がりスレッシュホールドと温度との関係

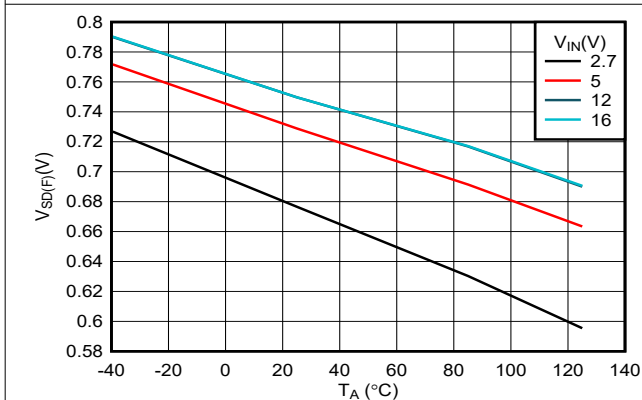


図 6-10. EN/UVLO シャットダウン立ち下がりスレッシュホールドと温度との関係

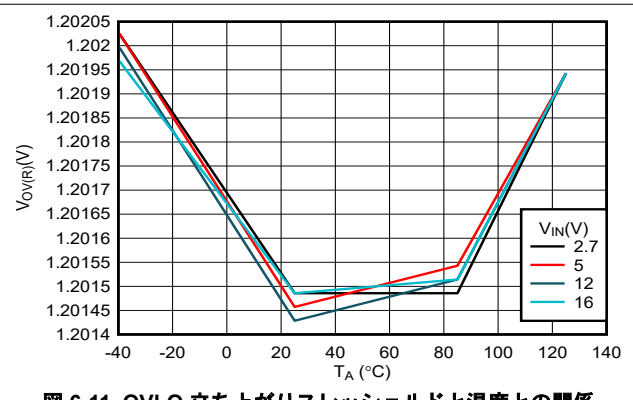


図 6-11. OVLO 立ち上がりスレッシュホールドと温度との関係

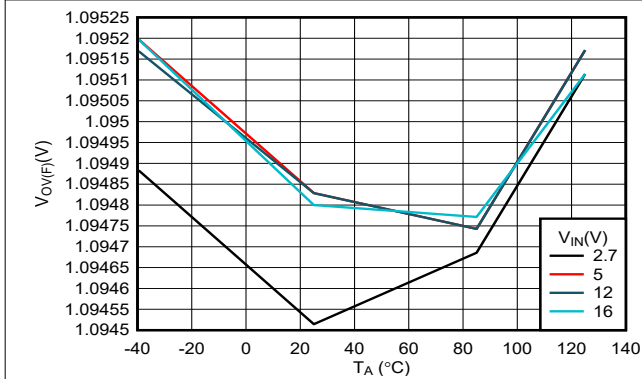


図 6-12. OVLO 立ち下がりスレッシュホールドと温度との関係

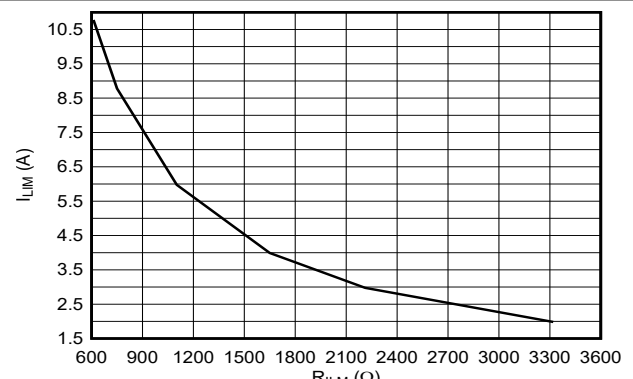


図 6-13. 過電流スレッシュホールドと ILM 抵抗との関係

6.8 代表的特性 (続き)

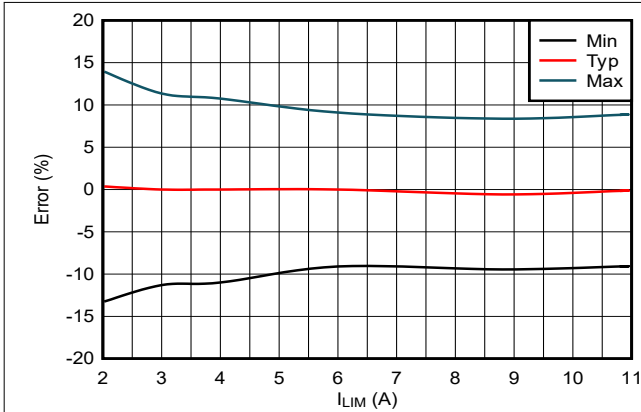


図 6-14. 過電流スレッシュールド精度 (プロセス、電圧、温度全体)

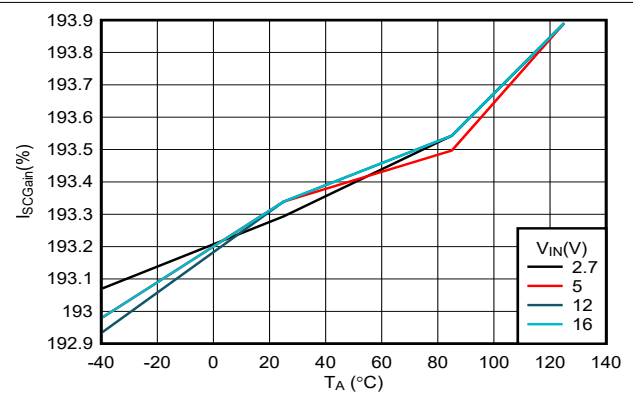


図 6-15. スケーラブルな高速トリップスレッシュールド: 電流制限スレッシュールド (I_{LIM}) 比と温度との関係

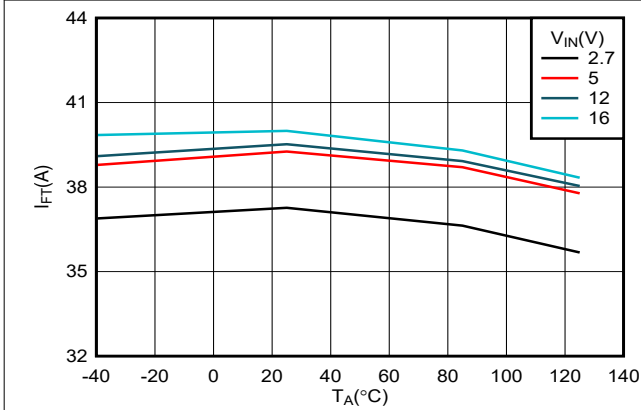


図 6-16. 固定高速トリップスレッシュールドと温度との関係

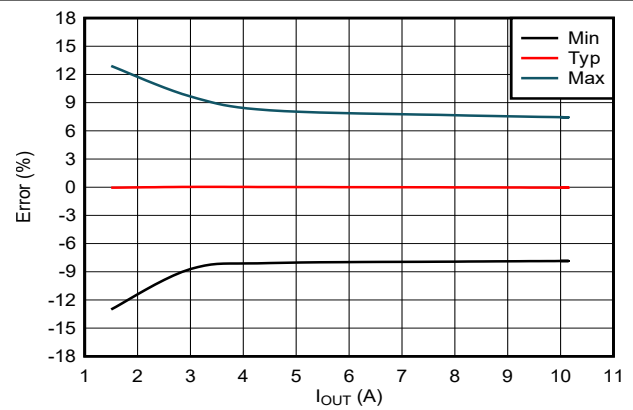


図 6-17. アナログ電流モニタのゲイン精度

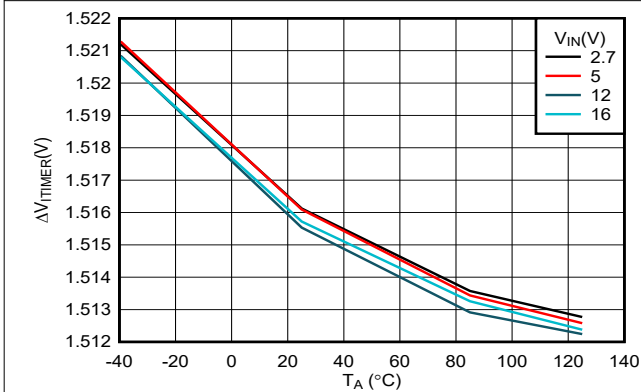


図 6-18. ITIMER 放電の差動電圧スレッシュールドと温度との関係

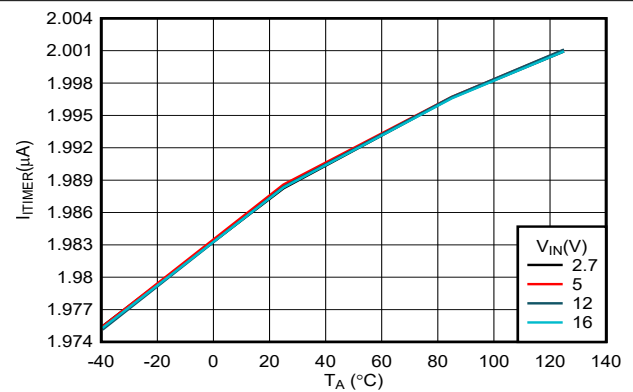


図 6-19. ITIMER の放電電流と温度との関係

6.8 代表的特性 (続き)

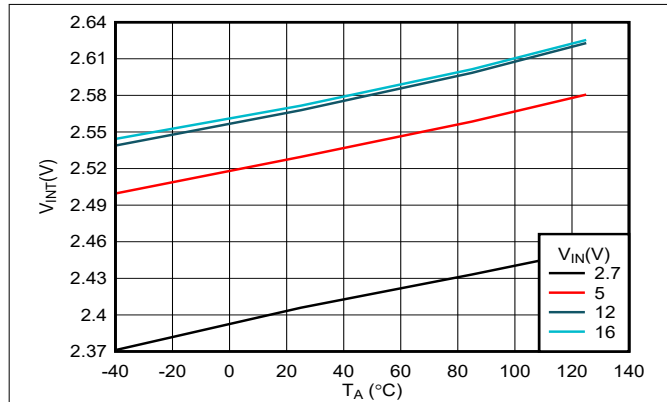


図 6-20. ITIMER 内部プルアップ電圧と温度との関係

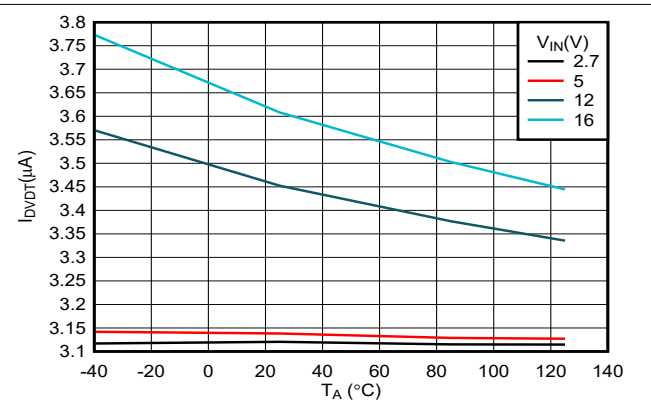


図 6-21. DVDVT 充電電流と温度との関係

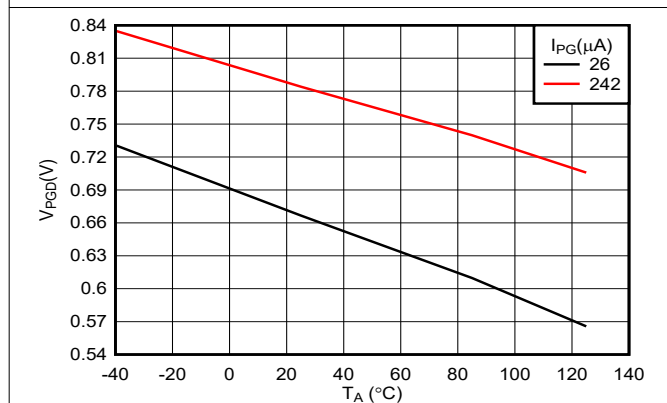


図 6-22. PG ピンの電圧と温度との関係 ($V_{IN} = 0V$)

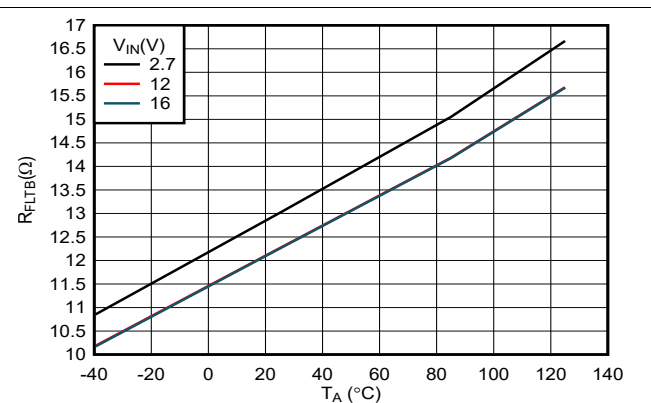


図 6-23. FLT プルダウン抵抗と温度との関係

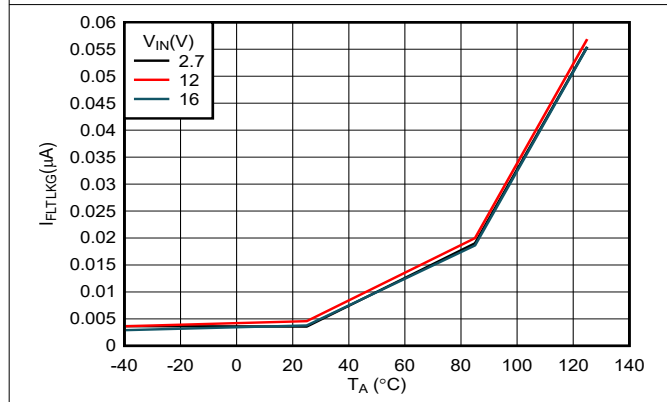


図 6-24. FLT ピンのリーク電流と温度との関係

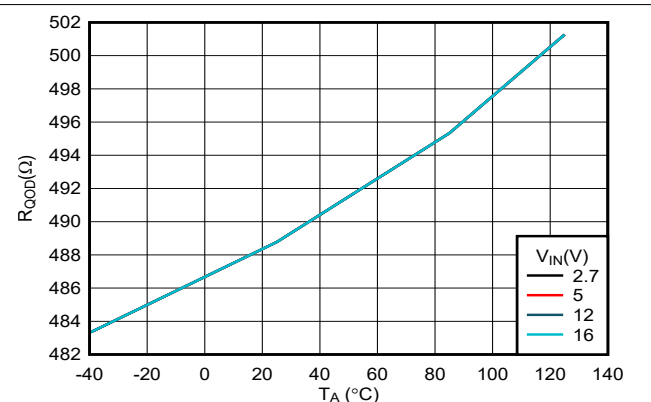


図 6-25. クイック出力放電抵抗と温度との関係

6.8 代表的特性 (続き)

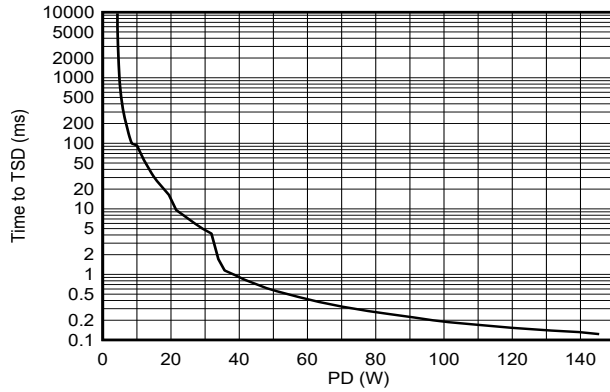


図 6-26. 突入状態中のサーマル シャットダウンまでの時間

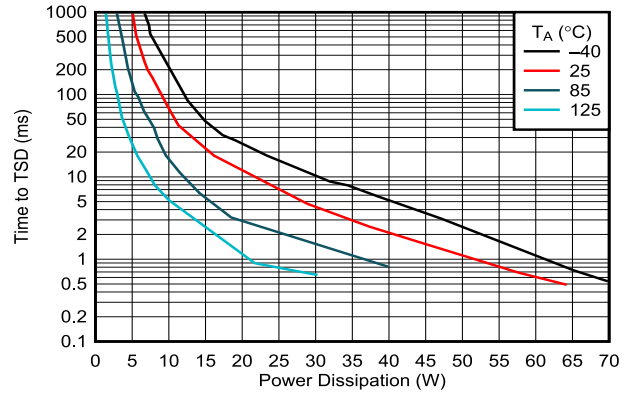
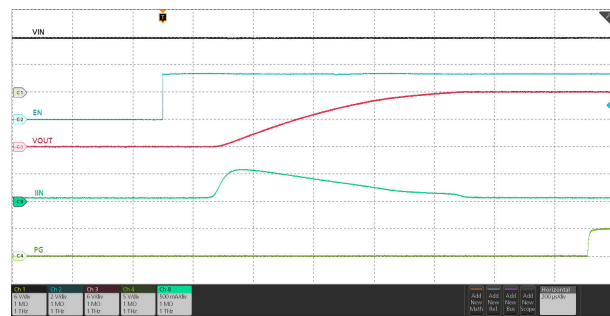
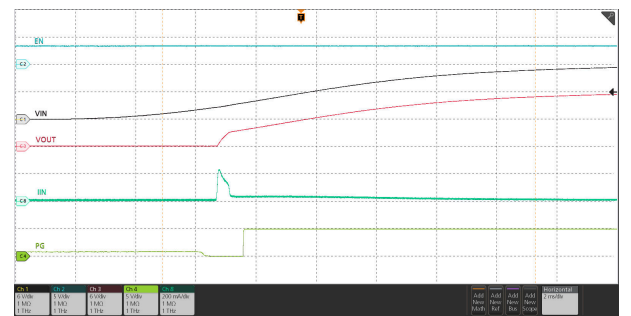


図 6-27. 定常状態でのサーマル シャットダウンまでの時間



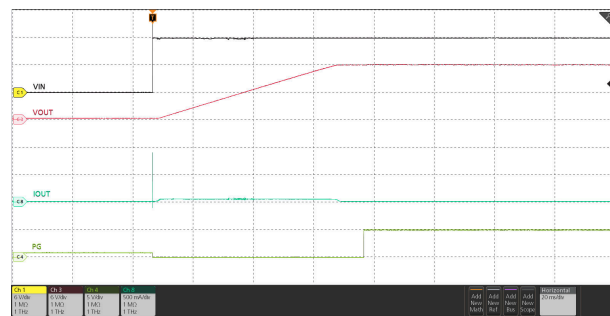
$V_{IN} = 12V$, $C_{OUT} = 10\mu F$, $C_{dVdt} = \text{オープン}$, $V_{EN/UVLO}$ は最大 3.3V までステップ アップ

図 6-28. イネーブルでのスタートアップ



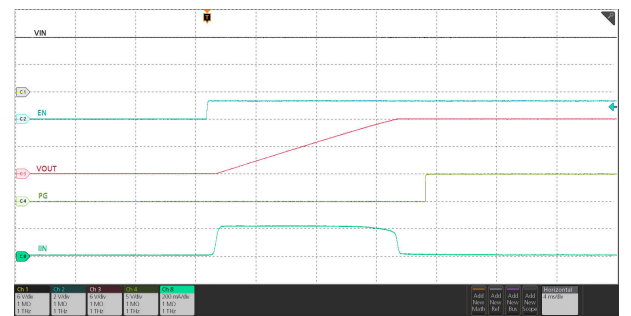
$V_{EN/UVLO} = 3.3V$, $C_{OUT} = 10\mu F$, $C_{dVdt} = \text{Open}$, V_{IN} は 12V まで ランプアップ

図 6-29. 電源でのスタートアップ



$C_{OUT} = 220\mu F$, $C_{dVdt} = 15nF$, $EN/UVLO$ を抵抗ラダー経由で IN に接続、12V ホットプラグで IN に接続

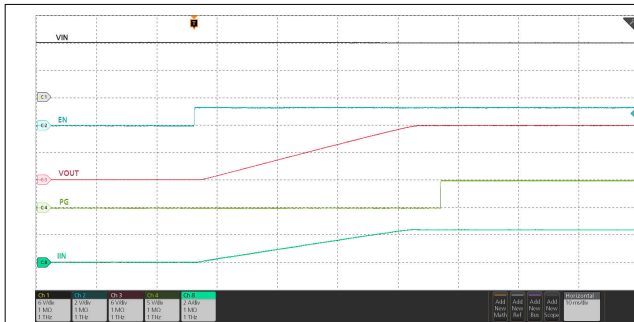
図 6-30. 入力ホットプラグ



$V_{IN} = 12V$, $C_{OUT} = 220\mu F$, $C_{dVdt} = 3300pF$, $V_{EN/UVLO}$ は 1.4V までステップ アップ

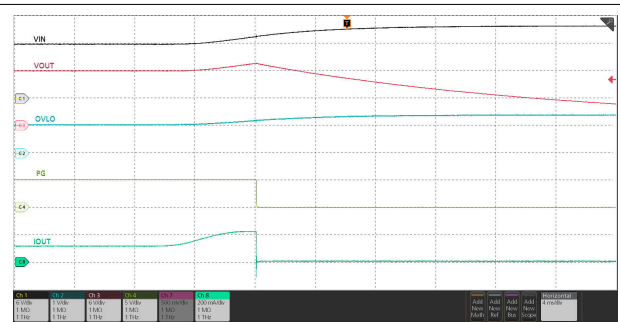
図 6-31. 容量性負荷による突入電流

6.8 代表的特性 (続き)



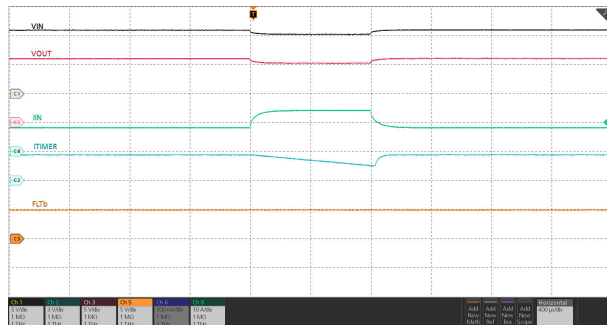
$V_{IN} = 12V$, $C_{OUT} = 220\mu F$, $R_{OUT} = 5\Omega$, $C_{dVdt} = 3300pF$, $V_{EN}/UVLO$ は 1.4V までステップ アップ

図 6-32. 抵抗性および容量性負荷による突入電流



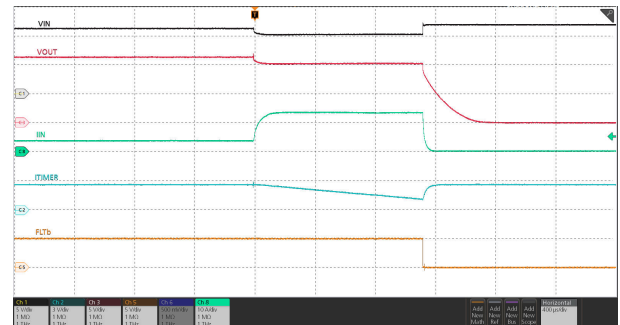
OVLO ピンに接続された抵抗ラダーを使用して V_{IN} 過電圧ストレスシヨルドを 13.6V に設定、 V_{IN} を 12V から 16V に上昇

図 6-33. 過電圧誤動作防止の応答



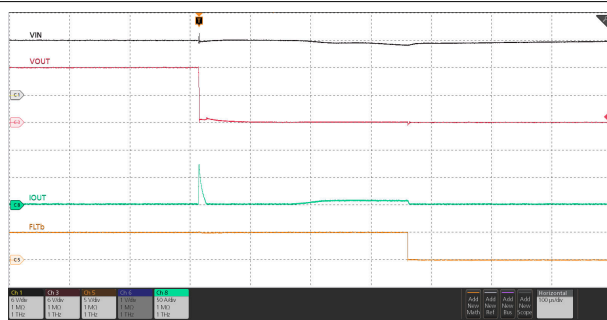
$V_{IN} = 12V$, $C_{ITIMER} = 1.5nF$, $R_{ILM} = 649\Omega$, I_{OUT} は 1ms 以内に 8A → 14A → 8A にランプ

図 6-34. 過渡過電流ブランキング タイマの応答



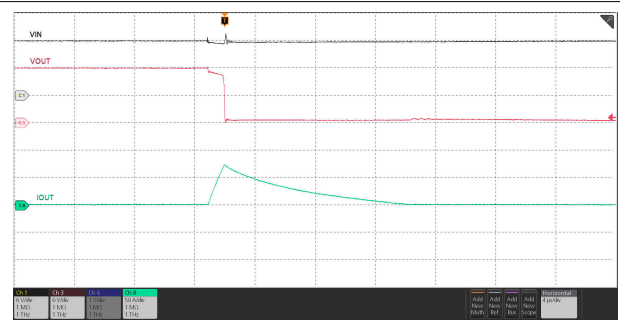
$V_{IN} = 12V$, $C_{ITIMER} = 1.5nF$, $R_{ILM} = 649\Omega$, I_{OUT} は 4A → 13A にランプ

図 6-35. サーキットブレーカ応答



$V_{IN} = 12V$, $R_{ILM} = 649\Omega$, OUT を Open → GND に短絡

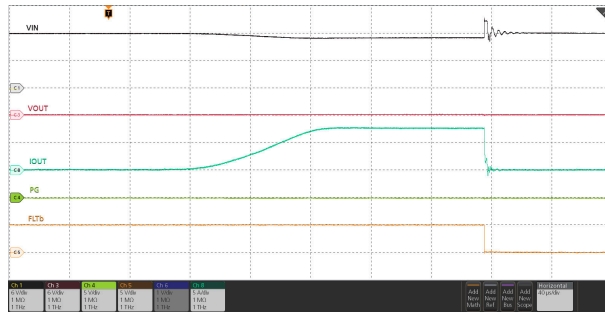
図 6-36. 定常状態時の出力短絡保護



$V_{IN} = 12V$, $R_{ILM} = 649\Omega$, OUT を Open → GND に短絡

図 6-37. 定常状態時の出力短絡 (拡大表示)

6.8 代表的特性 (続き)



$V_{IN} = 12V$ 、OUT は GND に短絡、 $R_{ILM} = 649\Omega$ 、 $V_{EN/UVLO}$ は 0V から 3.3V にステップアップ

図 6-38. 短絡時の電源立ち上げ

7 詳細説明

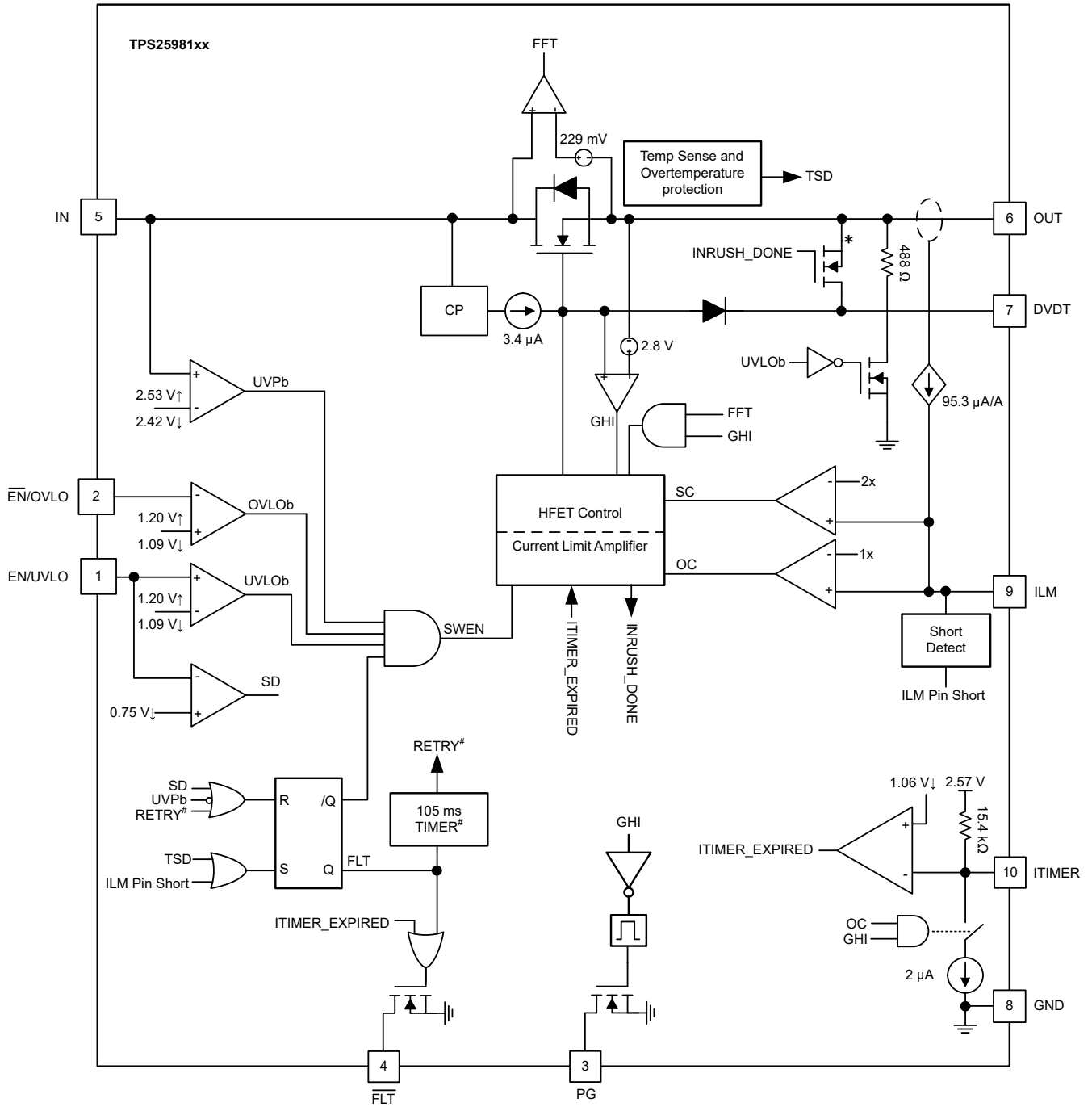
7.1 概要

TPS25981xx は、システムに電力を安全に供給するために使用されるパワー パスを内蔵した eFuse です。デバイスは、IN バスを監視することにより動作を開始します。入力電源電圧 (V_{IN}) が低電圧保護スレッショルド (V_{UVLP}) を上回ると、デバイスは EN/UVLO ピンをサンプリングします。このピンが高レベル ($> V_{UVLO}$) になると、内部パワー パスが導通し始め、電流が IN から OUT に流れることができるようになります。EN/UVLO が Low ($< V_{UVLO}$) に保持されると、内部パワー パスがオフになります。

起動シーケンスが成功した後、デバイスは負荷電流と入力電圧をアクティブに監視し、内部 FET を制御してユーザーが調整可能な過電流保護スレッショルド (I_{LIM}) を超過しないようにし、負荷電流とバス電圧がユーザーが調整可能な過電圧誤動作防止スレッショルド (V_{OVLO}) を超過すると、過電圧スパイクをカットオフします。このデバイスは、短絡イベント時の重大な過電流に対する高速な保護機能も備えています。この機能により、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。同時に、ユーザーが調整可能な過電流ブランキング タイマを使用して、システムは eFuse をトリップせずに、負荷電流の中程度の過渡ピークに対応できます。この機能により、過渡耐性のある実際の故障に対する堅牢な保護ソリューションが維持されるため、システムの稼働時間を最大限に延ばすことができます。

このデバイスには、デバイスの温度 (T_J) が推奨動作条件を超えた場合にデバイス自体を保護するため、サーマル センサベースのシャットダウン メカニズムも内蔵されています。

7.2 機能ブロック図



[#] Not applicable to TPS25981xL (Latch-off) variants
^{*} Not applicable for TPS259813x variants

7.3 機能説明

TPS25981xx eFuse は、小型で機能豊富なパワー マネージメント デバイスであり、システム故障イベント時の検出、保護、および表示を行います。

7.3.1 低電圧誤動作防止 (UVLO および UVP)

TPS25981xx は、印加された電圧が低くなりすぎて、システムまたはデバイスが正常に動作できない場合に備えて、IN に低電圧誤動作防止を実装しています。低電圧保護のデフォルト誤動作防止スレッシュホールドは V_{UVP} で、この値は内部で固定されています。また、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッシュホールドをユーザー定義の値に調整することもできます。図 7-1 および式 1 に、抵抗デバイダを使用して、特定の電源電圧に対して UVLO 設定ポイントを設定する方法を示します。

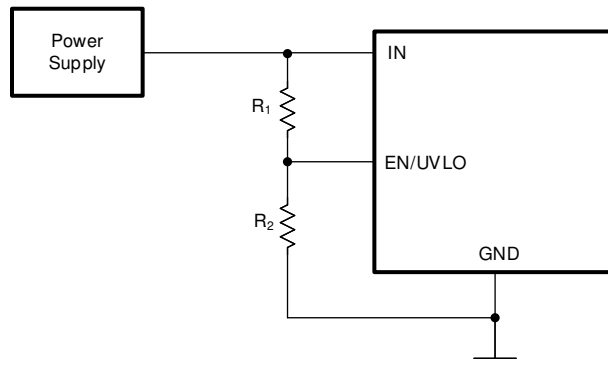


図 7-1. 可変低電圧保護

$$V_{IN(UV)} = \frac{V_{UVLO} \times (R_1 + R_2)}{R_2} \quad (1)$$

7.3.2 過電圧誤動作防止 (OVLO)

TPS259814x は過電圧誤動作防止機能を実装しており、入力過電圧状態から負荷を保護します。 $\overline{\text{EN}}/\text{OVLO}$ ピンの OVLO コンパレータは過電圧誤動作防止スレッシュホールドをユーザー定義の値に調整することもできます。 $\overline{\text{EN}}/\text{OVLO}$ ピンの電圧が OVLO 立ち上がりスレッシュホールド $V_{OV(R)}$ を超えると、デバイスは出力への電力を遮断します。その後、デバイスは $\overline{\text{EN}}/\text{OVLO}$ ピンの電圧が OVLO 立ち下がりスレッシュホールド $V_{OV(F)}$ を下回るまで待機した後、出力電力が再度オンになります。ヒステリシスを提供するため、立ち上がりスレッシュホールドと立ち下がりスレッシュホールドはわずかに異なります。図 7-2 および式 2 に、抵抗デバイダを使用して、特定の電源電圧に対して OVLO 設定ポイントを設定する方法を示します。

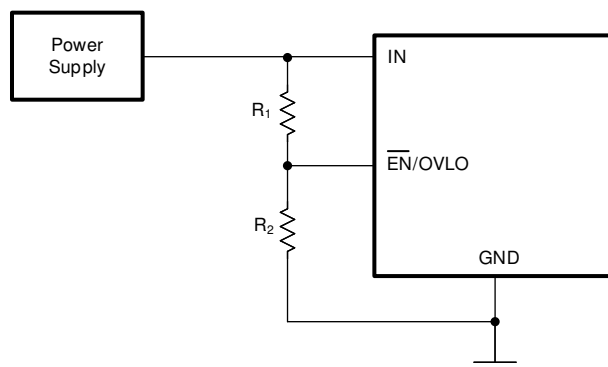


図 7-2. 調整可能な過電圧保護機能

$$V_{IN(OV)} = \frac{V_{OV} \times (R_1 + R_2)}{R_2} \quad (2)$$

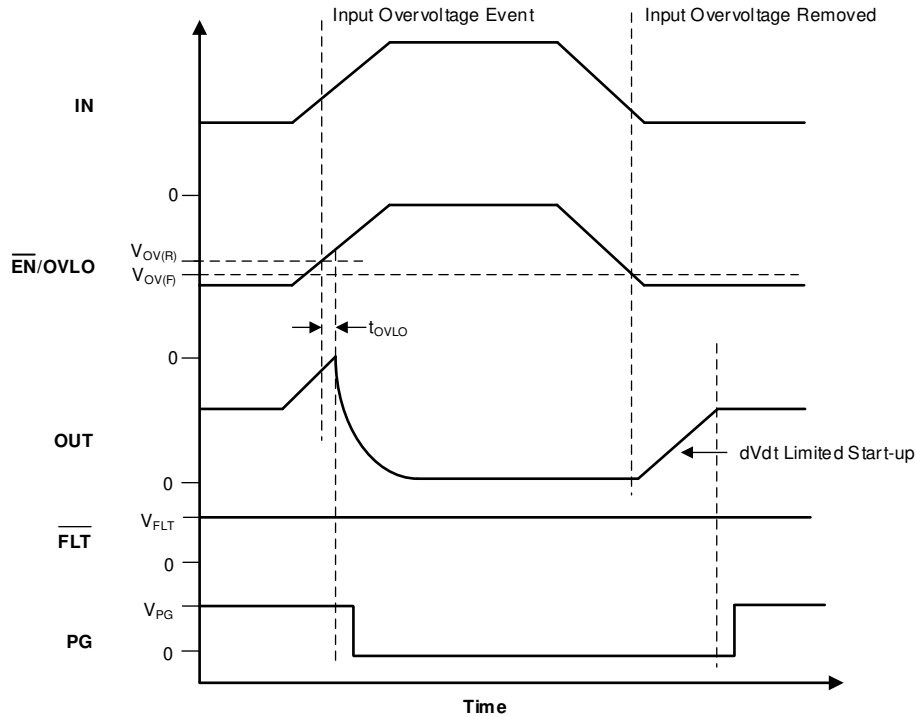


図 7-3. TPS25981x の過電圧誤動作防止および復帰

OVLO イベントからの復帰中は、TPS25981x バリエーションは突入電流制御 (dVdt) により起動します。

7.3.3 突入電流、過電流、および短絡保護

TPS25981xx には、過電流に対する 4 つのレベルの保護が組み込まれています。

1. 突入電流制御のための調整可能なスルー レート (dVdt)
2. 起動時または定常状態時の過電流保護のための可変スレッショルド (I_{LIM})
3. 起動時または定常状態時の深刻な過電流に対する高速トリップ応答のための可変スレッショルド (I_{SC})
4. 定常状態時のハード出力短絡に対する迅速な保護を目的とした、高速トリップ応答のための固定スレッショルド (I_{FT})

7.3.3.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や起動時の大きな出力キャパシタンスの充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷し、システム電源が低下する可能性があります。その結果システムの他の場所で予期しない再起動が発生します。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。式 3 を使用して、与えられた負荷容量 (C_{OUT}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます。

$$SR \left(\frac{V}{ms} \right) = \frac{I_{INRUSH} (mA)}{C_{OUT} (\mu F)} \quad (3)$$

dVdt ピンにコンデンサを接続することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。特定のスルーレートを生成するために必要な C_{dVdt} 容量は、式 4 を使用して計算します。

$$C_{dVdt} (pF) = \frac{3300}{SR \left(\frac{V}{ms} \right)} \quad (4)$$

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。

注

TI は、 $C_{dVdt} > 10nF$ の場合、dVdt ピンのコンデンサと直列に 100Ω の抵抗を追加することを推奨します。

7.3.3.2 定常状態時のサーキット ブレーカ

TPS259814x (サーキット ブレーカ) バリエーションは、出力過電流状態に対して、ユーザーが調整可能な一時的故障ブランキング時間経過後に出力をオフにすることにより応答します。負荷電流が、ILM ピン抵抗 (R_{ILM}) で設定された過電流スレッシュホールド (I_{LIM}) を超えても、高速トリップ スレッシュホールド ($2 \times I_{LIM}$) を下回ったままになると、デバイスは内部 $2\mu A$ プルダウン電流を使用して ITIMER ピン コンデンサの放電を開始します。ITIMER ピン コンデンサ (C_{ITIMER}) が ΔV_{ITIMER} によって放電される前に負荷電流が I_{LIM} を下回った場合、ITIMER は内部的で V_{INT} までプルアップされてリセットされ、サーキットブレーカ動作は発生しません。この動作により、短い過負荷過渡パルスが回路をトリップせずにデバイスを通過できるようになります。過電流状態が持続する場合、 C_{ITIMER} は放電を継続し、 ΔV_{ITIMER} によって放電された後に、サーキットブレーカ動作により FET が直ちにオフになります。同時に、 C_{ITIMER} は V_{INT} まで充電されるため、次の過電流イベントの前にデフォルト状態になります。このアクションにより、すべての過電流イベントに対して、完全なブランキング タイマ間隔が確保されます。式 5 を使用して、過電流スレッシュホールドに対する R_{ILM} 値を計算できます。

$$R_{ILM} (\Omega) = \frac{6585}{I_{LIM} (A)} \quad (5)$$

注

1. ILM ピンをオープンにすると、電流制限値はほぼゼロに設定され、出力側にわずかでも負荷がかかるだけで、部品が回路を遮断します。
2. 通常動作中に ILM ピンを接地すると、故障として検出され、部品はシャットダウンされます。ピンの短絡状態が検出される前に、部品がこの状態を許容する最小電流 (I_{FLT}) が存在します。

過渡を許容する時間は、ITIMER ピンとグランドの間の適切なコンデンサ値を使用して調整できます。目的の過渡過電流ブランキング間隔を設定するために必要な C_{ITIMER} 値は、式 6 を使用して計算します。

$$C_{ITIMER} (nF) = \frac{t_{ITIMER} (ms) \times I_{ITIMER} (\mu A)}{\Delta V_{ITIMER} (V)} \quad (6)$$

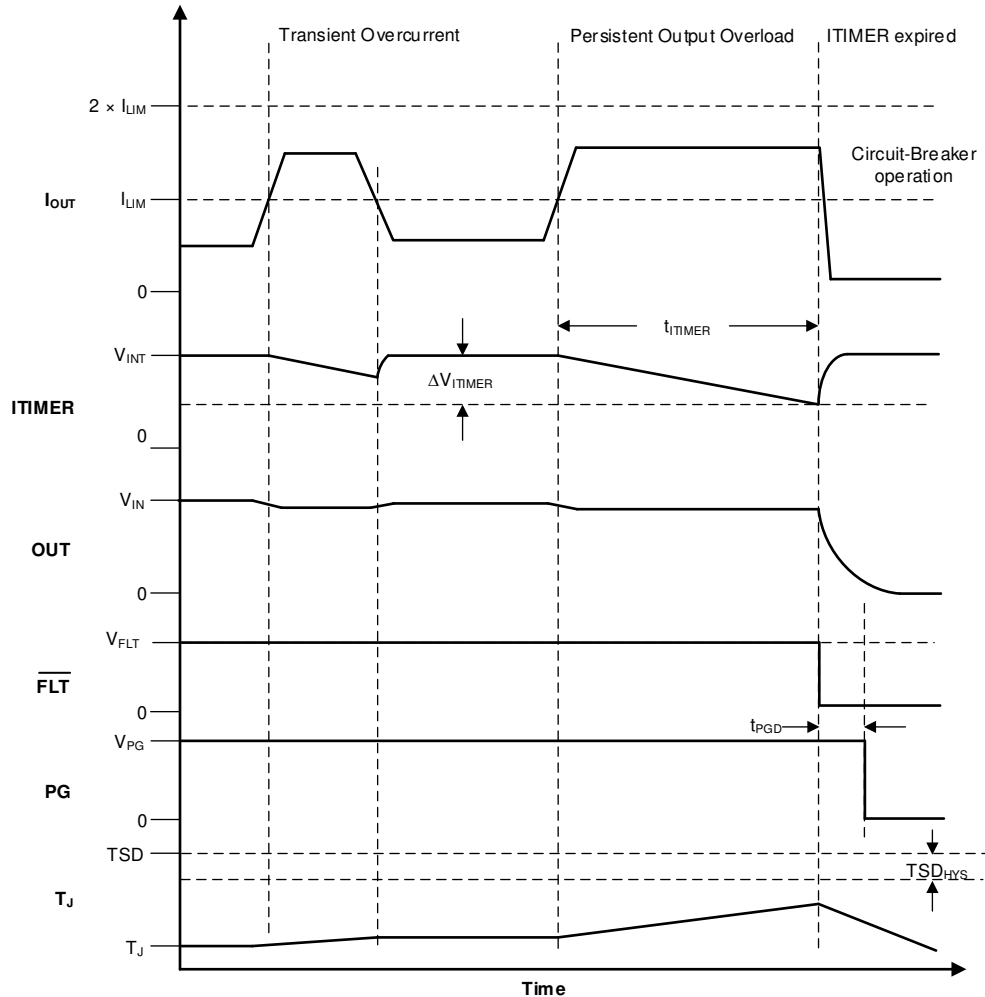


図 7-4. TPS259814x の過電流応答

注

1. ITIMER ピンをオープンのままにすると、本デバイスが最小限の遅延で回路を切断できるようになります。
2. ITIMER ピンをグランドに短絡すると、過電流応答遅延は最小になりますが (ITIMER ピンの開放状態と同様)、デバイスの電流消費は増加します。このアクションは推奨動作モードではありません。
3. ITIMER の値を大きくすると過電流ブランキング間隔が延長されますが、 C_{ITIMER} が V_{INT} に再充電されるまでに必要な時間も延長されます。 C_{ITIMER} が完全に再充電される前に次の過電流イベントが発生した場合、ITIMER の期限切れスレッシュホールドまで放電するのに要する時間が短くなるため、意図したよりもブランキング間隔が短くなります。
4. 低電圧アプリケーションでは、電源ノイズや変動に対する耐性を向上させるため、ITIMER ピンと C_{ITIMER} の間に $30k\Omega$ 抵抗を追加することを推奨します。

回路ブレーカの故障により部品がシャットダウンした後、部品はラッチ オフ状態を維持するか (TPS259814L バリエント)、または固定遅延後に自動的に再起動します (TPS259814A バリエント)。

7.3.3.3 起動時のアクティブ電流制限

TPS259814x は、起動時に出力過電流状態に応答し、電流をアクティブに制限します。負荷電流が、ILM ピン抵抗 (R_{ILM}) で設定された過電流スレッシュホールド (I_{LIM}) を超えても、短絡スレッシュホールド ($2 \times I_{LIM}$) を下回ったままになると、電流

制限ループは FET のレギュレーションを開始して、アクティブに電流を制限するために過電流スレッショルド (I_{LIM}) を設定します。式 7 を使用して、目的の過電流スレッショルドに対する R_{ILM} 値を計算できます。

$$R_{ILM} (\Omega) = \frac{6585}{I_{LIM} (A)} \quad (7)$$

注

1. ILM ピンをオープンにすると、電流制限値はほぼゼロに設定され、出力側にわずかな負荷がかかるだけで、デバイスは電流制限モードに移行します。
2. 電流制限回路は、フォールドバック メカニズムを採用しています。フォールドバック領域の電流制限スレッショルド ($0V < V_{OUT} < V_{FB}$) は、目標の定常状態の電流制限スレッショルド (I_{LIM}) よりも低くなります。

アクティブ電流制限中、出力電圧降下により FET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、FET がオフになります。TSD の故障により部品がシャットダウンした後、部品はラッチ オフ状態を維持するか (TPS25981xL バリエーション)、または固定遅延後に自動的に再起動します (TPS25981xA バリエーション)。過熱に対するデバイスの応答の詳細については、「[過熱保護 \(OTP\)](#)」を参照してください。

7.3.3.4 短絡保護

出力短絡発生中は、本デバイスを通る電流が非常に急速に増加します。重大な過電流状態が検出されると、デバイスによって高速トリップ応答がトリガされ、電流が安全なレベルに制限されます。内部高速トリップ コンパレータは、 $2 \times I_{LIM}$ と等しいスケラブルなスレッショルド (I_{SC}) を採用しています。このアクションにより、ユーザーは一部の低電流システムには高すぎる可能性がある固定スレッショルドを使用する代わりに、高速トリップ スレッショルドを調整できます。また、このデバイスは、固定高速トリップ スレッショルド (I_{FT}) を採用して、定常状態時のハード短絡に対する高速保護を実現します。固定高速トリップ スレッショルドは、ユーザーが調整できる、スケラブルな高速トリップ スレッショルドの最大推奨値よりも高くなります。電流が I_{SC} または I_{FT} を超えると、FET が t_{FT} 内に完全にオフになります。その後、デバイスはグリッチ除去期間 (30 μ s) の後、 dV/dt によって制限された方法ではなく、電流制限された方法で FET をオンに戻すように試みます。このアクションにより、過渡過電流イベントが発生した後に FET は迅速に復帰し、出力電圧のドループを最小化できます。ただし、故障が持続する場合、デバイスは電流制限状態のままになり、接合部温度が上昇し、最終的にはサーマル シャットダウンに移行します。過熱に対するデバイスの応答の詳細については、「[過熱保護 \(OTP\)](#)」を参照してください。

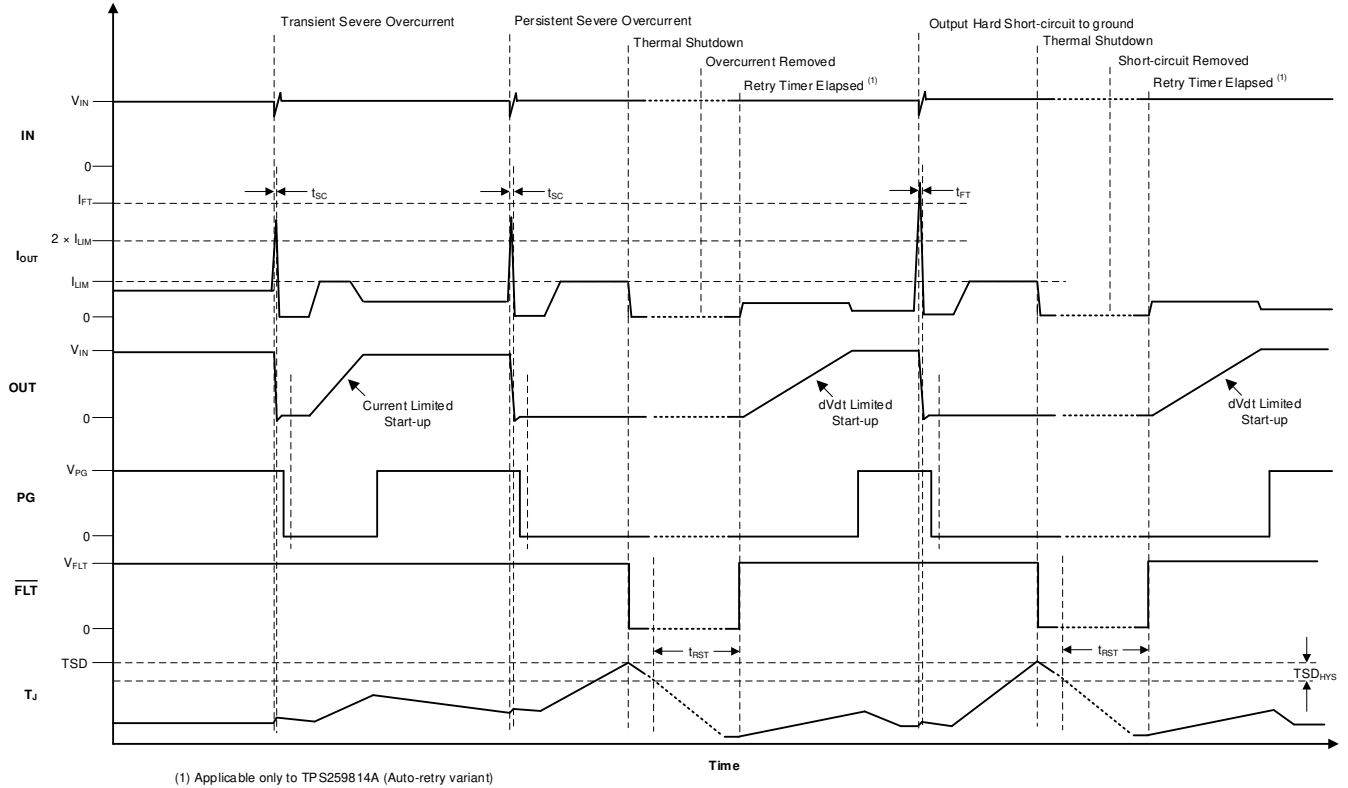


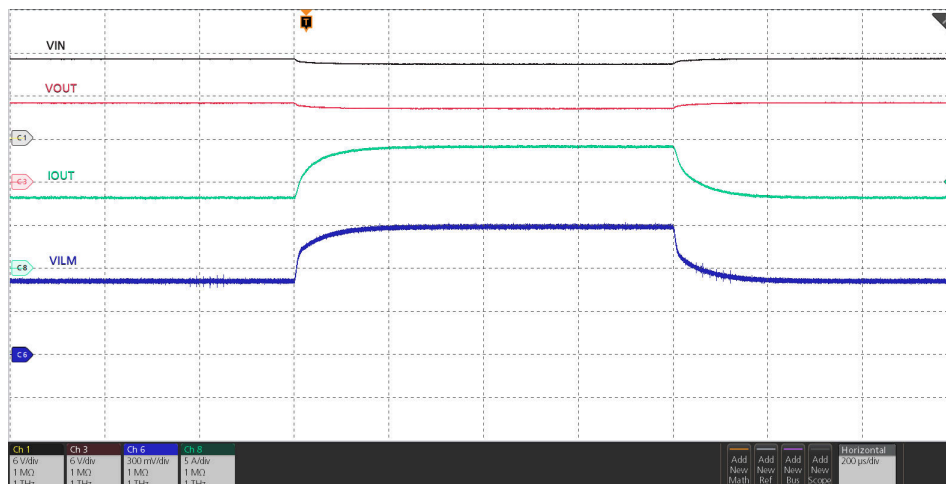
図 7-5. TPS25981xx の短絡応答

7.3.4 アナログ負荷電流モニタ

デバイスでは、FET を流れる電流に比例したアナログ電流センス出力を ILM ピンに供給することにより、システムが出力負荷電流を正確に監視できるようになります。ユーザーは、 R_{ILM} の全体で電圧 (V_{ILM}) を検出し、出力負荷電流の測定値を取得できます。

$$I_{LOAD}(A) = \frac{V_{ILM}(\mu V)}{G_{IMON}(\mu A/A) \times R_{ILM}(\Omega)} \quad (8)$$

以下の波形は、出力での負荷ステップに対する ILM 信号応答を示しています。



$V_{IN} = 12V$, $R_{ILM} = 649\Omega$, I_{OUT} は $8A \sim 14A$ の範囲で動的に変動

図 7-6. アナログ負荷電流モニタ応答

注

ILM ピンは、容量性負荷の影響を受けやすくなっています。安定した動作を確立するため、ILM ピンの寄生容量性負荷が $< 50pF$ になるように、慎重な設計およびレイアウトが必要です。

7.3.5 過熱保護 (OTP)

このデバイスは内部ダイ温度 (T_J) を常に監視し、温度が安全動作レベル (TSD) を超えると即座に部品をシャットダウンして、デバイスを損傷から保護します。接合部温度が十分に低下するまで (つまり、ダイ温度が $(TSD - TSD_{HYS})$ を下回るまで)、デバイスはオンに戻ります。

TPS25981xL (ラッチオフ バリエント) は熱的過負荷を検出するとシャットダウンし、デバイスの電源をオフにして再サイクルするか再度イネーブルになるまで、ラッチオフ状態を維持します。TPS25981xA (自動再試行バリエント) が熱的過負荷を検出すると、温度が TSD_{HYS} によって十分に下がるまでオフに維持されます。その後、デバイスは t_{RST} の追加の遅延時間オフのまま維持され、その後デバイスがイネーブルのままなら、自動的にオンを試みます。

表 7-1. サーマル シャットダウン

デバイス	TSD 開始	TSD 終了
TPS25981xL (ラッチオフ)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} が $0V$ にサイクルされ、 $V_{UVP(R)}$ を上回る、または $EN/UVLO$ が $V_{SD(F)}$ より低くトグルされる
TPS25981xA (自動再試行)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} が $0V$ にサイクルされ、 $V_{UVP(R)}$ を上回る、または $EN/UVLO$ が $V_{SD(F)}$ より低くトグルされる、あるいは t_{RST} タイマが期限切れになる

7.3.6 フォルト応答および表示 (\overline{FLT})

次の表は、各種故障条件に対するデバイスの応答をまとめたものです。また、アクティブ "Low" の外部故障表示 (\overline{FLT}) ピンを利用できます。

表 7-2. 故障のまとめ

イベント	保護応答	内部でラッチされた故障	\overline{FLT} ピンのステータス	\overline{FLT} のアサート遅延
過熱	シャットダウン	Y	L	
低電圧 (UVP または UVLO)	シャットダウン	N	H	
入力過電圧	シャットダウン	N	H	
過渡過電流 ($I_{LIM} < I_{OUT} < 2 \times I_{LIM}$)	なし	N	N	
継続的な過電流	サーキット ブレーカ	Y	L	t_{TIMER}
GND への出力短絡	サーキット ブレーカ作動後の電流制限	N	H	
ILM pin open (定常状態中)	シャットダウン	N	L	t_{TIMER}
ILM ピンは GND へ短絡:	シャットダウン	Y	L	t_{TIMER}

内部でラッチされた故障は、部品の電源をサイクルする (V_{IN} を 0V にプルする) か、EN/UVLO ピンの電圧を V_{SD} 未満にプルすることでクリアできます。このアクションにより \overline{FLT} ピンも解放され、TPS25981xA (自動再試行) バリエーションの t_{RST} タイマがリセットされます。

ラッチされた故障では、EN/UVLO を UVLO スレッショルドよりもわずかに低くプルしても、デバイスに影響はありません。これは、TPS25981xL (ラッチオフ) および TPS25981xA (自動再試行) 両方のバリエーションに当てはまります。

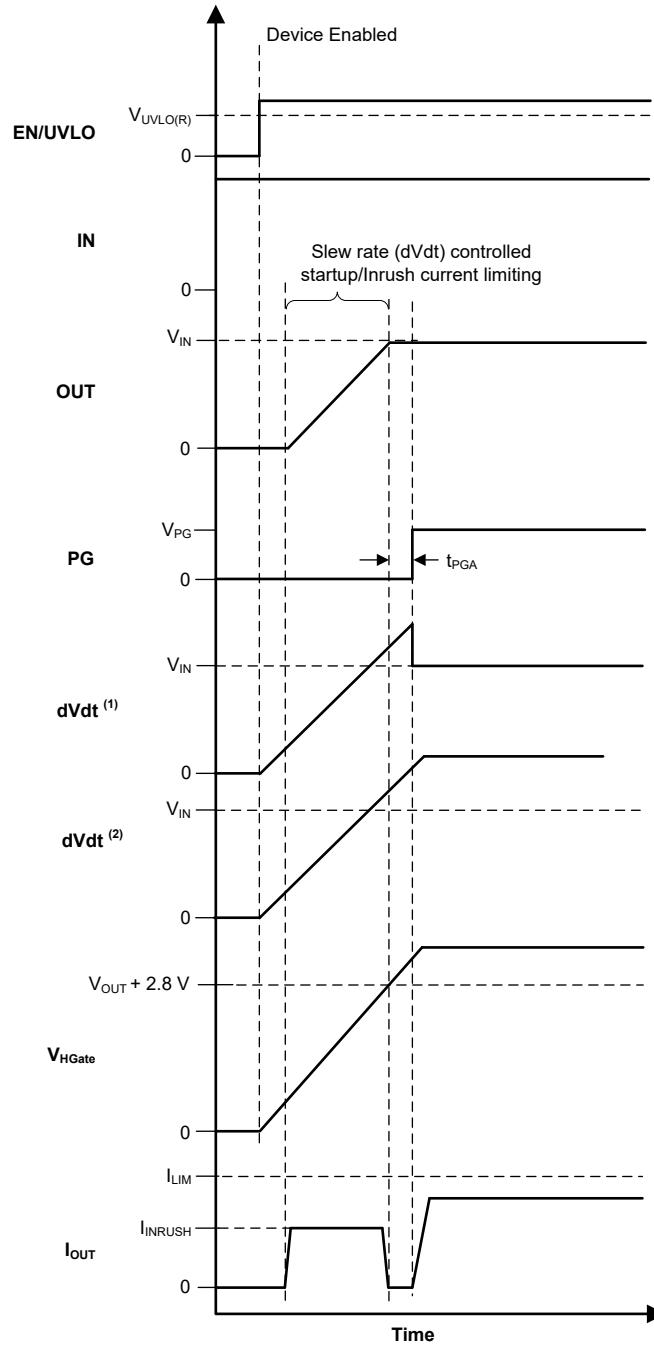
TPS25981xA (自動再試行) バリエーションでは、故障後に t_{RST} タイマが期限切れになると、デバイスが自動的に再起動し、 \overline{FLT} ピンがデアサートされます。

7.3.7 パワー グッド表示 (PG)

TPS259814x は、パワーグッド表示信号として機能するアクティブ High デジタル出力 (PG) を実現しており、デバイスが定常状態で電力を供給可能なときに High にアサートされます。PG はオープンドレインのピンであり、外部電源にプルアップする必要があります。

パワーアップ後、PG は初期状態で Low に引き下げられます。デバイスは突入シーケンスを開始し、FET が制御された方法でオンになります。FET ゲート電圧が最大オーバードライブに達し、突入シーケンスが完了したことを示すと、グリッチ除去時間 (t_{PGA}) の後、PG ピンがアサートされます。

FET がオフになるといつでも、PG はデアサートされます。PG のデアサート時のグリッチ除去時間は t_{PGD} です。



⁽¹⁾ Applicable only for TPS259814x variants
⁽²⁾ Applicable only for TPS259813x variants

図 7-7. TPS25981xx PG タイミング図

表 7-3. TPS25981xx PG 表示のまとめ

イベント	保護応答	PG ピン	PG 遅延
低電圧 (UVP または UVLO)	シャットダウン	L	
過電圧 (OVLO)	シャットダウン	L	t_{PGD}
定常状態	該当なし	H	t_{PGA}
過渡過電流	該当なし	H	
持続的な過負荷	サーキット ブレーカ	L	$t_{TIMER} + t_{PGD}$
GND への出力短絡	高速トリップ後の電流制限	L	t_{PGD}
ILM pin open	シャットダウン	L	$t_{TIMER} + t_{PGD}$
ILM ピンは GND へ短絡:	シャットダウン	L	t_{PGD}
過熱	シャットダウン	L	t_{PGD}

デバイ스에 電源が供給されていない場合、PG ピンは Low のままであることが期待されています。しかし、この状態では、このピンを 0V まで完全に引き下げるためのアクティブ プルダウンはありません。PG ピンが、デバイ스의電源が入っていない場合でも存在する独立した電源にプルアップされている場合、プルアップ電源電圧と抵抗によって決まるピンのシンク電流に応じて、このピンにわずかな電圧が生じることがあります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。

7.3.8 クイック出力放電 (QOD)

TPS25981xx には出力放電機能が内蔵されています。これにより、大きな出力コンデンサに残っている残留電荷を迅速に除去し、何らかの未定義電圧でバスがフローティングになるのを回避できます。EN/UVLO が Low ($V_{EN} < V_{UVLO(F)}$) に保持されていると、OUT ピンの内部 QOD プルダウン FET がアクティブになります。出力放電機能により、デバイス内部で過剰な電力消費が発生し、接合部温度が上昇する可能性があります。接合部温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、出力放電は無効になり、部品の長期的な劣化を防ぎます。

7.3.9 逆電流ブロック FET ドライバ

TPS259813x には、逆電流ブロック機能を実装するために外付けの N-FET を駆動するオプションがあります。N-FET は、[図 7-8](#) に示すように、共通ソース構成で eFuse と直列に接続されます。ブロッキング FET のゲートは、eFuse の DVDT ピンによって制御されます。eFuse がオンになり、定常状態で動作しているとき、DVDT ピンが High に駆動され、外部 FET が完全にオンになり、入力から出力への低インピーダンスの電力パスを提供します。いずれかの条件下で eFuse がオフになると、DVDT ピンは Low になり、ブロッキング FET はオフになります。これにより、オフ状態のときに出力から入力への電流パスが存在しないことが保証されます。

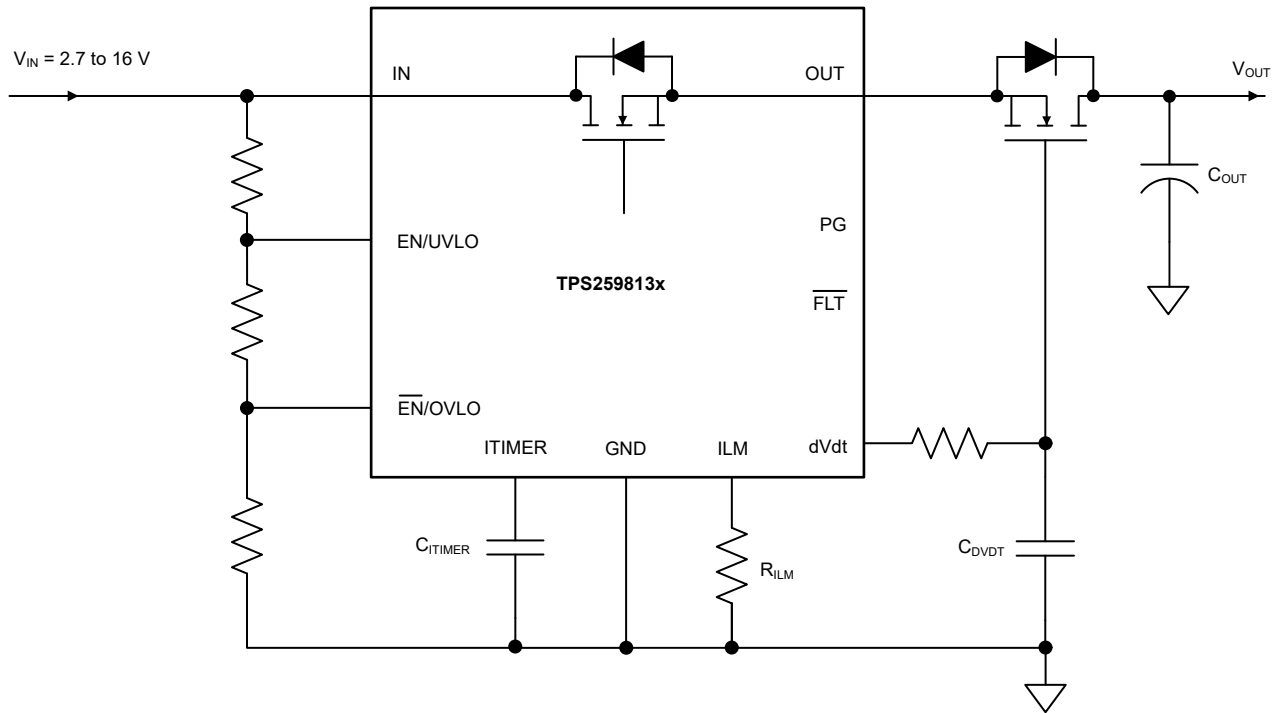


図 7-8. 外部 FET による逆電流ブロック

7.4 デバイスの機能モード

このデバイスには 1 つの動作モードがあり、[推奨動作条件](#)内で動作した場合に適用されます。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS25981xx は、2.7V ~ 16V、10A の eFuse であり、一般に電源レールの保護用途に使用されます。デバイスは、2.7V ~ 16V で動作し、調整可能な過電圧保護および低電圧保護機能を備えています。このデバイスは、突入電流を制御する機能を備えています。このデバイスは、サーバーのマザーボード / アドオンカード / NIC、光学モジュール、エンタープライズスイッチ / ルータ、産業用 PC、UHDTV など、さまざまなシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。さらに、スプレッドシート設計ツールである「TPS25981xx 設計カリキュレータ」を Web 製品フォルダで入手できます。

8.1.1 シングル デバイス、自己制御型

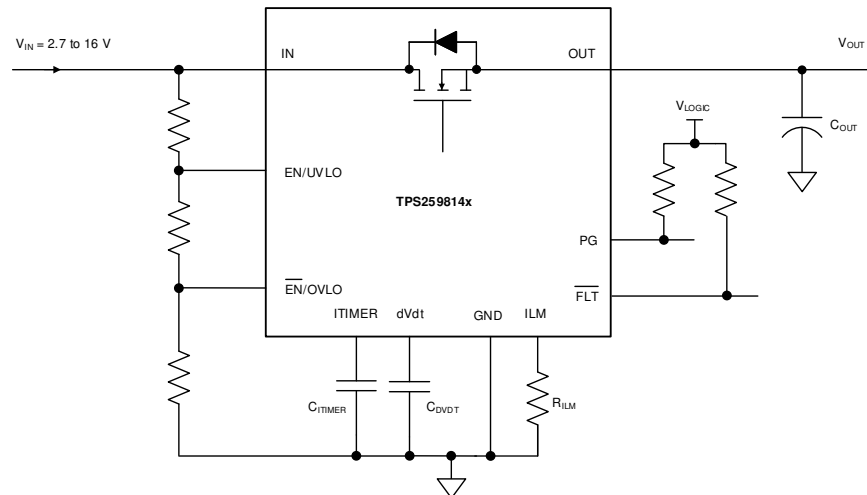


図 8-1. シングル デバイス、自己制御型

8.1.1.1 その他のバリエーション

ホスト マイコン制御システムでは、EN/UVLO または OVLO をホスト GPIO から駆動して、デバイスを制御することもできます。

電流監視の目的で、ILM ピンをマイコンの ADC 入力に接続できます。

注

TI は、安定した動作を確保するために、ILM ピンの寄生容量は 50pF 未満にすることを推奨します。

8.1.2 並列動作

以下の 図 8-2 に示されているように、より大きな定常電流を必要とするアプリケーションでは、2 つの TPS25981xx デバイスを並列接続して使用できます。この構成では、1 番目のデバイスが始めにオンになり、突入電流を制限します。2 番目のデバイスは、1 番目のデバイスの PG 信号を使用して EN/UVLO ピンを "Low" に駆動することで、オフ状態に保持されます。突入シーケンスが完了すると、最初のデバイスは PG ピンを "High" にアサートし、2 番目のデバイスをオンにしま

す。2 番目のデバイスは、PG 信号をアサートして、完全にオンになったことを示します。これは、並列組み合わせが完全な定常状態電流を供給できる状態であることをシステムに示します。

定常状態になると、両方のデバイスはほぼ等しく電流を共有します。R_{ON} の部品間のバラつきや PCB パターン抵抗の不一致に応じて、電流にわずかなスキューが発生する可能性があります。

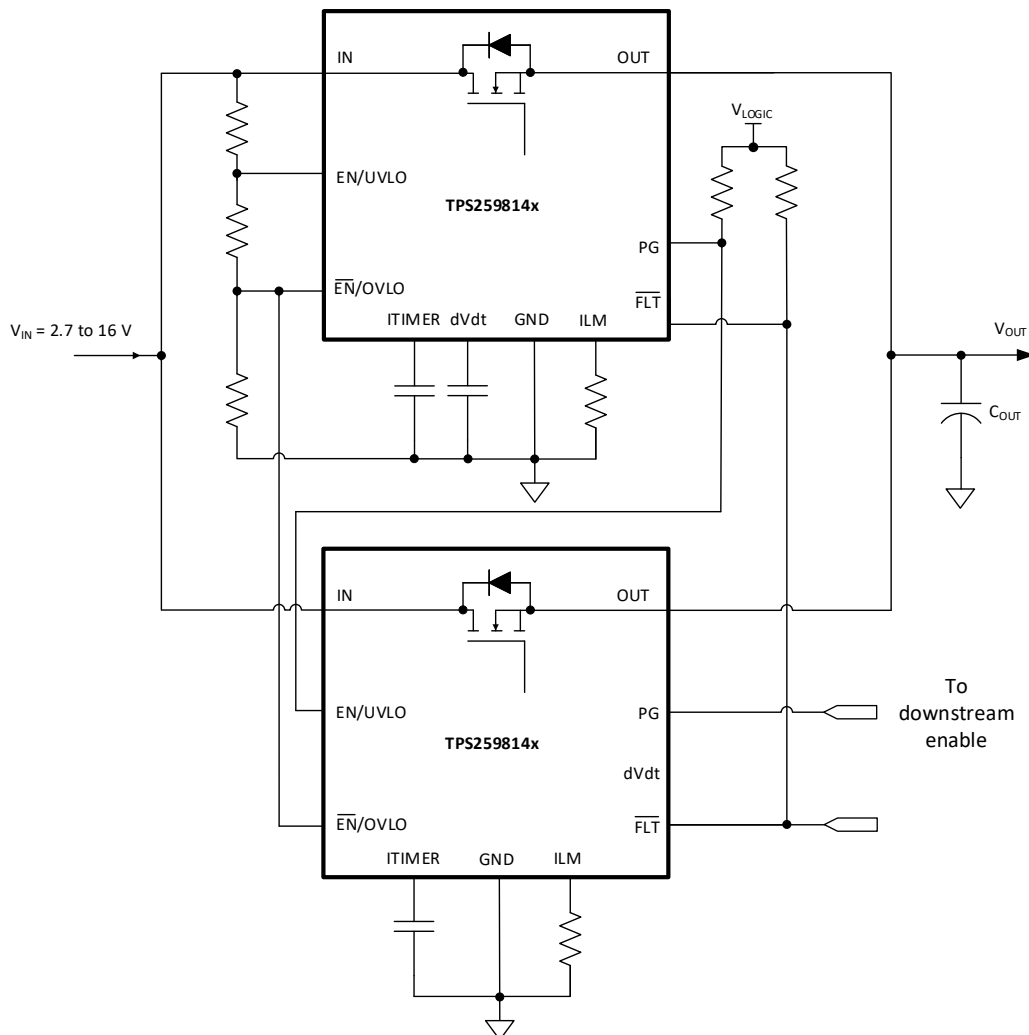


図 8-2. 高い定常状態の電流能力を実現するために並列接続された 2 つの TPS259814x デバイス

以下の波形は、起動時と定常状態時の並列構成の動作を示しています。

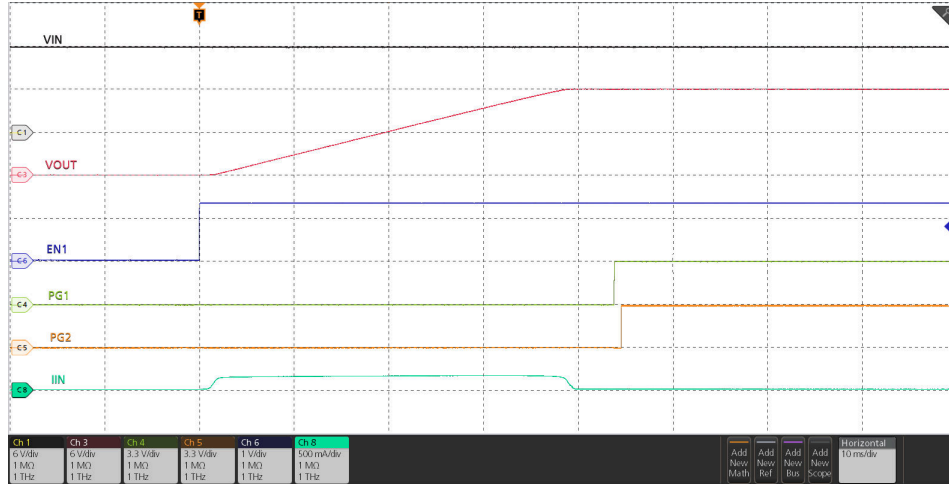


図 8-3. 起動時の並列デバイス シーケンシング

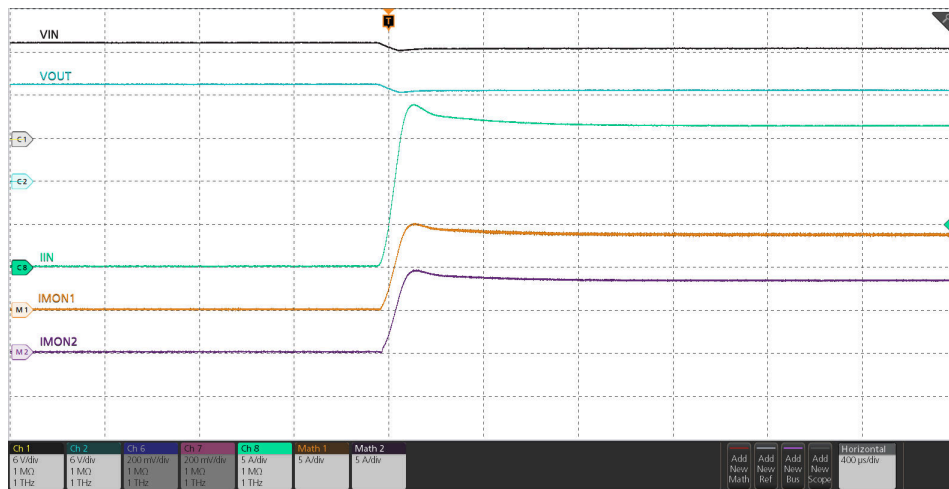


図 8-4. 定常状態での並列デバイスの負荷電流

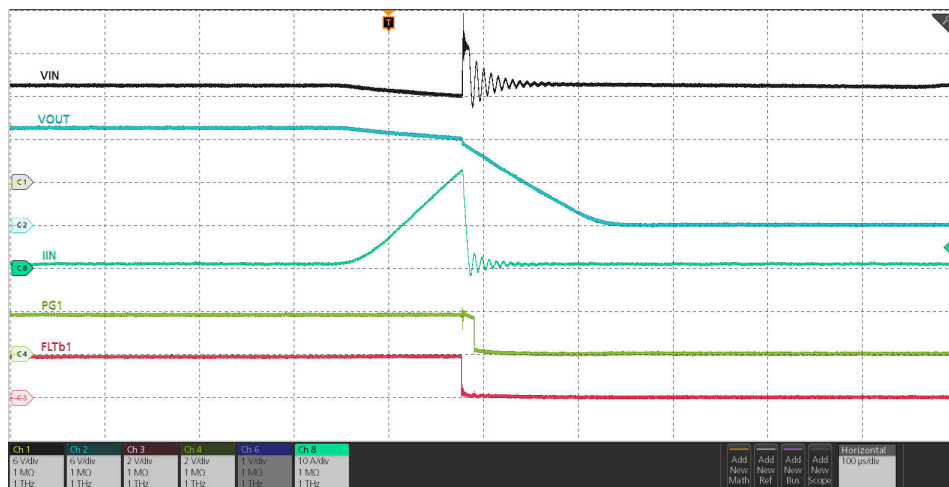


図 8-5. 並列デバイスの過電流応答

定常状態で eFuse の電流処理能力を高めるもう 1 つの方法は、[図 8-6](#) に示すように TPS25981xx eFuse を TPS22811x ロードスイッチと並列に接続することです。

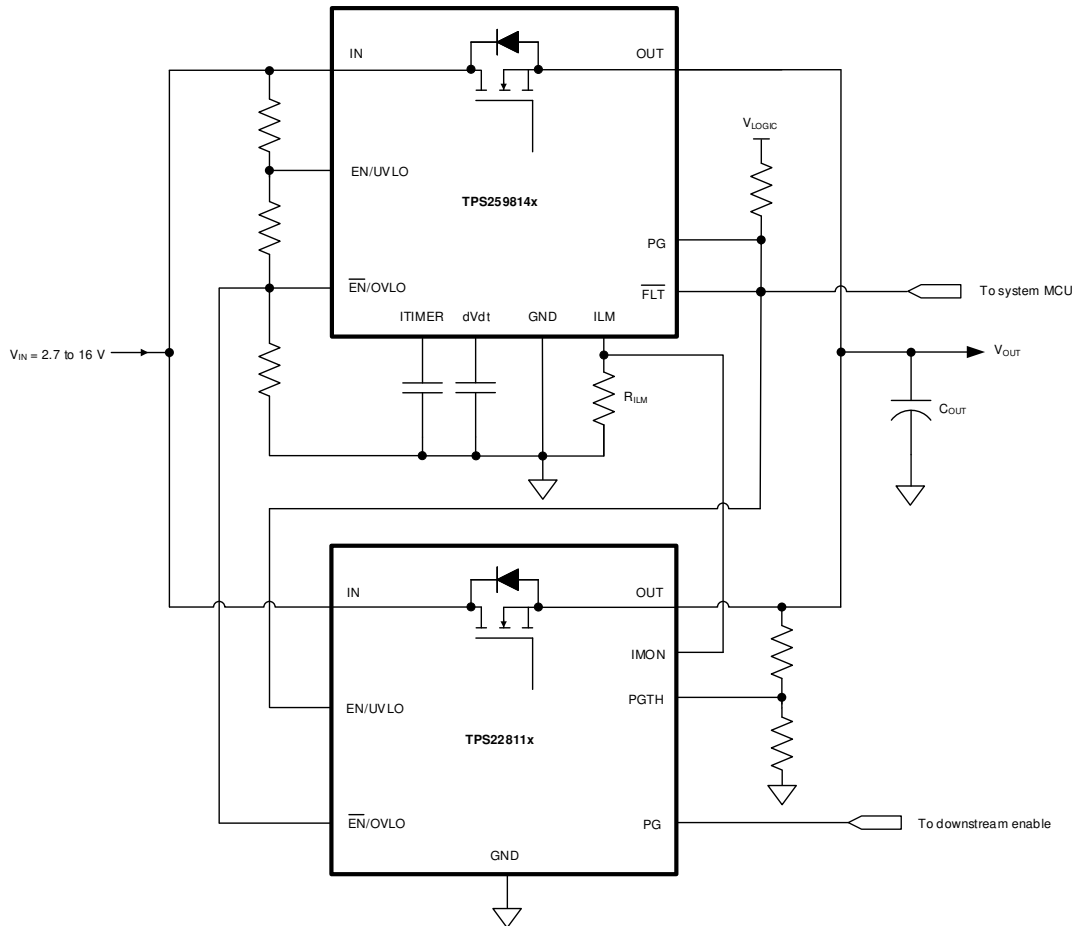


図 8-6. 高い定常状態の電流能力を実現するために並列接続された TPS259814x と TPS22811x

8.2 代表的なアプリケーション

TPS259814x は、光学モジュールの電源レールの保護に使用できます。光学モジュールは、光ネットワーク機器、エンタープライズ スイッチまたはデータセンター スイッチ、ルータなどの高帯域データ通信システムで一般的に使用されています。市場にはさまざまな種類の光モジュールが存在しており、フォーム ファクタや対応データ速度 (Gbit/s) が異なります。これらのうち、一般的なバリエーションであるダブル高密度クワッド小型プラグダブル (QSFP-DD) モジュールは、最大 400Gbit/s の速度をサポートしています。ホット プラグ時のシステム保護に加えて、光モジュールにおけるもう一つの重要な要件は、厳密な電圧レギュレーションです。光モジュールは 3.3V 電源を使用しており、正常に動作させるためには $\pm 5\%$ 以内の電圧レギュレーションが必要です。

この種のシステムの代表的な電源ツリーを、[図 8-7](#) に示します。光ライン カードは、DC/DC コンバータ、保護デバイス (eFuse)、および電源フィルタで構成されています。DC/DC コンバータは 12V を 3.3V に降圧し、3.3V レールを $\pm 2\%$ 以内に維持します。電源フィルタリング ネットワークでは、光モジュールへの高周波ノイズの侵入を低減するために、「LC」部品を使用します。インダクタ「L」の DC 抵抗によって約 1.5% の電圧降下が発生するため、保護デバイスで許容される電圧降下の余裕は、わずか 1.5% ($3.3V \times 1.5\% = 50mV$) しか残されていません。モジュールあたりの最大負荷電流が 5.5A であることを考慮すると、保護デバイスの最大 ON 抵抗を 9m Ω 未満にする必要があります。TPS259814x eFuse は、6m Ω (標準値) という超低オン抵抗を実現しており、十分なマージンを持って目標仕様を満たすと同時に、システム全体の設計を簡素化します。

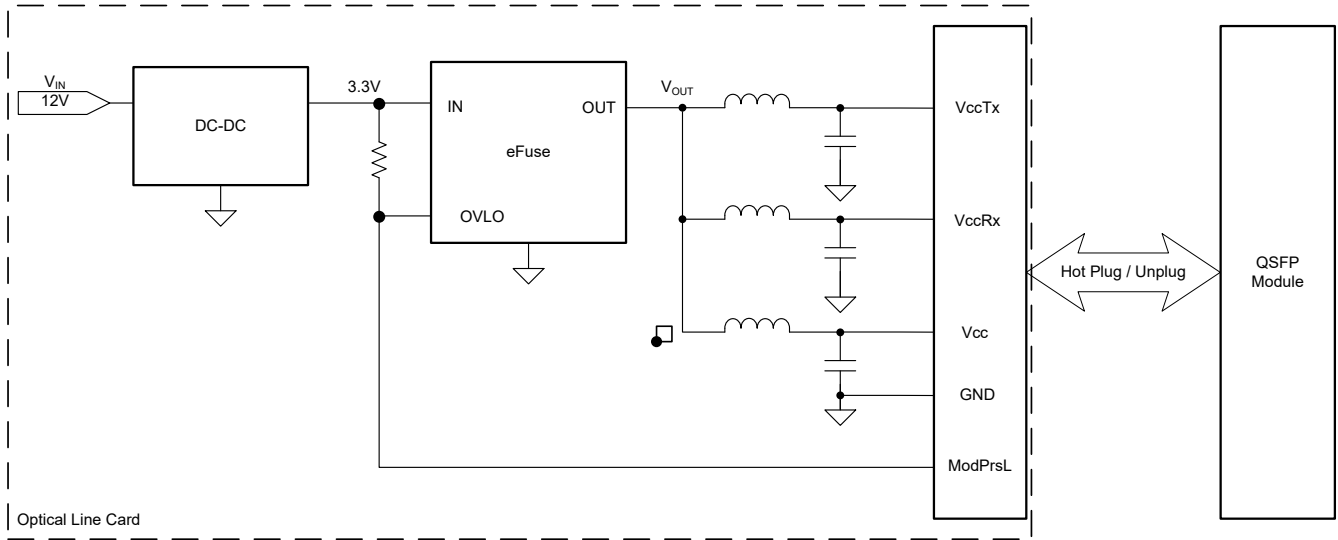
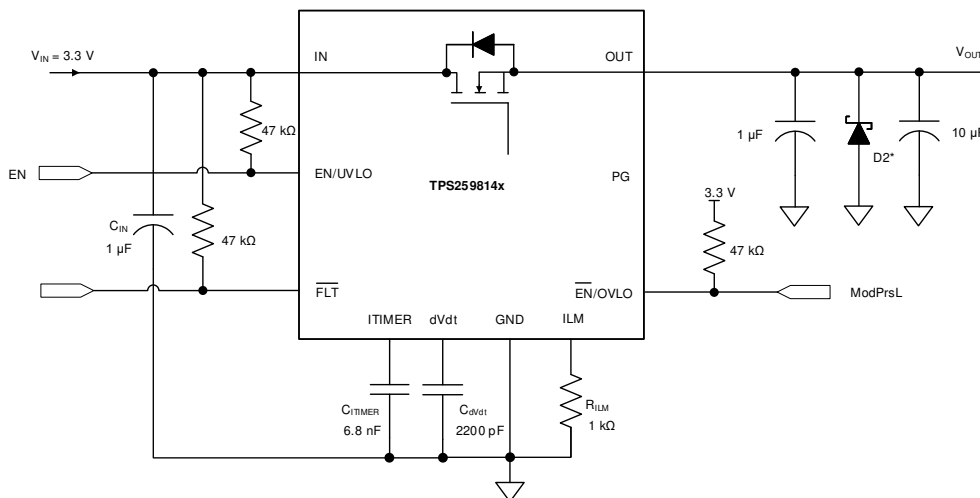


図 8-7. 代表的な光ラインカードの電源ツリーブロック図

図 8-7 に示すように、ModPrsL 信号はラインカードと光モジュールの間のハンドシェイク信号として機能します。ModPrsL は、モジュール内部で常にグラウンドにプルされています。モジュールがホストの「光ラインカード」コネクタにホットプラグされると、ModPrsL 信号によって OVLO ピンが Low にプルされ、TPS259814x eFuse が有効になってモジュールへ電力を供給します。このアクションにより、モジュールが挿入されている場合のみポートへ電力が供給され、モジュールが存在しない場合には電力が切断されます。



入力および出力インダクタンスに応じた過渡保護のために必要なオプションの回路部品。詳細については、セクション 8.3.1 も参照してください。

図 8-8. 光学モジュールポートの保護

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
入力電源電圧 (V_{IN})	3.3V
経路内での最大電圧降下	±5%
最大連続電流	5.5A

表 8-1. 設計パラメータ (続き)

パラメータ	値
負荷過渡ブランキング間隔 (t_{TIMER})	5ms
出力キャパシタンス (C_{OUT})	10 μ F
出力立ち上がり時間 (t_{R})	2.2ms
過電流スレッショルド (I_{LIM})	6.5A
故障応答	自動再試行

8.2.2 詳細な設計手順

8.2.2.1 デバイスの選択

アプリケーションでは、故障後の再試行応答が必要なため、「[デバイス比較表](#)」を参照して、TPS259814A バリエーションを選択します。

8.2.2.2 出力電圧立ち上がり時間の設定 (t_{R})

適切な設計には、動的 (起動) 条件と定常状態条件の両方において、デバイスの接合部温度を絶対最大定格よりも低く維持する必要があります。動的な電力ストレスは安定しているストレスよりも数桁大きいため、適切な起動時間とシステム容量に必要な突入電流制限を決定して、起動時のサーマル シャットダウンを防止することが重要です。

適切な出力立ち上がり時間を実現するために必要なスルーレート (SR) は、次のようにして計算できます。

$$SR \left(\frac{\text{V}}{\text{ms}} \right) = \frac{V_{\text{IN}}(\text{V})}{t_{\text{R}}(\text{ms})} = \frac{3.3\text{V}}{2.2\text{ms}} = 1.5 \frac{\text{V}}{\text{ms}} \quad (9)$$

このスルーレートを実現するために必要な C_{dVdt} は、次のように計算できます。

$$C_{\text{dVdt}}(\text{pF}) = \frac{3300}{SR \left(\frac{\text{V}}{\text{ms}} \right)} = \frac{3300}{1.5 \frac{\text{V}}{\text{ms}}} = 2200\text{pF} \quad (10)$$

コンデンサの最も近い標準値として 2200pF を選択します。

このスルーレートの場合、突入電流は次のように計算できます。

$$I_{\text{INRUSH}}(\text{mA}) = C_{\text{OUT}}(\mu\text{F}) \times SR \left(\frac{\text{V}}{\text{ms}} \right) = 10 \mu\text{F} \times 1.5 \frac{\text{V}}{\text{ms}} = 15\text{mA} \quad (11)$$

突入時の部品内部での平均消費電力は、次のように計算できます。

$$PD_{\text{INRUSH}}(\text{mW}) = 0.5 \times V_{\text{IN}}(\text{V}) \times I_{\text{INRUSH}}(\text{mA}) = 0.5 \times 3.3\text{V} \times 15\text{mA} = 25\text{mW} \quad (12)$$

起動時の障害を避けるため、与えられた消費電力に対して、デバイスのサーマル シャットダウン時間をランプアップ時間 t_{R} よりも長くする必要があります。図 8-9 に、サーマル シャットダウン制限を示します。電力が 0.025W の場合、シャットダウン時間は 10s 以上で、 $t_{\text{R}} = 2.2\text{ms}$ と比較して非常に長くなっています。したがって、このアプリケーションの起動時間として 2.2ms を使用しても安全です。

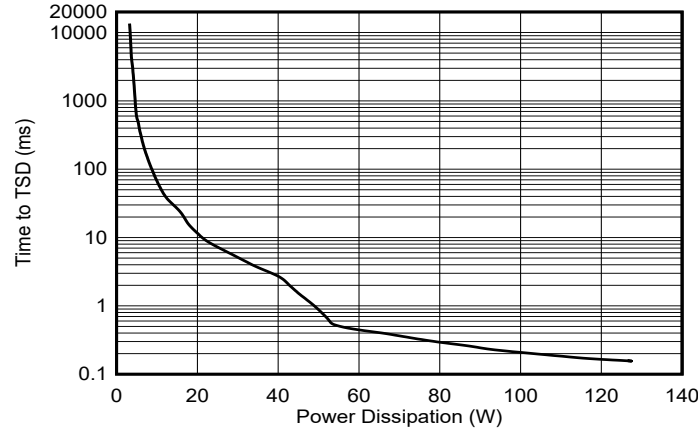


図 8-9. 突入電流時のサーマル シャットダウンのプロット

8.2.2.3 過電流スレッシュホールドの設定 (I_{LIM})

過電流保護 (サーキット ブレーカ) スレッシュホールドは、 R_{ILM} 抵抗を使用して設定できます。この抵抗の値は、次のように計算できます。

$$R_{ILM} (\Omega) = \frac{6585}{I_{LIM} (A)} = \frac{6585}{6.5 A} = 1013\Omega \quad (13)$$

最も近い 1% の標準抵抗値として 1k Ω を選択します。

8.2.2.4 過電流ブランキング間隔の設定 (t_{TIMER})

過電流ブランキング タイマの間隔は、 C_{TIMER} コンデンサを使用して設定できます。この値は次のように計算できます。

$$C_{TIMER} (nF) = \frac{t_{TIMER} (ms) \times I_{TIMER} (\mu A)}{\Delta V_{TIMER} (V)} = \frac{5ms \times 2 \mu A}{1.51V} = 6.62nF \quad (14)$$

コンデンサの最も近い標準値として 6.8nF を選択します。

8.2.2.5 電圧降下

表 8-2 に、さまざまな電力クラスの QSFP モジュール内の eFuse による電力パスの電圧降下 (%) を示します。

表 8-2. QSFP モジュール電源レールでの TPS25981 両端の電圧降下

電力クラス	モジュールあたりの最大消費電力 (W)	最大負荷電流 (A)	代表的な電圧降下 (%)
1	1.5	0.454	0.082
2	3.5	1.06	0.192
3	7	2.12	0.385
4	8	2.42	0.440
5	10	3.03	0.551
6	12	3.63	0.660
7	14	4.24	0.771
8	18	5.45	0.991

8.2.3 アプリケーション曲線

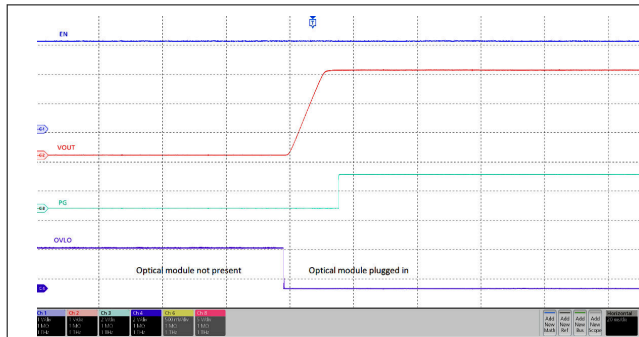


図 8-10. 光モジュールを挿入したときの出力電圧プロファイル

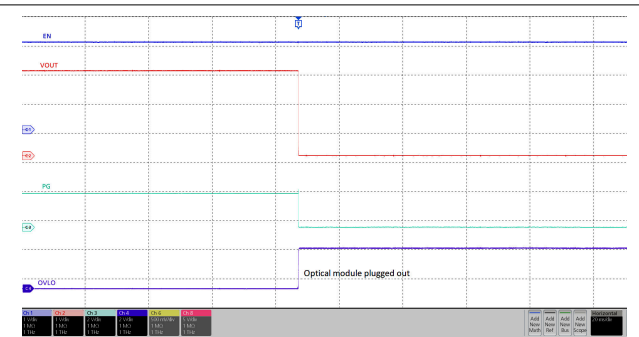


図 8-11. 光モジュールが接続されているときの出力電圧プロファイル

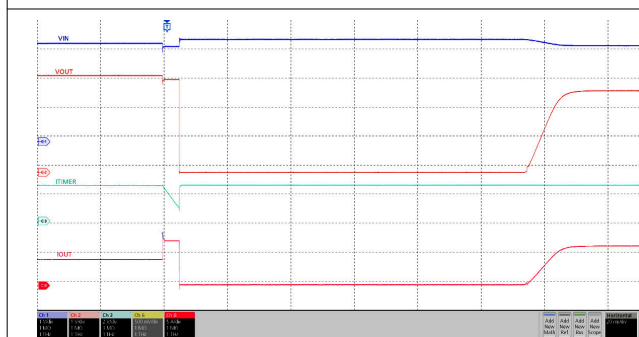


図 8-12. 5ms の過渡過電流ブランキング時間付きサーキットブレーカ動作：デバイスは電流制限モードで再起動

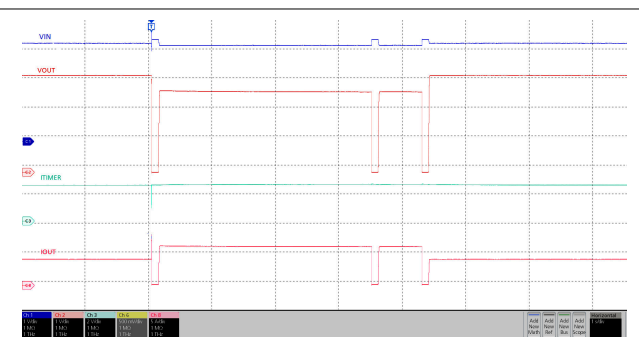


図 8-13. 過負荷応答と回復

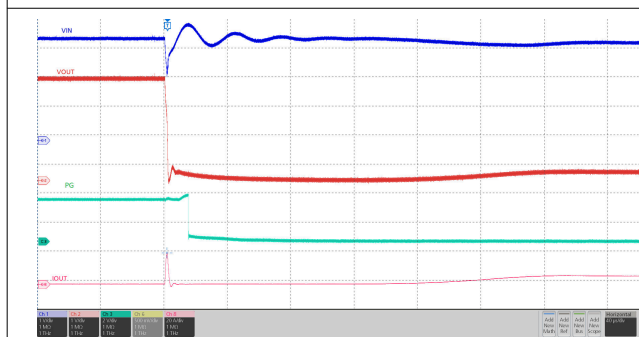


図 8-14. オン時の出力ハード短絡

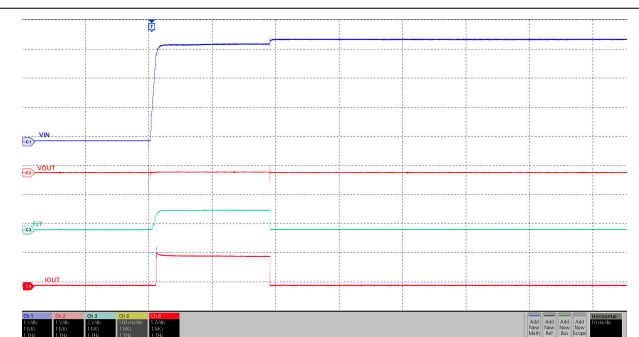


図 8-15. 出力短絡状態での電源投入

8.3 電源に関する推奨事項

TPS25981xx デバイスは、 $2.7V \leq V_{IN} \leq 16V$ の電源電圧範囲向けに設計されています。入力電源がデバイスから数インチ以上離れている場合、TI は $0.1\mu F$ を超える入力セラミックバイパスコンデンサを使用することを推奨しています。過電流および短絡状態での電圧ドループを防止するため、電源の定格は設定された電流制限値よりも高く設定する必要があります。

8.3.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡および過負荷電流制限が発生した場合、2 つの事象が発生します。まず、入力インダクタンスによって入力に正の電圧スパイクが発生します。同様に、出力インダクタンスによって、出力に負の電圧スパイクが生じます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダ

クタンズの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。
- デバイスのすぐ近くの OUT ピンに 1 μ F 以上の低 ESR コンデンサを接続します。
- 低値のセラミック コンデンサ ($C_{IN} = 1\mu F$) を使用して、エネルギーを吸収し、過渡現象を減衰させます。誘導性リング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

式 15 を使用して、入力容量の近似値を推定します。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (15)$$

ここで、

- V_{IN} は公称電源電圧です。
- I_{LOAD} は負荷電流です。
- L_{IN} はソースから見た実効インダクタンスに等しい値です。
- C_{IN} は入力に存在する容量です。
- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、予期しない動作を引き起こすのを防ぐのに役立ちます。

図 8-16 に、オプションの保護部品を使用した回路実装を示します。

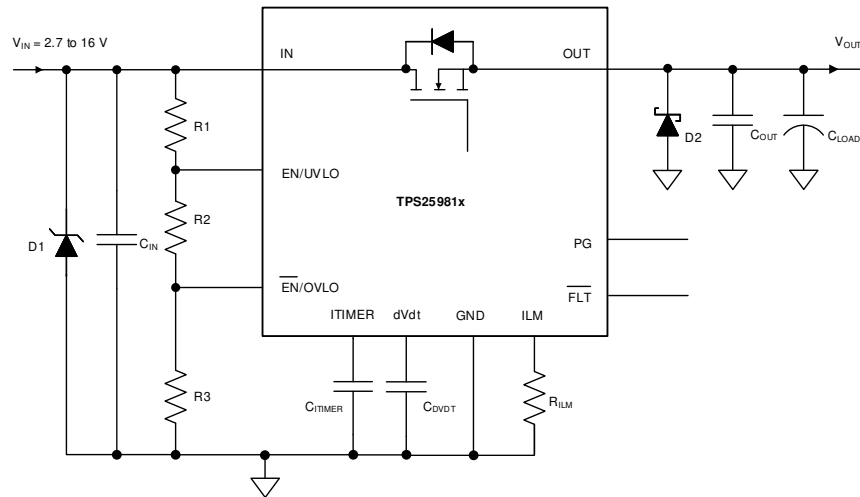


図 8-16. オプションの保護部品を使用した回路実装

8.3.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るとすることは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 回路レイアウト
- 部品選定
- 出力短絡方法

- 短絡の相対位置
- 計測

実際の短絡は、微視的に跳ね返ったり弧を描いたりするため、ある程度のランダム性を示します。現実的な結果を得るために、設定と方法が使用されていることを確認します。設定はそれぞれ異なっているため、このデータシートの波形とまったく同じような波形が見られることを期待しないでください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- すべての用途に対して、TI は $0.1\mu\text{F}$ 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。
- デカップリング コンデンサの最適な配置は、デバイスの IN および GND 端子にできるだけ近づけて配置します。バイパス コンデンサ接続部、IC の IN 端子、および GND 端子によって形成されるループ面積を最小限に抑えるよう注意してください。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。
- GND 端子は、IC の端子で極力短いパターンを使用して PCB グランド プレーンに接続する必要があります。PCB の接地は、基板上の銅プレーンまたはアイランドである必要があります。eFuse には個別のグランド プレーン アイランドを配置することを推奨します。このプレーンは高い電流を流さず、eFuse の重要なアナログ信号のすべてに対して、低ノイズのグランド基準としての役割を果たします。本デバイスのグランド プレーンは、スター接続を使用してシステムの電源グランド プレーンに接続する必要があります。
- 放熱には IN および OUT ピンを使用します。サーマル ビアを使って、PCB 層の上層と下層にある、できるだけ多くの銅の面積に接続します。デバイスの下にあるビアは、IN および OUT パッドの両端の電圧勾配を最小限に抑え、デバイス全体で電流を均一に分配するのにも役立ちます。これは、最良のオン抵抗と電流センスの精度を実現するために不可欠です。
- 次のサポート部品を接続ピンの近くに配置します。
 - R_{ILM}
 - C_{dVdt}
 - C_{ITIMER}
 - EN/UVLO ピン、 $\overline{\text{EN}}/\text{OVLO}$ ピンの抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの GND ピンに接続します。電流制限、過電流ブランキング インターバルおよびソフト スタート タイミングに対する寄生効果を極力低減するために、 R_{ILM} 、 C_{ITIMER} および C_{dVdt} 部品からデバイスへのパターン配線は極力短くする必要があります。安定した動作を確保するために、TI は ILM ピンの寄生容量を 50pF 未満にすることを推奨します。これらのトレースは基板上のスイッチング信号と結合しないでください。
- ILM ピンのバイアス電流はデバイスの過電流保護動作を直接制御するため、これらのノードの PCB 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、物理的に保護対象のデバイスの近くに配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡に対処するためには、TI は保護ショットキー ダイオードを推奨します。OUT と GND の間に、 $1\mu\text{F}$ 以上のセラミック デカップリング コンデンサを追加することも推奨します。このような部品は、OUT ピンに物理的に近い場所に配置する必要があります。ショットキー ダイオード、バイパス コンデンサ接続部、IC の OUT 端子、および GND 端子によって形成されるループ面積を最小限に抑えるよう注意してください。

8.4.2 レイアウト例

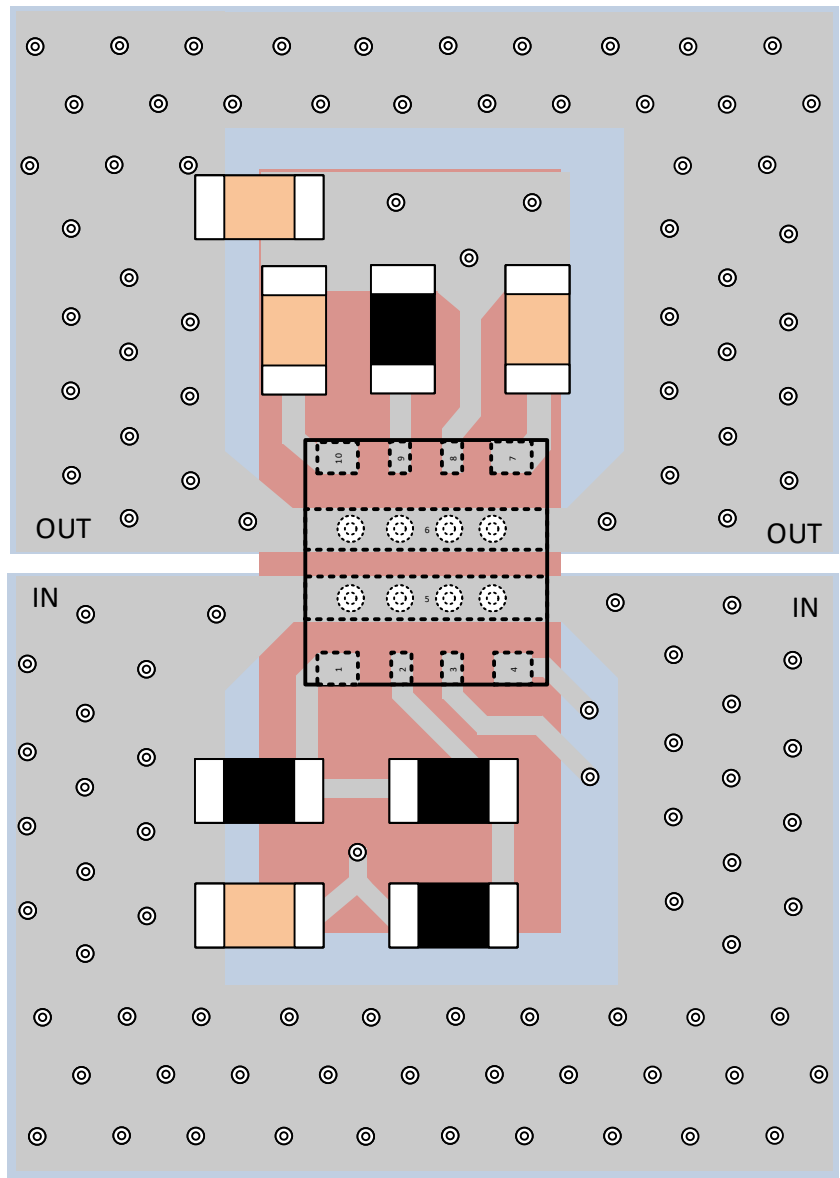
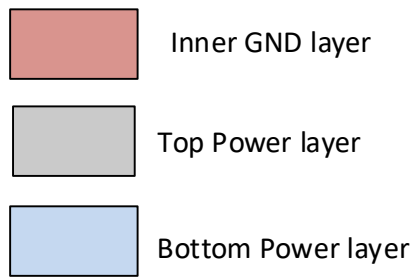


図 8-17. レイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[TPS25981EVM eFuse 評価ボード](#)』
- テキサス・インスツルメンツ、『[TPS25981xx 設計カリキュレータ](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2023) to Revision C (May 2026)	Page
• UL 2367 認定を追加.....	1
• 「その他のバリエーション」を「シングル デバイス、自己制御型」から「その他のバリエーション」に移動	31

Changes from Revision A (July 2022) to Revision B (June 2023)**Page**

• 「逆電流用に外部 FET を駆動するオプション」を追加.....	1
• バリエーション TPS259813ARPW および TPS259813LRPW を追加.....	3
• DVDT ピンの説明を更新.....	4
• 画像のフォーマットを更新.....	11
• 画像を更新.....	19
• 図 7-7 を更新.....	27
• セクション 7.3.9 を追加.....	29

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259813ARPWR	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	34NH
TPS259813ARPWR.A	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	34NH
TPS259813LRPWR	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	34OH
TPS259813LRPWR.A	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	34OH
TPS259814ARPWR	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2KWH
TPS259814ARPWR.A	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2KWH
TPS259814LRPWR	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2KXH
TPS259814LRPWR.A	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2KXH
TPS259814LRPWRG4	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2KXH
TPS259814LRPWRG4.A	Active	Production	VQFN-HR (RPW) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2KXH

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

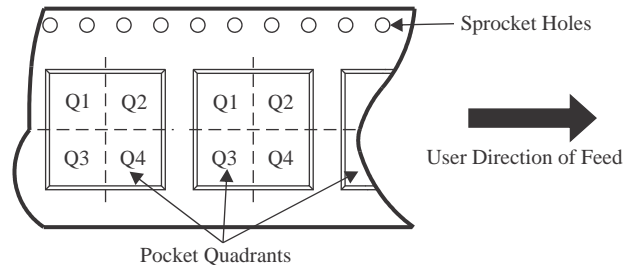
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


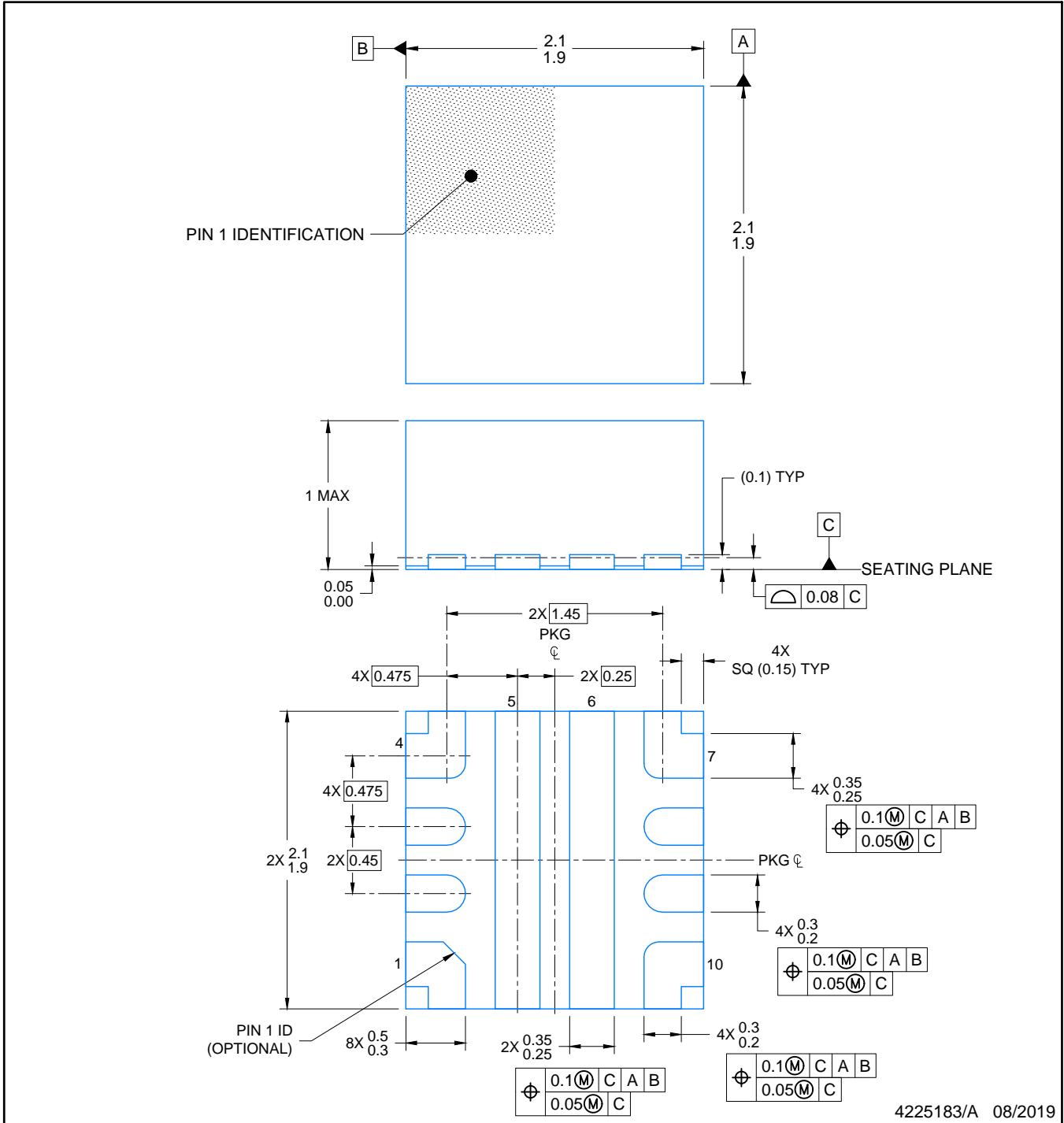
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS259813ARPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259813LRPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259814ARPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259814LRPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259814LRPWRG4	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS259813ARPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259813LRPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259814ARPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259814LRPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259814LRPWRG4	VQFN-HR	RPW	10	3000	210.0	185.0	35.0



4225183/A 08/2019

NOTES:

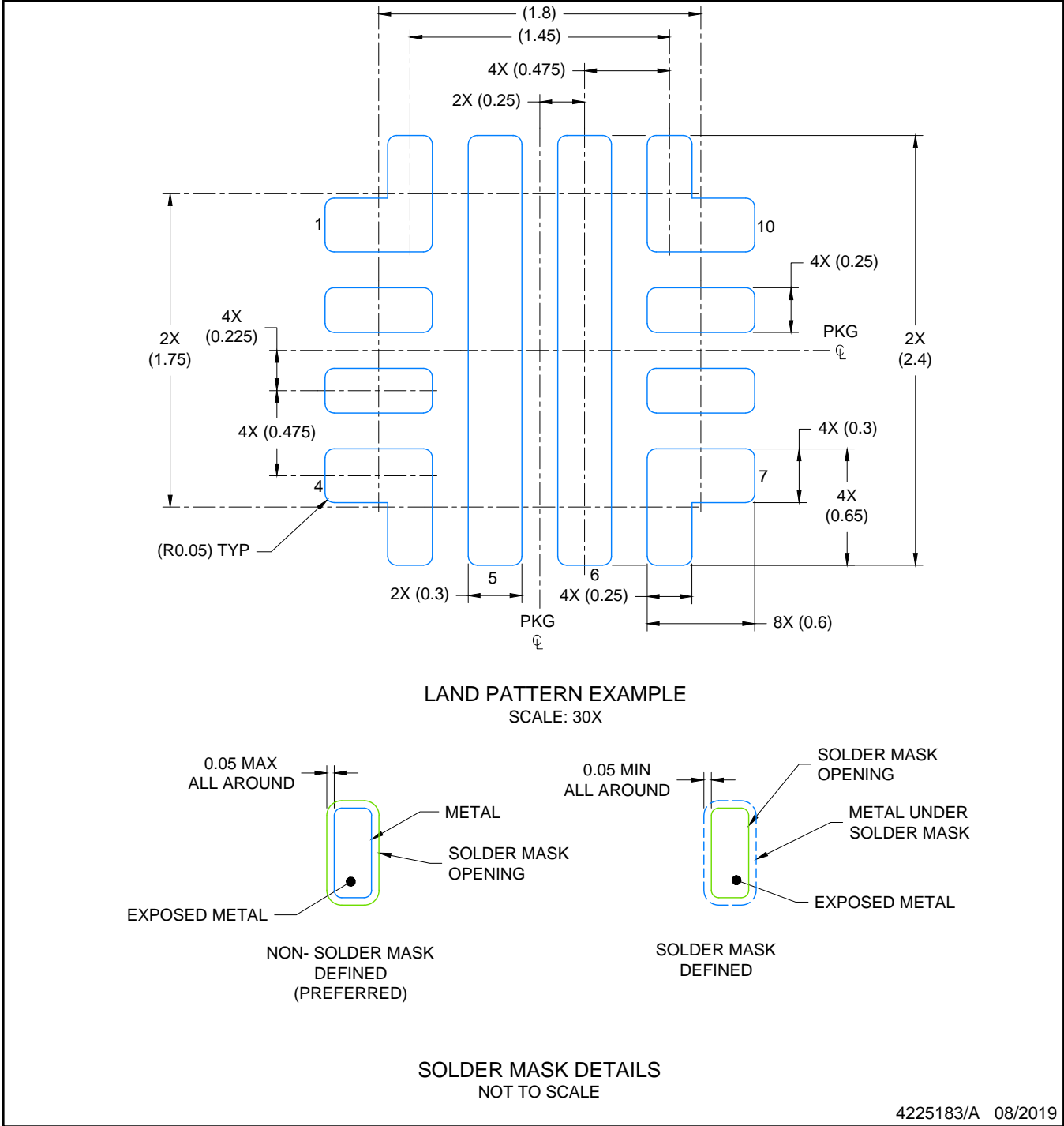
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

RPW0010A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

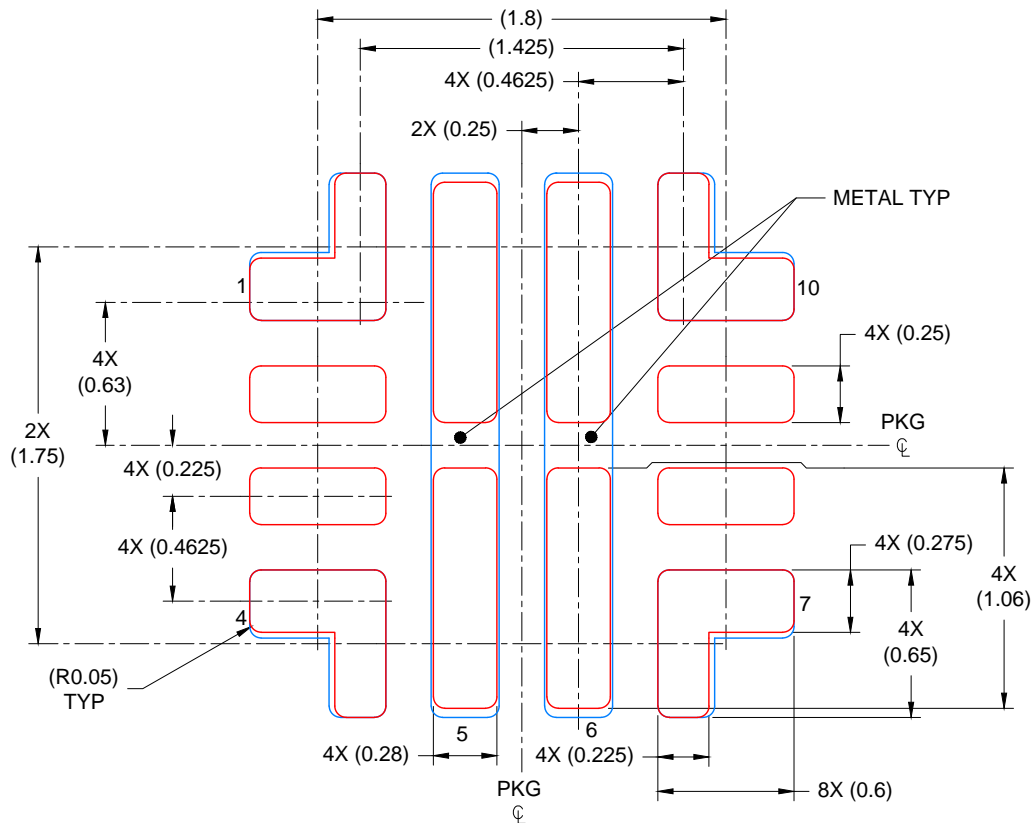
- 3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- 4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

RPW0010A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.100 mm THICK STENCIL

PADS 1, 4, 7 & 10: 93%; PADS 5 & 6: 82%
SCALE: 30X

4225183/A 08/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月