

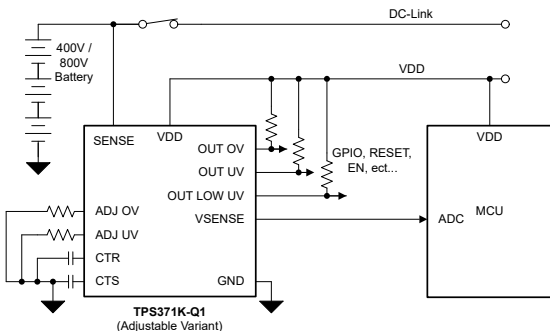
TPS371K-Q1 車載用 1500V ウィンドウ (OV および UV) スーパーバイザ、400V および 800V DC リンク電圧測定用バッファ内蔵

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1: -40°C ~ +125°C
- 機能安全規格準拠を対象とする [プレビュー]
 - 機能安全アプリケーション向け開発
 - ISO 26262 システムの設計に役立つ資料
- 400V と 800V の BMS と DC リンク向けの過電圧および低電圧障害モニタ
 - 1% の過電圧出力と低電圧出力
 - システムの障害耐性期間の最小化に役立つ高速検出時間 (5 μ s 未満)
 - 30V ~ 60V、低 UV 出力
- 設計要件を満たすデバイスの柔軟性
 - 過電圧と低電圧のスレッシュホールドはユーザーが選択可能
 - ユーザーがプログラム可能なコンデンサ ベースのグリッチ除去およびデアサート遅延
- ADC を監視するためのバッファを内蔵
 - 高精度 0.35% (最大値) のセンスピン電圧を低減
 - VSENSE ピンは、高速 ADC 入力を直接駆動できます
- 安全アプリケーション向けに設計 (プレビュー)
 - 出力ラッチ機能により、システムを安全な状態に移行
 - デバイスの機能を監視し、システム保護を強化するための内蔵セルフテスト

2 アプリケーション

- 高電圧バッテリー システム
- トラクション インバータ
- 統合型高電圧 (OBC: オンボード チャージャと DC/DC)
- DC/DC コンバータ システム



代表的なアプリケーション回路 (可変バージョン)

3 説明

TPS371KQ1 は、400V と 800V の DC リンク電圧測定に適したバッファ内蔵の電圧監視向け車載スーパーバイザです。TPS371K-Q1 を使用すると、高電圧ラダーを内蔵した大抵抗ラダーを排除できます。このデバイスの SENSE ピンは、400V または 800V の車載用バッテリー システムや DC-Link に直接接続して、過電圧 (OV)、低電圧 (UV)、低電圧 (LUV) の状態を継続的に監視できます。TPS371K-Q1 は、ノイズの多い環境でグリッチ除去をプログラム可能な CTS 機能を提供します。

TPS371K-Q1 には、電源電圧測定用の高速バッファ VSENSE が内蔵されています。このバッファは出力インピーダンスが低く、ADC 入力を直接駆動できます。VSENSE は SENSE ピンの入力電圧をスケールダウンした値です。

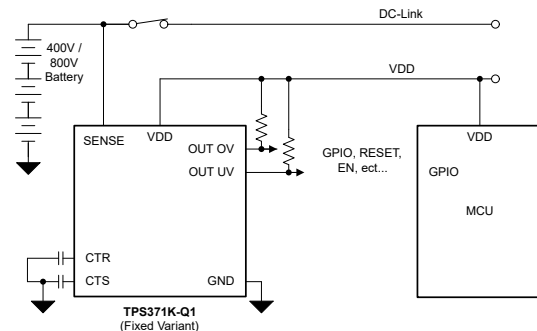
電圧スーパーバイザと内蔵のバッファの組み合わせにより、最小のシグナル チェーン サイズで 400V と 800V のシステムを直接監視できます。この組み合わせにより、冗長なデジタルおよびアナログの常時オン電圧フォルト監視も可能になります。

TPS371K-Q1 デバイスは、12.8mm × 7.4mm SOIC 15 ピン パッケージで供給されます。TPS371K-Q1 は -40°C ~ +125°C の T_A で動作します。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称) ⁽²⁾
TPS371K-Q1	SOIC (15) (DFX)	12.8mm × 7.4mm

- パッケージの詳細については、このデータシートの末尾の外形図を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーションの回路 (固定バージョン)



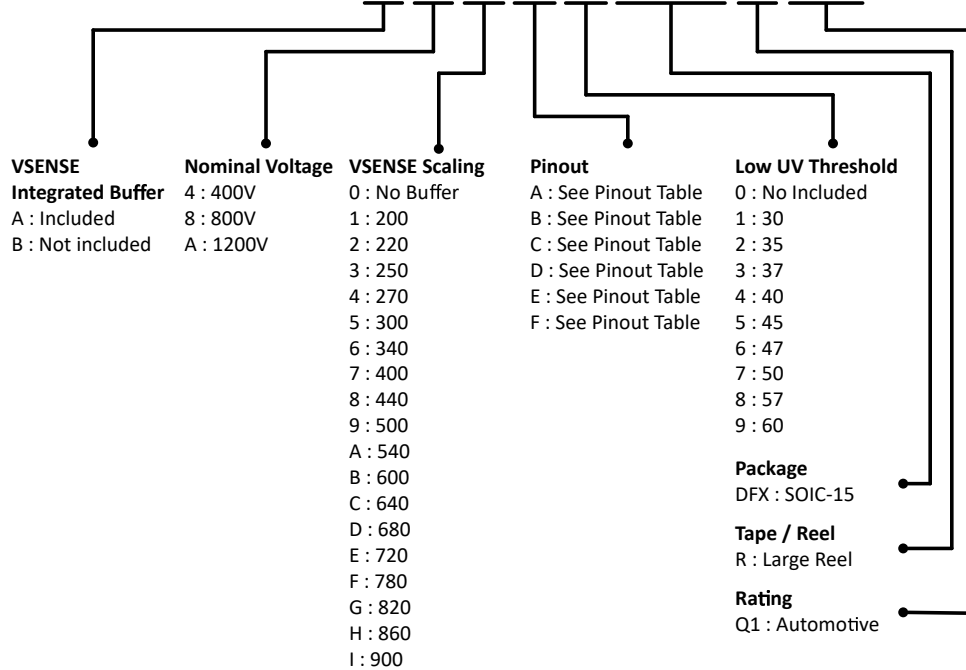
目次

1 特長.....	1	7.2 機能ブロック図.....	19
2 アプリケーション.....	1	7.3 機能説明.....	20
3 説明.....	1	8 アプリケーションと実装.....	31
4 デバイスの比較.....	3	8.1 使用上の注意.....	31
5 ピン構成および機能.....	4	8.2 代表的なアプリケーション.....	31
6 仕様.....	7	8.3 電源に関する推奨事項.....	34
6.1 絶対最大定格.....	7	8.4 レイアウト.....	34
6.2 ESD 定格.....	7	9 デバイスおよびドキュメントのサポート.....	36
6.3 推奨動作条件.....	7	9.1 デバイスの命名規則.....	36
6.4 熱に関する情報.....	7	9.2 ドキュメントのサポート.....	36
6.5 電気的特性.....	8	9.3 ドキュメントの更新通知を受け取る方法.....	36
6.6 スイッチング要件.....	12	9.4 サポート・リソース.....	36
6.7 タイミング要件.....	14	9.5 商標.....	36
6.8 タイミング図.....	15	9.6 静電気放電に関する注意事項.....	36
6.9 代表的特性.....	18	9.7 用語集.....	36
7 詳細説明.....	19	10 改訂履歴.....	36
7.1 概要.....	19	11 メカニカル、パッケージ、および注文情報.....	37

4 デバイスの比較

デバイス デコーダに、可変オプションの TPS371K-Q1 のデバイス命名規則の一部を示します。すべてのデバイスの命名規則がこの命名規則表に従っているとは限りません。すべての可変および固定電圧スレッショルド バリエーションの詳細については、『デバイスの項目表記』を参照してください。他のオプションの詳細と提供状況については、TI の販売代理店または TI の E2E フォーラムにお問い合わせください。

TPS371K X X X X X XXX X XX



- この表では、すべての TPS371K-Q1 デバイスをデコードできるわけではありません。部品番号によるデコード表、固定スレッショルド バリエーションについては、『デバイスの項目表記』を参照してください。
- 400V TPS371K-Q1 の場合、低電圧スレッショルドは 180V ~ 300V の範囲内、過電圧は 440V ~ 540V の範囲内になる可能性があります。
- 800V TPS371K-Q1 の場合、低電圧スレッショルドは 360V ~ 600V の範囲内、過電圧は 860V ~ 1080V の範囲内になる可能性があります。
- 1200V TPS371K-Q1 の場合、低電圧スレッショルドは 540V ~ 900V の範囲内、過電圧は 1290V ~ 1500V の範囲内になる可能性があります。

5 ピン構成および機能

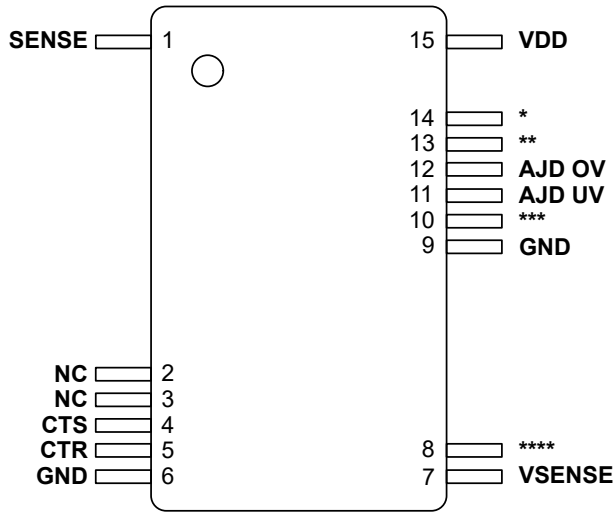


図 5-1. DFX パッケージ、
15 ピン SOIC、
TPS371K A-Q1 可変バージョン (上面図)

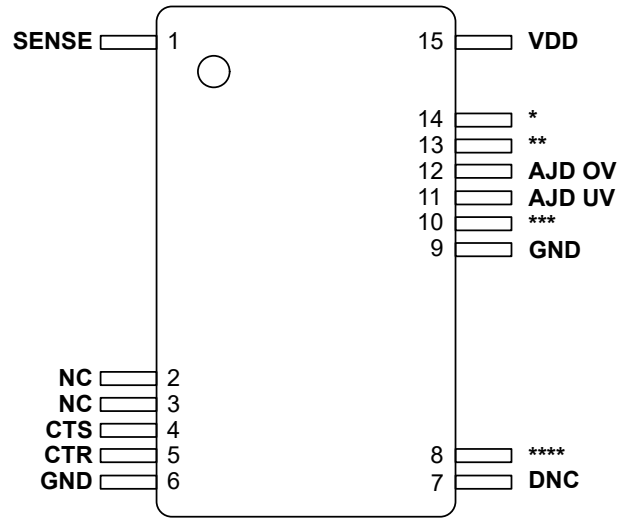


図 5-2. DFX パッケージ、
15 ピン SOIC、
TPS371KB-Q1 可変バージョン (上面図)

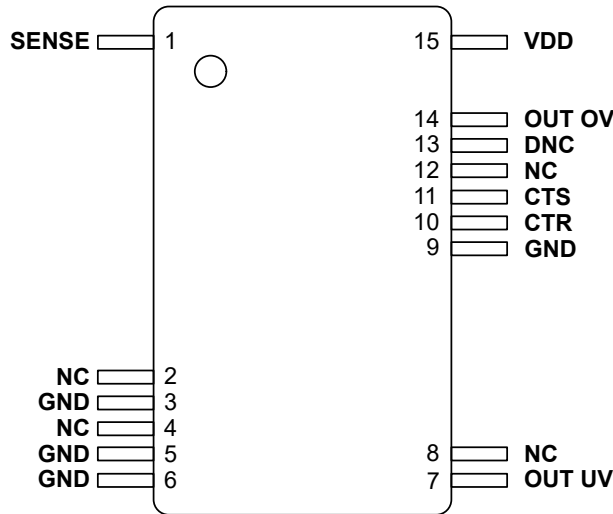


図 5-3. DFX パッケージ、
15 ピン SOIC、
TPS371K -Q1 固定バージョン (上面図)

表 5-1. ピン配置表

OPN のピン配置	ピン 8****	ピン 10***	ピン 13**	ピン 14*
A	BIST EN	BIST	OUT UV	OUT OV
B	NC	NC	OUT UV	OUT OV
C	BIST EN	低 UV と BIST	OUT UV	OUT OV
D	NC	低 UV	OUT UV	OUT OV
E	BIST EN	BIST	低 UV	OUT OV
F	NC	NC	低 UV	OUT OV

ADVANCE INFORMATION

表 5-2. ピンの機能

名称	ピン			I/O	説明
	TPS371 KANO の詳細を示します。	TPS371 KBNO の詳細を示します。	TPS371 K 固定番号		
SENSE	1	1	1	I	センス電圧: このピンは、監視が必要な電圧レールに接続します。
GND	4, 7	4, 7	4, 5, 6, 9	-	グラウンド: すべての GND ピンは、基板のグラウンドに電気的に接続する必要があります。
CTR	5	5	10	O	解放時間遅延: 出力ピンのリリース時間遅延をユーザーがプログラム可能。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。 出力ピンの構成については、『デバイスの項目表記』表を参照してください。
CTS	6	6	11	O	SENSE 時間遅延: SENSE のセンス時間遅延をユーザーがプログラム可能。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。 出力ピンの構成については、『デバイスの項目表記』表を参照してください。
VSENSE	9	-	-	O	電圧検出: 内蔵バッファの出力 (SENSE ピンの電圧をスケールダウン)。 出力ピンの構成については、『デバイスの項目表記』表を参照してください。
ADJ UV	11	11	-	I	可変低電圧スレッシュホールド: ユーザーは、外付け抵抗を使ってスタートアップ時の電圧を設定することにより、内部低電圧スレッシュホールドをプログラムできます。 選択可能なスレッシュホールド オプションについては、電圧スレッシュホールド表
ADJ OV	12	12	-	I	調整可能な過電圧スレッシュホールド: ユーザーは、スタートアップ時に外付け抵抗を使用して電圧を設定することにより、内部の過電圧スレッシュホールドをプログラムできます。 選択可能なスレッシュホールド オプションについては、電圧スレッシュホールド表
OUT UV	ピン配置表を参照してください	ピン配置表を参照してください	7	O	出力低電圧信号: SENSE が低電圧スレッシュホールドを超えると、OUT UV がアサートされます。アサート時間遅延は、固定されるか、CTS により設定されます。SENSE がフォルト状態から遷移した後、OUT UV は解放時間の間アサートされたままになります。アクティブ low、オープンドレインリリース出力には、外付けのプルアップ抵抗が必要です。 OUT UV のスレッシュホールドおよびタイミングの構成については、『デバイスの項目表記』表を参照してください。 出力ポロジ: オープンドレイン アクティブ Low
OUT OV	ピン配置表を参照してください	ピン配置表を参照してください	14	O	出力過電圧信号: SENSE が過電圧スレッシュホールドを超えると、OUT OV がアサートされます。アサート時間遅延は、固定されるか、CTS により設定されます。SENSE がフォルト状態から遷移した後、OUT OV は解放時間の間アサートされたままになります。アクティブ low、オープンドレインリリース出力には、外付けのプルアップ抵抗が必要です。 OUT OV のスレッシュホールドおよびタイミングの構成については、『デバイスの項目表記』表を参照してください。 出力ポロジ: オープンドレイン アクティブ Low
低 UV	ピン配置表を参照してください	ピン配置表を参照してください	-	O	出力 Low 低電圧信号: OUT low UV は、SENSE が CTS で設定されたセンス時間遅延の後に Low 過電圧スレッシュホールドを超えると、アサートされます。SENSE がフォルト状態から遷移した後、OUT Low UV は、解放時間の間アサートされたままとなります。アクティブ low、オープンドレインリリース出力には、外付けのプルアップ抵抗が必要です。 出力ポロジ: オープンドレイン アクティブ Low
BIST	ピン配置表を参照してください	ピン配置表を参照してください	-	O	出力内蔵セルフテスト (BIST): BIST が動作中のときに BIST がアサートされます。BIST 動作は、デバイスの起動時に、BIST_EN ピンの立ち上がりエッジによって開始されます。BIST は、内部障害をチェックするデバイス診断テストです。障害が発生した場合、BIST はアサートされたままになります。BIST が成功すると、BIST ピンはデアサートされます。 出力ポロジ: オープンドレイン アクティブ Low

表 5-2. ピンの機能 (続き)

名称	ピン			I/O	説明
	TPS371 KANO の詳細を示します。	TPS371 KBNO の詳細を示します。	TPS371 K 固定番号		
BIST_EN	ピン配置表を参照してください	ピン配置表を参照してください	-	I	内蔵セルフテストイネーブル (BIST EN): BIST イネーブルピンの立ち上がりエッジにより、BIST が開始されます。ラッチ付きバリエーションの場合、BIST EN もラッチをイネーブル/ディセーブルにします。
VDD	15	15	15	I	入力電源電圧: 電源電圧ピン。ノイズの多い環境では、0.1μF コンデンサを使用して GND にバイパスします。
NC	2, 3, 8	2, 3, 8	2, 4, 8, 12	-	接続なし: ピンはフローティングにするか、GND に接続します。
DNC	-	7	13	-	接続禁止: 適切に動作するには、ピンをフローティングのままにします。

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 特に記述のない限り ⁽¹⁾

		最小値	最大値	単位
電圧	V _{SENSE}	-0.3	1500	V
電圧	V _{DD} 、V _{OUTOV} 、V _{OUTUV} 、V _{LOWUV} 、V _{VSENSE} 、V _{ADJOV} 、V _{ADJUV} 、V _{CTS} 、V _{CTR} 、V _{BIST} 、V _{BIST_EN}	-0.3	6	V
電流	I _{OUTOV} 、I _{OUTUV} 、I _{LOWUV} 、I _{BIST}		10	mA
温度	動作時の接合部温度、T _J	-40	150	°C
温度	動作時周囲温度、T _A	-40	150	°C
温度	保存、T _{stg}	-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

V _(ESD)	静電放電		値	単位
		人体モデル (HBM)、AEC - Q100-002 準拠 ⁽¹⁾	2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電圧	V _{SENSE}	0		1500	V
電圧	V _{DD} 、V _{OUTOV} 、V _{OUTUV} 、V _{LOWUV} 、V _{VSENSE} 、V _{ADJOV} 、V _{ADJUV} 、V _{CTS} 、V _{CTR} 、V _{BIST} 、V _{BIST_EN}	0		5.5	V
電流	I _{OUTOV} 、I _{OUTUV} 、I _{LOWUV} 、I _{BIST}	0		5	mA
T _J	接合部温度 (自由気流の温度)	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS371K-Q1		単位
		DFX		
		15 ピン		
R _{θJA}	接合部から周囲への熱抵抗	90.1		°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	30		°C/W
R _{θJB}	接合部から基板への熱抵抗	40.5		°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	19		°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	42.6		°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗			°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

6.5 電気的特性

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、CTR = CTS = オープン、 $R_{Pullup} = 10k\Omega$ 、 $V_{Pullup} = V_{DD}$ 、 $C_L = 10pF$ 、 $T_A = -40^\circ C \sim 125^\circ C$ における最小値および最大値の仕様で、標準値は $T_A = 25^\circ C$ 、 $V_{DD} = 3.3V$ 時の値で、 $V_{SENSE} = \text{公称電圧} / \text{スケールファクタ}$ になります。
公称電圧 = 400V、800V、1.2kV、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD						
V_{DD}	電源電圧 ⁽¹⁾		2.7		5.5	V
UVLO	低電圧誤動作防止	V_{DD} が $V_{DD(MIN)}$ より上に上昇			2.7	V
UVLO	低電圧誤動作防止	V_{DD} が $V_{DD(MIN)}$ 未満に低下			2.65	V
V_{POROV}	パワーオンリセット電圧 ⁽²⁾ OUT OV アクティブ Low (オープンドレイン)	$V_{OUTOV(MAX)} = 300mV$ $I_{OUT(Sink)} = 15\mu A$			0.7	V
V_{PORUV}	パワーオンリセット電圧 ⁽²⁾ OUT UV アクティブ Low (オープンドレイン)	$V_{OUTUV(MAX)} = 300mV$ $I_{OUT(Sink)} = 15\mu A$			0.7	V
$V_{PORBIST}$	パワーオンリセット電圧 ⁽²⁾ BIST アクティブ Low (オープンドレイン)	$V_{BIST(MAX)} = 300mV$ $I_{OUT(Sink)} = 15\mu A$			0.7	V
$V_{PORLOWUV}$	パワーオンリセット電圧 ⁽²⁾ LOW UV アクティブ Low (オープンドレイン)	$V_{LOWUV(MAX)} = 300mV$ $I_{OUT(Sink)} = 15\mu A$			0.7	V
I_{DD}	VDD ピンへの電源電流	$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ (V_{SENSE} を含む)		700	850	μA
I_{DD}	VDD ピンへの電源電流	$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ (V_{SENSE} は含まれません)		40	50	μA
SENSE (入力)						
R_{SENSE}	内部抵抗 (RSENSE)			50		M Ω
V_{ITN}	OUT UV 用負側入力スレッシュホールド (低電圧)	$V_{TH} = ADJ$	-1		1	%
V_{ITP}	OUT OV 用正側入力スレッシュホールド (過電圧)	$V_{TH} = ADJ$	-1		1	%
V_{ITLN}	LOW UV 用負側入力スレッシュホールド (低電圧)	400V バリエーション $V_{TH} = 30V \sim 60V$	-2		2	%
V_{ITLN}	LOW UV 用負側入力スレッシュホールド (低電圧)	800V バリエーション $V_{TH} = 30V \sim 60V$	-3		3	%
V_{ITLN}	LOW UV 用負側入力スレッシュホールド (低電圧)	1.2kV バリエーション $V_{TH} = 30V \sim 60V$	-4		4	%
V_{HYS}	OUT UV、OUT OV 用ヒステリシス精度 ⁽³⁾	$V_{HYS} = V_{TH} * 2.5\%$ $V_{th} = \text{固定}$	2	2.5	3	%
V_{HYS}	OUT UV、OUT OV 用ヒステリシス精度 ⁽³⁾	$V_{HYS} = \text{公称値} * 2.5\%$ $V_{th} = ADJ$	2	2.5	3	%
V_{HYS}	LOW UV 用ヒステリシス精度 ⁽³⁾	公称値 = 400V $V_{THLOWUV} = 30V \sim 60V$	1.5	3	5	V
V_{HYS}	LOW UV 用ヒステリシス精度 ⁽³⁾	公称値 = 800V $V_{THLOWUV} = 30V \sim 60V$	3	6	9	V

6.5 電気的特性 (続き)

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、CTR = CTS = オープン、 $R_{Pullup} = 10k\Omega$ 、 $V_{Pullup} = V_{DD}$ 、 $C_L = 10pF$ 、 $T_A = -40^\circ C \sim 125^\circ C$ における最小値および最大値の仕様で、標準値は $T_A = 25^\circ C$ 、 $V_{DD} = 3.3V$ 時の値で、 $V_{SENSE} = \text{公称電圧} / \text{スケールファクタ}$ になります。公称電圧 = 400V、800V、1.2kV、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{HYS}	LOW UV 用ヒステリシス精度 (3)	公称値 = 1200V $V_{THLOWUV} = 30V \sim 60V$	5	9	13	V
OUT OV、OUT UV、LOW UV (出力)						
I_{kg_OV}	オープンドレインリーケージ	$V_{OUTOV} = 5.5V$ $V_{SENSE} < V_{ITP}$		5	300	nA
I_{kg_UV}	オープンドレインリーケージ	$V_{OUTUV} = 5.5V$ $V_{ITN} < V_{SENSE}$		5	300	nA
I_{kg_LOWUV}	オープンドレインリーケージ	$V_{LOWUV} = 5.5V$ $V_{ITN} < V_{SENSE}$		5	300	nA
$V_{OL_OV}^{(4)}$	Low レベル出力電圧	$2.7V \leq V_{DD} \leq 5.5V$ $I_{OUTOV} = 2.7mA$			300	mV
$V_{OL_UV}^{(4)}$	Low レベル出力電圧	$2.7V \leq V_{DD} \leq 5.5V$ $I_{OUTUV} = 2.7mA$			300	mV
$V_{OL_LOWUV}^{(4)}$	Low レベル出力電圧	$2.7V \leq V_{DD} \leq 5.5V$ $I_{LOWUV} = 2.7mA$			300	mV

6.5 電気的特性 (続き)

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、CTR = CTS = オープン、 $R_{Pullup} = 10k\Omega$ 、 $V_{Pullup} = V_{DD}$ 、 $C_L = 10pF$ 、 $T_A = -40^\circ C \sim 125^\circ C$ における最小値および最大値の仕様で、標準値は $T_A = 25^\circ C$ 、 $V_{DD} = 3.3V$ 時の値で、 $V_{SENSE} = \text{公称電圧} / \text{スケールファクタ}$ になります。公称電圧 = 400V、800V、1.2kV、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
コンデンサのタイミング (CTS、CTR)						
R_{CTR}	内部抵抗 (CTR)			3600		K Ω
R_{CTS}	内部抵抗 (CTS)			3600		K Ω
VSENSE						
I_{sc}	短絡電流			57		mA
V_{Do_VDD}	VDD からの電圧出力ドロップアウト	$I_{out} = 1 \text{ mA}$ シンク、VDD に短絡 VDD と AOUT 間のドロップアウトを測定します。 SENSE = VDD * スケールファクタ 400V バリエーションの場合、スケールファクタ ≤ 220 800V バリエーションの場合、スケールファクタ ≤ 440			40	mV
V_{Do_VDD}	VDD からの電圧出力ドロップアウト	$I_{out} = 1 \text{ mA}$ シンク、VDD に短絡 VDD と AOUT 間のドロップアウトを測定します。 SENSE = VDD * スケールファクタ 400V バリエーションの場合、スケールファクタ > 220 800V バリエーションの場合、スケールファクタ > 440			800	mV
V_{Do_GND}	GND からの電圧出力ドロップアウト	$I_{out} = 1 \text{ mA}$ ソース。GND に短絡 GND と AOUT の間のドロップアウトを測定します。AOUT = GND。VDD = MIN / MAX VDD (任意のゲイン)			40	mV
	温度範囲全体にわたるスケール係数精度	$I_{OUT} = 0\mu A$ 、 $T_A = -40^\circ C \sim 125^\circ C$ 公称値から +/- 30% バリエーション = 400V、800V	-0.35		0.35	%
	温度範囲全体にわたるスケール係数精度	$I_{OUT} = 0\mu A$ 、 $T_A = -40^\circ C \sim 125^\circ C$ 公称値から +/- 50% バリエーション = 400V、800V、1200V	-0.5		0.5	%
	ラインレギュレーション	VDD = 2.7V ~ 5.5V	-0.15		0.15	%
	負荷レギュレーション (ソース)	$I_{load} = 0 \text{ mA}$ から 1mA			0.01	%/ μA
	負荷レギュレーション (シンク)	$I_{load} = 0 \text{ mA}$ から -1mA			0.01	%/ μA
	安定性	安定性を維持するための最大負荷容量		100		pF
内蔵セルフテスト						
$I_{kg}(BIST_OD)$	オープンドレインリーケージ	$V_{BIST} = 5.5V$ $V_{ITN} < V_{SENSE} < V_{ITP}$			500	nA

6.5 電気的特性 (続き)

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、CTR = CTS = オープン、 $R_{Pullup} = 10k\Omega$ 、 $V_{Pullup} = V_{DD}$ 、 $C_L = 10pF$ 、 $T_A = -40^\circ C \sim 125^\circ C$ における最小値および最大値の仕様で、標準値は $T_A = 25^\circ C$ 、 $V_{DD} = 3.3V$ 時の値で、 $V_{SENSE} = \text{公称電圧} / \text{スケールファクタ}$ になります。公称電圧 = 400V、800V、1.2kV、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{BIST_OL}	Low レベル出力電圧	$2.7V \leq V_{DD} \leq 5.5V$ $I_{BIST} = 5mA$			300	mV
V_{BIST_EN}	BIST_EN ピンのロジック Low 入力				500	mV
V_{BIST_EN}	BIST_EN ピンのロジック High 入力		1300			mV
C_{ADJ}	ADJ UV および ADJ OV の最大外部容量				1	nF

- (1) V_{DD} スループレート $\leq 0.1V/\mu s$
- (2) V_{POR} は、制御された出力状態の最小 V_{DD} 電圧です。 V_{POR} を下回ると、出力は決定できません
- (3) ヒステリシスは、 V_{ITP} 、 V_{ITN} 、 V_{ITLN} の電圧スレッショルドを基準としています。 V_{ITP} には負のヒステリシスがあります。 V_{ITN} と V_{ITLN} には正のヒステリシスがあります。
- (4) 出力バリエーションとの V_{OH} と V_{OL} の関係については、「**タイミング要件**」表の後の「**タイミング図**」を参照してください

6.6 スイッチング要件

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、CTR = CTS = オープン、 $R_{Pullup} = 10k\Omega$ 、 $V_{Pullup} = V_{DD}$ 、 $C_L = 10pF$ 、 $T_A = -40^\circ C \sim 125^\circ C$ における最小値および最大値の仕様で、標準値は $T_A = 25^\circ C$ 、 $V_{DD} = 3.3V$ 時の値で、 $V_{SENSE} = \text{公称電圧} / \text{スケールファクタ}$ になります。
 公称電圧 = 400V、800V、1.2kV、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
OUT OV						
t_{pdHL_OV}	OUT OV 伝搬遅延	4% オーバードライブ (1)		7		μs
t_{FDHL_OV}	OUT OV 固定時間遅延	固定時間遅延 = 150us		150		μs
t_{FDHL_OV}	OUT OV 固定時間遅延	固定時間遅延 = 1ms		1		ms
t_{pdLH_OV}	OUT OV 伝搬解放時間遅延			40		μs
t_{FDLH_OV}	OUT OV 固定解放時間遅延	固定時間遅延 = 1ms		1		ms
t_{FDLH_OV}	OUT OV 固定解放時間遅延	固定時間遅延 = 10ms		10		ms
t_{FDLH_OV}	OUT OV 固定解放時間遅延	固定時間遅延 = 200ms		200		ms
OUT UV						
t_{pdHL_UV}	OUT UV 伝搬遅延	4% オーバードライブ (1) CTS が無効		7		μs
t_{CTS_UV}	OUT UV コンデンサ時間遅延 (CTS)	4% オーバードライブ (1) CTS = オープン		100		μs
t_{pdLH_UV}	OUT UV 伝搬解放時間遅延	CTR = ディスエーブル		40		μs
t_{CTR_UV}	OUT UV コンデンサ解放遅延時間 (CTR)	$C_{CTR} = \text{オープン}$		350		μs
低 UV						
t_{pdHL_LUV}	低 UV 伝搬遅延 ピン配置 ピン配置 C、D	10% オーバードライブ (1)		9	12	μs
t_{pdHL_LUV}	低 UV 伝搬遅延 ピン配置 E、F	10% オーバードライブ (1) CTS が無効		7	14	μs
t_{CTS_LUV}	低 UV 伝搬遅延 ピン配置 E、F	10% オーバードライブ (1) $C_{CTS} = \text{オープン}$		150		μs
t_{pdLH_LUV}	低 UV 伝搬解放時間遅延 ピン配置 C、D			18	27	μs
t_{pdLH_LUV}	低 UV 伝搬解除時間遅延 ピン配置 E、F	$C_{CTR} = \text{無効}$		40	60	μs
t_{CTS_LUV}	低 UV 伝搬遅延 ピン配置 E、F	$C_{CTR} = \text{オープン}$		350		μs
一般的なスイッチング要件						
t_{SD}	スーパバイザの起動遅延			1.8		ms
LATCH スイッチング要件						
$t_{latch_recover}$	BIST_en の立ち上がりエッジから出力有効までの時間	$C_{CTR} = \text{オープン}$ 、BIST = ディスエーブル		10		μs
BIST スイッチング要件						
$t_{BIST_en_pd}$	BIST_EN 立ち上がりエッジから BIST アサートまでの時間			5		μs

6.6 スイッチング要件 (続き)

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$, CTR = CTS = オープン、 $R_{Pullup} = 10k\Omega$, $V_{Pullup} = V_{DD}$, $C_L = 10pF$, $T_A = -40^\circ C \sim 125^\circ C$ における最小値および最大値の仕様で、標準値は $T_A = 25^\circ C$, $V_{DD} = 3.3V$ 時の値で、 $V_{SENSE} = \text{公称電圧} / \text{スケールファクタ}$ になります。公称電圧 = 400V、800V、1.2kV、特に記述のない限り。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{BIST_en_out}$	BIST_EN の立ち上がりエッジから OUT OV、OUT UV アサートまで			5		μs
$t_{BIST_recover}$	BIST の立ち上がりエッジから SENSE 入力有効まで	$C_{CTR} = \text{オープン}$ 、BIST = イネーブル		350	600	μs
t_{BIST}	BIST 実行時			2.8		ms
$t_{SD+BIST}$	BIST 有効時のスーパーバイザ起動遅延			3.3		ms
VSENSE						
T_{VSSD}	VSENSE スタートアップ遅延	1% Iout まで = 100uA、 $V_{out} = 2V$.		8		μs

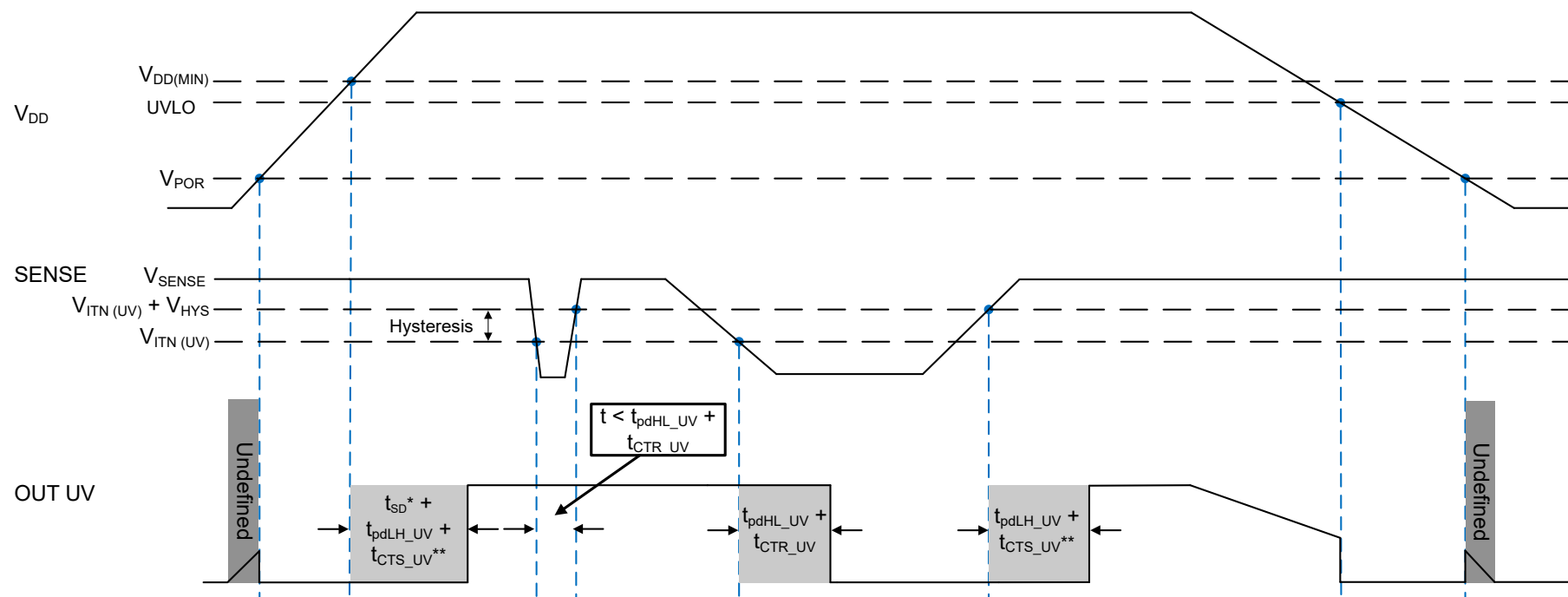
(1) オーバードライブ % = $[(V_{SENSE} / V_{IT}) - 1] \times 100\%$, V_{IT} は V_{ITN} , V_{ITLN} , または V_{ITP} を参照します

6.7 タイミング要件

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、CTR = CTS = オープン、 $R_{Pullup} = 10k\Omega$ 、 $V_{Pullup} = V_{DD}$ 、 $C_L = 10pF$ 。 $T_A = -40^\circ C \sim 125^\circ C$ における最小値および最大値の仕様で、標準値は $T_A = 25^\circ C$ 、 $V_{DD} = 3.3V$ 時の値で、 $V_{SENSE} = \text{公称電圧} / \text{スケールファクタ}$ になります。
公称電圧 = 400V、800V、1.2kV、特に記述のない限り。

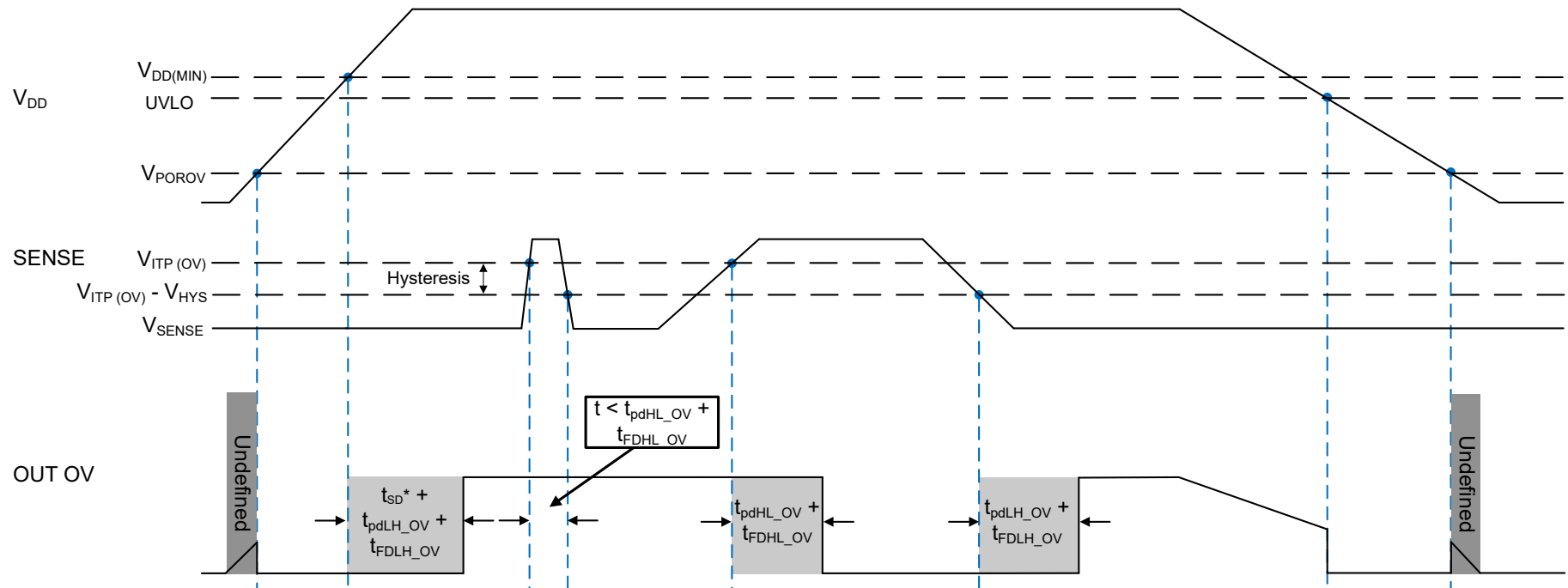
パラメータ	テスト条件	最小値	標準値	最大値	単位
一般的なタイミング パラメータ					
BIST タイミング パラメータ					
$t_{BIST_en\ Glitch}$	BIST_EN グリッチ耐性		5		μs
t_{BIST_en}	BIST を開始するための最小 BIST_EN 入力幅		4.5	5	μs
LATCH タイミング パラメータ					
$t_{Latch\ Glitch}$	ラッチ グリッチ耐性		4.3		μs
t_{Latch_clr}	ラッチ クリアのためのラッチ入力幅		5.3		μs

6.8 タイミング図



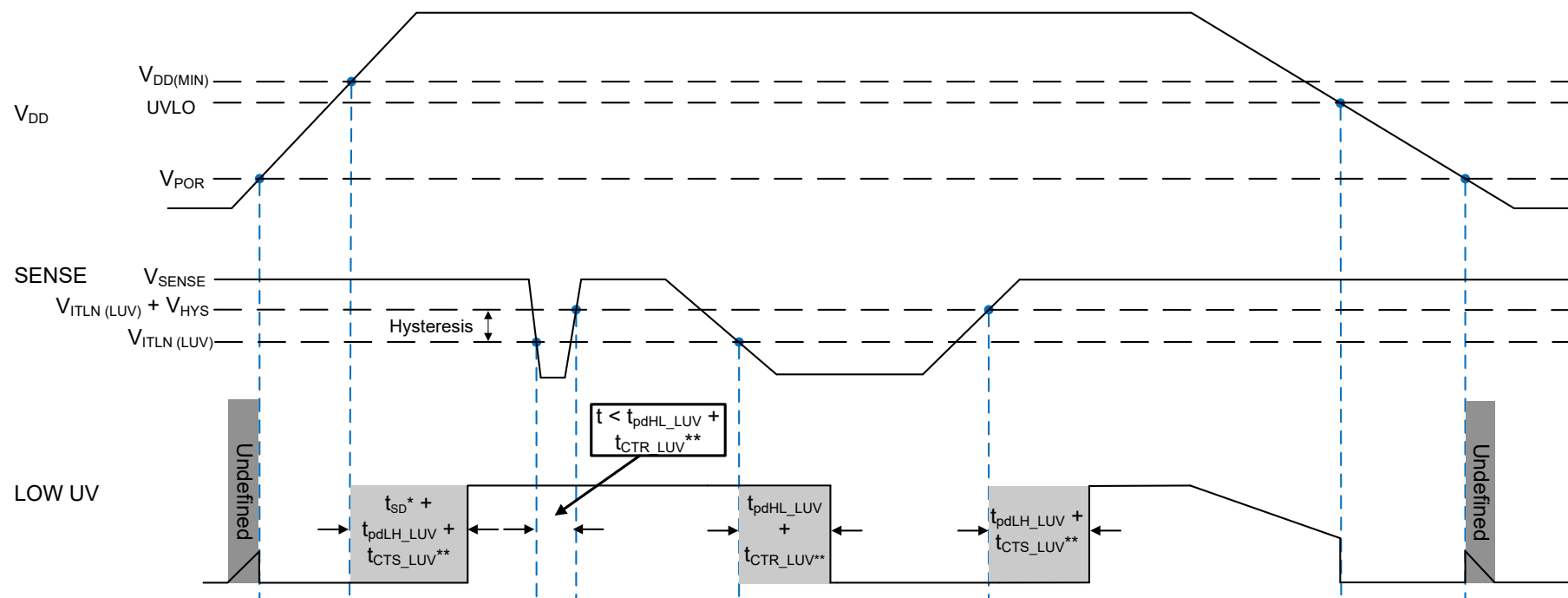
- A. タイミング図は、オープンドレイン出力の OUT UV ピンが外付けのプルアップ抵抗を介して V_{Pullup} に接続されていることを前提としています。
- B. * BIST 付きのバリエーションでは、 $t_{SD} + BIST$ を使用してください。
- C. ** t_{CTS_UV} および t_{CTR_UV} が有効なデバイスには、 t_{CTS_UV} と t_{CTR_UV} を使用します。

図 6-1. SENSE 低電圧チャネル (UV) の時間図



- A. タイミング図は、オープンドレイン出力の OUT OV ピンが外付けのプルアップ抵抗を介して V_{Pullup} に接続されていることを前提としています。
- B. * BIST 付きのバリエーションでは、 $t_{SD} + BIST$ を使用してください。
- C. ** t_{FDLH_OV} および t_{FDHL_OV} が有効なデバイスでは、 t_{FDLH_OV} と t_{FDHL_OV} を使用します。

図 6-2. SENSE 過電圧チャネル (OV) の時間図



- A. タイミング図は、オープンドレイン出力の LOW UV ピンが外付けのプルアップ抵抗を介して $V_{Ppullup}$ に接続されていることを前提としています。
- B. * BIST 付きのバリエーションでは、 $t_{SD} + BIST$ を使用してください。
- C. ** t_{CTS_LUV} と t_{CTR_LUV} が有効になっているデバイスでは、 t_{CTS_LUV} と t_{CTR_LUV} を使用します。

図 6-3. SENSE Low 低電圧 (LUV) の時間図

6.9 代表的特性

このセクションでは、TPS371K-Q1 デバイスの代表的特性を示します。特に指定がない限り、試験条件は $T_A = 25^\circ\text{C}$ において実施しています。

$V_{ITP} = 900\text{V}$

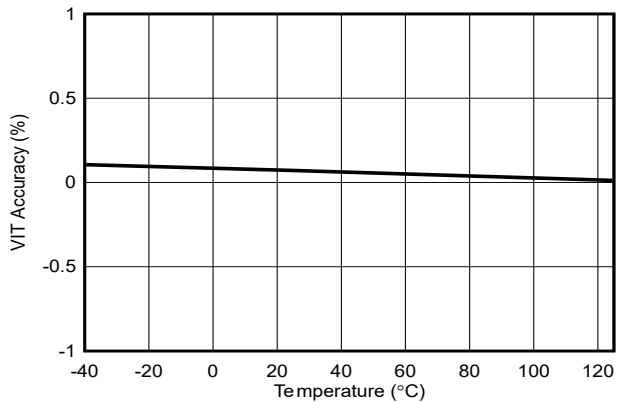


図 6-4. 過電圧の精度と温度との関係

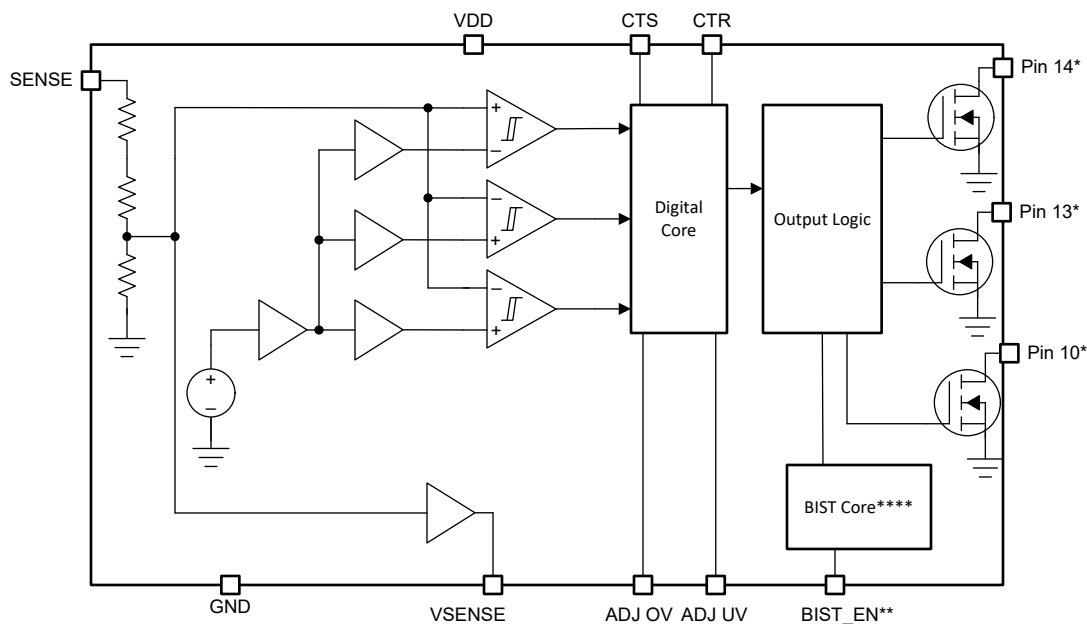
7 詳細説明

7.1 概要

TPS371K-Q1 は、400V および 800V の DC-Link 電圧測定用の統合バッファを備えた高電圧ウィンドウ (OV および UV) スーパーバイザです。このデバイスは、400V または 800V の車載バッテリー システムおよび DC-Link に直接接続でき、過電圧 (OV)、低電圧 (UV)、および低低電圧 (LUV) 状態を継続的に監視できます。

過電圧および低電圧スレッシュホールドは、ADJ の OV ピンおよび ADJ の UV ピンにより、1% 精度のスレッシュホールドを選択できます。低電圧スレッシュホールドは OTP にプログラムされており、注文可能製品によって変化します。SENSE 電圧が故障状態に入ると、OUT OV、OUT UV、または LOW UV がアサートされます。TPS371K-Q1 は、VSENSE ピンによる電源電圧測定用の統合高速バッファを内蔵しています。このバッファは低出力インピーダンスを備えており、ADC 入力を直接駆動できるほか、高速応答時間を実現するのに十分な高周波特性により変換誤差を最小限に抑えます。

7.2 機能ブロック図



- A. * ピンの機能は、表 5-1 を参照してください。
- B. ** BIST バリエーションでのみ利用可能です。

図 7-1. 機能ブロック図

7.3 機能説明

7.3.1 入力電圧 (V_{DD})

V_{DD} 動作電圧範囲は 2.7V ~ 5.5V です。このデバイスには入力電源コンデンサは必要ありません。ただし、入力電源にノイズがある場合は、ノイズ環境向けの一般的なアナログ設計手法として、 V_{DD} と GND 間に 0.1 μ F のコンデンサを配置することを推奨します。

デバイスを完全に動作させるには、 V_{DD} が少なくともスタートアップ遅延時間 (t_{SD}) の間、 $V_{DD(MIN)}$ 以上である必要があります。

V_{DD} 電圧は V_{SENSE} 、 V_{OUTOV} 、 V_{OUTUV} 、および V_{LOWOV} とは独立しているため、 V_{DD} はこれらのピンより高くても低くてもかまいません。これは、デバイスの V_{DD} がオンになっていない間は V_{SENSE} を接続できることも意味します。 V_{OUTOV} 、 V_{OUTUV} 、 V_{LOWOV} はオープンドレインピンで、負荷要件に基づいて V_{Pullup} に接続します。

7.3.1.1 低電圧誤動作防止 ($V_{POR} < V_{DD} < UVLO$)

V_{DD} の電圧が UVLO 電圧未満で、かつパワーオンリセット電圧 (V_{POR}) より高い場合、SENSE ピンの電圧に関係なく、OUT OV、OUT UV、LOW UV、および BIST ピンはアサートされます。

7.3.1.2 パワーオンリセット ($V_{DD} < V_{POR}$)

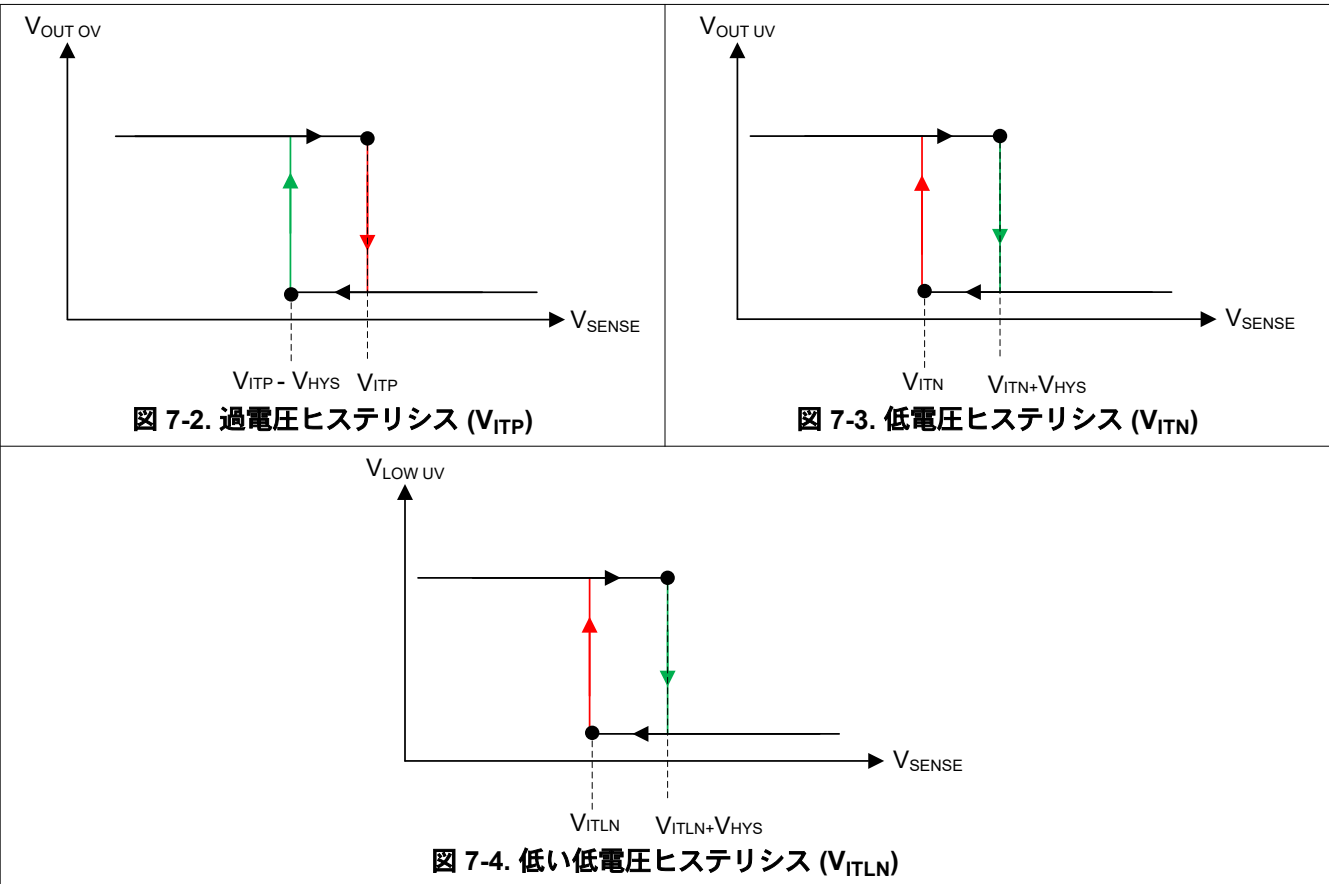
V_{DD} の電圧がパワーオンリセット電圧 (V_{POR}) 未満の場合、出力信号 (OUT OV、OUT UV、LOW UV、BIST) は未定義となり、デバイスの正常動作を保証するものではありません。

7.3.2 SENSE

SENSE ピンは、監視対象の電圧レールに接続されます。SENSE ピンは、400V または 800V 電圧レールに直接接続できます。SENSE ピンは、内部で 50MΩ を介して接続されています。各 TPS371K-Q1 は、注文可能な製品に基づいて、過電圧 (OV)、低電圧 (UV)、low 低電圧 (LOW UV)、またはそれらを組み合わせた条件を監視するように構成されています。TPS371K-Q1 は、ノイズ耐性を向上させ、安定動作を維持するための内蔵ヒステリシスを備えています。

7.3.2.1 SENSE ヒステリシス

TPS371K-Q1 は、誤ったデアサートを防ぐために、UV、OV、および LOW UV の各スレッショルド周辺に内蔵ヒステリシスを備えています。ヒステリシスはスレッショルド電圧と逆方向に動作します。過電圧オプションでは、ヒステリシスは正のスレッショルド (V_{ITP}) から減算され、低電圧オプションでは、ヒステリシスは負のスレッショルド (V_{ITN} 、 V_{ITLN}) に加算されます。



7.3.3 可変電圧スレッシュホールド

TPS371K-Q1 には、ユーザーが調整可能な過電圧および低電圧スレッシュホールドがあります。これらのスレッシュホールドは、デバイス バリエーションの公称電圧に基づいて事前を選択され、ADJ OV および ADJ UV ピンと外付け抵抗 R_{ADJOV} および R_{ADJUV} を使用して選択できます。

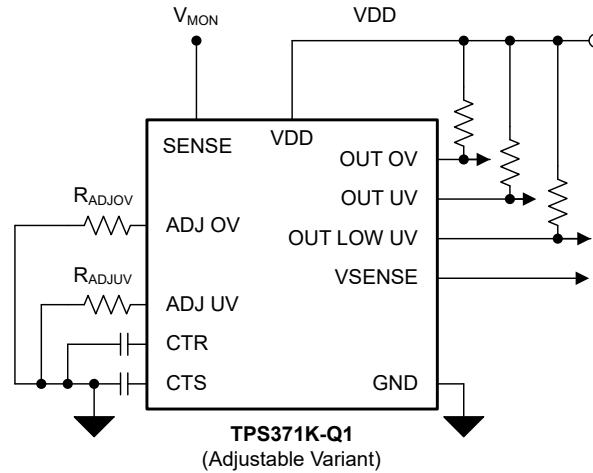


図 7-5. 外付け抵抗付き TPS371K-Q1

ADVANCE INFORMATION

表 7-1. 公称 400V TPS371K-Q1 可変スレッシュヨルド

電圧スレッシュヨルドの設定 (V)		VDD に対する抵抗 [kΩ]		
ADJ OV (V_{ITP})	ADJ UV (V_{ITN})	最小値	公称値	最大値
ディセーブル	ディセーブル	>150	>150	>150
430	300	61.2	68	74.8
435	290	35.1	39	42.9
440	280	19.8	22	24.2
445	270	10.8	12	13.2
450	260	6.12	6.8	7.48
455	250	3.51	3.9	4.29
460	240	<1.980	<1.980	<1.980

電圧スレッシュヨルドの設定 (V)		GND に対する抵抗 [kΩ]		
ADJ OV (V_{ITP})	ADJ UV (V_{ITN})	最小値	公称値	最大値
500	160	>150	>150	>150
495	170	61.2	68	74.8
490	180	35.1	39	42.9
485	190	19.8	22	24.2
480	200	10.8	12	13.2
475	210	6.12	6.8	7.48
470	220	3.51	3.9	4.29
465	230	<1.980	<1.980	<1.980

ADVANCE INFORMATION

表 7-2. 公称 800V TPS371K-Q1 可変スレッシュヨルド

電圧スレッシュヨルドの設定 (V)		VDD に対する抵抗 [kΩ]		
ADJ OV (V_{ITP})	ADJ UV (V_{ITN})	最小値	公称値	最大値
ディセーブル	ディセーブル	>150	>150	>150
860	600	61.2	68	74.8
870	580	35.1	39	42.9
880	560	19.8	22	24.2
890	540	10.8	12	13.2
900	520	6.12	6.8	7.48
910	500	3.51	3.9	4.29
920	480	<1.980	<1.980	<1.980

電圧スレッシュヨルドの設定 (V)		GND に対する抵抗 [kΩ]		
ADJ OV (V_{ITP})	ADJ UV (V_{ITN})	最小値	公称値	最大値
1000	320	>150	>150	>150
990	340	61.2	68	74.8
980	360	35.1	39	42.9
970	380	19.8	22	24.2
960	400	10.8	12	13.2
950	420	6.12	6.8	7.48
940	440	3.51	3.9	4.29
930	460	<1.980	<1.980	<1.980

表 7-3. 公称 1200V TPS371K-Q1 可変スレッシュヨルド

電圧スレッシュヨルドの設定 (V)		VDD に対する抵抗 [kΩ]		
ADJ OV (V_{ITP})	ADJ UV (V_{ITN})	最小値	公称値	最大値
ディセーブル	ディセーブル	>150	>150	>150
1290	900	61.2	68	74.8
1305	870	35.1	39	42.9
1320	840	19.8	22	24.2
1335	810	10.8	12	13.2
1350	780	6.12	6.8	7.48
1365	750	3.51	3.9	4.29
1380	720	<1.980	<1.980	<1.980

電圧スレッシュヨルドの設定 (V)		GND に対する抵抗 [kΩ]		
ADJ OV (V_{ITP})	ADJ UV (V_{ITN})	最小値	公称値	最大値
1500	480	>150	>150	>150
1485	510	61.2	68	74.8
1470	540	35.1	39	42.9
1455	570	19.8	22	24.2
1440	600	10.8	12	13.2
1425	630	6.12	6.8	7.48
1410	660	3.51	3.9	4.29
1395	690	<1.980	<1.980	<1.980

7.3.4 解放時間遅延

TPS371K-Q1 には、出力ピンに基づいて複数の解放時間遅延オプションがあります。セクション 9.1 をチェックして、バリエーション固有のタイミングを確認します。

- ピン 10 には、追加の解放時間遅延オプションはありません。
- LOW UV バリエーションでは、ピン 10 の解放時間遅延は t_{pdLH_LUV} です。
- ピン 13 では、コンデンサで調整可能な解放遅延時間、または追加の解放遅延時間なしを選択できます。
- ピン 13 のコンデンサで解放時間遅延を調整できる場合、時間遅延は t_{CTR_UV} または t_{CTR_LUV} で示されます。
- ピン 13 のコンデンサ調整可能な解放遅延時間には、連続する故障時でも設定されたコンデンサ解放遅延時間全体を確保するためのコンデンサ放電回路チェックがあります。
- ピン 13 では、追加のリリース遅延時間なしを選択すると、CTR 回路が無効になり、 t_{pdLH_UV} または t_{pdLH_LUV} のタイミングとなります。
- ピン 14 には、固定リリース時間遅延、または追加の解放時間遅延なしのオプションがあります
- ピン 14 の場合、固定解放時間の遅延は t_{FDLH_OV} です。
- ピン 14 の場合、追加の解放時間遅延は t_{pdLH_OV} ではありません。

7.3.4.1 コンデンサが調整可能な解放遅延時間設定

遅延時間 (t_{CTR_UV} または T_{CTR_LUV}) は、CTR ピンと GND の間にコンデンサを接続することで設定できます。

外付けコンデンサ C_{CTR_EXT} (typ) と遅延時間 t_{CTR} (typ) の関係は式 1 で与えられます。

$$t_{CTR} (typ) = R_{CTR} (typ) \times C_{CTR_EXT} (typ) + t_{CTR} (no\ cap) \quad (1)$$

$R_{CTR} (typ)$ = はキロオーム (k Ω) 単位です

$C_{CTR_EXT} (typ)$ = はマイクロファラッド (μF) 単位です

$t_{CTR} (no\ cap)$ = t_{CTR_UV} または t_{CTR_LUV} です。

$t_{CTR} (typ)$ は解放時間遅延 (ms) です

解放遅延は、外付けコンデンサ (C_{CTR_EXT})、セクション 6.5 に記載される CTR ピン内部抵抗 (R_{CTR})、および定数 $t_{CTR} (no\ cap)$ の 3 つの変数によって変化します。定数による最小分散と最大分散は、式 2 および式 3 に示されます。

$$t_{CTR} (min) = R_{CTR} (min) \times C_{CTR_EXT} (min) + t_{CTR} (no\ cap) \quad (2)$$

$$t_{CTR} (max) = R_{CTR} (max) \times C_{CTR_EXT} (max) + t_{CTR} (no\ cap) \quad (3)$$

CTR ピンのコンデンサに制限はありません。コンデンサ値が大きすぎると、コンデンサのリークによって充電時間 (立ち上がり時間) が非常に遅くなる可能性があり、さらにシステム ノイズによって内部回路が出力をアクティブ状態のまま保持する場合があります。

7.3.5 検出時間遅延

TPS371K-Q1 には、出力ピンに基づいて複数の検出時間遅延のオプションがあります。検出時間遅延は、ノイズの多い環境で役立つ、プログラム可能なグリッチ除去フィルタです。[セクション 9.1](#) をチェックして、バリエーション固有のタイミングを確認します。

- ピン 10 には、追加の検出時間遅延オプションはありません。
- LOW UV バリエーションでは、ピン 10 の検出時間遅延は t_{pdHL_LUV} です。
- ピン 13 では、コンデンサ調整可能な検出遅延時間、または追加の検出遅延時間なしのオプションをサポートします。
- ピン 13 コンデンサで調整可能な検出時間遅延の場合、時間遅延は t_{CTS_UV} または t_{CTS_LUV} で示されます。
- ピン 13 の場合、追加の検出時間遅延なしでは CTS 回路が無効になり、タイミング t_{pdHL_UV} または t_{pdHL_LUV} があります。
- ピン 14 には、固定検出時間遅延、または追加の検出時間遅延なしのオプションがあります。
- ピン 14 の場合、固定検出時間遅延は t_{FDHL_OV} です。
- ピン 14 の場合、追加の検出時間遅延は t_{pdHL_OV} ではありません。

7.3.5.1 センス時間遅延の構成

遅延時間 (t_{CTS_UV} または T_{CTS_LUV}) は、CTS ピンと GND の間にコンデンサを接続することで設定できます。

外付けコンデンサ C_{CTS_EXT} (typ) と遅延時間 t_{CTS} (typ) の関係は [式 4](#) で与えられます。

$$t_{CTS}(typ) = R_{CTS}(typ) \times C_{CTR_EXS}(typ) + t_{CTS}(no\ cap) \quad (4)$$

$R_{CTS}(typ)$ = はキロオーム (k Ω) 単位です

$C_{CTS_EXT}(typ)$ = はマイクロファラッド (μF) 単位です

$t_{CTS}(no\ cap)$ = t_{CTS_UV} または t_{CTS_LUV} です。

$t_{CTS}(typ)$ = リセット時間遅延 (ms) です

センス遅延は、外付けコンデンサ (C_{CTS_EXT})、CTS ピン内部抵抗 (R_{CTS}) ([セクション 6.5](#) に記載)、および定数 $t_{CTS}(no\ cap)$ の 3 つの変数によって変化します。定数による最小分散と最大分散は、[式 5](#) および [式 6](#) に示されます。

$$t_{CTS}(min) = R_{CTS}(min) \times C_{CTS_EXT}(min) + t_{CTS}(no\ cap) \quad (5)$$

$$t_{CTS}(max) = R_{CTS}(max) \times C_{CTS_EXT}(max) + t_{CTS}(no\ cap) \quad (6)$$

CTS ピンのコンデンサに制限はありません。コンデンサ値が大きすぎると、コンデンサのリーク電流により充電時間 (立ち上がり時間) が非常に遅くなる可能性があります。

7.3.6 内蔵セルフテスト (BIST)

TPS371K-Q1 は、デバイス内部で診断を実行する内蔵セルフテスト (BIST) 機能を備えています。この機能は一部のバリエーションでのみサポートされています。バリエーション機能を確認するには [セクション 9.1](#) を参照します。

BIST 診断:

- SENSE ラダー開放検出
- コンパレータの high 固定または low 固定
- 内部 VREF の high 固定または low 固定
- CTR / CTS 機能チェック
- ピン 10、ピン 13、ピン 14 は high に固着
- ラッチ機能チェック
- ADJ OV / ADJ UV のデコード正常動作
- マイコン検証用のオプションの ADJ OV/ADJ UV コード出力

起動 BIST は、 $V_{DD(min)}$ を超えた後に自動的に開始されます。パワーアップ中、BIST テストは、BIST テストが正常に完了するまで、OUT OV、OUT UV、LOW UV、および BIST をアサートし、low に保持します。BIST の長さは t_{BIST} で規定されます。内部ブロックが正常に動作せず BIST が成功しなかった場合、BIST は Low に保持され、デバイス内部の故障を示します。詳細については、[図 7-6](#) を参照してください。

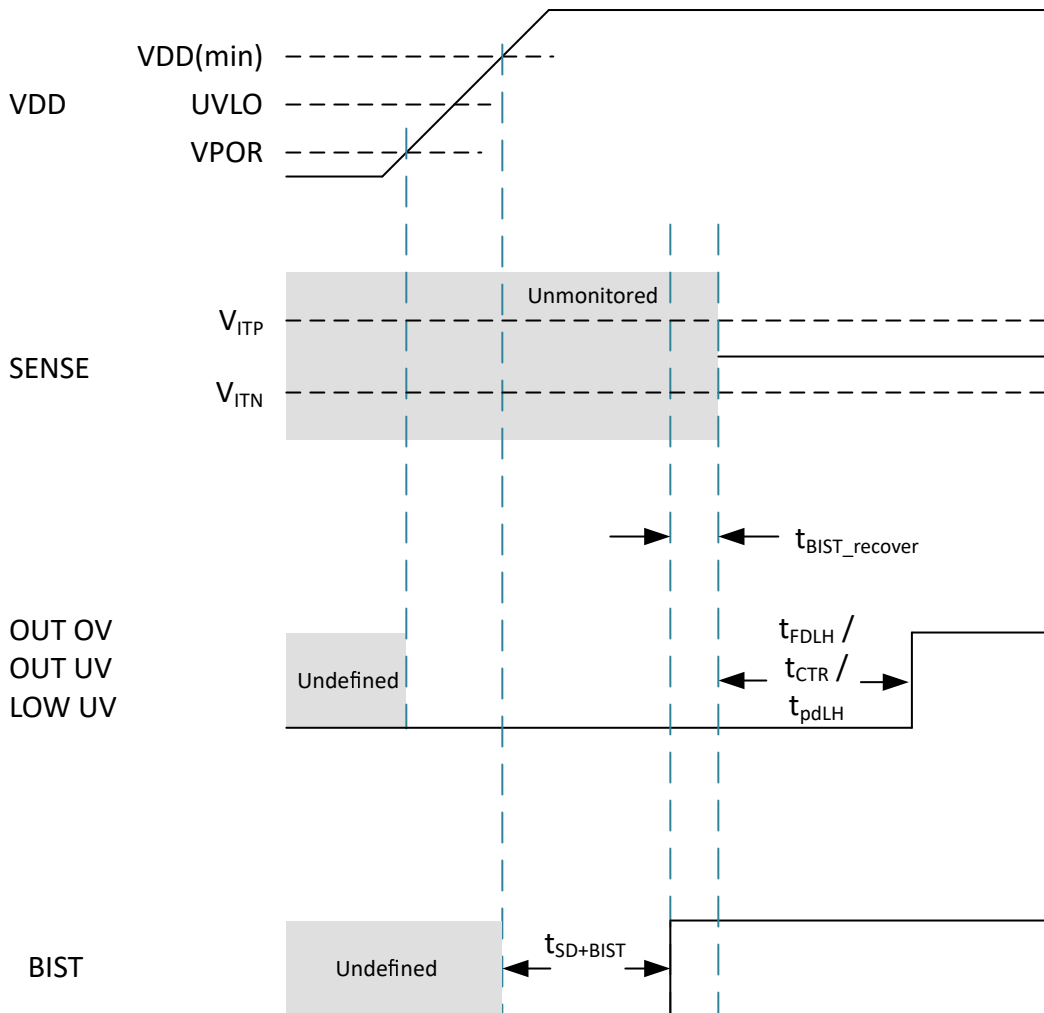


図 7-6. BIST スタートアップシーケンスを備えた TPS371K-Q1

正常なパワーアップシーケンス完了後、BISTはBIST ENピンの立ち上がりエッジ遷移によっていつでも開始できます。SENSEピンが故障モードでない場合にのみ、BISTが開始されます。このBISTテスト期間 t_{BIST} 中、BISTピンはBISTが開始されたことを示すためLowにアサートされ、OUT OV、OUT UV、およびLOW UVもアサートされます。BIST中、デバイスはSENSEピンの故障監視を行わず、OUT OV、OUT UV、およびLOW UVピンはSENSEピン電圧に依存しません。BISTが正常に完了すると、BISTピンおよびOUT OV、OUT UV、LOW UVピンはデアサートされます。内部デバイスが正常に動作せずBISTが成功しなかった場合、OUT OV、OUT UV、LOW UVピンおよびBISTピンはLowにアサートされ、デバイス内部の故障を示します。詳細については、[図 7-7](#)～[図 7-8](#)を参照してください。

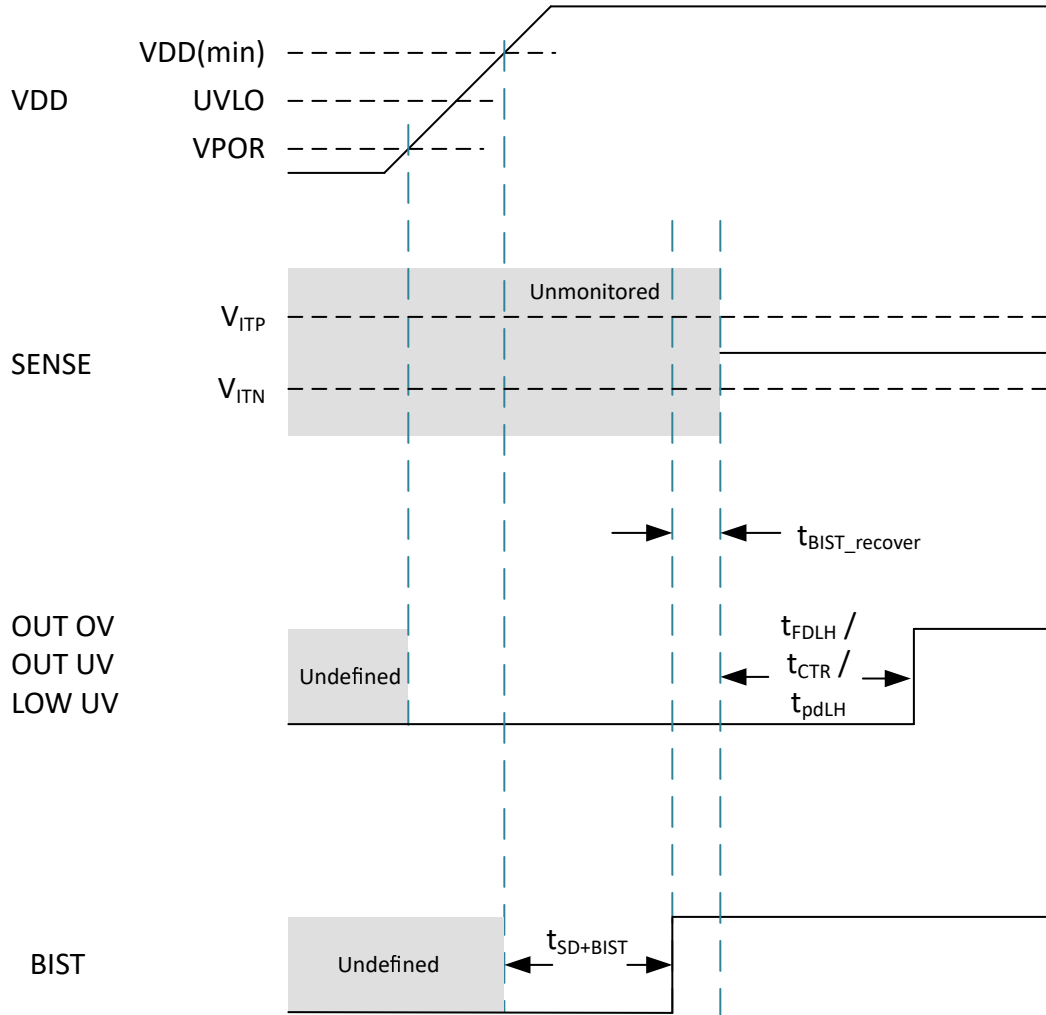


図 7-7. BIST イネーブル

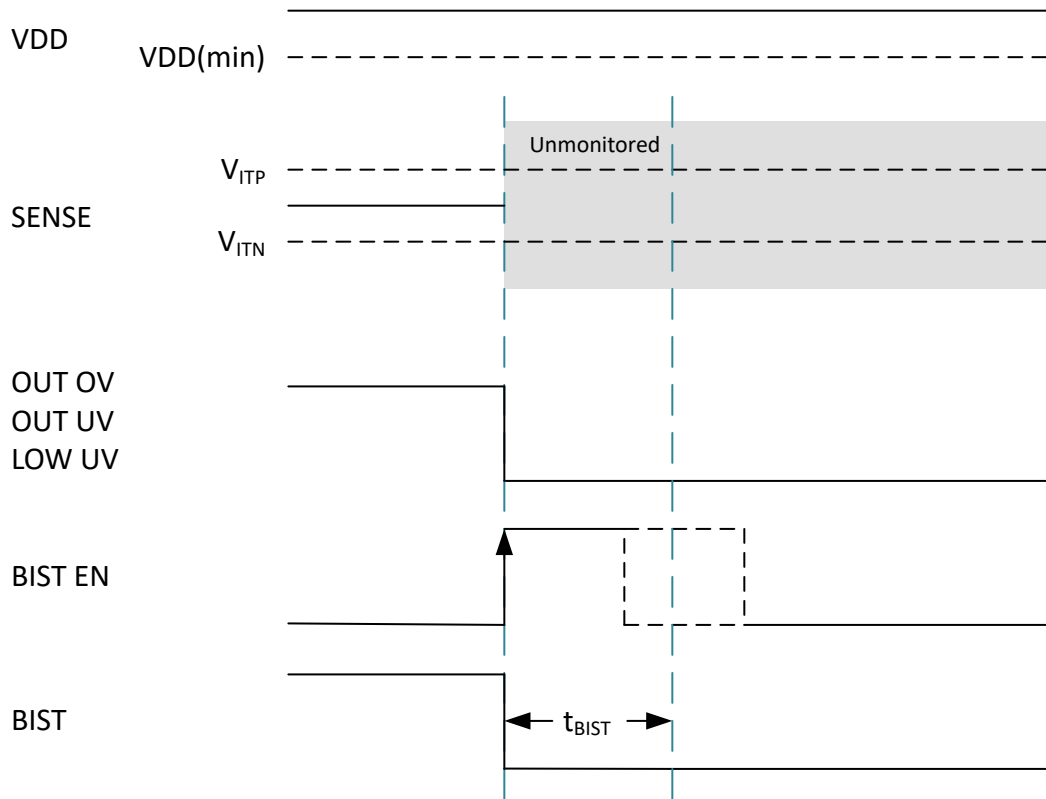


図 7-8. BIST エラー

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

以下のセクションでは、最終アプリケーションの要件に応じた適切なデバイス実装について詳しく説明します。

8.2 代表的なアプリケーション

8.2.1 設計 1 : DC リンク監視

このアプリケーションは、800 V DC-Link を使用するアプリケーションの初段の電力段向けです。TPS371K-Q1 は、高電圧 SENSE 入力を使用して、外付け抵抗を必要とせず、車載高電圧 DC-Link レールを監視します。これにより、電圧故障監視機能と同時に、全体のサイズを低く抑えることができます。

図 8-1 は、TPS371K-Q1 が電圧テレメトリ用バッファを提供しながら、バッテリー電圧の故障監視を行う例を示しています。

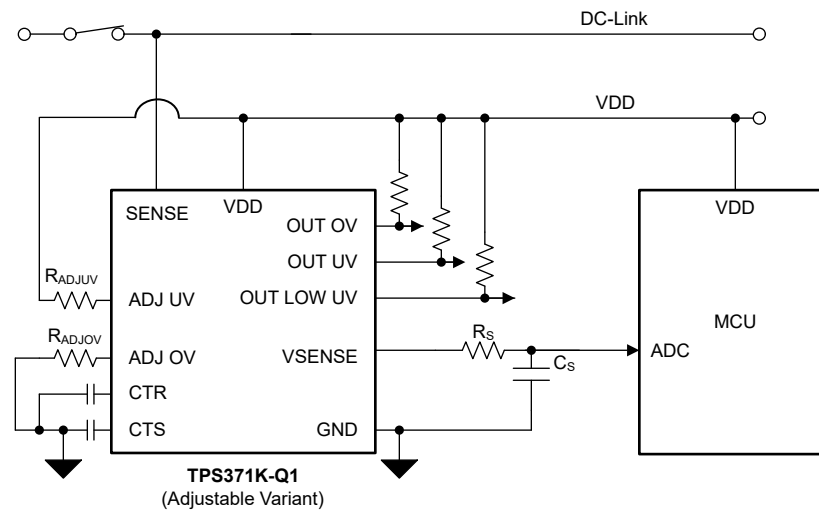


図 8-1. 800V DC リンク モニタ

8.2.1.1 設計要件

表 8-1. 設計パラメータ

パラメータ	設計要件	設計結果
電圧スレッシュホールド	過電圧: 900V 低電圧: 580V	$R_{ADJOV} = 3.9k\Omega$ から GND $R_{ADJUV} = 39k\Omega$ から VDD
最大入力電力	電源入力最大 5V までの動作に対応します	TPS371K-Q1 は、最大 5.5V の V_{DD} をサポートできません。
出力ロジック	オープンドレイン	オープンドレイン
センス遅延	過電圧に対して 100 μ s 低電圧に対して 1ms	過電圧に対して 7 μ s 低電圧に対して 100 μ s
ADC 電圧	3.3V のフルスケールレンジ 800V を 1.85V に降圧	TPS371K-Q1 は、440 のバッファ出力比で 800V および 3.3V ADC をサポートできます
ADC のビットレートとサンプリング速度	500ksps での 12 ビット ADC サンプリング	$R_S = 180\Omega$ $C_S = 150pF$

8.2.1.2 詳細な設計手順

TPS371K-Q1 は、高電圧 SENSE 入力を使用して、外付け抵抗を必要とせずに車載バッテリーを監視します。そのため、目的のレール監視を実現しながらシステム全体の I_Q を低く抑えることができます。

8.2.1.2.1 電圧スレッシュホールドの設定

電圧レールの監視は、外付け抵抗分圧器を必要とせず、SENSE 入力を 800V レールへ直接接続することで行われます。スレッシュホールド電圧のオプションは、デバイスのバリエーションによって設定されます。スレッシュホールド電圧デコードは、[セクション 4](#) と [セクション 7.3.3](#) の組み合わせで確認できます。この例では、バッテリーからの公称電源電圧は 800V であり、DC-Link の変動範囲は一般的に 720V ~ 880V です。過電圧スレッシュホールドを 940V に設定すると、TPS371K-Q1 の OUT UV は、システム内の過電圧過渡状態を示す過電圧故障および過渡現象に対してアサートされます。940V の V_{ITP} は、GND に接続された $R_{ADJOV} = 3.9k\Omega$ に対応します。低電圧スレッシュホールドを 580V に設定すると、シーケンス用途または放電通知のため、DC-Link が 580V を超えて充電されると OUT UV がデアサートされます。580V の V_{ITN} は、VDD に接続された $R_{ADJOV} = 39k\Omega$ に対応します。

8.2.1.2.2 センスおよびリセット遅延への合致

TPS371K-Q1 は、センス遅延およびリセット遅延の設定方法として、固定遅延とコンデンサ設定型遅延の二つのオプションを備えています。このアプリケーションでは、OV に対して <100 μ s、UV に対して <1 ms の高速センス応答が必要です。OV では追加の遅延時間を設けておらず、速度要件を満たしています。UV では、CTS をオープンのままにすることで設計上の課題を解決できます。これは、CTS 有効時に OUT UV に対して可能な限り最速の遅延時間を実現するためです。

8.2.1.2.3 電源電圧の設定

電源電圧を設定するには、 V_{DD} 入力を 5.5V 未満の電圧に接続します。これは、TPS371K-Q1 が低電圧設計で一般的に使用される電圧をサポートできることを意味します。アナログ設計の一般的な慣行として、 V_{DD} ピンに 0.1 μ F のコンデンサを配置することが推奨されます。

8.2.1.3 アプリケーション曲線

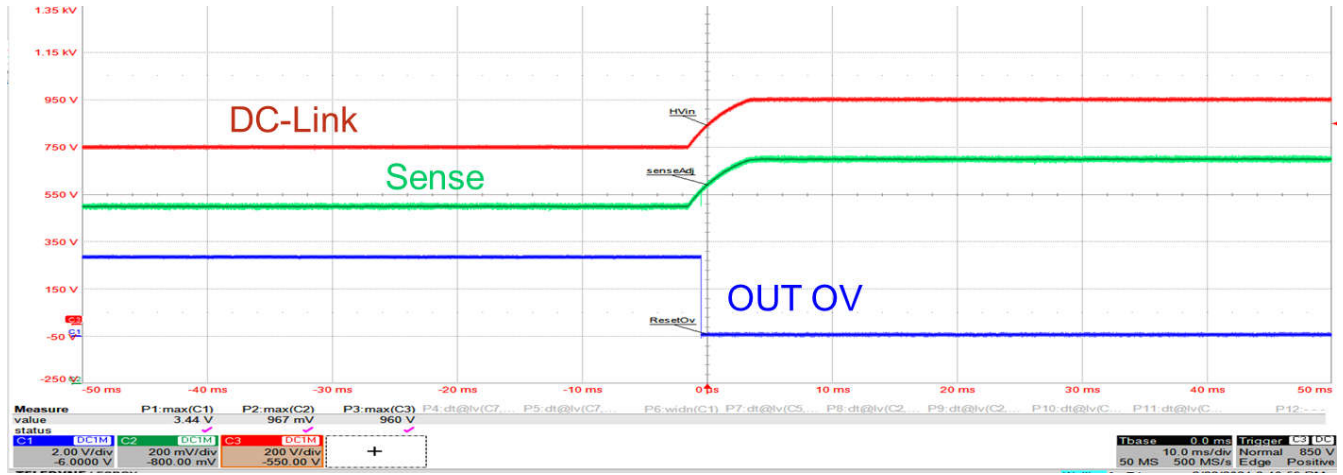


図 8-2. OUT UV トリガ

8.3 電源に関する推奨事項

TPS371K-Q1 は、 V_{DD} 電圧が 2.7V (最低動作電圧) から 5.5V (最大動作電圧) までの入力電源で動作するように設計されています。適切なアナログ設計手法では、最低 0.1 μ F のセラミック コンデンサを V_{DD} ピンのできるだけ近くに配置することが推奨されます。

8.3.1 電力散逸とデバイス動作

任意のパッケージにおける許容消費電力は、電源から IC の接合部を経て最終的な放熱先である周囲環境へ熱を伝達するデバイスの能力の指標です。したがって、消費電力は周囲温度およびダイ接合部と周囲空気との間の各種インターフェイスを通る熱抵抗に依存します。

与えられたパッケージでのデバイスの最大連続許容消費電力は、式 7 を使って計算できます。

$$P_{D-MAX} = ((T_{J-MAX} - T_A) / R_{\theta JA}) \quad (7)$$

デバイスで実際に消費される電力は、式 8 で計算できます。

$$P_D = V_{DD} \times I_{DD} + P_{RESET} + P_{SENSE} \quad (8)$$

P_{RESET} は式 10 で計算されます。 P_{SENSE} は式 10 によって計算されます。

$$P_{RESET} (OPEN-DRAIN) = V_{RESET} \times I_{RESET} \quad (9)$$

$$P_{SENSE} = V_{SENSE} \times I_{SENSE} \quad (10)$$

式 7 および 式 8 は、熱的考慮事項によって許容される最大消費電力、デバイスの両端の電圧降下、デバイスの連続電流能力の関係を示します。これら 2 つの式を使用して、アプリケーションでのデバイスの最適な動作条件を決定する必要があります。

消費電力を低減 (P_D) または優れたパッケージ熱抵抗 ($R_{\theta JA}$) を使用するアプリケーションでは、最大周囲温度 (T_{A-MAX}) を増やすことができます。

消費電力が高いアプリケーションまたはパッケージからの熱抵抗が低いアプリケーションでは、最大周囲温度 (T_{A-MAX}) をディレーティングできます。 T_{A-MAX} は式 11 で与えられるように、動作時の最大接合部温度 ($T_{J-MAX-OP} = 125^\circ\text{C}$)、アプリケーションのデバイス パッケージの最大許容消費電力 (P_{D-MAX})、およびアプリケーションの部品/パッケージの接合部から周囲への熱抵抗 ($R_{\theta JA}$) に依存します。

$$T_{A-MAX} = (T_{J-MAX-OP} - (R_{\theta JA} \times P_{D-MAX})) \quad (11)$$

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- V_{DD} ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、0.1 μ F 以上のセラミック コンデンサを V_{DD} ピンの出来るだけ近くに配置することが推奨されます。
- CTS または CTR にコンデンサを使用する場合は、これらの部品をそれぞれのピンにできるだけ近づけて配置してください。コンデンサ設定用ピンを未接続のまま使用する場合は、ピンの寄生容量を 5pF 未満に抑えるようにします。
- OUT OV、OUT UV、LOW UV、および BIST のプルアップ抵抗は、できるだけ各ピンの近くに配置します。
- 配線設計時には、高電圧配線と低電圧配線をできるだけ離して配置します。

8.4.2 レイアウト例

図 8-3 のレイアウト例に、ユーザー定義の遅延を伴うプリント基板 (PCB) 上で TPS371K-Q1 をレイアウトする方法を示します。

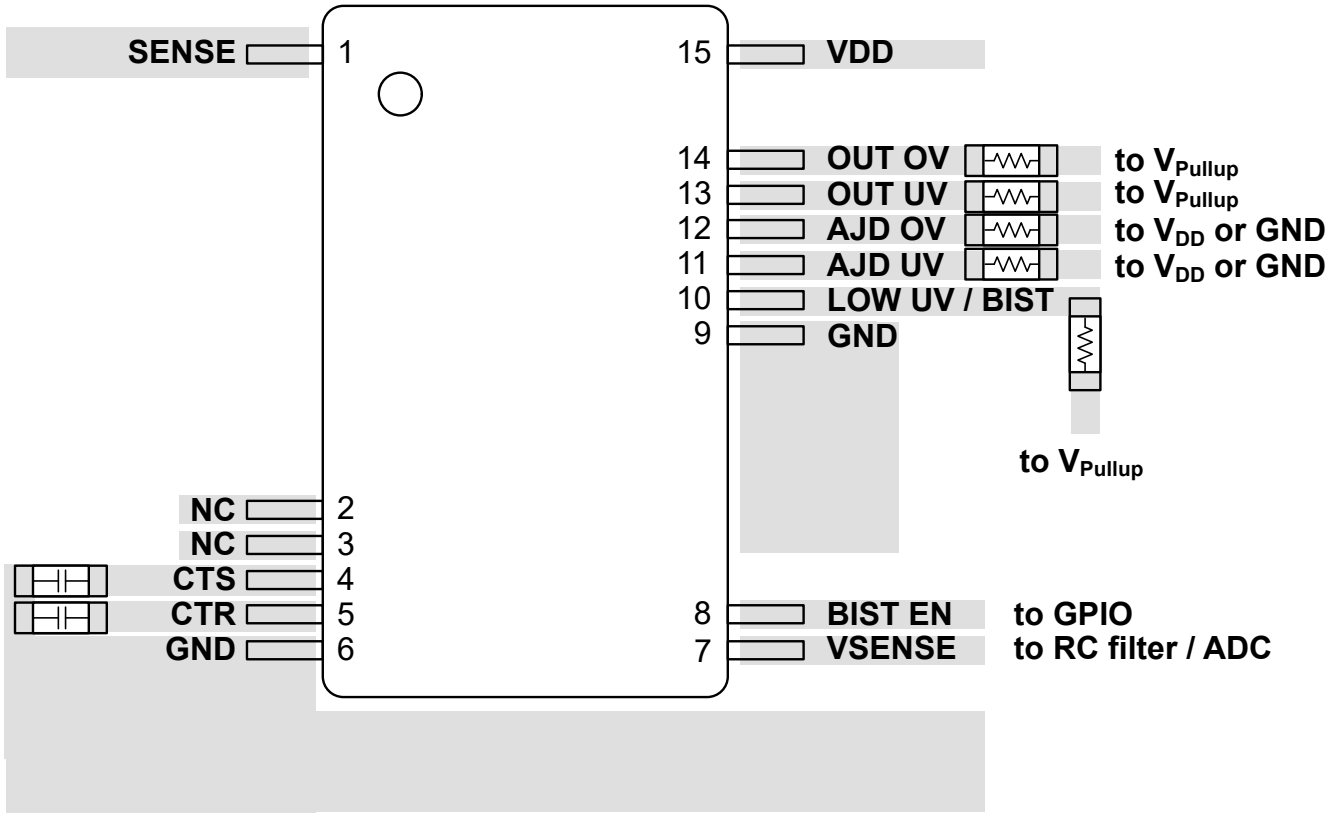


図 8-3. TPS371K-Q1 の推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

セクション 4 表 5-1 のデバイス デコーダーに、注文可能な部品番号に基づいてデバイスの特定のデバイス機能を識別する方法が示されています。すべての型番がこの命名規則に従っているとは限りません。すべてのデバイスの、型番デコード表として表 9-1 を使用します。

表 9-1. デバイス構成表

発注用部品名	スレッショルド	OV スレッショルド	OV ヒステリシス	UV スレッショルド	UV ヒステリシス	Low UV スレッショルド	時間遅延	VSENSE スケール
PTPS371KV/M5DFXRQ1	固定	900V	2%	該当なし	該当なし	該当なし	ADJ CTS ADJ CTR	該当なし

9.2 ドキュメントのサポート

9.2.1 関連資料

以下に示す関連ドキュメントは、www.ti.com からダウンロードできます。

- 『コンパレータ入力の分圧抵抗の最適化』SLVA450
- 『電源設計用の感度分析』、SLVA481

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2025) to Revision A (May 2026)

Page

- ドキュメントのリリース ステータスを NDA から公開情報に変更..... **1**

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PPS371KA8C89DFXRQ1	Active	Preproduction	SSOP (DFX) 15	750 LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

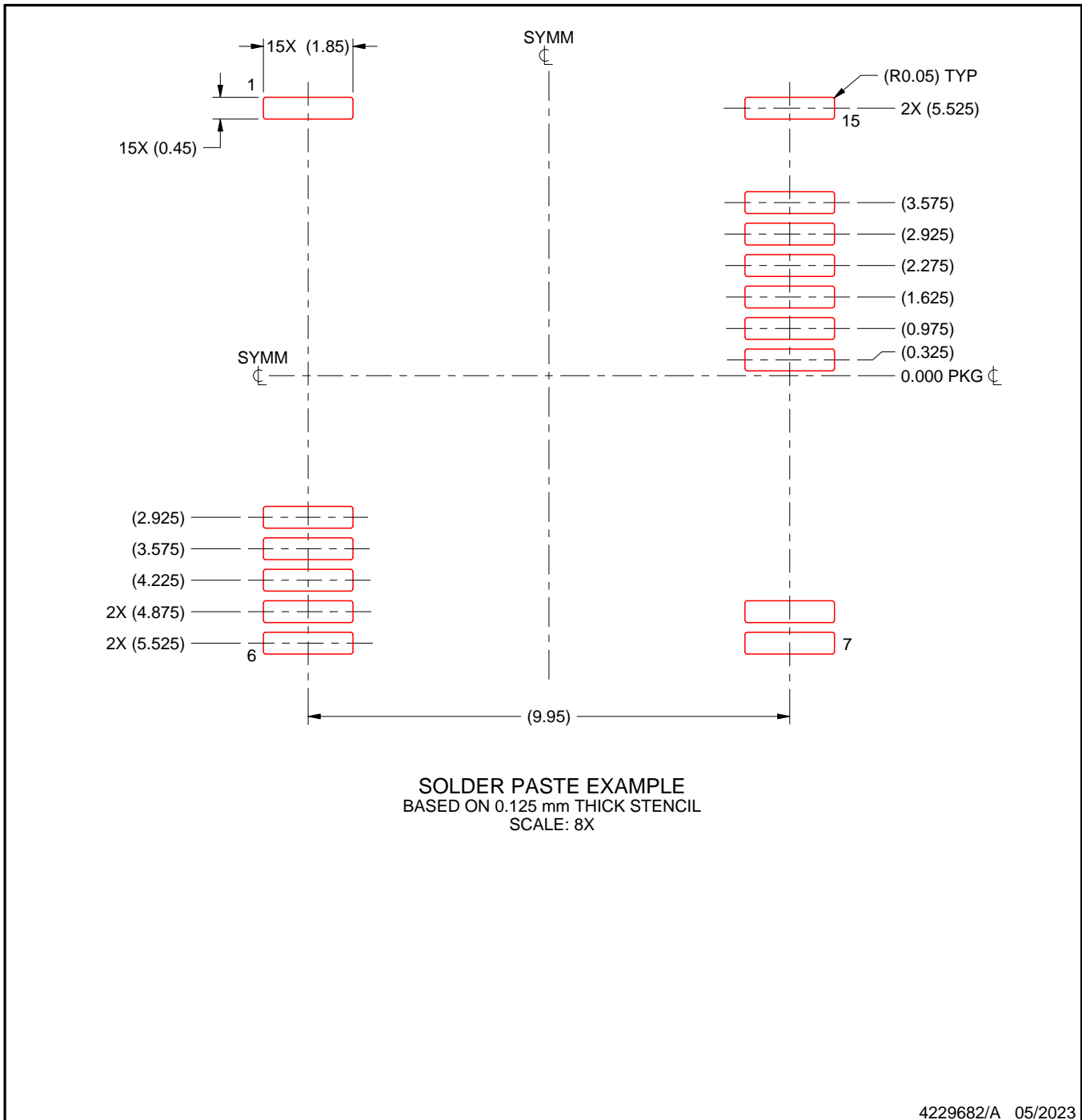
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

EXAMPLE STENCIL DESIGN

DFX0015A

SSOP - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月