

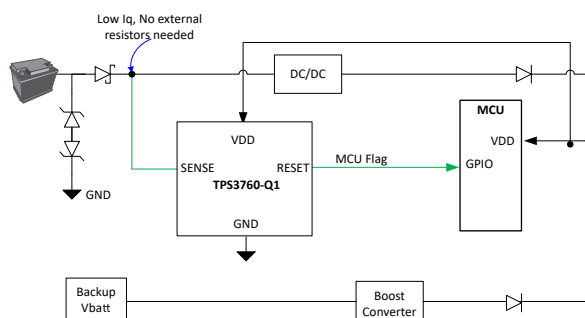
TPS3760-Q1 プログラマブルな検出およびリセット遅延機能を備えた車載用高電圧スーパーバイザ

1 特長

- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の動作時周囲温度範囲 T_A
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C7B
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 広い電源電圧範囲: 2.7V ~ 65V
- 65V 定格の SENSE および RESET ピン
- 低い静止電流: 1 μA (標準値)
- 電圧スレッシュホールドを柔軟にかつ幅広く選択可能
 - 2.7V ~ 36V (誤差 1.5% 以下)
 - 800mV オプション (誤差 1% 以下)
- ヒステリシス内蔵 (V_{HYS})
 - パーセンテージオプション: 2% ~ 13% (1% 刻み)
 - 固定オプション: $V_{TH} < 8V = 0.5V, 1V, 1.5V, 2V, 2.5V$
- リセット時間遅延をプログラム可能
 - 10nF = 12.8ms, 10 μF = 12.8s
- 検出時間遅延をプログラム可能
 - 10nF = 1.28ms, 10 μF = 1.28s
- マニュアルリセット ($\overline{\text{MR}}$) 機能
- 出力リセット・ラッチ機能
- 出力カトポロジ: オープンドレインまたはプッシュプル

2 アプリケーション

- テレマティクス制御ユニット
- オーディオ アンプ
- ヘッドユニットおよびクラスタ
- ボディコントロール モジュール



代表的なアプリケーション回路

3 説明

TPS3760-Q1 は、1 μA I_{DD} 、精度 1%、高速な検出時間を特長とする 65V 入力電圧検出器です。このデバイスは 12V/24V 車載用バッテリー システムに直接接続し、過電圧 (OV) または低電圧 (UV) 状態を継続的に監視できます。また、内部抵抗デバイダを搭載しているため、ソリューション全体のサイズを最小化できます。コールド クランク、スタート/ストップ、車の各種バッテリー電圧過渡の影響を受けないように、幅広いヒステリシス電圧オプションを選択できます。SENSE ピンに組み込まれたヒステリシスは、電源電圧レール監視中のリセット信号の誤検出を防止します。

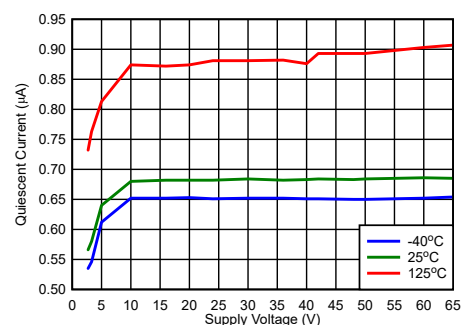
VDD ピンと SENSE ピンが独立しているため、信頼性が高い車載用システムが求める冗長性を実現できます。また、SENSE は VDD よりも高い電圧と低い電圧を監視できます。SENSE ピンは高インピーダンス入力なので外付け抵抗を使うこともできます。CTS および CTR ピンを使うことで、RESET 信号の立ち上がり/立ち下がりエッジの遅延を調整できます。また、CTS は、監視対象の電圧レールの電圧グリッチを無視するデバウンス機能として機能します。CTR は、システムを強制的にリセットするための手動リセット (MR) としても動作します。

TPS3760-Q1 は、4.1mm × 1.9mm SOT 14 ピン パッケージで供給されます。TPS3760-Q1 は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の T_A で動作します。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TPS3760-Q1	SOT-23 (14) (DYY)	4.1mm × 1.9mm
TPS3760-Q1	WSON (10) (DSK)	2.5mm × 2.5mm

- (1) パッケージの詳細については、このデータシートの末尾の外形図を参照してください。



I_{DD} と V_{DD} との代表的な関係

目次

1 特長	1	7.3 機能説明	19
2 アプリケーション	1	7.4 デバイスの機能モード	28
3 説明	1	8 アプリケーションと実装	29
4 デバイスの比較	3	8.1 使用上の注意	29
5 ピン構成および機能	5	8.2 可変電圧スレッシュホールド	29
6 仕様	7	8.3 代表的なアプリケーション	30
6.1 絶対最大定格.....	7	8.4 電源に関する推奨事項	33
6.2 ESD 定格.....	7	8.5 レイアウト	33
6.3 推奨動作条件.....	7	9 デバイスおよびドキュメントのサポート	36
6.4 熱に関する情報.....	7	9.1 デバイスの命名規則.....	36
6.5 電気的特性.....	8	9.2 ドキュメントの更新通知を受け取る方法.....	37
6.6 タイミング要件.....	10	9.3 サポート・リソース.....	37
6.7 タイミング図.....	11	9.4 商標.....	37
6.8 代表的特性.....	14	9.5 静電気放電に関する注意事項.....	37
7 詳細説明	18	9.6 用語集.....	37
7.1 概要.....	18	10 改訂履歴	37
7.2 機能ブロック図.....	18	11 メカニカル、パッケージ、および注文情報	38

4 デバイスの比較

リリース済みのバリエーションの違いを表に示します。各種のデバイスのバリエーションを比較するためのデバイスの命名規則の詳細については、図を参照してください。詳しい情報と提供状況については、TI の販売代理店または [TI の E2E フォーラム](#) にお問い合わせください。最小注文量が適用される場合があります。

表 4-1. TPS3760-Q1 のデバイス比較表

発注用型番	チャンネル ⁽¹⁾	スレッショルド	ヒステリシス	出力 ⁽²⁾	ラッチ
TPS3760A012DYRQ1	UV	0.8V	2%	OD Low	ラッチなし
TPS3760AE95DYYQ1	UV	30V	5%	OD Low	ラッチなし
TPS3760BF05DYRQ1	UV	31V	5%	PP Low	ラッチなし
TPS3760E012DYRQ1	OV	0.8V	2%	OD Low	ラッチなし
TPS3760E312DYRQ1	OV	3.1V	2%	OD Low	ラッチなし
TPS3760E335DYRQ1	OV	3.3V	5%	OD Low	ラッチなし
TPS3760H279DYRQ1	OV	2.7V	9%	PP が High	ラッチなし
TPS3760A635DSKRQ1	UV	6.3V	5%	OD Low	ラッチなし

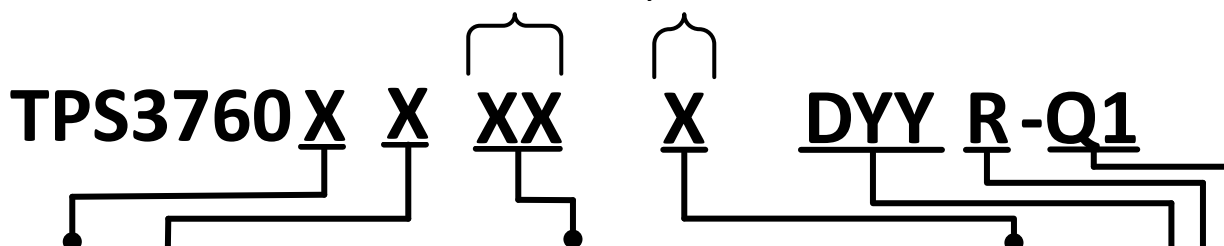
- (1) センス ロジック: OV = 過電圧、UV = 低電圧
(2) リセットトポロジ: PP = プッシュプル、OD = オープンドレイン

TI の高電圧スーパーバイザ ファミリの違いを表に示します。

表 4-2. テキサス インストルメンツの高電圧スーパーバイザ ファミリの比較表

一般型番	電圧範囲 (最大値)	チャンネル数	電圧検出	出力リセットラッチ	FuSa 対応 / 準拠	パッケージ / サイズ
TPS3842-Q1	42V	シングル	低電圧のみ	—	可能	SOT563 (6)
TPS3760-Q1	65V	シングル	低電圧のみまたは過電圧のみ	—	可能	WSON(10) SOT23(14)
TPS3762-Q1	65V	シングル	低電圧と過電圧の両方	✓	準拠	SOT23 (8)
TPS37-Q1	65V	デュアル	低電圧と過電圧の両方	—	可能	WSON(10) SOT23(14)
TPS38-Q1	65V	デュアル	低電圧のみまたは過電圧のみ	—	可能	WSON(10) SOT23(14)

Voltage Threshold Hysteresis



Topology

Suffix	CH1
A	UV OD L
B	UV PP L
C	UV OD H
D	UV PP H
E	OV OD L
F	OV PP L
G	OV OD H
H	OV PP H

LATCH

Suffix	Name
L	LATCH
	NO LATCH

100mV steps				400mV steps				500mV steps		1V steps	
Suffix	VIT	Suffix	VIT	Suffix	VIT	Suffix	VIT	Suffix	VIT	Suffix	VIT
01	800mV	70	7.0V	A0	10.4V	D0	20.5V	F0	31.0V		
27	2.7V	71	7.1V	A1	10.8V	D1	21.0V	F1	32.0V		
28	2.8V	72	7.2V	A2	11.2V	D2	21.5V	F2	33.0V		
29	2.9V	73	7.3V	A3	11.6V	D3	22.0V	F3	34.0V		
30	3.0V	74	7.4V	A4	12.0V	D4	22.5V	F4	35.0V		
31	3.1V	75	7.5V	A5	12.4V	D5	23.0V	F5	36.0V		
32	3.2V	76	7.6V	A6	12.8V	D6	23.5V				
33	3.3V	77	7.7V	A7	13.2V	D7	24.0V				
34	3.4V	78	7.8V	A8	13.6V	D8	24.5V				
35	3.5V	79	7.9V	A9	14.0V	D9	25.0V				
36	3.6V	80	8.0V	B0	14.4V	E0	25.5V				
37	3.7V	81	8.1V	B1	14.8V	E1	26.0V				
38	3.8V	82	8.2V	B2	15.2V	E2	26.5V				
39	3.9V	83	8.3V	B3	15.6V	E3	27.0V				
40	4.0V	84	8.4V	B4	16.0V	E4	27.5V				
41	4.1V	85	8.5V	B5	16.4V	E5	28.0V				
42	4.2V	86	8.6V	B6	16.8V	E6	28.5V				
43	4.3V	87	8.7V	B7	17.2V	E7	29.0V				
44	4.4V	88	8.8V	B8	17.6V	E8	29.5V				
45	4.5V	89	8.9V	B9	18.0V	E9	30.0V				
46	4.6V	90	9.0V	C0	18.4V						
47	4.7V	91	9.1V	C1	18.8V						
48	4.8V	92	9.2V	C2	19.2V						
49	4.9V	93	9.3V	C3	19.6V						
50	5.0V	94	9.4V	C4	20.0V						
51	5.1V	95	9.5V								
52	5.2V	96	9.6V								
53	5.3V	97	9.7V								
54	5.4V	98	9.8V								
55	5.5V	99	9.9V								
56	5.6V	00	10.0V								
57	5.7V										
58	5.8V										
59	5.9V										
60	6.0V										
61	6.1V										
62	6.2V										
63	6.3V										
64	6.4V										
65	6.5V										
66	6.6V										
67	6.7V										
68	6.8V										
69	6.9V										

Hysteresis

Suffix	CH1
2	2%
3	3%
4	4%
5	5%
6	6%
7	7%
8	8%
9	9%
A	10%
B	11%
C	12%
D	13%
E	0.5V
F	1V
G	1.5V
H	2V
I	2.5V

Package

Suffix	Name
DYY	SOT-23
DSK	WSN

Reel

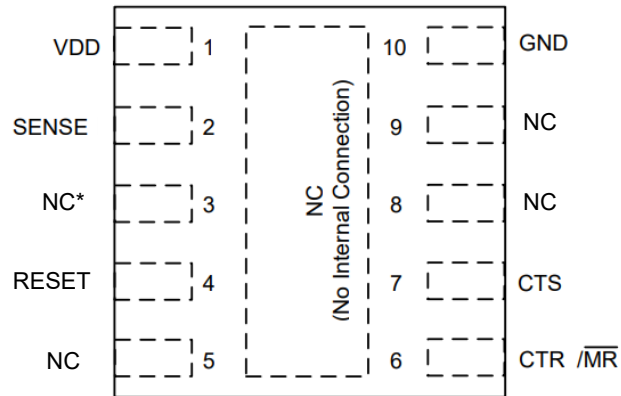
Suffix	Name
R	Large

Rating

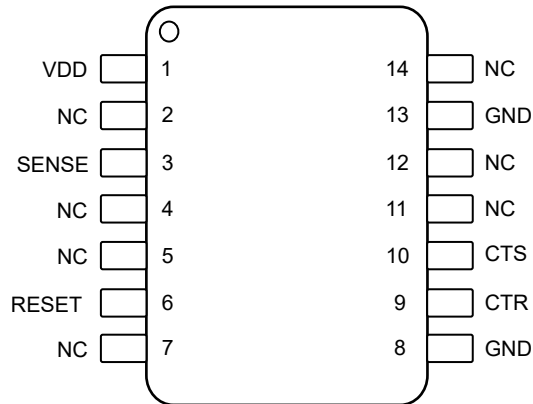
Suffix	Name
Q1	AUTO
	INDUSTRIAL

- VIT が 800mV の接尾辞 01 は可変バリエーションに対応しており、内部電圧デバイダはありません
- A ~ I のヒステリシス オプションは、2.9V ~ 8V のスレッショルド オプションでのみ使用できます

5 ピン構成および機能



**図 5-1. DSK パッケージ、
10 ピン WSON、
TPS3760-Q1 (上面図)**



**図 5-2. DYY パッケージ、
14 ピン SOT-23、
TPS3760 -Q1 (上面図)**

表 5-1. ピンの機能

ピン	SOT23 (DYY)	WSON (DSK)	I/O	説明
名称	ピン番号	ピン番号		
VDD	1	1	I	入力電源電圧: GND との間に 0.1 μ F のコンデンサを用いてバイパスします。
SENSE	3	2	I	センス電圧: このピンによって監視される電圧は、固定バリエーション用の内部電圧デバイダまたは可変バリエーション用の外部電圧デバイダによって決定される内部電圧スレッショルド V_{th} と比較されます。SENSE ピンが故障を検出すると、CTS によって設定されたセンス時間遅延後に $\overline{\text{RESET}}/\text{RESET}$ がアサートされます。SENSE ピンの電圧が V_{th} ヒステリシスと V_{HYS} を超えて遷移すると、CTR によって設定されたリセット時間遅延後に $\overline{\text{RESET}}/\text{RESET}$ がデアサートされます。ノイズの多いアプリケーションでは、最適性能を得るために、このピンの近くに 10nF ~ 100nF のセラミックコンデンサを配置する必要がある場合があります。 センシングトポロジ: 過電圧 (OV) または低電圧 (UV)
$\overline{\text{RESET}}/\text{RESET}$	6	4	O	出力リセット信号: 出力トポロジのオプションについては、「デバイス比較」を参照してください。SENSE が CTS で設定されたセンス時間遅延の後に電圧スレッショルドを超えると、 $\overline{\text{RESET}}/\text{RESET}$ がアサートされます。SENSE が故障状態から遷移した後、 $\overline{\text{RESET}}/\text{RESET}$ はリセット時間遅延の間アサートされたままになります。アクティブ "Low" のオープンドレインリセット出力には、外部プルアップ抵抗が必要です。プッシュプル出力に外部プルアップ抵抗を配置しないでください。 出力トポロジ: オープンドレインまたはプッシュプル、アクティブ "Low" またはアクティブ "High"
CTS / $\overline{\text{LATCH}}$	10	7	O	SENSE 時間遅延: コンデンサのプログラマブルなセンス遅延: CTS ピンにより、リセット状態をアサートするときのセンス遅延時間を調整できます。このピンをグラウンドリファレンスコンデンサに接続すると $\overline{\text{RESET}}/\text{RESET}$ 遅延時間がアサートされるように設定されます。 LATCH: ラッチ対応デバイスでは、CTS 機能は無効化されています。ラッチモードが有効化された場合、故障が解消されても $\overline{\text{RESET}}/\text{RESET}$ はデアサートされません。ラッチモードを有効にするには、 $\overline{\text{LATCH}}$ ピンを "Low" (少なくとも 1.4V) に駆動する必要があります。10k Ω をグラウンドにプルダウンすることを推奨します。ラッチモードを無効にするには、SENSE ピンが故障を検出していない間に、3 μ s の間 2.1V 以上を $\overline{\text{LATCH}}$ ピンに印加する必要があります。 $\overline{\text{RESET}}/\text{RESET}$ は無効化する信号の立ち上がりエッジで遅延 t_{ctr} で開始され、デアサートされます。
CTR /MR	9	6	-	RESET 時間遅延: ユーザーがプログラム可能な $\overline{\text{RESET}}/\text{RESET}$ の時間遅延。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。 マニュアルリセット: このピンが "Low" に駆動されると $\overline{\text{RESET}}/\text{RESET}$ 出力はリセットされ、アサート状態になります。このピンはフローティングのままにしておくことも、コンデンサに接続することもできます。このピンを High に駆動してはいけません。
GND	8, 13	10	-	グラウンド。 すべての GND ピンは、基板のグラウンドに電気的に接続する必要があります。
NC	2, 4, 5, 7, 11, 12, 14	5, 8, 9	-	NC は「接続なし」を表します。ピンはフローティングのままにします。
NC*	-	3	-	フローティング状態のままにしておいてはいけません。ロジック "Low" に駆動する必要があります。

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 特に記述のない限り (1)

		最小値	最大値	単位
電圧	VDD、V _{SENSE} 、V _{RESET} 、V _{RESET}	-0.3	70	V
電圧	V _{CTS} 、V _{CTR}	-0.3	6	V
電流	I _{RESET} 、I _{RESET}		10	mA
温度(2)	動作時の接合部温度、T _J	-40	150	°C
温度(2)	動作時周囲温度、T _A	-40	150	°C
温度(2)	保存、T _{stg}	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) このデバイスの消費電力は低いため、T_J = T_A と想定されます。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 (1)	±2000
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電圧	V _{DD}	2.7		65	V
電圧	V _{DD} (50ms 過渡)(1)			70	V
電圧	V _{SENSE} 、V _{RESET} 、V _{RESET}	0		65	V
電圧	V _{CTS} 、V _{CTR}	0		5.5	V
電流	I _{RESET} 、I _{RESET}	0		±5	mA
T _J	接合部温度 (自由気流の温度)	-40		125	°C

- (1) この仕様は過渡条件に対するものです。この条件での繰り返し動作は、デバイスの寿命に影響を及ぼす可能性があります。

6.4 熱に関する情報

熱評価基準 (1)		TPS3760-Q1		単位
		DSK	DYY	
		10-PIN	14-PIN	
R _{θJA}	接合部から周囲への熱抵抗	87.4	131.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	76.3	61.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	54.2	56.6	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	4.8	3.4	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	54.2	56.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	34.8	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

6.5 電気的特性

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ で、 $CTR/MR = CTS =$ オープン、出力リセットプルアップ抵抗 $R_{PU} = 10k\Omega$ 、電圧 $V_{PU} = 5.5V$ 、および負荷 $C_{LOAD} = 10pF$ 。動作周囲温度範囲 $T_A = 40^\circ C \sim 125^\circ C$ (特に記述のない限り)。標準値は、 $T_A = 25^\circ C$ 、 $V_{DD} = 16V$ および $V_{IT} = 6.5V$ の値です (V_{IT} は V_{ITN} または V_{ITP} を指します)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD						
V_{DD}	電源電圧		2.7		65	V
$UVLO$ (1)	低電圧誤動作防止	V_{DD} が $V_{DD(MIN)}$ を下回る			2.7	V
V_{POR}	パワーオンリセット電圧 (2) RESET、アクティブ "Low" (オープンドレイン、プッシュプル)	$V_{OL(MAX)} = 300mV$ $I_{OUT(Sink)} = 15\mu A$			1.4	V
V_{POR}	パワーオンリセット電圧 (2) RESET、アクティブ "High" (プッシュプル)	$V_{OH(MIN)} = 0.8 \times V_{DD}$ $I_{OUT(Source)} = 15\mu A$			1.4	V
I_{DD}	VDD ピンへの電源電流	$V_{IT} = 800mV$ $V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$		1	2.6	μA
		$V_{IT} = 2.7V \sim 36V$ $V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$		1	2	μA
SENSE (入力)						
I_{SENSE}	入力電流	$V_{IT} = 800mV$			100	nA
I_{SENSE}	入力電流	$V_{IT} < 10V$			0.8	μA
I_{SENSE}	入力電流	$10V < V_{IT} < 26V$			1.2	μA
I_{SENSE}	入力電流	$V_{IT} > 26V$			2	μA
V_{ITN}	負の入力スレッショルド (低電圧)	$V_{IT} = 2.7V \sim 36V$	-1.5		1.5	%
		$V_{IT} = 800mV$ (3)	0.792	0.800	0.808	V
V_{ITP}	入力スレッショルドの正 (過電圧)	$V_{IT} = 2.7V \sim 36V$	-1.5		1.5	%
		$V_{IT} = 800mV$ (3)	0.792	0.800	0.808	V
V_{HYS}	ヒステリシスの精度 (4)	$V_{IT} = 0.8V$ および $2.7V \sim 36V$ V_{HYS} 範囲 = 2% ~ 13% (1% 刻み)	-1.5		1.5	%
		$V_{IT} = 2.7V \sim 8V$ $V_{HYS} = 0.5V, 1V, 1.5V, 2V, 2.5V$ ($V_{ITP} - V_{HYS}$) $\geq 2.4V, OV$ のみ	-1.5		1.5	%
RESET (出力)						
$I_{kg(OD)}$	オープンドレインリーケージ	$V_{RESET} = 5.5V$ $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
		$V_{RESET} = 65V$ $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
V_{OL} (5)	Low レベル出力電圧	$2.7V \leq V_{DD} \leq 65V$ $I_{RESET} = 5mA$			300	mV
V_{OH_DO}	"High" レベル出力電圧ドロップアウト ($V_{DD} - V_{OH} = V_{OH_DO}$) (プッシュプルのみ)	$2.7V \leq V_{DD} \leq 65V$ $I_{RESET} = 500\mu A$			100	mV
V_{OH} (5)	"High" レベル出力電圧 (プッシュプルのみ)	$2.7V \leq V_{DD} \leq 65V$ $I_{RESET} = 5mA$	$0.8V_{DD}$			V
コンデンサのタイミング (CTS, CTR)						
R_{CTR}	内部抵抗 (CTR / MR)		877	1000	1147	K Ω
R_{CTS}	内部抵抗 (CTS)		88	100	122	K Ω
マニュアルリセット (MR)						
V_{MR_IH}	CTR / MR ピンロジック "High" 入力	$V_{DD} = 2.7V$	2200			mV

6.5 電気的特性 (続き)

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ で、 $CTR/\overline{MR} = CTS =$ オープン、出力リセットプルアップ抵抗 $R_{PU} = 10k\Omega$ 、電圧 $V_{PU} = 5.5V$ 、および負荷 $C_{LOAD} = 10pF$ 。動作周囲温度範囲 $T_A = 40^\circ C \sim 125^\circ C$ (特に記述のない限り)。標準値は、 $T_A = 25^\circ C$ 、 $V_{DD} = 16V$ および $V_{IT} = 6.5V$ での値です (V_{IT} は V_{ITN} または V_{ITP} を指します)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{MR_IH}	CTR / \overline{MR} ピン ロジック "High" 入力	VDD = 65V	2500			mV
V_{MR_IL}	CTR / \overline{MR} ピン ロジック "Low" 入力	VDD = 2.7V			1300	mV
V_{MR_IL}	CTR / \overline{MR} ピン ロジック "Low" 入力	VDD = 65V			1300	mV

- (1) V_{DD} 電圧が UVLO を下回ると、出力に対してリセットがアサートされます。 V_{DD} スルー レート $\leq 100mV / \mu s$
- (2) V_{POR} は、制御された出力状態の最小 V_{DD} 電圧です。 V_{POR} を下回ると、出力は決定できません。 $V_{DD} dv/dt \leq 100mV/\mu s$
- (3) 可変電圧ガイドラインと抵抗の選択については、「アプリケーションと実装」セクションの「可変電圧スレッシュホールド」を参照してください
- (4) ヒステリシスは、 V_{ITP} および V_{ITN} 電圧スレッシュホールドを基準にしています。 V_{ITP} には負のヒステリシス、 V_{ITN} には正のヒステリシスがあります。
- (5) 出力バリエーションとの V_{OH} と V_{OL} の関係については、「タイミング要件」表の後の「タイミング図」を参照してください

6.6 タイミング要件

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ の場合、 $CTR/\overline{MR} = CTS =$ オープン、⁽¹⁾出力リセットプルアップ抵抗 $R_{PU} = 10k\Omega$ 、電圧 $V_{PU} = 5.5V$ 、 $C_{LOAD} = 10pF$ 。VDD および SENSE スループレート = $1V/\mu s$ 。動作周囲温度範囲 $T_A = -40^\circ C \sim 125^\circ C$ (特に記述のない限り)。標準値は、 $T_A = 25^\circ C$ および $V_{DD} = 16V$ および $V_{IT} = 6.5V$ (V_{IT} は V_{ITN} または V_{ITP} のいずれかを指す)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
一般的なタイミング パラメータ					
t_{CTR}	リセット解除時間遅延 (CTR/MR) ⁽²⁾	$V_{IT} = 2.7V \sim 36V$ $C_{CTR} =$ オープン ヒステリシスから 20% のオーバードライブ		100	μs
		$V_{IT} = 800mV$ $C_{CTR} =$ オープン ヒステリシスから 20% のオーバードライブ		40	μs
t_{CTS}	センス検出時間遅延 (CTS) ⁽³⁾	$V_{IT} = 2.7V \sim 36V$ $C_{CTS} =$ オープン V_{IT} から 20% オーバードライブ	34	90	μs
		$V_{IT} = 800mV$ $C_{CTS} =$ オープン V_{IT} から 20% オーバードライブ	8	17	μs
t_{SD}	スタートアップ遅延 ⁽⁴⁾	$C_{CTR/MR} =$ オープン		2	ms

(1) C_{CTR} = リセット遅延チャンネル
 C_{CTS} = センス遅延チャンネル

(2) **CTR** リセット検出時間遅延:

過電圧アクティブ "Low" 出力は $V_{ITP} - HYS \sim V_{OH}$ で測定
低電圧アクティブ "Low" 出力は $V_{ITN} + HYS \sim V_{OH}$ 間で測定
過電圧アクティブ "High" 出力は $V_{ITP} - HYS \sim V_{OL}$ の間で測定
低電圧アクティブ "High" 出力は $V_{ITN} + HYS \sim V_{OL}$ の間で測定

(3) **CTS** センス検出時間遅延:

アクティブ "Low" の出力は $V_{IT} \sim V_{OL}$ (または V_{Pullup}) の間で測定
アクティブ "High" 出力は $V_{IT} \sim V_{OH}$ の間で測定
 V_{IT} は V_{ITN} または V_{ITP} のいずれかを指す

(4) パワーオンシーケンスの間、出力が V_{SENSE} に基づく正しい状態になるまでの間、VDD は少なくとも t_{SD} の間、 $V_{DD(MIN)}$ 以上である必要があります。なお、 t_{SD} 時間には伝搬遅延が含まれます ($C_{CTR} =$ オープン)。 C_{CTR} のコンデンサには、 t_{SD} に時間が追加されます。

6.7 タイミング図

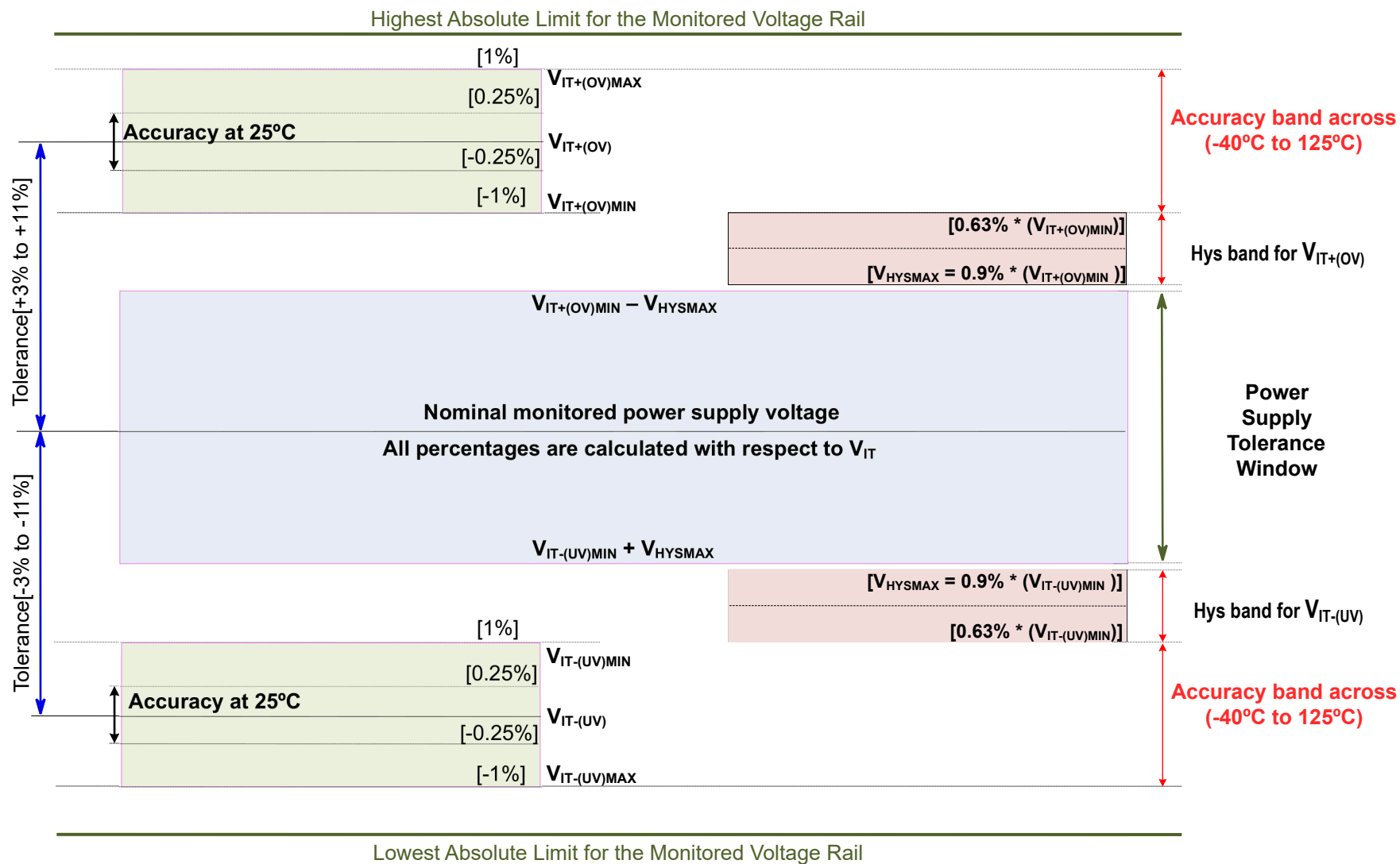
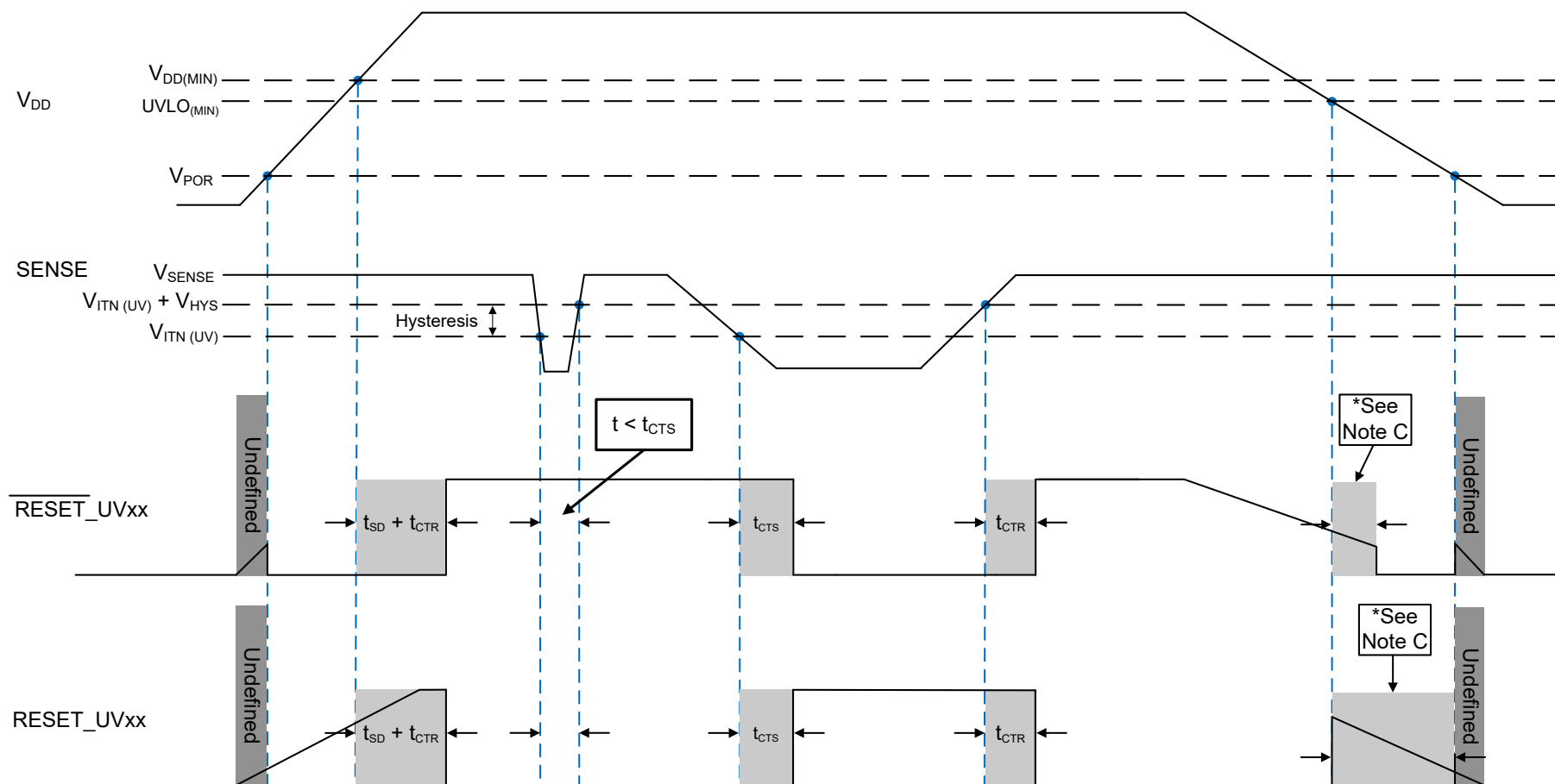
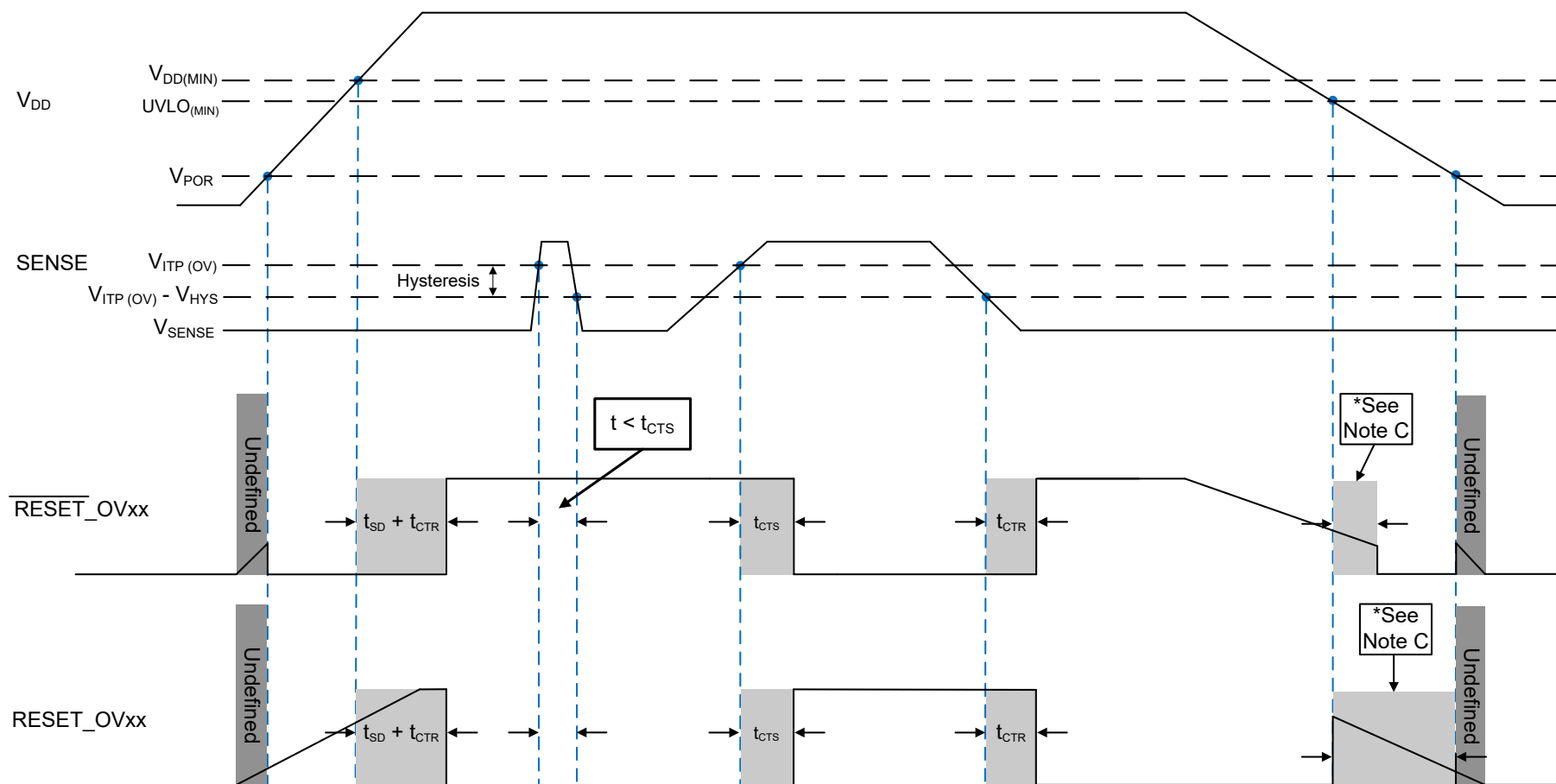


図 6-1. 電圧スレッシュホールドとヒステリシスの精度



- A. オープンドレイン出力オプションの場合、タイミング図では、 $\overline{\text{RESET_UVOD}}$ / $\overline{\text{RESET_UVOD}}$ ピンが外付けのプルアップ抵抗を介して VDD に接続されていることを想定しています。
- B. 図 6-2 は、VDD の立ち下がリスレー トが遅いか、または VDD の減衰時間が伝搬検出遅延 (t_{CTR}) 時間よりもはるかに長いことを示していることに注意してください。
- C. 時間遅延 t_{CTR} に達した後に VDD が UVLO_(MIN) スレッショルドを下回ると、 $\overline{\text{RESET_UVxx}}$ / $\overline{\text{RESET_UVxx}}$ がアサートされます。

図 6-2. SENSE 低電圧チャンネル (UV) の時間図



- A. オープンドレイン出力オプションの場合、タイミング図では、 $\overline{RESET_OVOD}$ / $RESET_OVOD$ ピンが外付けのプルアップ抵抗を介して VDD に接続されていることを想定しています。
- B. 図 6-3 は、VDD の立ち下がリスレーレートが遅いか、または VDD の減衰時間が伝搬検出遅延 (t_{CTR}) 時間よりもはるかに長いことを示していることに注意してください。
- C. 時間遅延 t_{CTR} に達した後に VDD が $UVLO_{(MIN)}$ スレッショルドを下回ると、 $\overline{RESET_OVxx}$ / $RESET_OVxx$ がアサートされます。

図 6-3. SENSE 過電圧チャネル (OV) の時間図

6.8 代表的特性

このセクションでは、TPS3760-Q1 デバイスの代表的特性を示します。テスト条件は、特に記述のない限り $T_A = 25^\circ\text{C}$ 、 $R_{PU} = 100\text{k}\Omega$ 、 $C_{Load} = 50\text{pF}$ となります。

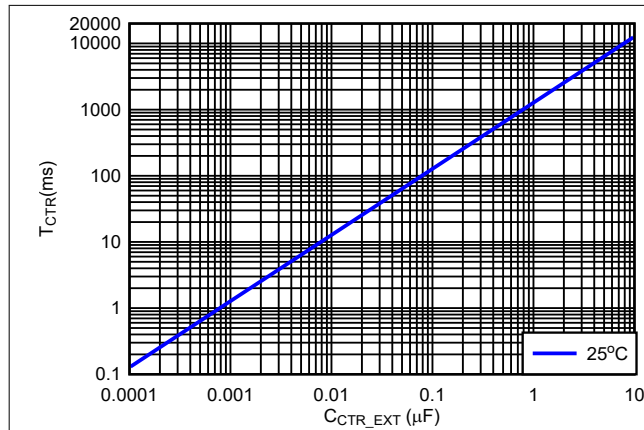


図 6-4. T_{CTR} と C_{CTR} との関係

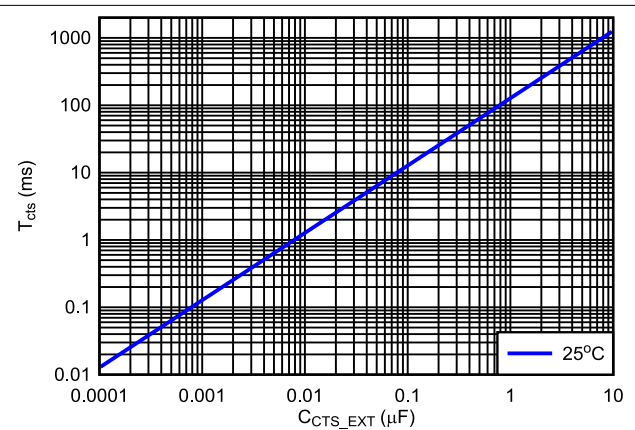


図 6-5. T_{CTS} と C_{CTS} との関係

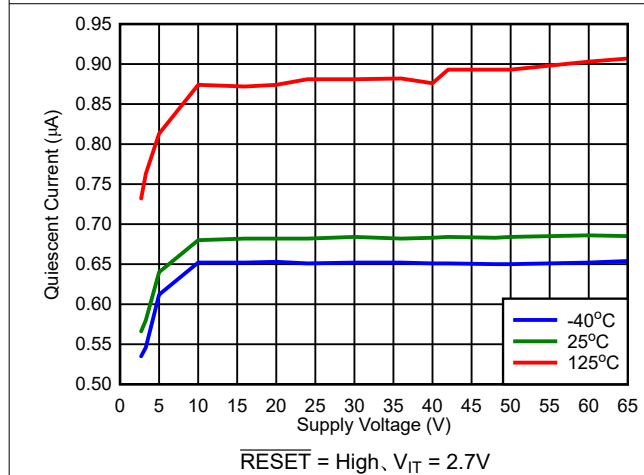


図 6-6. V_{DD} と I_{DD} との関係 ($\overline{\text{RESET}} = \text{High}$, $V_{IT} = 2.7\text{V}$)

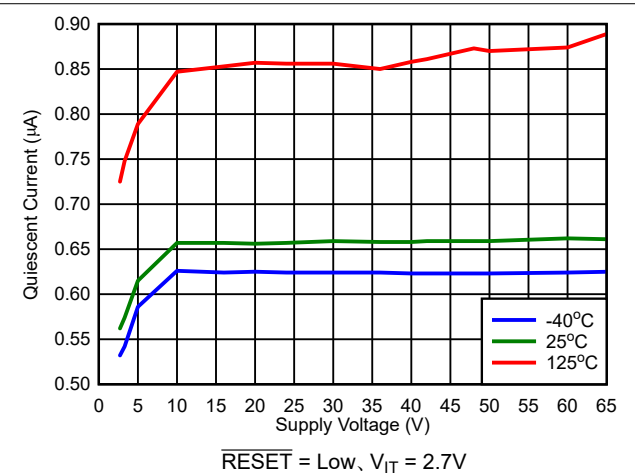


図 6-7. V_{DD} と I_{DD} との関係 ($\overline{\text{RESET}} = \text{Low}$, $V_{IT} = 2.7\text{V}$)

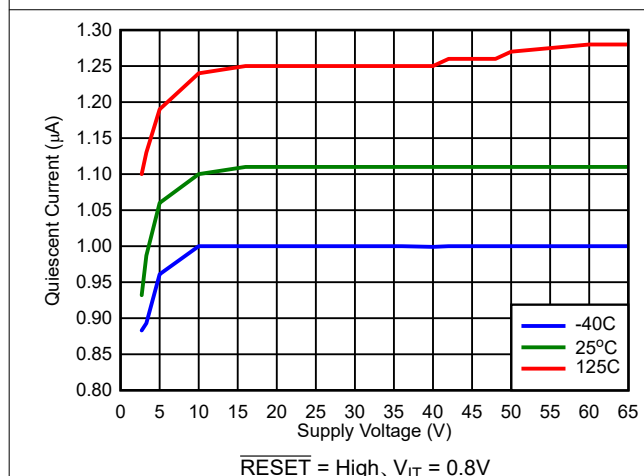


図 6-8. V_{DD} と I_{DD} との関係 ($\overline{\text{RESET}} = \text{High}$, $V_{IT} = 0.8\text{V}$)

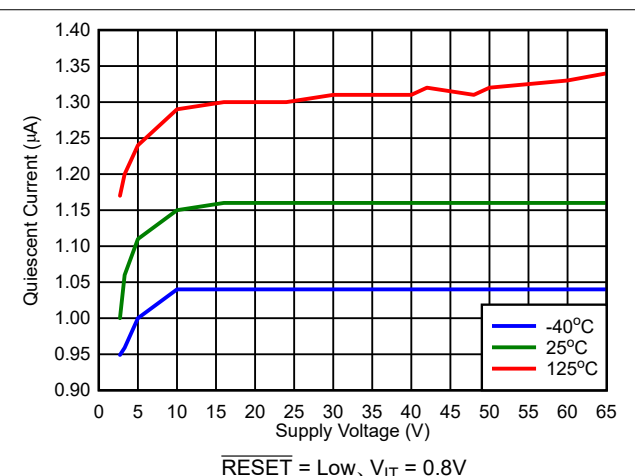


図 6-9. V_{DD} と I_{DD} との関係 ($\overline{\text{RESET}} = \text{Low}$, $V_{IT} = 0.8\text{V}$)

6.8 代表的特性 (続き)

このセクションでは、TPS3760-Q1 デバイスの代表的特性を示します。テスト条件は、特に記述のない限り $T_A = 25^\circ\text{C}$ 、 $R_{PU} = 100\text{k}\Omega$ 、 $C_{Load} = 50\text{pF}$ となります。

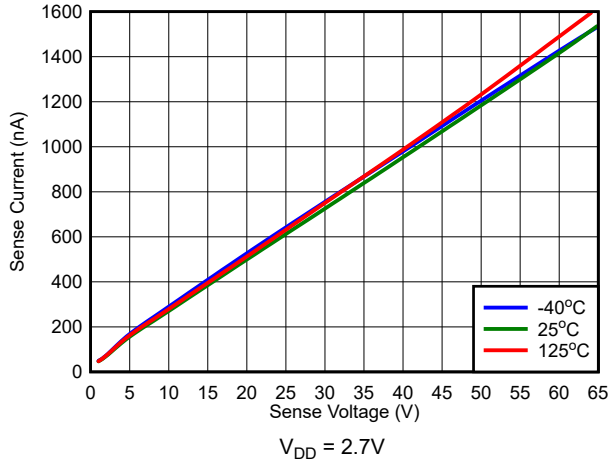


図 6-10. V_{SENSE} と I_{SENSE} との関係

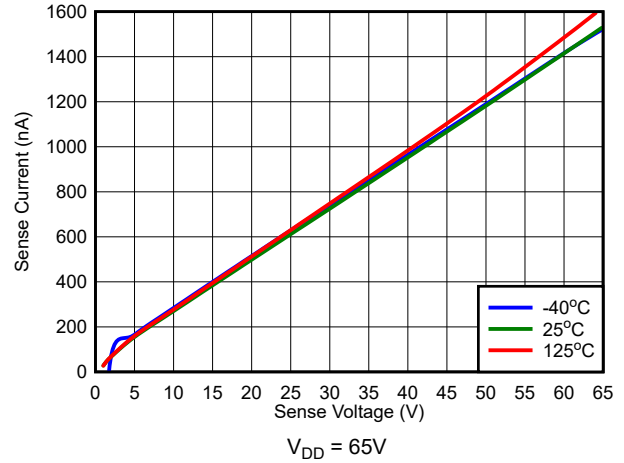


図 6-11. V_{SENSE} と I_{SENSE} との関係

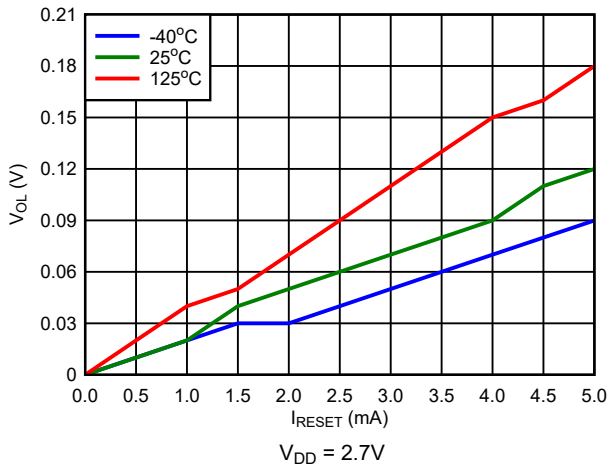


図 6-12. オープン ドレイン アクティブ "Low" V_{OL} と I_{RESET} との関係

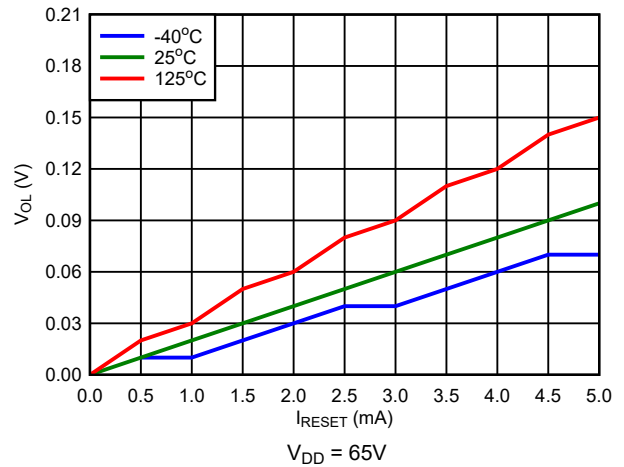
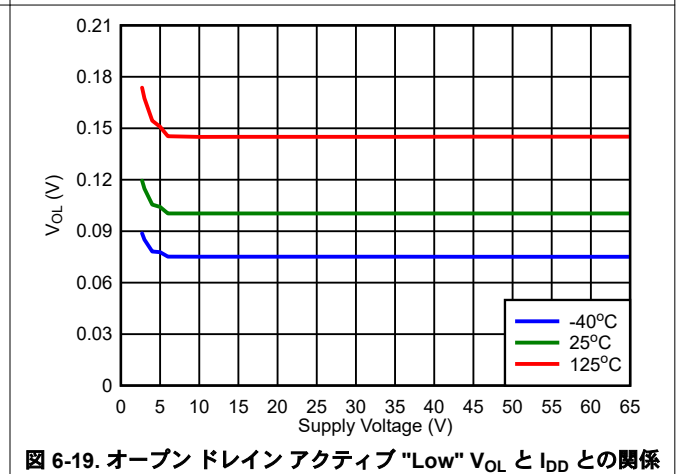
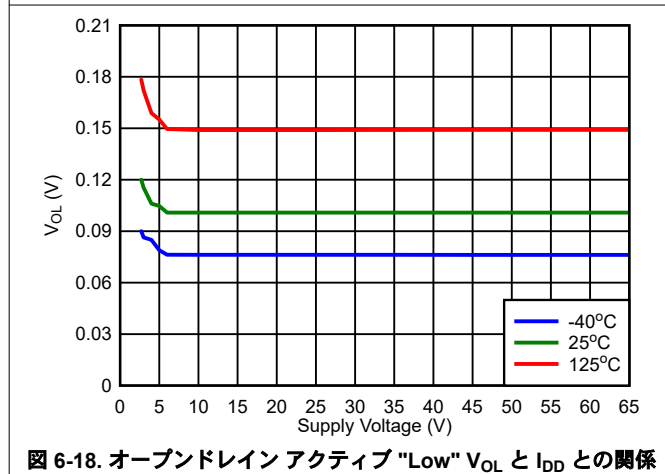
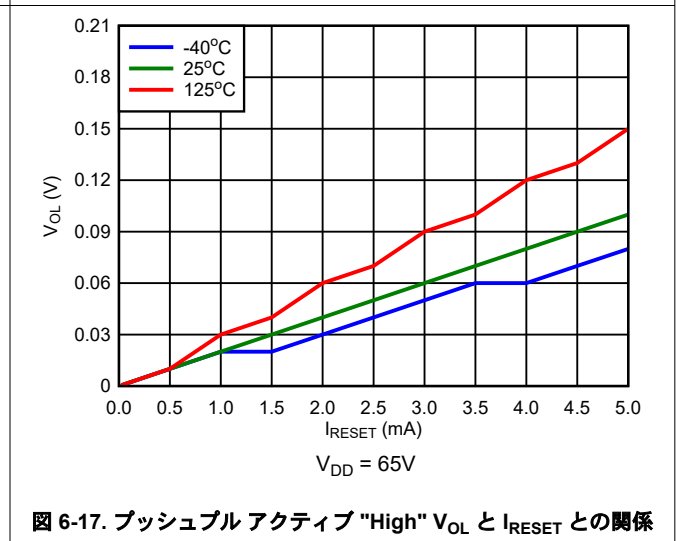
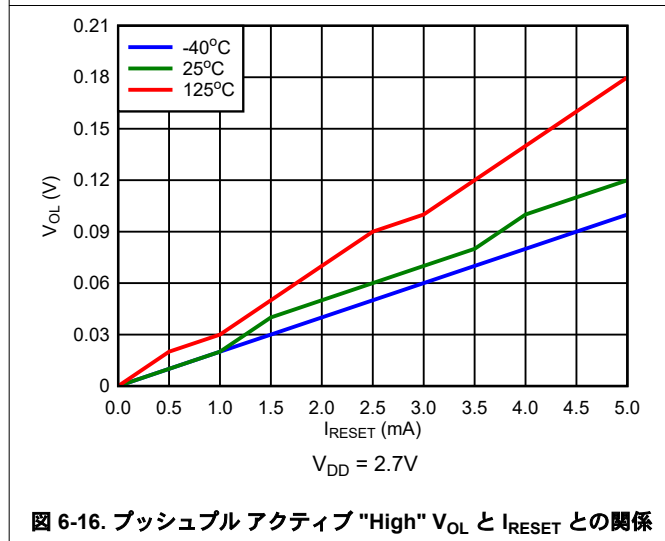
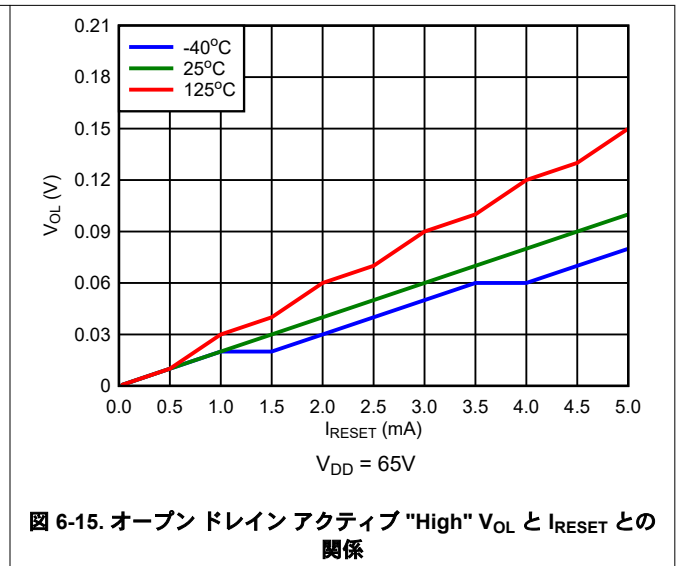
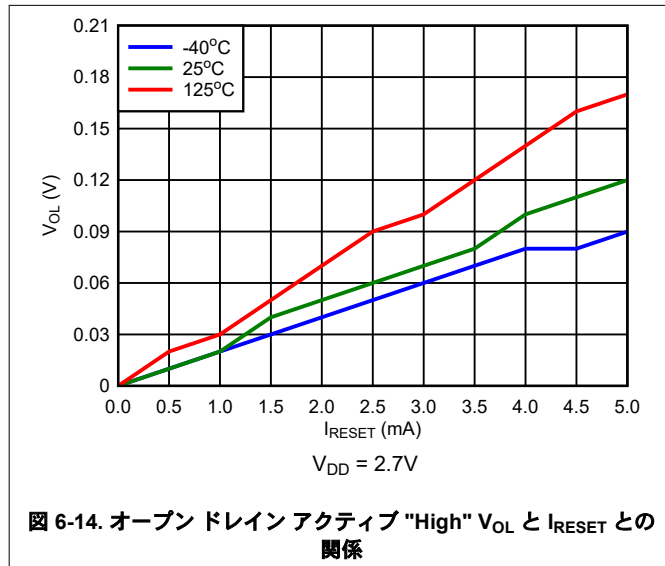


図 6-13. オープン ドレイン アクティブ "Low" V_{OL} と I_{RESET} との関係

6.8 代表的特性 (続き)

このセクションでは、TPS3760-Q1 デバイスの代表的特性を示します。テスト条件は、特に記述のない限り $T_A = 25^\circ\text{C}$ 、 $R_{PU} = 100\text{k}\Omega$ 、 $C_{Load} = 50\text{pF}$ となります。



6.8 代表的特性 (続き)

このセクションでは、TPS3760-Q1 デバイスの代表的特性を示します。テスト条件は、特に記述のない限り $T_A = 25^\circ\text{C}$ 、 $R_{PU} = 100\text{k}\Omega$ 、 $C_{Load} = 50\text{pF}$ となります。

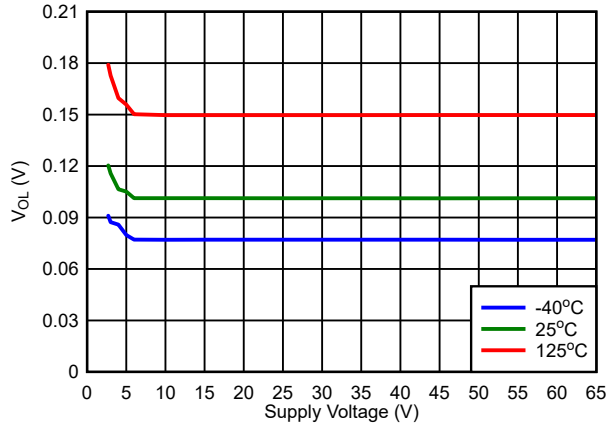


図 6-20. プッシュプルアクティブ "Low" V_{OL} と V_{DD} との関係

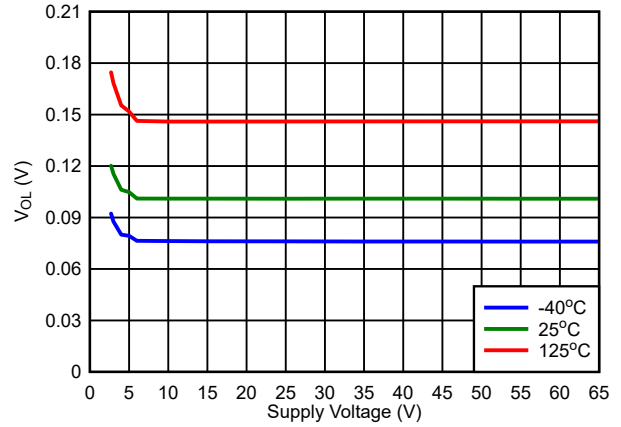


図 6-21. プッシュプルアクティブ "High" V_{OL} と V_{DD} との関係

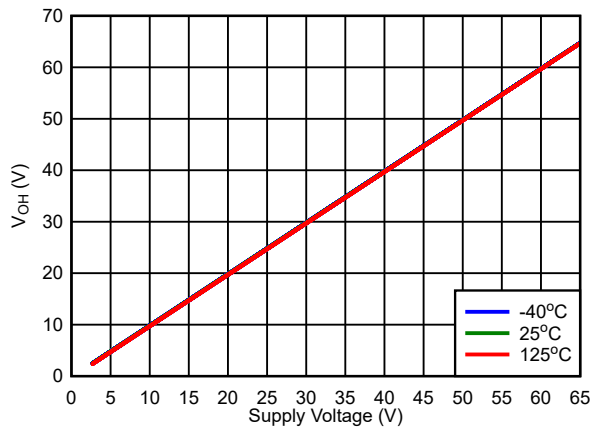


図 6-22. プッシュプルアクティブ "Low" V_{OH} と V_{DD} との関係

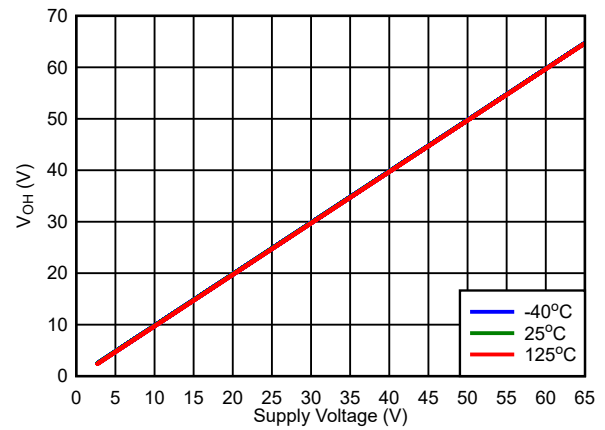


図 6-23. プッシュプルアクティブ "High" V_{OH} と V_{DD} との関係

7 詳細説明

7.1 概要

TPS3760-Q1 は、固定スレッショルド電圧を備えた、高電圧、低静止電流リセット IC のファミリーです。電圧デバイダを内蔵しているため、外部抵抗が不要になり、抵抗デバイダで発生するリーク電流が排除されます。ただし、アプリケーションで必要な場合は外部抵抗をサポートすることもできます。検出時間の短縮と I_{SENSE} 電流の低減という利点を活用するために、外部抵抗の使用事例として最小スレッショルド 800mV (バイパスの内部抵抗ラダー) を推奨します。

VDD、SENSE、RESET ピンは、65V の連続動作をサポートできます。VDD 電圧レベルと SENSE 電圧レベルはどちらも互いに独立しています。つまり、VDD ピンを 2.7V に接続して、SENSE ピンをより高い電圧に接続することができます。TPS3760-Q1 にはデバイス内にクランプがないため、電圧を絶対最大値内に制限するために、外部回路またはデバイスを追加する必要があります。

追加機能には、プログラマブル センス時間遅延 (CTS)、リセット遅延時間、マニュアルリセット (CTR/ \overline{MR}) があります。

7.2 機能ブロック図

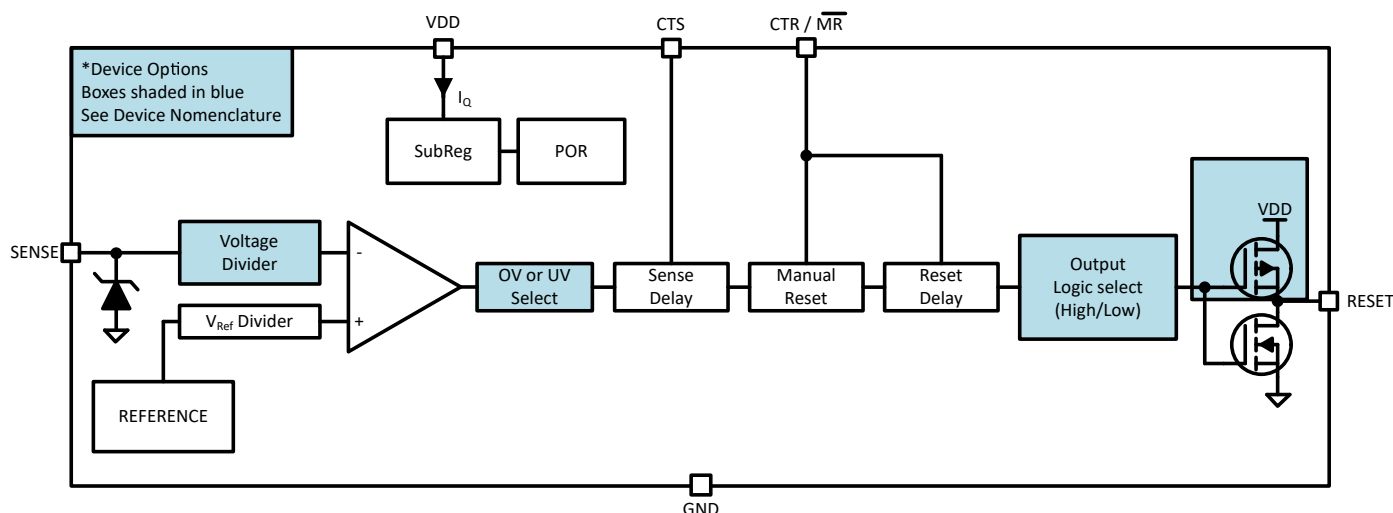


図 7-1. 機能ブロック図¹

¹ トポロジと出力ロジックの組み合わせのすべてのリストについてはセクション 4 を参照してください

7.3 機能説明

7.3.1 入力電圧 (VDD)

VDD 動作電圧範囲: 2.7V~65V このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD と GND の間に 0.1μF コンデンサを配置する方法がアナログ手法として適切です。

デバイスが完全に機能するには、VDD はスタートアップ遅延 (t_{SD}) が少なくとも $V_{DD(MIN)}$ 以上である必要があります。

VDD 電圧は V_{SENSE} および V_{RESET} とは独立しており、VDD は他のピン電圧より高い場合でも低い場合でも動作します。

7.3.1.1 低電圧誤動作防止 ($V_{POR} < V_{DD} < UVLO$)

VDD の電圧が UVLO 電圧未満で、かつパワーオンリセット電圧 (V_{POR}) より高い場合、出力ピンは SENSE ピンの電圧にかかわらずリセットされます。

7.3.1.2 パワーオンリセット ($V_{DD} < V_{POR}$)

VDD の電圧が、パワーオンリセット電圧 (V_{POR}) を下回った場合、出力信号は不定となり、デバイスの正常な動作を保証するものではありません。

注: 図 7-2 と図 7-3 では、外部プルアップ抵抗が VDD 経路でリセットピンに接続されると想定しています。

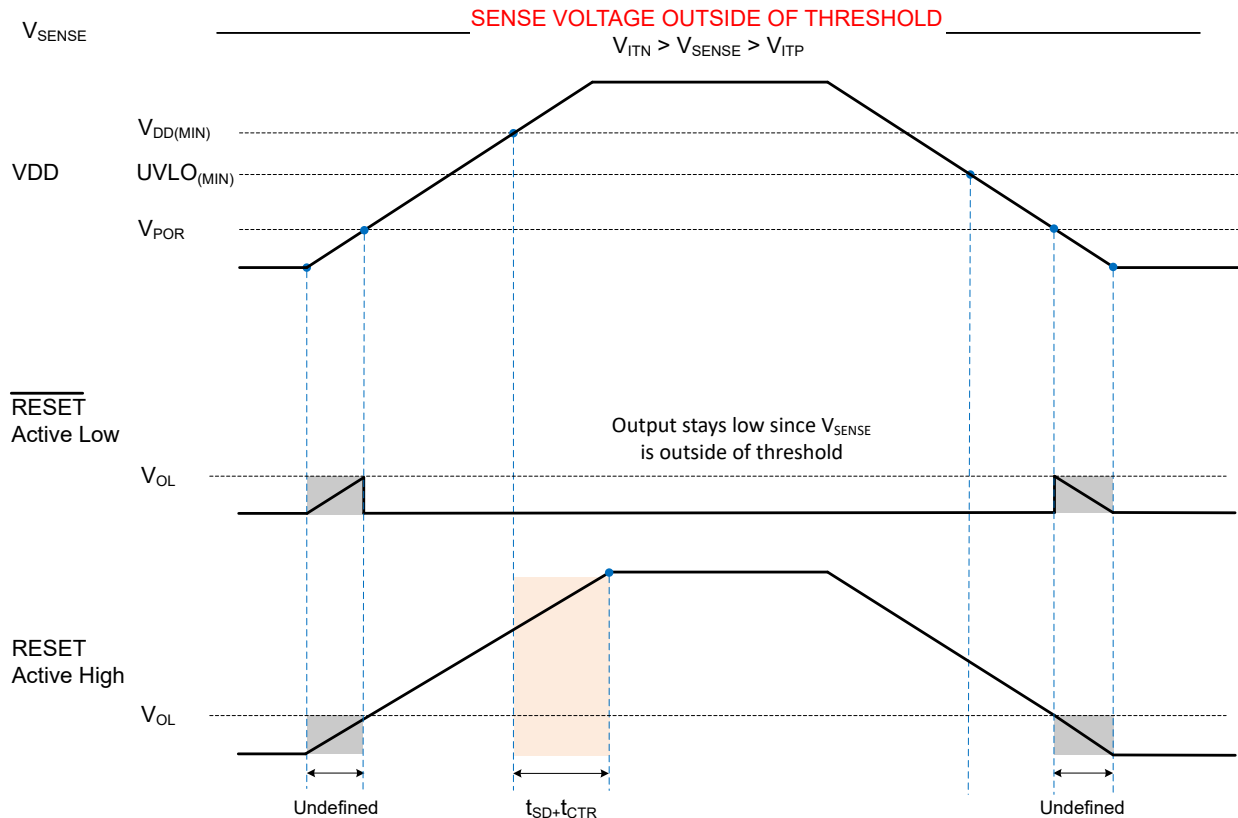


図 7-2. パワー サイクル (公称電圧外のセンス)

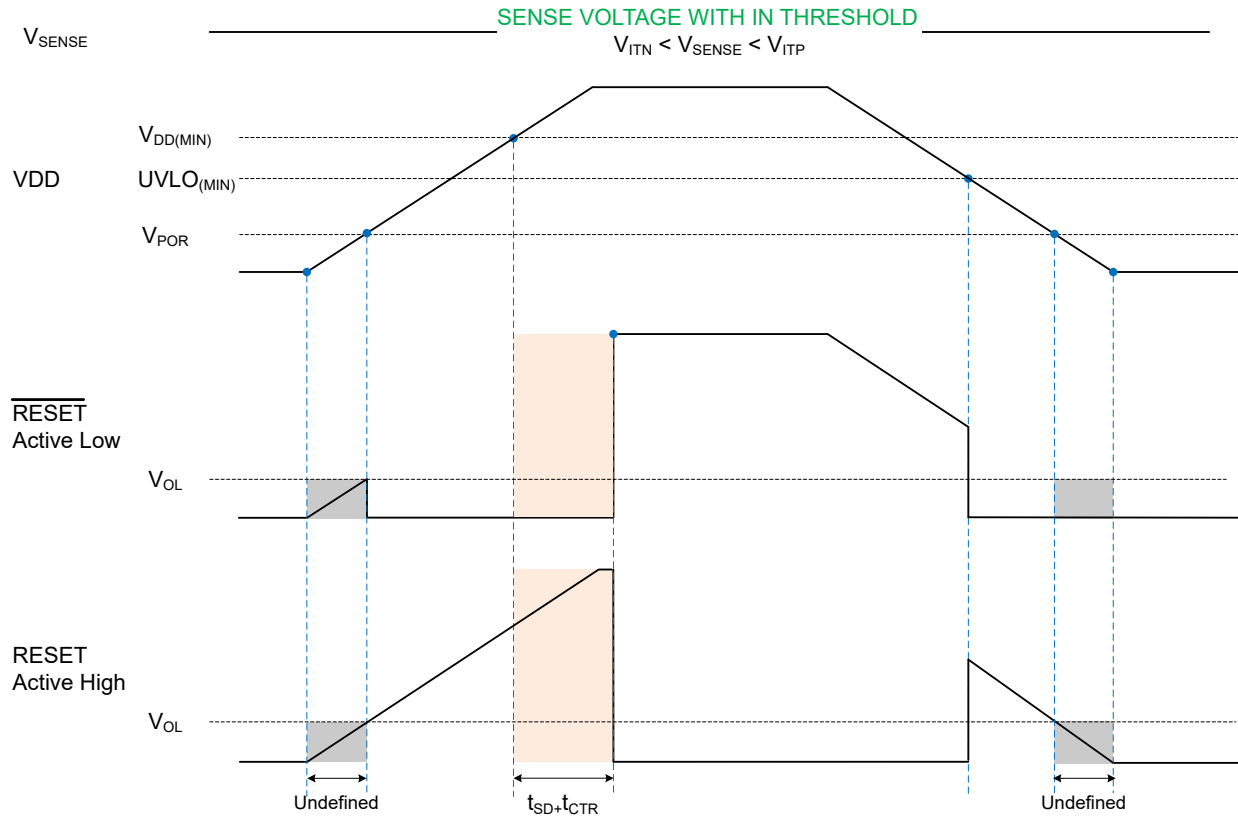


図 7-3. パワー サイクル (センスが公称電圧内)

7.3.2 SENSE

TPS3760 -Q1 高電圧ファミリは、電圧コンパレータ、高精度なリファレンス電圧、トリムされた抵抗デバイダを備えています。この構成によって、すべての抵抗許容誤差が精度と性能仕様において考慮されているため、デバイスの精度が最適化されます。デバイスは、ノイズ耐性を実現し、安定した動作を保证するための内蔵ヒステリシスも備えています。

大半の場合必要ではありませんが、ノイズの多いアプリケーションでは、SENSE 入力に 10nF ~ 100nF のバイパスコンデンサを配置して、監視対象の信号の過渡電圧に対する感度を低減する方法が優れたアナログ設計手法といえます。SENSE は、VDD に直接接続できます。

7.3.2.1 SENSE ヒステリシス

内蔵のヒステリシスは、出力リセットが誤って解除されるのを回避します。ヒステリシスはスレッショルド電圧とは反対の方向に働きます。過電圧オプションの場合、ヒステリシスは正のスレッショルド電圧 (V_{ITP}) から差し引かれ、低電圧オプションの場合、ヒステリシスは負のスレッショルド電圧 (V_{ITN}) に加算されます。

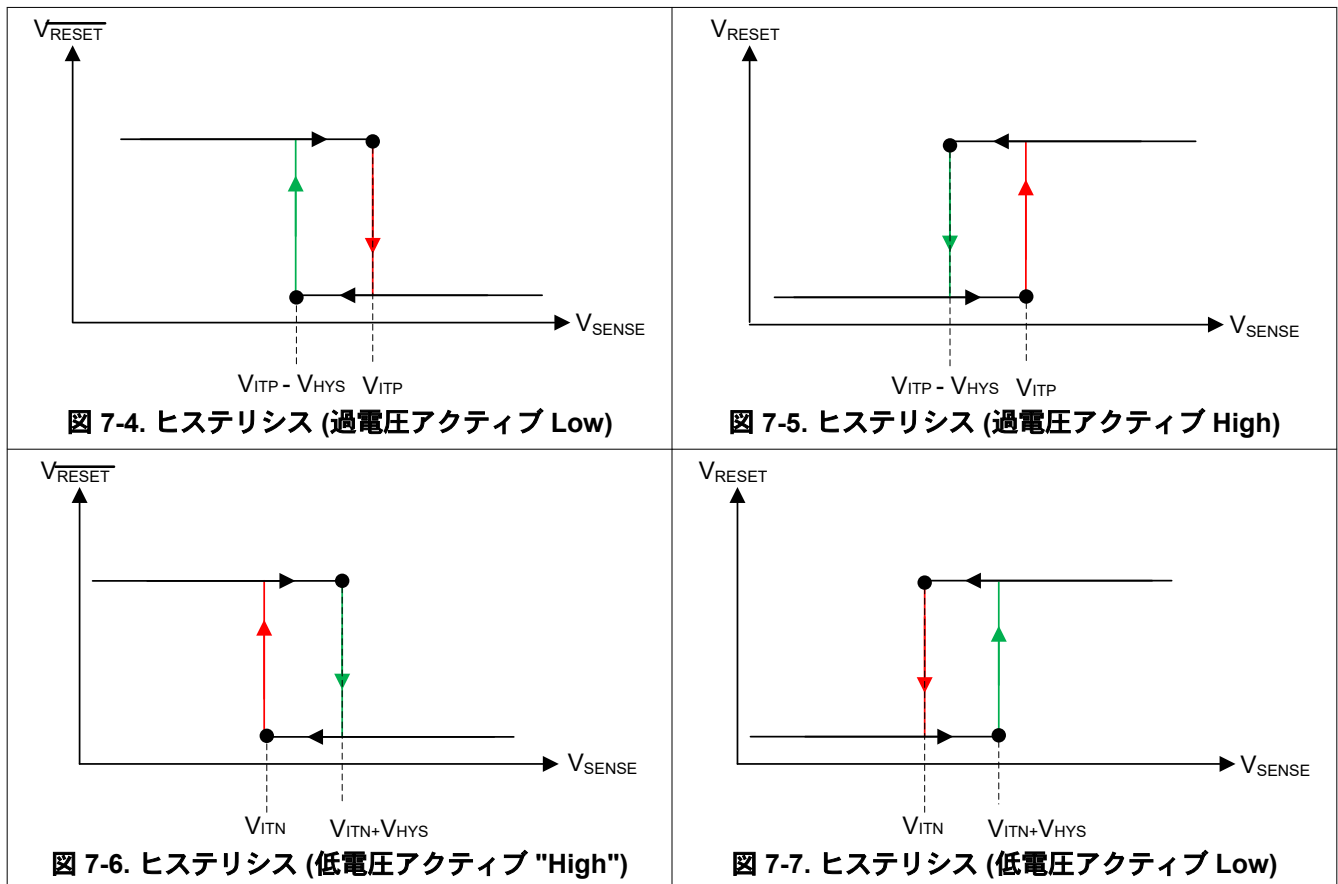


表 7-1. 共通のヒステリシスの参照テーブル

検出スレッショルド	ターゲット		デバイスの実際のヒステリシス オプション
	トポロジ	解放電圧 (V)	
18.0V	過電圧	17.5V	-3%
18.0V	過電圧	16.0V	-11%
17.0V	過電圧	16.5V	-3%
16.0V	過電圧	15.0V	-6%
15.0V	過電圧	14.0V	-7%
6.0V	アンダーボルテージ	6.5V	0.5V
5.5V	アンダーボルテージ	6V	0.5V
8V	アンダーボルテージ	9V	1V
5V	アンダーボルテージ	7.5V	2.5V

表 7-1 に、TPS3760-Q1 のヒステリシスおよび電圧オプションの例を示します。スレッショルド電圧が 2.7V ~ 8V の範囲の場合、1 つのオプションとして、0.5V ~ 2.5V の範囲で 0.5V ずつ増加する固定ヒステリシス値を選択できます。また、ヒステリシス値がスレッショルド電圧のパーセンテージである場合、2 番目のオプションを選択できます。電圧ヒステリシスのパーセンテージの範囲は 2% ~ 13% です。

ヒステリシス電圧の大きさがわかっている場合、低電圧 (UV) チャンネルの解放電圧は $(V_{ITN} (UV) + V_{HYS})$ で、過電圧 (OV) チャンネルの解放電圧は $(V_{ITP} (OV) - V_{HYS})$ です。解放電圧の精度、または「ヒステリシスの精度」として「電気的特性」に記載されているのは $\pm 1.5\%$ です。表 7-1 に示す内容を拡大して、ヒステリシスの精度など、電圧ヒステリシスの例をいくつか以下に示します。

低電圧 (UV) チャンネル

$$V_{ITN} = 0.8V$$

$$\text{電圧ヒステリシス } (V_{V HYS}) = 5\% = 40mV$$

$$\text{ヒステリシス精度} = \pm 1.5\% = 39.4mV \text{ または } 40.6mV$$

$$\text{解放電圧} = V_{ITN} + V_{HYS} = 839.4mV \sim 840.6mV$$

過電圧 (OV) チャンネル

$$V_{ITP} = 8V$$

$$\text{電圧ヒステリシス } (V_{HYS}) = 2V$$

$$\text{ヒステリシス精度} = \pm 1.5\% = 1.97V \text{ または } 2.03V$$

$$\text{解放電圧} = V_{ITN} - V_{HYS} = 5.97V \sim 6.03V$$

7.3.3 出力ロジック構成

TPS3760-Q1 は 1 つの入力センスピンと 1 つのリセットピンを備えたシングルチャネルのデバイスです。このシングルチャネルは、オープンドレインおよびプッシュプルとして利用できます。

利用可能な出力ロジック構成の組み合わせを表 7-2 に示します。

表 7-2. TPS3760-Q1 出力ロジック

説明	項目表記	値
GPN	TPS3760-Q1 (+トポロジ)	チャネル構成
トポロジ (OV および UV のみ)	TPS3760A-Q1	UV OD L
• UV = 低電圧	TPS3760B-Q1	UV PP L
• OV = 過電圧	TPS3760C-Q1	UV OD H
• PP = プッシュプル	TPS3760D-Q1	UV PP H
• OD = オープンドレイン	TPS3760E-Q1	OV OD L
• L = アクティブ "Low"	TPS3760F-Q1	OV PP L
• H = アクティブ "High"	TPS3760G-Q1	OV OD H
	TPS3760H-Q1	OV PP H

7.3.3.1 オープンドレイン

オープンドレイン出力ピンは、電圧を必要な論理レベルまで高く維持するために外部プルアップ抵抗が必要です。プルアップ抵抗を適切な電圧レベルに接続し、出力を適切なインターフェイス電圧レベルで他のデバイスに接続できるようにします。

適切なプルアップ抵抗を選択するには、システムの V_{OH} と電気的特性で指定されている (I_{IKG}) 電流を考慮します (抵抗の値が大きいと出力電圧に影響する電圧降下が大きくなります)。オープンドレイン出力は別の TPS3760-Q1 オープンドレイン出力ピンなどの他のオープンドレイン信号を使って有線 AND ロジックとして接続できます。

7.3.3.2 プッシュプル

プッシュプル出力は、 V_{OH} 状態では出力が内部で VDD にプルアップされ、 V_{OH} 状態では出力が GND に接続されるため、外部抵抗を必要としません。

7.3.3.3 アクティブ "High" (RESET)

RESET (アクティブ "High") は、ピンラベルの上にバーがありません。SENSE 電圧のスレッシュホールド範囲内の通常動作状態にあり、かつ VDD 電圧が UVLO を上回っている限り、RESET は "Low" (V_{OL} 、デアサート状態) を維持します。リセットをアサートするには、センスピンが以下の条件を満たす必要があります:

- 低電圧バリエーションの場合、SENSE 電圧は下限 (V_{ITN}) を通過する必要があります。
- 過電圧バリエーションの場合、SENSE 電圧は上限 (V_{ITP}) を通過する必要があります。

7.3.3.4 Active-Low (RESET)

\overline{RESET} (アクティブ "Low") は、ピンラベルの上にバーが表示されています。 \overline{RESET} は、検出電圧がスレッシュホールド境界内で通常動作しており、VDD 電圧が UVLO を上回っている限り、高電圧 (V_{OH} 、デアサート) (オープンドレインバリエーション V_{OH} はプルアップ電圧に対して測定) のままです。リセットをアサートするには、センスピンが以下の条件を満たす必要があります:

- 低電圧バリエーションの場合、SENSE 電圧は下限 (V_{ITN}) を通過する必要があります。
- 過電圧バリエーションの場合、SENSE 電圧は上限 (V_{ITP}) を通過する必要があります。

7.3.4 ユーザーがプログラム可能なリセット時間遅延

TPS3760-Q1 は、外付けのコンデンサによりリセット解放時間遅延を調整可能です。

- CTR / \overline{MR} のコンデンサにより、出力のリセット時間遅延がプログラムされます。
- このピンにコンデンサがない場合、[セクション 6.6](#)に記載されている最短のリセット遅延時間が得られます。

7.3.4.1 リセット時間遅延の構成

CTR ピンと GND の間にコンデンサを接続することで、遅延時間 (t_{CTR}) をプログラミングできます。

外付けコンデンサ C_{CTR_EXT} (typ) (μF) と時間遅延 t_{CTR} (typ) (ミリ秒) の関係は式 1 で計算されます。

$$t_{CTR} (typ) = -\ln (0.28) \times R_{CTR} (typ) \times C_{CTR_EXT} (typ) + t_{CTR} (no\ cap) \quad (1)$$

$R_{CTR} (typ)$ = はキロ オーム (k Ω) 単位です

$C_{CTR_EXT} (typ)$ = はマイクロファラッド (μF) 単位です

$t_{CTR} (typ)$ = はリセット時間遅延 (ms) です

リセット遅延時間は、外部コンデンサ C_{CTR_EXT} 、[セクション 6](#) で示される CTR ピンの内部抵抗 R_{CTR} 、そして定数の 3 つの変数に左右されます。定数による最小分散と最大分散は、[式 2](#) および [式 3](#) に示されます。

$$t_{CTR} (min) = -\ln (0.31) \times R_{CTR} (min) \times C_{CTR_EXT} (min) + t_{CTR} (no\ cap) (min) \quad (2)$$

$$t_{CTR} (max) = -\ln (0.25) \times R_{CTR} (max) \times C_{CTR_EXT} (max) + t_{CTR} (no\ cap) (max) \quad (3)$$

TPS3760-Q1 に推奨されるリセット遅延コンデンサの容量は 10 μF に制限されています。これは、電圧故障が発生した際にコンデンサが完全に放電するための十分な時間を確保できるよう、。また、コンデンサの値が大きすぎると、コンデンサのリーク電流の影響により充電速度が非常に遅く (立ち上がり時間) なり、システム ノイズによって内部回路がスレッシュホールド付近で早めにまたは遅くトリップする可能性があります。これは時間遅延の変動につながり、システム ノイズが存在する場合に遅延の精度が低下する可能性があります。

電圧故障が発生すると、充電されたコンデンサが放電され、遅延コンデンサが完全に放電される前に監視対象の電圧が故障状態から戻ると、遅延時間は想定よりも短くなります。コンデンサの充電はゼロを超える電圧から開始され、時間遅延は想定よりも短くなります。電圧フォルト中にコンデンサが完全に放電するのに十分な時間がある限り、遅延コンデンサをさらに大きくすることもできます。コンデンサが完全に放電されていることを確認するためには、電圧故障の継続時間が、設定されたリセット時間遅延の 5% を超えている必要があります。

7.3.5 ユーザーがプログラム可能なセンス遅延

TPS3760-Q1 は、外付けのコンデンサによりセンス解放時間遅延を調整可能です。

- CTS のコンデンサにより SENSE の変動の検出がプログラムされます。
- このピンにコンデンサがない場合、[セクション 6.6](#)に記載されている最速の検出時間が得られます。

7.3.5.1 センス時間遅延の構成

CTS ピンと GND の間にコンデンサを接続することで、遅延時間 (t_{CTS}) をプログラミングできます。

外付けコンデンサ C_{CTS_EXT} (typ) (μF) と時間遅延 t_{CTS} (typ) (ミリ秒) の関係は式 4 で計算されます。

$$t_{CTS}(\text{typ}) = -\ln(0.28) \times R_{CTS}(\text{typ}) \times C_{CTS_EXT}(\text{typ}) + t_{CTS}(\text{no cap}) \quad (4)$$

R_{CTS} = はキロ オーム (kOhms) 単位です

C_{CTS_EXT} = はマイクロファラッド (μF) 単位です

t_{CTS} = はセンス時間遅延 (ms) です。

センス遅延は外部コンデンサ (C_{CTS_EXT})、「電気的特性」に示される CTS ピンの内部抵抗 (R_{CTS})、および定数の 3 つの変数に左右されます。定数による最小分散と最大分散は、[式 5](#) および [式 6](#) に示されます。

$$t_{CTS}(\text{min}) = -\ln(0.31) \times R_{CTS}(\text{min}) \times C_{CTS_EXT}(\text{min}) + t_{CTS}(\text{no cap}(\text{min})) \quad (5)$$

$$t_{CTS}(\text{max}) = -\ln(0.25) \times R_{CTS}(\text{max}) \times C_{CTS_EXT}(\text{max}) + t_{CTS}(\text{no cap}(\text{max})) \quad (6)$$

TPS3760-Q1 に推奨されるセンス遅延コンデンサの容量は $10\mu\text{F}$ に制限されています。これは、電圧故障が発生した際にコンデンサが完全に放電するための十分な時間を確保できるようにするためです。また、コンデンサの値が大きすぎると、充電速度が非常に遅く (立ち上がり時間)、システム ノイズによって内部回路がスレッシュホールド付近で早めにまたは遅くトリップする可能性があります。これは時間遅延の変動につながり、システム ノイズが存在する場合に遅延の精度が低下する可能性があります。

電圧故障が発生すると、充電されたコンデンサが放電され、遅延コンデンサが完全に放電される前に監視対象の電圧が故障状態から戻ると、遅延時間は想定よりも短くなります。コンデンサの充電はゼロを超える電圧から開始され、時間遅延は想定よりも短くなります。より大きな遅延コンデンサも使用可能です。ただし、故障発生の際に、電圧故障の継続時間内でコンデンサが完全に放電できる十分な時間が確保されていることが条件です。コンデンサが完全に放電されていることを確認するためには、故障発生の際の時間 (時間間隔) は、プログラムされた検出時間遅延の 10% を超えている必要があります。

7.3.6 マニュアル RESET (CTR / \overline{MR}) 入力

マニュアル リセット入力により、プロセッサや他のロジック回路でリセットを開始できます。このセクションで、 \overline{MR} は (CTR / \overline{MR}) に対する汎用リファレンスです。 \overline{MR} がロジック "Low" になると、RESET がリセット出力でアサートされます。 \overline{MR} がフローティングのままであった後、SENSE ピンの電圧が公称電圧である場合、RESET はリセットを解除します。 \overline{MR} は "High" に駆動しないでください。このピンはフローティングのままにするか、コンデンサから GND へと接続します。このピンは、使用しない場合は未接続のままにできます。

\overline{MR} を駆動するロジックがトライステート (フローティングおよび GND) を駆動できない場合は、図 7-8 に示すように、ロジックレベル FET を使用する必要があります。

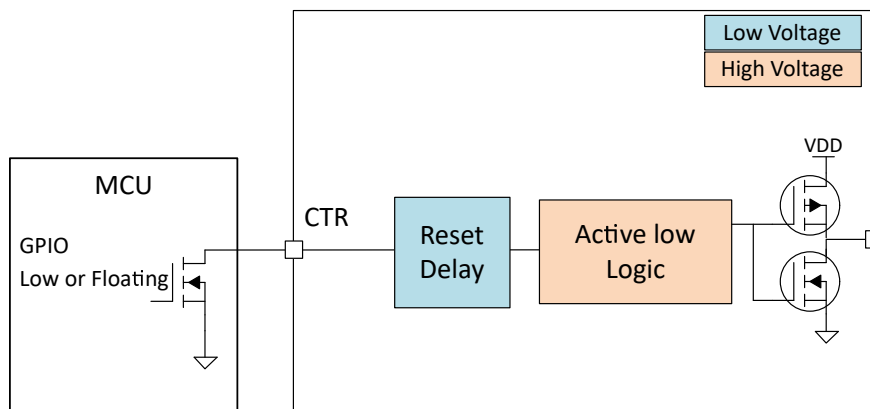


図 7-8. 手動リセットの実装

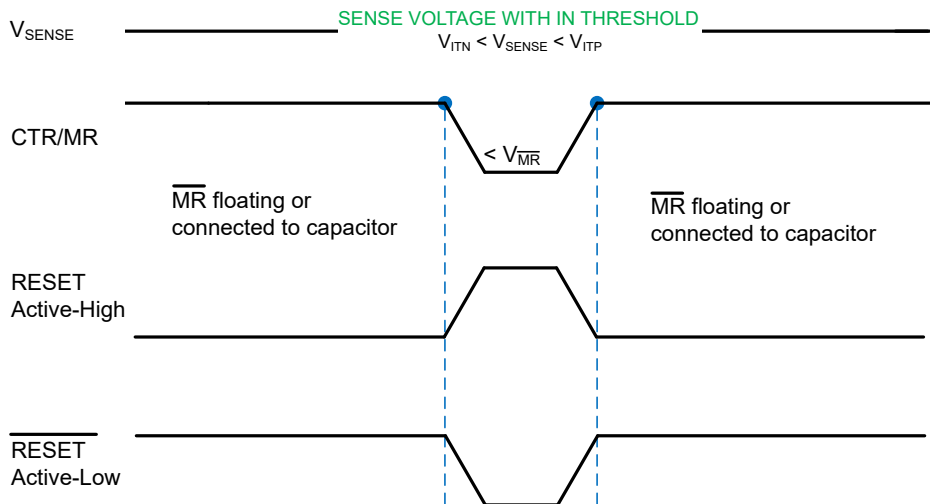


図 7-9. 手動リセットのタイミング図

表 7-3. \overline{MR} 機能の表

MR	公称電圧の SENSE	リセットのステータス
Low	はい	リセットがアサート状態
フローティング	はい	SENSE 電圧が公称電圧に戻ると、高速リセットは解除されます。
コンデンサ	はい	リセット時間遅延をプログラム可能
High	はい	非推奨

7.3.7 RESET ラッチ モード

TPS3760 は $\overline{\text{LATCH}}$ ピンを共通のグランドに接続する場合の $\overline{\text{RESET/RESETE}}$ ピンに出力ラッチモードを備えています。システムの消費電流を制限するために、プルダウン抵抗 $10\text{k}\Omega$ を推奨します。ラッチ モードでは $\overline{\text{RESET/RESETE}}$ ピンが "Low" であるか "Low" にトリガされており、 $\overline{\text{LATCH}}$ ピンに 1.4V 未満が印可されている場合、 VSENSE が許容可能な電圧境界内にあるかどうかにかかわらず (UV の場合は $\text{VSENSE} > \text{VITP} + \text{V}_{\text{hyst}}$ または OV の場合は $\text{VSENSE} < \text{VITN} - \text{V}_{\text{hyst}}$)、 $\overline{\text{RESET/RESETE}}$ ピンはアサートされたままになります。デバイスのラッチを解除するには、 2.1V より高い電圧を $3\mu\text{s}$ を上回る期間 $\overline{\text{LATCH}}$ ピンに印可します。適切なラッチ解除状態を維持するには、この方法を推奨します。 t_{CTR} の期間が経過すると、 $\overline{\text{RESET/RESETE}}$ ピンは "High" にトリガされます。ラッチ解除電圧の印加時の電流を制限するために、直列抵抗を使用することを TI は推奨します。

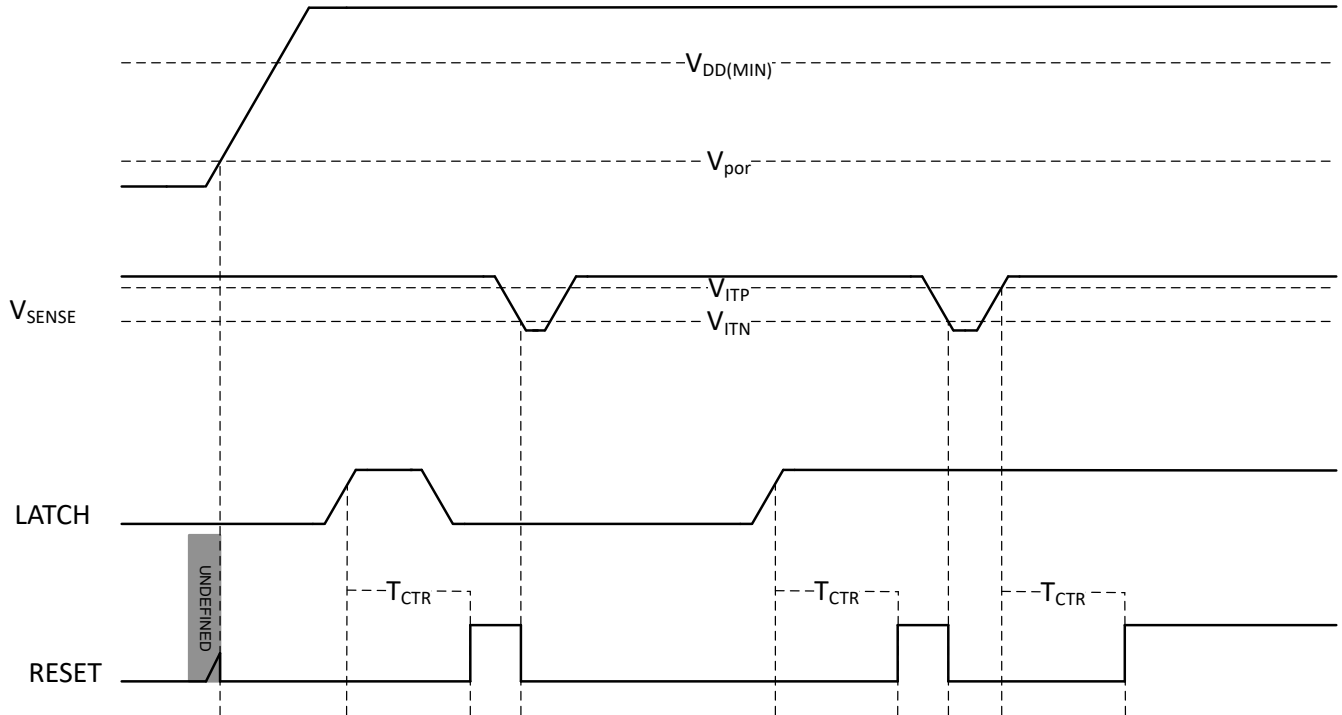


図 7-10. ラッチのタイミング図

7.4 デバイスの機能モード

表 7-4. 低電圧検出機能モードの真理値表

説明	SENSE		CTR ⁽¹⁾ /MR̄ ピン	VDD ピン	出力 ⁽²⁾ (リセット ピン)
	前の状態	現在の状態			
通常動作	SENSE > V _{ITN(UV)}	SENSE > V _{ITN(UV)}	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	High
低電圧の検出	SENSE > V _{ITN(UV)}	SENSE < V _{ITN(UV)}	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	Low
低電圧の検出	SENSE < V _{ITN(UV)}	SENSE > V _{ITN(UV)}	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	Low
通常動作	SENSE < V _{ITN(UV)}	SENSE > V _{ITN(UV)} + HYS	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	High
手動リセット	SENSE > V _{ITN(UV)}	SENSE > V _{ITN(UV)}	Low	V _{DD} > V _{DD(MIN)}	Low
UVLO アクティブ化	SENSE > V _{ITN(UV)}	SENSE > V _{ITN(UV)}	オープンまたはコンデンサが接続	V _{POR} < V _{DD} < V _{DD(MIN)}	Low
V _{POR} を下回る、未定義出力	SENSE > V _{ITN(UV)}	SENSE > V _{ITN(UV)}	オープンまたはコンデンサが接続	V _{DD} < V _{POR}	未定義

(1) 真理値表では、リセット時間遅延は無視されます。

(2) オープンドレイン アクティブ Low には、外部プルアップ抵抗が必要です。

表 7-5. 過電圧検出機能モードの真理値表

説明	SENSE		CTR ⁽¹⁾ /MR̄ ピン	VDD ピン	出力 ⁽²⁾ (リセット ピン)
	前の状態	現在の状態			
通常動作	SENSE < V _{ITN(OV)}	SENSE < V _{ITN(OV)}	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	High
過電圧検出	SENSE < V _{ITN(OV)}	SENSE > V _{ITN(OV)}	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	Low
過電圧検出	SENSE > V _{ITN(OV)}	SENSE < V _{ITN(OV)}	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	Low
通常動作	SENSE > V _{ITN(OV)}	SENSE < V _{ITN(OV)} - HYS	オープンまたはコンデンサが接続	V _{DD} > V _{DD(MIN)}	High
手動リセット	SENSE < V _{ITN(OV)}	SENSE < V _{ITN(OV)}	Low	V _{DD} > V _{DD(MIN)}	Low
UVLO アクティブ化	SENSE < V _{ITN(OV)}	SENSE < V _{ITN(OV)}	オープンまたはコンデンサが接続	V _{POR} < V _{DD} < UVLO	Low
V _{POR} を下回る、未定義出力	SENSE < V _{ITN(OV)}	SENSE < V _{ITN(OV)}	オープンまたはコンデンサが接続	V _{DD} < V _{POR}	未定義

(1) 真理値表では、リセット時間遅延は無視されます。

(2) オープンドレイン アクティブ Low には、外部プルアップ抵抗が必要です。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

以下のセクションでは、このデバイスの適切な使用方法について詳しく説明します。本デバイスには多くの用途や設定があるため、このデータシートでは詳細に特性を記載できない状況が多く存在し、最終的なアプリケーションの要件に応じて特性が異なります。

8.2 可変電圧スレッシュホールド

式 7 に、外付け分圧抵抗を使用して、電圧スレッシュホールドを調整する方法の例を図示します。抵抗は、目標の電圧スレッシュホールドとデバイス部品番号に応じて計算できます。可変電圧スレッシュホールド バリエーションを使用する場合は、0.8V 電圧スレッシュホールド デバイスを使用することを TI は推奨しています。このバリエーションは内部抵抗ラダーをバイパスします。

たとえば、TPS3760A012DYRQ1 バリエーションを使用して、低電圧 (UV) の V_{MON} について監視されている 12V レールについて考えてみましょう。式 7 を使用し、式 8 に示されている、 R_1 は抵抗デバイダの上側抵抗であり、 V_{MON} と V_{SENSE} の間です。 R_2 は下側抵抗であり、 V_{SENSE} と GND の間です。 V_{MON} は監視対象の電圧レールで、 V_{SENSE} は入力スレッシュホールド電圧です。 V_{MON} として示される監視対象の UV スレッシュホールドでは、デバイスがリセット信号をアサートするのが $V_{SENSE} = V_{IT-(UV)}$ の場合であり、この例では $V_{MON} = 10.8V$ で 12V から 90% です。式 7 を使用し、 $R_2 = 10k\Omega$ 、 R_1 と想定すると、式 8 に示されるように計算されます。ここで、 I_{R1} は式 9 に次のように示されます。

$$V_{SENSE} = V_{MON} \times (R_2 \div (R_1 + R_2)) \quad (7)$$

$$R_1 = (V_{MON} - V_{SENSE}) \div I_{R1} \quad (8)$$

$$I_{R1} = I_{R2} = V_{SENSE} \div R_2 \quad (9)$$

式 8 を式 9 に代入して、式 7、 $R_1 = 125k\Omega$ の R_1 を求めます。TPS3760A012DYRQ1 は通常、 $\pm 2\%$ の電圧スレッシュホールド ヒステリシスで 0.8V のレールを監視することを意図しています。RESET 信号がデアサートされるには、 V_{MON} が $V_{IT} + V_{HYS}$ を上回る必要があります。この例では、RESET 信号がデアサートされると、 $V_{MON} = 11.016V$ となります。

電圧スレッシュホールドを調整する際には、誤差を考慮する必要があります。抵抗デバイダの許容誤差とは別に、抵抗デバイダの精度に影響を及ぼす可能性のある SENSE ピンの内部抵抗があります。高インピーダンスであると想定されますが、設計仕様に基づいて値を計算することが推奨されます。内部 SENSE 抵抗 (R_{SENSE}) は、式 11 に示すとおり、SENSE 電圧 (V_{SENSE}) を SENSE 電流 (I_{SENSE}) で割ることにより求められます。 V_{SENSE} は、抵抗デバイダと監視対象電圧に応じて、式 7 を使用して計算できます。 I_{SENSE} は、式 10 を使用して計算できます。

$$I_{SENSE} = [(V_{MON} - V_{SENSE}) \div R_1] - (V_{SENSE} \div R_2) \quad (10)$$

$$R_{SENSE} = V_{SENSE} \div I_{SENSE} \quad (11)$$

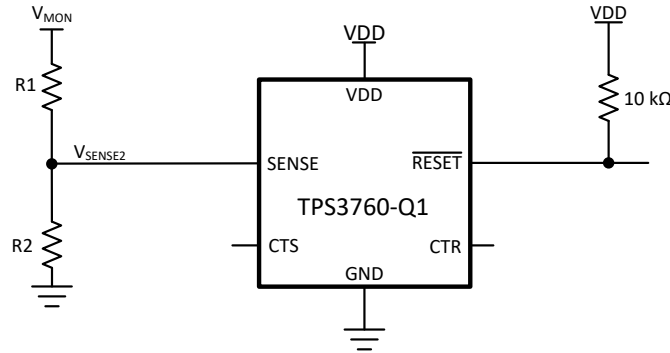


図 8-1. 外付け分圧抵抗による可変電圧スレッシュホールド

8.3 代表的なアプリケーション

8.3.1 設計 1 : オフ バッテリーの監視

このアプリケーションは、12V バッテリーを使用したアプリケーションの初期出力段用を想定しています。バッテリー電圧の変動は、9V ~ 16V の間で一般的です。さらに、コールド クランクと負荷ダンプの条件を考慮すると、電圧過渡が最低 3V、最大 42V まで発生する可能性があります。この設計例では、低消費電力のバッテリー直結型電圧監視機能を取り上げます。

図 8-5 に、TPS3760 Q1 がバッテリーから給電を受けながら、同時にバッテリー電圧を監視している例を示しています。

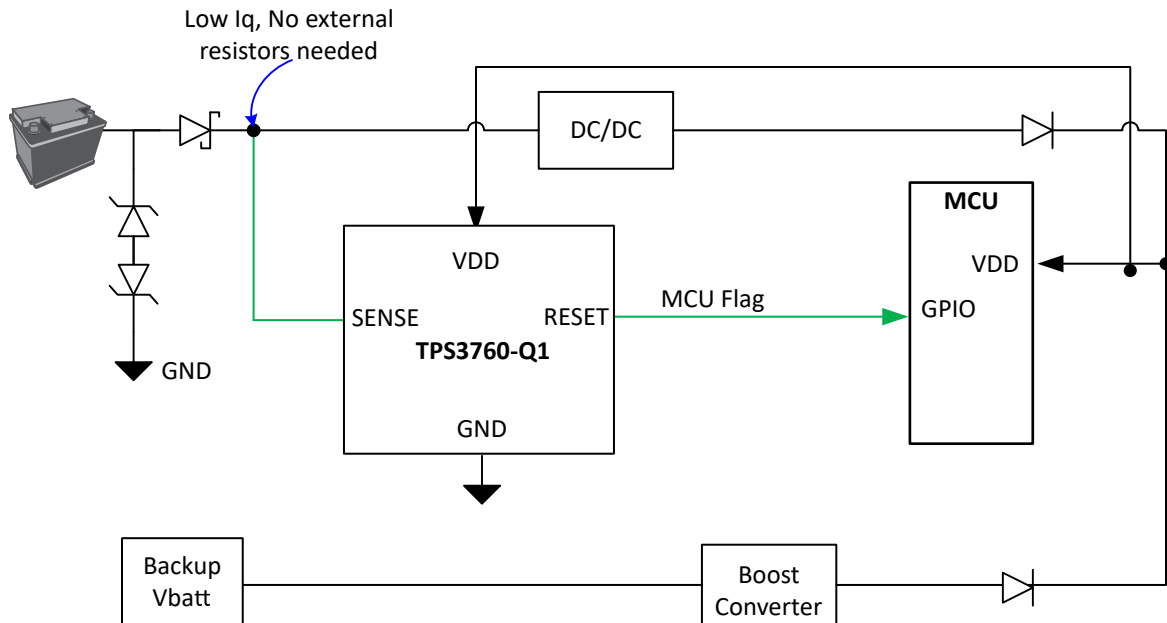


図 8-2. TPS3760-Q1 ダイレクト バッテリー直結型監視機能付き過電圧スーパーバイザ

8.3.1.1 設計要件

この設計では、12V 電源電圧レールに対する電圧監視が必要であり、12V レールは最大で 42V まで上昇する可能性があります。低電圧異常は、電源電圧が 7.7V 未満に低下したときに発生します。

パラメータ	設計要件	設計結果
電源レール電圧監視	12V 電源に低電圧条件がないか監視し、7.7V で低電圧フォルトをトリガします。	TPS3760-Q1 は、調整可能 / 調整不可能バリエーションに対して、最大 1.5% の精度で電圧監視を実施します。
最大入力電力	電源入力最大 42V までの動作に対応します。	TPS3760-Q1 は、最大 65V の VDD をサポートできます。
出力ロジック電圧	オープンドレイン出力カトポロジ	適切なリセット信号を供給するためにはオープンドレイン出力を推奨しますが、プッシュプルを使用することもできます。
最大システム消費電流	電源電圧が標準 12V のときの 2μA の最大値	TPS3760-Q1 では、I _Q が最大 65V に対応し、「Low」のままになることを許容します。これにより、外付けの抵抗デバイスが不要になります。
電圧モニタの精度	電圧モニタの最大精度は 1.5%。	TPS3760-Q1 は 1.5% の最大電圧モニタ精度を備えています。
故障状態からの復帰時の遅延	低電圧故障からの復帰時の RESET は、少なくとも 12.8ms 遅延します。	C _{CTR} = 10nF は 12.8ms の遅延を設定します。

8.3.1.2 詳細な設計手順

このアプリケーションの主な利点は、SENSE 入力外部の抵抗デバイスを使用せずに、車載用バッテリーの電圧を直接監視できることです。そのため、目的のレール監視を実現しながら設計全体の I_Q を低く抑えることができます。

電圧レールの監視は、SENSE 入力を TVS 保護ダイオードの後にバッテリーレールに直接接続することにより実施されます。この例で使用されている TPS3760-Q1 は固定電圧バリエーションであり、SENSE スレッショルド電圧は内部で設定されています。注意点として、監視対象レールの過渡電圧が、セクション 6.1 に記載されている絶対最大制限を超えないように TVS 保護ダイオードを選択する必要があります。

この構成を使用するには、アプリケーションに応じてデバイスの具体的な電圧スレッショルド変動を選択する必要があります。この構成では、セクション 4 に示すように、7.7V に対して「77」のバリエーションを選択する必要があります。

VDD でデバイスが 65V に対応できるということは、監視対象の電圧レールがアプリケーション過渡で最大 42V に達する可能性があり、通常どおりスーパーバイザに対して推奨される最大値に違反しないことを意味します。これは、この場合のように公称レール電圧よりも電圧範囲がはるかに高くなるような幅広い範囲をもつ電圧レールを監視するときに便利です。適切な設計手法では、VDD ピンで 0.1μF コンデンサを使用することが推奨されます。可変バージョンと抵抗デバイダを使用する場合は、この容量を増やす必要がある場合があります。

8.3.1.3 アプリケーション曲線

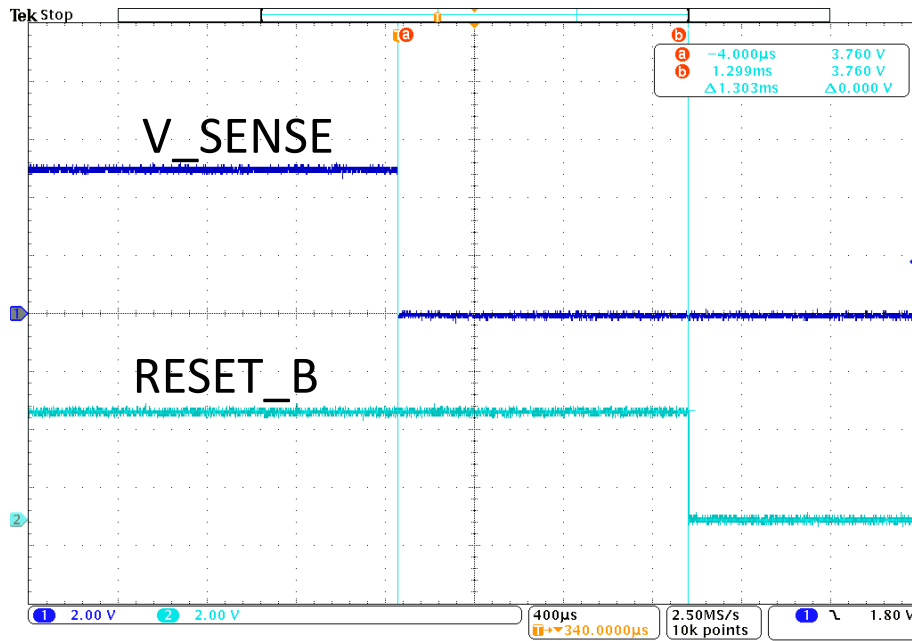


図 8-3. 低電圧リセット波形

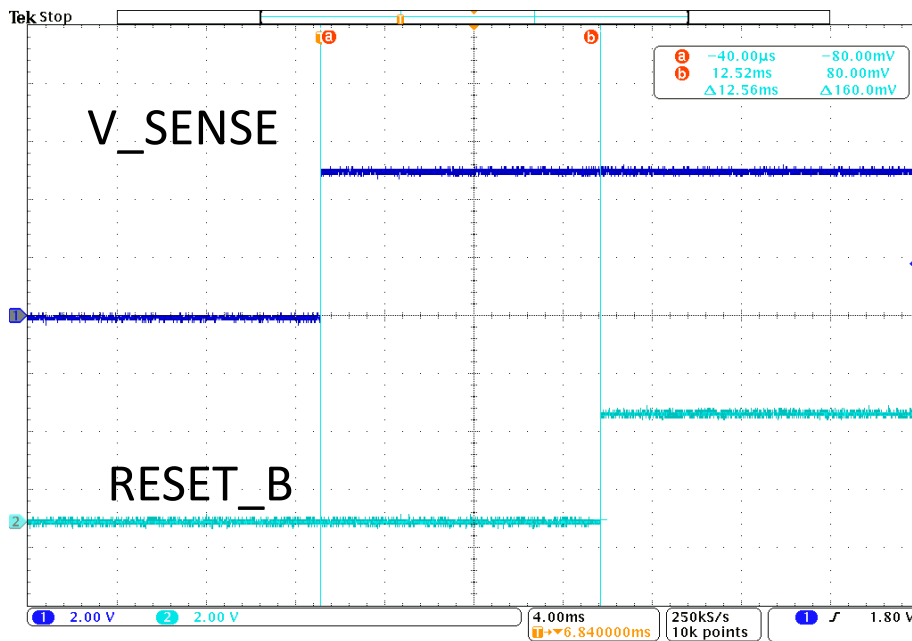


図 8-4. 低電圧回復波形

8.4 電源に関する推奨事項

これらのデバイスは、1.4V (V_{POR}) から 65V (最大動作電圧) までの入力電圧範囲で動作するように設計されています。適切なアナログ設計手法では、最低 0.1 μ F のセラミックコンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。

8.4.1 電力散逸とデバイス動作

任意のパッケージにおける許容消費電力は、電源から IC の接合部を経て最終的な放熱先である周囲環境へ熱を伝達するデバイスの能力の指標です。したがって、消費電力は周囲温度およびダイ接合部と周囲空気との間の各種インターフェイスを通る熱抵抗に依存します。

指定されたパッケージでのデバイスの最大連続許容消費電力は、式 12 を使って計算できます。

$$P_{D-MAX} = ((T_{J-MAX} - T_A) / R_{\theta JA}) \quad (12)$$

デバイスで実際に消費される電力は、式 13 で計算できます。

$$P_D = V_{DD} \times I_{DD} + P_{RESET} \quad (13)$$

P_{RESET} は、式 14 または式 15 で計算されます

$$P_{RESET} (PUSH/PULL) = V_{DD} - V_{RESET} \times I_{RESET} \quad (14)$$

$$P_{RESET} (OPEN-DRAIN) = V_{RESET} \times I_{RESET} \quad (15)$$

式 12 および式 13 は、熱的考慮事項によって許容される最大消費電力、デバイスの両端の電圧降下、デバイスの連続電流能力の関係を示します。これら 2 つの式を使用して、アプリケーションでのデバイスの最適な動作条件を決定する必要があります。

消費電力が低い (P_D)、またはパッケージ熱抵抗が優れた ($R_{\theta JA}$) アプリケーションでは、最大周囲温度 (T_{A-MAX}) を増やすことができます。

消費電力が高い、またはパッケージからの熱抵抗が低いアプリケーションでは、最大周囲温度 (T_{A-MAX}) をディレーティングする必要があります。 T_{A-MAX} は式 16 で計算されるように、動作時の最大接合部温度 ($T_{J-MAX-OP} = 125^\circ\text{C}$)、アプリケーションのデバイス パッケージの最大許容消費電力 (P_{D-MAX})、およびアプリケーションの部品とパッケージの接合部から周囲への熱抵抗 ($R_{\theta JA}$) に依存します。

$$T_{A-MAX} = (T_{J-MAX-OP} - (R_{\theta JA} \times P_{D-MAX})) \quad (16)$$

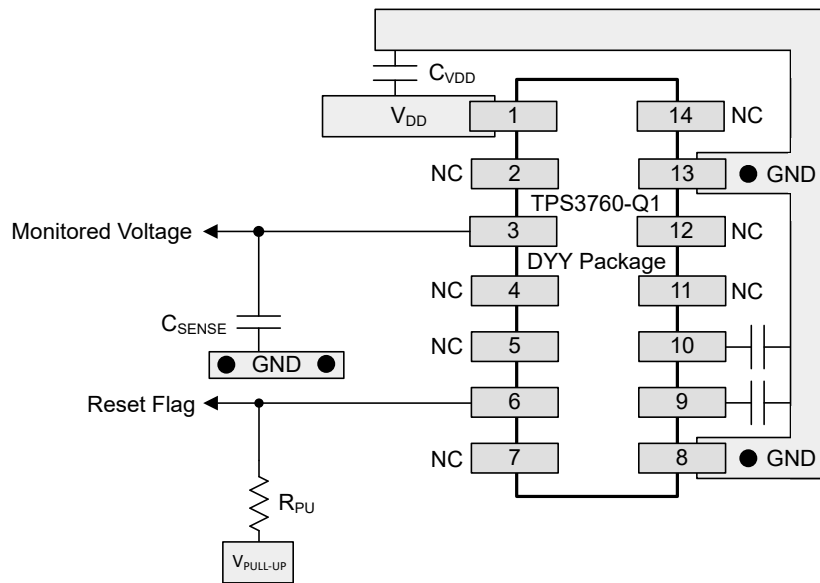
8.5 レイアウト

8.5.1 レイアウトのガイドライン

- VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、0.1 μ F 以上のセラミックコンデンサを VDD ピンの出来るだけ近くに配置することが推奨されます。
- センスピンのノイズ耐性をさらに向上させるため、SENSE ピンと GND の間に 10nF ~ 100nF のコンデンサを配置すると、監視信号上の過渡電圧に対する感度を低減できます。
- CTS または CTR にコンデンサを使用する場合は、これらの部品をそれぞれのピンにできるだけ近づけて配置してください。コンデンサ設定用ピンを未接続のまま使用する場合は、ピンの寄生容量を 5pF 未満に抑えるようにします。
- オープンドレインバリエーションの場合、RESET のプルアップ抵抗は、ピンのできるだけ近くに配置します。
- 配線設計時には、高電圧配線と低電圧配線をできるだけ離して配置します。高電圧配線と低電圧配線を近接して配置する必要がある場合、配線間の間隔は 20mil (0.5mm) 以上確保します。
- 高電圧の金属パッドやパターンを低電圧の金属パッドやパターンに 20mils (0.5mm) より近い位置に配置しないでください。

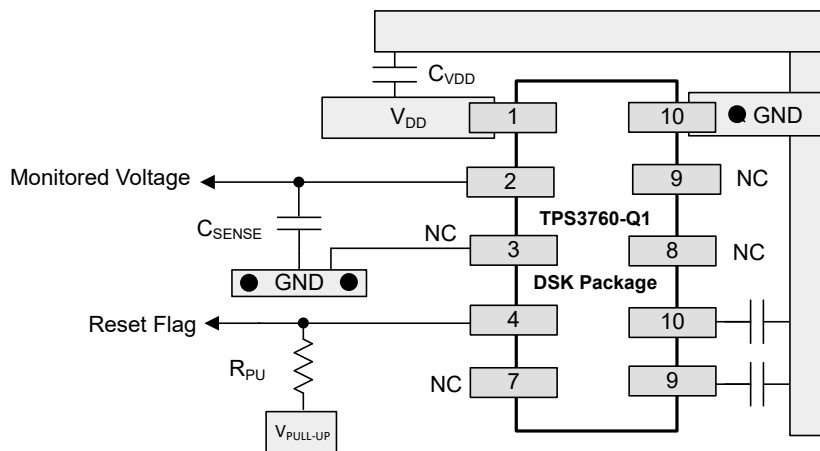
8.5.2 レイアウト例

図 8-5 のレイアウト例に、ユーザー定義の遅延を伴うプリント基板 (PCB) 上で TPS3760-Q1 をレイアウトする方法を示します。



● Vias used to connect pins for application-specific connections

図 8-5. TPS3760-Q1 DYY パッケージの推奨レイアウト



● Vias used to connect pins for application-specific connections

図 8-6. TPS3760-Q1 DSK パッケージの推奨レイアウト

8.5.3 沿面距離

IEC 60664 に準拠した沿面距離は、2つの導電部品間の最短距離であるが、[図 8-7](#) に示されているように高電圧導電部品と接地部品間の距離で、フローティング導電部品は無視され、全距離から減算されます。

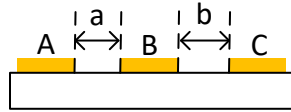


図 8-7. 沿面距離

[図 8-7](#) に詳細を示します。

- A = 左ピン (高電圧)
- B = 中央パッド (導電性が内部接続されていない、フローティングのままにするか GND に接続可能)
- C = 右ピン (低電圧)
- 沿面距離 = $a + b$

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

セクション 4 に、型番に基づいてデバイスの機能を識別する方法が示されています。

表 9-1 に、TPS3760-Q1 でチャンネルごとに設定可能な電圧オプションを示します。他のオプションの詳細と提供状況については、TI の販売代理店または TI の E2E フォーラムにお問い合わせください。最小注文量が適用されます。

表 9-1. 電圧オプション

100mV STEPS				400mV STEPS		500mV STEPS		1V STEPS	
命名規則	電圧オプション	命名規則	電圧オプション	命名規則	電圧オプション	命名規則	電圧オプション	命名規則	電圧オプション
01	800mV (デ バイダ バイパ ス)	70	7.0V	A0	10.4V	D0	20.5V	F0	31.0V
27	2.7V	71	7.1V	A1	10.8V	D1	21.0V	F1	32.0V
28	2.8V	72	7.2V	A2	11.2V	D2	21.5V	F2	33.0V
29	2.9V	73	7.3V	A3	11.6V	D3	22.0V	F3	34.0V
30	3.0V	74	7.4V	A4	12.0V	D4	22.5V	F4	35.0V
31	3.1V	75	7.5V	A5	12.4V	D5	23.0V	F5	36.0V
32	3.2V	76	7.6V	A6	12.8V	D6	23.5V		
33	3.3V	77	7.7V	A7	13.2V	D7	24.0V		
34	3.4V	78	7.8V	A8	13.6V	D8	24.5V		
35	3.5V	79	7.9V	A9	14.0V	D9	25.0V		
36	3.6V	80	8.0V	B0	14.4V	E0	25.5V		
37	3.7V	81	8.1V	B1	14.8V	E1	26.0V		
38	3.8V	82	8.2V	B2	15.2V	E2	26.5V		
39	3.9V	83	8.3V	B3	15.6V	E3	27.0V		
40	4.0V	84	8.4V	B4	16.0V	E4	27.5V		
41	4.1V	85	8.5V	B5	16.4V	E5	28.0V		
42	4.2V	86	8.6V	B6	16.8V	E6	28.5V		
43	4.3V	87	8.7V	B7	17.2V	E7	29.0V		
44	4.4V	88	8.8V	B8	17.6V	E8	29.5V		
45	4.5V	89	8.9V	B9	18.0V	E9	30.0V		
46	4.6V	90	9.0V	C0	18.4V				
47	4.7V	91	9.1V	C1	18.8V				
48	4.8V	92	9.2V	C2	19.2V				
49	4.9V	93	9.3V	C3	19.6V				
50	5.0V	94	9.4V	C4	20.0V				
51	5.1V	95	9.5V						
52	5.2V	96	9.6V						
53	5.3V	97	9.7V						
54	5.4V	98	9.8V						
55	5.5V	99	9.9V						
56	5.6V	00	10.0V						
57	5.7V								
58	5.8V								
59	5.9V								
60	6.0V								

表 9-1. 電圧オプション (続き)

100mV STEPS				400mV STEPS		500mV STEPS		1V STEPS	
命名規則	電圧オプション	命名規則	電圧オプション	命名規則	電圧オプション	命名規則	電圧オプション	命名規則	電圧オプション
61	6.1V								
62	6.2V								
63	6.3V								
64	6.4V								
65	6.5V								
66	6.6V								
67	6.7V								
68	6.8V								
69	6.9V								

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2023) to Revision B (March 2026)	Page
• DSK パッケージ情報を追加.....	1
• 「製品比較」表を追加.....	3
• 高電圧スーパーバイザ ファミリの比較表を追加.....	3
• DSK ピン配置および説明を追加.....	5

• 過渡情報に対して推奨される動作条件を追加.....	7
• DSK の熱に関する情報を追加.....	7
• 推奨レイアウトの例に DSK パッケージを追加.....	34

Changes from Revision * (March 2022) to Revision A (May 2023)	Page
• ラッチの命名規則を追加.....	3
• DSK ピン配置の説明を削除.....	5
• CTS および CTR のタイミング プロットを追加.....	14
• Reset ラッチ モードの情報を追加.....	27

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3760A012DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	A012Q
TPS3760A012DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	A012Q
TPS3760A635DSKRQ1	Active	Production	SON (DSK) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45AL
TPS3760AE95DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AE95Q
TPS3760AE95DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AE95Q
TPS3760BF05DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3760BF05Q
TPS3760E012DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E012Q
TPS3760E012DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E012Q
TPS3760E312DYRQ1	Active	Production	null (null)	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3760E312Q
TPS3760E335DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E335Q
TPS3760E335DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E335Q
TPS3760H279DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3760H279Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

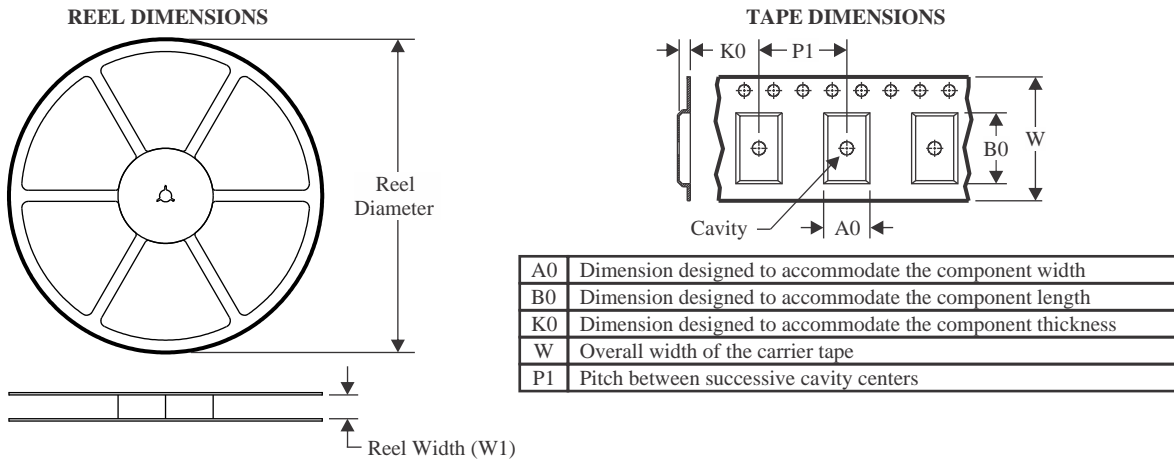
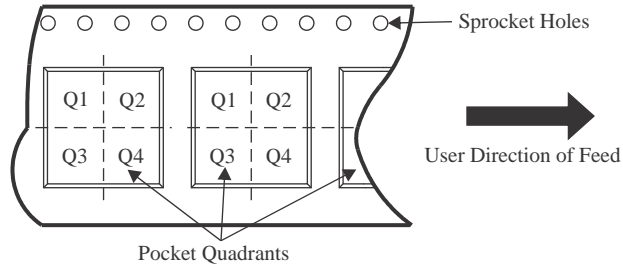
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS3760-Q1 :

- Catalog : [TPS3760](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3760A012DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760A635DSKRQ1	SON	DSK	10	3000	180.0	8.4	2.8	2.8	1.0	4.0	8.0	Q2
TPS3760AE95DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760BF05DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760E012DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760E335DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760H279DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3760A012DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760A635DSKRQ1	SON	DSK	10	3000	210.0	185.0	35.0
TPS3760AE95DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760BF05DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760E012DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760E335DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760H279DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8

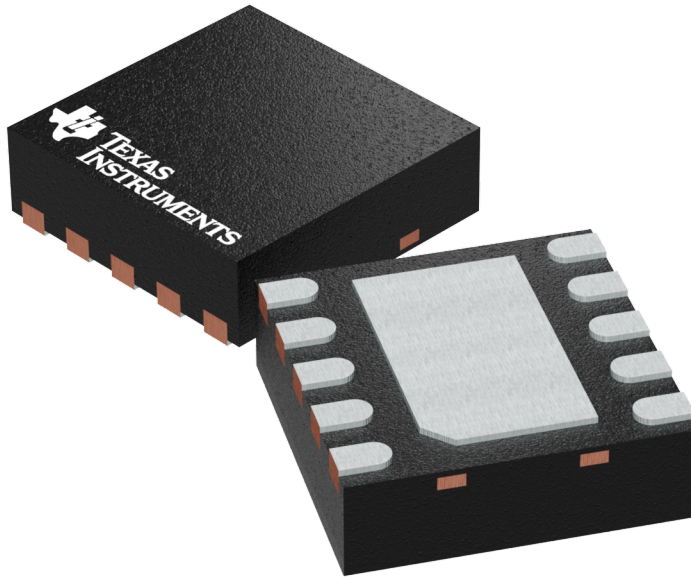
GENERIC PACKAGE VIEW

DSK 10

WSON - 0.8 mm max height

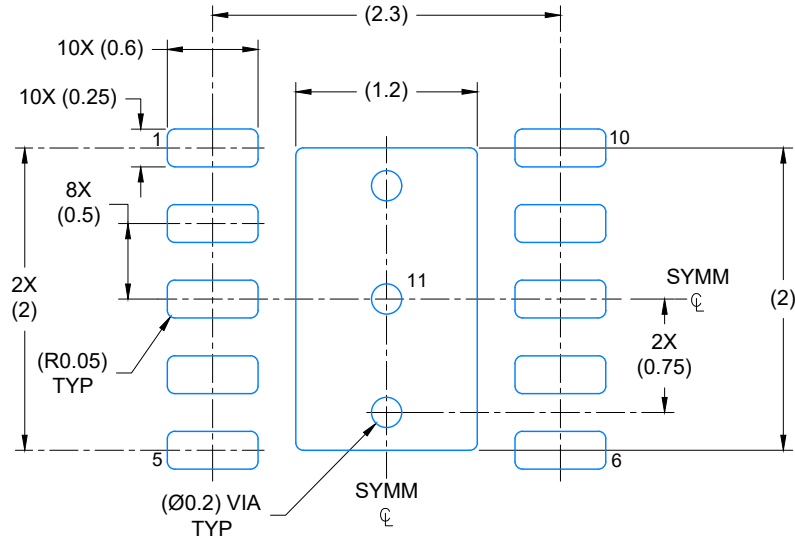
2.5 x 2.5 mm, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

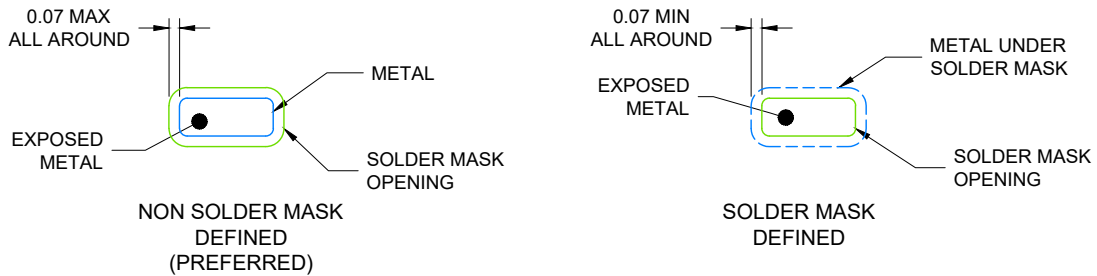


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4225304/A



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4225178/A 09/2019

NOTES: (continued)

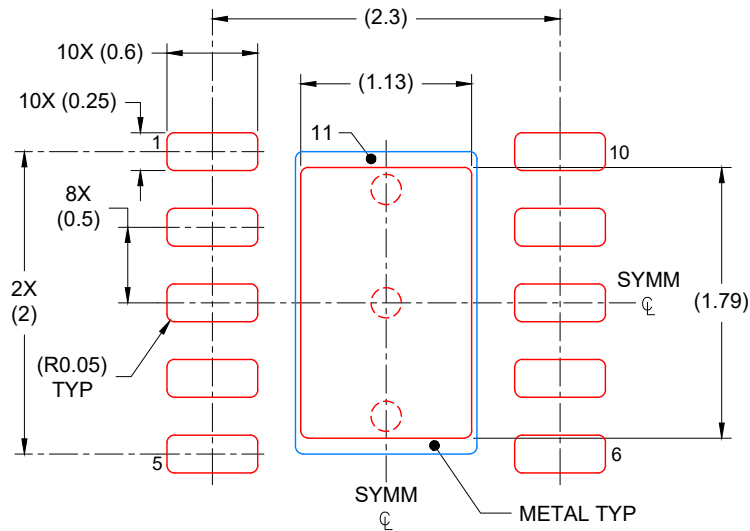
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSK0010C

WSON - 0.8 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



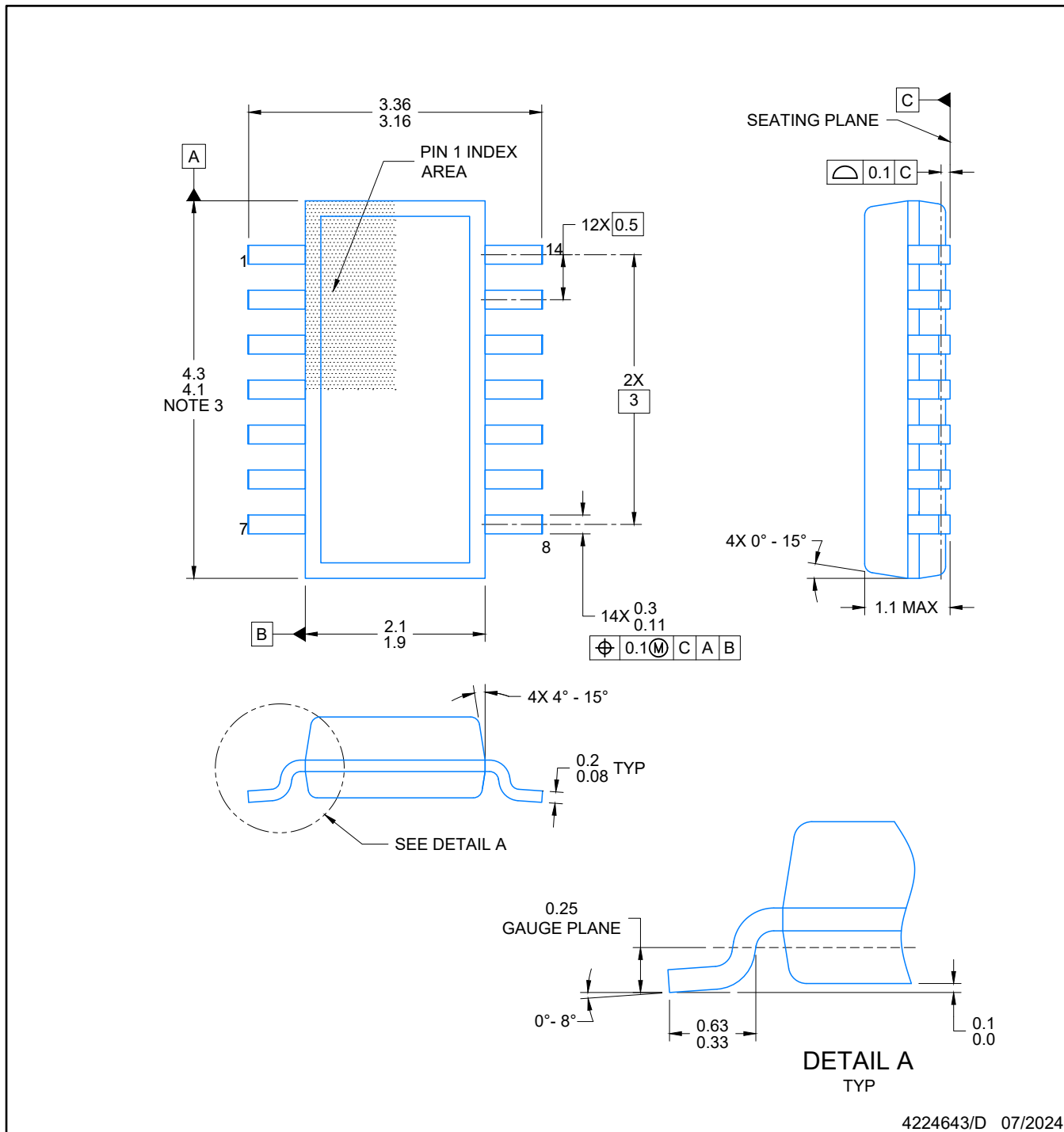
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED COVERAGE BY AREA
SCALE: 20X

4225178/A 09/2019

NOTES: (continued)

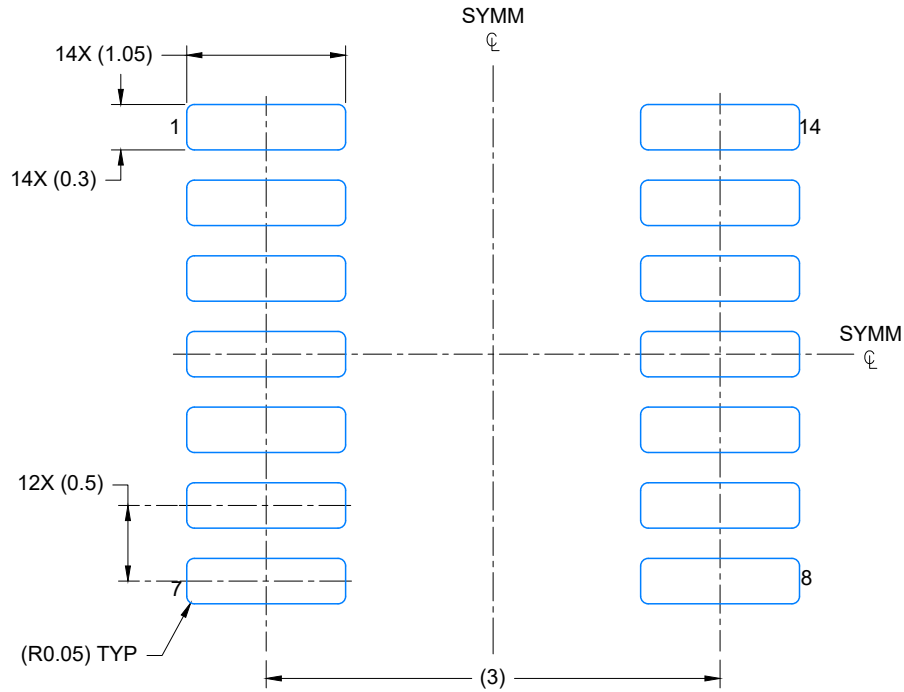
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



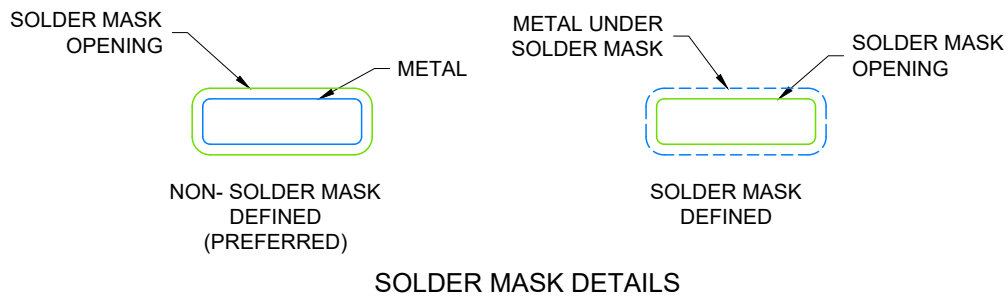
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



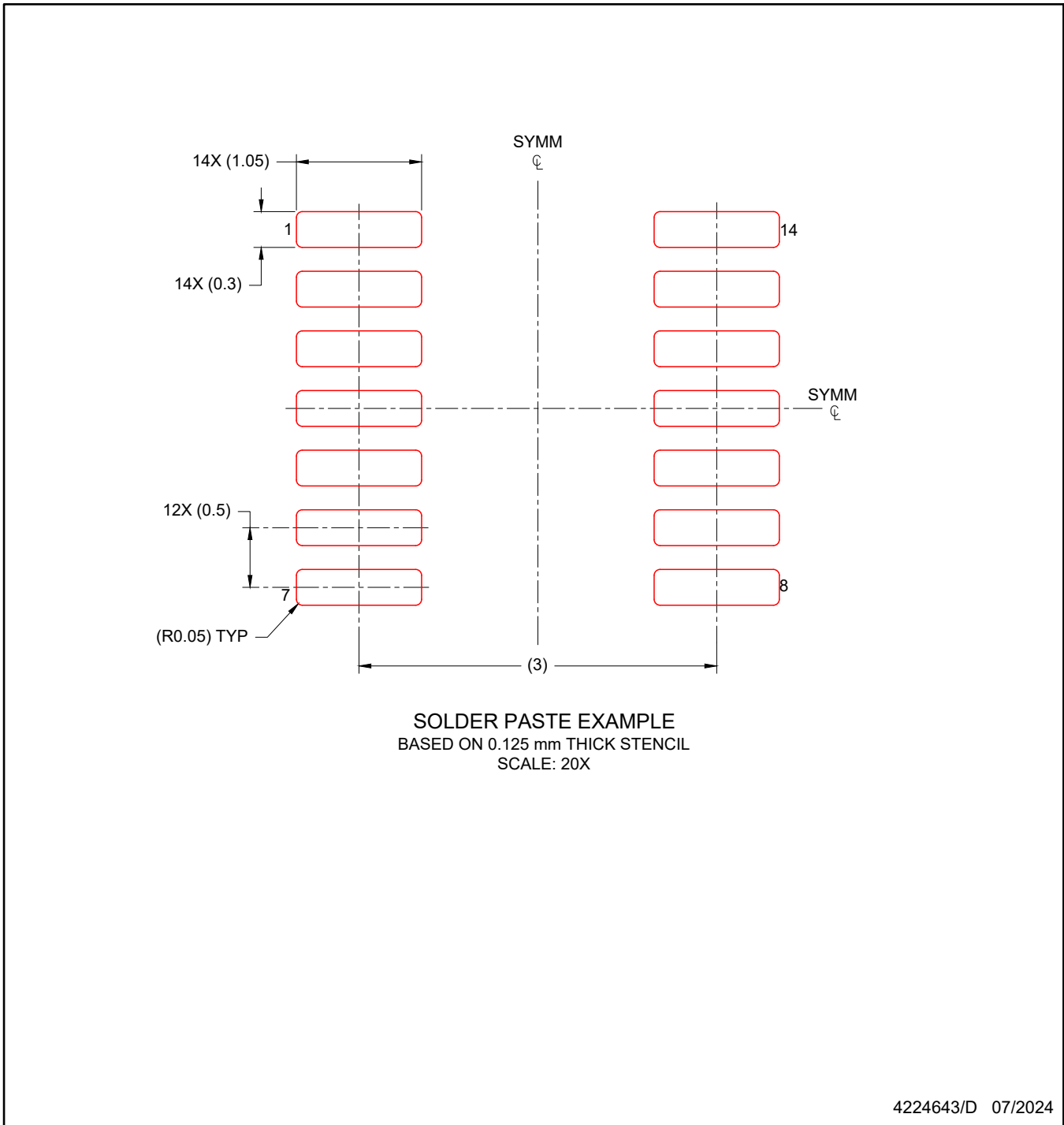
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224643/D 07/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月