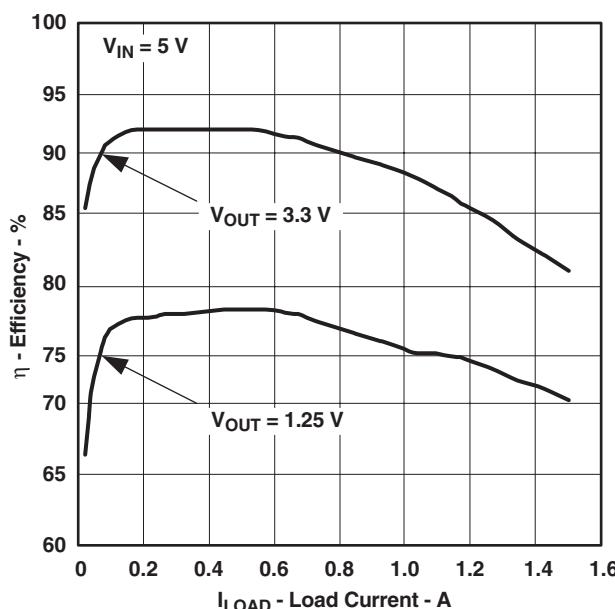


# 小型、1.6A、1.25MHzバック・コンバータ

## 特 長

- 入力電圧範囲：4.5V<sub>DC</sub>～8V<sub>DC</sub>
- 出力電圧：(0.8V～V<sub>IN</sub>の90%)
- 出力電流容量：0A～1.6A
- 1.25MHzの固定スイッチング周波数
- 基準電圧：0.8V ±1%
- 250mΩのNチャネル型MOSFETスイッチを内蔵
- スロープ補償内蔵の電流モード制御
- 内部ソフトスタート
- 内蔵のループ補償
- 短絡保護
- 過熱保護
- 最高92%の高効率
- 小型(3mm×3mm)SONパッケージ

標準効率 対 負荷電流



## ア プ リ ケ シ ョ ン

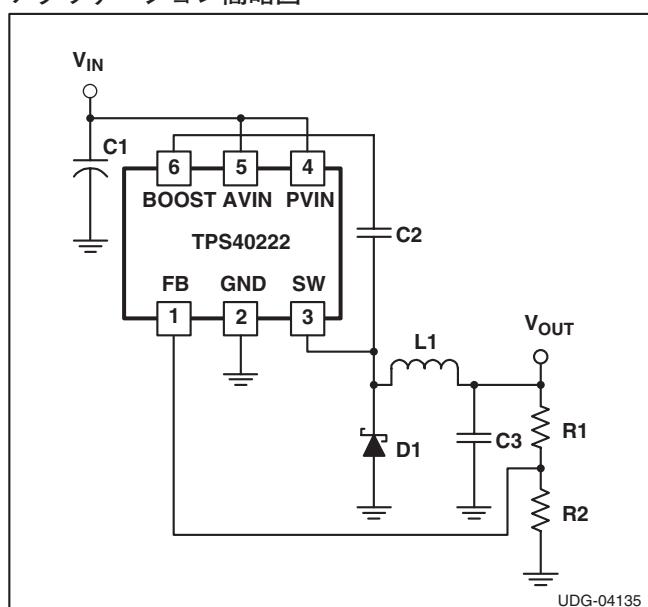
- ディスク・ドライブ
- セット・トップ・ボックス
- ポイント・オブ・ロード(POL)電源
- ASIC用電源

## 概 要

TPS40222は、5Vソースを電源として動作するアプリケーション用に最適化された、固定周波数、電流モードの非同期バック・コンバータです。内部で決定される動作周波数、ソフトスタート時間、制御ループ補償を備えたTPS40222を使用すれば、最少の外付け部品で数多くの機能を実現できます。

TPS40222は、1.25MHzの周波数で動作し、最大1.6Aの出力負荷に対応しています。プログラミング可能な出力電圧の最低値は0.8Vです。TPS40222は、出力短絡という最悪状態が発生した場合、コンバータを保護するために周波数フォールドバックに加えてパルス毎の電流制限を行います。

## ア プ リ ケ シ ョ ン 簡 略 図



UDG-04135

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。  
資料によっては正規英語版資料の更新に対応していないものがあります。  
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。  
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。  
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

### オーダー情報

T <sub>J</sub>	OUTPUT VOLTAGE	PACKAGE	PART NUMBER	MEDIUM	QTY
−40°C to 125°C	Adjustable	Plastic SON (DRP)	TPS40222DRPT	Small tape and reel	250
			TPS40222DRPR	Large tape and reel	3000

### 絶対最大定格

動作温度範囲内(特に記述のない限り)<sup>(1)</sup>

		TPS40222	UNIT
V <sub>IN</sub>	Input voltage range	BOOST	V
		SW (50 ns maximum)	
		SW	
		AVIN, PVIN	
		FB	
I <sub>OUT</sub>	Output current source	SW	A
T <sub>J</sub>	Operating junction temperature range	−40 to 160	°C
T <sub>stg</sub>	Storage temperature	−65 to 165	
Case temperature for 10 seconds per JSTD-020C		260	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### 推奨動作条件

		MIN	NOM	MAX	UNIT
V <sub>IN</sub>	Input voltage	4.5	8.0		V
I <sub>OUT</sub>	SW node output current	0	1.6		A
T <sub>J</sub>	Operating junction temperature	−40	125		°C

### 静電(ESD)保護

	MIN	MAX	UNIT
Human body model		2500	V
CDM		1500	

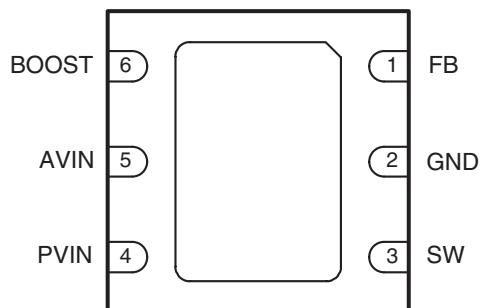
## 電気的特性

特に指定がない限り、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $4.5 \leq V_{\text{AVIN}} = V_{\text{PVIN}} \leq 5.5\text{V}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>FEEDBACK VOLTAGE</b>					
V <sub>FB</sub> Feedback voltage	T <sub>J</sub> = 25°C, No load	792	800	808	mV
	-40°C ≤ T <sub>J</sub> ≤ 125°C, No load, 4.5V ≤ V <sub>DD</sub> ≤ 7 V	788		812	
I <sub>FB</sub> Feedback input bias current	V <sub>FB</sub> = 0.9 V, V <sub>AVIN</sub> = V <sub>PVIN</sub> = 5 V		30	100	nA
<b>SOFT-START</b>					
t <sub>SS</sub> Soft-start time	V <sub>AVIN</sub> = V <sub>PVIN</sub> = 5 V	300	550	850	μs
<b>Gm AMPLIFIER</b>					
Gm Transconductance <sup>(1)</sup>			10		μS
GBW Gain bandwidth product <sup>(1)</sup>			12		MHz
<b>OSCILLATOR</b>					
f <sub>SW</sub> Switching frequency	V <sub>FB</sub> > 0.7 V	1.00	1.25	1.50	MHz
f <sub>SWFB</sub> Minimum foldback frequency	Startup/Overcurrent, V <sub>FB</sub> = 0 V	75	140		kHz
Foldback frequency slope <sup>(1)</sup>	0 V < V <sub>FB</sub> < 0.4 V		2200		Hz/mV
V <sub>FFB</sub> Frequency foldback V <sub>FB</sub> threshold voltage <sup>(1)</sup>		0.4		0.6	V
<b>OVERCURRENT DETECTION</b>					
I <sub>CL</sub> Overcurrent threshold	V <sub>AVIN</sub> = V <sub>PVIN</sub> = 5 V	2.1	2.6	3.1	A
t <sub>ON</sub> Minimum on-time in overcurrent <sup>(1)</sup>		90	200		ns
<b>HIGH SIDE MOSFET AND DRIVER</b>					
R <sub>DS(on)</sub> Drain-to-source on-resistance	T <sub>J</sub> = 25°C	250			mΩ
	-40°C ≤ T <sub>J</sub> ≤ 125°C	250	550		
D <sub>MAX</sub> Maximum duty cycle		90%	97%		
I <sub>SWL</sub> MOSFET SW leakage current	V <sub>PVIN</sub> = 10 V	-10	-30		μA
I <sub>BOOST</sub> Boost current	I <sub>SW</sub> = 100 mA, V <sub>AVIN</sub> = V <sub>PVIN</sub> = 5 V	0.5	1.0		mA
	Boost diode voltage drop	I <sub>DIODE</sub> ≤ 5 mA		0.9	V
<b>UNDERVOLTAGE LOCKOUT (UVLO)</b>					
V <sub>ON</sub> Turn-on voltage		3.6	3.8	4.0	V
V <sub>HYST</sub> Hysteresis voltage			0.4		
I <sub>Q</sub> AVIN quiescent current		1.0	1.5		mA
<b>THERMAL SHUTDOWN</b>					
Thermal shutdown voltage <sup>(1)</sup>		150			°C
		-10			

(1) 設計で確認されていますが、製品テストは行っていません。

**DRPパッケージ  
(底面図)**

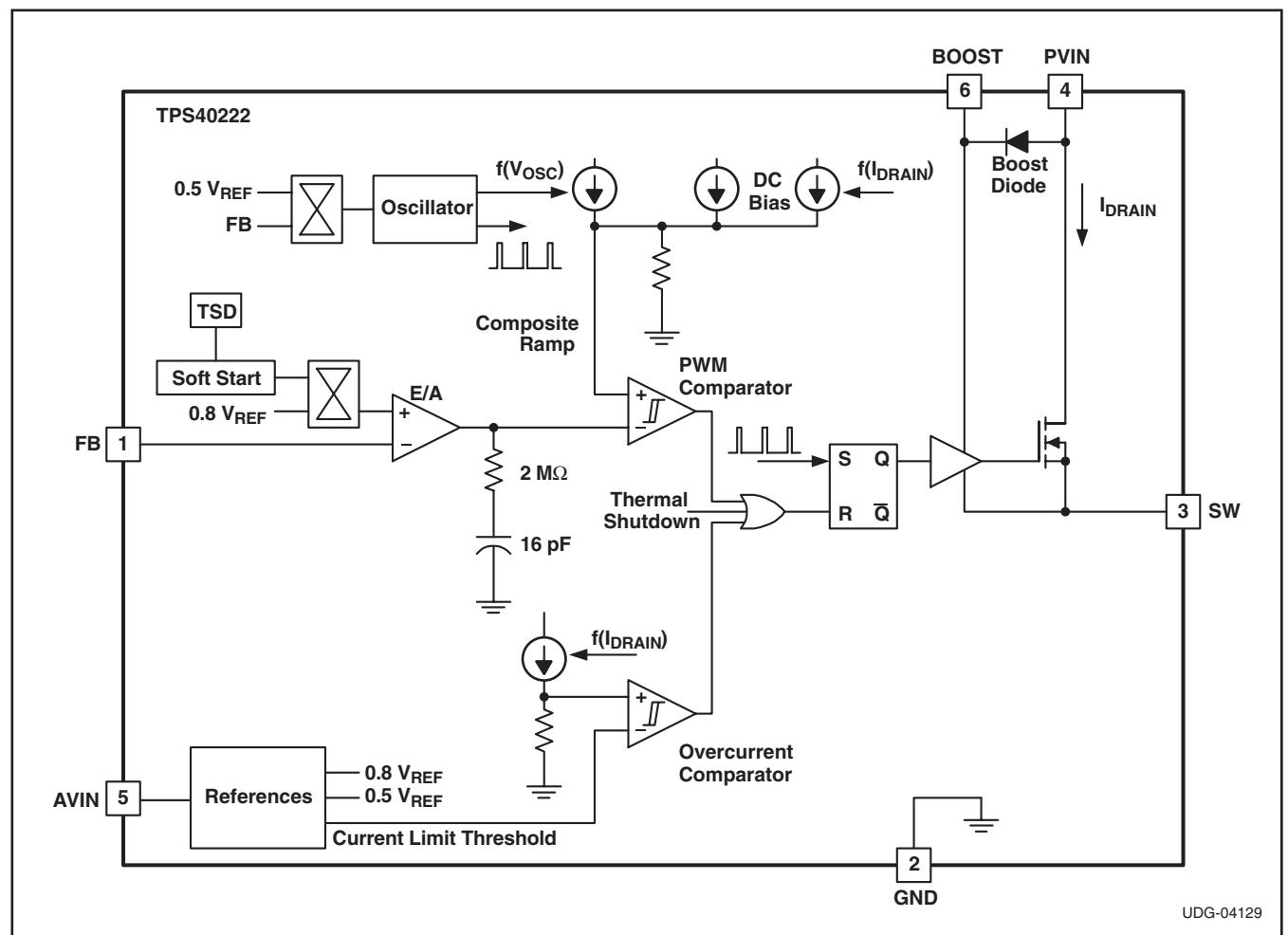


- A. 露出パッドによって、熱抵抗は $\theta_{JC} = 2^{\circ}\text{C}/\text{W}$ と低くなっています。
- B. 露出パッドをGNDに接続してください。

TERMINAL NAME NO.	I/O	DESCRIPTION
AVIN 5	I	デバイスの制御部への入力電源。このピンは、 $1\mu\text{F}$ 以上の低ESRセラミック・コンデンサをIC直近に配置し、GNDにバイパスしてください。
BOOST 6	I/O	このピンは、ブートストラップされた電圧をPWM用のハイサイドMOSFETに供給し、ハイサイドMOSFETのゲートを入力供給レベルより高いレベルで駆動できるようにします。このピンからSWピンに $33\text{nF}$ のコンデンサを接続し、(オプションとして)このピンからPVINピンにショットキー・ダイオードを接続してください。
FB 1	I	誤差増幅器への反転入力。閉ループ動作では、このピンの電圧は $800\text{mV}$ の内部基準レベルです。スタートアップ時または異常発生時にはこのピンの電圧は、コンバータの動作周波数にも影響を及ぼします。このピンの電圧が $0\text{V}$ の時は、動作周波数は約 $140\text{kHz}$ です。このピンの電圧が $0.6\text{V}$ まで上昇する間は、動作周波数は約 $1.25\text{MHz}$ まで直線的に増加します。 $0.6\text{V}$ を超えると、約 $1.25\text{MHz}$ に留まります。
GND 2	-	デバイスのグランド接続
PVIN 4	I	このデバイスの電源部への入力。このピンは、容量が $10\mu\text{F}$ 以上の低ESRコンデンサを経由してGNDにバイパスしてください。
SW 3	I/O	内部のスイッチングMOSFETのソース接続。このピンを出力インダクタと外部のキャッチ・ダイオードに接続してコンバータのスイッチ・ノードを形成してください。

表 1. 端子機能

## 概略ブロック図



## 代表的特性

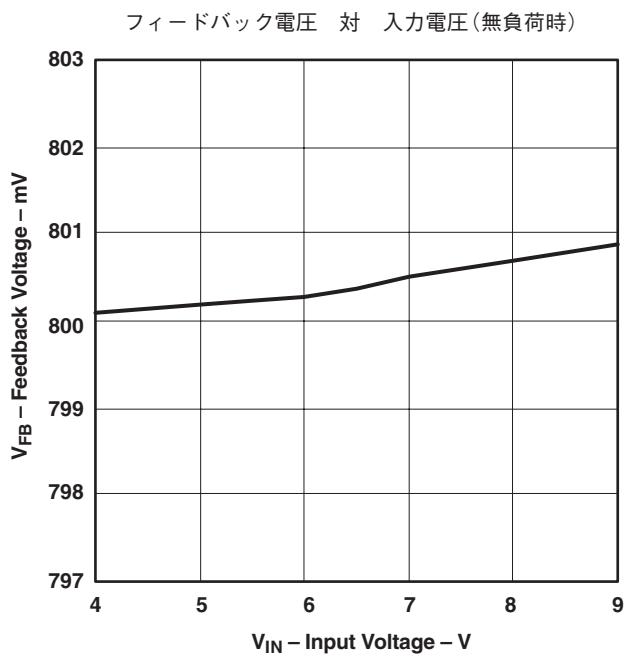


図 1

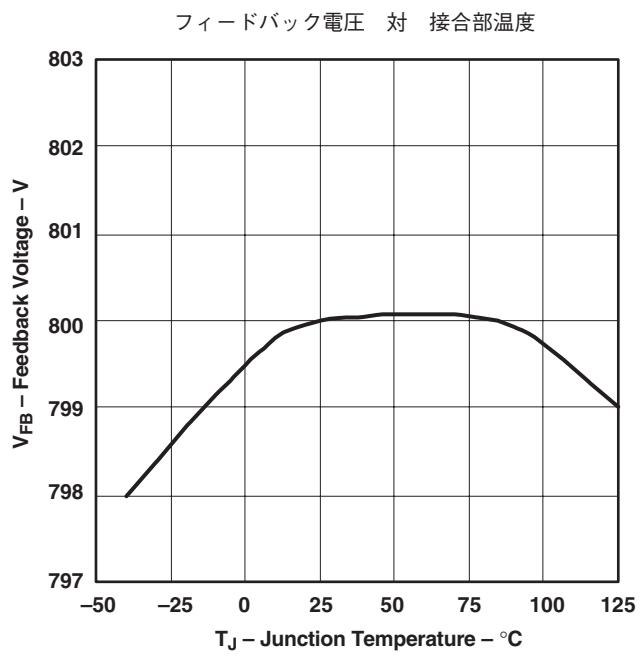


図 2

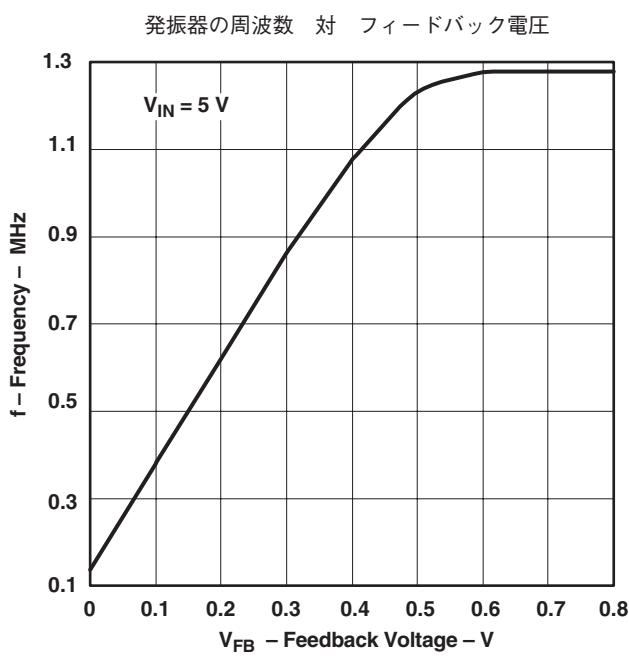


図 3

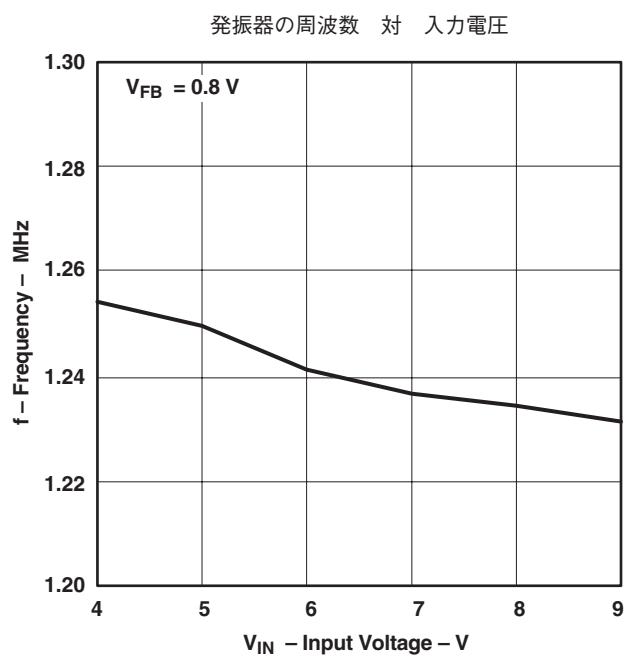


図 4

## 代表的特性

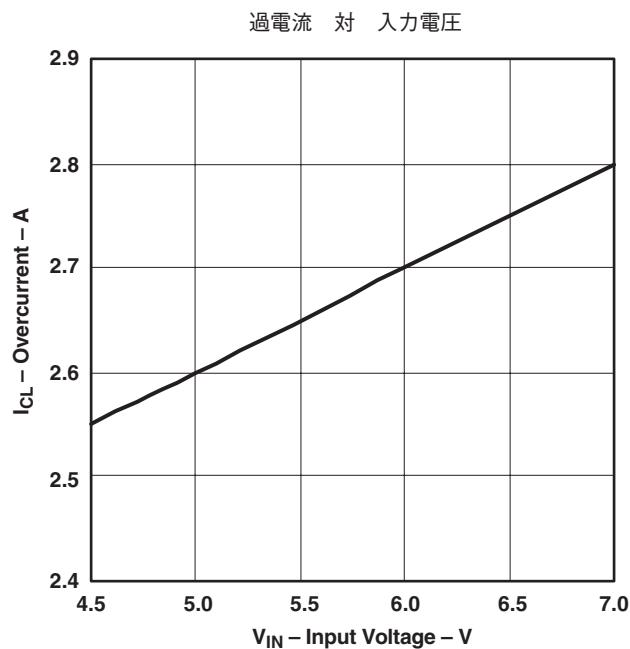


図 5

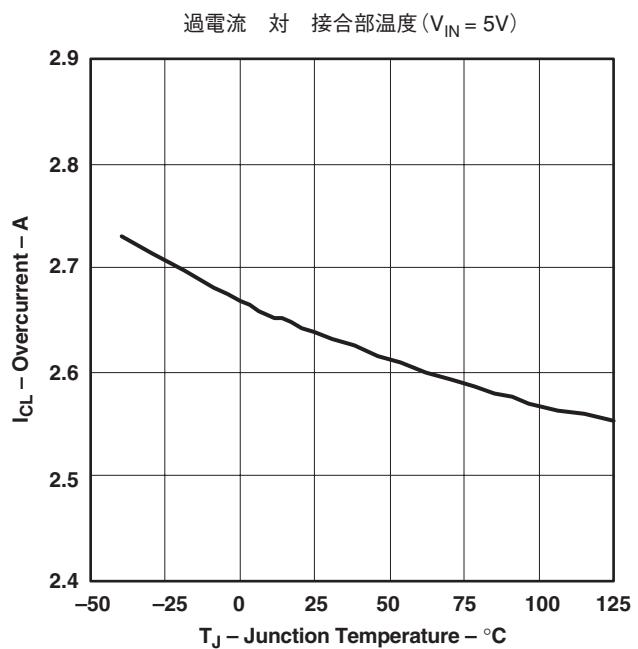


図 6

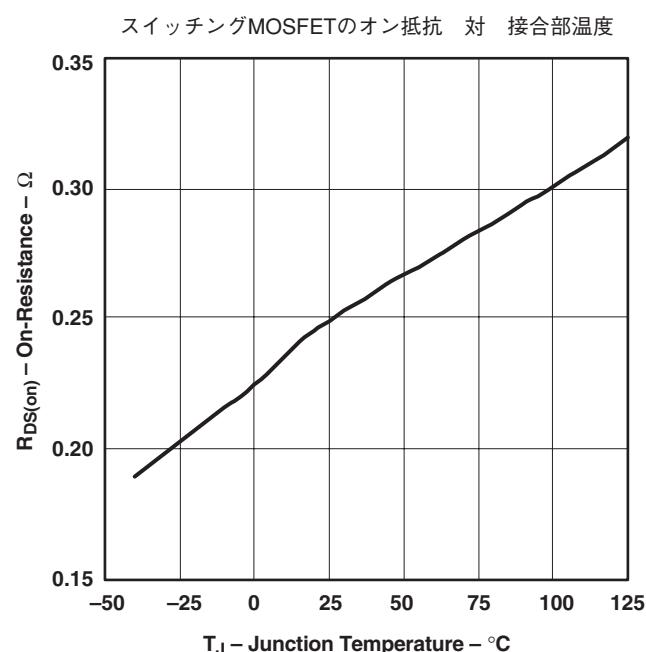


図 7

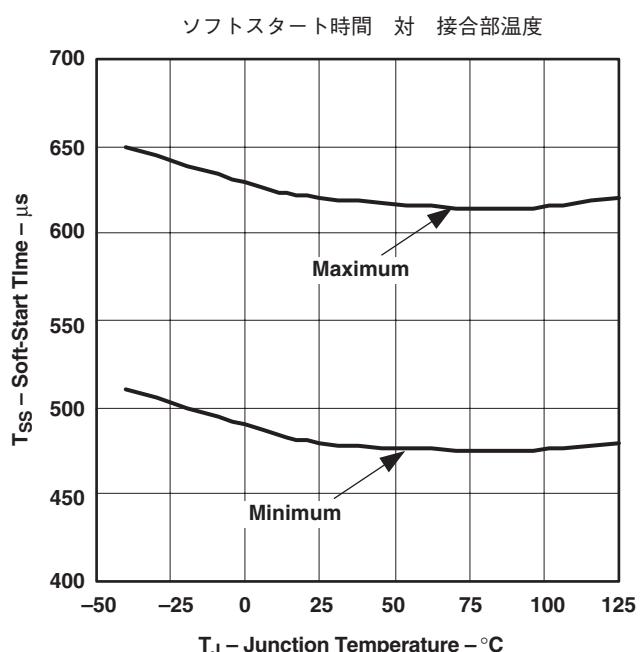


図 8

## 詳細説明

TPS40222は、ハイサイドMOSFETスイッチを内蔵する固定周波数PWMコントローラであり、最大1.6Aの負荷電流を必要とする非同期コンバータ・アプリケーション用に設計されています。

## フィードバック制御

出力電圧を安定化するために、周波数固定、電流モード制御のアーキテクチャが採用されています。内部補償付きのトランスクンダクタンス誤差増幅器が抵抗デバイダで出力電圧を検出し、検出結果を内部の高精度基準電圧0.8Vと比較します。比較結果はPWMコンパレータの反転入力に供給されます。複合ノコギリ波電圧波形は、コンパレータ出力でPWM信号となる非反転入力へとフィードされます。

ノコギリ波型ランプ信号を生成するために、スイッチング・サイクルのON部分でハイサイドMOSFETによって負荷電流が検出されます。検出された電流は分割され、PWM制御用ランプおよびパルス・バイ・パルスの電流制限を生成するために使用される2つのトリミングされた抵抗バンクに供給されます。この検出方法では、大電流パスに検出抵抗を使用する必要はありません。PWM制御用の負荷電流が、発振器のノコギリ波に比例する信号およびDCバイアスの一部と合計され、複合ランプ信号となります。

## UVLO

AVIN電圧が約3.8Vを超えると、コンバータは内部回路によってオンになります。このレベルより低い電圧では、内部発振器はディスエーブルになり、内部MOSFETのバイアスはオフとなります。

## 基準電圧

高精度バンドギャップ基準電圧0.8Vは1%にトリミングされています。

## 電圧誤差増幅器

内部トランスクンダクタンス増幅器は、出力電圧の制御に使用されます。増幅器の出力とグランドを接続する直列RC回路(2MΩ、16pF)は、コンバータの補償回路として働きます。

## 発振器

内部発振器は、正常動作時は公称1.25MHzの周波数で動作します。スタートアップ時はそれより低い周波数で動作を開始し、出力電圧が上昇するにつれて、周波数は公称動作周波数へと上昇します。FBピンの電圧が0.6Vを超えると、切り換えポイントが発生します。0.6Vより高い電圧では、発振器は公称周波数1.25MHzを維持します。

発振器ランプから生成される信号は、PWM制御用のスロープ補償を行うために使用されます。

## ソフトスタート

TPS40222は、パワーオン時には誤差増幅器の非反転入力への電圧をゆっくり上昇させます。この方法において、TPS40222は、誤差増幅器の非反転入力への電圧が0.8Vに達するまで出力電圧をゆっくり上昇させます。誤差増幅器の非反転入力の電圧は、0.8Vに達するとその状態を維持します。

誤差増幅器の非反転入力の電圧が0.8Vに達するまでの時間はスタートアップ後約550μsです。TPS40222の出力電圧の立ち上がりレートは、コンバータの出力電圧を設定する抵抗デバイダ・ネットワークによって決まります。

例えば、内部ソフトスタート時の立ち上がりレートは以下のとおりです。

$$\frac{V_{REF}}{t_{SS}} = \frac{0.8 \text{ V}}{550 \mu\text{s}} \quad (1)$$

ここで、

●  $t_{ss}$ は標準的なソフトスタート時間550μsです。

出力電圧が1.2Vのコンバータの場合、出力で観測される立ち上がりレートは以下のとおりです。

$$\frac{V_{OUT}}{t_{SS}} = \frac{1.2 \text{ V}}{550 \mu\text{s}} \quad (2)$$

## 出力短絡保護

電流障害(短絡)保護は、スイッチングMOSFETがオン状態の時その電流を検出し、検出結果をプリセットされた内部レベルと比較することによって行われます。電流がこのレベルを超えると、スイッチング・パルス幅が制限を受けて、出力電圧を低下させます。出力電圧が低下すると、動作周波数も低下します。これによって消費電力が抑えられます。

障害状態が長引き、出力電圧の低下が継続すると、ウォッチャドッグ回路が内部ソフトスタート・コンデンサを放電させ、コンバータを効果的に遮断します。この期間が終了すると、コンバータはリスタートを試みます。

## ブートストラップ

内部NチャネルMOSFETを駆動するために、ブートストラップ(昇圧回路)が追加されており、これによってスイッチング・サイクル毎にMOSFETをドライブするのに十分なエネルギーを持つ入力電圧より高い電圧ソースを提供します。スイッチング・サイクルのオフ部分(図9を参照)では、内部MOSFETはオフであり、SWノードの電圧はD1によってグランド・レベル以下にクランプされます。この時、入力電圧(内部BOOSTダイオードの電圧降下だけ低い)はC2に印加され、このコンデンサを充電します。内部MOSFETをオンにする指示があると、SWノードは $V_{IN}$ に向かって上昇し、BOOSTピンの電圧は約 $2 \times V_{IN}$ まで上昇します。この電圧は、スイッチング・サイクルの残り期間に内部MOSFETのオンを維持するため使用されます。

# アプリケーション情報

## 標準的なアプリケーション

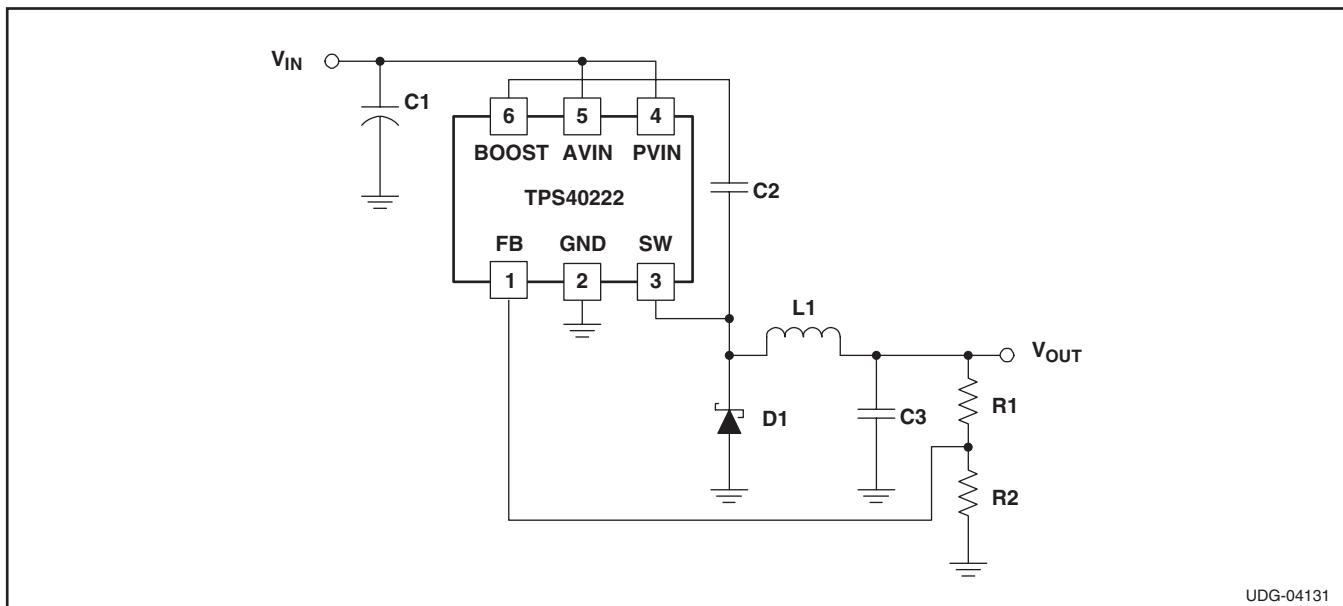


図9. 標準的なアプリケーション

### 電圧設定

フィードバック電圧が0.8Vであるので、式3を使って出力電圧を設定できます。出力電圧を決定するには、都合の良い抵抗値をR2として選んで、R1を計算します。

$$V_{OUT} = V_{FB} \times \left(1 + \frac{R1}{R2}\right) \quad (3)$$

### 出力フィルタ (L1とC3)

ループ補償は内部で固定されおり、変更できないので、ループの安定性は出力インダクタンスと出力容量を適切に選ぶことによってしか制御できません。この選択の簡単な説明および各種のインダクタンス値と出力電圧に対する50度の安全な位相マージンを維持するために推奨する容量を表2に示します。この表には、さらに-40°Cでの安定性に対するワーストケースと共に3つの温度での50度の位相マージンに対する最小静電容量も示し

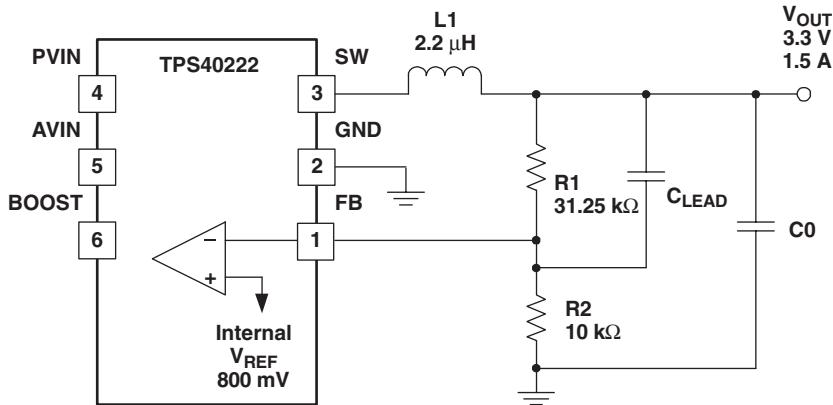
ます。表の値は詳細に検討されており、ユーザは値と値の間を補間して特定の動作条件を見つけることができます。表内の値は、位相補償にはワーストケースでもある全負荷を想定しています。表の使用例として、2.2μHのインダクタを使用した出力2.5Vのコンバータを考えてみましょう。表によると、-40°Cというワーストケース温度で50度を超える位相マージンを保証するには少なくとも15μFの出力容量が必要です。図10に示すようにフィードバック部にリード・コンデンサ(CLEAD)を付加すると、この最小容量が26μFに増加し、閉ループ周波数が20%増加します。

INDUCTOR VALUE ( $\mu$ H)	5-V <sub>IN</sub> RIPPLE CURRENT (mA)	$C_{MIN}$ ( $\mu$ F) (PM > 50° at -40°C)	$f_C$ (kHz) $T_J = -40^\circ\text{C}$	$f_C$ (kHz) $T_J = 25^\circ\text{C}$	$f_C$ (kHz) $T_J = 125^\circ\text{C}$	$C_{LEAD}$ VALUE (pF)
<b>OUTPUT VOLTAGE <math>V_{OUT} = 3.3\text{ V}</math></b>						
1.8			Not Recommended <sup>(2)</sup>			
2.2	340	9	125	101	68	omitted
		21	285	247	92	270
3.3	230	12	98	77	52	omitted
		28	144	112	67	330
4.7	160	15	80	62	41	omitted
		38	111	85	52	470
5.6	140	16	74	58	38	omitted
		40	103	79	47	470
<b>OUTPUT VOLTAGE <math>V_{OUT} = 2.5\text{ V}</math></b>						
1.8	550	13	116	93	63	omitted
		23	169	133	81	330
2.2	370	15	102	81	54	omitted
		26	147	114	65	330
3.3	300	17	91	71	48	omitted
		28	134	102	56	270
4.7	210	20	78	61	41	omitted
		38	106	81	47	470
5.6	180	23	68	53	35	omitted
		34	106	79	43	330
<b>OUTPUT VOLTAGE <math>V_{OUT} = 1.8\text{ V}</math></b>						
1.8	580	20	105	84	56	omitted
		30	137	109	68	470
2.2	470	21	100	80	54	omitted
		32	129	101	62	470
3.3	320	25	86	67	45	omitted
		35	115	88	53	470
4.7	220	30	72	56	37	omitted
		39	99	75	44	470
5.6	190	33	65	51	34	omitted
		40	94	71	41	470
<b>OUTPUT VOLTAGE <math>V_{OUT} = 0.8\text{ V}</math></b>						
1.8	470	50	94	75	50	n/a
2.2	390	52	91	72	48	
3.3	260	60	79	62	42	
4.7	180	70	68	53	36	
5.6	150	75	63	49	33	

(1) 図10を参照してください。

(2)  $V_{OUT} > 3.3\text{V}$ の時は、2.2 $\mu$ H以上のインダクタを使用してください。.

表2. コンデンサの選択<sup>(1)</sup>



UDG-05095

図 10. 出力段

## 出力段の部品選択

ほとんどのアプリケーションで、ユーザは、図10に示すように、まず出力電圧と負荷電流の要求を知った上でスタートします。

図10に示すように、トリミングされた基準電圧は内部で誤差増幅器に接続されています。この誤差増幅器の入力バイアス電流は無視できるので、フィードバック抵抗R1およびR2は、広い範囲から選択できます。この制約を考慮して、R2として10kΩを選択したので、その電流は80μAであり、誤差増幅器のバイアス電流に比べれば十分に大きな電流です。したがって、出力電圧は式4によって求められます。

$$V_{OUT} = 0.8 \times \left(1 + \frac{R1}{R2}\right) = 3.3V \quad (4)$$

ここで、

- R1 = 31.25kΩ
- R2 = 10kΩ

## インダクタの選択

このデバイスの内部クロックの動作周波数は高いので小型の安価なインダクタが利用できます。インダクタの材料としては高周波数特性の良好なフェライトを選択します。各種のフェライト・サイズに対するインダクタ飽和電流、インダクタンス値、LSR(内部抵抗)などを掲載したカタログを発行している製造元がいくつかあります。3.3V、1.5Aのアプリケーションの場合、インダクタの飽和電流は、リップル電流の1/2と最大出力電流の

合計より多くなくてはなりません。インダクタの値によってリップル電流が決まります。インダクタが小さければ、良好な過渡応答が期待でき、部品も小型で、安価となります。ただし、インダクタ値が低すぎると、出力容量のESRに高リップル電圧を発生させる高リップル電流の原因となります。経験則によれば、高リップル電流を出力電流の30%より低くすべきです。最初の計算で以下のようになります。

$$L = \frac{\Delta V \times t_{ON}}{\Delta I} \quad (5)$$

ここで、

- $\Delta V$ は、入力電圧 - (インダクタとFETの内部のIR電圧低下) -  $V_{OUT}$ 。
- $\Delta I$ は、1.5Aの30%。
- $t_{ON}$ は、 $(V_{OUT}/(V_{IN} \times f))$  (ただし  $f = 1.25MHz$ ) で決まるオン時間。

これらの条件の下で、 $L = 1.55\mu H$ 。

32mΩの内部抵抗で標準的な値2.2μHのインダクタを選ぶと、オン時間に流れるピーク電流は1.66Aとなります。この値は、デバイスに内蔵の過電流制限値2.1Aより低く、安全です。

## コンデンサの選択

静電容量には突然の負荷変動に許容されるオーバーシュートという制約があります。最悪ケースは、インダクタが $t_{ON}$ パルスを終了した直後に過渡負荷の開放が発生した場合です。この時インダクタは最大電流で動作しています。出力負荷が突然なくなると、インダクタ電流全部を出力コンデンサが吸収しなければなりません。出力電圧オーバーシュートの一般的な要求「3.3Vで2%」では、仕様を満たすのに必要な最小容量は式(6)で計算されます。

$$\frac{1}{2} \times L_O \times (I_O)^2 \leq \frac{1}{2} C_O (V_{OS}^2 - V_O^2) \quad (6)$$

ここで、

- $V_{OS}$ は最大オーバーシュート電圧。
- $L_O = 2.2\mu H$
- $I_O = 1.5A$
- $V_O = 3.3V$

この関係式を計算すると、必要な最小出力容量 $C_O$ は $11\mu F$ となります。

もう1つの極端な負荷変動は、最小オン時間サイクルの開始直後に発生する無負荷から全負荷への変動です。この時コントローラは、インダクタから利用できる最小電流でサイクルの残り部分の間この負荷を支えなければなりません。この例では、3.3V出力での最小オン時間は528ns、オフ時間は $800ns - 528ns = 272ns$ です。式(7)の関係式を使用して、

$$C_{MIN} = \frac{I_O \times \Delta t}{\Delta V_{OUT}} = 6.1 \mu F \quad (7)$$

ここで、

- $\Delta V_{OUT}$ は2%の規定の出力電圧降下。
- $I_O = 1.5A$
- $\Delta t = 272ns$

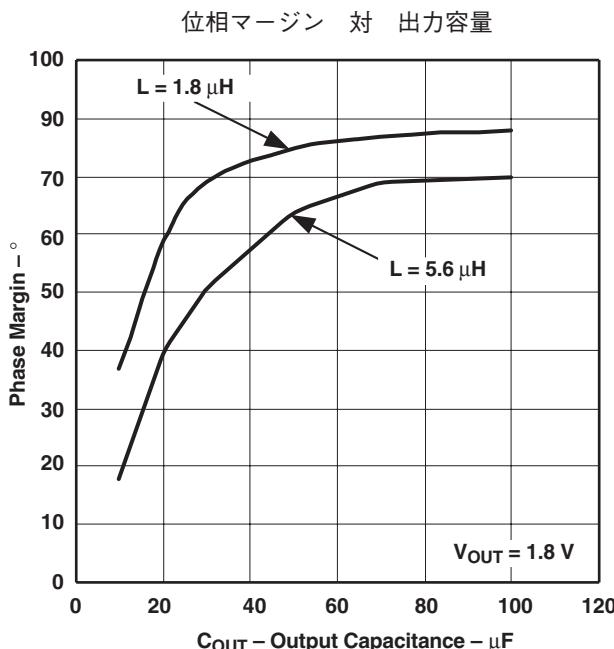


図 11

最小電圧リップルを達成するために低ESRセラミック・コンデンサを使用します。例えば、1206(容量が $22\mu F$ 、ESRが $2m\Omega$ )の6.3Vコンデンサが利用できます。

このように選択した部品は、位相マージン、すなわちシステムの安定性に影響を与えます。例えば、出力容量を増やすとシステムのクロスオーバー周波数が低下し、位相マージンが増大します。図11は、このことを2つの大きく異なるインダクタの場合の位相マージンを出力容量の関数とするグラフで図示したものです。このグラフによると、容量がある点より大きくなると、追加容量が位相マージンを増加させるという利点を制限しています。この点を利用すると、出力容量にかかる費用を必要以上に増やすことが避けられます。このグラフでもう1つ分かることは、インダクタンスを低くすることの利点です。この場合、60度の位相マージンを得るために必要な出力容量は $20\mu F$ にすぎません。

出力電圧は、全負荷を駆動するための等価出力抵抗を変化させることによって位相マージンに影響を与えます。例えば、出力電圧を高くすると、同じ位相マージンに対して全負荷抵抗が高くなり、出力容量が低くなります。この効果の考え方を図12に示しました。この図は、異なる出力電圧において50度の位相マージンを得るために必要な最小容量をプロットしたものです。このグラフには、さらにインダクタンスを低くすることによって出力容量の低下が達成されることも示しています。

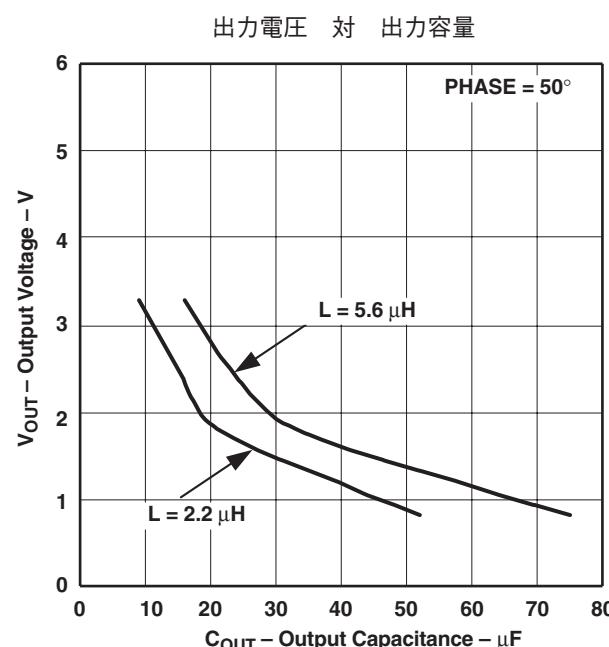


図 12

フィードバック・ネットワークのR1に並列にリード・コンデンサを付け加えることによって出力容量はさらに減少します。このリード・コンデンサは、そのインピーダンスを出力LCネットワークの共振周波数で、抵抗値R1に等しくすることによって決められます。リード・コンデンサの容量を計算するには式(8)を使用します。

$$C_{LEAD} = \frac{1}{2\pi \times f_R \times R} \quad (8)$$

インダクタと出力負荷コンデンサの容量による共振周波数は、式(9)で求めます。

$$f_R = \frac{1}{2\pi} \times \left( \frac{1}{L \times C_O} \right)^{\frac{1}{2}} \quad (9)$$

## キャッチ・ダイオード (D1)

キャッチ・ダイオードの選定はアプリケーション電流に依存します。順方向電圧降下と接合部の静電容量が共に低いダイオードを選んでください。順方向電圧降下が高すぎるダイオードあるいは接合部の静電容量が高いダイオードを選ぶと、コンバータの効率が低くなると同時にSWノードでのリングングおよび出力電圧のノイズがひどくなります。

## 入力フィルタ・コンデンサ (C1)

入力をバイパスするには、高品質の低ESRセラミック・コンデンサを選んでください。控えめな設計の場合、コンデンサのリップル電流定格はコンバータの負荷電流に等しくすべきです。

## ブースト・コンデンサ (C2)

ブースト・コンデンサの大きさは、内部MOSFETをオンにするのに十分なエネルギーを保証するように決めます。ほとんどのアプリケーションでは、容量が33nF～100nFのセラミック・コンデンサを使用してください。

## ブースト・ダイオード (D2)

アプリケーションによっては、内部ブートストラップ・ダイオードの電圧降下が、スイッチング・サイクル毎にブースト・コンデンサを十分に充電するには大きすぎることがあります。このようなアプリケーションには、図13に示すショットキー・ダイオードD2を付加するとよいでしょう。

## 出力プリロード要求

DC/DCコンバータの正常なスタートアップのための要求として、スイッチングの起きる前にブースト・コンデンサC2の電圧が十分に高くなることが挙げられます。ある種のアプリケーション、とりわけ出力電圧が3.3Vのアプリケーションや入力電圧がゆっくり上昇するアプリケーションあるいは入力電圧が低いアプリケーションでは、スイッチングの開始前にSWノードをグランド・レベルに保持するためにコンバータに10mAの小さなプリロードを付加する必要があります。プリロードがないと、出力電圧がレギュレーションに達しないことがあります。さらにプリロードは、負荷が高負荷から無負荷に変わると出力でオーバーシュートが大きくなりすぎることを防ぎます。

## AVINフィルリング

アプリケーションによっては、不要なノイズを除いたり、負荷レギュレーションを改善したりするためにRCフィルタをAVINの入力に付加する必要があります(図14を参照)。R4=10ΩおよびC5=1μFを使用してください。C5の接地側はデバイスのGNDピンのできるだけ近くに接続してください。

## SWノード・スナバ

SWノードでの過度のリングングを減衰させるために、D1と共にRCネットワークを追加することができます。(図14参照)。まず、R3=10ΩおよびC4=680pFを使用してみてください。それから、リングングが思いどおりに減衰する最小容量がわかるまでC4を下げてください。

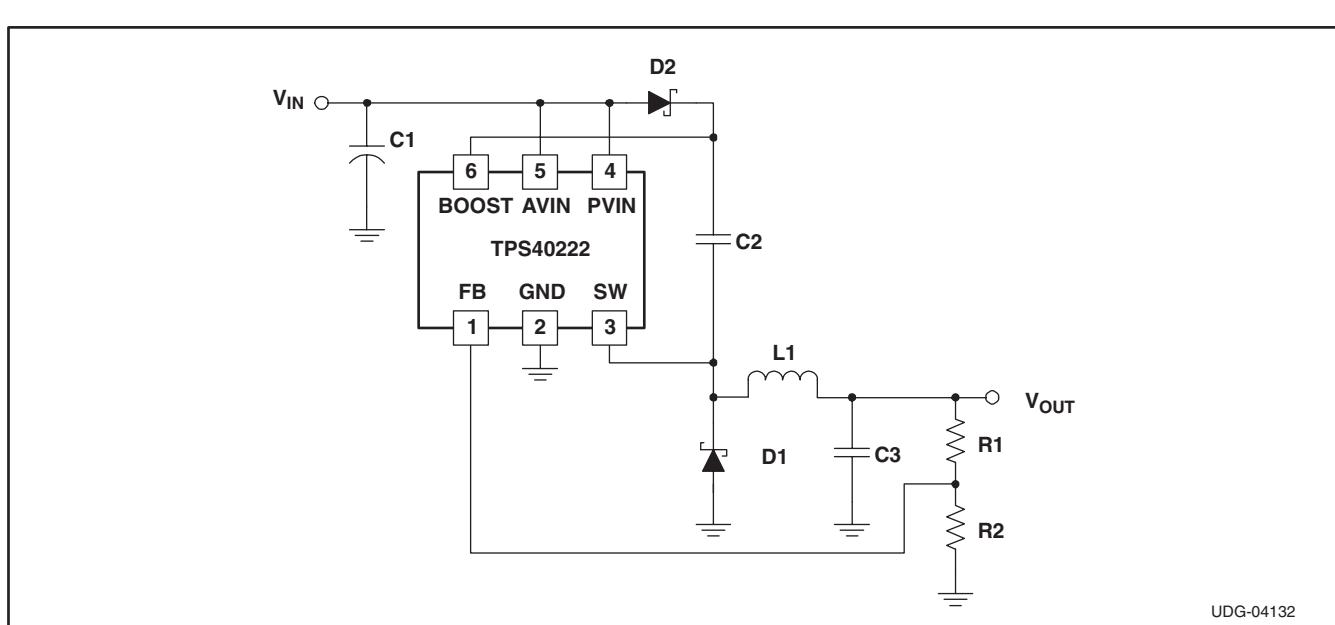


図 13. ブースト・ダイオードの使用

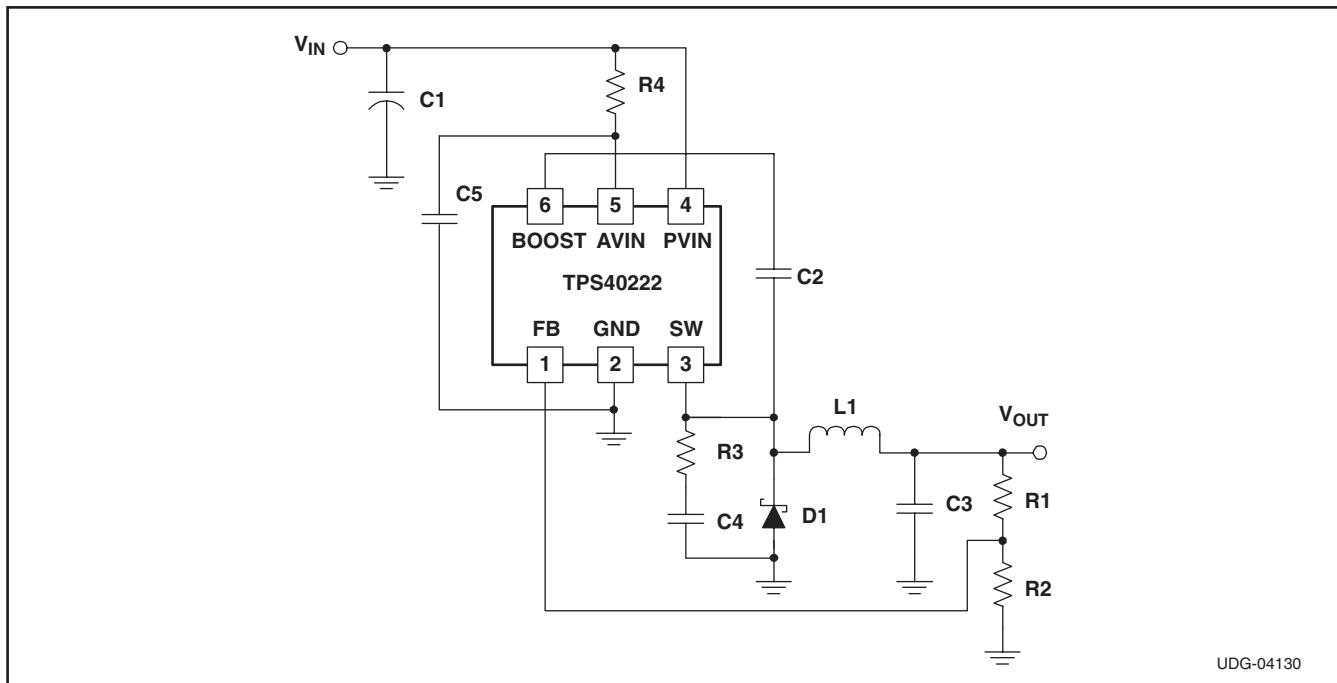


図 14. AVIN フィルタと SW ノードのスナバ

UDG-04130

## アプリケーション回路図

図15は、出力が1.2VのDC/DCコンバータにTPS40222を組み込んだアプリケーションの例です。キャパシタンスの実効ESRを削減するために入力と出力にそれぞれコンデンサを並列に接続しています。

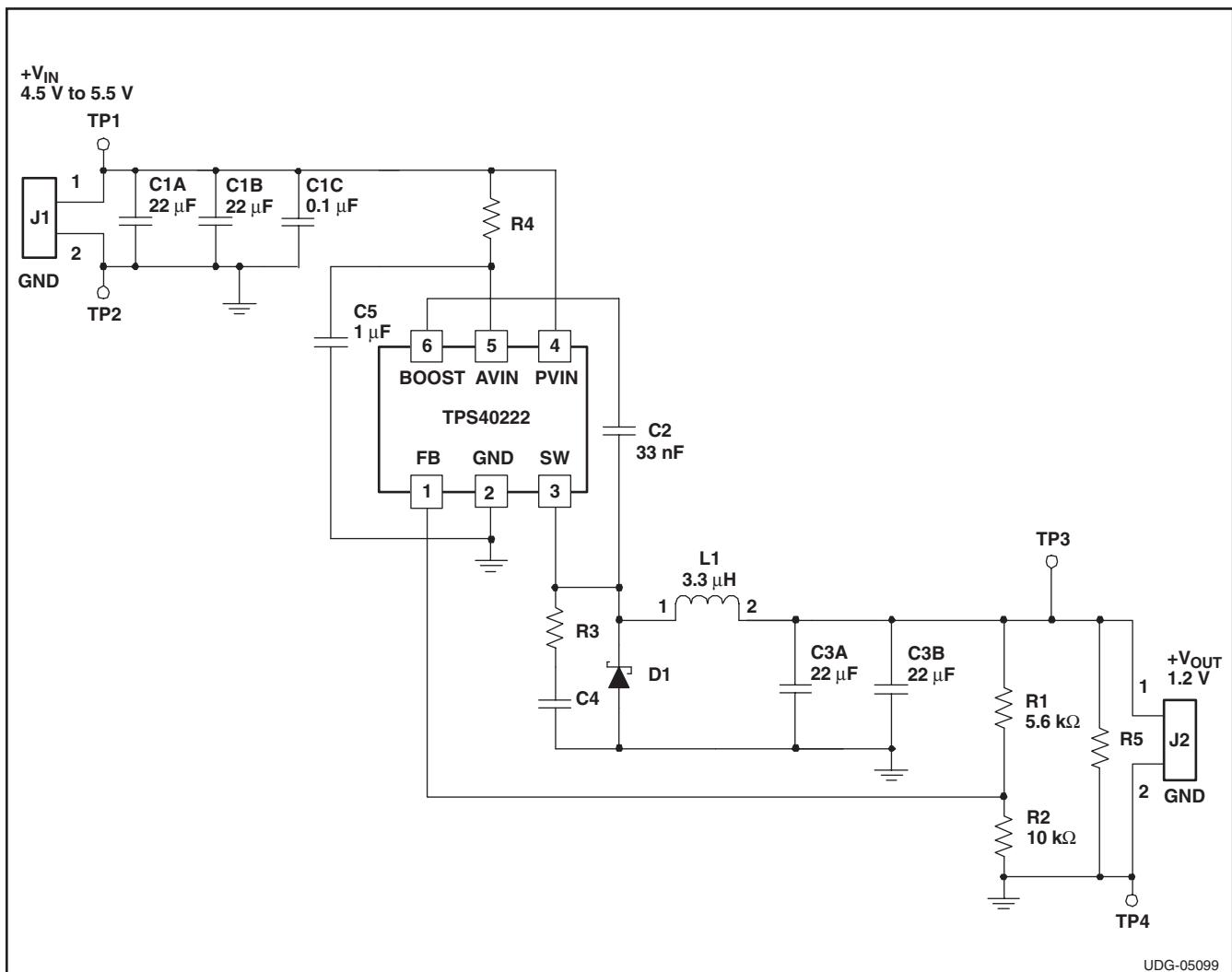


図 15.  $V_{IN} = 5V$ 、 $V_O = 1.2V$  DC/DCコンバータ

UDG-05099

REFERENCE DESIGNATOR	QTY	DESCRIPTION	VENDOR PART NUMBER	VENDOR	NOTES
C1A, C1B	2	Capacitor, 22 $\mu$ F ceramic, 1206			Input bypass
C1D	1	Capacitor, 0.1 $\mu$ F ceramic, 0805			High-frequency bypass, mount near $V_{CC}$
C2	1	Capacitor, 33 nF ceramic, 0805			Bootstrap
C3A, C3B	2	Capacitor, 22 $\mu$ F ceramic, 1206			Output capacitors
C4	1	Capacitor, 680 pF ceramic, 0805			Snubber (optional - open if not used)
C5	1	Capacitor, 1 $\mu$ F ceramic, 0805			Device input voltage filter capacitor
D1	1	Diode, Schottky, 1 A	RSX501L-20	ROHM	Catch diode
L1	1	Inductor, 3.3 $\mu$ H	ELL6PV3R3N	Panasonic	Filter inductor
R1	1	Resistor, 5620 $\Omega$ , 1%, SMD, 0603			Voltage setting resistor
R2	1	Resistor, 10 k $\Omega$ , 1%, SMD, 0603			Voltage setting resistor
R3	1	Resistor, 10 $\Omega$ , 10%, SMD, 0805			Snubber (optional - open if not used)
R4	1	Resistor, 10 $\Omega$ , 10%, SMD, 0603			Device input voltage filter (optional - short if not used)
R5	1	Resistor, 120 $\Omega$ , 10%, SMD, 0805			Output pre-load (optional - open if not used)
U1	1	PWM converter device	TPS40222	Texas Instruments	

表 3. 部品表

## アプリケーションの特性

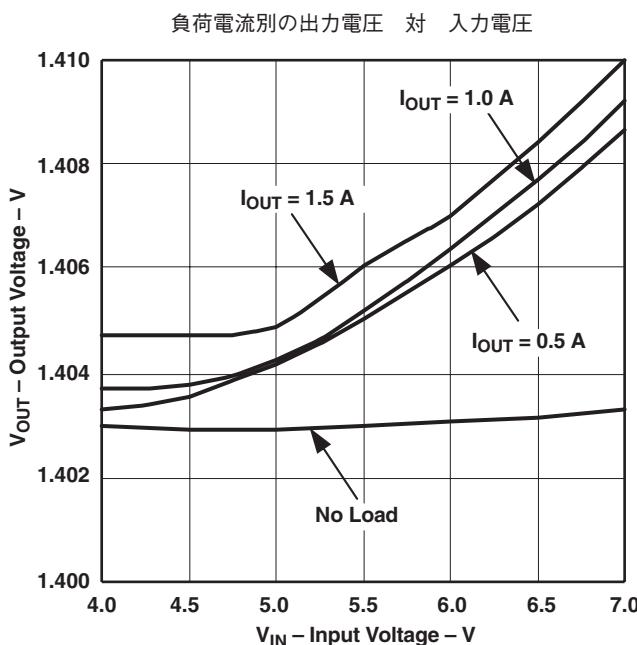


図 16

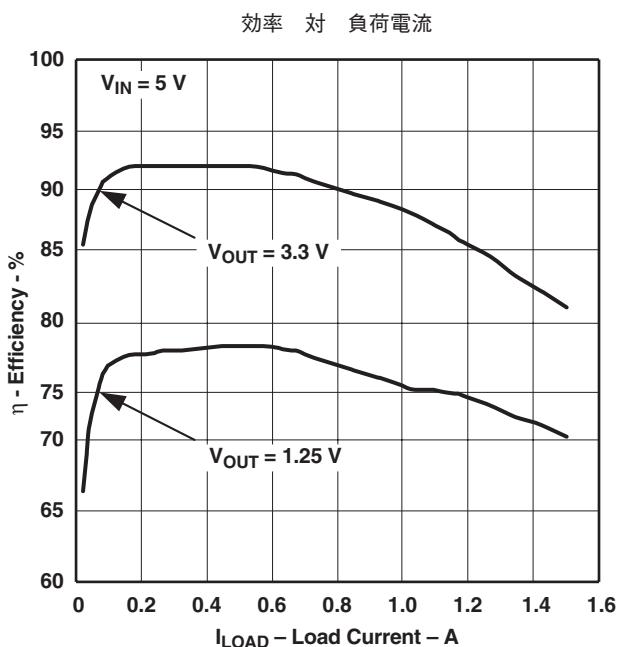


図 17

## 代表的特性

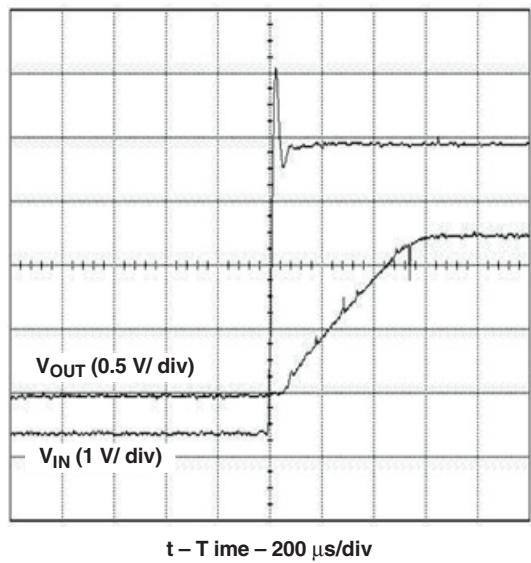


図18.スタートアップ波形

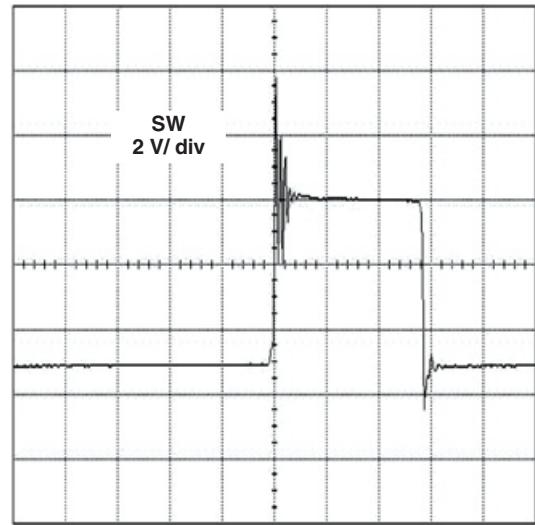


図19. SWノード波形

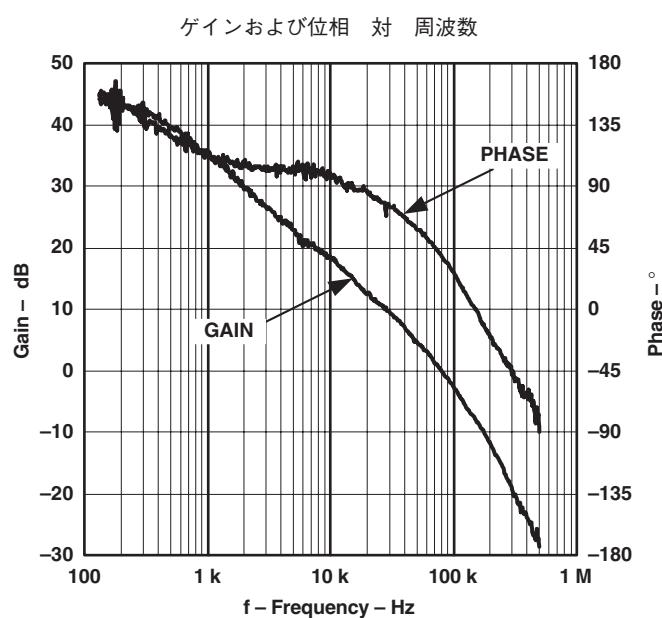


図 20

# プリント基板の推奨レイアウト

## デバイス・パッドの設計

この6ピン・パッケージには、パッケージからの熱伝導のために設けた剥き出しのサーマル・パッドがあり、動作周囲温度はこのパッドがない場合より高くなります。パッド・エリア内にビアを3個設け、アナログ・グランド・プレーンに接続してください。

## プリント基板のレイアウト

DC/DCコンバータのレイアウトを設計する時は、ノイズフリー設計を心がけなければなりません。

- AC電流ループはできるだけ短くしなければなりません。デバイスに対してC1による正常なフィルタリングを確保するには、図の入力ループB(C1~U1~D1)を短くしなければなりません。スイッチング時にAVIN上のノイズ周波数が高すぎると、負荷の増大に伴い全体的な安定性が低下します。デバイスで観測されるノイズ・スパイクを減少させるには、RCフィルタを推奨します(「アプリケーション情報」の「AVINフィルタリング」を参照してください)。スナバを付加することもあります。(「アプリケーション情報」の「SWノードのスナバ」を参照してください)。

- 出力ループA(D1~L1~C3)もできるだけ小さくします。ループ・エリアが大きすぎると、コンバータの出力のノイズ性能が低下します。
- 大きなAC電流の通るトレースをグランド・プレーンに接続しないようにしてください。代わりに、最上層のPCBトレースをAC電流の通電に使用し、グランド・プレーンをノイズ・シールドとして使用してください。必要ならグランド・プレーンを分割して、TPS40222やノイズに弱いエリア(R1, R2)をノイズから遠ざけてください。
- SWノードはできるだけ物理的に小さくして、寄生静電容量および放射ノイズを最小限に抑えてください。
- 出力電圧の安定化のためには、R1を負荷の近くに接続します。また、R2~TPS40222(GND)の接続も同様に負荷の近くに配置します。
- R1~R2接続部からTPS40222へのトレースは、SWノードのようなノイズ源やブースト回路から遠ざけます。
- TPS40222のGNDピンとサーマル・パッドは、「パッド設計」で示したようにデバイスの下で互いに接続します。熱伝導をよくするには、デバイスの真下のビアを使用して、サーマル・パッドをプリント基板の反対側のグランド・プレーンに接続します。

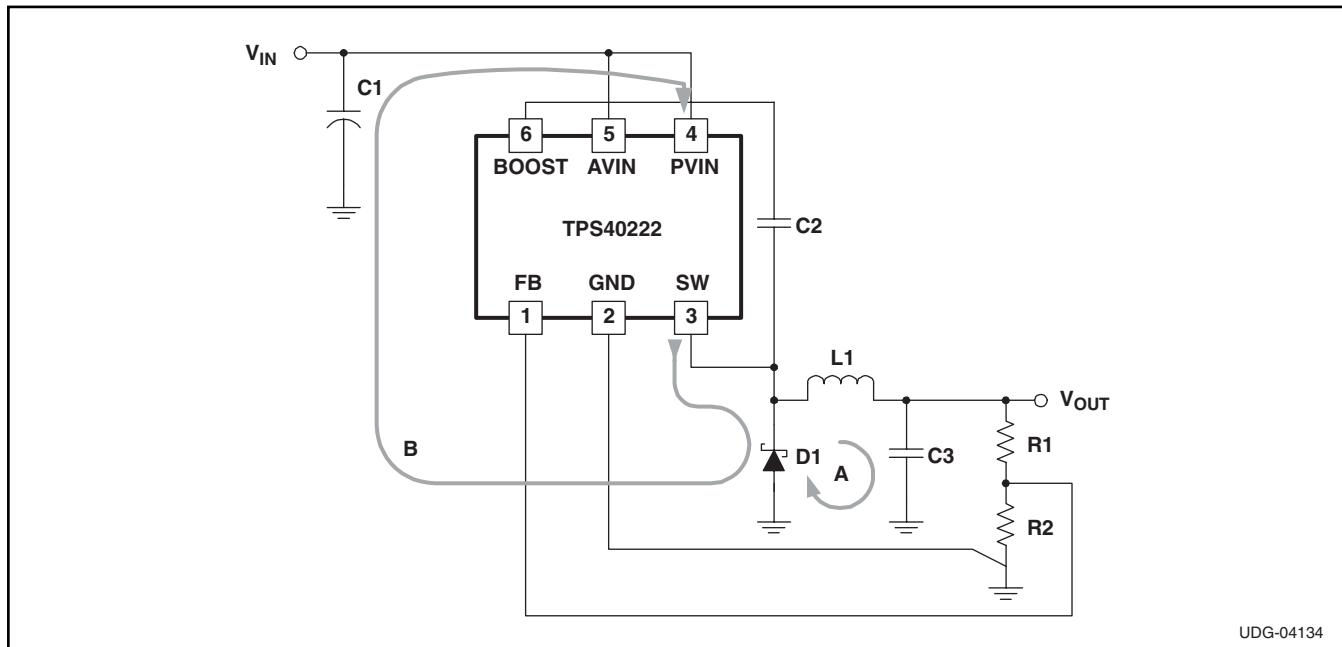


図 21. ノイズフリー・レイアウトの確保

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS40222DRPR	Active	Production	VSON (DRP)   6	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0222
TPS40222DRPR.A	Active	Production	VSON (DRP)   6	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0222
TPS40222DRPRG4	Active	Production	VSON (DRP)   6	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0222
TPS40222DRPT	Active	Production	VSON (DRP)   6	250   SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0222
TPS40222DRPT.A	Active	Production	VSON (DRP)   6	250   SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0222
TPS40222DRPTG4	Active	Production	VSON (DRP)   6	250   SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0222
TPS40222DRPTG4.A	Active	Production	VSON (DRP)   6	250   SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0222

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

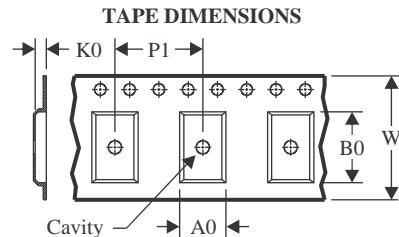
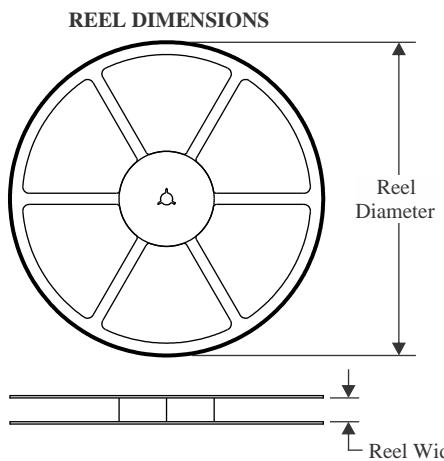
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

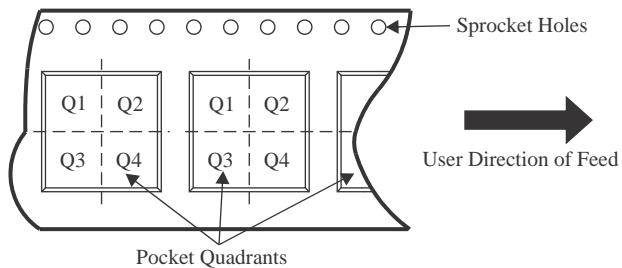


## TAPE AND REEL INFORMATION



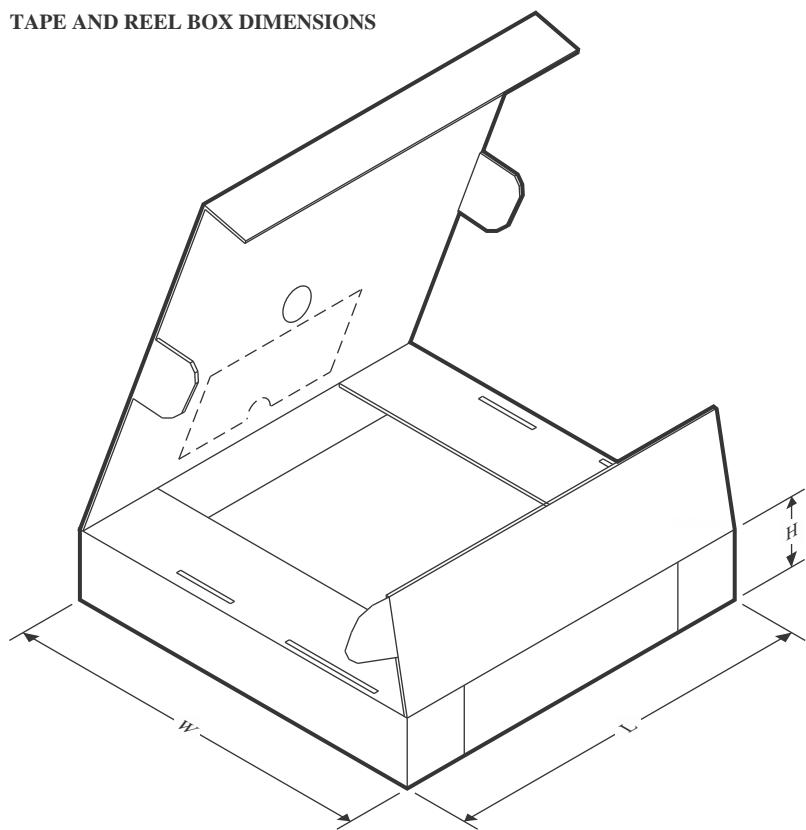
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS40222DRPR	VSON	DRP	6	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS40222DRPT	VSON	DRP	6	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS40222DRPTG4	VSON	DRP	6	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


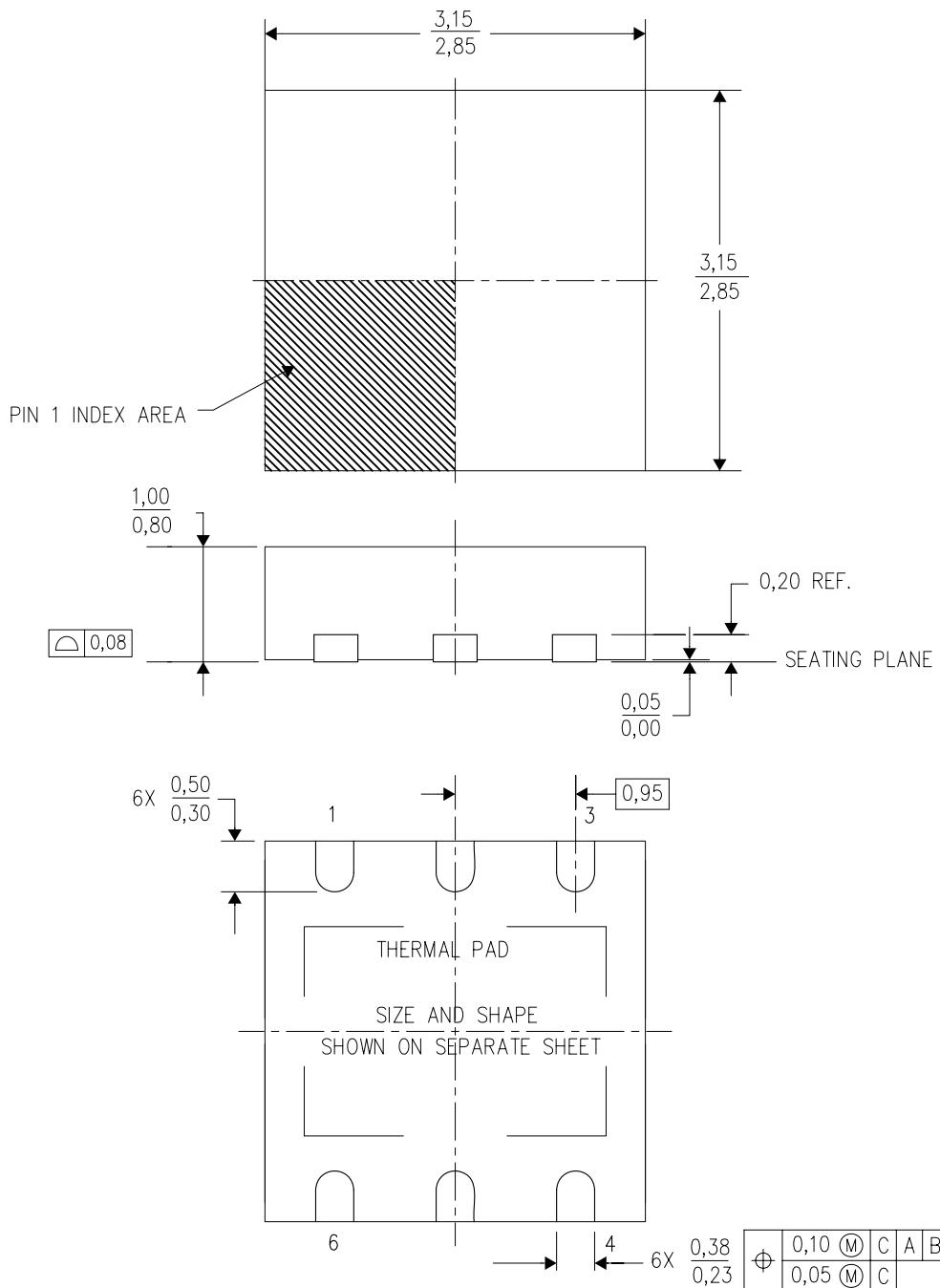
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS40222DRPR	VSON	DRP	6	3000	346.0	346.0	33.0
TPS40222DRPT	VSON	DRP	6	250	210.0	185.0	35.0
TPS40222DRPTG4	VSON	DRP	6	250	210.0	185.0	35.0

## MECHANICAL DATA

DRP (S-PVSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



4205935/E 06/11

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - This drawing is subject to change without notice.
  - Small Outline No-Lead (SON) package configuration.
  - The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

# THERMAL PAD MECHANICAL DATA

DRP (S-PVSON-N6)

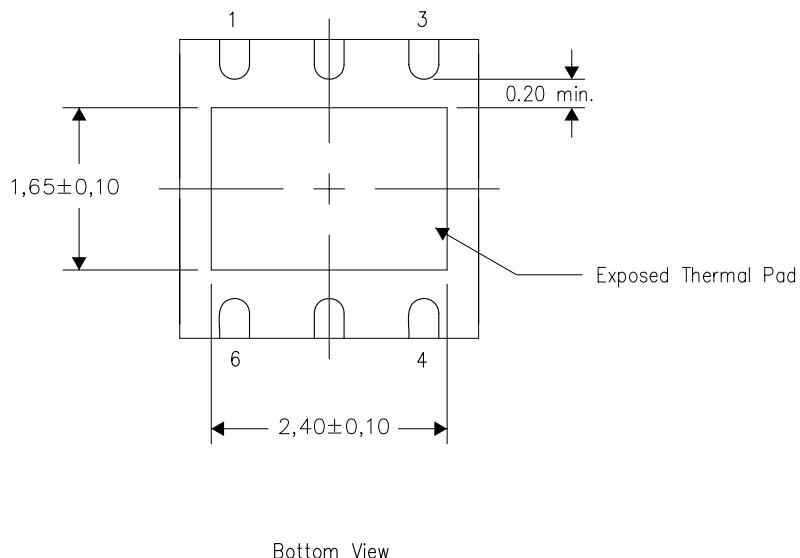
PLASTIC SMALL OUTLINE NO-LEAD

## THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at [www.ti.com](http://www.ti.com).

The exposed thermal pad dimensions for this package are shown in the following illustration.



Exposed Thermal Pad Dimensions

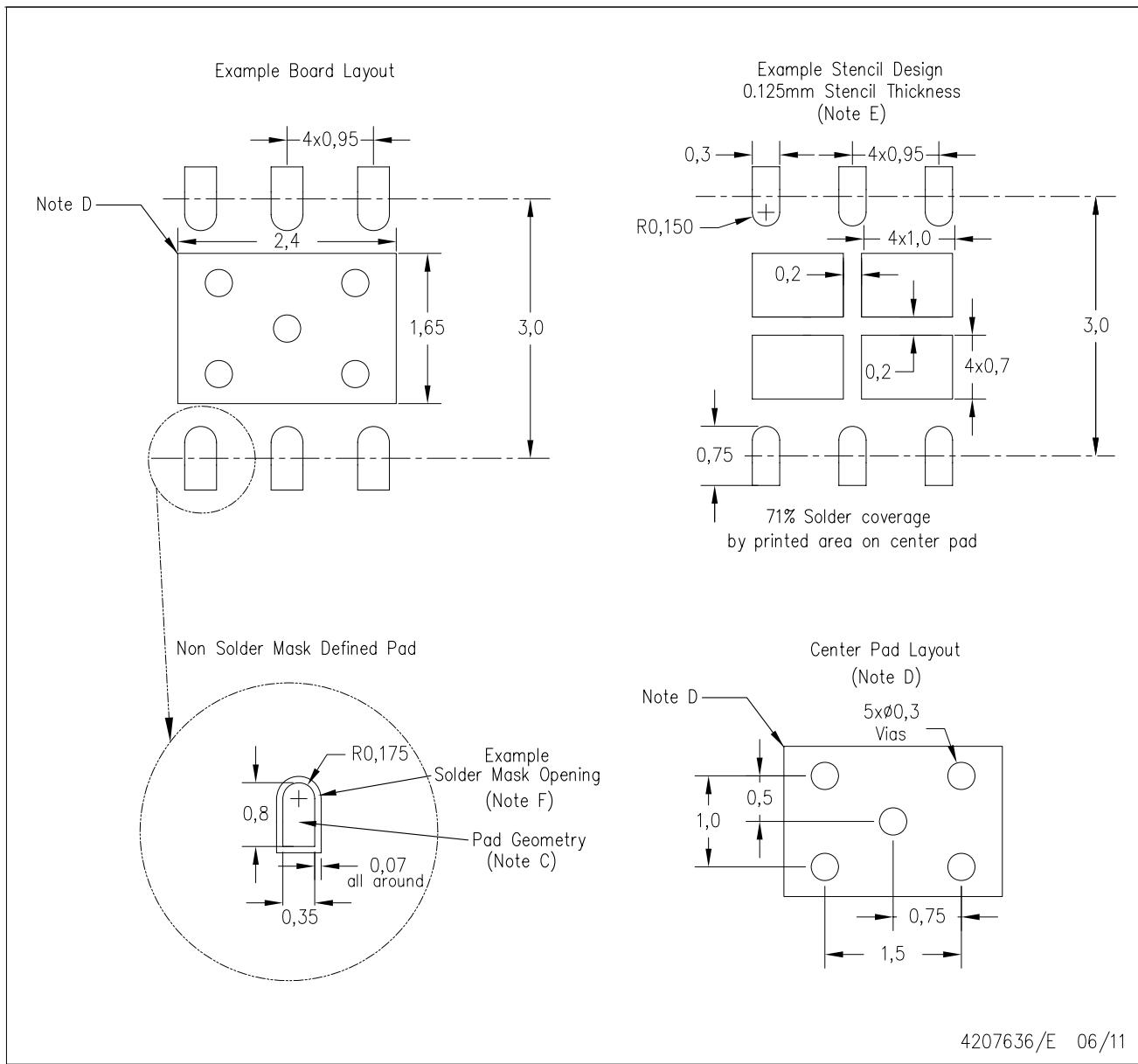
4207637/G 06/11

NOTE: All linear dimensions are in millimeters

# LAND PATTERN DATA

DRP (S-PVSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - F. Customers should contact their board fabrication site for solder mask tolerances.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月