TPS4810-Q1 短絡保護および診断機能搭載、100V、車載用、低 I_Q、バック ツー バック MOSFET スマート ハイサイド ドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認定済み
  - デバイス温度グレード 1:動作時周囲温度範囲 -40℃～+125℃
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 3.5V～95V の入力範囲 (絶対最大定格 100V)
- 最低 –65V までの逆入力保護
- 345μA の電流能力を持つ内蔵 11V チャージ ポンプ
- 低い静止電流:35μA (動作時)
- 1μA の低シャットダウン電流 (EN/UVLO = Low)
- 個別の制御入力 (INP1、INP2) を備えたバック ツー バック MOSFET 駆動用の 2 つの強力なゲート ドライバ (2A ソースとシンク)
- 外付けの Rsense または可変遅延 (TMR) 付き MOSFET VDS センシングを使用した可変短絡保護 (ISCP)
- ハイサイドまたはローサイドの電流検出構成 (CS_SEL)
- 短絡フォルト時のフォルト表示 ($\overline{\text{FLT}}$)、チャージ ポンプの低電圧、入力低電圧、および短絡コンパレータ診断 (SCP_TEST)
- 調整可能な入力低電圧誤動作防止 (UVLO)
- TPS1210-Q1 とピン互換

2 アプリケーション

- 車載用 48V リチウムイオン バッテリ管理システム
- DC/DC コンバータ
- 車載用パワー ディストリビューション ボックス
- コードレス電動工具

3 説明

TPS48100-Q1 は、保護および診断機能を備えた、100V、低 I_Q スマート ハイサイド ドライバです。動作電圧範囲が 3.5V ～ 95V と広いため、本デバイスは 12V、24V、48V システム設計に最適です。このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。

本デバイスは、コモン ソース構成でバック ツー バック MOSFET を駆動するために、独立した制御入力 (INP1、INP2) を備えた 2 つの強力な 2A (ソースとシンク) ゲート ドライバを備えています。強力な GATE 駆動により、大電流システム設計で並列 MOSFET を使用した電力スイッチングが可能になります。

このデバイスは、調整可能な短絡保護機能を備えています。自動リトライおよびラッチオフ フォルト動作を設定します。電流検出を、外付けの検出抵抗、または MOSFET VDS センシングのいずれかを使用して実行します。CS_SEL ピン入力を使用して、ハイサイドまたはローサイドの電流検出抵抗構成が可能です。このデバイスは、SCP_TEST 入力の外部制御を使用した、内蔵の短絡コンパレータを診断する機能も備えています。

動作時の静止電流が (代表値 35μA) と低いため、常時オンのシステム設計が可能です。EN/UVLO が Low で、静止電流が 1μA (代表値) まで低減します。

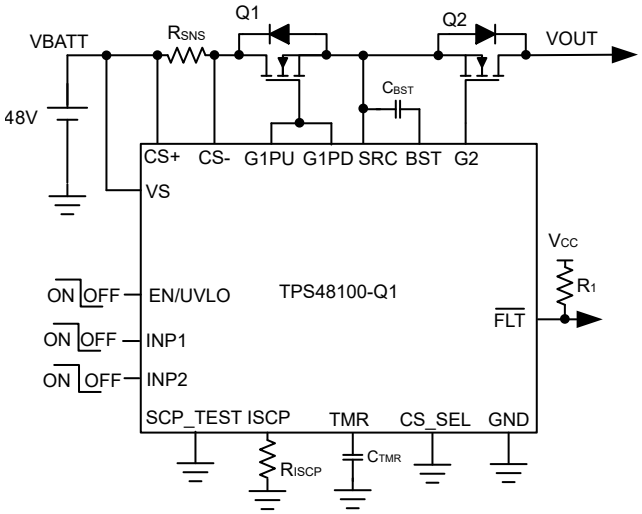
TPS48100-Q1 は、19 ピンの VSSOP パッケージで供給されます。

パッケージ情報

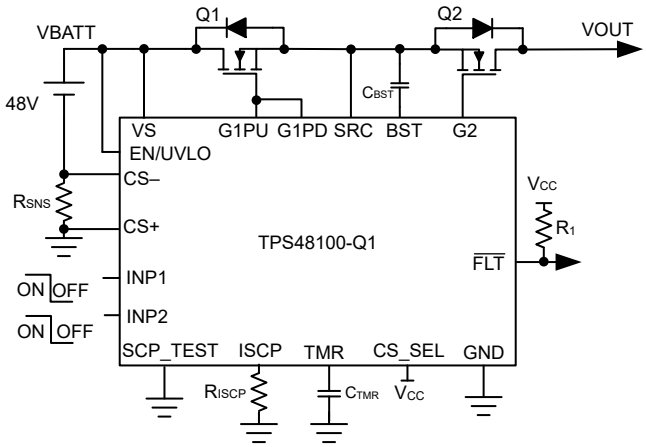
部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS48100-Q1	DGX (VSSOP、19)	5.1mm × 3.0mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



個別の放電および充電 FET 制御付きの BMS ブレーカ



ローサイド電流検出付き BMS ブレーカ

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 熱に関する情報.....7
5.5 電気的特性.....7
5.6 スイッチング特性.....8
5.7 代表的特性.....10
6 パラメータ測定情報.....12
7 詳細説明.....13
7.1 概要.....13
7.2 機能ブロック図.....13
7.3 機能説明.....13
7.4 デバイスの機能モード.....21
8 アプリケーションと実装.....22
8.1 使用上の注意.....22
8.2 代表的なアプリケーション：ローサイド電流検出を使用したバッテリ管理システム (BMS) のサーキット ブレーカ.....22
8.3 電源に関する推奨事項.....26
8.4 レイアウト.....27
9 デバイスおよびドキュメントのサポート.....29
9.1 ドキュメントの更新通知を受け取る方法.....29
9.2 サポート・リソース.....29
9.3 商標.....29
9.4 静電気放電に関する注意事項.....29
9.5 用語集.....29
10 改訂履歴.....29
11 メカニカル、パッケージ、および注文情報.....30

4 ピン構成および機能

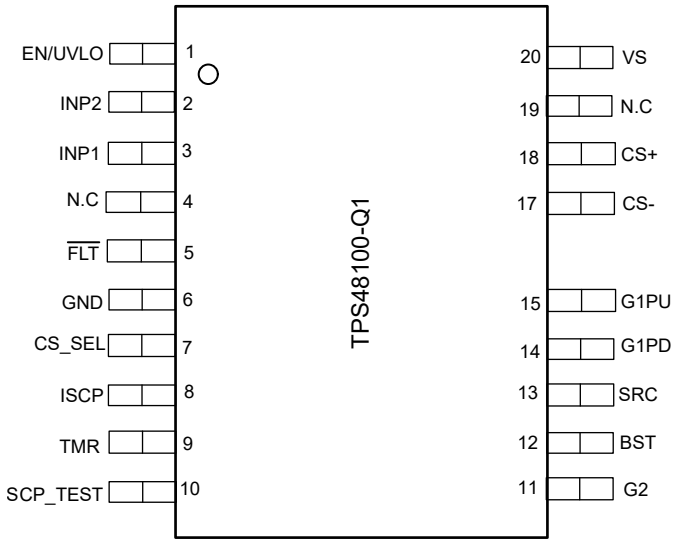


図 4-1. DGX パッケージ、19 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ[(1)]	説明
名称	番号		
EN/UVLO	1	I	EN/UVLO 入力。このピンの電圧が 1.24V を上回ると、通常動作が可能になります。このピンを 0.3V 未満に強制すると、デバイスがシャットダウンし、静止電流が約 1.5μA に低下します。オプションで、抵抗デバイダ経由で入力電源に接続し、低電圧誤動作防止を設定します。 EN/UVLO がフローティングになっている場合、100nA の内部プルダウンにより、EN/UVLO が Low になり、デバイスがシャットダウン状態のままになります。
INP2	2	I	外部充電 FET 制御のための入力信号。G2 ピンの状態を設定する GND への CMOS 互換入力リファレンス。 INP2 は、INP2 がフローティングのままのときに GND が G2 を SRC にプルダウンするために、100nA の弱い内部プルダウンを備えています。
INP1	3	I	外部放電 FET 制御のための入力信号。G1PD ピンと G1PU ピンの状態を設定する GND への CMOS 互換入力リファレンス。 INP1 は、INP1 がフローティングのままのときに GND が G1PD を SRC にプルダウンするために、100nA の弱い内部プルダウンを備えています。
N.C	4	—	接続なし。
$\overline{FLT}$	5	O	オープンドレイン立ち下がり出力。短絡フォルト、チャージ ポンプ UVLO、入力 UVLO、および SCP コンパレータ診断中は、このピンは Low にアサートされます。$\overline{FLT}$ 機能が不要な場合は、GND に接続します。
GND	6	G	GND をシステム グランドに接続します。
CS_SEL	7	I	電流検出選択入力。このピンをグランドに接続すると、ハイサイド電流検出が有効になります。このピンを 2V を超える電圧に駆動すると、ローサイド電流検出が有効になります。 CS_SEL は、GND への 100nA の弱い内部プルダウンがあります。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[(1)]	説明
名称	番号		
ISCP	8	I	短絡検出設定。ISCP と GND の間に抵抗を接続することで、短絡電流コンパレータのスレッショルドが設定されます。 短絡保護機能が必要ない場合は、CS+、CS–、VS ピンを互いに接続します。また、ISCP ピンと TMR ピンを GND に接続します。
TMR	9	I	故障タイマ入力。TMR ピンと GND の間にコンデンサを接続することで、故障時のターンオフ時間が設定されます。 最速の設定にするには、オープンのままにします。最速の応答を設定するには、このピンをオープンのままにします。短絡保護機能が必要ない場合は、CS+、CS–、VS ピンを互いに接続します。また、ISCP ピンと TMR ピンを GND に接続します。
SCP_TEST	10	I	内部の短絡コンパレータ (SCP) の診断入力。 INP1 を High にした状態で SCP_TEST が Low から High に駆動されると、内部 SCP コンパレータ動作がチェックされます。SCP コンパレータが正常に動作している場合、$\overline{\text{FLT}}$ が Low になり、G1PD が SRC にプルされます。 この機能が必要ない場合は、SCP_TEST ピンを GND に接続します。 SCP_TEST には、GND への 100nA の弱い内部プルダウンがあります。
G2	11	O	充電 FET ゲートドライブ出力。1.69A ピーク ソースおよび 2A シンク容量。G2 ドライブ機能を使用しない場合は、G2 ピンをフローティングのままにします。
BST	12	O	ハイサイド ブートストラップ電源。このピンと SRC との間に、外部 FET の $Q_{g(tot)}$ を上回る最小値の外部コンデンサを接続する必要があります。
SRC	13	O	外部 FET のソース接続。
G1PD	14	O	大電流ゲートドライバのプルダウン。このピンは、SRC にプルダウンされています。ターンオフを最速にするには、このピンを外部ハイサイド MOSFET のゲートに直接接続します。
G1PU	15	O	大電流ゲートドライバのプルアップ。このピンは BST にプルアップされています。ゲート駆動遷移速度を最大にするには、このピンを G1PD に接続します。このピンと外部 MOSFET のゲートとの間に抵抗を接続することで、ターンオン時の突入電流を制御できます。
CS–	17	I	電流センスの負入力。
CS+	18	I	電流センスの正入力。
N.C	19	—	接続なし。
VS	20	P	コントローラの電源ピン。

(1) I = 入力、O = 出力、I/O = 入出力、P = 電源、G = グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
入力ピン:	VS、CS+、CS– から GND へ	-65	100	V
	SRC ～ GND	-65	100	
	G1PU、G1PD、G2、BST から SRC へ	-0.3	19	
	ISCP、TMR、SCP_TEST から GND へ	-0.3	5.5	
	EN/UVLO、INP1、INP2、CS_SEL、$V_{(VS)}$ > 0V	-1	70	
	EN/UVLO、INP1、INP2、CS_SEL、$V_{(VS)}$ ≤ 0V	$V_{(VS)}$	(70 + $V_{(VS)}$)	
	CS+ から CS- へ	-1	100	V
	$\overline{FLT}$ から GND へ	-1	20	V
シンク電流	$I_{(FLT)}$		10	mA
	$I_{(CS+)}$、$I_{(CS–)}$、1ms	-100	100	mA
出力ピン	G1PU、G1PD、G2、BST から GND へ	-65	112	V
動作時の接合部温度、T_j		-40	150	°C
保管温度、T_{stg}		-55	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[(1)]		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	コーナー ピン (EN/UVLO、VS、SCP_TEST、G2)	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	公称値	最大値	単位
入力ピン:	VS から GND へ	3.5		95	V
	短絡保護時の VS ピンの最小電圧	4			
	EN/UVLO、INP1、INP2、CS_SEL から GND へ	0		65	
出力ピン	$\overline{FLT}$ から GND へ	0		15	V
外付けコンデンサ	VS、SRC ～ GND	22			nF
	BST ～ SRC	0.1			µF
Tj	動作時接合部温度	-40		150	°C

(1) 推奨動作条件は、デバイスが機能すると想定されている条件を示します。仕様およびテスト条件については、「電気的特性」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準[1]		TPS4810-Q1 DGX 19 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	92.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	28.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	47.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	47.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

T_J = –40°C～+150°C. $V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 11V

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧						
VS	動作時入力電圧		3.5		95	V
$V_{(S_PORR)}$	入力電源 POR スレッショルド、立ち上がり		1.84	2.55	3.31	V
$V_{(S_PORF)}$	入力電源 POR スレッショルド、立ち下がり		1.7	2.33	3.06	V
$I_{(Q)}$	システム全体の静止電流、$I_{(GND)}$	$V_{(EN/UVLO)}$ = 2V		35	49	µA
	システム全体の静止電流、$I_{(GND)}$	$V_{(EN/UVLO)}$ = 2V、–40°C ≤ T_J ≤ +85°C			44	µA
$I_{(SHDN)}$	SHDN 電流、$I_{(GND)}$	$V_{(EN/UVLO)}$ = 0V、$V_{(SRC)}$ = 0V		1	4.6	µA
$I_{(REV)}$	逆極性時の $I_{(VS)}$ リーク電流	0V ≤ $V_{(VS)}$ ≤ – 65V	19	22.4	46	µA
有効化、低電圧誤動作防止 (EN/UVLO)、短絡コンパレータ テスト (SCP_TEST) 入力						
$V_{(UVLOR)}$	UVLO スレッショルド電圧、立ち上がり		1.168	1.23	1.3	V
$V_{(UVLOF)}$	UVLO スレッショルド電圧、立ち下がり		1.083	1.138	1.19	V
$V_{(ENR)}$	低 IQ シャットダウンのイネーブル スレッショルド電圧、立ち上がり				1.03	V
$V_{(ENF)}$	低 Iq シャットダウンのイネーブル スレッショルド電圧、立ち下がり		0.292			V
$I_{(EN/UVLO)}$	イネーブル入力リーク電流	$V_{(EN/UVLO)}$ = 70V			626	nA
$V_{(SCP_TEST_H)}$	SCP テスト モードの立ち上がりスレッショルド				2.03	V
$V_{(SCP_TEST_L)}$	SCP テスト モードの立ち下がりスレッショルド		0.77			V
$I_{(SCP_TEST)}$	SCP_TEST の入力リーク電流			90	910	nA
チャージ ポンプ (BST–SRC)						
$I_{(BST)}$	チャージ ポンプ電源電流	$V_{(BST-SRC)}$ = 10V、$V_{(EN/UVLO)}$ = 2V	190	345	510	µA
$V_{(BST_UVLOR)}$	$V_{(BST-SRC)}$ UVLO 電圧スレッショルド、立ち上がり	$V_{(EN/UVLO)}$ = 2V	8	9	9.93	V
$V_{(BST_UVLOF)}$	$V_{(BST-SRC)}$ UVLO 電圧スレッショルド、立ち下がり	$V_{(EN/UVLO)}$ = 2V	7.28	8.2	8.93	V
$V_{(BST-SRC_ON)}$	チャージ ポンプのターン オン電圧	$V_{(EN/UVLO)}$ = 2V	9.27	10.3	11.43	V
$V_{(BST-SRC_OFF)}$	チャージ ポンプのターンオフ電圧	$V_{(EN/UVLO)}$ = 2V	10.37	11.6	12.83	V
$V_{(BST-SRC)}$	$V_{(VS)}$ = 3.5V でのチャージ ポンプ電圧	$V_{(EN/UVLO)}$ = 2V	9	10.5	11.63	V

5.5 電気的特性 (続き)

T_J = –40°C～+150°C. $V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 11V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{(SRC)}$	SRC ピンのリーク電流	$V_{(EN/UVLO)}$ = 2V、$V_{(INP1)}$ = $V_{(INP2)}$ = 0V		0.85	1.4	µA
ゲートドライバ出力 (G1PU、G1PD、G2)						
$V_{(G1_GOOD)}$	G1 グッド立ち上がりスレッショルド		5.47	7	8.33	V
$I_{(G1PU)}$	ピーク ソース電流			1.62		A
$I_{(G1PD)}$	ピーク シンク電流			2		A
$I_{(G2)}$	G2 ピーク ソース電流			1.62		A
$I_{(G2)}$	G2 ピーク シンク電流			2		A
短絡保護 (ISCP)						
I_{SCP}	SCP 入力バイアス電流		8.34	10	13.6	µA
$V_{(SCP)}$	SCP スレッショルド	$R_{(ISCP)}$ = 140.5kΩ		300		mV
		$R_{(ISCP)}$ = 28kΩ	58.8	75	91.8	mV
		$R_{(ISCP)}$ = 10.5kΩ	31.6	40	49.5	mV
		$R_{(ISCP)}$ = 500Ω	14.8	20	25.3	mV
		$R_{(ISCP)}$ = オープン			757	mV
$V_{(SCP)}$	ISCP ピンの外部バイアス電圧での SCP スレッショルド	$V_{(ISCP)}$ = 1.405V	279	300	319	mV
		$V_{(ISCP)}$ = 280mV	67	75	83	mV
		$V_{(ISCP)}$ = 105mV	33	40	47	mV
遅延タイマ (TMR)						
$I_{(TMR_SRC_CB)}$	TMR ソース電流		67	87	114	µA
$I_{(TMR_SRC_FLT)}$	TMR ソース電流		1.4	2.73	4.8	µA
$I_{(TMR_SNK)}$	TMR シンク電流		2.17	2.8	4.3	µA
$V_{(TMR_SC)}$	TMR トリップ High レベル スレッショルド		0.924	1.1	1.21	V
$V_{(TMR_LOW)}$	TMR トリップ Low レベル スレッショルド		0.148	0.21	0.25	V
$N_{(A\text{-}R\ Count)}$				32		
入力制御 (INP1、INP2)、電流検出選択 (CS_SEL) および故障フラグ ($\overline{FLT}$)						
$R_{(FLT)}$	$\overline{FLT}$ プルダウン抵抗		52	83	110	Ω
$I_{(FLT)}$	$\overline{FLT}$ の入力リーク電流	0V ≤ $V_{(FLT)}$ ≤ 20V			530	nA
$V_{(INP1_H)}$、$V_{(INP2_H)}$	INP の High レベル スレッショルド				2.02	V
$V_{(INP1_L)}$、$V_{(INP2_L)}$	INP の Low レベル スレッショルド		0.787			V
$I_{(INP1)}$、$I_{(INP2)}$	INP の入力リーク電流			98	240	nA
$V_{(CS_SEL_H)}$	ローサイド検出用の CS_SEL スレッショルド				2.06	V
$V_{(CS_SEL_L)}$	ハイサイド検出用の CS_SEL スレッショルド		0.786			V

5.6 スイッチング特性

T_J = –40°C～+150°C. $V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 11V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{G1PU(INP_H)}$	INP1 ターンオン伝搬遅延	INP1 ↑～G1PU ↑、C_L = 47nF	0.19		1.62	µs
$t_{G2(INP2_H)}$	INP2 ターンオン伝搬遅延	INP2 ↑～G2 ↑、C_L = 47nF	2.7	4.5	7.2	µs

Copyright © 2026 Texas Instruments Incorporated

5.6 スイッチング特性 (続き)

T_J = –40°C～+150°C. $V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 11V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{G1PD(INP_L)}$	INP1 ターンオフ伝搬遅延	INP1 ↓～G1PD ↓、C_L = 47nF		0.29	0.91	µs
$t_{G2(INP2_L)}$	INP2 ターンオフ伝搬遅延	INP2 ↓～G2 ↓、C_L = 47nF	2.7	4.4	7.3	µs
$t_{PD(EN_OFF)}$	EN ターンオフ伝搬遅延	EN ↓ ～ G1PD ↓、C_L = 47nF	2.2	4.6	6.5	µs
$t_{PD(UVLO_OFF)}$	UVLO ターンオフ伝搬遅延	UVLO ↓ から G1PD ↓ および $\overline{FLT}$ ↓、C_L = 47nF	2.8	4.2	6.5	µs
t_{SC}	ハード短絡保護の伝搬遅延	$V_{(CS+-CS-)}$↑ $V_{(SCP)}$ ～ G1PD ↓、CL = 47nF、$C_{(TMR)}$ = オープン			4.3	µs
t_{SC_PUS}	出力短絡における電源投入時の短絡保護伝搬遅延	C_{TMR} = オープン			10.7	µs
F_{ISCP}	ISCP パルス電流周波数			1.18		kHz

5.7 代表的特性

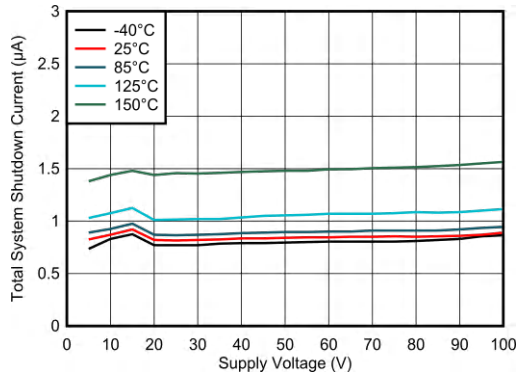


図 5-1. シャットダウン電源電流と電源電圧との関係

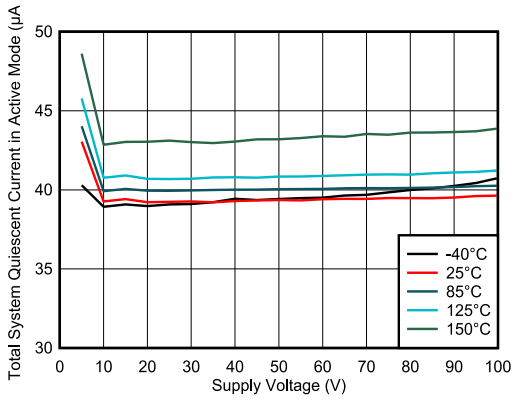


図 5-2. アクティブ モードでの動作静止電流と電源電圧との関係

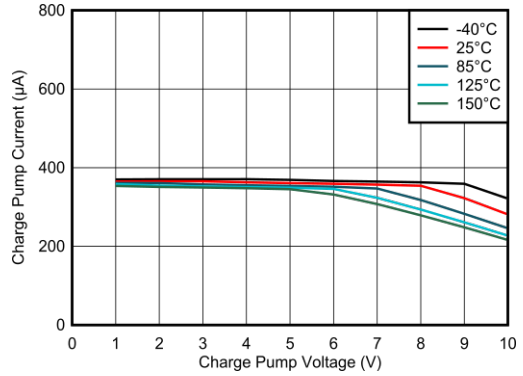


図 5-3. チャージ ポンプ電流とチャージ ポンプ電圧との関係

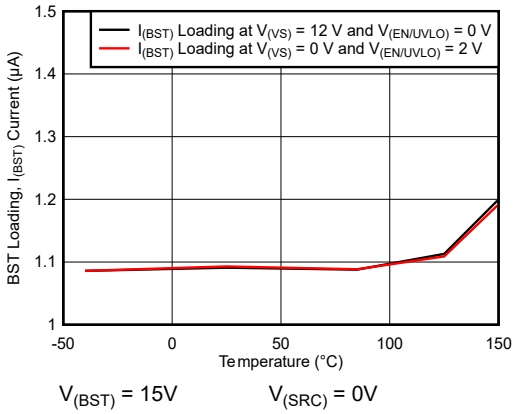


図 5-4. BST 負荷電流 ($I_{(BST)}$) と温度との関係

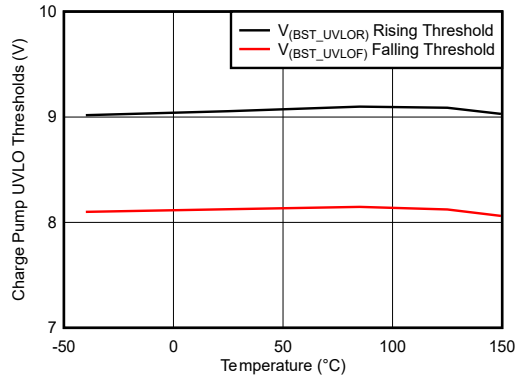


図 5-5. チャージ ポンプ UVLO スレッショルドと温度との関係

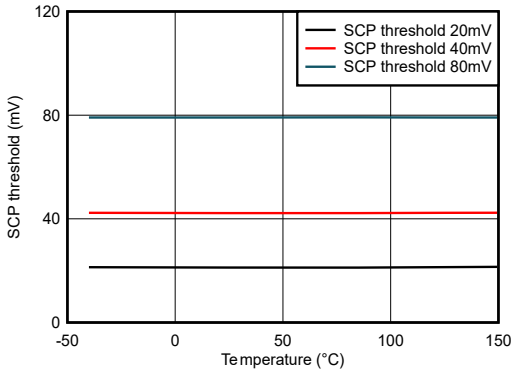


図 5-6. 短絡スレッショルド ($V_{(SCP)}$) と温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

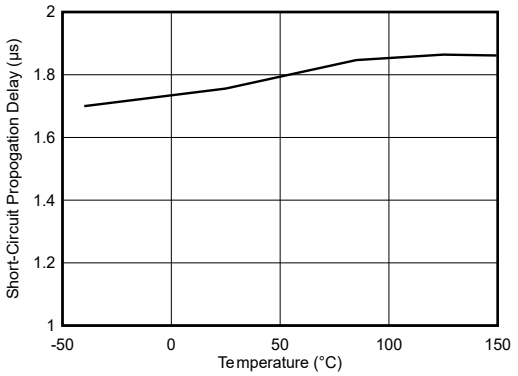


図 5-7. 短絡保護応答時間 (t_{SC}) と温度との関係

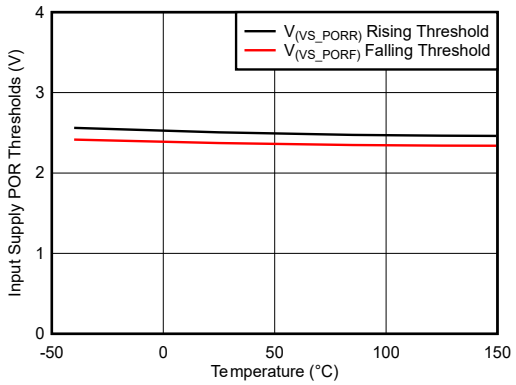


図 5-8. 入力電源の POR スレッショルドと温度との関係

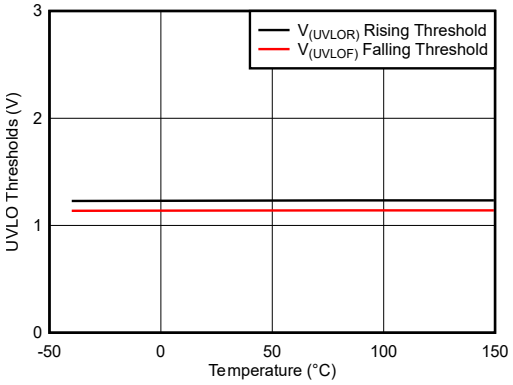


図 5-9. 入力電源の UVLO スレッショルドと温度との関係

6 パラメータ測定情報

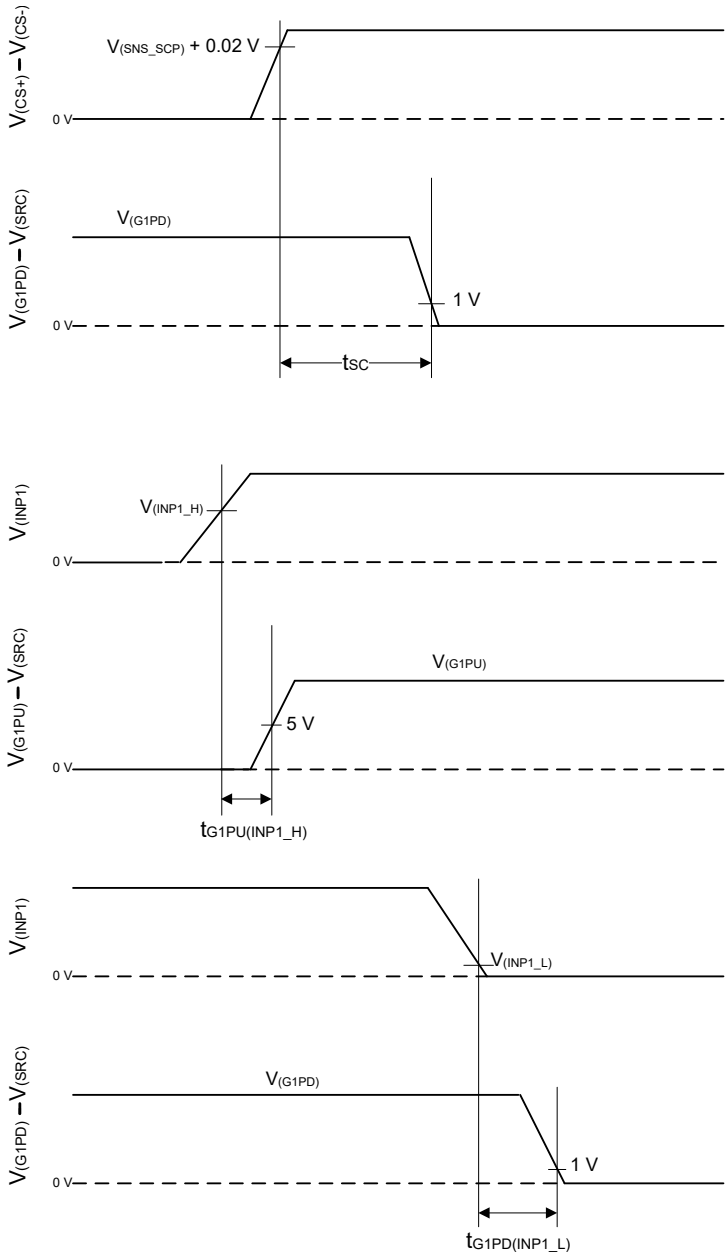


図 6-1. タイミング波形

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TPS48100-Q1 は、保護および診断機能を備えた、100V、低 IQ、スマート ハイサイド ドライバです。本デバイスは、動作電圧範囲が 3.5V～95V と広いため、12V、24V、48V のシステム設計に適しています。このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。

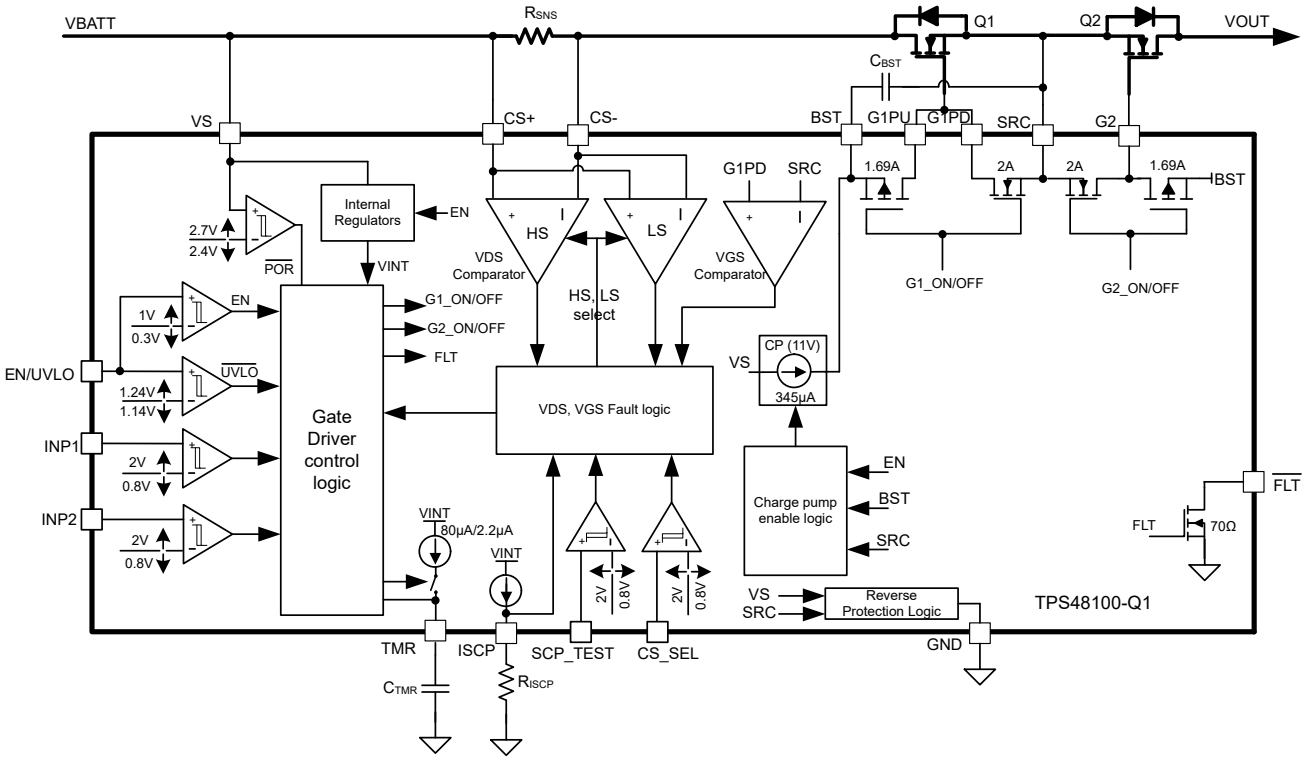
本デバイスは、コモン ソース構成でバック ツー バック MOSFET を駆動するために、独立した制御入力 (INP1、INP2) を備えた 2 つの強力な 1.69A および 2A の強力なソースとシンク ゲートドライバを備えています。強力な GATE 駆動により、大電流システム設計で並列 FET を使用した電力スイッチングが可能になります。

このデバイスは、ISCP ピンと TMR ピンを使用して、それぞれスレッショルドと応答時間を調整する設定可能な短絡保護機能を搭載しています。自動リトライおよびラッチオフ フォルト動作は設定可能です。TPS48100-Q1 では、CS+ ピンおよび CS– ピンを使用することで、外部センス抵抗、または MOSFET VDS 検出のいずれかを使用して電流検出を実行できます。CS_SEL ピン入力を使用して、ハイサイドまたはローサイドの電流検出抵抗構成が可能です。SCP_TEST 入力の外部制御を使用して、内蔵の短絡コンパレータを診断できます。

本デバイスは、短絡、チャージ ポンプ低電圧、入力低電圧条件時のオープン ドレイン出力のフォルト ($\overline{FLT}$) を表示します。

動作時の静止電流が 35μA (代表値) と低いため、常時オンのシステム設計が可能です。EN/UVLO が Low で、静止電流が 1μA (代表値) まで低減します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 チャージ ポンプとゲート ドライバの出力 (VS、G1PU、G1PD、G2、BST、SRC)

図 7-1 に、チャージ ポンプとゲート ドライバ回路の実装の概略図を示します。本デバイスは、2 つの強力なピーク 1.69A/2A のソース / シンク ゲートドライバを搭載しており、大電力システム設計で FET を並列接続でき、飽和領域にお

ける遷移時間を最小限に抑えます。11V で、345µA のチャージ ポンプが VS 端子から生成され、ゲートドライバ (BST と SRC) の両端に配置された外部ブートストラップ コンデンサ C_{BST} を充電します。

VS はコントローラの電源ピンです。VS を印加し、EN/UVLO を High にすると、チャージ ポンプがオンになり、C_{BST} コンデンサを充電します。C_{BST} の両端の電圧が $V_{(BST_UVLOR)}$ を超えると、ゲートドライバ セクションがアクティブになります。このデバイスには 1V (標準値) の UVLO ヒステリシスがあり、最初のゲート ターンオン時の性能のチャタリングが低減されます。外部 FET Q_G と FET のターンオン時に許容されるディップに基づいて C_{BST} を選択します。チャージ ポンプは、BST から SRC への電圧が通常 11.8V に達するまで有効に維持されます。この時点でチャージ ポンプは無効化され、VS ピンに流れる電流が減少します。BST から SRC への電圧が放電して 10V に達するまで、チャージ ポンプは無効のまま維持され、通常はその時点でチャージ ポンプが有効化されます。図 7-2 に示すように、BST と SRC の間の電圧は 11.8V～10V の間で充電および放電を継続します。

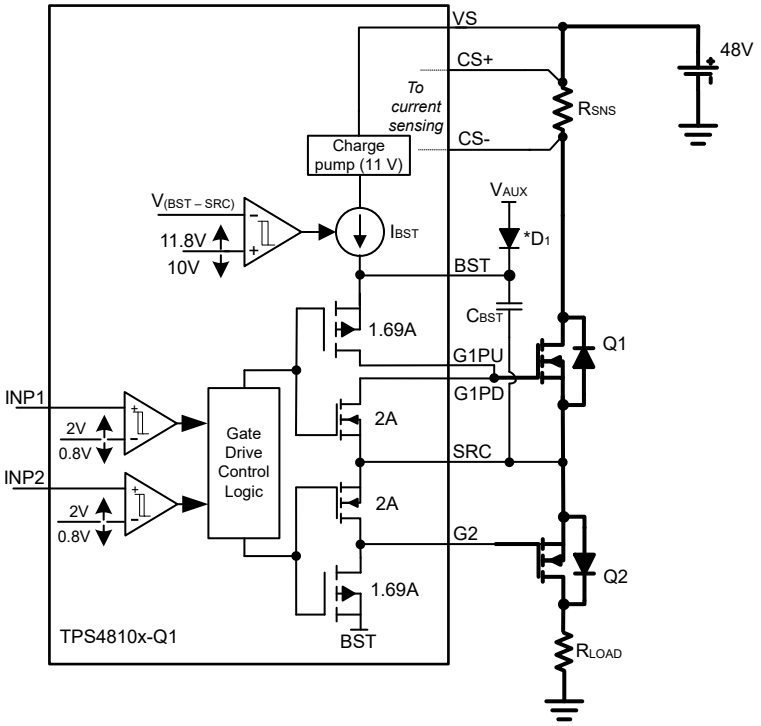


図 7-1. ゲート ドライバ

Copyright © 2026 Texas Instruments Incorporated

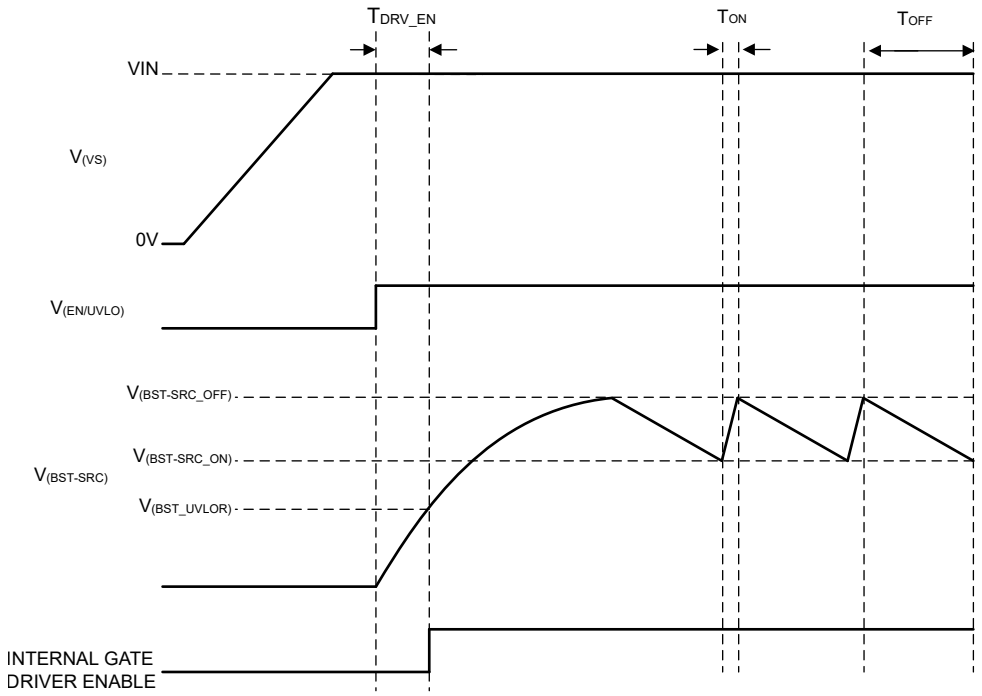


図 7-2. チャージ ポンプ動作

ゲートドライバの初期イネーブル遅延を計算するには、次の式を使用します。

$$T_{DRV_EN} = \frac{C_{BST} \times V_{(BST_UVLOR)}}{345\ \mu A} \quad (1)$$

ここで、

C_{BST} は、BST と SRC ピンの間に接続されているチャージ ポンプ容量です

$V_{(BST_UVLOR)}$ = 9.5V (最大値)。

図 7-3 に示されているように、T_{DRV_EN} を低減する必要がある場合は、外部 V_{AUX} の低リーケージのダイオード D_1 を経由した電源を使用して、BST 端子を外部からプリバイアスします。この接続では、T_{DRV_EN} は 400µs まで減少します。BST に外部電源を供給する TPS48100-Q1 アプリケーション回路を 図 7-3 に示します。

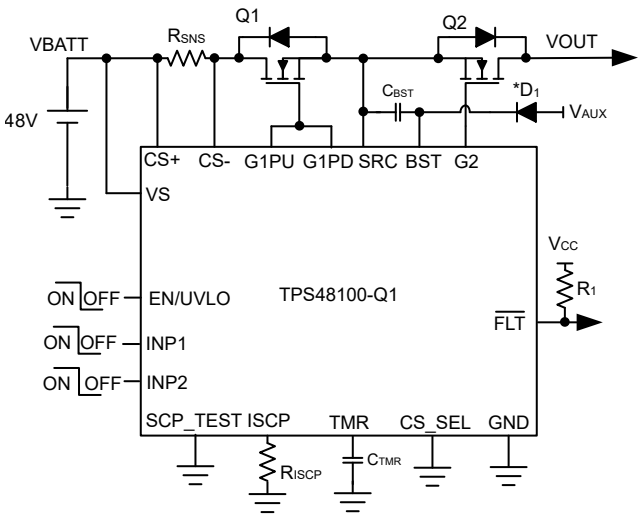


図 7-3. BST への外部電源を使用した TPS48100-Q1 アプリケーション回路

注

V_{AUX} には、8V～18V の範囲の外部安定化電源を供給してください。

7.3.2 FET ゲート (G1PU、G1PD) スルー レート制御を使用した容量性負荷駆動

容量性負荷での外部 FET (Q1) のターンオン時の突入電流を制限するには、図 7-4 に示されているように、R_1、R_2、C_1 を使用します。R_1 と C_1 の部品により、Q1 FET のゲートの電圧ランプ レートが遅くなります。FET ソースはゲート電圧に追従して、出力コンデンサ両端間の制御された電圧上昇が発生します。

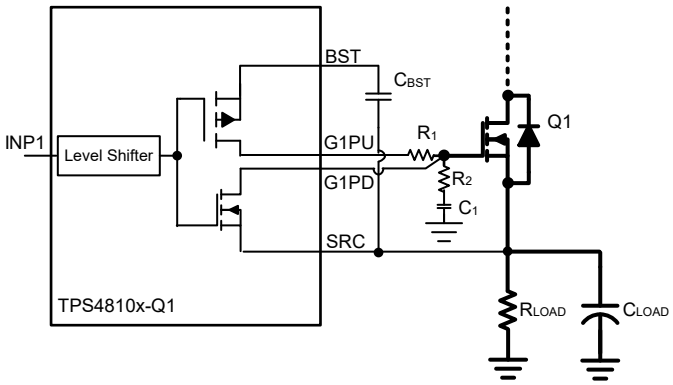


図 7-4. G1 ゲート ドライブを使用した突入電流制限

式 2 を使用して、FET のターンオン時の突入電流を計算します。

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT}}{T_{charge}} \tag{2}$$

$$C_1 = \frac{0.63 \times V_{(BST - SRC)} \times C_{LOAD}}{R_1 \times I_{INRUSH}} \tag{3}$$

ここで、

Copyright © 2026 Texas Instruments Incorporated

C_{LOAD} は、負荷容量です。

VBATT は入力電圧、T_{charge} は充電時間です。

$V_{(BST-SRC)}$ は、チャージ ポンプ電圧 (11V) です。

ダンピング抵抗 R_2 (約 10Ω) を C_1 と直列に使用します。式 3 を使用して、目標突入電流に必要な C_1 値を計算します。R_1 の 100kΩ 抵抗は、計算の開始点として適切です。

TPS48100-Q1 の G1PD ピンを Q1 FET のゲートに直接接続することで、R_1 および C_1 部品の影響を受けることなく高速ターンオフを実現できます。

C_1 の場合、ターンオン時に C_{BST} の負荷が追加され、充電されます。以下の式を用いて、必要な C_{BST} 値を計算します。

$$C_{BST} = \frac{Q_{g(total)}}{\Delta V_{BST}} + 10 \times C_1 \quad (4)$$

ここで、

$Q_{g(total)}$ は、FET の総ゲート電荷です。

ΔV_{BST} (1V 標準値) は、BST ピンと SRC ピンの間のリップル電圧です。

7.3.3 短絡保護

TPS48100-Q1 は調整可能な短絡保護機能を特長としています。それぞれ R_{ISCP} 抵抗と C_{TMR} コンデンサを使用して、スレッショルドと応答時間を調整します。このデバイスは、CS+ ピンと CS– ピンの間の電圧を検出します。

これらのピンを、外部のハイサイドおよびローサイド電流センス抵抗 (R_{SNS}) の両端、または FET RDSON 検出用の FET ドレイン端子とソース端子の間に接続します (それぞれ 図 7-5、図 7-6 および 図 7-7 を参照)。

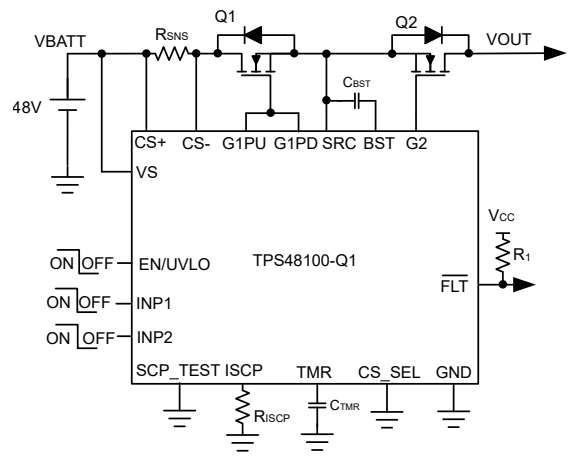


図 7-5. 外部センス抵抗 RSNS によるハイサイド電流検出を使用する TPS48100-Q1 アプリケーション回路

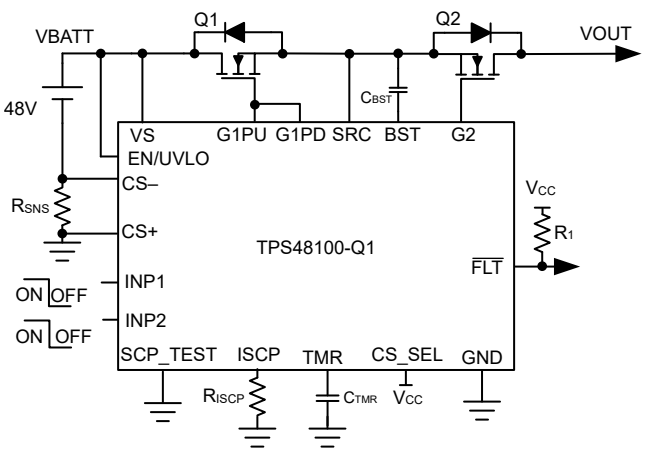


図 7-6. 外部センス抵抗 RSNS によるローサイド電流検出を使用する TPS48100-Q1 アプリケーション回路

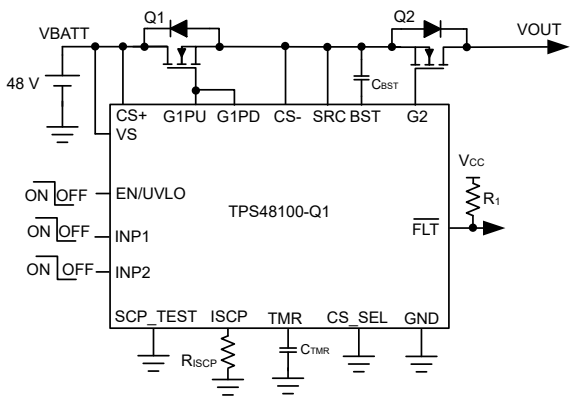


図 7-7. MOSFET RDSON による電流検出を使用する TPS48100-Q1 アプリケーション回路

ISCP ピンと GND ピンの間に外付け R_{ISCP} 抵抗を使用して、短絡検出スレッショルドを設定します。式 5 を用いて、必要な R_{ISCP} 値を計算します。

$$R_{ISCP}\left(\Omega\right) = \frac{\left(I_{SC} \times R_{SNS} - 19\ mV\right)}{2\ \mu A} \tag{5}$$

ここで、

R_{SNS} は電流センス抵抗の値、または FET R_{DSON} の値です。

I_{SC} は、目的の短絡電流レベルです。

短絡保護応答は、TMR ピンと GND ピンの間に C_{TMR} コンデンサを接続しない状態で最も高速になります。

デバイスの電源がオンで EN/UVLO および INP を High にした状態で、Q1 ターンオン中に、G1PD と SRC の間の電圧を監視することで、外部 FET Q1 (G1 ゲート駆動) の最初の VGS が検出されます。G1PD と SRC の間の電圧が $V_{(G1_GOOD)}$ スレッショルドを上回り、外部 FET がオンになったことが保証されると、SCP コンパレータの出力が監視されます。CS+ と CS– の間で検出された電圧が短絡設定点 (V_{SCP}) を超えると、G1PD は SRC に対して Low になり、$\overline{FLT}$ がアサートされます。以後のイベントを、以下のセクションで説明するように、自動再試行またはラッチオフのどちらかに設定します。

外部 FET (Q1) の VGS は、CS_SEL を Low にしたときのみ監視されます。ローサイド電流検出では、外部 FET (Q1) の VGS は監視されません (図 7-6 を参照)。

注

R_{ISCP} 抵抗ではなくバッファ経由で ISCP ピンに外部バイアス電圧を接続することで、短絡スレッショルドを設定します。これにより、電気的特性表に記載されているように、SCP スレッショルドの精度を向上させたシステム設計が可能になります。ISCP ピンに印加される外部バイアス電圧 IS は、以下の式で計算されます。

$$V_{(SCP_BIAS)}\ \text{in mV} = I_{SC} \times R_{SNS} \times 5 - 95\text{mV} \tag{6}$$

7.3.3.1 自動リトライ付き短絡保護

C_{TMR} は短絡保護遅延 (t_{SC}) と自動リトライ時間 (t_{RETRY}) をプログラムします。CS+ と CS– の両端の電圧が設定点を超えると、C_{TMR} は 80μA のプルアップ電流で充電を開始します。

C_{TMR} が $V_{(TMR_SC)}$ まで充電されると、G1PD は SRC に対して Low になり、$\overline{FLT}$ は Low にアサートされて、FET のターンオフが差し迫っていることが警告されます。このイベントの後、自動リトライ動作が開始します。C_{TMR} コンデンサは、

Copyright © 2026 Texas Instruments Incorporated

2.5μA のプルダウン電流で放電を開始します。電圧が $V_{(TMR_LOW)}$ レベルに達すると、コンデンサは 2.2μA のプルアップで再充電を開始します。C_{TMR} の 32 回の充電放電サイクルの後、FET は再度オンになり、$\overline{FLT}$ はデアサートされます。

デバイス再試行時間 (t_{RETRY}) は、式 8 に示すように、最初の C_{TMR} に基づいています。

式 7 を使用して、TMR と GND の間に接続する C_{TMR} コンデンサを計算します。

$$C_{TMR} = \frac{I_{TMR} \times t_{SC}}{1.1} \tag{7}$$

ここで、

I_{TMR} は 80μA の内部プルアップ電流です。

t_{SC} は望ましい短絡応答時間です。

t_{SC} が最も速くなるのは、C_{TMR} コンデンサが接続されていない場合です。

$$t_{RETRY} = 22.7 \times 10^6 \times C_{TMR} \tag{8}$$

短絡パルス幅が t_{SC} を下回ると、FET はオン状態を維持し、C_{TMR} が内部プルダウン スイッチを使用して放電されます。

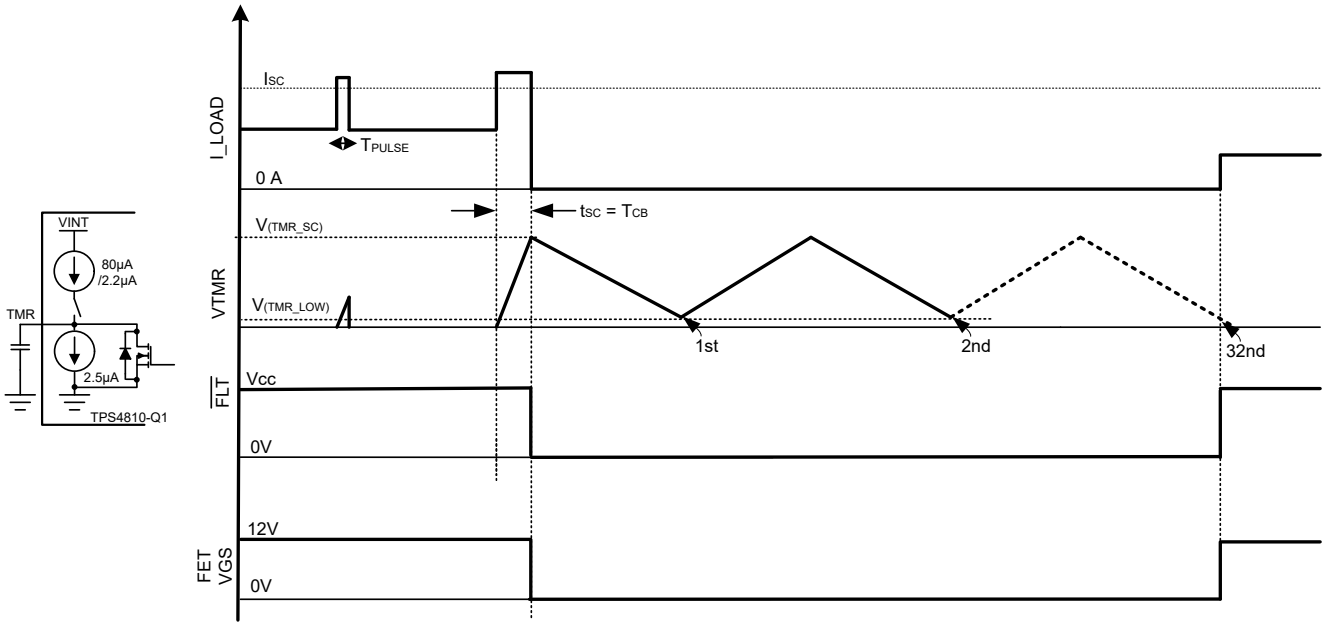


図 7-8. 自動リトライ付き短絡保護

7.3.3.2 ラッチオフ付き短絡保護

図 7-9 に示すように、C_{TMR} の両端に約 100kΩ の抵抗を接続します。この抵抗を使用すると、充電サイクル中に C_{TMR} の両端の電圧が $V_{(TMR_SC)}$ 未満のレベルにクランプされ、ラッチオフ動作が発生し、同時に $\overline{FLT}$ が Low にアサートされます。

式 9 を使用して、R_{TMR} = 100kΩ の TMR と GND の間に接続 C_{TMR} コンデンサを計算します。

$$C_{TMR} = \frac{t_{SC}}{R_{TMR} \times \ln\left(\frac{1}{1 - \frac{1.1}{R_{TMR} \times 80\ \mu A}}\right)} \tag{9}$$

ここで、

I_{TMR} は 80µA の内部プルアップ電流です。

t_{SC} は望ましい短絡応答時間です。

ラッチをリセットするには、INP1 または EN/UVLO ($V_{(ENF)}$ 未満) をトグルするか、VS を $V_{(VS_PORF)}$ 未満にパワー サイクルします。Low エッジでは、タイマ カウンタがリセットされ、C_{TMR} が放電されます。INP1 が High になると、G1PU は BST にプルアップされます。

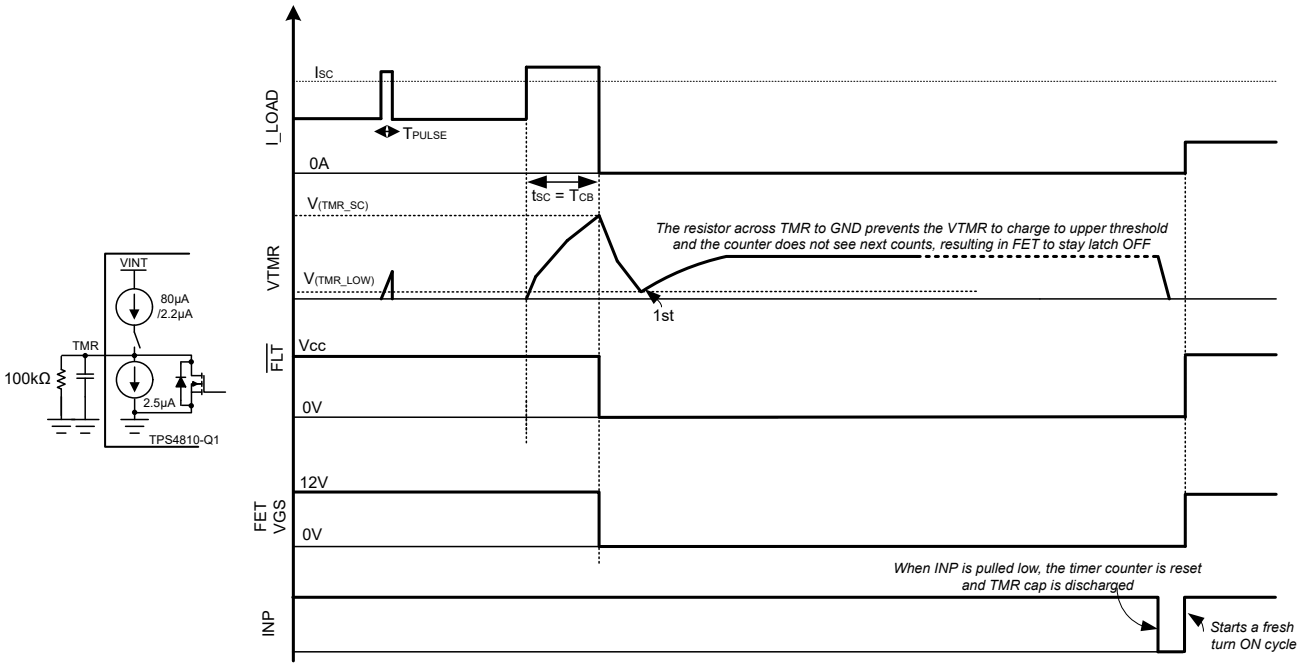


図 7-9. ラッチオフ付き短絡保護

7.3.4 低電圧誤動作防止 (UVLO)

TPS48100-Q1 には、EN/UVLO ピンを使用した高精度の低電圧保護 (±2% 未満) 機能があり、堅牢な保護を実現します。低電圧保護スレッショルドのプログラム設定には、図 7-10 に示すように抵抗ラダーを接続します。

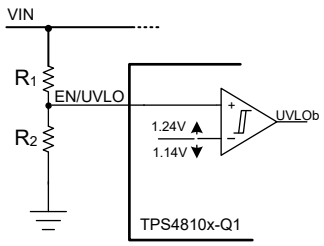


図 7-10. 低電圧保護のプログラム設定

7.3.5 逆極性保護

TPS48100-Q1 デバイスには、逆極性保護機能が内蔵されており、入力および出力逆極性フォルト時の障害からデバイスを保護します。逆極性フォルトは、最終製品の設置とメンテナンス中に発生します。このデバイスは、入力と出力の両方で、-65V までの逆極性電圧に対応しています。

Copyright © 2026 Texas Instruments Incorporated

出力側では、スイッチをオフにしたときの出力ケーブル ハーネスのインダクタンスのキックバックにより、通常動作中に負の過渡電圧が発生する可能性があります。このようなシステムでは、出力の負の電圧レベルは出力側の TVS またはダイオードによって制限されます。

7.3.6 短絡保護診断 (SCP_TEST)

安全重視の設計では、短絡保護 (SCP) 機能とその診断が重要です。

TPS48100-Q1 は、内部の短絡保護機能を診断する機能を備えています。SCP_TEST を Low から High に駆動すると、短絡イベントをシミュレートするために、SCP コンパレータの入力間に電圧が内部的に印加されます。コンパレータ出力はゲートドライブ (G1PU/G1PD) と $\overline{\text{FLT}}$ も制御します。ゲートドライブが Low になり (最初は High)、$\overline{\text{FLT}}$ も Low になると、SCP が良好であることを示します。それ以外の場合、SCP 機能が機能していないとみなすことができます。

SCP_TEST 機能を使用しない場合は、SCP_TEST ピンを GND に接続します。

7.3.7 TPS48100-Q1 をシンプル ゲート ドライバとして使用

図 7-11 に、バックツーバック FET トポロジを駆動する負荷接続解除スイッチにおいて、シンプルなゲートドライバとしての TPS48100-Q1 のアプリケーション回路図を示します。短絡保護機能は無効になります。

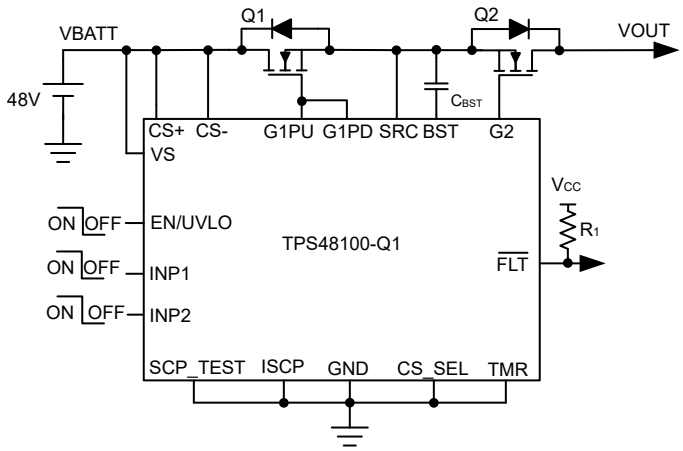


図 7-11. TPS48100-Q1 をシンプルなゲート ドライバとして使用したときのアプリケーション回路図

7.4 デバイスの機能モード

TPS48100-Q1 には、2 つの動作モードがあります。アクティブ モードと低静止電流 (IQ) シャットダウン モードがあります。

EN/UVLO ピンの電圧が $V_{(ENR)}$ の立ち上がりスレッショルドよりも高い場合、デバイスはアクティブ モードになります。アクティブ状態では、内部チャージ ポンプが有効になり、ゲートドライバ、すべての保護および診断機能が有効になります。

EN/UVLO 電圧が $V_{(ENF)}$ 立ち下がりスレッショルドを下回ると、デバイスは低静止電流 (IQ) シャットダウン モードに移行します。このモードでは、チャージ ポンプ、ゲートドライバ、およびすべての保護機能が無効になります。ゲートドライブと外部 FET がオフになります。このモードでは、TPS48100-Q1 は 1.5μA (標準値) の低静止電流 (IQ) を消費します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS48100-Q1 は、保護および診断機能を備えた、100V、低 IQ、スマート ハイサイド ドライバです。TPS48100-Q1 デバイスのアーキテクチャは、個別の制御入力 (INP1、INP2) を持つ共通ソース構成で、バックツーバック N チャネル MOSFET を個別に駆動および制御するよう設計されているため、TPS48100-Q1a はバッテリ管理システム (BMS) でサーキット ブレーカを実現するための競争力の高い選択肢となっています。強力な (2A) GATE ドライバにより、PowerTrain™ (DC/DC コンバータ) のサーキット ブレーカ、パワー ディストリビューション ユニットでの負荷の駆動、12V、48V BMS におけるサーキット ブレーカなどの大電流アプリケーションで並列 MOSFET のスイッチング動作が可能になります。

TPS48100-Q1 デバイスは、ISCP ピンと TMR ピンを使用して、それぞれスレッショルドと応答時間を調整する設定可能な短絡保護機能を搭載しています。自動リトライおよびラッチオフ フォルト動作は設定可能です。電流検出は、CS+ および CS– ピンを使用して、外付けの検出抵抗、または MOSFET VDS センシングのいずれかを使用して実行できます。CS_SEL ピン入力を使用して、ハイサイドまたはローサイドの電流検出抵抗構成が可能です。このデバイスは、SCP_TEST 入力の外部制御を使用した、内蔵の短絡コンパレータを診断する機能も備えています。

以下の設計手順を使用して、アプリケーション要件に基づき、サポート部品の値を選択します。

8.2 代表的なアプリケーション：ローサイド電流検出を使用したバッテリ管理システム (BMS) のサーキット ブレーカ

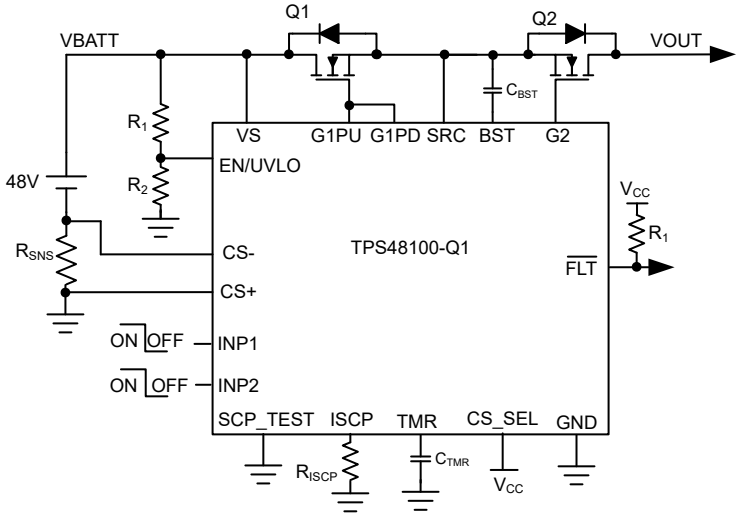


図 8-1. 代表的なアプリケーション回路図：ローサイド電流センス付き BMS サーキット ブレーカ

8.2.1 設計要件

以下の表は、このアプリケーション例の設計パラメータを表示しています。

表 8-1. 設計パラメータ

パラメータ	値
標準入力電圧、V_{IN}	48V
低電圧誤動作防止設定点、VIN_{UVLO}	24V

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 設計パラメータ (続き)

パラメータ	値
最大負荷電流、I_{OUT}	25A
短絡保護回路スレッショルド、I_{SC}	40A
短絡保護遅延 (t_{SC})	1ms
故障応答	自動再試行
電流検出	ローサイド

8.2.2 詳細な設計手順

8.2.2.1 電流センス抵抗、R_{SNS} の選択

過電流保護スレッショルド電圧 $V_{(SCP)}$ の推奨範囲は、30mV ～ 300mV です。システム ノイズは、30mV という低いしきい値付近の値に影響を与える可能性があります。上限スレッショルド 300mV に近い値の場合、電流センス抵抗で大きな消費電力が発生する可能性があります。両方の懸念を最小限に抑えるため、短絡保護スレッショルド電圧として 40mV を選択しています。電流センス抵抗 R_{SNS} を求めるには、以下の式を使用します。

$$R_{SNS} = \frac{V_{(SCP)}}{I_{SC}} \tag{10}$$

利用可能な中で、次に小さい 1mΩ、1% のセンス抵抗が選択されます。

信号対雑音比を向上させたり、短絡保護の精度を向上させたりするため、より高い短絡保護スレッショルド電圧 $V_{(SCP)}$ を選択します。

8.2.2.2 短絡保護スレッショルドのプログラム設定 – R_{ISCP} の選択

R_{ISCP} によって短絡保護スレッショルドが設定されます。値を求めるには、以下の式を使用します。

$$R_{ISCP}\left(\Omega\right) = \frac{\left(I_{SC} \times R_{SNS} - 19\ \text{mV}\right)}{2\ \mu\text{A}} \tag{11}$$

30A を短絡保護スレッショルドに設定する場合、R_{ISCP} の値は 5.5kΩ と計算されます。

使用可能な最も近い標準値を選択します:5.3kΩ、1%

di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、CS+ ピンと CS– ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。こうした問題を克服するため、センス抵抗 (R_{SNS}) の両端に RC フィルタ部品用のプレースホルダを追加し、実際のシステムでのテスト中に値を微調整することが推奨されます。MOSFET VDS 検出による電流センス設計では、短絡保護応答への影響を回避するために RC フィルタ部品は使用できません。

8.2.2.3 短絡保護遅延のプログラム設定 – C_{TMR} の選択

説明の設計例では、1ms の持続時間にわたって過電流過渡が許容されます。この短絡保護遅延は、TMR ピンとグランドの間に適切なコンデンサ C_{TMR} を選択することで、t_{SC} を設定します。次の式を使用して C_{TMR} の値を計算し、t_{SC} に対して 1ms を設定します。

$$C_{TMR} = \frac{80\ \mu \times t_{SC}}{1.1} = 72.72\ \text{nF} \tag{12}$$

使用可能な最も近い標準値を選択します:82nF、10%

8.2.2.4 MOSFET の選択、Q_1 および Q_2

MOSFET Q_1 および Q_2 の選択に重要な電気的パラメータは、最大連続ドレイン電流 I_D、最大ドレイン - ソース間電圧 $V_{DS(MAX)}$、最大ドレイン - ソース間電圧 $V_{GS(MAX)}$、ドレイン - ソース間オン抵抗 R_{DSON} です。

最大連続ドレイン電流 I_D 定格は、最大連続負荷電流を超える必要があります。

最大ドレイン - ソース間電圧 $V_{DS(MAX)}$ は、このアプリケーションで見られる最大の電圧に耐えるのに十分な高さが必要です。最大アプリケーション電圧として 60V を考慮し、V_{DS} 電圧定格 80V の MOSFET がこのアプリケーション向けに設計されています。

TPS4810-Q1 が駆動できる最大 V_{GS} は 13V であるため、V_{GS} の最小定格が 15V の MOSFET を選択する必要があります。

MOSFET の導通損失を低減するには、$R_{DS(ON)}$ を可能な限り小さくすることが推奨されます。

設計要件に基づき、IAUS200N08S5N023 を選択し、定格を以下に示します。

- 80V $V_{DS(MAX)}$ および 20V $V_{GS(MAX)}$
- $R_{DS(ON)}$ は 10V V_{GS} で 2.3mΩ (標準値)
- 最大 MOSFET $Q_{g(total)}$ は 110nC

8.2.2.5 ブートストラップ コンデンサ C_{BST} の選定

内部チャージ ポンプは、(BST ピンと SRC ピンとの間に接続された) 外部ブートストラップ コンデンサを約 345µA で充電します。次の式を使って、2 つの IAUS200N08S5N023 MOSFET を駆動するために必要なブートストラップ コンデンサの最小値を計算します。

$$C_{BST} = \frac{Q_{g(total)}}{1\ V} = 220\ nF \tag{13}$$

使用可能な最も近い標準値を選択します:220nF、10%

8.2.2.6 低電圧誤動作防止の設定

低電圧誤動作防止 (UVLO) を、デバイスの VS、EN/UVLO、GND ピン間に接続された R_1 と R_2 の外部電圧分割回路網を使用して調整します。低電圧および過電圧を設定するために必要な値は、式 14 で計算します。

$$V_{(UVLOR)} = \frac{R_2}{(R_1 + R_2)} \times VIN_{UVLO} \tag{14}$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、R_1 および R_2 に高い抵抗値を使用することを推奨しています。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列の電流 $I(R_{12})$ は、UVLO ピンのリーク電流の 20 倍以上になるように選択します。

デバイスの電気的仕様から、$V_{(UVLOR)}$ = 1.24V となります。設計要件から、VIN_{UVLO} = 6.5V です。式を解くには、まず R_1 = 470kΩ の値を選択し、式 14 を使用して R_2 = 24.9kΩ を計算します。直近の標準的な 1% 抵抗値を選択します:R_1= 470kΩ および R_2= 24.9kΩ。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

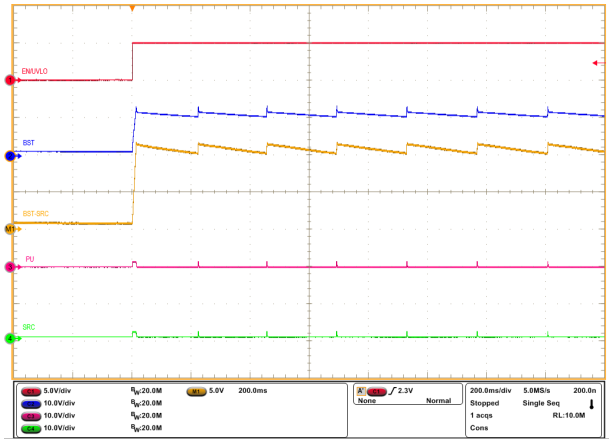


図 8-2. INP1 = INP2 = GND、C_{BST} = 470nF でのブートストラップ電圧のスタートアップ プロファイル

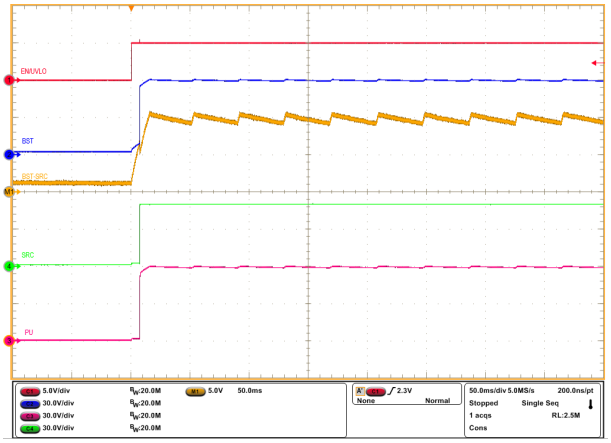


図 8-3. INP1 = INP2 = High、C_{BST} = 470nF でのブートストラップ電圧のスタートアップ プロファイル

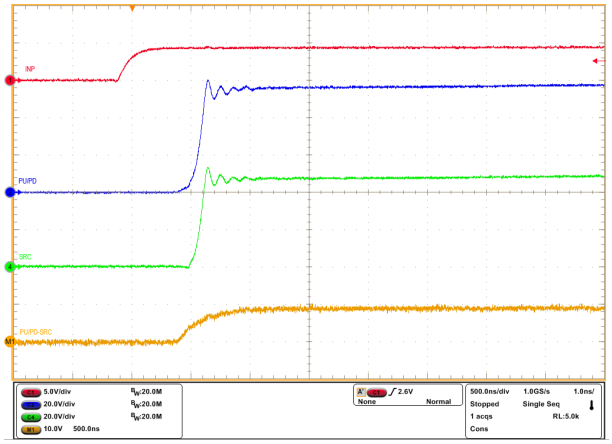


図 8-4. INP1 -> Low から High、C_{BST} = 470nF での TPS48100-Q1 のターンオン応答

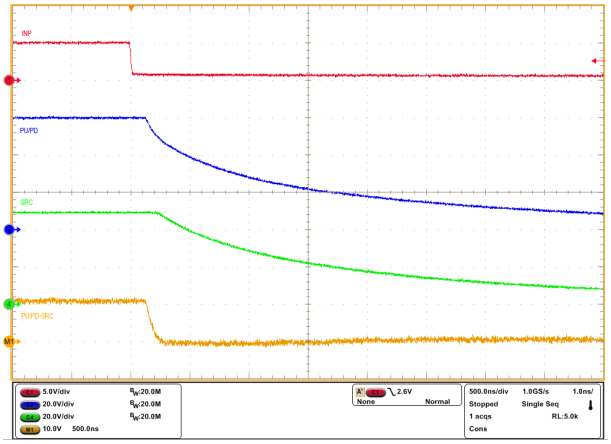


図 8-5. INP1 -> High から Low、C_{BST} = 470nF での TPS48100-Q1 のターンオフ応答

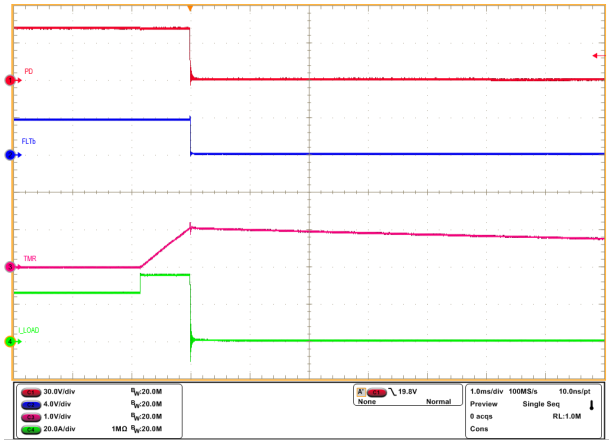


図 8-6. 30A の過電流保護設定で 25A ～ 35A の負荷ステップに対する TPS48100-Q1 の過電流応答

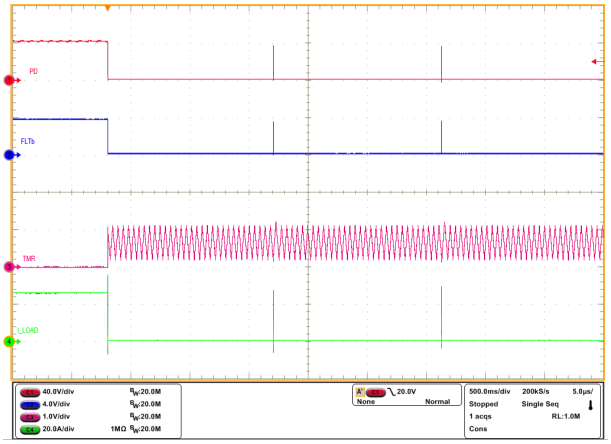


図 8-7. 過電流フォルトにおける TPS48100-Q1 の自動リトライ応答

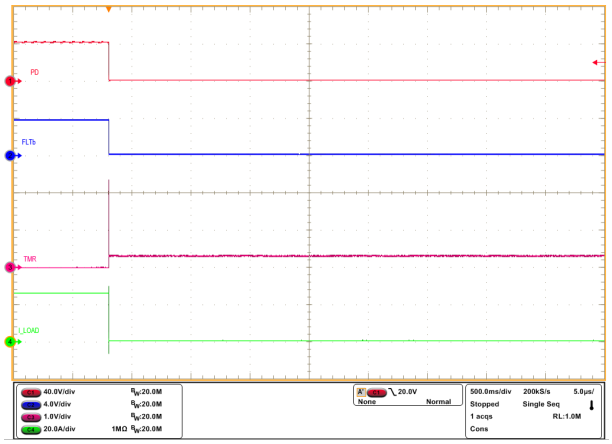


図 8-8. 過電流フォルトにおける TPS48100-Q1 のラッチオフ応答

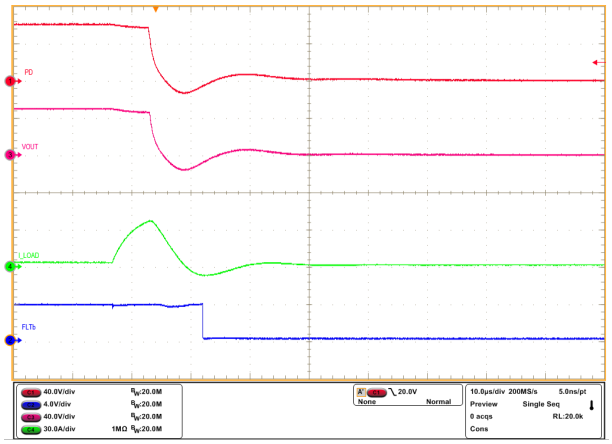


図 8-9. TPS48100-Q1 デバイスの出力短絡応答

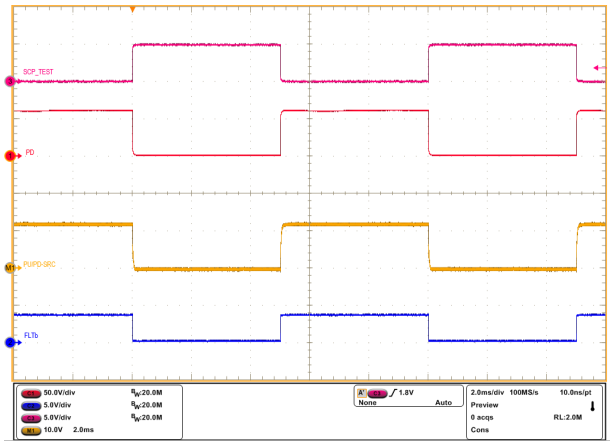


図 8-10. TPS48100-Q1 の短絡保護回路診断テスト応答

8.3 電源に関する推奨事項

INP1 制御、過電流保護などにより電流フローが中断される状況下で外部 MOSFET がオフになると、入力寄生ライン インダクタンスによって入力に正の電圧スパイクが生成され、出力寄生インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何らかの策を講じない場合は、こうした過渡現象によって、デバイスの*絶対最大定格*を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- 入力と GND の間に TVS ダイオードと入力コンデンサ フィルタを組み合わせて使用することで、エネルギーを吸収し、正の過渡電圧を減衰させることができます。
- 出力と GND の間にダイオードまたは TVS ダイオードを配置して、負のスパイクを吸収します。

TPS4810-Q1 には、VS ピンから電力が供給されます。指定された動作を行うため、このピンの電圧を $V_{(VS_PORR)}$ レベル以上に維持してください。入力電源に過渡現象によってノイズが多い場合は、入力電源ラインと VS ピンの間に R_{VS} – C_{VS} フィルタを配置し、電源ノイズをフィルタして除去することが推奨されます。TI は、R_{VS} 値を 100Ω 付近に設定することを推奨します。

di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、CS+ ピンと CS– ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。こうした問題を克服するため、センス抵抗 (R_{SNS}) の両端に RC フィルタ部品用のプレース

Copyright © 2026 Texas Instruments Incorporated

ホルダを追加し、実際のシステムでのテスト中に値を微調整することが推奨されます。MOSFET VDS 検出による電流センス設計では、短絡保護応答への影響を回避するために RC フィルタ部品を使用しないでください。

図 8-11 に、オプションの保護部品を使用した回路実装を示します。

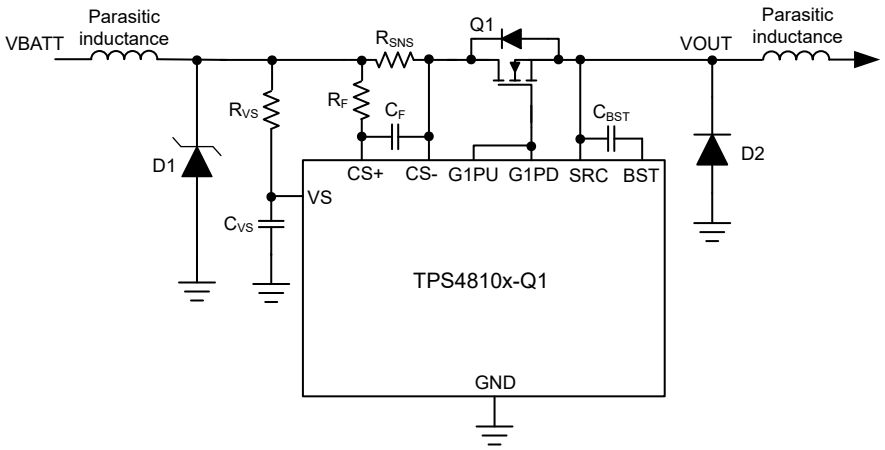


図 8-11. オプションの保護部品を使用した TPS4810-Q1 の回路実装

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- センス抵抗 (R_{SNS}) は TPS4810x-Q1 の近くに配置し、ケルビン技法を使用して R_{SNS} を接続します。ケルビン技法の詳細については、『*適切なセンス抵抗のレイアウトの選択*』を参照してください。
- すべてのアプリケーションにおいて、VS 端子と GND の間に 0.1µF 以上の値のセラミック デカップリング コンデンサを選択します。電力線の障害に対するデカップリングを改善するために、コントローラの電源ピン (VS) に RC ネットワークを追加することを検討してください。
- ボードの入力から負荷への大電流パスおよび帰路は並列かつ互いに近接して配置し、ループ インダクタンスを最小化します。
- 外部 MOSFET は、コントローラの GATE 駆動ピン (G1PU/PD と G2) の近くに配置して、MOSFET の GATE がコントローラの GATE 駆動ピンに近接し、GATE ループが短くなるようにします。必要に応じて、高周波発振を抑制するため、各外部 MOSFET のゲートと直列に抵抗のプレースホルダを追加することを検討します。
- TVS ダイオードを入力に配置して、ホットプラグ時および高速ターンオフ時の過渡電圧をクランプします。
- 外部ブートストラップ コンデンサは、BST ピンと SRC ピンの近くに配置して、ループが非常に短くなるようにします。
- TPS4810x-Q1 の周囲にある各種部品のグランド接続は、互いに直接接続し、TPS4810x-Q1 の GND に接続してから、システム グランドに一箇所で接続します。各種部品のグランドは、高電流のグランド ライン経由で相互に接続しないでください。

8.4.2 レイアウト例

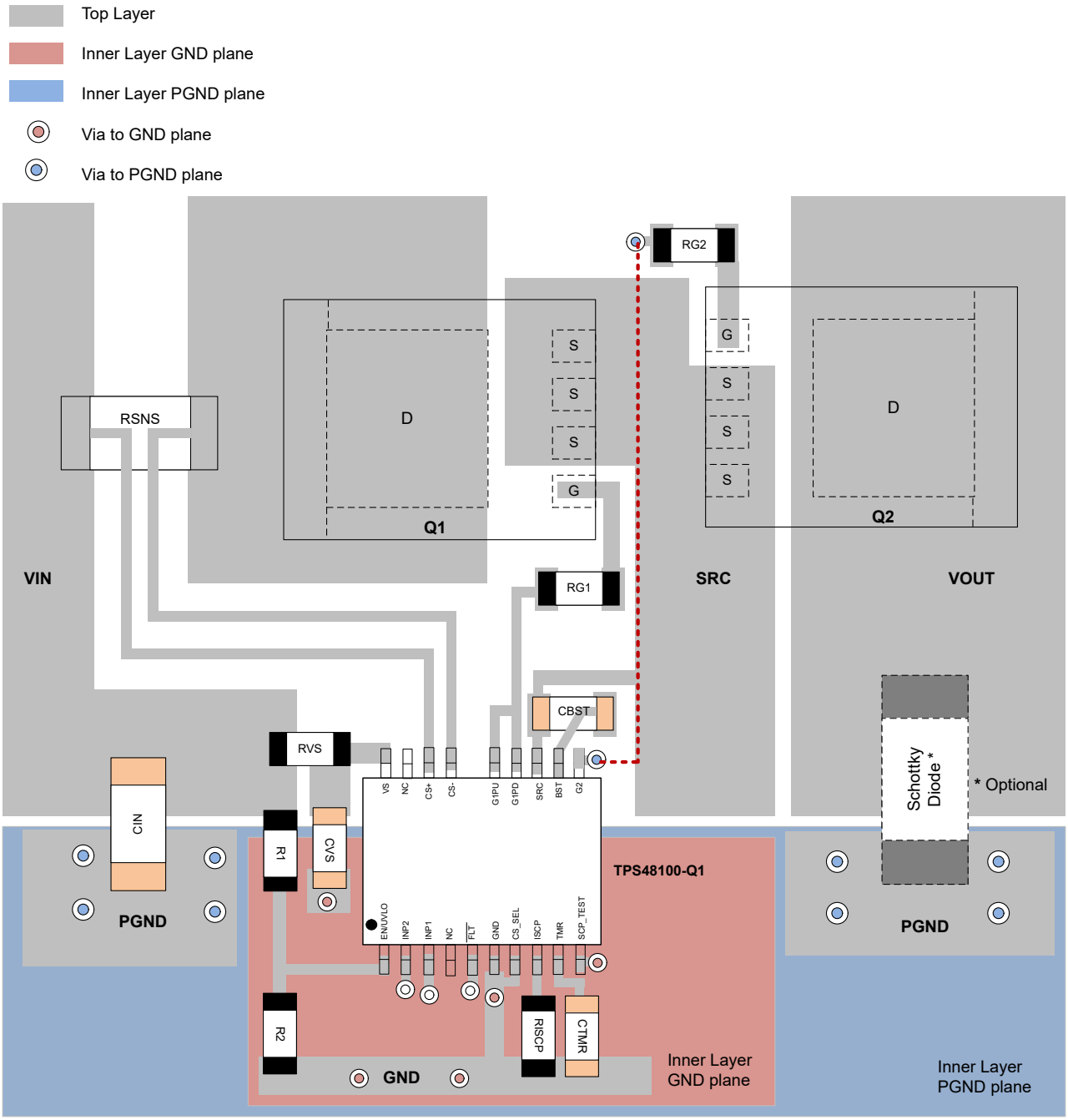


図 8-12. B2B MOSFET を使用した TPS4810-Q1 の代表的な PCB レイアウト例

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

PowerTrain™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (March 2026) to Revision C (June 2026) — **Page**

- 高接合温度での動作寿命に関する表の注記を削除しました。 6
- 高接合温度での動作寿命に関する表の注記を削除しました。 6

Changes from Revision A (December 2024) to Revision B (March 2026) — **Page**

- MIN を 1.85V から 1.84V に、MAX を 3.3V から 3.31V に変更 7
- MAX を 45µA から 49µA に変更 7
- TYP を 0.86µA から 1µA に、MAX を 3.3µA から 4.6µA に変更 7
- MAX を 37µA から 46µA に変更 7
- MIN を 1.176V から 1.168V に、MAX を 1.287V から 1.3V に変更 7
- MIN を 1.09V から 1.083V に、MAX を 1.184V から 1.19V に変更 7
- MAX を 1V から 1.03V に変更 7
- MIN を 0.3V から 0.292 に変更 7
- MAX を 476nA から 626nA に変更 7
- MAX を 2V から 2.03V に変更 7
- MIN を 0.8V から 0.77V に変更 7
- MAX を 700nA から 910nA に変更 7

- MAX を 466μA から 510μA に変更 7
- MIN を 8.1V から 8V に、MAX を 9.9V から 9.93V に変更 7
- MIN を 7.31V から 7.28V に、MAX を 8.9V から 8.93V に変更 7
- MIN を 9.3V から 9V に、MAX を 11.4V から 11.43V に変更 7
- MIN を 9.1V から 9V に、MAX を 11.6V から 11.63V に変更 7
- MAX を 1μA から 1.4μA に変更 7
- MIN を 5.5V から 5.47V に、MAX を 8.3V から 8.33V に変更 7
- TYP を 1.69A から 1.62A に変更 7
- TYP を 1.69A から 1.62A に変更 7
- MIN を 8.4μA から 8.34μA に、MAX を 12.33μA から 13.6μA に変更 7
- MIN を 60mV から 58.8mV に、MAX を 90.5mV から 91.8mV に変更 7
- MIN を 32mV から 31.6mV に、MAX を 48.9mV から 49.5mV に変更 7
- MIN を 15mV から 14.8mV に、MAX を 25mV から 25.3mV に変更 7
- MIN を 283mV から 279mV に、MAX を 316mV から 319mV に変更 7
- MIN を 68.7mV から 67mV に、MAX を 82.5mV から 83mV に変更 7
- MIN を 34.5mV から 33mV に、MAX を 46.5mV から 47mV に変更 7
- MAX を 104μA から 114μA に変更 7
- MAX を 3.8μA から 4.8μA に変更 7
- MAX を 3.4μA から 4.3μA に変更 7
- MIN を 0.93V から 0.924V に、MAX を 1.2V から 1.21V に変更 7
- MIN を 0.15V から 0.148V に変更 7
- MIN を 53Ω から 52Ω に MAX を 107Ω から 110Ω に変更 7
- MAX を 410nA から 530nA に変更 7
- MAX を 2V から 2.02V に変更 7
- MIN を 0.8V から 0.787V に変更 7
- MAX を 206nA から 240nA に変更 7
- MAX を 2V から 2.06V に変更 7
- MIN を 0.8V から 0.786V に変更 7
- MAX を 1.53μs から 1.62μs に変更 8
- MAX を 6.7μs から 7.2μs に変更 8
- MAX を 0.85μs から 0.91μs に変更 8
- MAX を 6.79μs から 7.3μs に変更 8
- MAX を 6μs から 6.5μs に変更 8
- MAX を 6μs から 6.5μs に変更 8
- MAX を 4μs から 4.3μs に変更 8
- MAX を 10μs から 10.7μs に変更 8

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS48100QDGXRQ1	Active	Preproduction	VSSOP (DGX) | 19	5000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS48100QDGXRQ1.A	Active	Preproduction	VSSOP (DGX) | 19	5000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS48100QDGXRQ1	Active	Production	VSSOP (DGX) | 19	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4810
TPS48100QDGXRQ1.A	Active	Production	VSSOP (DGX) | 19	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4810

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

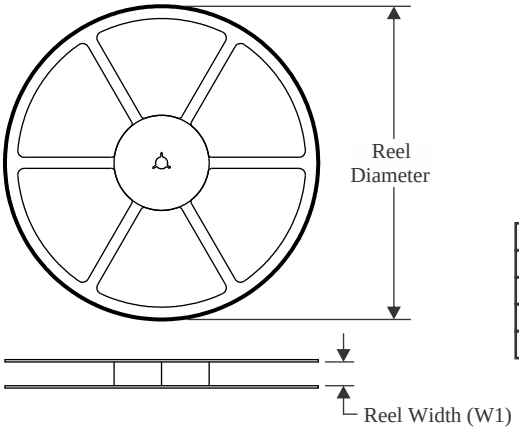
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

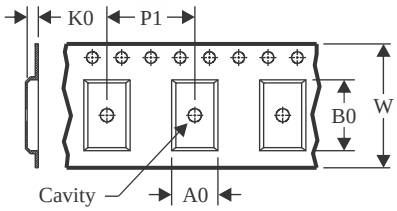
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

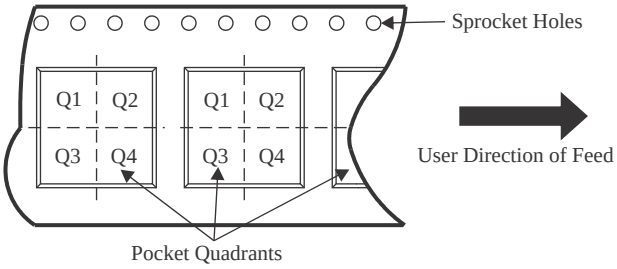


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

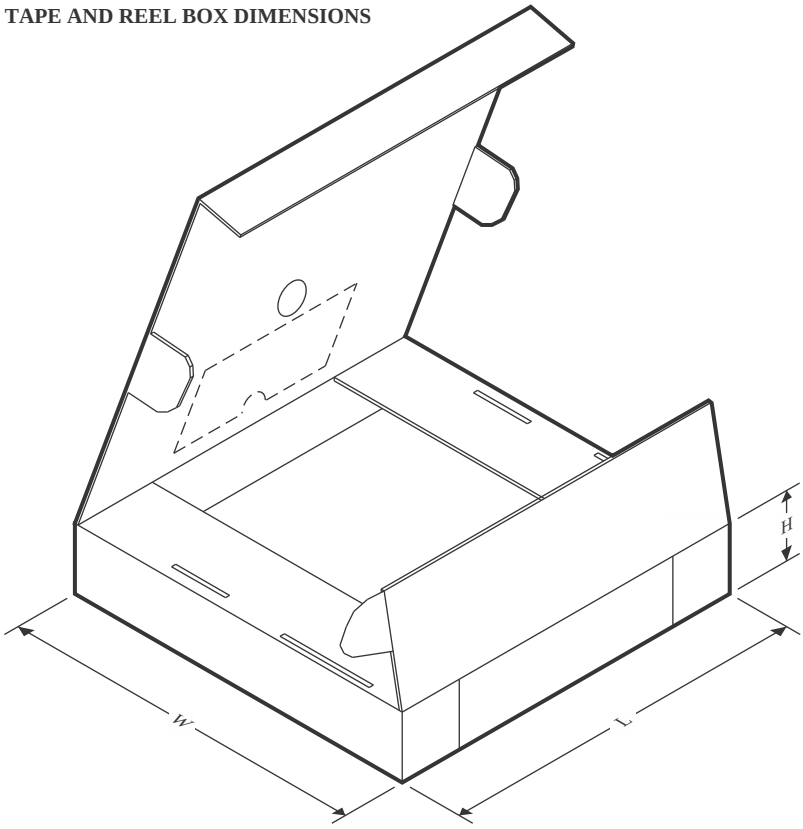
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

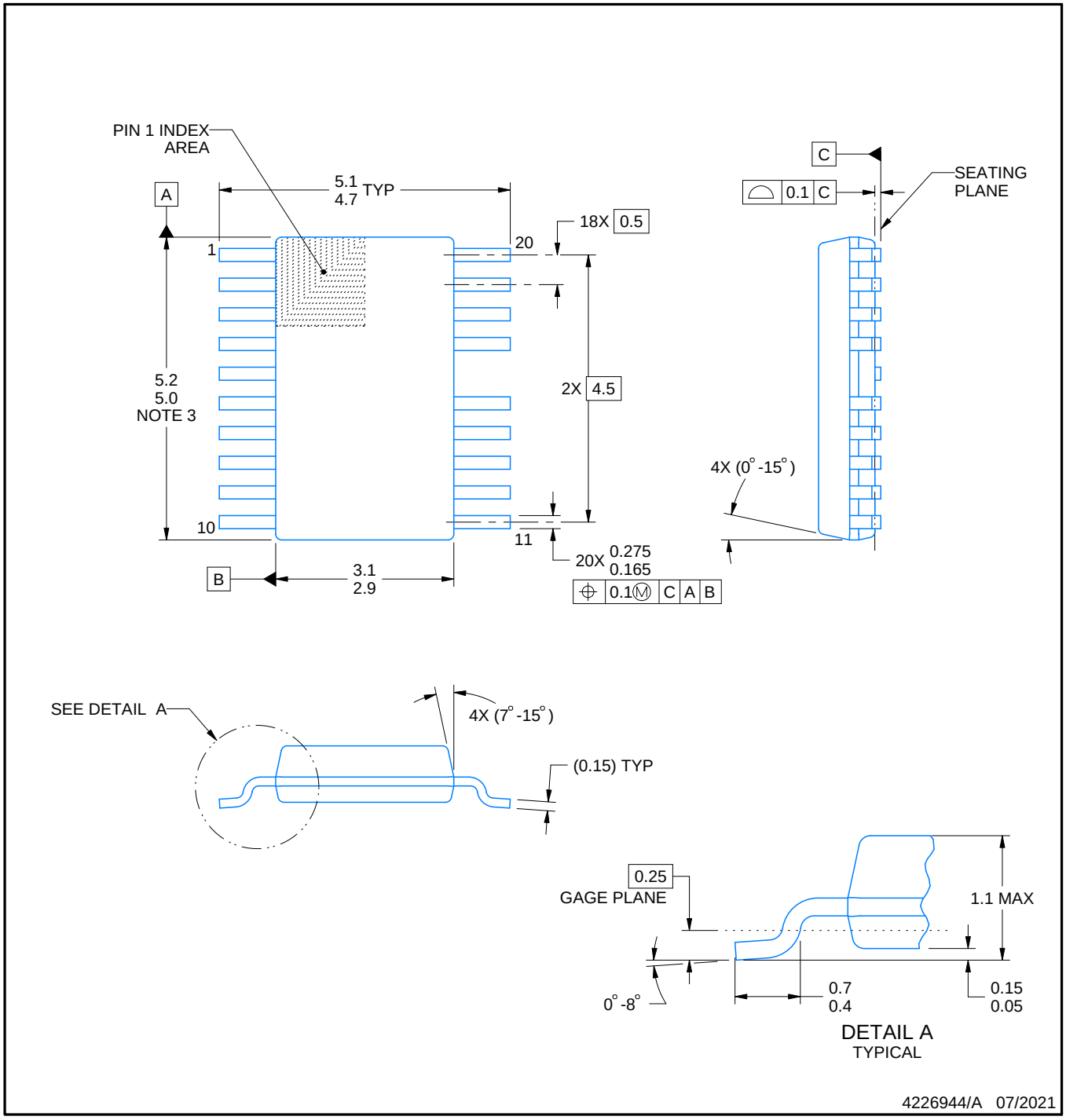
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS48100QDGXRQ1	VSSOP	DGX	19	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

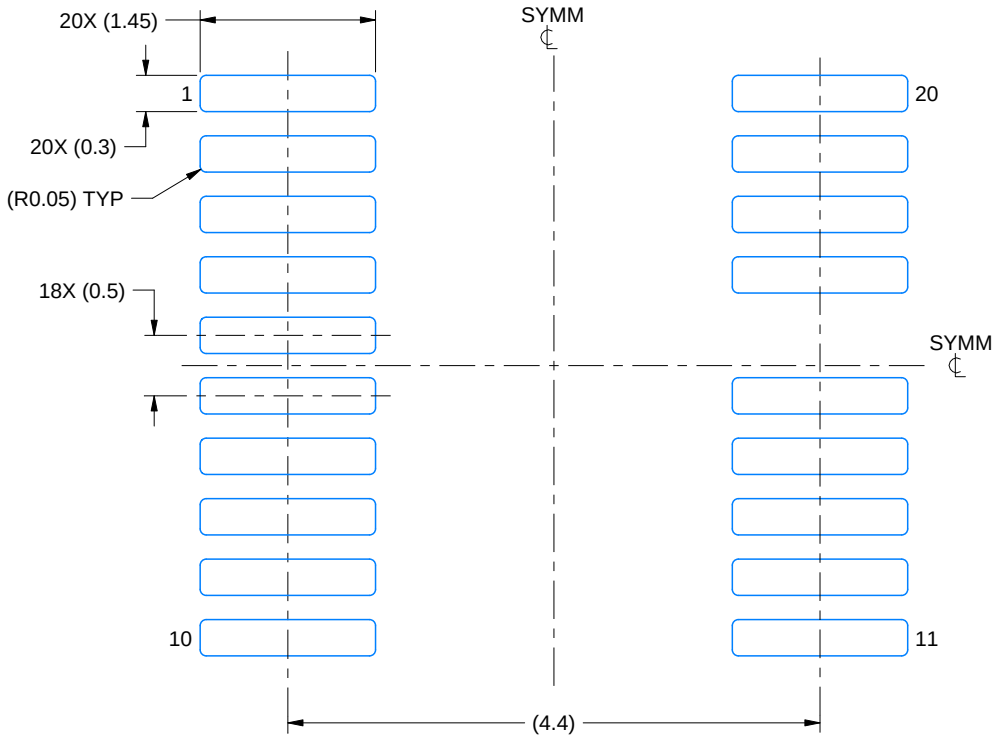
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS48100QDGXRQ1	VSSOP	DGX	19	5000	353.0	353.0	32.0



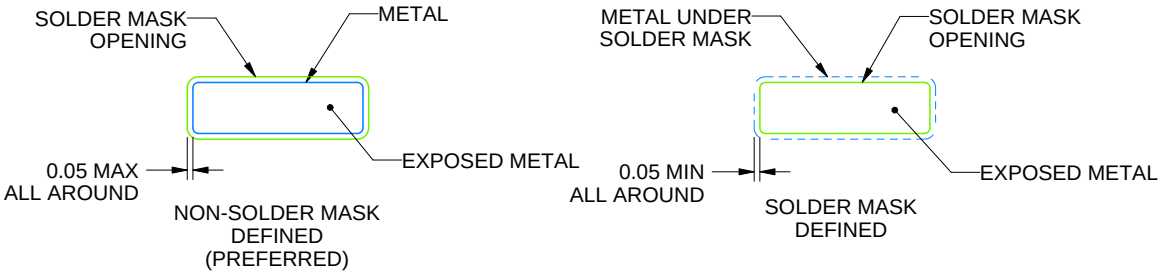
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of July 2021.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

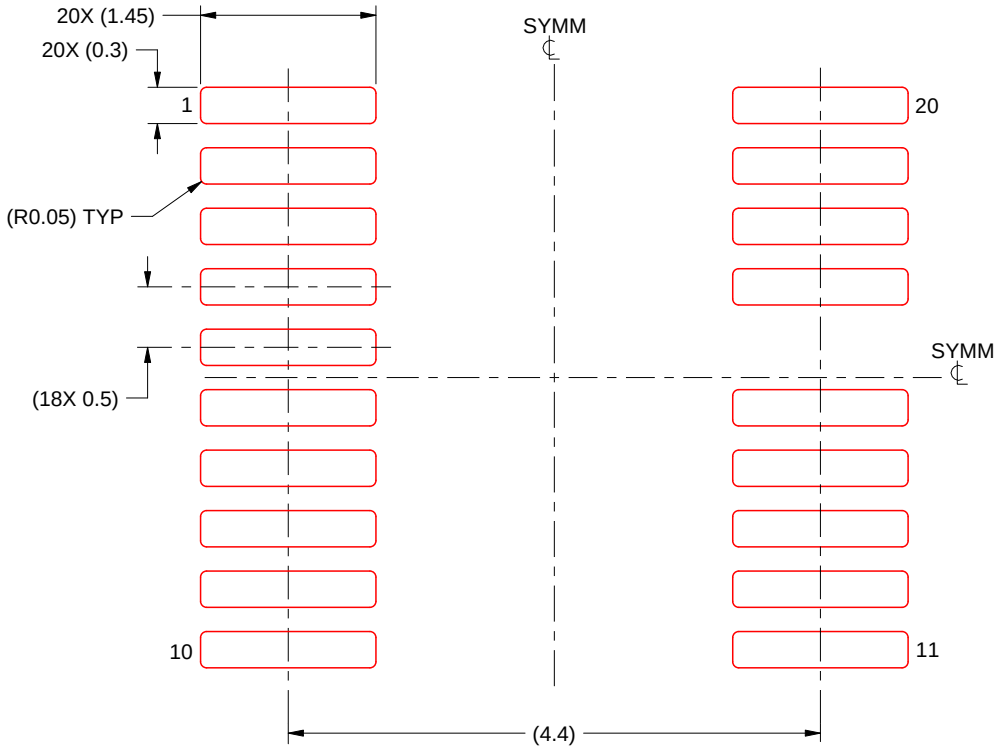


SOLDER MASK DETAILS

4226944/A 07/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226944/A 07/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月