

目次

1 特長	1	7.2 機能ブロック図	18
2 アプリケーション	1	7.3 機能説明	19
3 説明	1	7.4 デバイスの機能モード	35
4 デバイス比較表	3	8 アプリケーションと実装	38
5 ピン構成および機能	4	8.1 アプリケーション情報	38
6 仕様	5	8.2 代表的なアプリケーション	38
6.1 絶対最大定格.....	5	8.3 電源に関する推奨事項	40
6.2 ESD 定格.....	6	8.4 レイアウト	41
6.3 推奨動作条件.....	6	9 デバイスおよびドキュメントのサポート	44
6.4 熱に関する情報.....	6	9.1 サード・パーティ製品に関する免責事項.....	44
6.5 電気的特性.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	44
6.6 SNS タイミング特性.....	10	9.3 サポート・リソース.....	44
6.7 スイッチング特性 24V.....	12	9.4 商標.....	44
6.8 スイッチング特性 48V.....	12	9.5 静電気放電に関する注意事項.....	44
6.9 代表的特性.....	14	9.6 用語集.....	44
7 詳細説明	18	10 改訂履歴	44
7.1 概要.....	18	11 メカニカル、パッケージ、および注文情報	45

4 デバイス比較表

部品番号	独自のピン	注	クランプ構造	VBB 電圧の許容誤差
TPS482H85A-Q1	LATCH	- ユーザーは、LATCH ピンを使用して、熱障害発生後のデバイス動作 (ラッチまたは自動再試行) を設定できます。 - フォルトステータスは、SNS ピンを通じて通知できます。	正の VBB 電圧または負の VOUT 電圧の両方をクランプする双方向クランプ。	最大 65V、定常状態。最大 80V、100 μ s 過渡電圧
TPS482H85B-Q1	FLT	- ユーザーは、FLT ピンを通じてグローバル フォルト ステータスを読み取ることができます。 - サーマルフォルトの発生後、デバイスは自動的に再試行を行います。	正の VBB 電圧または負の VOUT 電圧の両方をクランプする双方向クランプ。	最大 65V、定常状態。最大 80V、100 μ s 過渡電圧
TPS482H85C-Q1	LATCH	- ユーザーは、LATCH ピンを使用して、熱障害後のデバイスの動作 (ラッチまたは自動再試行) を設定することができます。 - フォルトステータスは、SNS ピンを通じて通知できます。	負の VOUT 電圧をクランプするための単方向クランプ。	最大 70V、定常状態。70V を超える過渡電圧はありません。

5 ピン構成および機能

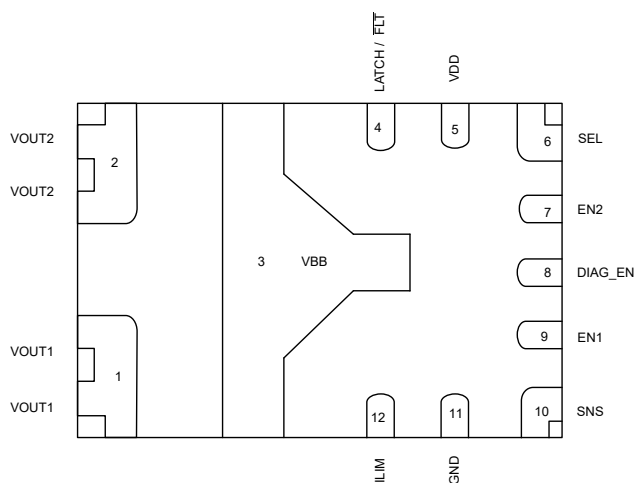


図 5-1. CHU パッケージ 12 ピン VQFN-HR 底面図

表 5-1. ピンの機能

推奨部品の全リストについては、[セクション 8](#) を参照してください。

ピン			タイプ	説明
番号	名前 (バリエーション A/C)	名前 (バリエーション B)		
1	VOUT1	VOUT1	O	チャンネル 1 出力
2	VOUT2	VOUT2	O	チャンネル 2 出力
3	VBB	VBB	電源	入力電源
4	LATCH	FLT	I はラッチ、O は FLT	LATCH: High は、サーマル・シャットダウン後にデバイスをラッチ OFF。Low は自動再試行。内部のプルダウン。 FLT: オープンドレインの グローバルフォルトピン
5	VDD	VDD	電源	低電圧電源入力。内部レギュレータを有効化するため、フローティングにします。
6	SEL	SEL	I	SNS ピンのフォルトおよび電流センス出力のチャンネルを選択します。Low はチャンネル 1 を選択、High はチャンネル 2 を選択。内部のプルダウン。
7	EN2	EN2	I	チャンネル 2 のイネーブル信号。内部のプルダウン。
8	DIAG_EN	DIAG_EN	I	High は、オン状態の電流センスと SNS ピンによるフォルト通知、OFF-状態の開放負荷検出を有効化します。Low は、診断は無効化します。内部のプルダウン。
9	EN1	EN1	I	チャンネル 1 のイネーブル信号。内部のプルダウン。
10	SNS	SNS	O	センス比に基づく値を出力し、High になることでフォルト状態を示します。
11	GND	GND	GND	デバイスのグラウンド。逆バッテリー保護のため、抵抗およびダイオードのグラウンドネットワークに接続します。
12	ILIM	ILIM	O	調整可能な電流制限。ILIM ピンと IC GND ピンの間に抵抗を接続して電流制限値を選択します。ピンを IC GND に短絡して、もう 1 つのレベルを追加します。

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
最大連続電源電圧、 V_{BB} (バージョン A、B)			65	V
V_{BB} 過渡過電圧 (バージョン A、B)	100 μ s の最大期間		80	V
最大連続電源電圧、 V_{BB} (バージョン C)			70	V
最大連続電源電圧 V_{DD}			7	V
逆極性電圧、最大持続時間 3 分、適用回路を使用		-28		V
イネーブル・ピン電流、 I_{ENx}		-1	20	mA
イネーブル・ピン電圧、 V_{ENx}		-1	7	V
診断イネーブル・ピンの電流、 I_{DIAG_EN}		-1	20	mA
診断イネーブル・ピン電圧、 V_{DIAG_EN}		-1	7	V
LATCH ピン電圧、 V_{LATCH} (バージョン A、C)		-1	70 ⁽²⁾	V
LATCH ピン電流、 I_{LATCH} (バージョン A、C)		-1	20	mA
SEL ピン電圧、 V_{SEL}		-1	7	V
SEL ピンの電流、 I_{SEL}		-1	20	mA
センス・ピン電流 I_{SNS}		-100	10	mA
ILIM ピン電圧、 V_{ILIM}		-1	70 ⁽²⁾	V
ILIM ピンの電流、 I_{ILIM}		-1	20	mA
センス・ピン電圧、 V_{SNS}		-1	5.5	V
FLT ピン電流、 I_{FLT} (バージョン B)		-30	10	mA
FLT ピン電圧、 V_{FLT} (バージョン)		-0.3	70 ⁽²⁾	V
逆グラウンド電流、 I_{GND}	$V_{BB} < 0$ V、最大 2ms の負電源過渡		-50	mA
ターンオフ時のエネルギー消費、 E_{TOFF}	単一パルス、1 チャネル、 $L_{OUT} = 5$ mH、 $V_{BB} = 32$ V、 $T_{J,start} = 125^{\circ}$ C		70 ⁽³⁾	mJ
ターンオフ時のエネルギー消費、 E_{TOFF}	単一パルス、1 チャネル、 $L_{OUT} = 5$ mH、 $V_{BB} = 54$ V、 $T_{J,start} = 125^{\circ}$ C		85 ⁽³⁾	mJ
ターンオフ時のエネルギー消費、 E_{TOFF}	繰り返しパルス、1 チャネル、 $L_{OUT} = 5$ mH、 $V_{BB} = 32$ V、 $T_{J,start} = 125^{\circ}$ C		25 ⁽³⁾	mJ
ターンオフ時のエネルギー消費、 E_{TOFF}	繰り返しパルス、1 チャネル、 $L_{OUT} = 5$ mH、 $V_{BB} = 54$ V、 $T_{J,start} = 125^{\circ}$ C		28 ⁽³⁾	mJ
最大接合部温度、 T_J			150	$^{\circ}$ C
保管温度、 T_{stg}		-65	150	$^{\circ}$ C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) これらのピンは、高電圧を処理するピンに隣接しています。ピン間が短絡しても、デバイスは損傷しません。
- (3) 詳細については、誘導性負荷のスイッチオフに関するセクションを参照してください。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電 ⁽¹⁾	人体モデル (HBM)、AEC Q100-002、分類レベル 2 準拠 ⁽²⁾	VBB と VOUT を除くすべてのピン	±2000	V
			VBB および VOUT	±4000	
		荷電デバイス モデル (CDM)、AEC Q100-011 分類レベル C5 準拠	すべてのピン	±750	

(1) すべての ESD 衝撃は、GND に接続されたピンの基準電圧によるものです

(2) AEC-Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{VDD_NOM}	VDD 公称電源電圧	4.5	5.5	V
V_{VBB_NOM}	VBB 公称電源電圧	6	58	V
V_{VBB_SC}	VBB 電源電圧への短絡対応能力		58	V
V_{ENx}	イネーブル電圧	-1	5.5	V
V_{DIAG_EN}	診断イネーブル電圧	-1	5.5	V
V_{LATCH}	LATCH ピン電圧 (バージョン A、C)	-1	5.5	V
V_{SEL}	ピン電圧を選択	-1	5.5	V
V_{SNS}	センスピン電圧	-1	5.5	V
T_A	自由空気での動作温度	-40	125	°C

(1) すべての動作電圧条件は、デバイスの GND を基準として測定されています。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾⁽²⁾		TPS482Hxx-Q1 HotRod™ QFN	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	72.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	39.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	19.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	19.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	16.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、[SPRA953](#) のアプリケーション ノートを参照してください。

(2) 熱パラメータは、JESD51-5 および JESD51-7 に準拠した 4 層 PCB に基づいています。

6.5 電気的特性

$V_{BB} = 8V \sim 58V$, $T_J = -40^\circ C \sim 150^\circ C$ (特に注記のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力電圧および電流							
V _{Clamp}	VDS クランプ電圧	VBB = 48V、Ids = 10mA	T _J = −40℃～150℃	58		74	V

6.5 電気的特性 (続き)

$V_{BB} = 8V \sim 58V$, $T_J = -40^{\circ}C \sim 150^{\circ}C$ (特に注記のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
V _{UVLOR}	V _{BB} 低電圧誤動作防止機能の立ち上がり (FLT または SNS ピンには表示されない)	デバイスの GND ピンに関して測定		6	6.2	6.5	V
V _{UVLOF}	V _{BB} 低電圧誤動作防止機能の立ち下がり (FLT または SNS ピンには表示されない)			5.2	5.6	5.9	V
I _{SLEEP_VDD}	VDD 電源からのスタンバイ電流	V _{BB} ≤ 54V、V _{DD} < 5.5V、V _{EN} = V _{DIAG_EN} = 0V、V _{OUT} = 0V	T _J = 85°C	-0.2		0.1	μA
I _{SLEEP}	スタンバイ電流 (両方の MOSFET チャンネルを含む デバイスの合計リーク電流)	V _{BB} ≤ 54V、V _{EN} = V _{DIAG_EN} = 0V、V _{OUT} = 0V	T _J = 25°C			2	μA
			T _J = 85°C			4	μA
			T _J = 125°C			10	μA
I _{OUT(STANDBY)}	チャンネルあたりの出力リーク電流	V _{BB} ≤ 54V、V _{EN} = V _{DIAG_EN} = 0V、V _{OUT} = 0V	T _J = 25°C		0.01	0.3	μA
			T _J = 85°C			0.8	μA
			T _J = 125°C			5	μA
I _{DIA}	診断モードでの消費電流、チャンネルはオフ	I _{SNS} = 0mA、VDD フローティング、V _{EN} = 0V、V _{DIAG_EN} = 5V、V _{OUT} = 0V			1.2	1.5	mA
		I _{SNS} = 0mA、VDD = 5V、V _{EN} = 0V、V _{DIAG_EN} = 5V、V _{OUT} = 0V			0.5	0.8	mA
I _{Q_1CH,DIAG}	静止電流 1 チャンネルは外部 VDD で有効	I _{SNS} = 0 mA、V _{OUT} フローティング、VDD = 5V、V _{EN1} = 5V、V _{DIAG_EN} = 5V			1.2	1.5	mA
	静止電流 1 チャンネル、内部 VDD で有効	I _{SNS} = 0mA、V _{OUT} フローティング、VDD フローティング、V _{EN1} = 5V、V _{DIAG_EN} = 5V			1.3	1.6	mA
I _{Q,DIAG}	静止電流は両方のチャンネルで有効、診断は無効	V _{EN} = V _{DIAG_EN} = 5V、I _{OUT} = 0A、VDD = 5V			1	1.3	mA
		V _{EN} = V _{DIAG_EN} = 5V、I _{OUT} = 0A、VDD 未接続			1.7	2	mA
I _{IQ,VDD}	両方のチャンネル有効、診断無効のときの VDD 静止電流	V _{EN} = V _{DIAG_EN} = 5V、I _{OUT} = 0A、VDD = 5V			0.6	0.8	mA
t _{STBY}	スタンバイモード遅延時間	V _{ENx} = V _{DIAG_EN} = 0V ～スタンバイ			20	30	ms
Ron の特性							
R _{ON}	チャンネルあたりのオン抵抗	8V ≤ V _{BB} ≤ 54V、I _{OUT} = 1A	T _J = 25°C		85	95	mΩ
			T _J = 150°C			165	mΩ
R _{ON_par}	2 チャンネル並列オン抵抗	8V ≤ V _{BB} ≤ 54V、I _{OUT} = 1A	T _J = 25°C		42	47	mΩ
			T _J = 150°C			82	mΩ
R _{ON}	逆極性オン抵抗	-28V ≤ V _{BB} ≤ -8V、I _{OUT} = 1A、EN2 = 0V	T _J = 25°C		87		mΩ
			T _J = 150°C			174	mΩ
ΔR _{ON}	複数チャンネル間のデルタオン抵抗	8V ≤ V _{BB} ≤ 28V、I _{OUT} = 1A	T _J = -40°C ~ 150°C			5	%
I _{L_NOM}	チャンネルごとの連続負荷電流	2 つのチャンネルがイネーブル、T _A = 85°C、JEDEC 2S2p 基板、V _{BB} パッドの下に 4 つのサーマルビア			2.2		A
		1 チャンネルがイネーブル、T _A = 85°C、JEDEC 2S2p 基板、V _{BB} パッドの下に 4 つのサーマルビア			3		A
V _F	ソース-ドレイン間ボディダイオード電圧	V _{EN} = 0V、I _{OUT} = -1A		0.3	0.7	1	V
電流センス特性							

6.5 電気的特性 (続き)

$V_{BB} = 8V \sim 58V$, $T_J = -40^\circ C \sim 150^\circ C$ (特に注記のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
K _{SNS}	電流センス比 I _{OUT} / I _{SNS}	I _{OUT} = 1A		2000				
I _{SNS_SAT}	飽和センス電流（電流クランプ設定）			4	4.5		mA	
I _{SNSI}	電流センスしきい値	V _{EN} = V _{DIAG_EN} = 5V	I _{OUT} = 4A	1.93	2.03	2.13	mA	
			I _{OUT} = 2A	0.96	1.01	1.07	mA	
			I _{OUT} = 1A	0.48	0.5	0.54	mA	
			I _{OUT} = 500mA	0.24	0.252	0.266	mA	
			I _{OUT} = 200mA	0.095	0.102	0.107	mA	
			I _{OUT} = 100mA	0.047	0.051	0.054	mA	
			I _{OUT} = 50mA	0.023	0.0255	0.027	mA	
			I _{OUT} = 10mA	0.0039	0.005	0.0061	mA	
SNS 特性								
V _{SNSFH}	V _{SNS} フォルト high-レベル	V _{DIAG_EN} = 5V		4.4	4.7	5.1	V	
		V _{DIAG_EN} = 3.3V、V _{DIAG_EN} > V _{IH,DIAG_EN}		3.0	3.3	3.5	V	
I _{SNSFH}	I _{SNS} フォルト high-レベル	V _{DIAG_EN} > V _{IH,DIAG_EN}		4.2		5.2	mA	
I _{SNSleak}	I _{SNS} リーク 無負荷電流時	V _{DIAG_EN} = 5V、I _L = 0mA	T _A = 25℃				1	μA
			T _A = 125℃				1.5	μA
V _{BB_ISNS}	フル電流センスとフォルト機能に必要な V _{BB} ヘッドルーム	V _{DIAG_EN} = 3.3V		6			V	
		V _{DIAG_EN} = 5V		6.5			V	
電流制限特性								
R _{ILIM,SHORT}	RLIM 短絡検出範囲					0.3	kΩ	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = ショート	8	9	10	A	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = 2.32kΩ	7	8	9	A	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = 6.04kΩ	6	7	8	A	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = 11.3kΩ	4.9	6	7.1	A	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = 18.2kΩ	4.2	5	5.8	A	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = 25.5kΩ	3.3	4	4.8	A	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = 34.8kΩ	2.4	3	3.6	A	
I _{CLX}	CHx I _{CL} 電流制限レギュレーションレベル	有効時、短絡 R _L < 200mΩ のレギュレート電流。T _J = −40℃ ∼ 150℃	R _{ILIM} = 45.3kΩ	1.6	2	2.4	A	

6.5 電気的特性 (続き)

$V_{BB} = 8V \sim 58V$ 、 $T_J = -40^{\circ}C \sim 150^{\circ}C$ (特に注記のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CLX}	CHx I_{CL} 電流制限レギュレーションレベル	有効時、短絡 $R_L < 200m\Omega$ のレギュレート電流。 $T_J = -40^{\circ}C \sim 150^{\circ}C$	0.75	1	1.1	A
I_{CLx_LINPK}	電流制限過負荷状態前の CHx I_{CL} 電流制限しきい値。レギュレート電流センスレベルとの比。	$di/dt = 0.01A/ms$ 。 $T_J = -40^{\circ}C \sim 150^{\circ}C$			$1.25 \times I_{CL}$	
I_{ENPS}	永久短絡を有効化するピーク電流。レギュレート電流センスレベルとの比。	$Z_L = 100m\Omega + 5\mu H$ 。 $T_J = -40^{\circ}C \sim 150^{\circ}C$	$I_{ILIM} < 3A$		$1.8 \times I_{CL}$	
			$I_{ILIM} \geq 3A$		$1.6 \times I_{CL}$	
I_{OVCR}	スイッチが有効な時に短絡が発生した場合の OVCR ピーク電流しきい値	$Z_L = 100m\Omega + 5\mu H$ 。 $T_J = -40^{\circ}C \sim 150^{\circ}C$	すべての R_{ILIM}		40	A

フォルト特性

V_{OL_off}	開放負荷検出電圧 (VDS 電圧)	$V_{EN} = 0V$ 、 $V_{DIAG_EN} = 5V$ 、VDS 測定電圧	2.1	2.4	2.7	V
V_{OL_HYS}	開放負荷検出電圧 (VDS 電圧) コンパレータのヒステリシス	$V_{EN} = 0V$ 、 $V_{DIAG_EN} = 5V$		360		mV
R_{PU}	チャンネルごとの開放負荷検出内部プルアップ抵抗	$V_{EN} = 0V$ 、 $V_{DIAG_EN} = 5V$	180	270	360	k Ω
t_{OL_OFF}	EN 立ち下がりがからの開放負荷表示時間	$V_{EN} = 5V \sim 0V$ 、 $V_{DIAG_EN} = 5V$ 、 $I_{OUT} = 0mA$ 、 $V_{OUT} = V_{BB} - V_{OL}$		350		μs
t_{OL_OFF1}	開放負荷デグリッチ時間	$V_{EN} = 0V$ 、 $V_{DIAG_EN} = 5V$ 、 $V_{BB} - V_{OUT} < V_{OL}$ のとき、 t_{OL} よりも長い持続時間。開放負荷検出。			1.6	ms
t_{OL_OFF2}	DIAG_EN の立ち上がりからの開放負荷表示時間	$V_{EN} = 0V$ 、 $V_{DIAG_EN} = 0V \sim 5V$ 、 $I_{OUT} = 0mA$ 、 $V_{OUT} = V_{BB} - V_{OL}$			1.6	ms
T_{ABS}	サーマル シャットダウン		153	169	185	$^{\circ}C$
T_{REL}	相対サーマル シャットダウン			60		$^{\circ}C$
t_{HYS_ABS}	サーマル シャットダウン ヒステリシス			20		$^{\circ}C$
t_{FLT}	フォルト表示-時間、Ver B	$V_{DIAG_EN} = 5V$ 、フォルトと $\overline{FLT}$ アサート間の時間			30	μs
t_{FLT_SNS}	SNS ピンによるフォルト通知時間	$V_{DIAG_EN} = 5V$ 、フォルトと V_{SNSFH} における I_{SNS} セトリグ間の時間			70	μs
t_{RETRY}	再試行時間	フォルト・シャットダウンからスイッチ再有効化 (サーマル シャットダウン) までの時間。	1	2	3	ms

EN ピンの特性

V_{IL_ENx}	低レベルの入力電圧	IC GND に対する相対値			0.8	V
V_{IH_ENx}	高レベルの入力電圧。	IC GND に対する相対値	1.5			V
V_{IHYS_ENx}	入力電圧ヒステリシス		150	280	400	mV
R_{ENx}	内部プルダウン抵抗。	$V_{EN} = 0.8V$	600	1000	1400	k Ω
I_{IL_ENx}	低レベルの入力電流	$V_{EN} = 0.8V$			4	μA
I_{IH_ENx}	高レベルの入力電流	$V_{EN} = 5V$			20	μA

DIAG_EN ピンの特性

$V_{IL_DIAG_EN}$	低レベルの入力電圧				0.8	V
--------------------	-----------	--	--	--	-----	---

6.5 電気的特性 (続き)

$V_{BB} = 8V \sim 58V$, $T_J = -40^\circ C \sim 150^\circ C$ (特に注記のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{IH, DIAG_EN}$	高レベルの入力電圧。		1.5			V
$V_{IHYS, DIAG_EN}$	入力電圧ヒステリシス		150	280	400	mV
R_{DIAG_EN}	内部ブルダウン抵抗。	$V_{DIAG_EN} = 0.8V$	600	1000	1400	k Ω
$I_{IL_DIAG_EN}$	低レベルの入力電流	$V_{DIAG_EN} = -1V$	-10		0	μA
$I_{IL_DIAG_EN}$	低レベルの入力電流	$V_{DIAG_EN} = 0.8V$			4	μA
$I_{IH, DIAG_EN}$	高レベルの入力電流	$V_{DIAG_EN} = 5V$			20	μA
SEL ピンの特性						
$V_{IL, SEL}$	低レベルの入力電圧				0.8	V
$V_{IH, SEL}$	高レベルの入力電圧。		1.5			V
$V_{IHYS, SEL}$	入力電圧ヒステリシス		150	280	400	mV
R_{SEL}	内部ブルダウン抵抗。	$V_{SEL} = 0.8V$ $V_{DIAG_EN} = 0.8V$	600	1000	1400	k Ω
$I_{IL, SEL}$	低レベルの入力電流	$V_{SEL} = 0.8V$ $V_{DIAG_EN} = 0.8V$			1.1	μA
$I_{IH, SEL}$	高レベルの入力電流	$V_{SEL} = 5V$ $V_{DIAG_EN} = 5V$			7	μA
ラッチピンの特性						
$V_{IH, LATCH}$	高レベルの入力電圧。		1.5			V
$V_{IL, LATCH}$	低レベルの入力電圧				0.8	V
$I_{IL, LATCH}$	低レベルの入力電流	$V_{LATCH} = 0.8V$ $V_{DIAG_EN} = 0.8V$			2	μA
$I_{IH, LATCH}$	高レベルの入力電流	$V_{LATCH} = 5V$ $V_{DIAG_EN} = 5V$			12	μA
$V_{IHYS, LATCH}$	入力電圧ヒステリシス		150	280	400	mV
R_{LATCH}	内部ブルダウン抵抗。	$V_{LATCH} = 0.8V$ $V_{DIAG_EN} = 0.8V$	400	500	600	k Ω

6.6 SNS タイミング特性

$V_{BB} = 6V \sim 18V$, $T_J = -40^\circ C \sim +150^\circ C$ (特に注記のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SNS タイミング-電流センス						
$t_{SNSION1}$	V_{DIAG_EN} の $DIAG_EN$ (50% に対する立ち上がりエッジから 90% の安定した $ISNS$ までのセトリング タイム)	$V_{ENx} = 5V$, $V_{DIAG_EN} = 0V \sim 5V$, $R_{SNS} = 1k\Omega$, $I_L = 0.32A$			20	μs
		$V_{EN} = 5V$, $V_{DIAG_EN} = 0V \sim 5V$, $R_{SNS} = 1k\Omega$, $I_L = 16mA$			6	μs
$t_{SNSION2}$	V_{DIAG_EN} , V_{EN} の EN および $DIAG_EN$ (50% に対する立ち上がりエッジから 90% の安定した $ISNS$ までのセトリング タイム)	$V_{EN} = V_{DIAG_EN} = 0V \sim 5V$, $V_{BB} = 48V$, $R_{SNS} = 1k\Omega$, $I_L = 0.32A$			160	μs
$t_{SNSION3}$	$DIAG_EN$ HI による EN の立ち上がりエッジのセトリング タイム (V_{DIAG_EN} V_{EN} の 50% ~ 90% の安定した $ISNS$)	$V_{EN} = 0V \sim 5V$, $V_{DIAG_EN} = 5V$, $V_{BB} = 48V$, $R_{SNS} = 1k\Omega$, $I_L = 0.32A$			160	μs
$t_{SNSIOFF}$	$DIAG_EN$ の立ち下がりエッジのセトリングタイム (V_{DIAG_EN} の 50% ~ 5% の安定した $ISNS$)	$V_{EN} = 5V$, $V_{DIAG_EN} = 5V \sim 0V$, $V_{BB} = 48V$, $R_{SNS} = 1k\Omega$, $I_L = 0.32A$			17	μs
$t_{SETTLEH}$	負荷ステップの立ち上がりエッジのセトリングタイム	$V_{EN} = 5V$, $V_{DIAG_EN} = 5V$, $R_{SNS} = 1k\Omega$, $I_L = 16mA \sim 0.32A$			3	μs
$t_{SETTLEL}$	負荷ステップの立ち下がりエッジのセトリングタイム	$V_{EN} = 5V$, $V_{DIAG_EN} = 5V$, $R_{SNS} = 1k\Omega$, $I_L = 0.32A \sim 16mA$			4	μs

$V_{BB} = 6V \sim 18V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ (特に注記のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{MUX}	CHx から CHy へのスイッチングのセトリングタイム	$V_{EN} = 5V$ 、 $V_{DIAG_EN} = 5V$ 、 $R_{SNS} = 1k\Omega$ 、 $SEL = 0V \sim 5V$ 、 $CH1 = 0.48A$ 、 $CH2 = 3.2A$			20	μs
t_{MUX}	CH2 から CH1 へのスイッチングのセトリングタイム	$V_{EN1} = 5V$ 、 $V_{EN2} = 0V$ 、 $V_{DIAG_EN} = 5V$ 、 $R_{SNS} = 1k\Omega$ 、 $SEL = 5V \sim 0V$ 、 $CH1 = 0.48A$ 、 $CH2 = OPEN$			38	μs
t_{MUX}	CH1 から CH2 へのスイッチングのセトリングタイム	$V_{EN1} = 5V$ 、 $V_{EN2} = 0V$ 、 $V_{DIAG_EN} = 5V$ 、 $R_{SNS} = 1k\Omega$ 、 $SEL = 0V \sim 5V$ 、 $CH1 = 0.48A$ 、 $CH2 = OPEN$			825	μs

6.7 スイッチング特性 24V

$V_{BB} = 24V$, $T_J = -40^{\circ}C \sim +150^{\circ}C$ (特に注記のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DR}	チャネルターンオン遅延時間 (スタンバイから)	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 20%)			100	μs
t_{DR}	チャネルターンオン遅延時間 (アクティブから)	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 20%)			50	μs
t_{DF}	チャネルターンオフ遅延時間	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 80%)			50	μs
SR_R	VOUT の立ち上がりスループレート	V_{OUT} の 20% ~ 80%, $R_L = 20\Omega$	0.2		0.7	V/ μs
SR_F	VOUT の立ち下がりスループレート	V_{OUT} の 80% ~ 20%, $R_L = 20\Omega$	0.25		0.7	V/ μs
f_{PWM}	PWM 周波数				1	kHz
t_{ON}	チャネルターンオン時間	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 80%)			140	μs
t_{OFF}	チャネルターンオフ時間	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 20%)			86	μs
$t_{ON} - t_{OFF}$	ターンオン/ターンオフに対応	アクティブ状態における 1ms 有効パルス, $R_L = 20\Omega$, DIAG_EN high	-15		20	μs
		アクティブ状態における 200 μs 有効パルス, $R_L = 20\Omega$, DIAG_EN high	-30		30	μs
E_{ON}	ターンオン中のスイッチングエネルギー損失	$R_L = 50\Omega$			0.15	mJ
E_{OFF}	ターンオフ中のスイッチングエネルギー損失	$R_L = 50\Omega$			0.15	mJ

6.8 スイッチング特性 48V

$V_{BB} = 48V$, $T_J = -40^{\circ}C \sim +150^{\circ}C$ (特に注記のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DR}	チャネルターンオン遅延時間 (スタンバイから)	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 20%)			105	μs
t_{DR}	チャネルターンオン遅延時間 (アクティブから)	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 20%)			56	μs
t_{DF}	チャネルターンオフ遅延時間	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 80%)			65	μs
SR_R	VOUT の立ち上がりスループレート	V_{OUT} の 20% ~ 80%, $R_L = 20\Omega$	0.3		0.85	V/ μs
SR_F	VOUT の立ち下がりスループレート	V_{OUT} の 80% ~ 20%, $R_L = 20\Omega$	0.34		0.9	V/ μs
f_{PWM}	PWM 周波数				1	kHz
t_{ON}	チャネルターンオン時間	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 80%)			180	μs
t_{OFF}	チャネルターンオフ時間	$R_L = 20\Omega$ (EN の 50% ~ VOUT の 20%)			140	μs
$t_{ON} - t_{OFF}$	ターンオン/ターンオフに対応	アクティブ状態における 1ms 有効パルス, $R_L = 20\Omega$, DIAG_EN high	-30		30	μs
		アクティブ状態における 200 μs 有効パルス, $R_L = 20\Omega$, DIAG_EN high	-30		30	μs
Δ_{PWM}	PWM 精度 - 平均負荷電流	アクティブ状態における 400 μs イネーブルパルス (周期 2ms), $R_L = 20\Omega$	-15		15	%
		$\leq 500Hz$, アクティブ状態, 50% デューティサイクル, $R_L = 20\Omega$	-10		10	%

$V_{BB} = 48V$ 、 $T_J = -40^{\circ}C \sim +150^{\circ}C$ (特に注記のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
E_{ON}	ターンオン中のスイッチングエネルギー損失	$R_L = 50\Omega$			1	mJ
E_{OFF}	ターンオフ中のスイッチングエネルギー損失	$R_L = 50\Omega$			0.9	mJ

6.9 代表的特性

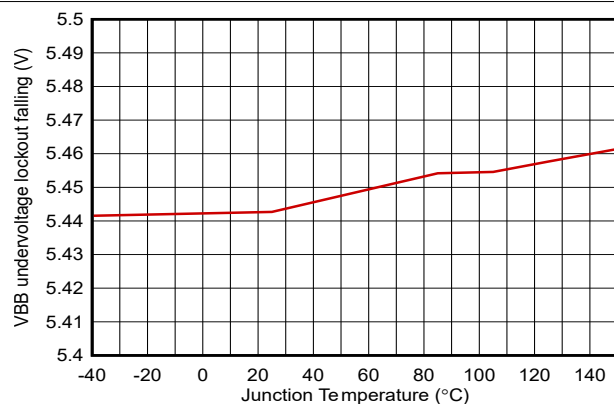


図 6-1. VBB 低電圧誤動作防止の立ち下がり電圧

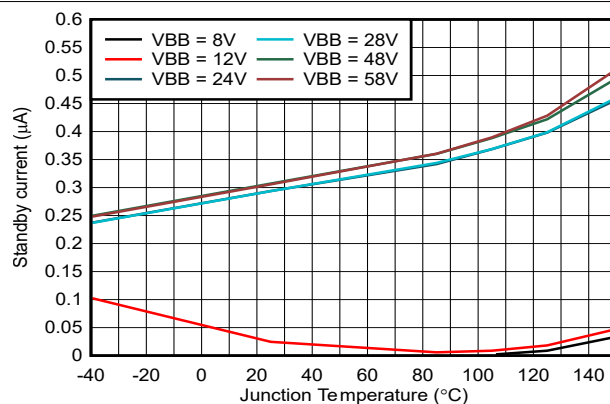


図 6-2. スタンバイ電流

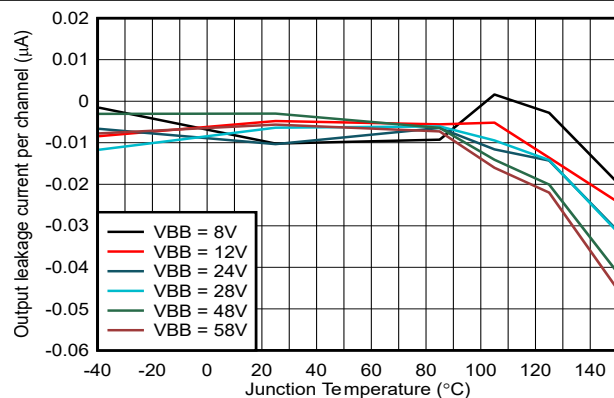


図 6-3. チャンネルあたりの出力リーク電流

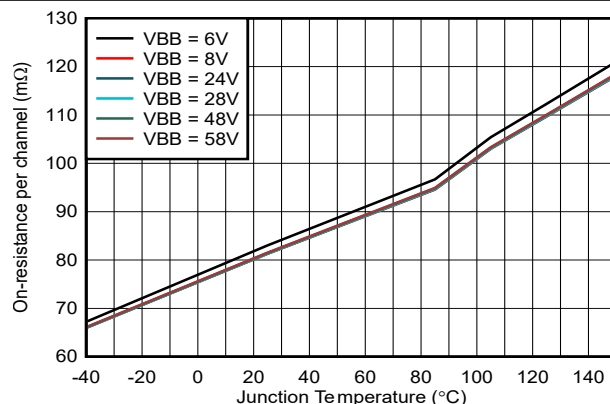


図 6-4. チャンネルあたりのオン抵抗

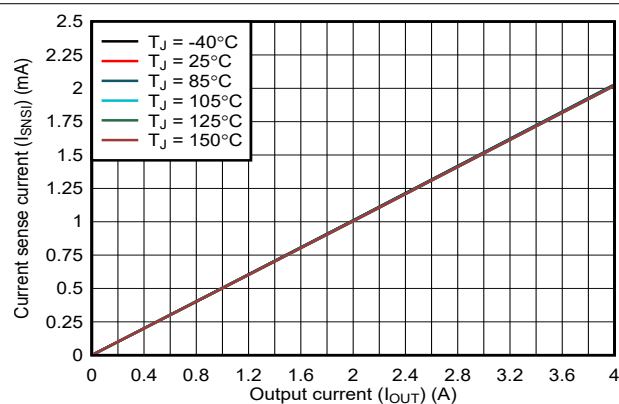


図 6-5. 電流センス信号、VBB = 8V

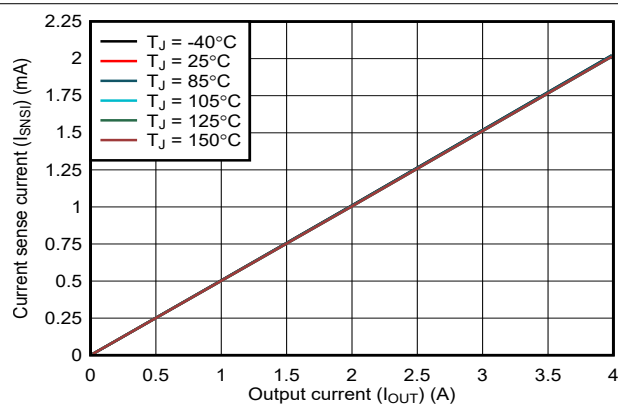


図 6-6. 電流センス信号、VBB = 24V

6.9 代表的特性 (続き)

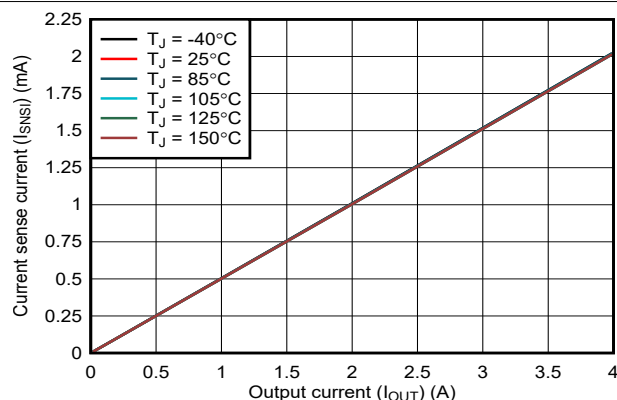


図 6-7. 電流センス信号、VBB = 48V

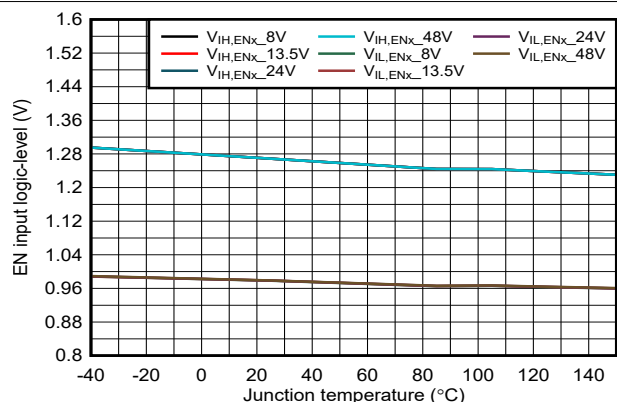


図 6-8. EN ピンの入力電圧 Low レベルと High レベル

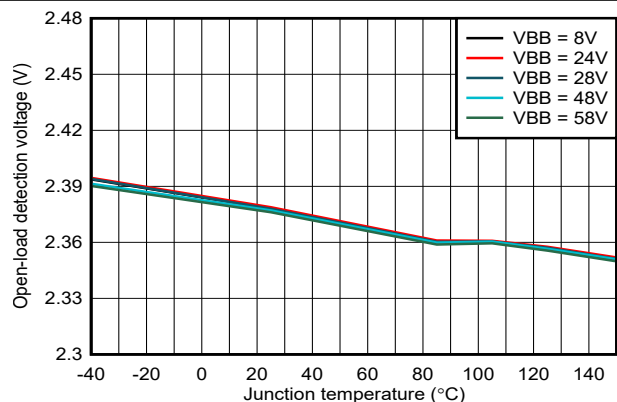


図 6-9. 開放負荷検出電圧

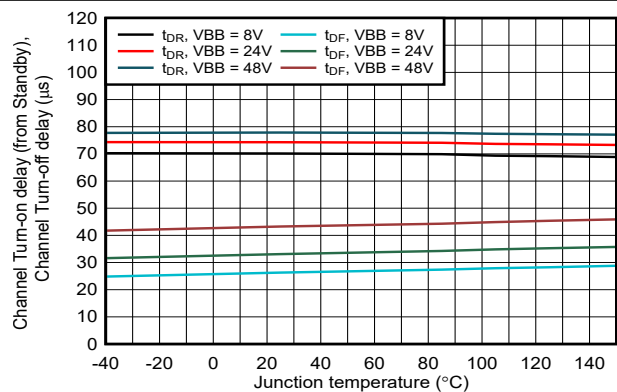


図 6-10. チャネルターンオン (t_{DR}) およびターンオフ (t_{DF}) の遅延時間

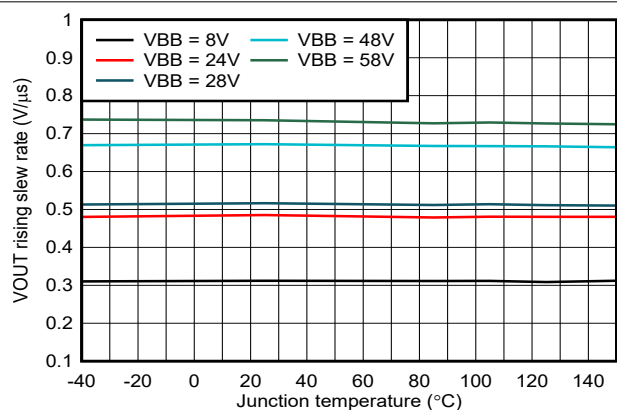


図 6-11. VOUT の立ち上がりスルーレート

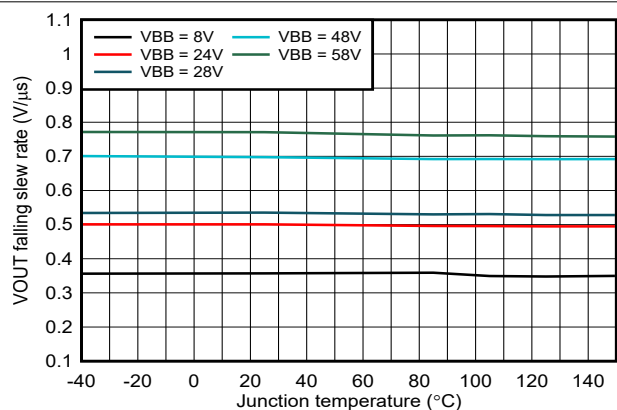


図 6-12. VOUT の立ち下がりスルーレート

6.9 代表的特性 (続き)

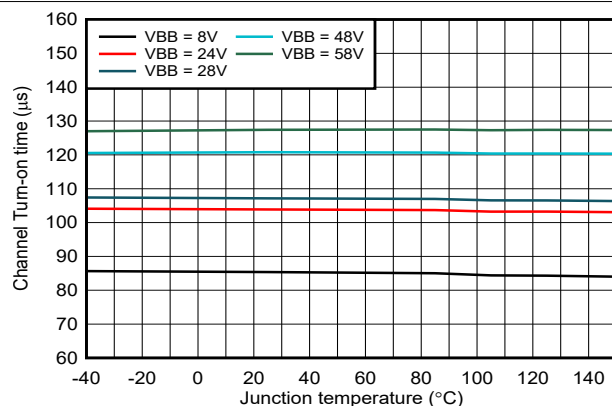


図 6-13. チャネルターンオン時間

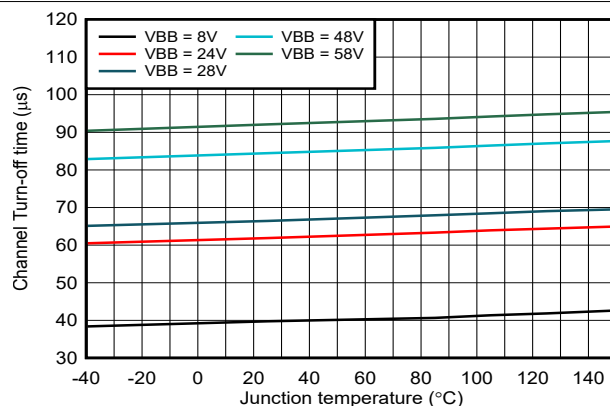


図 6-14. チャネルターンオフ時間

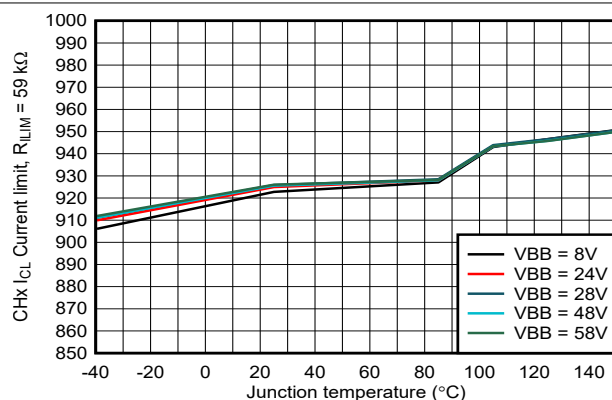


図 6-15. 電流制限レギュレーションレベル : 1A

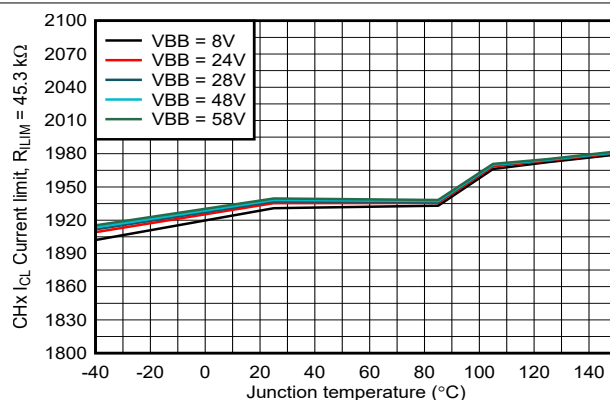


図 6-16. 電流制限レギュレーションレベル : 2A

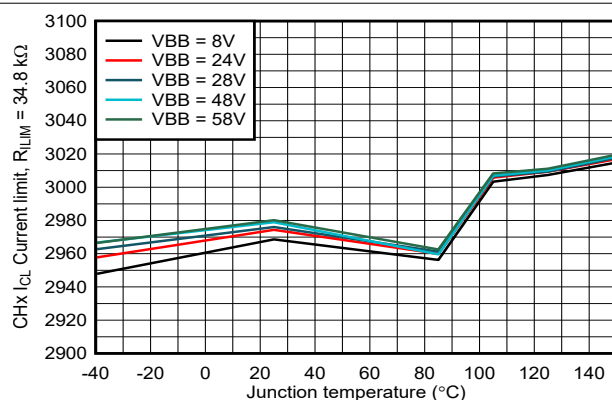


図 6-17. 電流制限レギュレーションレベル : 3A

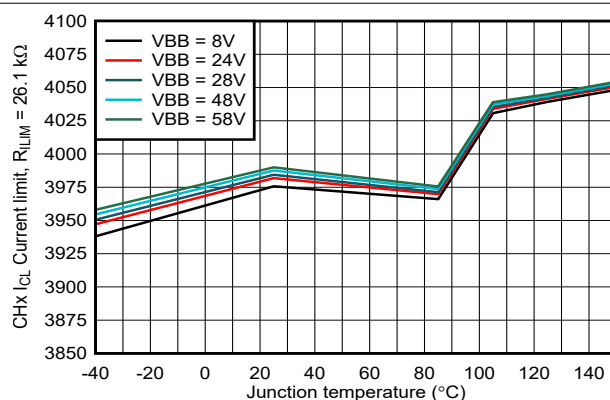


図 6-18. 電流制限レギュレーションレベル : 4A

6.9 代表的特性 (続き)

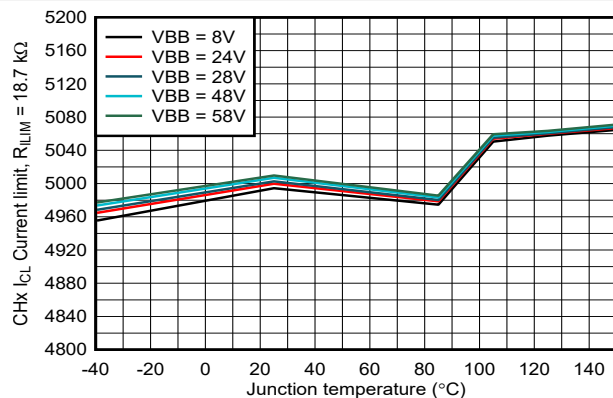


図 6-19. 電流制限レギュレーションレベル : 5A

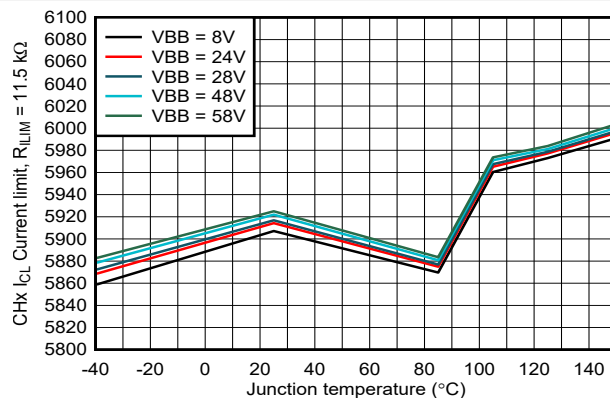


図 6-20. 電流制限レギュレーションレベル : 6A

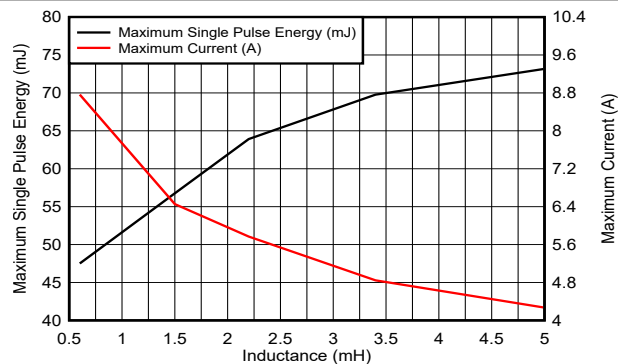


図 6-21. シングルパルスエネルギー、 $V_{BB} = 32\text{V}$ 、 $T_{J_START} = 125^{\circ}\text{C}$

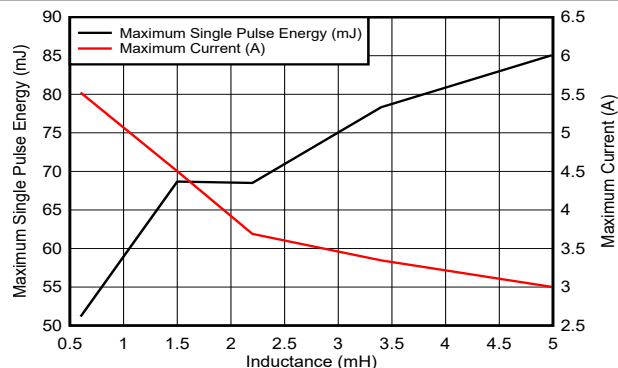


図 6-22. シングルパルスエネルギー、 $V_{BB} = 54\text{V}$ 、 $T_{J_START} = 125^{\circ}\text{C}$

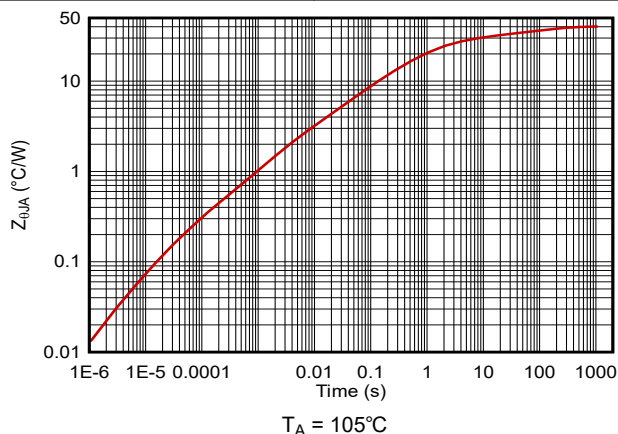


図 6-23. $Z_{\theta JA}$ (過渡熱インピーダンス)、JEDEC 規格の 2s2p PCB レイアウトによる、VBB パッドの下に 4 つのビア

7 詳細説明

7.1 概要

TPS482H85-Q1 デバイスは、チャージポンプとデュアルチャネル NMOS パワー FET を内蔵したスマートハイサイドスイッチです。包括的な診断機能と高精度の電流検出機能によって、インテリジェントな負荷制御が可能です。調整可能な電流制限機能により、システム全体の信頼性が大幅に向上します。

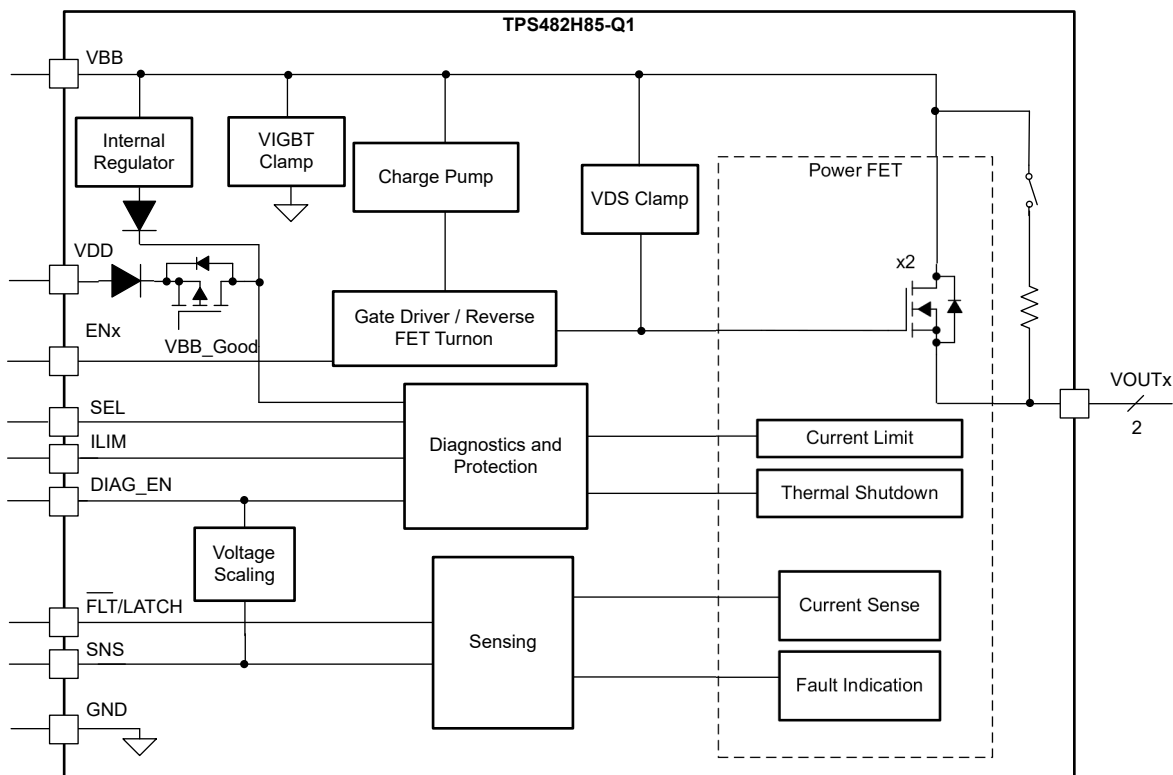
このデバイスには、2つのチャネルそれぞれを有効にするロジックピンと、アナログ電流 SNS ピンで出力するチャネルを選択するための SEL ピンによって診断出力を有効にする別のピンがあります。A および C バージョンには LATCH ピンがあり、サーマルシャットダウン後のラッチと自動再試行動作を選択でき、B バージョンでは、デバイスのフォルトを示すグローバル FLT ピンを提供しています。

外部の高精度電流制限機能により、アプリケーションごとに電流制限値を設定できます。過電流が発生した場合、デバイスは突入電流を効果的にクランプすることで、システムの信頼性を向上させます。また、PCB トレースとコネクタのサイズ、および前段の電力段の容量を削減することにより、システムのコストを節約できます。

このデバイスでは、誘導性負荷（リレー、ソレノイド、バルブ）のために、ドレインとソースの間にアクティブクランプを実装して自己保護を行います。誘導性負荷のスイッチオフサイクル中は、電源 (EBAT) および負荷 (ELOAD) の両方のエネルギーが、ハイサイドパワースイッチ自体で消費されます。また、このデバイスは、クランプがアクティブなときのスイッチングオフのスルーレートを最適化し、過渡電力と EMI の影響を最小限に抑え、維持することで、システム設計を支援します。

TPS482H85-Q1 デバイスは、省電力電球、LED、リレー、ソレノイド、ヒーター、サブモジュールなど、幅広い種類の抵抗性、誘導性、容量性負荷を駆動できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 ピンの電流および電圧の規則

データシート全体の参考として、図 7-1 に各ピンの電流の方向を矢印で示します。この方向は、仕様の電流の極性を示すために使用されますが、各ピンの実際の電流フローの方向を表すものではありません。すべての電圧は、グランドプレーンを基準として測定されます。

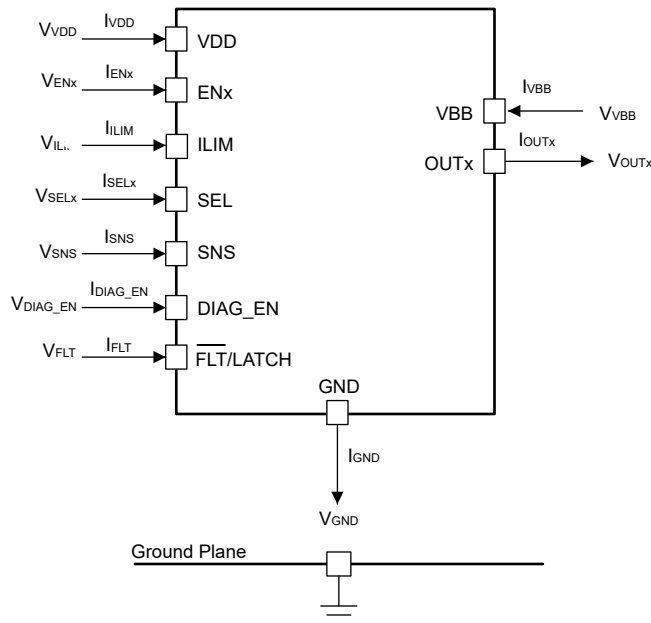


図 7-1. 電圧および電流の規則

7.3.2 高精度電流センス

高精度の電流センスを内部に実装することにより、キャリブレーションを追加することなく、より優れたリアルタイム監視効果と高精度の診断機能を得ることができます。電流ミラーを使用して負荷電流の $1/K_{SNS}$ を調達し、SNS ピンと GND の間の外付け抵抗に流して、SNS ピンの電圧として反映させます。

K_{SNS} は、出力電流とセンス電流との比です。電気的特性に記載されている K_{SNS} の精度は、温度と電源電圧を考慮した値です。各デバイスは製造時に内部で校正されているため、ほとんどの場合、ユーザーによる後校正は必要ありません。

SNS ピンの最大出力電圧は、フォルト電圧レベルである V_{SNSFH} にクランプされます。この電圧は DIAG_EN 電圧に連動させることで、システムが許容できる最大値を超えないように設計されています。DIAG_EN が V_{IH} と 3.3V の間であれば、SNS ピンの最大出力は約 3.3V です。ただし、DIAG_EN の電圧が 3.3V を上回る場合、フォルト SNS 電圧 V_{SNSFH} は、最大 5V までの電圧に追従します。DIAG_EN を通じて診断に電力を供給する GPIO 電圧出力が同じマイクロコントローラ内の許容最大 ADC 電圧に近い場合、トラッキングが行われます。

このため、センス抵抗値 R_{SNS} を選択して、システムで測定する必要がある電流範囲を最大化するよう選択できます。使用可能な R_{SNS} の最大値が、システムで測定する必要がある最小の負荷電流 $I_{LOAD,min}$ である場合、ADC の最小許容電圧 $V_{ADC,min}$ によって制限されます。システムがフォルトを正しく判定できるように、許容できる R_{SNS} の最小値は、 V_{SNS} 電圧が V_{SNSFH} 値より低くなるようにする必要があります。

DIAG_EN が Low の場合も、SNS ピンのクランプが有効になります。そのため、複数デバイスの SNS ピンを共通接続している場合は、外部マルチプレクサを使用して個々の SNS ピン電圧を読み取ることができます。マルチプレクサは、個々のデバイスの DIAG_EN 信号で制御できます。

逆極性保護用に GND ネットワークを使用する場合、SNS ピンの電圧が許容される最大 ADC 電圧を超えないように、GND ネットワークでの電圧降下を考慮する必要があります。たとえば、マイコンが 3.3V で動作し、GND ネットワークを使用している場合、デバイスに印加される実効 DIAG_EN 電圧は、GND ネットワークによって生じるオフセットの量 (通常約 0.7V) によって低下します。その結果、SNS ピンは約 3.3V + GND オフセットにクランプされます。このような場合、外部クランプダイオードを使用して SNS ピンの電圧を制限できます。

SNS ピンを流れる最大読み取り可能電流、 $I_{LOAD,max} \times R_{SNS}/K_{SNS}$ 、 V_{SNSFH} との差をヘッドルーム電圧 V_{HR} と呼びます。ヘッドルーム電圧は、システム、電源電圧、グランドネットワークを使用しているかどうかによって決定されます。GND ネットワークを使用する場合、 V_{HR} による電流センシング出力電圧制限は、 V_{BB} 約 2.6V + V_{SNS} から開始されます。フォルトレベル時には、電圧降下は小さくなります (約 1.5V)。これは、フォルト発生時に内部 SENSE FET がバイパスされ、必要なヘッドルームが小さくなるためです。グランドネットワークを使用しない場合、 V_{HR} はより低い V_{BB} (約 0.7V) から SNS ピンの電圧制限がかかります。

最大読み取り電流とフォルト状態の間に十分な差を確保するため、ヘッドルームを維持することが重要です。したがって、 R_{SNS} の最小値は、 V_{SNSFH} から V_{HR} を引き、検出電流比を掛け、 K_{SNS} をシステムが測定する必要がある最大負荷電流 ($I_{LOAD,max}$) で割った値にする必要があります。境界方程式を求めるには、式 1 を使用します。

$$V_{ADC,min} \times K_{SNS} / I_{LOAD,min} \leq R_{SNS} \leq (V_{SNSFH} - V_{HR}) \times K_{SNS} / I_{LOAD,max} \quad (1)$$

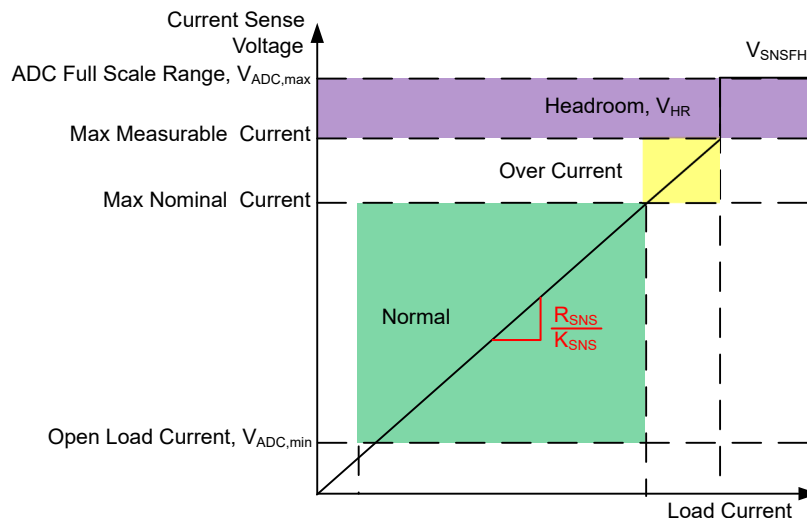


図 7-2. 電流センスピンの電圧表示

システムが読み取る最大電流 $I_{LOAD,max}$ は、電流制限しきい値以下とする必要があります。これは、電流制限しきい値をトリップすると、 V_{SNS} 値が V_{SNSFH} になるためです。

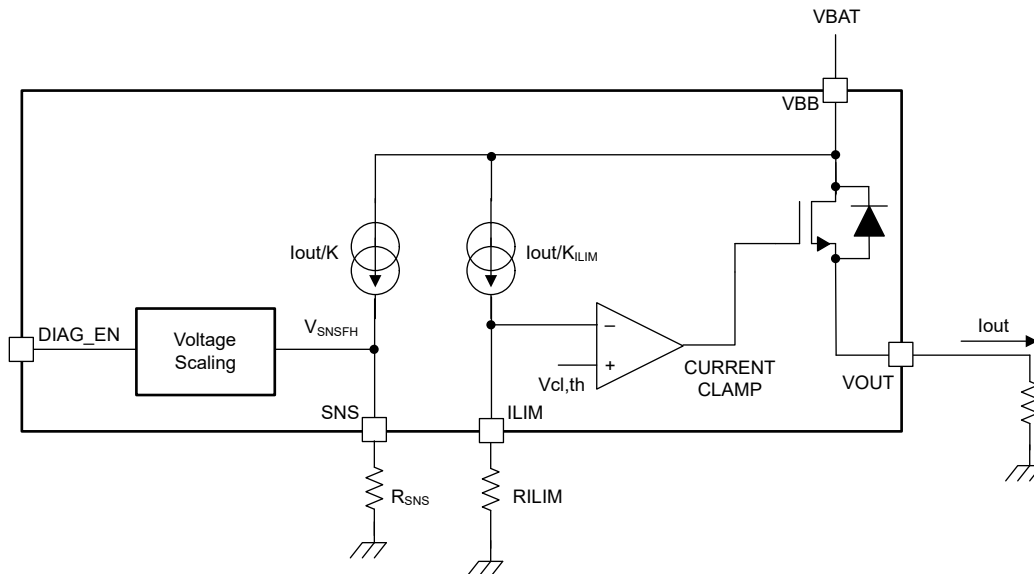


図 7-3. 電流センスおよび電流制限のブロック図

この方式はマイコンによって印加される電圧に基づいて調整されるので、高電圧から保護するために SNS ピンにツェナーダイオードを接続する必要はありません。

7.3.3 調整可能な電流制限

高精度で調整可能な電流制限により、短絡時または電源オン時に許容可能なレベルにプログラムすることで電源およびワイヤを保護し、より高い信頼性を実現しています。また、電流制限を行うことで、PCB トレースやコネクタサイズ、前段電源ステージの容量を抑え、ワイヤゲージを小さくすることで、システムコストを低減できます。

電流制限は、過ストレスから負荷への保護と内蔵型パワー FET を実現します。電流制限は出力電流を設定値に調整し、FLT ピンをアサートし、デバイスが SNS ピンのそのチャンネルを出力するように設定されている場合は、SNS ピンを V_{SNSFH} にプルアップします。

- 本デバイスは、ILIM ピンの外付け抵抗を使って、さまざまな電流制限値にプログラムできます。電流制限設定は 9 種類あり、[外付け抵抗による電流制限設定](#) に示す抵抗値に基づいて設定できます。 R_{ILIM} 抵抗には公差 $\leq \pm 1\%$ の抵抗を使用しなければなりません。

表 7-1. 外付け抵抗による電流制限設定

許容される抵抗値 ⁽¹⁾	ILIM しきい値
57.6kΩ	1A
45.3kΩ	2A
34.8kΩ	3A
25.5kΩ	4A
18.2kΩ	5A
11.3kΩ	6A
6.04kΩ	7A
2.32kΩ	8A
GND 短絡、0.3kΩ	9A

(1) この表に記載されていない抵抗設定は、隣接するレベルの 1 つとして解釈できますが、推奨する設定ではありません。

異なる突入電流制限値と定常電流制限値を設定するには、デバイスがオンのときに電流制限抵抗を動的に変更します。MOSFET ベースの制御方式を採用して、電流制限を自動的に変更します。ただし、ILIM ピンの部品とレイアウトを慎重に考慮し、ピンの静電容量を最小限に抑える必要があります。ILIM スレッシュホールドをオンザフライでスイッチングすると、ILIM ピンの $\geq 100\text{pF}$ の容量が、1 つの ILIM 抵抗から別の ILIM 抵抗への遷移速度に影響を与え、不必要なシャットダウンが発生する可能性があります。動的な電流制限変更には、入力容量の小さい MOSFET を選択してください。

電流制限イベントは、 I_{OUTx} が規制しきい値レベル I_{CL} に達したときに発生します。 I_{OUT} が電流制限しきい値 I_{CL} に達すると、デバイスは有効なまま、 I_{OUTx} を I_{CL} に制限することができます。デバイスが有効なまま (および I_{OUT} に制限) である場合、FET の消費電力が多いため、サーマル シャットダウンがトリガされることがあります。短絡電流制限の有効化 (自動再試行) に、短絡が発生して本デバイスが有効化されたときのレギュレーションループ応答を示します。この図に、デバイス比較表に示す LATCH = LOW での自動再試行バージョンまたは LATCH ピンバージョンのシナリオを示します。LATCH = HIGH 付きの LATCH ピンバージョンは、最初のサーマル シャットダウンの後ラッチオフされます。電流は、規制スレッシュホールド (I_{CL}) よりも高い値 (I_{CL_ENPS}) でピークになることがあることに注意してください。

過電流イベントが発生した場合、短絡時に観測されるピーク電流を制限するために、電流制限が迅速に応答する必要があります (高温と短絡時の両方)。ピークは、所与の電源容量に対して電源がドロップしないように制限する必要があります。これは、デバイスが車載バッテリーではなく DC/DC から電力供給されているアプリケーションでは、特に重要です。

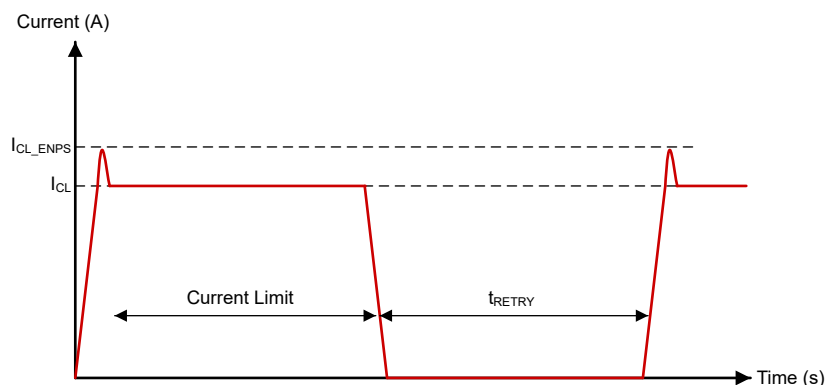


図 7-4. 短絡電流制限の有効化 (自動再試行)

ただし、電流制限が適用される前で、過負荷状態のときに、スイッチから、電流制限調整ループ スレッシュホールド (I_{CL}) よりも高い出力電流 (I_{CL_LINPK}) が流れることがあります。

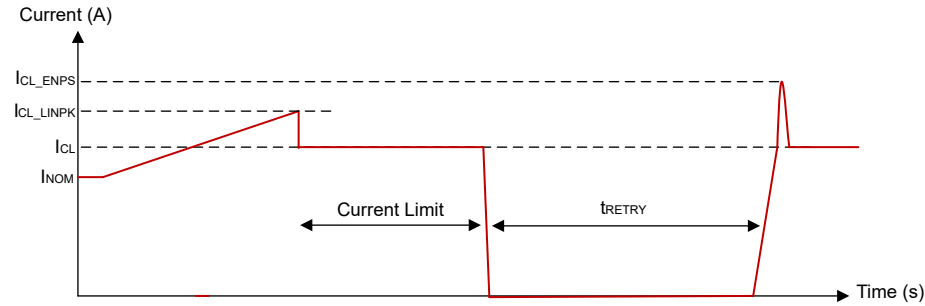


図 7-5. ソフト短絡からのリニアピーク（自動再試行）

このデバイスでは、スイッチが有効な間、短絡イベント時の電流を制限するため、強力なプルダウン抵抗を適用しています。その後、電流制限調整ループが作動する前に、電流がゼロまで低下し、スイッチがオンになりますが、この動作は、短絡発生時の有効化と同様です。

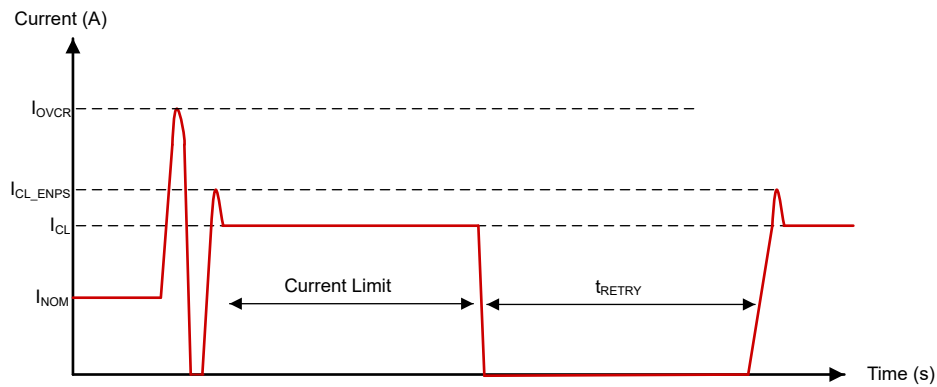


図 7-6. ホット短絡イベント（自動再試行）

7.3.3.1 短絡信頼性

TPS482H85-Q1 は、デバイスの堅牢性を実証するため、ホット短絡イベントに対するテストと、出力をグランドに短絡した状態での有効化のテストを実施しています。図 7-7 に、等価テスト回路を示します。

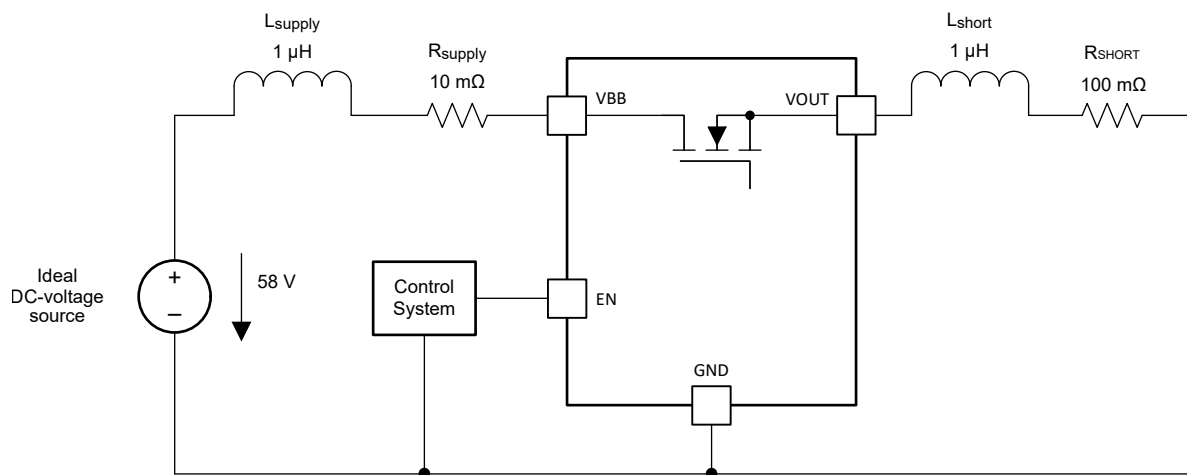


図 7-7. 等価テスト回路

表 7-2 に、さまざまな電流制限におけるデバイスの動作を示します。

表 7-2. 短絡信頼性

サーマル故障後の動作	電流制限	デバイス動作
ラッチ	すべての電流制限	絶対または相対サーマル シャットダウンのトリガ後、デバイスはオフにラッチされます
再試行	9A	最大 3k サイクルまでのホット短絡または短絡へのウェークアップをサポート
	8A	最大 100k サイクルまでサポート
	7A	最大 300k サイクルまでサポート
	<= 6A	最大 100 万サイクルまでサポート

7.3.4 誘導性負荷のスイッチオフ クランプ

誘導性負荷をオフに切り替えると、誘導性リアクタンスによって負の出力電圧を引き寄せる傾向があります。過度の負電圧があると、パワー FET が機能しなくなる可能性があります。パワー FET を保護するために、ドレインとソースの間の内部クランプとして $V_{DS(clamp)}$ が実装されています。

$$V_{DS(damp)} = V_{VS} - V_{OUT} \quad (2)$$

消磁時間 (t_{DECAY}) の間、インダクタンス-エネルギーを消費するためにパワー FET がオンになります。総エネルギーは、ハイサイドスイッチで消費されます。総エネルギーには、電源のエネルギー ($E_{(VS)}$) と負荷のエネルギー ($E_{(LOAD)}$) が含まれます。抵抗がインダクタンスと直列になっている場合は、負荷のエネルギーの一部が抵抗で消費されます。

$$E_{(HSS)} = E_{(VS)} + E_{(load)} = E_{(VS)} + E_{(L)} - E_{(R)} \quad (3)$$

誘導性負荷がオフになると、 $E_{(HSS)}$ によりデバイスに高い熱ストレスが加わります。消費電力の上限は、そのデバイスに固有の容量、周囲温度、および基板の消費電力条件によって異なります。

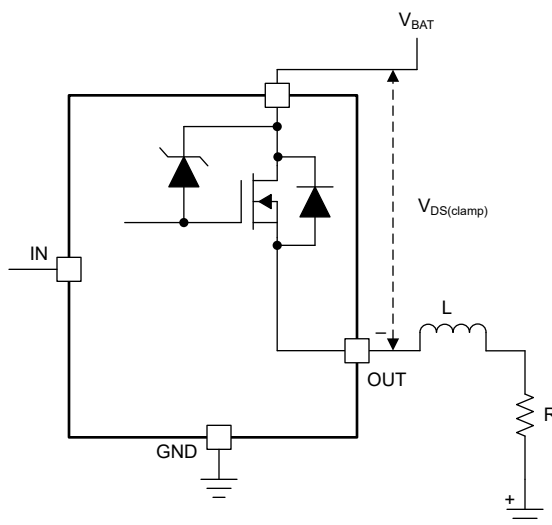


図 7-8. ドレイン-ソース間クランプ構造

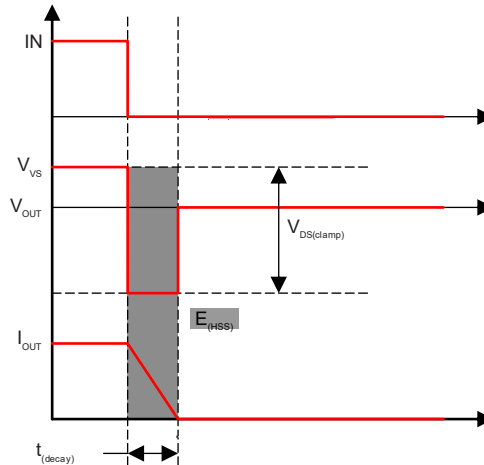


図 7-9. 誘導性負荷のスイッチングオフ図

ハイサイドスイッチの観点から、 $E_{(HSS)}$ は、消磁時間中の積分値に等しくなります。

$$E_{(HSS)} = \int_0^{t_{(decay)}} V_{DS(clamp)} \times I_{OUT}(t) dt$$

$$t_{(decay)} = \frac{L}{R} \times \ln \left[\frac{R \times I_{OUT(max)} + |V_{OUT}|}{|V_{OUT}|} \right] \quad (4)$$

$$E_{(HSS)} = L \times \frac{V_{VS} + |V_{OUT}|}{R^2} \times \left[R \times I_{OUT(max)} - |V_{OUT}| \ln \left(\frac{R \times I_{OUT(max)} + |V_{OUT}|}{|V_{OUT}|} \right) \right]$$

R がほぼ 0 に等しいとき、 $E_{(HSD)}$ は、単純に次のように求めることができます。

$$E_{(HSS)} = \frac{1}{2} \times L \times I_{OUT(max)}^2 \frac{V_{VS} + |V_{OUT}|}{|V_{OUT}|} \quad (5)$$

このデバイスは、クランプがアクティブなときにスイッチングオフ時のスルーレートを最適化します。この最適化は、過渡電力と EMI の影響を最小限に抑えることで、システム設計を支援します。制御済みのスルーレートは約 $0.7V/\mu s$ です。

PWM 制御された誘導性負荷の場合、反復電力ストレスからデバイスを保護するため、図 7-10 に示す外部フリーホイール回路を追加することを推奨していますので、注意してください。TVS は、高速減衰を実現するために使用されます。詳細については、図 7-10 を参照してください。

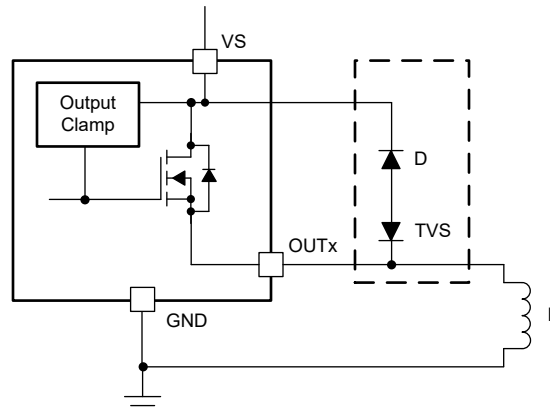


図 7-10. 外部回路による保護

TPS482H85A および B バリエントでは、VDS クランプが作動すると、VBB ライン過渡時に出力電圧が上昇します。一方、TPS482H85C は 58V を超える VBB ライン過渡時にクランプを作動させず、誘導性エネルギーが散逸されるときにのみクランプをアクティブにします。セクション 6.1 に示すように、VBB から GND への電圧を最大 70V に制限することが重要です。推奨の VBB 公称電圧範囲 (6V ~ 58V) で誘導性負荷をオフにすると、すべてのバリエントは同じ動作をします。

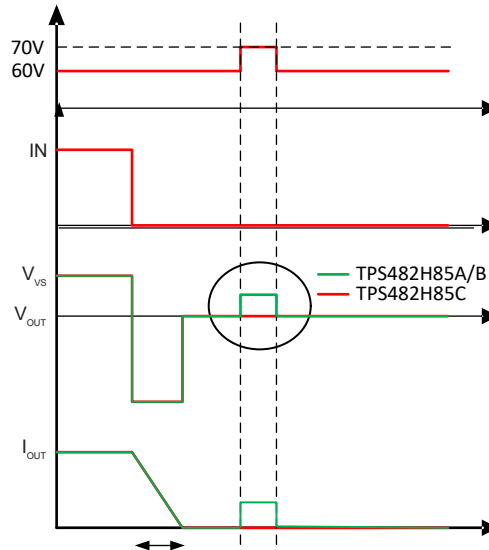


図 7-11. 誘導性負荷スイッチオフ時のバリエント A、B、C の違い

7.3.5 フォルト検出および通知

7.3.5.1 診断イネーブル機能

DIAG_EN ピンは診断機能をイネーブルまたはディスエーブルします。複数のデバイスを使用しても、マイコン内の ADC リソースが制限されている場合、マイコンは GPIO を使用して DIAG_EN を High に設定して一方のデバイスの診断をイネーブルにし、DIAG_EN を Low に設定することで他のデバイスの診断をディスエーブルにできます。また、DIAG_EN と ENx を Low に設定することで、デバイスは消費電力を最小限に抑えることができます。

7.3.5.2 電流センス回路図

SEL ピンは、同じデバイス内の 2 つのチャンネル間で共有の電流センス機能を多重化するために使用します。各ピンを High または Low にすると、DIAG_EN が High の場合、対応するチャンネルが SNS ピンに出力されます。FLTB バリエントのピンは、開放負荷およびバッテリー短絡フォルトを除く、いずれかのチャンネルでフォルトが発生した場合に Low になるグローバル割り込みを表します。開放負荷およびバッテリーへの短絡フォルトの場合、選択されたチャンネルにフォルトがある場合のみ FLT は Low になります。

電流センス情報が異なるデバイス間で多重化されている場合、SNS ピンを複数のデバイスで直接接続しないでください。DIAG_EN が Low のときは、SNS ピンの内部にあるクランプの電圧は約 2V にクランプします。1 つのデバイスの SNS ピンを直接接続すると、他のデバイスの SNS リードバックに影響を与える可能性があります。

複数のデバイスにまたがる SNS ピンを使用するには、図 7-12 に示すように、個別の SNS ピンを MCU の異なるアナログ入力ピンに接続することを推奨します。または、図 7-13 に示すように、外部アナログマルチプレクサを使用して 1 つの MCU ピンに接続することもできます。

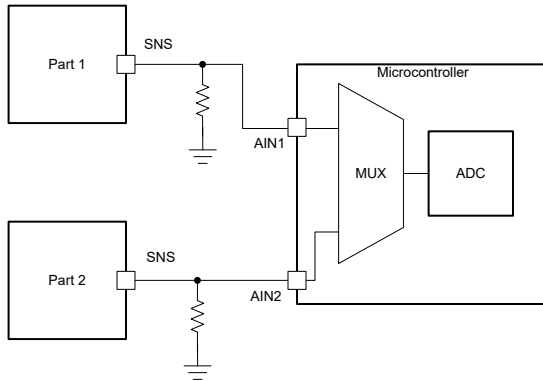


図 7-12. 複数デバイスにまたがる SNS を共有する方
法 1

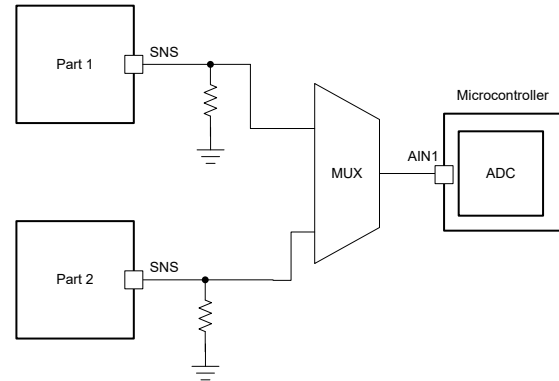


図 7-13. 複数デバイスにまたがる SNS を共有する方
法 2

表 7-3. 診断設定表

DIAG_EN	ENx	SEL	SNS 有効化チャンネル	SNS	FLT	保護および診断
L	H	—	—	0V ピンに外部電圧が印加される場合、内部で 2V にクランプします。	フォルト表を参照してください。	SNS 無効、FLT 通知、完全保護
	L				ハイインピーダンス	診断無効、保護なし
H	—	0	チャンネル 1	フォルト表	フォルト表を参照してください。	フォルト表を参照してください。
		1	チャンネル 2			

7.3.5.3 FLT レポート

グローバル FLT ピンを備えた B バリエーションの場合、FLT 出力は両チャンネルのフォルトの状態を監視します。いずれかのチャンネルでフォルト状態 (開放負荷およびバッテリー短絡フォルトを除く) が発生すると、FLT ピンは GND にプルダウンされます。マイコンの電源レベルに合わせて、3.3V または 5V 外部プルアップが必要です。FLT ピンは、デバイスがスリープモードでない限り、任意のチャンネルのフォルトを通知します。開放負荷およびバッテリーへの短絡フォルトの場合、選択されたチャンネルにフォルトがある場合のみ FLT は Low になります。

FLT 通知の後、マイコンは多重化した電流センシングによりフォルト状態のチャンネルを確認および識別できます。A および C バリエーションでも、DIAG_EN が high の場合は、SNS ピンが内部プルアップ電圧、 V_{SNSFH} によるフォルト通知としても機能します。

7.3.5.4 フォルト表

表 7-4. フォルト表

条件	ENx	OUTx	SNS (if DIAG_EN is High)	FLT ⁽¹⁾ (with external pull-up)	動作	FAULT 回復
正常	L	L	0	H	正常	—
	H	$V_{BB} - I_{LOAD} \times R_{ON}$	I_{LOAD} / SNS	H	正常	—
過電流	H	$V_{BB} - I_{LIM} \times R_{ON}$	V_{SNSFH}	L	サーマルシャットダウンまで、または過電流イベントが解消したとき、電流制限の電流を保持します。	車載

表 7-4. フォルト表 (続き)

条件	ENx	OUTx	SNS _(if DIAG_EN is High)	FLT ⁽¹⁾ _(with external pull- up)	動作	FAULT 回復
開放負荷、逆極性	L	H	V_{SNSFH}	L	内部プルアップ抵抗がアクティブ。 $V_{VS}-V_{OUTx} < V_{(ol, off)}$ のときフォルトがアサートされます	車載
	H	H	I_{LOAD}/SNS	H	通常の動作。ユーザーは、SNS ピン出力に基づいて判定できます。	—
ホットショート	H	L	V_{SNSFH}	L	デバイスは直ちにシャットダウンし、電流制限が再度有効になります。	サーマルシャットダウンが完了するまで、電流制限を自動再試行します。自動再試行バージョンは、フォルトが解消するまで繰り返されます。ラッチバージョンでは、最初のサーマルシャットダウン後に EN を切り替える必要があります。
永久短絡の有効化	L → H	L	V_{SNSFH}	L	サーマルシャットダウンになるまで、デバイスは電流制限を有効化しています。	サーマルシャットダウンまで電流制限を有効にします。自動再試行バージョンは、フォルトが解消するまで繰り返されます。ラッチバージョンでは、最初のサーマルシャットダウン後に EN を切り替える必要があります。
絶対的なサーマルシャットダウン、相対的なサーマルシャットダウン	H	L	V_{SNSFH}	L	デバイスが相対的または絶対的なサーマルシャットダウンに達するとシャットダウンします。	自動再試行バージョンの場合、 t_{RETRY} 後に自動再試行が出力されます。 $T_J < T_{HYS}$ または ENx が切り替わると、フォルトは回復します。ラッチバージョンは、EN が切り替わったときのみ回復できます。
極性反転	X	X	X		X	チャンネルをオンにして消費電力を抑えます。外部グラウンドネットワークを使用して、グラウンドピンへの電流を制限します。

(1) FLT ピンを含むバリエーションでのみ FLT 出力。

7.3.6 全診断機能

7.3.6.1 GND 短絡および過負荷保護

チャンネルがオンのとき、GND 短絡または過負荷状態により過電流が発生します。過電流によって内部または外部の電流制限しきい値のいずれかがトリガされた場合、フォルト状態が通知されます。マイコンは、スイッチをオフにすることで、過電流に対処できます。デバイスは、サーマル シャットダウンが発生するまで、電流を I_{CL} にクランプします。フォルト状態が解消されると、このデバイスは自動的に回復します。

高温による短絡状態で、EN が HIGH のときに短絡が起きると、図 7-6 に示す通り、デバイスは直ちにシャットダウンし、永久短絡状態の有効化と同じように自動再試行を行います。

7.3.6.2 オープン負荷の検出

7.3.6.2.1 チャンネル オン

チャンネルがオンのとき、小さな電流範囲で高精度の電流センスを活用でき、開放負荷イベントが発生した場合、そのチャンネルは超低 V_{SNS} として検出され、マイコンによって処理できます。この検出は、FLT ピンやフォルトレジスタには通知されないの注意してください。マイコンは、SNS ピンに正しいチャンネル出力を出力するために SEL ピンを多重化する必要があります。

7.3.6.2.2 チャンネル オフ

オフ状態で、DIAG_EN が High のとき、内部プルアップ抵抗 R_{PU} によってチャンネルを V_{BB} にプルアップします。プルアップされる特定のチャンネルは SEL の選択に基づいており、他のチャンネルにはプルアップ抵抗が接続されていません。

選択したチャンネルに負荷が存在する場合、負荷は R_{PU} よりもはるかに大きいため、出力電圧は約 0V にプルダウンされます。開放負荷の場合、出力電圧は R_{PU} によって電源電圧付近にプルダウンされます。選択されたチャンネルで $V_{BB} - V_{OUT} < V_{OL,off}$ の場合、 $\overline{FLT}$ ピンが Low になってマイコンにフォルトが通知されると、SNS ピンは I_{SNSFH} にプルアップされます。

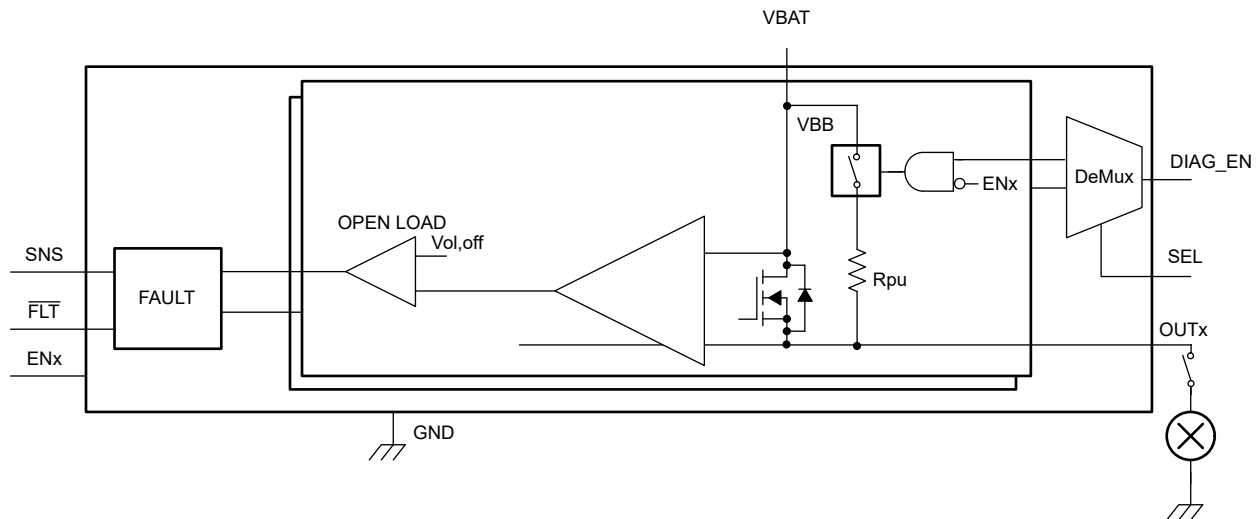


図 7-14. オフ状態での開放負荷検出

7.3.6.3 バッテリへの短絡の検出

バッテリーへの短絡に対する検出メカニズムおよび動作は、オン状態とオフ状態の両方で、開放負荷検出と同じです。詳細については、[フォルト表](#) を参照してください。

7.3.6.4 逆極性およびバッテリー保護

逆極性（一般に逆バッテリーと呼ばれます）は、デバイスのグランドがバッテリー電位になる $V_{GND} = V_{BAT}$ で、電源ピンがグランドに接続される $V_{BB} = 0V$ のときに発生します。この場合、**EN2** ピンにグランドプレーンへのパスがあれば、FET はオンになり、メイン チャンネルを通じて消費電力を低減させ、ボディダイオードを通じて流れる電流を防ぎます。電源に集中型のブロッキングダイオードが存在しない場合、逆バッテリー発生時にデバイスを保護するため、抵抗/ダイオードのグラウンドネットワークが必要です。

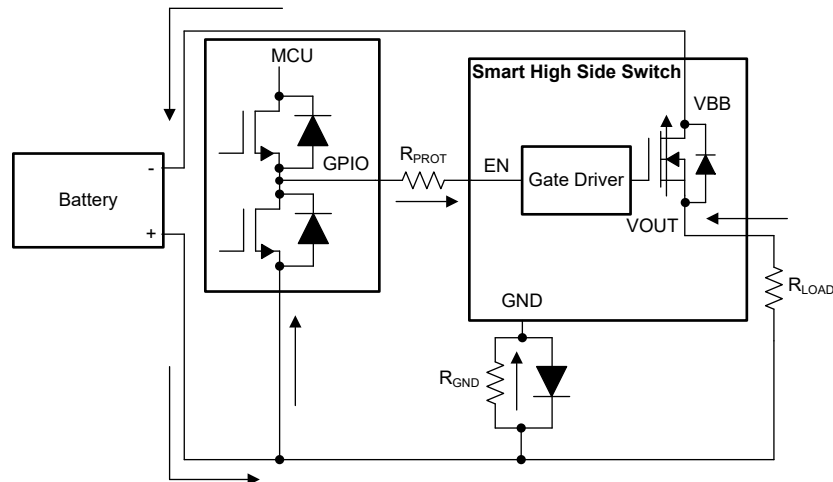


図 7-15. 逆バッテリー回路

外部保護回路の詳細については、[セクション 7.3.7.5](#) を参照してください。詳細については、[フォルト表](#) のフォルト真理値表を参照してください。

7.3.6.5 サーマルフォルト検出

過酷な電力ストレスの発生時にデバイスを保護するため、このデバイスには、絶対温度保護（絶対サーマル シャットダウン）と動的温度保護（相対サーマル シャットダウン）という 2 種類のサーマルフォルト検出機能が実装されています。それぞれの温度センサが各パワー FET の近くに内蔵されているため、各チャネルによりサーマルフォルトが通知されます。この配置により、一部のチャネルがサーマルフォルト状態のときに、本デバイスはクロスチャネル効果を最小限に抑えることができます。

7.3.6.5.1 過熱保護動作

過熱保護動作は、起こり得るイベントを 3 つのカテゴリに分割することができます。[図 7-16](#) に、これらの各カテゴリを示します。

1. **相対サーマル シャットダウン:** デバイスは、過電流イベントでも有効です。出力電流は I_{ILIM} レベルまで上昇し、 $\overline{FLT}$ は low になります。このように大量の電流が流れるため、FET の接合部温度はコントローラの温度に対して急速に上昇します。パワー FET 温度がコントローラの接合部温度 $\Delta T = T_{FET} - T_{CON} > T_{REL}$ を上回ると T_{REL} に上昇すると、デバイスはシャットダウンします。自動再試行バージョンでは、 t_{RETRY} 後にデバイス自体が再起動を試みます。ラッチバージョンでは、チャネルを再度有効にするため、EN を切り替える必要があります。 $\overline{FLT}$ ピンは、故障状態が解消されるまでアサートされたままになります。[図 7-16](#) の最初のプロットは、自動再試行バージョンの相対サーマルシャットダウン動作を示しています。
2. **絶対サーマル・シャットダウン:** 過電流イベントでもデバイスは有効なままです。ただし、この場合、接合部温度は上昇し、絶対基準温度 T_{ABS} に達すると、シャットダウンされます。自動再試行バージョンでは、 $T_J < T_{ABS} - T_{hys}$ と t_{RETRY} タイマが共に終了するまで、デバイスは回復しません。ラッチバージョンの場合、チャネルを再度有効にするには、EN を切り替える必要があります。[図 7-16](#) の 2 番目のプロットは、自動再試行バージョンの絶対サーマル シャットダウン動作を示しています。
3. **ラッチ動作:** デバイスは、過電流イベントでも有効です。DIAG_EN ピンが high であれば、SNS および FLT で診断を監視できます。ラッチ付きバージョンのデバイスでは、サーマルフォルト、相対サーマルシャットダウンまたは絶対サーマルシャットダウンのいずれかによってデバイスがシャットダウンした場合、EN ピンが切り替わるまで、デバイスはチャネルを有効化しません。[図 7-16](#) の 3 番目のプロットは、LATCH ピンが HIGH のとき、LATCH ピンのバリエーションの相対的なサーマルシャットダウン動作を示しています。

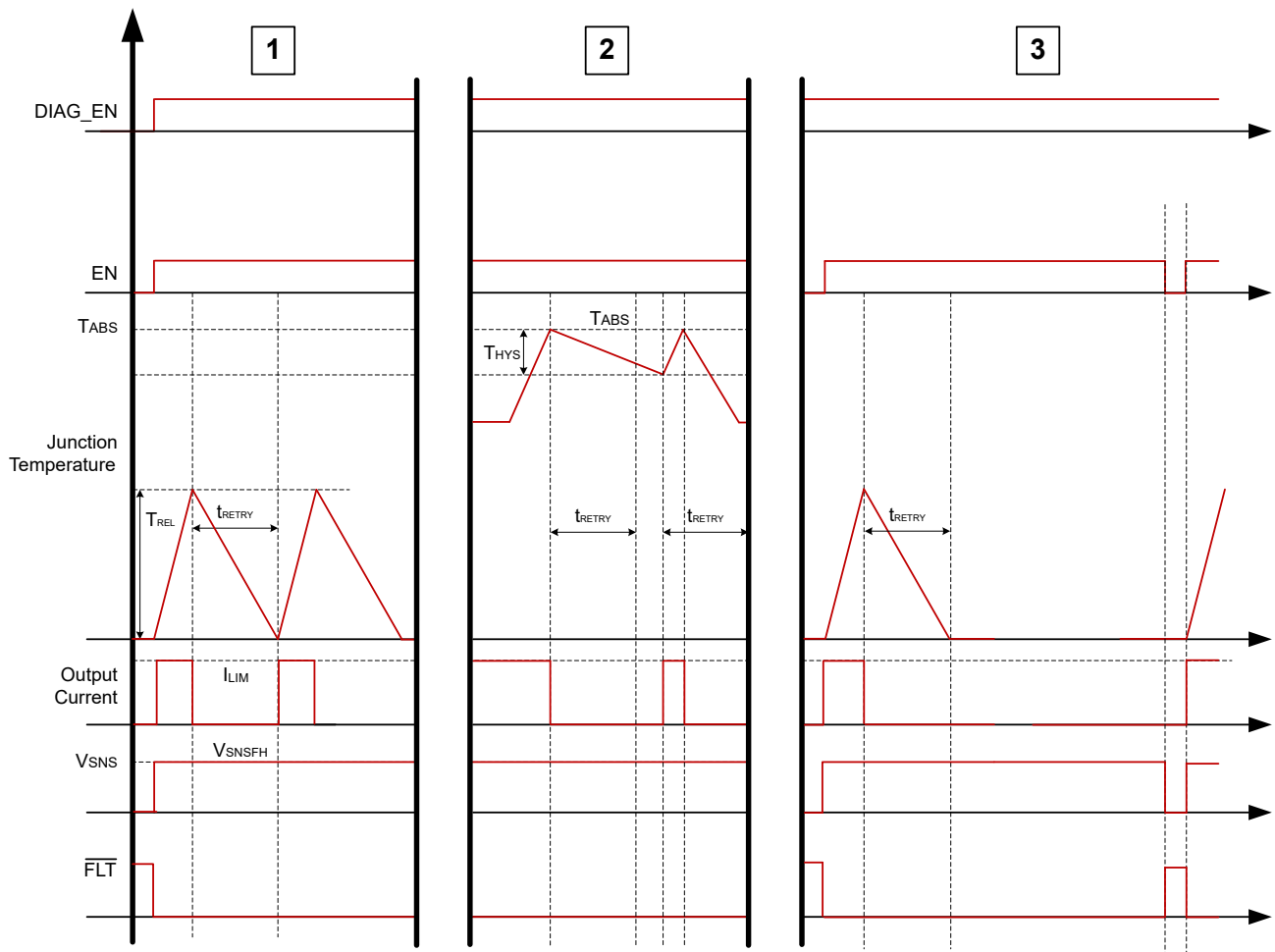


図 7-16. 熱挙動

7.3.7 全保護機能

7.3.7.1 UVLO 保護

デバイスは電源電圧 V_{VBB} を監視することで、 V_{VBB} が低すぎるときに予期しない動作が発生することを防ぎます。 V_{VBB} が V_{UVLOF} を下回ると、デバイスはシャットダウンします。 V_{VBB} が V_{UVLOR} まで上昇すると、デバイスはオンになります。

7.3.7.2 GND 喪失保護

GND が喪失すると、制御ピンのステータスに関係なくすべてのチャンネルが無効化され、部品には電力供給されません。

ケース 1 (デバイスの GND 喪失): サーマル パッド (Tab)、 I_{C_GND} 、電流制限グラウンドが 1 つのパターンで、システム グラウンドに接続されているとき、GND 喪失保護がアクティブになります (図 7-17 を参照)。

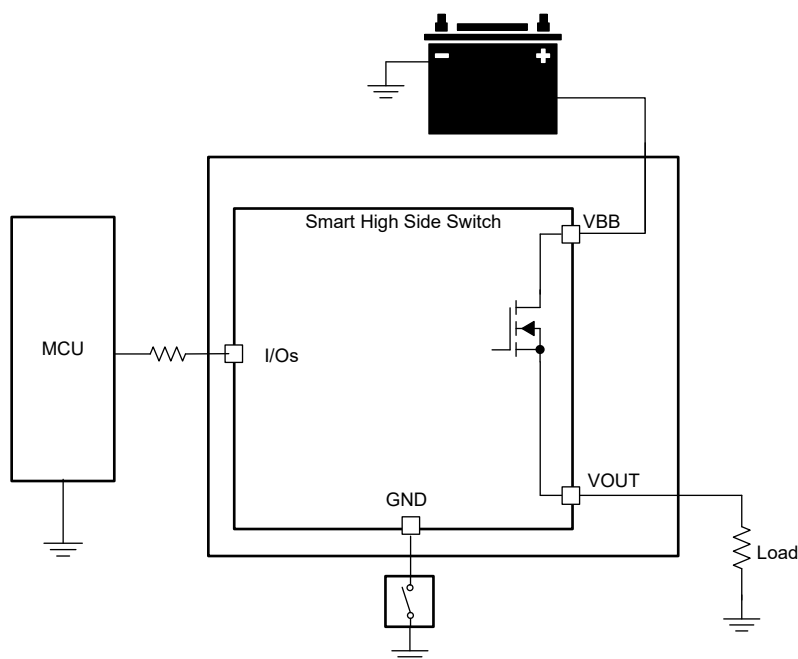


図 7-17. デバイスの GND 喪失

ケース 2 (モジュールの GND 喪失): ECU モジュール全体の GND が失われた場合、保護機能もアクティブになります。この状態では、負荷の GND は引き続き接続されています。

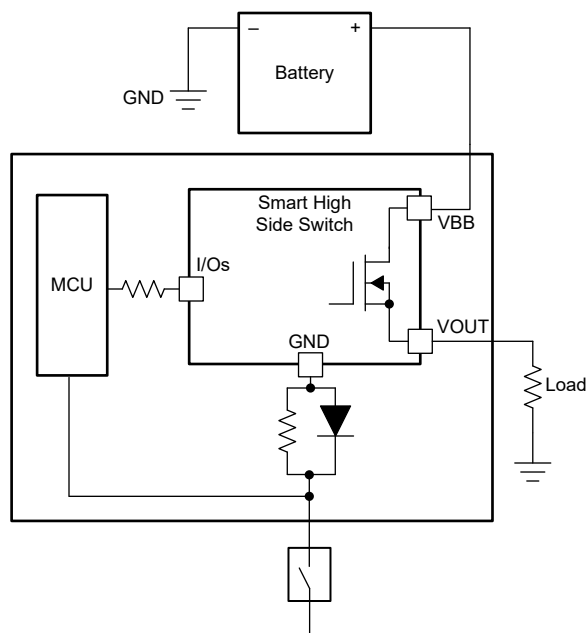


図 7-18. モジュールの GND 喪失

7.3.7.3 電源喪失保護

電源喪失が発生すると、入力が **High** か **Low** かどうかに関わらず、出力はオフになります。抵抗性または容量性負荷の場合は、それ以上電力を必要としないため、電源喪失保護は簡単に実現できます。ワースト ケースは、充電された誘導性負荷の場合です。この場合は、インダクタンス出力ループを維持するために、すべての IO から駆動電流が流れます。

TI では、マイコンの直列抵抗プラス GND ネットワーク(ダイオードと抵抗を並列に接続)、または外部のフリーホイール回路を推奨します。

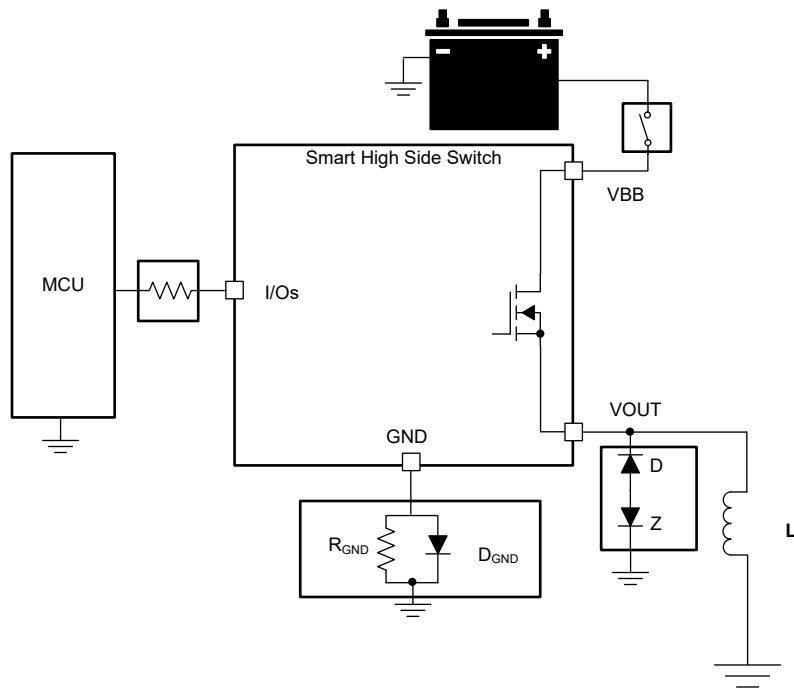


図 7-19. バッテリの損失

7.3.7.4 VDD 喪失

VDD 電源入力が喪失した場合でも、デバイスは状態を変化させることなく正常に動作を継続します。VDD 電源の喪失による唯一の影響は、VBB ピンを通じて流れる静止電流消費の増加です。

7.3.7.5 逆電流保護

方法 1: ブロックダイオードを V_{BB} に接続。逆極性時にデバイスと負荷の両方が保護されます。ブロッキングダイオードは、バッテリーの逆接続条件では電流を流しません。

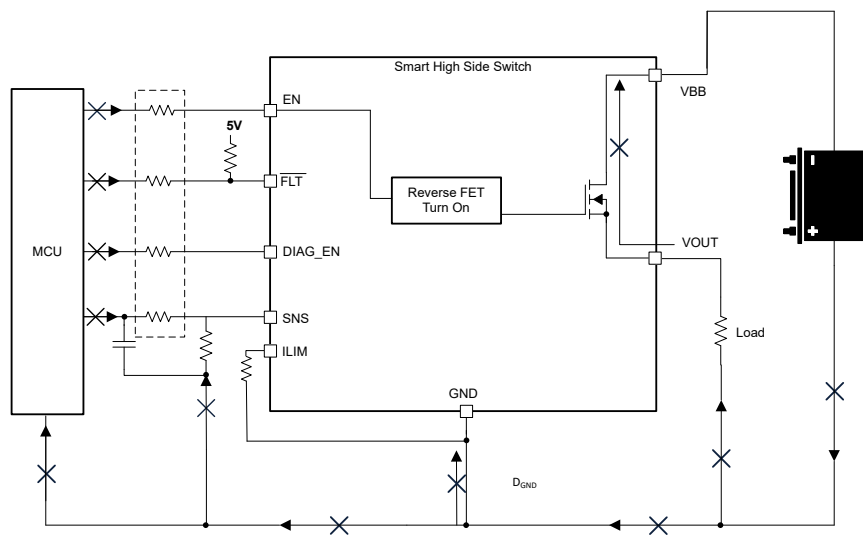


図 7-20. ブロック ダイオードによる逆電流保護

方法 2 (GND ネットワーク保護): この接続では、ハイサイドのデバイスだけを保護します。負荷の逆電流は、負荷自体のインピーダンスによって制限されます。逆極性が生じた場合、パワー FET を流れる連続逆電流による熱が絶対最大接合部温度を超えないように注意してください。これは、 $R_{ON(REV)}$ 値と $R_{\theta JA}$ 仕様を使用して計算できます。バッテリーの逆接続条件では、電力損失を抑えるために FET をオンにすることが重要です。この動作は、正電圧が印加されている EN からシステムグランドまでの経路を通じて実現できます。デバイスの GND と基板の GND との間に使用する接続の種類に関わらず、GND 電圧のシフトが発生する場合は、通常動作を維持するために以下のような適切な接続を確立してください。

- デバイスの GND に電流制限プログラマブル抵抗を接続します。

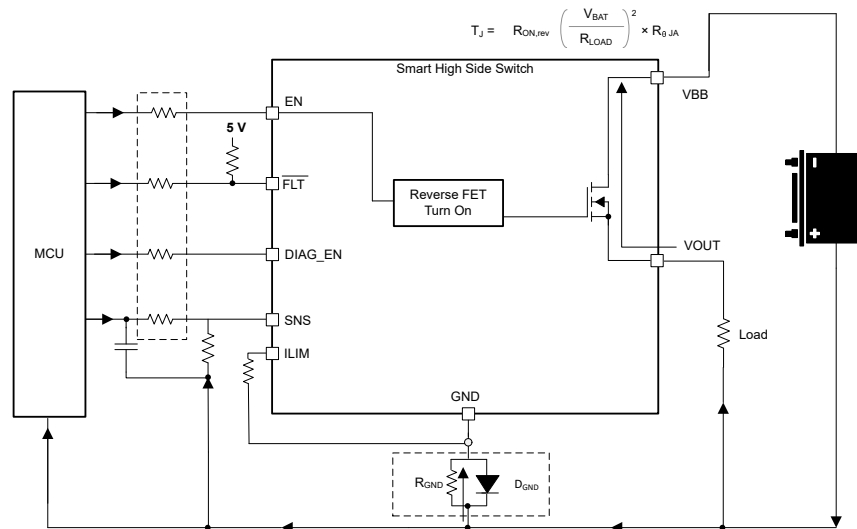


図 7-21. GND ネットワークによるリバースプロテクション

- **推奨事項 - 抵抗とダイオードの並列接続** 誘導性負荷がスイッチオフになると、負のピーク スパイクが発生する場合があります。HSD またはダイオードの破損につながるおそれがあります。そのため、TI では、誘導性負荷の駆動時には抵抗とダイオードを並列に使用することを推奨しています。1kΩ 抵抗と $I_F > 100\text{mA}$ のダイオードを選んで並列に使用することを推奨します。複数のハイサイド スイッチを使用する場合は、デバイス間で抵抗とダイオードを共有できます。

複数のハイサイド パワー スイッチを使用する場合は、デバイス間で抵抗を共有できます。

- **グランド抵抗:** バッテリーの逆接続または負の ISO パルスに対しては、抵抗値が大きいほど、電流制限効果が上がります。

$$R_{GND} \geq \frac{(-V_{CC})}{(-I_{GND})} \quad (6)$$

ここで、

- $-V_{CC}$ は最大逆バッテリー電圧 (通常 -16V) です。
- $-I_{GND}$ は、グランド ピンが耐えることのできる最大逆電流であり、[セクション 6.1](#) で利用可能です。
- **グランド・ダイオード:** 逆電圧をブロックするためにダイオードが必要ですが、これはグランド シフト ($\approx 600\text{mV}$) にもつながります。なお、ISO 7637 pulse 1 テストでは、ダイオードがバイアスされないように、ダイオードを $\approx 200\text{V}$ の逆電圧にする必要があります。

7.3.7.6 MCU I/O の保護

負の ISO パルスや、誘導性負荷によるバッテリー損失など、多くの条件では、デバイスの GND ピンに負の電位が生じて、マイコンの I/O ピン (一般的に、ピンに接続された内部回路) が損傷する可能性があります。そのため、マイコンと HSS の間に直列抵抗が必要です。

また、GND の損失に対する適切な保護のため、TI は R_{PROT} 抵抗に 10kΩ 抵抗を推奨しています。

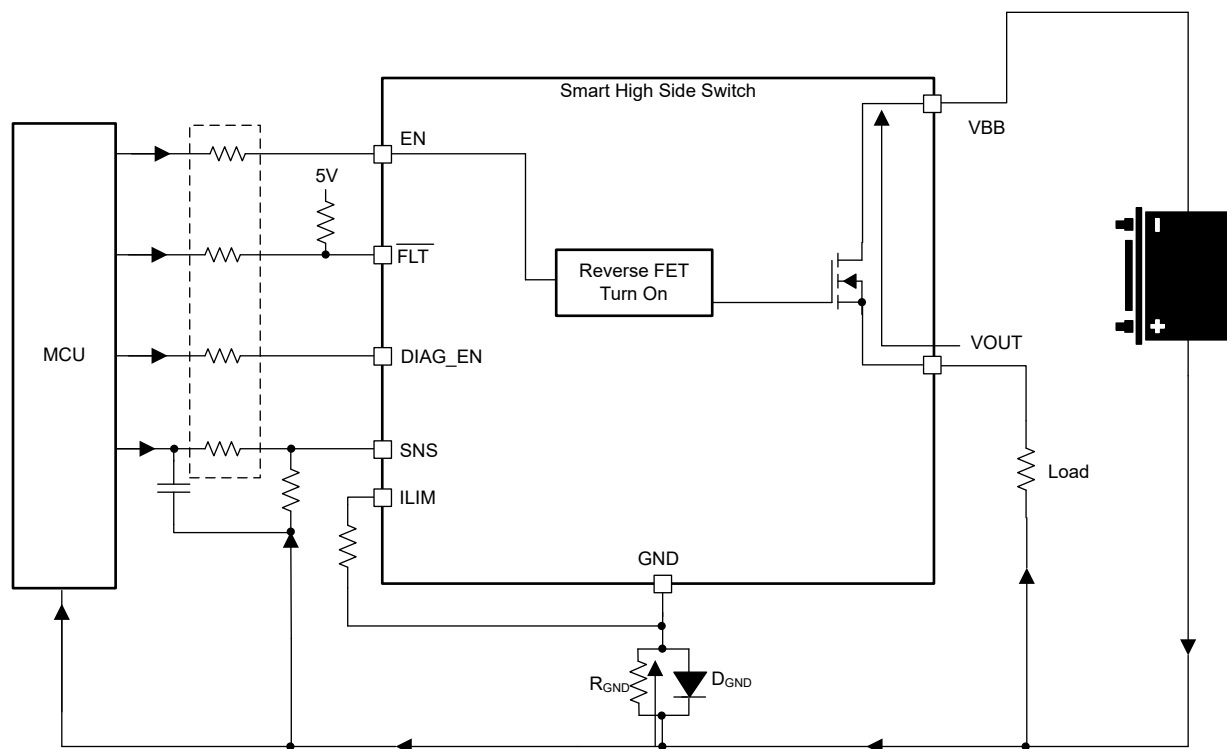


図 7-22. マイコン I/O 保護

7.4 デバイスの機能モード

7.4.1 動作モード

このデバイスには、ENx ピンと DIAG_EN ピンに基づいて遷移する数種の状態があります。

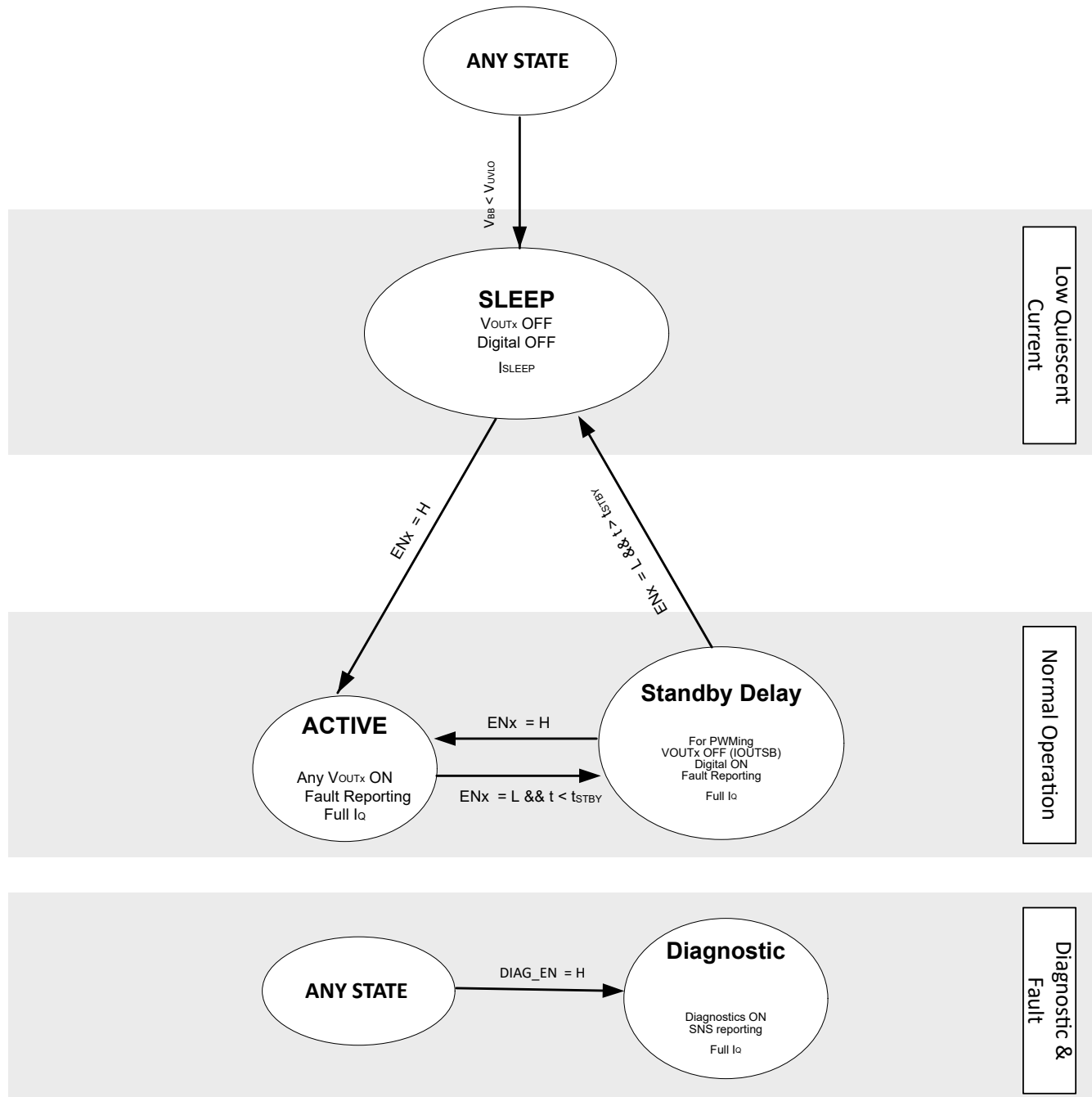


図 7-23. 状態遷移図

7.4.1.1 SLEEP

SLEEP 状態では、デバイス内のすべてがオフになり、静止電流は、 I_{SLEEP} となります。デバイスが SLEEP 状態から遷移できるのは、 ENx ピンまたは $DIAG_EN$ ピンが high になった場合だけです。SLEEP 状態から、 ENx ピンのいずれかが high になった場合、デバイスは ACTIVE 状態に遷移し、また、 ENx ピンのいずれかが high にならなくても、 $DIAG_EN$ ピンが high になった場合は DIAGNOSTIC 状態に遷移することができます。また、デバイスがいずれかの状態の場合に、 V_{BB} が V_{UVLOF} を下回ると、デバイスは SLEEP 状態に遷移します。

7.4.1.2 診断

DIAGNOSTIC 状態は、デバイスが SNS および $\overline{\text{FLT}}$ ピンに診断を出力するときです。これは、デバイスが前のいずれかの状態で、DIAG_EN ピンが high になった場合に発生します。オフ状態診断は、オフ状態での開放負荷検出とバッテリー短絡検出から構成されます。SNS ピンは、SEL ピンの値に対応するチャンネルのフォルトのみを出力します。デバイスは、DIAG_EN ピンが Low に戻ると、いずれかのチャンネルがオンの場合は DIAGNOSTIC 状態から ACTIVE 状態に、すべてのチャンネルがオフの場合は STANDBY DELAY 状態に遷移します。

7.4.1.3 アクティブ

ACTIVE 状態は、いずれかのチャンネル出力が、関連する ENx ピンによってオンになっているときです。ACTIVE 状態では、ILIM ピンの外付け抵抗によって電流制限値が設定されます。ACTIVE 状態で DIAG_EN ピンが High にプルされると、SNS ピンは、SEL ピン設定に対応するチャンネルの負荷電流に比例した電流を、そのチャンネルでフォルトが発生するまで出力します。DIAG_EN が High または Low のときにすべてのチャンネルをオフにした場合、またはフォルトが発生した場合、デバイスは ACTIVE 状態から遷移できます。すべてのチャンネルがオフで DIAG_EN が High の場合、デバイスは DIAGNOSTIC 状態に遷移します。すべてのチャンネルがオフになり、DIAG_EN ピンが Low の場合、デバイスは STANDBY 遅延状態に遷移します。ただし、ENx ピンが依然として High でフォルトが発生すると、デバイスは FAULT 状態に遷移します。

7.4.1.4 フォルト

FAULT 状態は、ENx ピンが High になっているが、何らかのイベントによってチャンネルが通常動作と異なる挙動を示した場合に発生します。これらのフォルトイベントには、絶対サーマルシャットダウン、相対サーマル・シャットダウン、電流制限が含まれます。これらの直接的または結果的な各フォルトイベントにより、チャンネルはシャットオフされ、デバイスとシステムを保護します。デバイスがシャットダウンされた後、 t_{RETRY} 時間待機して、 T_{HYS} スレッショルドを下回るまで冷却されると、オンになっていた出力は再びオンに戻ろうとして、デバイスは ACTIVE 状態または DIAGNOSTIC 状態に遷移します。

7.4.1.5 スタンバイ遅延

STANDBY DELAY 状態とは、ENx ピンがすべて Low で、出力がすべてオフになり、DIAG_EN ピンも Low になっているが、 t_{STBY} の時間が経過していない場合です。その結果、この状態では、すべての内部レールが遮断されて SLEEP モードになることなく、チャンネル出力を PWM にすることができます。デバイスは、 t_{STBY} の待機時間を終えると、完全にシャットダウンし、SLEEP に移行します。ただし、 t_{STBY} 中に ENx が High になった場合、デバイスは完全にシャットダウンせずに ACTIVE に遷移します。同様に、DIAG_EN が high になると、デバイスは DIAGNOSTIC に遷移します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPS482H85-Q1 デバイスは、省電力電球、LED、リレー、ソレノイド、ヒーター、サブモジュールなど、幅広い種類の抵抗性、誘導性、容量性負荷を駆動できます。包括的な診断機能と高精度の電流検出機能によって、インテリジェントな負荷制御が可能です。電流制限を外部で調整可能なため、突入電流や過負荷電流をクランプすることで、システム全体の信頼性を向上させます。

8.2 代表的なアプリケーション

次の図に、外部回路の接続例を示します。

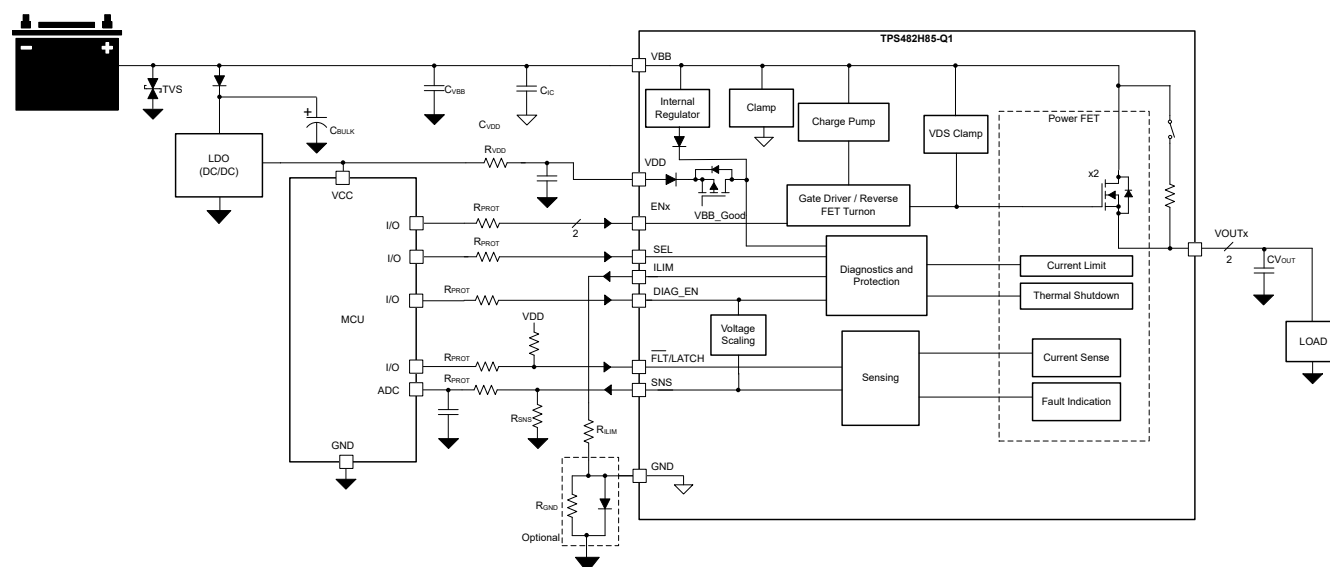


図 8-1. GPIO バージョンの代表的なアプリケーション図

表 8-1. 推奨部品値

部品	説明	目的
TVS	SMBJ70CA	バッテリーから生じるフィルタ電圧過渡事象
C_{VBB}	4.7 μ F	入力電源の安定化。短絡状態のときにデバイスの電力損失を防止します。
C_{IC}	100nF	EMI を低減できるように、入力側の静電容量は最小
C_{BULK}	10 μ F	電源レールの電圧過渡をフィルタリングするのに役立ちます
C_{VDD}	100nF	VDD の電源電圧を安定させ、電源変動を制限します。どちらの VDD 電源でも必要です。
R_{VDD}	10 Ω	IC への VDD 電源入力の立ち上がり / 立ち下がり速度を制限します。
R_{PROT}	10k Ω	マイクロコントローラとデバイス I/O ピンの保護抵抗
R_{LIM}	表 7-1 に示す離散値	調整可能な電流制限スレッショルド
R_{SNS}	1k Ω	センス電流をセンス電圧に変換します

表 8-1. 推奨部品値 (続き)

部品	説明	目的
C _{FILTER}	150pF	SNS ラインの RPROT と組み合わせることでローパス・フィルタを作成し、MCU の ADC に入るノイズをフィルタ処理します
C _{VOUT}	22nF	EMI 特性の改善、電圧過渡のフィルタリング
R _{PULLUP}	4.7kΩ	オープンドレインピン (FLT および LPM) のプルアップ抵抗
R _{GND}	1kΩ	誘導性負荷のターンオフ時に GND の電位を安定させます
D _{GND}	MSX1PJ-M3/89A ダイオード	通常動作中は、GND をシステムグラウンドに近づけて配置します

8.2.1 設計要件

表 8-2. 設計要件の例

パラメータ	値
V _{DIAG_EN}	5V
I _{LOAD,max}	1A
I _{LOAD,min}	20mA
V _{ADC,min}	5mV
V _{HR}	1V

8.2.2 詳細な設計手順

0V ~ 4V の電流検出範囲で 1A の定格電流を維持するため、式 7 を使用して R_{SNS} 抵抗を計算します。より高い電流検出精度を達成するには、許容誤差 1% 以内の抵抗を推奨します。

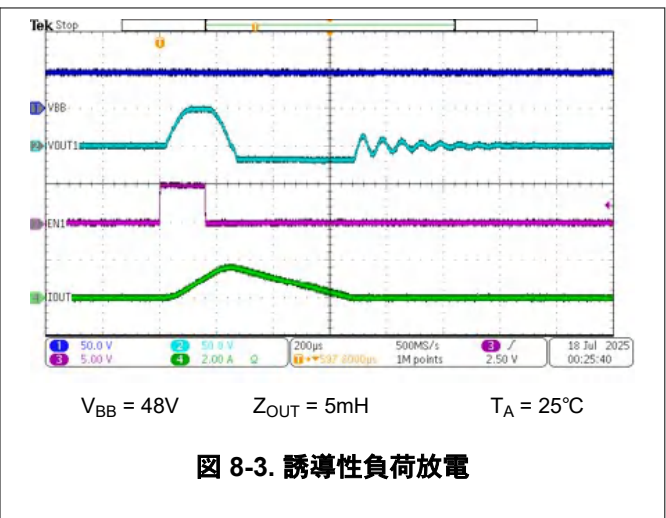
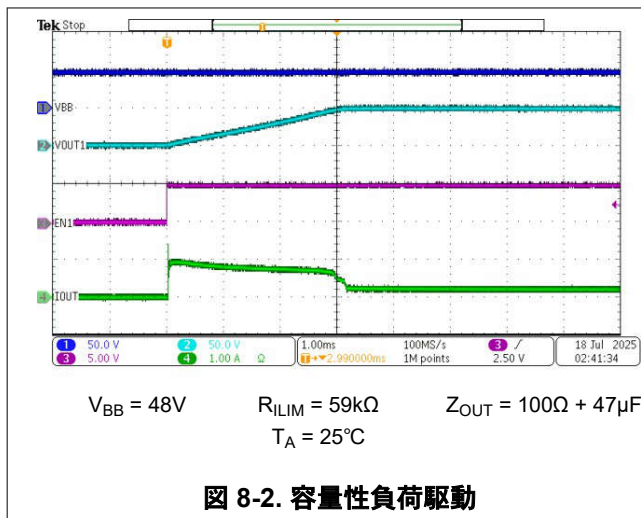
$$V_{ADC,min} \times K_{SNS} / I_{LOAD,min} \leq R_{SNS} \leq (V_{SNSFH} - V_{HR}) \times K_{SNS} / I_{LOAD,max} \quad (7)$$

表 8-2 に示す設計要件により、500Ω ≤ R_{SNS} ≤ 8000Ω が得られ、1kΩ R_{SNS} がその要件を満たします。

調整可能な電流制限値を設定するには、表 7-1 で推奨される R_(ILIM) を使用します。このアプリケーションでは、電流過渡およびリップルに十分なマージンを確保するために、45.3kΩ R_{ILIM} 抵抗が要件を満たしています。

8.2.3 アプリケーション曲線

図 8-2 に、大きな容量性負荷を駆動するときのソフトスタートのテスト例を示します。図 8-3 に、誘導性負荷放電中の VDS クランプの状態を示します。



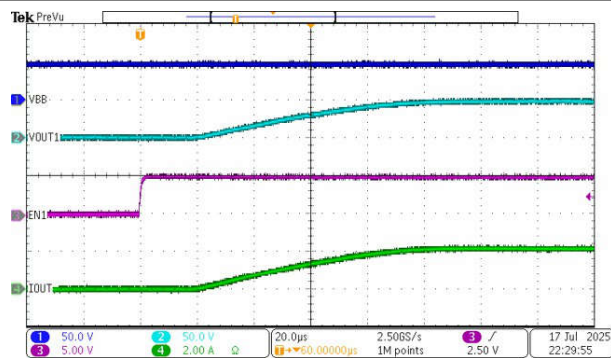

 $V_{BB} = 48V$ $Z_{OUT} = 24\Omega$ $T_A = 25^\circ C$

図 8-4. 抵抗性負荷でのターンオン

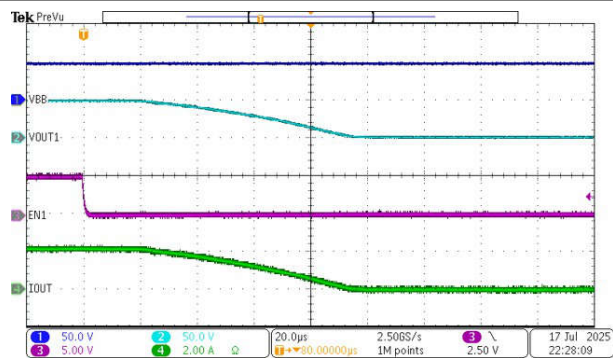

 $V_{BB} = 48V$ $Z_{OUT} = 24\Omega$ $T_A = 25^\circ C$

図 8-5. 抵抗性負荷でのターンオフ

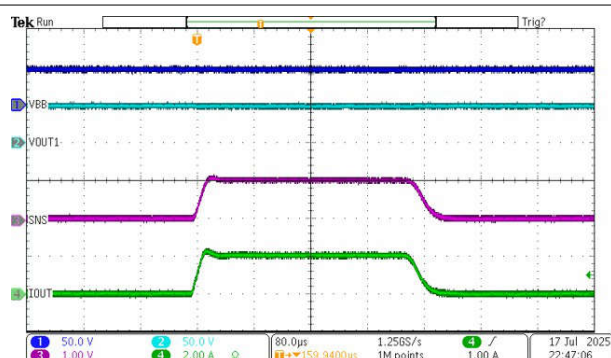

 $V_{BB} = 48V$ 負荷: 0A → 2A → 0A $T_A = 25^\circ C$

図 8-6. 負荷過渡動作

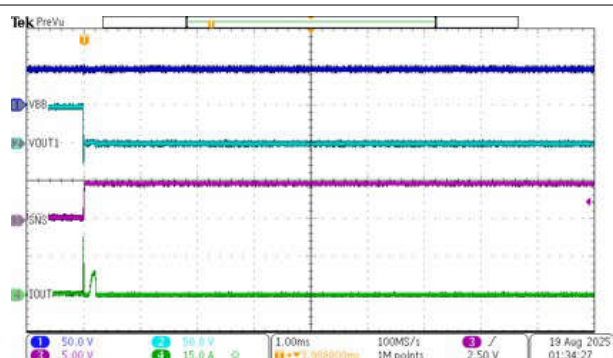

 $V_{BB} = 48V$ $R_{LIM} = \text{オープン}$ $Z_{OUT} = 100m\Omega + 5\mu H$
 $T_A = 25^\circ C$

図 8-7. ホット短絡 (ラッチ動作)

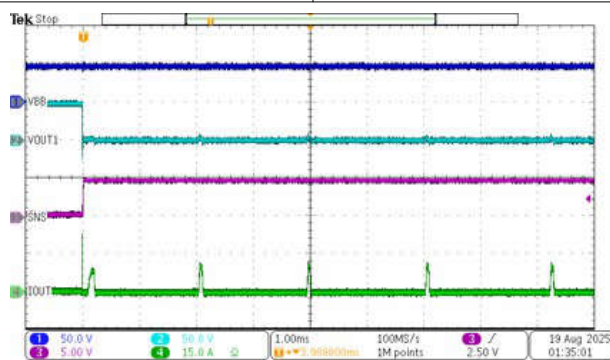

 $V_{BB} = 48V$ $R_{LIM} = \text{オープン}$ $Z_{OUT} = 100m\Omega + 5\mu H$
 $T_A = 25^\circ C$

図 8-8. ホットショート (再試行動作)

8.3 電源に関する推奨事項

このデバイスは車載用および産業用のアプリケーションに適しています。通常の接続電源は、24V/48V の車載用システムです。電源電圧は、[セクション 6.3](#) に規定されている範囲内にある必要があります。

表 8-3. 動作電圧範囲

VBB 電圧範囲	注
6V ~ 58V	公称 24V/48V の車載バッテリーの電圧範囲。すべてのパラメータ仕様が適用され、デバイスは完全に機能し、保護されています。
58V ~ 70V (バージョン) C	車載用 48V バッテリーの動作電圧上限を拡張。デバイスは完全に機能し、保護されていますが、 R_{ON} 、電流センス精度、電流制限精度、タイミングパラメータなど一部のパラメータが仕様から逸脱する場合があります。
58V ~ 65V (バージョン) A/B	車載用 48V バッテリーの動作電圧上限を拡張。デバイスは完全に機能し、保護されていますが、 R_{ON} 、電流センス精度、電流制限精度、タイミングパラメータなど一部のパラメータが仕様から逸脱する場合があります。
65V ~ 80V (バージョン) A/B	この電圧範囲では、最大 100 μ s の持続時間が許容されます。デバイスは動作可能で、パルスは損傷を受けることなく通過しますが、短絡に対する保護はありません。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

サーマルシャットダウンを防止するためには、 T_J を 150°C 未満に維持する必要があります。PCB レイアウトは非常に重要です。適切な PCB 設計は、熱伝導を最適化することができ、これはデバイスの長期的な信頼性にとって絶対的に不可欠です。

- PCB 上の銅領域の面積を大きくすれば、基板の熱伝導率も大きくなります。パッケージから周囲への主要な熱伝導経路は、PCB 上の銅領域です。設計で、PCB パッケージの反対側にヒートシンクが設けられていない場合は、銅領域を最大限大きくすることが極めて重要です。
- 基板の熱伝導率を最適化するため、パッケージ VBB および VOUT パッドの直下に、できるだけ多くのサーマルビアを追加します。
- すべてのサーマルビアは、はんだボイドの発生を防ぐため、基板の両側で、めっきして閉じるか、栓で塞いで覆っておく必要があります。信頼性および性能を検証するために、はんだの被覆率は 85%以上でなければなりません。

8.4.2 レイアウト例

8.4.2.1 GND ネットワークなし

GND ネットワークを使用しない場合は、GND ピンを基盤の GND の銅領域に直接接続します。熱特性を向上させるため、サーマルビアは VBB および VOUT ピンの下に配置します。

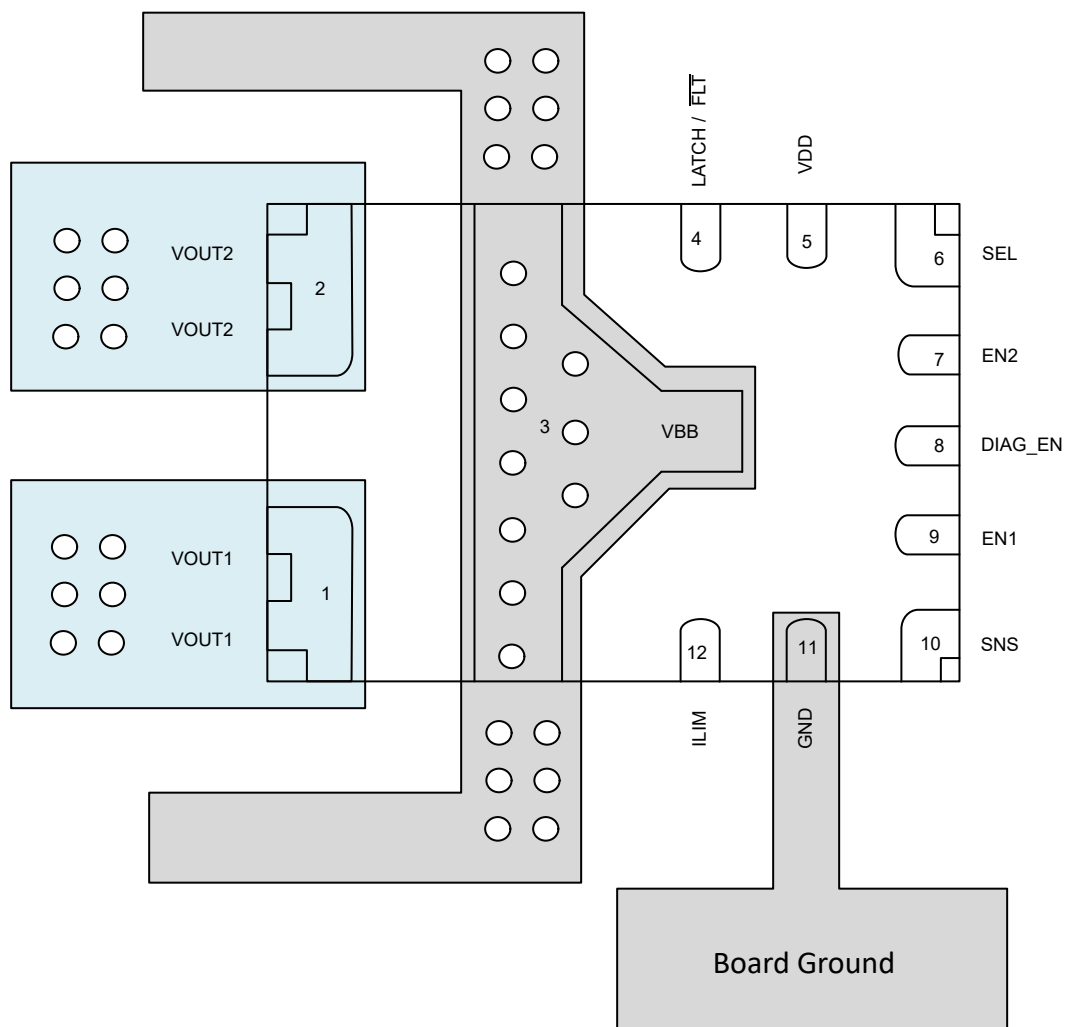


図 8-9. GND ネットワークを使わないレイアウト例 (底面)

8.4.2.2 GND ネットワークあり

GND ネットワークを使用する場合は、IC の GND と基板の GND をグランド ネットワーク経由で接続します。熱特性を向上させるため、サーマルビアは VBB および VOUT ピンの下に配置します。

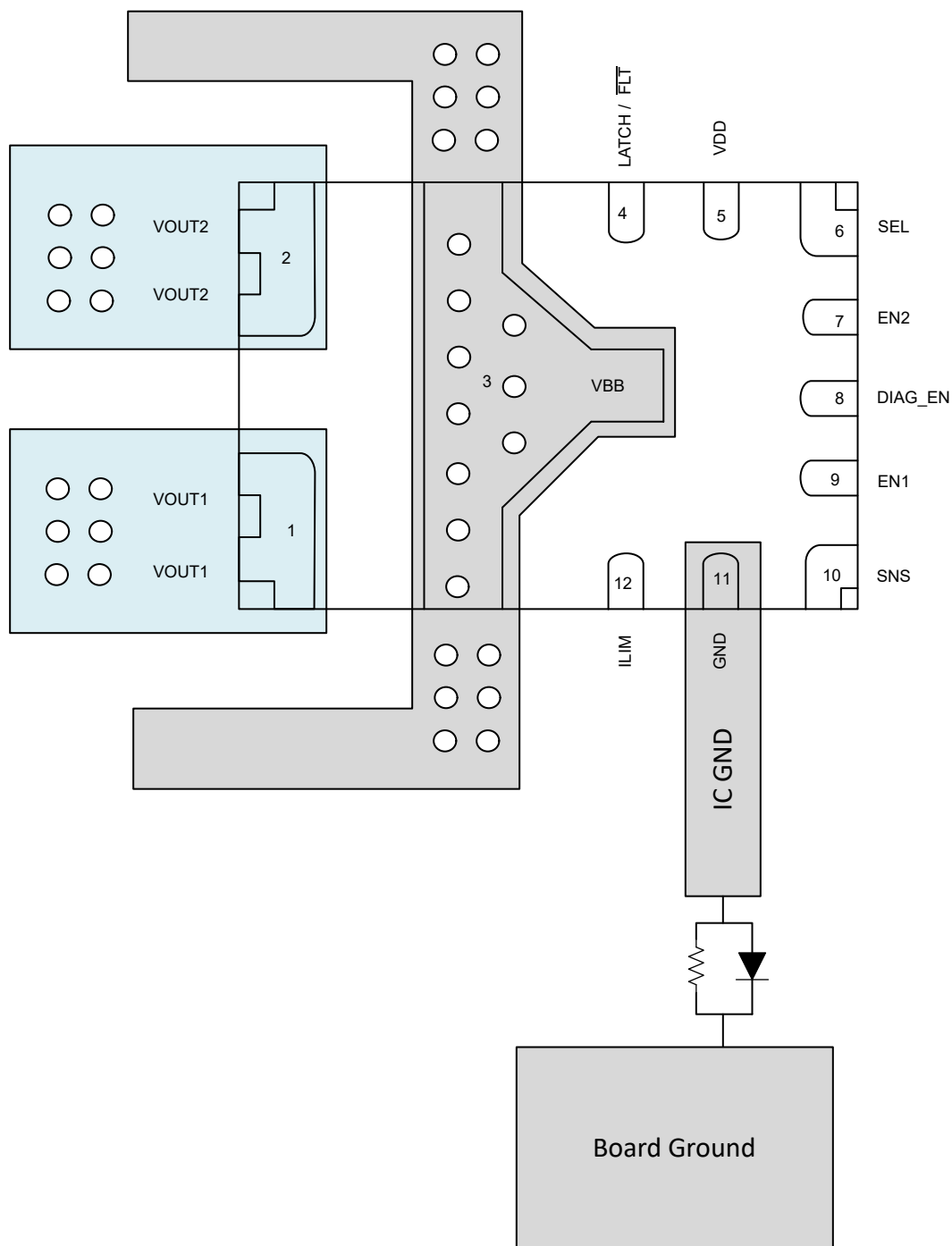


図 8-10. GND ネットワークを使ったレイアウト例 (底面)

9 デバイスおよびドキュメントのサポート

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (February 2026) to Revision C (September 2026)	Page
• デバイス比較表のプレビューの注を削除.....	3
• 電気的特性を更新.....	6
• 電流制限設定の数を 10 から 9 に変更.....	21
• 表 7-1 から開放時に許容される抵抗値を削除.....	21
• セクション 7.3.3.1 を追加.....	23
• バリエント A、B、C の違いに関する情報を追加.....	24
• セクション 8.3 を更新.....	40

Changes from Revision A (October 2025) to Revision B (February 2026)	Page
• 「機能ブロック図」を変更.....	18

- 「ドキュメントの更新通知を受け取る方法」セクションを追加..... [44](#)
-

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS482H85AQCHURQ1	Active	Preproduction	VQFN-HR (CHU) 12	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS482H85BQCHURQ1	Active	Preproduction	VQFN-HR (CHU) 12	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS482H85BQCHURQ1.A	Active	Preproduction	VQFN-HR (CHU) 12	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS482H85AQCHURQ1	Active	Production	VQFN-HR (CHU) 12	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	T482HA
TPS482H85BQCHURQ1	Active	Production	VQFN-HR (CHU) 12	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	T482HB
TPS482H85CQCHURQ1	Active	Production	VQFN-HR (CHU) 12	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	T482HC

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

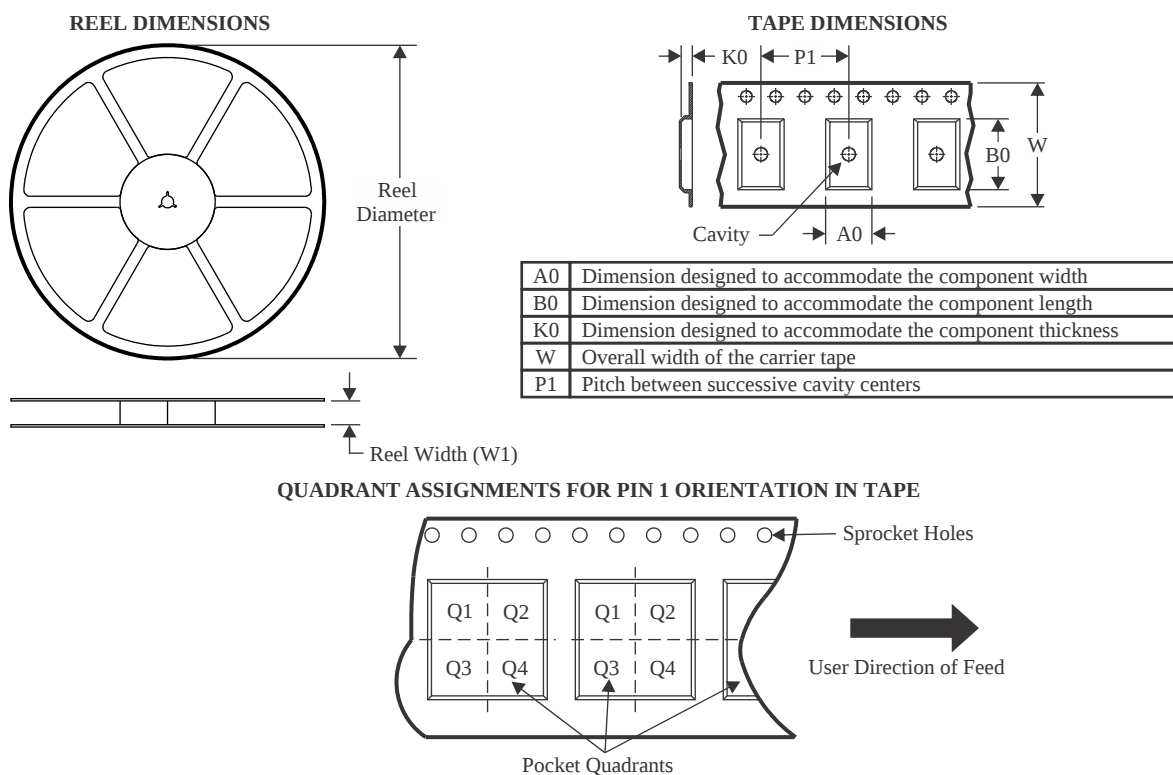
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

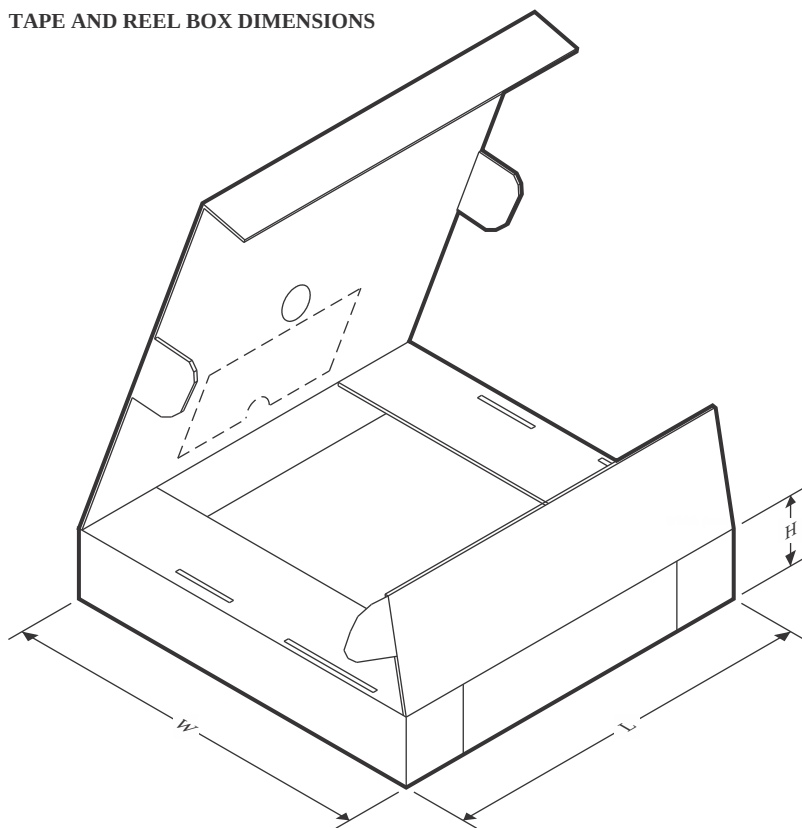
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS482H85AQCHURQ1	VQFN-HR	CHU	12	3000	330.0	12.4	3.3	3.8	1.2	8.0	12.0	Q2
TPS482H85BQCHURQ1	VQFN-HR	CHU	12	3000	330.0	12.4	3.3	3.8	1.2	8.0	12.0	Q2
TPS482H85CQCHURQ1	VQFN-HR	CHU	12	3000	330.0	12.4	3.3	3.8	1.2	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

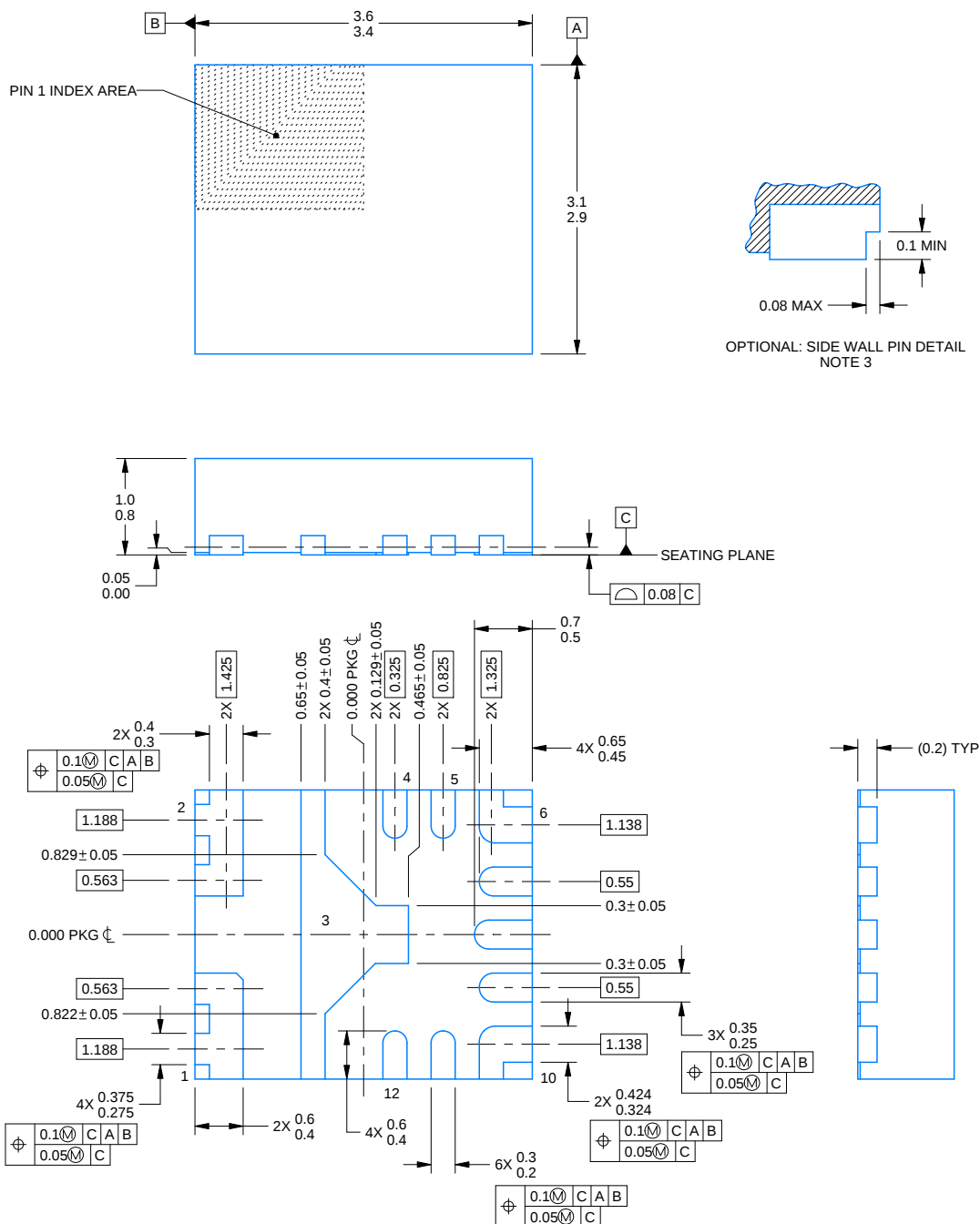
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS482H85AQCHURQ1	VQFN-HR	CHU	12	3000	367.0	367.0	35.0
TPS482H85BQCHURQ1	VQFN-HR	CHU	12	3000	367.0	367.0	35.0
TPS482H85CQCHURQ1	VQFN-HR	CHU	12	3000	367.0	367.0	35.0



PACKAGE OUTLINE

VQFN-HR - 1 mm max height

PLASTICQUADFLATPACK - NO LEAD



4230710/B 03/2026

NOTES:

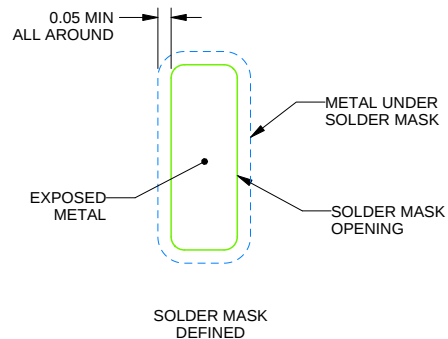
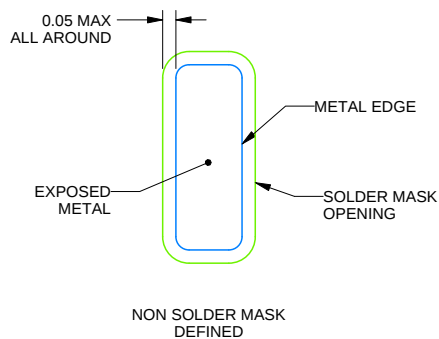
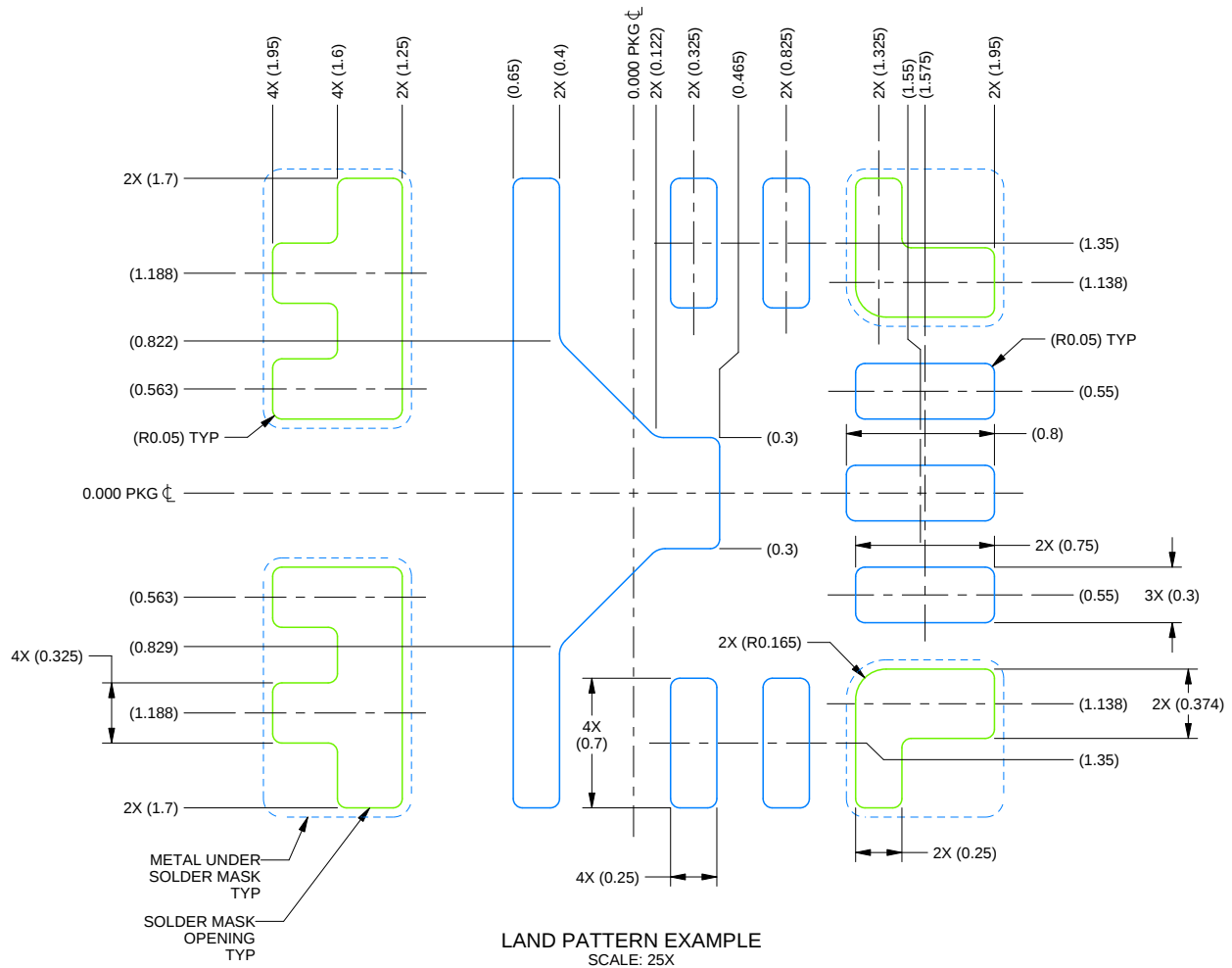
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.

EXAMPLE BOARD LAYOUT

CHU0012A

VQFN-HR - 1 mm max height

PLASTICQUADFLATPACK - NO LEAD



SOLDER MASK DETAILS

4230710/B 03/2026

NOTES: (continued)

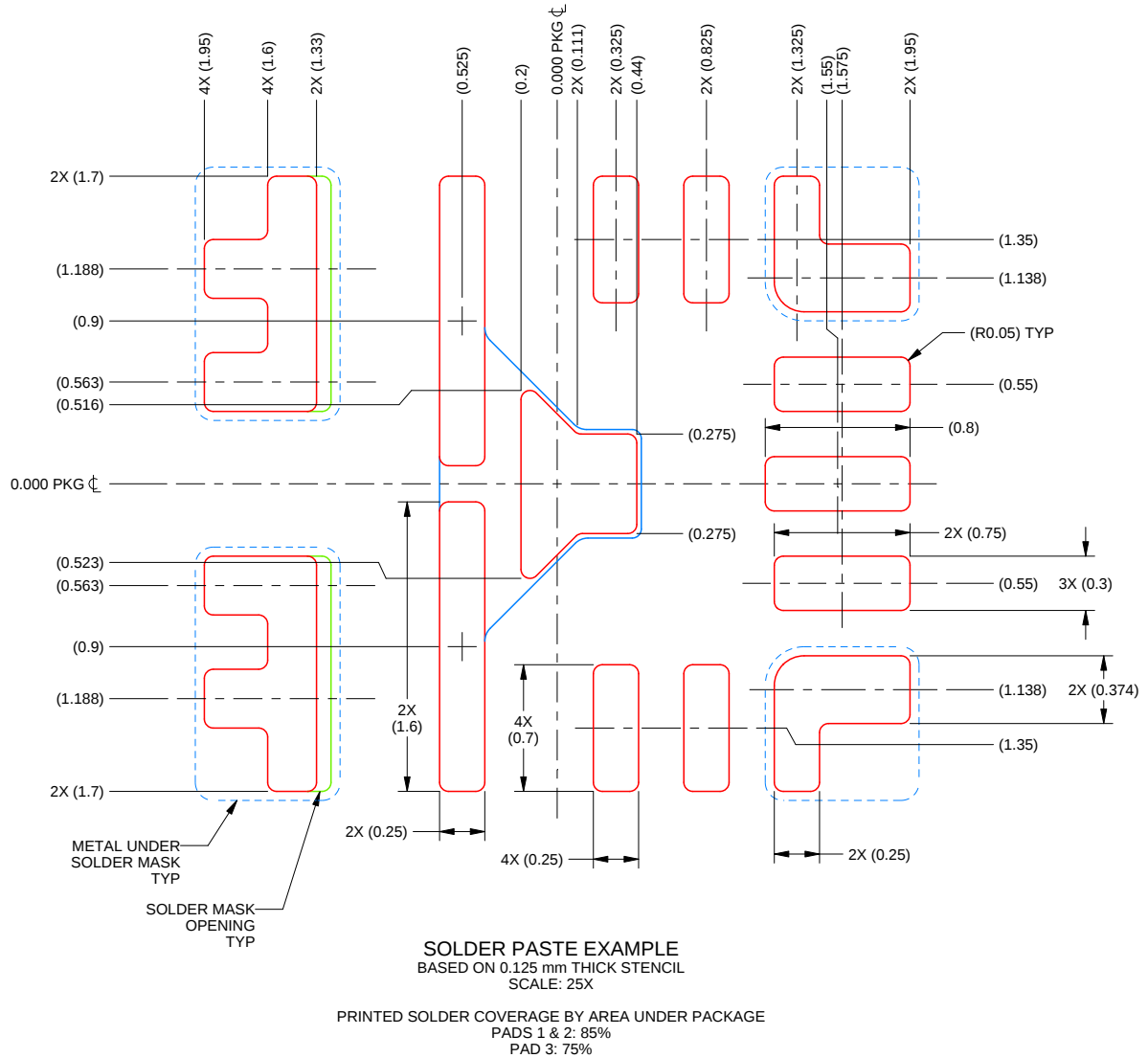
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

CHU0012A

VQFN-HR - 1 mm max height

PLASTICQUADFLATPACK - NO LEAD



4230710/B 03/2026

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月