

低出力電圧に対応した デュアル同期降圧型コントローラ

特長

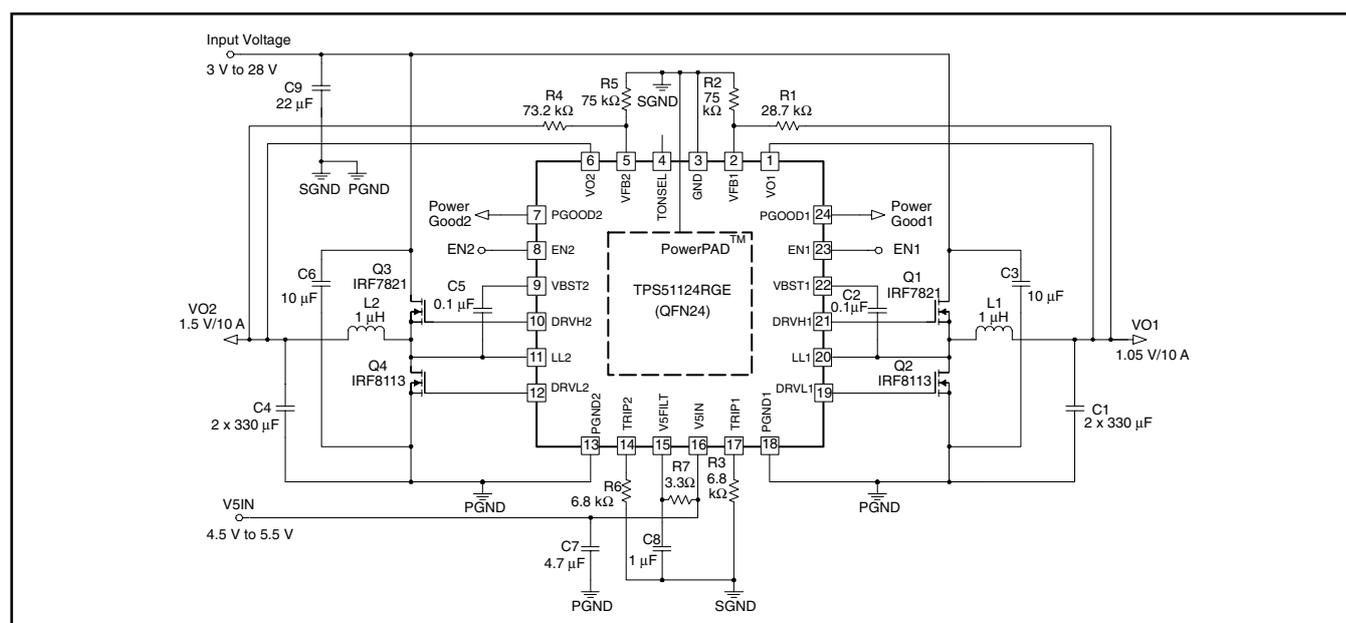
- 高効率、低電力消費、シャットダウン電流1 μ A未満
- 固定周波数をエミュレートするオン時間制御 (3つの周波数組み合わせから選択可能)
- 高速過渡応答を可能にするD-CAP™モード
- オートスキップ・モード
- 初期リファレンス精度：1%未満
- 低出力リップル
- 幅広い入力電圧範囲：3V~28V
- 出力電圧範囲：0.76V~5.5V
- ローサイドR_{DS(ON)}のロスレス電流センス
- ブースト・ダイオードを内蔵したアダプティブ・ゲート・ドライバ
- 1.2msの電圧サーボ・ソフト・スタートを内蔵
- 各チャンネルに対応するパワーグッド信号 (遅延タイム付き)
- ディスエーブル状態時または障害発生時の出力放電

アプリケーション

- ノートパソコンのI/Oおよび低電圧システム・バス

概要

TPS51124は、2回路入りのアダプティブ・オン時間D-CAP™モード同期バック・コントローラです。この部品を採用することで、ノートパソコンの電源バス・レギュレータの外部部品を減らしてコストを削減し、スタンバイ時の消費電力を抑えることができます。擬似固定周波数で動作するアダプティブ・オン時間制御により、重負荷時にはPWMモード動作、軽負荷時には低周波数動作にシームレスに移行することができ、ミリアンペアの負荷電流範囲でも高い効率を達成します。TPS51124のメイン制御ループでは、D-CAPモードが使用されます。これはPOSCAPやSP-CAPなどの低ESR出力コンデンサに最適化されたモードで、外部補償を使用することなく高速過渡応答を実現します。各チャンネルに対応する単純で独立したパワー・グッド信号出力があるため、柔軟な電源シーケンシングが可能です。



D-CAP, PowerPADは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

4.5V～5.5Vの範囲の電源電圧 (V5IN、V5FILT)、3V～28Vの変換電圧 (同期ハイサイドMOSFETのドレイン電圧)、0.76V～5.5Vの出力電圧により、使いやすく効率的な動作を行います。

TPS51124は24ピンのQFNパッケージで提供され、周囲温度-40℃～85℃に対応します。



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報⁽¹⁾

T _A	パッケージ	ORDERING PART NUMBER	PINS	OUTPUT SUPPLY	MINIMUM ORDER QUANTITY	ECO PLAN
-40°C to 85°C	Plastic Quad Flat Pack (QFN)	TPS51124RGET	24	Tape-and-Reel	250	Green (RoHS and no Sb/Br)
		TPS51124RGER		Tape-and-Reel	3000	

(1) すべてのパッケージ・オプションがCu NIPdAuリード/ボール仕上げとなっています。

絶対最大定格⁽¹⁾

動作温度範囲内 (特に記述のない限り)

		VALUE	単位
Input voltage range	VBST1, VBST2	-0.3 to 36	V
	VBST1, VBST2 (wrt LLx)	-0.3 to 6	
	V5IN, V5FILT, EN1, EN2, VFB1, VFB2, TRIP1, TRIP2, VO1, VO2, TONSEL	-0.3 to 6	
Output voltage range	DRVH1, DRVH2	-1 to 36	V
	DRVH1, DRVH2 (wrt LLx)	-0.3 to 6	
	LL1, LL2	-2 to 30	
	PGOOD1, PGOOD2, DRVL1, DRVL2	-0.3 to 6	
	PGND1, PGND2	-0.3 to 0.3	
T _A	Operating ambient temperature range	-40 to 85	°C
T _{stg}	Storage temperature range	-55 to 150	°C
T _J	Junction temperature range	-40 to 125	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。特に指定のない限り、すべての電圧値はネットワーク・グランド・ピンを基準にしています。

定格消費電力

パッケージ	T _A <25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 85°C POWER RATING
24-pin QFN ⁽¹⁾	2.33 W	23.3 mW/°C	0.93 W

(1) サーマル・パッドの下の2×2個のサーマル・ビアにより熱伝導が強化されています。

推奨動作条件

動作温度範囲内 (特に記述のない限り)

		MIN	MAX	単位
Supply input voltage range	V5IN, V5FILT	4.5	5.5	V
Input voltage range	VBST1, VBST2	-0.1	34	V
	VBST1, VBST2 (wrt LLx)	-0.1	5.5	
	EN1, EN2, VFB1, VFB2, TRIP1, TRIP2, VO1, VO2, TONSEL	-0.1	5.5	
Output voltage range	DRVH1, DRVH2	-0.8	34	V
	DRVH1, DRVH2 (wrt LLx)	-0.1	5.5	
	LL1, LL2	-1.8	28	
	PGOOD1, PGOOD2, DRVL1, DRVL2	-0.1	5.5	
	PGND1, PGND2	-0.1	0.1	
T _A	Operating ambient temperature range	-40	85	°C

電気的特性

動作温度範囲内、V5IN = V5FILT = 5V (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
SUPPLY CURRENT						
I _{V5FILT}	V5FILT supply current	V5FILT current, no load, EN1 = EN2 = 5 V, VFB1 = VFB2 = 0.77 V, LL1 = LL2 = 0.5V		350	700	μA
I _{V5INSDN}	V5IN shutdown current	V5IN current, no load, EN1 = EN2 = 0 V			1	μA
I _{V5FILTSDN}	V5FILT shutdown current	V5FILT current, no load, EN1 = EN2 = 0 V			1	μA
VFB VOLTAGE and DISCHARGE RESISTANCE						
V _{VFB}	VFB regulation voltage	FB voltage, skip mode (f _{PWM} /10)		764		mV
V _{VFB}	VFB regulation voltage tolerance	T _A = 25°C, bandgap initial accuracy		-0.9%	0.9%	
		T _A = 0°C to 85°C ⁽¹⁾		-1.3%	1.3%	
		T _A = -40°C to 85°C ⁽¹⁾		-1.6%	1.6%	
V _{VFBSKIP}	VFB regulation shift in continuous conduction	0.758-V target for resistor divider. See PWM Operation of Detailed Description ⁽¹⁾		758		mV
I _{VFB}	VFB input current	VFBx = 0.758 V, absolute value		0.02	0.1	μA
R _{Dischg}	VO discharge resistance	ENx = 0 V, VOx = 0.5 V, T _A = 25°C		10	20	Ω
OUTPUT: N-CHANNEEL MOSFET GATE DRIVERS						
R _{DRVH}	DRVH resistance	Source, V _{VBSTx-DRVHx} = 0.5 V		5	7	Ω
		Sink, V _{DRVHx-LLx} = 0.5 V		1.5	2.5	Ω
R _{DRVL}	DRVL resistance	Source, V _{V5IN-DRVLx} = 0.5 V		4	6	Ω
		Sink, V _{DRVLx-PGNDx} = 0.5 V		1	2.0	Ω
T _D	Dead time	DRVHx-low (DRVHx = 1 V) to DRVLx-on (DRVLx = 4 V), LL = -0.05 V,	10	20	50	ns
		DRVLx-low (DRVLx = 1 V) to DRVHx-on (DRVHx = 4 V), LL = -0.05 V,	30	40	60	ns
INTERNAL BST DIODE						
V _{FBST}	Forward voltage	V _{V5IN-VBSTx} , I _F = 10 mA, T _A = 25°C	0.7	0.8	0.9	V
I _{VBSTLK}	VBST leakage current	VBST = 34 V, LL = 28 V, VOx = 5.5 V, T _A = 25°C		0.1	1	μA
ON-TIME TIMER CONTROL AND INTERNAL SOFT START,						
T _{ON11}	CH1, 240-kHz setting	VO1 = 1.5 V, TONSEL = GND, LL1 = 12 V	440	500	560	ns
T _{ON12}	CH1, 300-kHz setting	VO1 = 1.5 V, TONSEL = FLOAT, LL1 = 12 V	340	390	440	ns
T _{ON13}	CH1, 360-kHz setting	VO1 = 1.5 V, TONSEL = V5FILT, LL1 = 12 V	265	305	345	ns
T _{ON21}	CH2, 300-kHz setting	VO2 = 1.05 V, TONSEL = GND, LL2 = 12 V	235	270	305	ns
T _{ON22}	CH2, 360-kHz setting	VO2 = 1.05 V, TONSEL = FLOAT, LL2 = 12 V	180	210	240	ns
T _{ON23}	CH2, 420-kHz setting	VO2 = 1.05 V, TONSEL = V5FILT, LL2 = 12 V	120	150	180	ns
T _{ON(MIN)}	CH2 On time	VO2 = 0.76 V, TONSEL = V5FILT, LL2 = 28 V	80	110	140	ns
T _{OFF(MIN)}	CH1/CH2 Min. off time	LL = -0.1 V, T _A = 25°C, VFB = 0.7 V		435		ns
T _{ss}	Internal SS time	Internal soft start, time from ENx > 3 V to VFBx regulation value = 735 mV	0.85	1.2	1.40	ms

(1) 設計で確認されています。実製品のテストは行っていません。

電気的特性

動作温度範囲内、V5IN = V5FILT = 5V（特に記述のない限り）

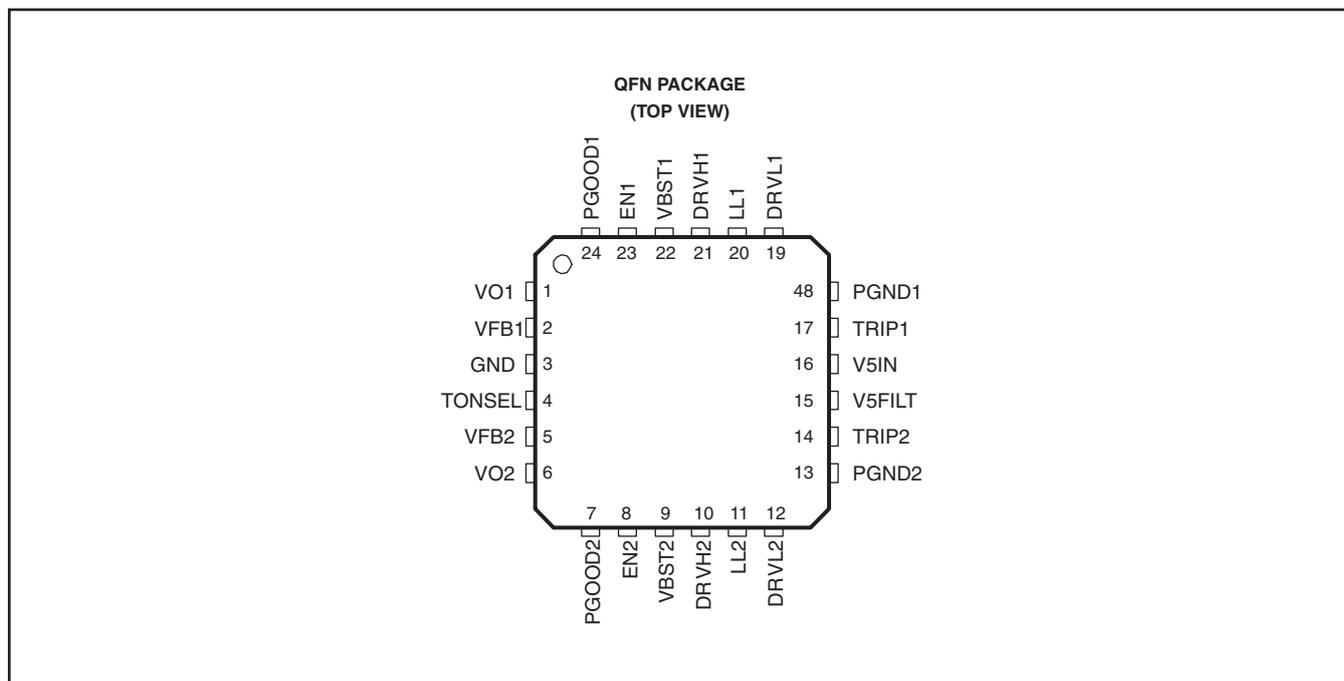
パラメータ		テスト条件	MIN	TYP	MAX	単位
UVLO/LOGIC THRESHOLD						
V _{UV5FILT}	V5FILT UVLO threshold	Wake up	3.7	4.0	4.3	V
		Hysteresis	0.2	0.3	0.4	V
V _{EN}	ENx threshold	Wake up	1.0	1.3	1.5	V
		Hysteresis		0.2		V
I _{EN}	ENx input current	Absolute value ⁽¹⁾		0.02	0.1	μA
V _{TONSEL}	TONSEL threshold	Fast ⁽¹⁾	V5FILT -0.3			V
		Medium ⁽¹⁾	2		V5FILT -1.0	V
		Slow ⁽¹⁾			0.5	V
I _{TONSEL}	TONSEL input current	TONSEL = 0V, current out of the pin ⁽¹⁾		1		μA
		TONSEL = 5V, current in to the pin ⁽¹⁾		1		μA
CURRENT SENSE						
I _{TRIP}	TRIP source current	V _{TRIPx} < 0.3 V, T _A = 25°C	9	10	11	μA
TC _{ITRIP}	I _{TRIP} temperature coefficient	On the basis of 25°C ⁽¹⁾		4200		ppm/°C
V _{OCLoff}	OCP compensation offset	(V _{TRIPx-GND} - V _{PGNDx-LLx}) voltage, V _{TRIPx-GND} = 60 mV	-10	0	10	mV
V _{ZC}	Zero cross detection comparator offset	V _{PGNDx-LLx} voltage, PGOODx = Hi ⁽¹⁾		0.5		mV
V _{Rtrip}	Current limit threshold setting range	V _{TRIPx-GND} voltage, all temperatures ⁽¹⁾	30		200	mV
POWER-GOOD COMPARATOR						
V _{THPG}	PG threshold	PG in from lower (PGOODx goes hi)	92.5%	95%	97.5%	
		PG low hysteresis (PGOODx goes low)		-5%		
		PG in from higher (PGOODx goes hi)	102.5%	105%	107.5%	
		PG high hysteresis (PGOODx goes low)		5%		
I _{PGMAX}	PG sink current	PGOODx = 0.5 V	2.5	5.0		mA
T _{PGDEL}	PG delay	Delay for PG in	400	510	620	μs
OUTPUT UNDERVOLTAGE AND OVERVOLTAGE PROTECTION						
V _{OVP}	Output OVP trip threshold	OVP detect	110%	115%	120%	
T _{OVPDEL}	Output OVP prop delay			1.5		μs
V _{UVP}	Output UVP trip threshold	UVP detect	65%	70%	75%	
		Hysteresis (recovery < 20 μs)		10%		
T _{UVPDEL}	Output UVP delay		20	32	40	μs
T _{UVPEN}	Output UVP enable delay	After 1.7 × T _{ss} , UVP protection engaged	1.4	2	2.4	ms
THERMAL SHUTDOWN						
T _{SDN}	Thermal shutdown threshold	Shutdown temperature ⁽¹⁾		160		°C
		Hysteresis ⁽¹⁾		10		

(1) 設計で確認されています。実製品のテストは行っていません。

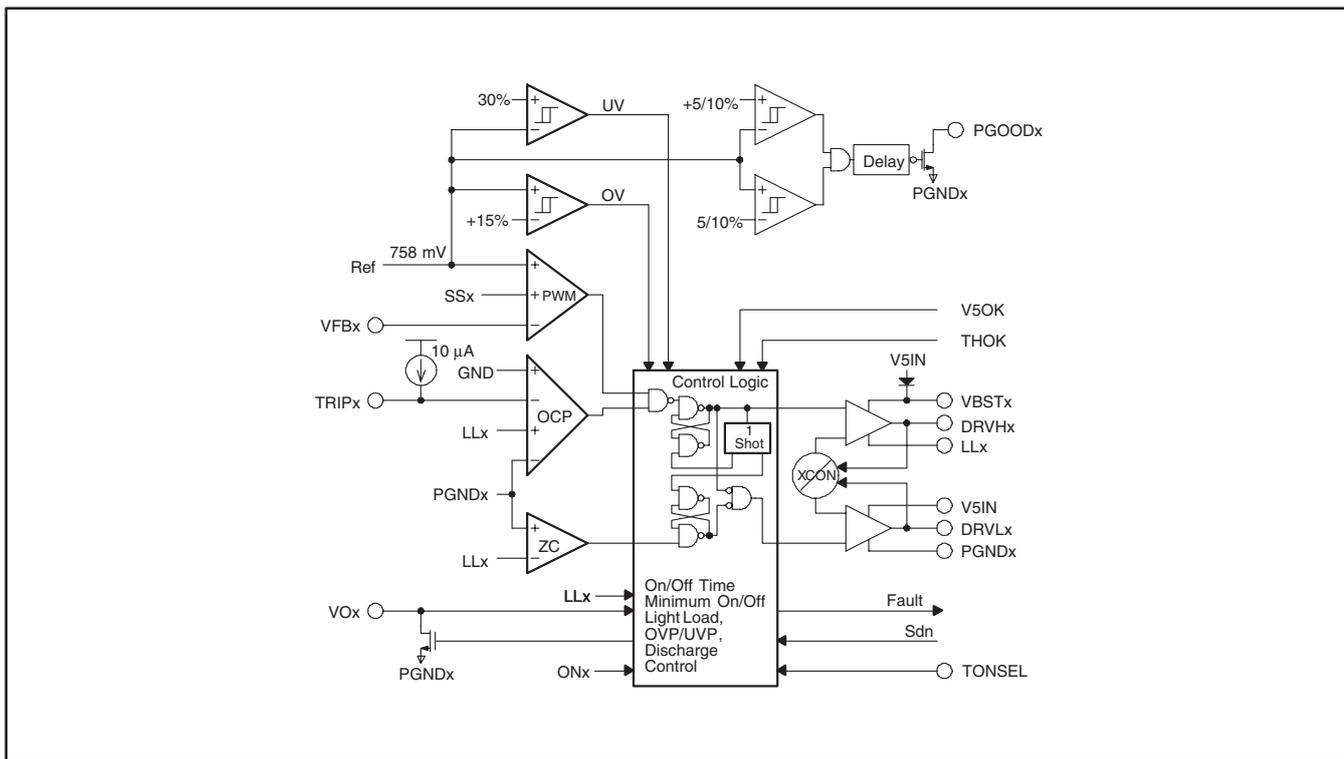
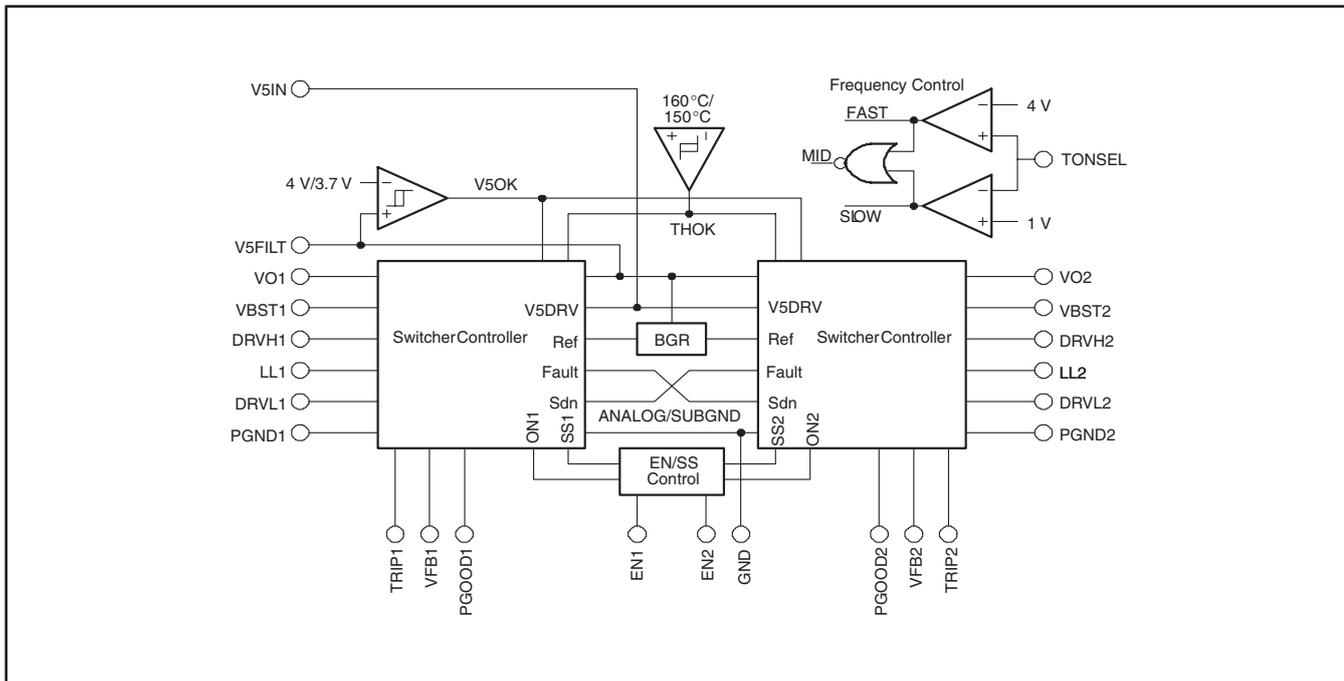
デバイス情報

端子機能

TERMINAL		I/O	概要
NAME	NO.		
DRVH1	21	O	同期ハイサイドMOSFETドライバ出力。LLノードを基準とするフローティング・ドライバです。ゲート駆動電圧は、VBSTとLLノード間のフライング・コンデンサの電圧によって決まります。
DRVH2	10		
DRVL1	19	O	同期ローサイドMOSFETドライバ出力。PGNDを基準とするドライバです。ゲート駆動電圧は、V5INの電圧により決まります。
DRVL2	12		
EN1	23	I	チャンネル1およびチャンネル2のイネーブル・ピン。5Vまたは3.3Vに接続すると、SMPSがオンになります。
EN2	8		
GND	3	I	信号グランド・ピン。
LL1	20	I/O	ハイサイド・ドライバのリターン用のスイッチ・ノード接続。また、オン時間制御回路の電流コンパレータと入力電圧モニタの入力としても機能します。
LL2	11		
PGND1	18	I/O	DRVL1およびDRVL2のグランド・リターン。電流コンパレータの入力としても機能します。PGND1、PGND2、GNDは、ICの近くで強くまとめて接続します。出力放電電流もこのピンを流れます。
PGND2	13		
PGOOD1	24	O	チャンネル1およびチャンネル2に対応する、パワー・グッド・ウィンドウ・コンパレータのオープン・ドレイン出力。抵抗を使用して5Vまたは適切な信号電圧にプルアップしてください。電流容量は5mAです。PGOODは、VFBが指定の制限内に入ってから0.5ms後に“ハイ”になります。パワー・バッド、つまりターミナルが“ロー”になるのは、10μs以内です。
PGOOD2	7		
TONSEL	4	I	オン時間選択ピン。表1を参照してください。
TRIP1	17	I	過電流トリップ点の設定入力。このピンとGNDの間に抵抗を接続して、同期ローサイド $R_{DS(on)}$ センスのスレッシホールドを設定します。過電流コンパレータで、このピンとGND間の電圧がPGNDとLL間の電圧と比較されます。
TRIP2	14		
VBST1	22	I	同期ハイサイドMOSFETドライバの電源入力(昇圧ピン)。このピンと、対応するLLピンとの間に、コンデンサを接続します。各ピンとV5INの間には、内部でPNダイオードが接続されており、MOSFETの駆動にこの順方向降下が問題となる場合は、外部にショットキー・ダイオードを接続できます。
VBST2	9		
VFB1	2	I	SMPS電圧帰還入力。帰還抵抗デバイダを接続します。
VFB2	5		
VO1	1	I	SMPSへの出力接続。このピンには、オン時間調整と出力放電という2つの機能があります。
VO2	6		
V5FILT	15	I	MOSFETドライバを除く全制御回路の5V電源入力。V5INとV5FILTの間にRCローパス・フィルタを接続します。
V5IN	16	I	FETゲート駆動用の5V電源入力。内部ではPNダイオードを経由してVBSTxに接続されています。



機能ブロック図



詳細説明

PWM動作

スイッチング・モード電源 (SMPS) のメイン制御ループは、アダプティブ・オン時間パルス幅変調 (PWM) コントローラとして設計されています。これは独自のD-CAPモードをサポートしています。D-CAPモードでは内部の補償回路が使用され、出力コンデンサのESR量が適切であることで、少ない外部部品での電源構成に最適です。出力電圧は帰還点の電圧で監視されます。帰還点のリファレンス電圧は、0.750V固定の高精度リファレンスと、15mVの同期高精度ランプ信号を組み合わせて提供されます。ノートパソコンのシステムの低出力電圧 (1.05Vや1.5Vなど) では、出力リップルを極度に小さくする必要があります。ランプ信号を提供するTPS51124は、出力リップルの小さいシステムで容易に使用できます。高精度のランプ信号とリファレンスを組み合わせることで、目標値0.758Vの実効リファレンスが得られます。この実効リファレンスの精度は、ラインおよび温度範囲全体で1.3%を維持します。

各サイクルの開始時に、同期ハイサイドMOSFETがオンに (ON状態) になります。内部のワンショット・タイマが終了すると、このMOSFETがオフに (OFF状態) になります。このワンショット・タイマの時間は、入力電圧範囲内で周波数を厳密に一定に維持するために、コンバータの入力電圧 (VIN) と出力電圧 (VOUT) によって決定されます。そのため、これはアダプティブ・オン時間制御と呼ばれます (「PWM周波数とアダプティブ・オン時間制御」を参照してください)。帰還電圧の情報から出力電圧が不足していることが検出され、インダクタ電流の情報から過電流制限に達していないことが検出されると、ハイサイドMOSFETが再びオンになります。上記の動作を繰り返すことで、コントローラは出力電圧をレギュレーションします。導通損失を最小限に抑えるために、OFF状態になるたびに同期ローサイドMOSFETがオンになります。インダクタ電流の情報によって0レベルが検出されると、ローサイドMOSFETがオフになります。これにより、軽負荷状態で低周波数動作にシームレスに遷移することができ、幅広い範囲の負荷電流に対して高い効率が維持されます。

軽負荷状態

TPS51124は、高効率を維持するために、軽負荷状態ではスイッチング周波数を自動的に低くします。これはスムーズに実行され、Voutのリップルや負荷レギュレーションが増加することはありません。動作の詳細を次に示します。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはその“谷”がゼロ電流に達する点まで至ります。これは、連続導通モードと非連続導通モードの境界に当たります。このゼロ・インダクタ電流が検出されると、ローサイドMOSFETがオフになります。負荷電流がさらに減少すると、コンバータは非連続導通モードで動作し、次のオン・サイクルを必要とするレベルまで出力コンデンサを放電する時間が長くなっていきます。

オン時間は、重負荷状態のときと同じままです。逆に、出力電流が軽負荷から重負荷へと増加すると、インダクタ電流が連続導通に移行するので、スイッチング周波数は設定された値まで増加します。軽負荷動作への遷移負荷点I_{OUT(LL)} (つまり、連続導通モードと非連続導通モードの間のスレッシュホールド) は、次のように計算できます。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times f} \times \frac{(V_{IN} \times V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (1)$$

軽負荷状態での出力電流に対するスイッチング周波数は、L、f、Vin、およびVoutの関数ですが、式 (1) で得られるI_{OUT(LL)}の出力電流にほぼ比例して減少します。

PWM制御パスではランプが小さいことにも注意が必要です。このランプは通常の連続導通モードでは意識する必要はなく、レギュレーション電圧に測定可能な影響を与えることはありません。ただし、非連続の軽負荷モードでは、レギュレーション電圧が約0.75%上昇します。この上昇は、リファレンス許容差にわずかな影響を及ぼします。そのため、スキップ・モードのリファレンス値はラインおよび温度範囲全体で0.764V±1.3%となります。

ローサイド・ドライバ

ローサイド・ドライバは、大電流、低R_{DS(on)}のNチャネルMOSFETを駆動するために設計されています。駆動能力は、その内部抵抗によって表され、V5IN~DRV_{Lx}間は4Ω、DRV_{Lx}~PGND_x間は1Ωです。ハイサイドMOSFETのオフからローサイドMOSFETのオンまでの間、およびローサイドMOSFETのオフからハイサイドMOSFETのオンまでの間、貫通電流を防止するためのデッドタイムが内部で生成されます。5Vバイアス電圧は、V5IN電源から供給されます。瞬時駆動電流は、V5INとGNDの間に接続された入力コンデンサによって供給されます。平均駆動電流は、V_{gs} = 5Vでのゲート電荷にスイッチング周波数を乗算した値になります。ハイサイド・ゲート駆動電流と同様に、この駆動電流に5Vを乗算したものが、TPS51124パッケージで消費する必要がある消費電力となります。

ハイサイド・ドライバ

ハイサイド・ドライバは、大電流、低R_{DS(on)}のNチャネルMOSFETを駆動するように設計されています。フローティング・ドライバとして構成した場合、5Vバイアス電圧がV5IN電源から供給されます。平均駆動電流も、V_{gs} = 5Vでのゲート電荷にスイッチング周波数を乗算した値になります。瞬時駆動電流は、VBST_xピンとLL_xピンのフライング・コンデンサによって供給されます。駆動能力は、その内部抵抗によって表され、VBST_x~DRVH_x間は5Ω、DRVH_x~LL_x間は1.5Ωです。

TONSEL CONNECTION	SWITCHING FREQUENCY	
	CH1	CH2
GND	240 kHz	300 kHz
FLOAT (Open)	300 kHz	360 kHz
V5FILT	360 kHz	420 kHz

表 1. TONSELピン接続とスイッチング周波数(周波数は概算)

PWM周波数とアダプティブ・オン時間制御

TPS51124は、アダプティブ・オン時間制御方式を採用し、専用の発振器は内蔵していません。しかし、入力電圧および出力電圧をオン時間ワンショット・タイマにフィードフォワードすることで、擬似定周波数で動作します。表1に示すように、TONSELピンの接続によって周波数を設定します。デューティ比が厳密に同じサイクル時間でVOUT/VINに保持されるように、オン時間は入力電圧に逆比例し、出力電圧に比例して制御されます。TPS51124にはVINに接続するピンがありませんが、ON状態の間、入力電圧はLLxピンで監視します。これによりピン数が削減され、性能を犠牲にすることなく部品の小型化を実現しています。

ソフトスタート

TPS51124には、各チャネルに対応する1.2msの電圧サーボ・ソフトスタートが内蔵されています。ENxピンが“ハイ”になると、内部DACによってPWMコンパレータに対するリファレンス電圧が上昇し始めます。スタートアップ中には出力電圧のスムーズな制御が維持されます。TPS51124では2つのチャネルで1つのDACを共有しているため、一方のチャネルのスタートアップ中にENxピンが“ハイ”に設定された場合、そのチャネルのソフトスタートが完了するまで、もう一方のチャネルのソフトスタートが延期されます。EN1とEN2が同時に“ハイ”に設定された場合、両方のチャネルが同時にスタートアップします。

パワーグッド

TPS51124は、両方のスイッチャー・チャネルに対応して、別々にパワーグッド出力を持ちます。パワーグッド機能はソフトスタートの終了後に起動されます。出力電圧が目標値の±5%内である場合、内部のコンパレータによりパワーグッド状態が検出され、内部で510µsの遅延が加えられた後、パワーグッド信号が“ハイ”になります。スタートアップ時には、パワーグッド信号のグリッチを避けるために、内部ソフトスタート時間の1.7倍の時間が経過した後で遅延時間が開始されます。帰還電圧が目標値の±10%の範囲外になった場合、内部で10µsの遅延が加えられた後、パワーグッド信号が“ロー”になります。

また、帰還電圧が目標値を10%以上超過し、パワーグッド信号が“ロー”になった場合、ローサイド・ドライバをオンにすることで出力の修正を試みます(強制PWMモード)。帰還電圧が目標値の+5%以内に帰り、パワーグッド信号が“ハイ”になると、コントローラはオートスキップ・モードに戻ります。

出力放電の制御

TPS51124では、ENxが“ロー”の場合、または保護機能(OVP、UVP、UVLO、過熱保護)によってコントローラがオフになった場合、出力が放電されます。VOxとPGNDxに接続されている内部10Ω MOSFETを使用して出力を放電します。出力に負電圧が生じることを避けるために、出力放電を行う際には外部ローサイドMOSFETがオンになりません。出力放電時定数は、出力容量および内部放電MOSFETの抵抗値の関数です。この放電により、再起動時に、レギュレーション電圧が常に0Vから開始されるようになります。放電完了前にSMPSが再起動されると、放電が終了し、リファレンス・レベルが内部DACにより上昇して残りの出力電圧に戻った後で、スイッチングが再開されます。

電流保護

TPS51124では、サイクルごとに過電流制限制御が行われます。OFF状態のとき、インダクタ電流が監視されます。インダクタ電流が過電流トリップ・レベルを超えている間、OFF状態が維持されます。高精度と低コストを両立するために、TPS51124では温度補償付きMOSFET R_{DS(on)} センス機能がサポートされています。トリップ電圧設定抵抗であるR_{trip}を経由して、TRIPxピンをGNDに接続します。TRIPxピンからは10µAのI_{trip}電流が供給され、次に示すようにトリップ・レベルはOCLトリップ電圧であるV_{trip}に設定されます。

$$V_{trip}(mV) = R_{trip}(k\Omega) \times 10(\mu A) \quad (2)$$

トリップ・レベルは、すべての動作温度で30mV~200mVの範囲内にしてください。インダクタ電流は、PGNDxピンとLLxピンの間の電圧によって監視されるため、LLxピンをローサイドMOSFETのドレイン端子に接続する必要があります。I_{trip}については、R_{DS(on)}の温度依存特性を補償するために、4200ppm/°Cの温度スロープが設定されています。PGNDxをローサイドMOSFETのソース端子に接続し、PGNDxを正電流検出ノードとして使用します。比較はOFF状態のときに実行されるため、V_{rip}によってインダクタ電流の“谷”のレベルが設定されます。従って、過電流スレッシュホールドにおける負荷電流I_{ocl}は、次のように計算できます。

$$I_{ocl} = V_{trip}/R_{DS(on)} + I_{ripple}/2 = \frac{V_{trip}}{R_{DS(on)}} + \frac{1}{2 \times L \times f} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (3)$$

過電流状態では、負荷に対する電流が出力コンデンサへの電流を超えます。そのため、通常は出力電圧が減少(降下)します。最終的には、出力電圧が低電圧保護スレッシュホールドを下回り、シャットダウンされます。

過電圧保護と低電圧保護

TPS51124では、抵抗で分割された帰還電圧を監視することで、過電圧と低電圧を検出しています。帰還電圧が目標電圧の115%を超過すると、OVPコンパレータの出力が“ハイ”になり、ハイサイドMOSFETドライバがOFF、ローサイドMOSFETドライバがONになるようにラッチされます。

さらに、TPS51124ではVOx電圧が直接監視されます。これが5.75Vを超えると、上側のMOSFETドライバがオフになり、もう一方のチャンネルのドライバが両方ともオフになります。

帰還電圧が目標電圧の70%より低くなると、UVPコンパレータ出力が“ハイ”になり、内部のUVP遅延カウンタがカウントを開始します。32μs後、上側と下側の両方のMOSFETドライバがラッチオフされ、もう一方のチャンネルのドライバが両方ともオフになります。スタートアップが適切に実行されるように、ソフトスタート遅延時間の1.7倍の時間(約2ms)が経過した後で、この機能が有効になります。

UVLO保護

TPS51124は、V5FILT低電圧ロックアウト保護(UVLO)機能を備えています。V5FILT電圧がUVLOスレッシュホールド電圧を下回ると、TPS51124がオフになります。これは非ラッチ方式の保護です。

サーマル・シャットダウン

TPS51124では温度を自己監視しています。温度がスレッシュホールド値(標準で160°C)を超えると、DRVHとDRVLの両方が“ロー”になることでスイッチャがオフになり、出力放電機能がイネーブルされます。これは非ラッチ方式の保護です。

代表的特性

V5FILT SUPPLY CURRENT
vs
JUNCTION TEMPERATURE

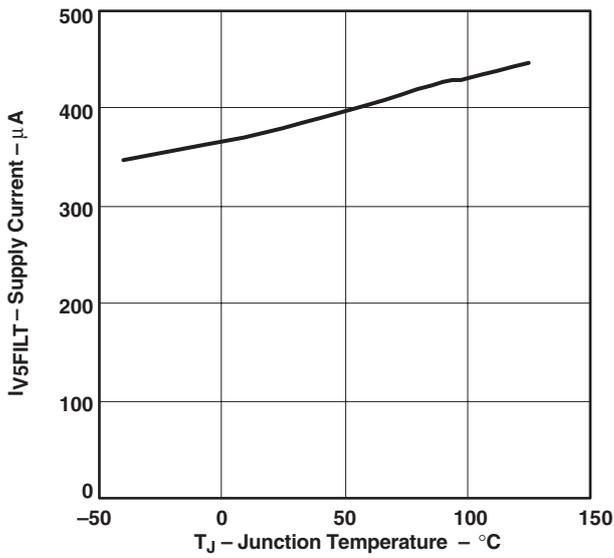


図 1

V5FILT SHUTDOWN CURRENT
vs
JUNCTION TEMPERATURE

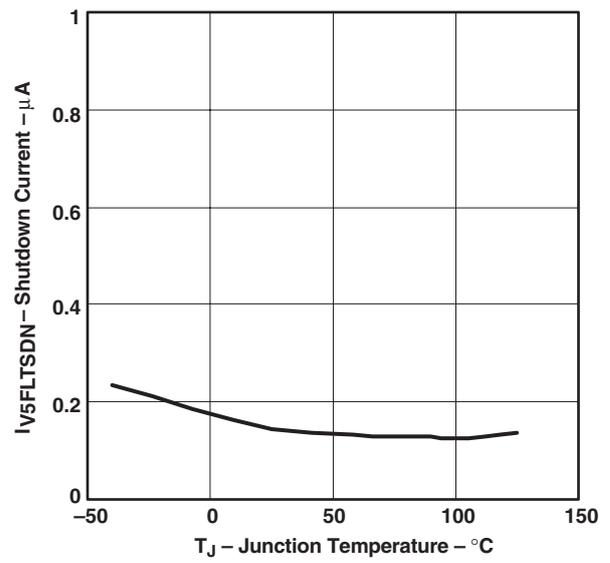


図 2

V5IN SHUTDOWN CURRENT
vs
JUNCTION TEMPERATURE

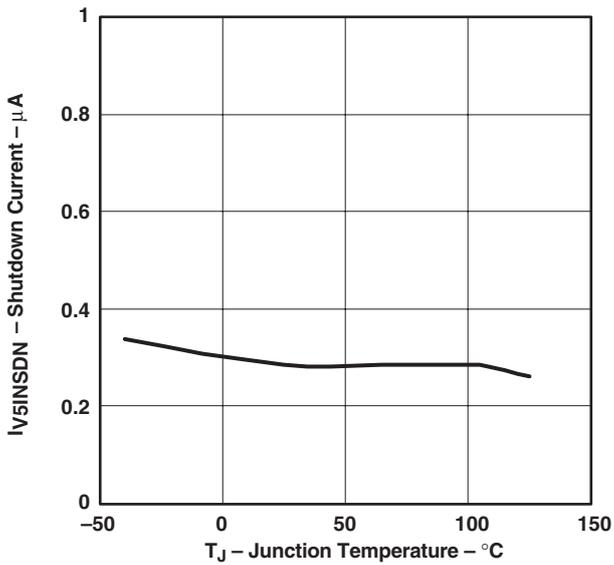


図 3

TRIP SOURCE CURRENT
vs
JUNCTION TEMPERATURE

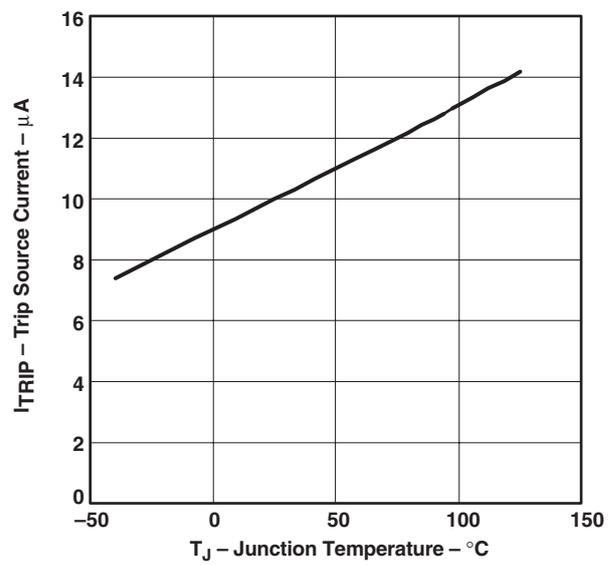


図 4

代表的特性

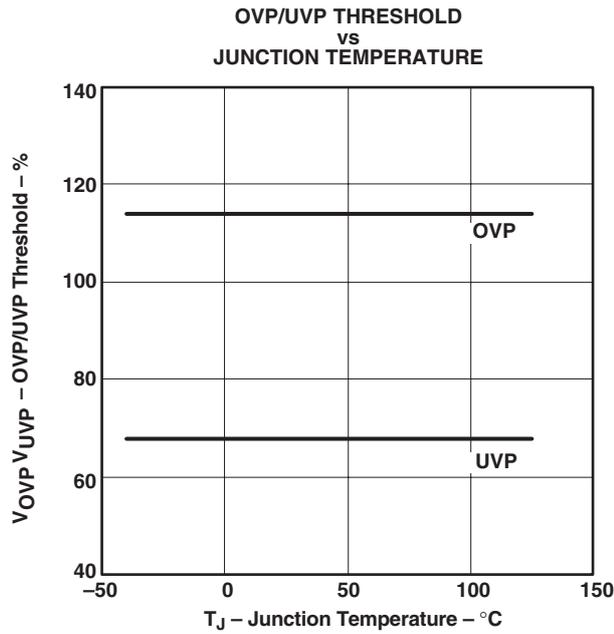


図 5

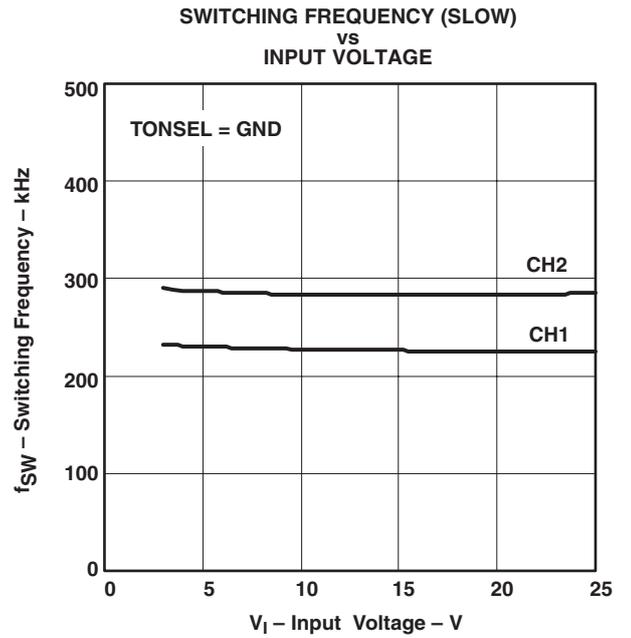


図 6⁽¹⁾

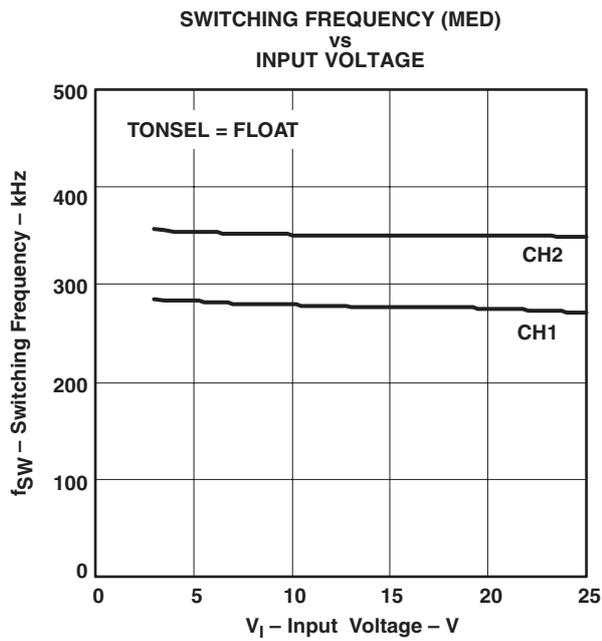


図 7

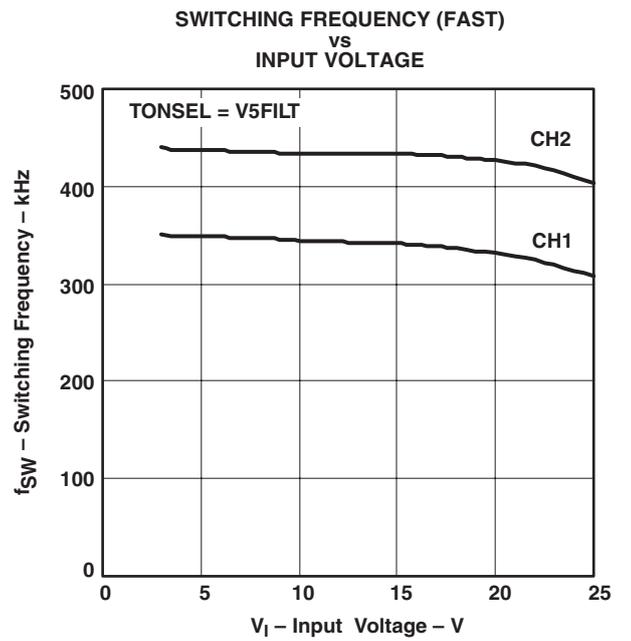


図 8

(1) 図6～図8のデータは、図25と表2に示した標準アプリケーション回路を使用して計測されたものです。

代表的特性

SWITCHING FREQUENCY (SLOW)
vs
OUTPUT CURRENT

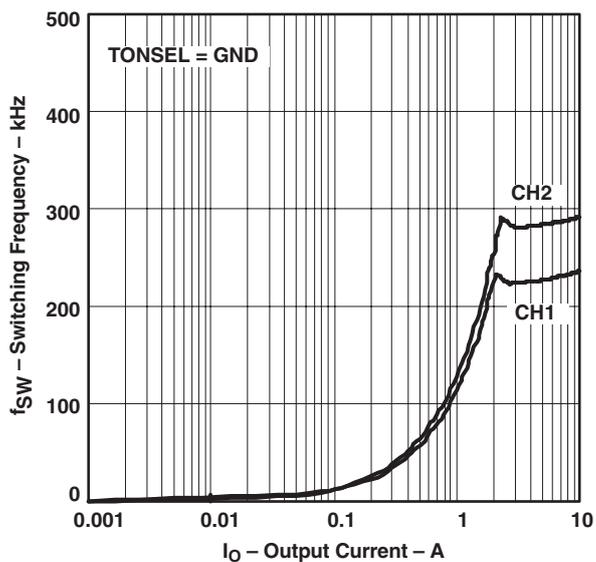


図 9⁽²⁾

SWITCHING FREQUENCY (MED)
vs
OUTPUT CURRENT

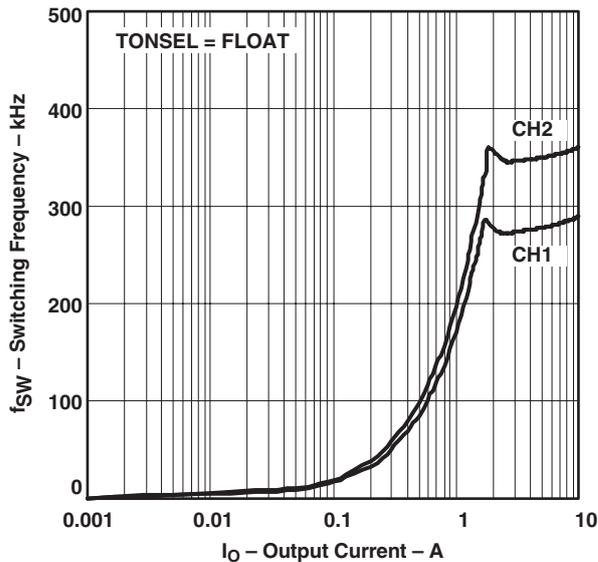


図 10

SWITCHING FREQUENCY (FAST)
vs
OUTPUT CURRENT

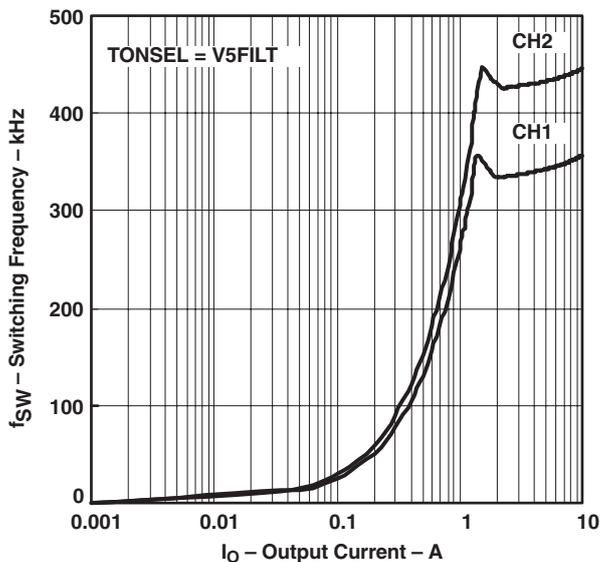


図 11

1.05-V OUTPUT VOLTAGE
vs
OUTPUT CURRENT

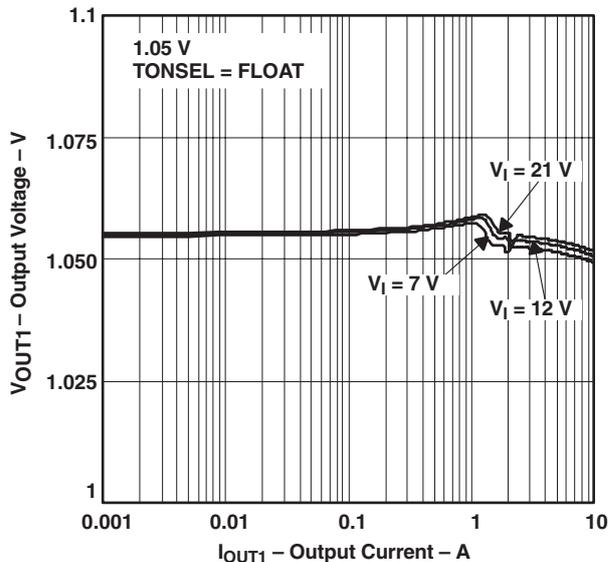


図 12

(2) 図9～図12のデータは、図25と表2に示した標準アプリケーション回路を使用して計測されたものです。

代表的特性

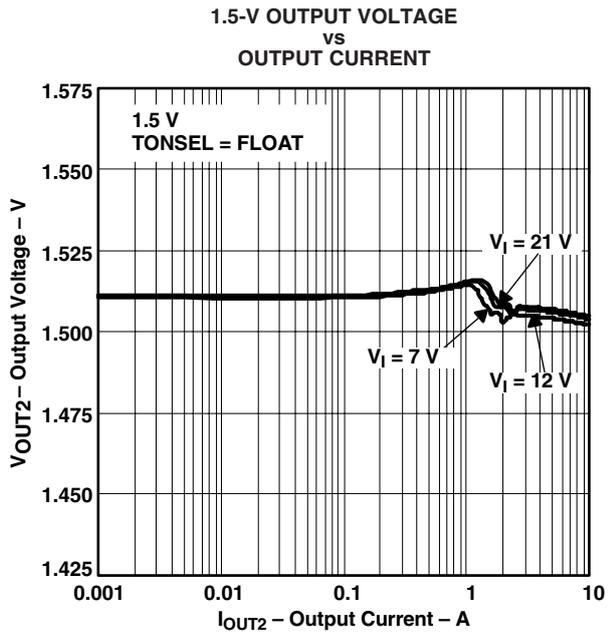


図 13⁽³⁾

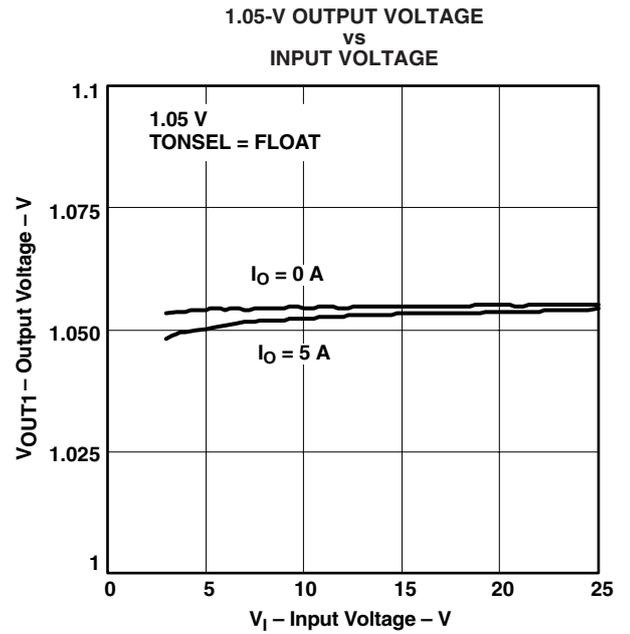


図 14

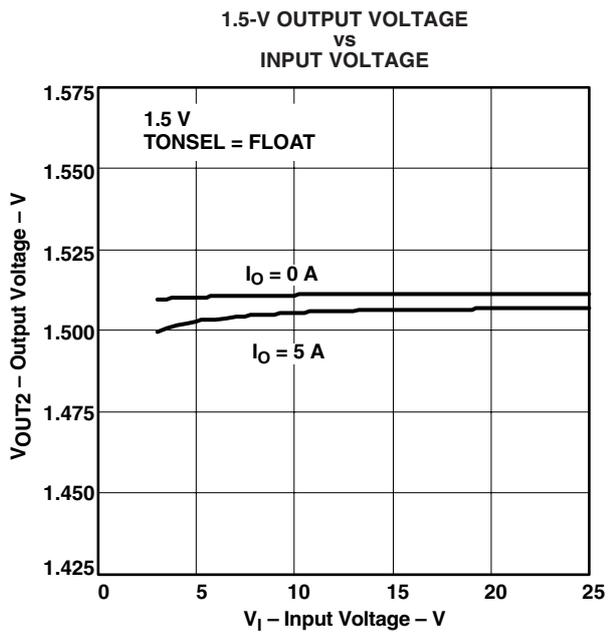


図 15

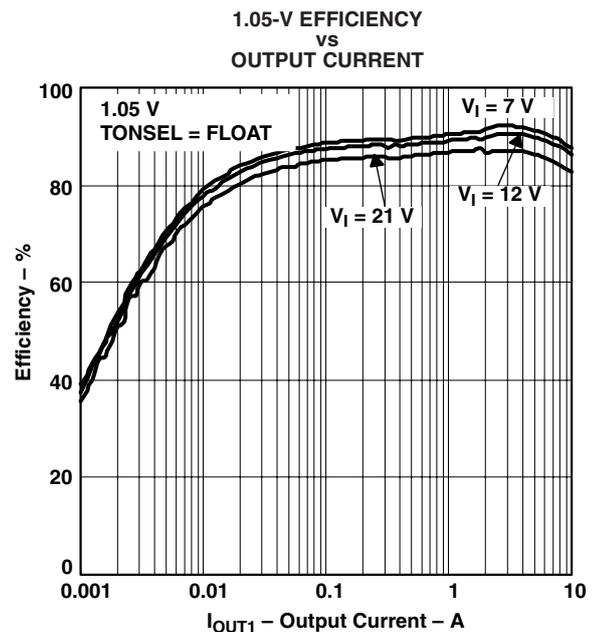


図 16

(3) 図13~図16のデータは、図25と表2に示した標準アプリケーション回路を使用して計測されたものです。

代表的特性

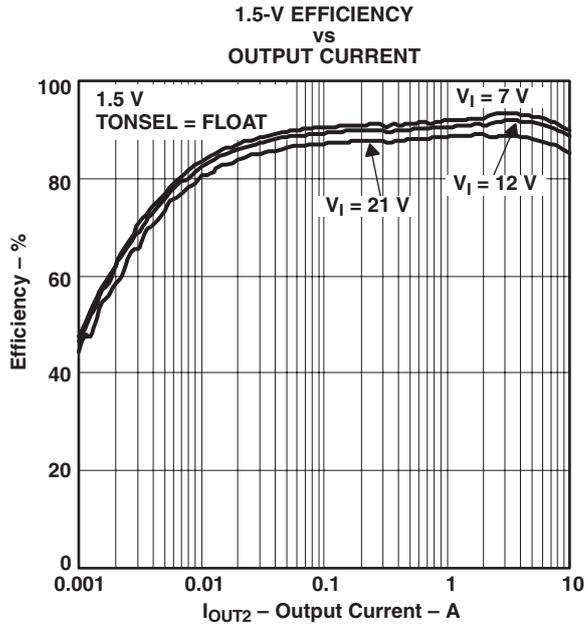


図 17⁽⁴⁾

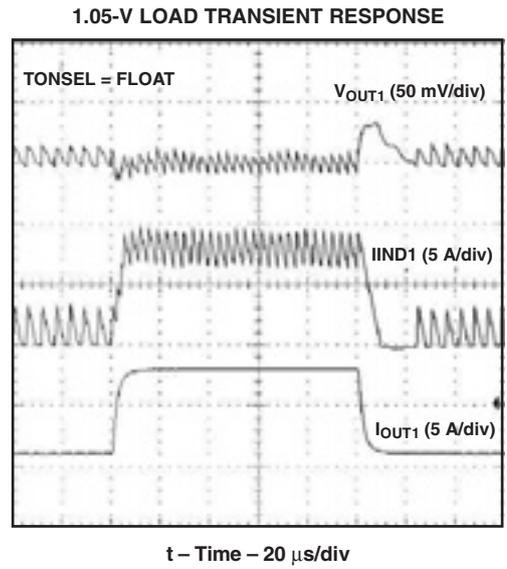


図 18

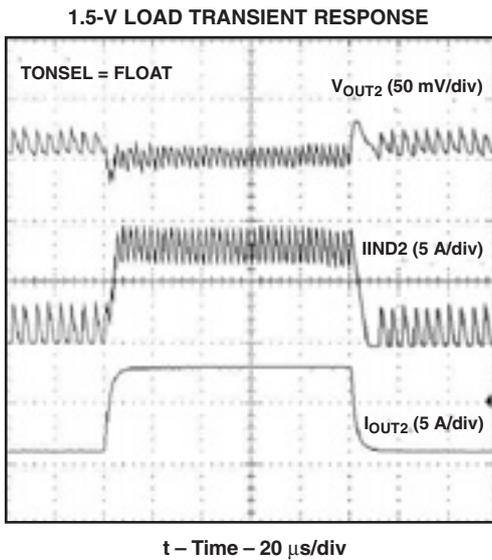


図 19

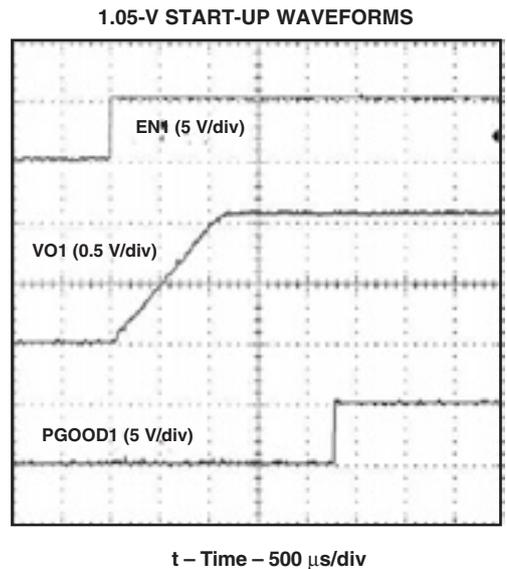
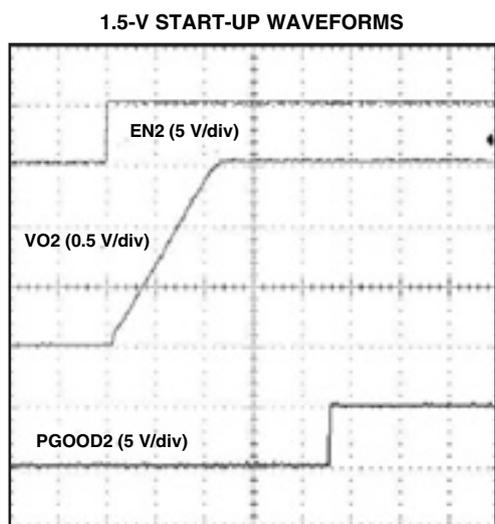


図 20

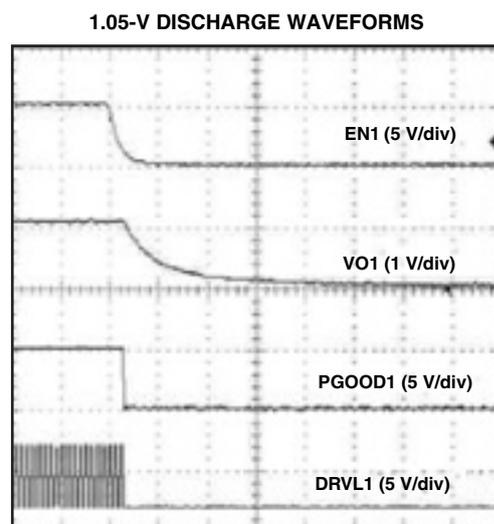
(4) 図17~図20のデータは、図25と表2に示した標準アプリケーション回路を使用して計測されたものです。

代表的特性



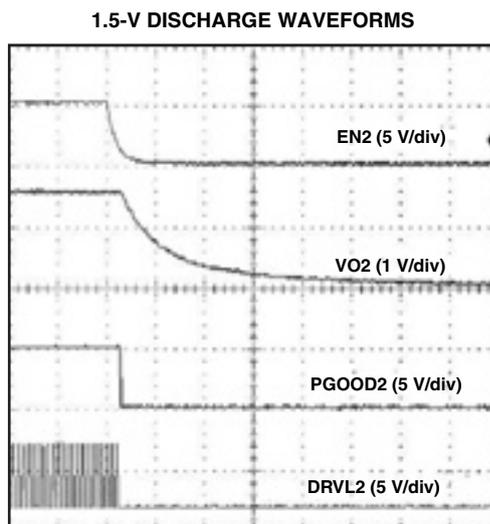
t – Time – 500 μ s/div

図 21 ⁽⁵⁾



t – Time – 1 ms/div

図 22



t – Time – 1 ms/div

図 23

(5) 図21～図23のデータは、図25と表2に示した標準アプリケーション回路を使用して計測されたものです。

アプリケーション情報

ループ補償と外部部品の選択

D-CAPモードを使用したバック・コンバータ・システムは、次の図に示すように単純化できます。

出力電圧は、デバイダ抵抗R1およびR2の後で内部リファレンス電圧と比較されます。PWMコンパレータにより、ハイサイドMOSFETをオンにするタイミングが決定されます。このコンパレータは十分なゲインと速度を備えているため、各オン・サイクルの開始時(またはオフ・サイクルの終了時)に電圧をほぼ一定に維持できます。DC出力電圧には、入力電圧の増加とともにわずかに増加するリップル振幅によって、ライン・レギュレーションを持つ場合があります。

ループの安定性のために、式(4)で定義される0dB周波数(f_o)がスイッチング周波数の1/4より低い必要があります。

$$f_o = \frac{1}{2\pi \times \text{ESR} \times C_o} \leq \frac{f_{\text{sw}}}{4} \quad (4)$$

f_o は出力コンデンサの特性のみによって決まるため、D-CAPモードのループ安定性はコンデンサの化学的性質によって決定されます。たとえば、特殊ポリマー・コンデンサ(SP-CAP)は数百 μF 程度の C_o と10m Ω 程度のESRを持ちます。その場合、 f_o は100kHz程度またはそれ以下となり、ループは安定します。一方、セラミック・コンデンサの f_o は700kHzを超えるため、この動作モードには不適切です。

D-CAPモードには使いやすさ、最少な外部部品数、非常に短い応答時間など多くの利点がありますが、外部回路で十分な帰還信号を提供してジッタ・レベルを抑える必要があります。これは、ループの中に誤差増幅器が使用されていないためです。必要な信号レベルは比較ポイント(VFBピン)において約10mVです。これにより、次の式で出力ノードの V_{ripple} が得られます。

$$V_{\text{ripple}} = \frac{V_{\text{out}}}{0.758} \times 10 \text{ [mV]} \quad (5)$$

出力コンデンサのESRがこの要件を満たすことが必要です。

D-CAPモードの場合、外部部品の選択ははるかに簡単です。

1. R1とR2の値を決定します。

R2の推奨値は、10k Ω ~100k Ω です。R1は、次の式を使って決定します。

$$R1 = \frac{(V_{\text{out}} - 0.758)}{0.758} \times R2 \quad (6)$$

2. インダクタを選択します。

インダクタンス値は、リップル電流が最大出力電流の約1/4~1/2になるよう決定する必要があります。リップル電流が大きくなると、出力リップル電圧が増加し、S/N比が向上するため、安定動作につながります。

$$\begin{aligned} L &= \frac{1}{I_{\text{IND(ripple)}} \times f} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} \\ &= \frac{3}{I_{\text{OUT(max)}} \times f} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} \end{aligned} \quad (7)$$

また、インダクタは良好な効率が得られるように低いDCRを持つ必要があり、ピーク・インダクタ電流から飽和するまでに十分な余裕も必要です。ピーク・インダクタ電流は次の式で見積もることができます。

$$\begin{aligned} I_{\text{IND(peak)}} &= \frac{V_{\text{trip}}}{R_{\text{DS(on)}}} + \frac{1}{L \times f} \\ &\times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} \end{aligned} \quad (8)$$

3. 出力コンデンサを選択します。

有機半導体コンデンサまたは特殊ポリマー・コンデンサを推奨します。前述の必要なリップル電圧が得られるようにESRを決定します。次の式を使って概算できます。

$$\text{ESR} = \frac{V_{\text{OUT}} \times 0.01}{I_{\text{ripple}}} \approx \frac{V_{\text{OUT}}}{I_{\text{OUT(max)}}} \times 30 \text{ [m}\Omega\text{]} \quad (9)$$

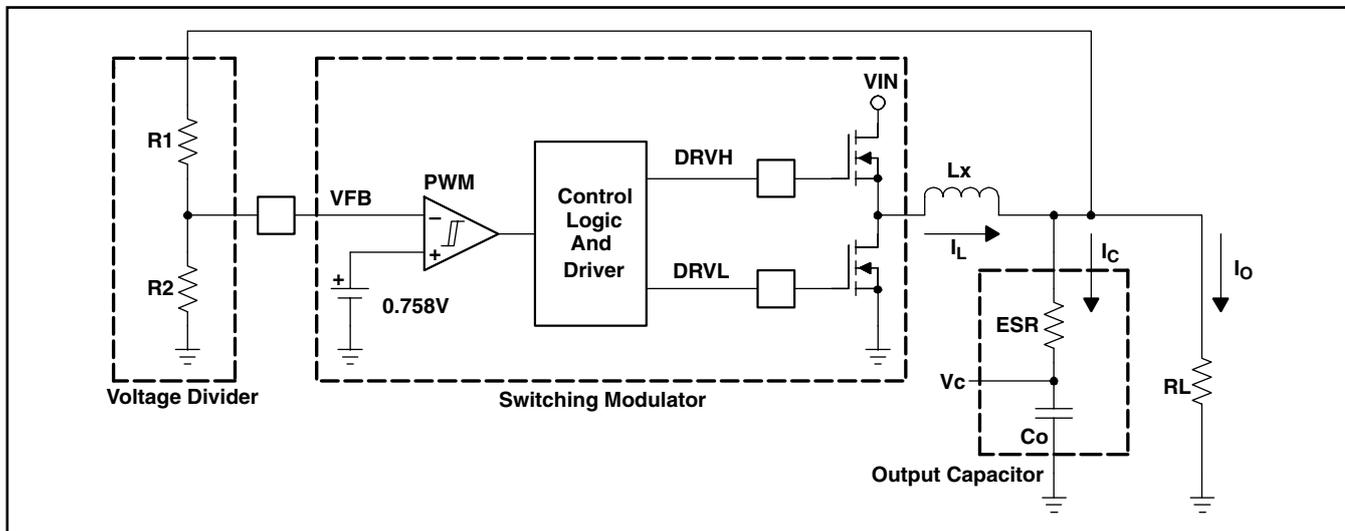


図 24. 変調回路の単純化

レイアウトについての考察

TPS51124を使用したレイアウトを開始する前に、いくつか検討すべき事項があります。

- V5INとV5FILTの間にRCローパス・フィルタを接続します。1 μ Fおよび3.3 Ω を推奨します。ICに近い位置、可能であれば12mm (0.5インチ) 以内の位置に、フィルタ・コンデンサを配置します。
- 可能な限りICに近い位置で、TRIPxとGNDの間に過電流設定抵抗を接続します。TRIPxと抵抗の間、および抵抗とGNDの間のトレースは、高電圧スイッチング・ノードへのカップリングを避けてください。
- 放電パス (VOx) では、出力電圧センス・トレースとは別に、出力コンデンサへの専用トレースが必要です。幅1.5mm (60ミル) 以上のトレースを使用し、ループを作らないでください。帰還電流設定抵抗 (VFBxとGNDの間の抵抗) は、ICのGNDに近い位置で接続してください。この抵抗からVFBxピンへのトレースは短く、細くしてください。部品実装面に配置し、この抵抗とICの間にビアの使用は避けます。
- ドライバからハイサイドMOSFETまたはローサイドMOSFETの各ゲートまでの接続は、浮遊インダクタンスを低減するために、できるだけ短くします。幅0.65mm (25ミル) 以上のトレースを使用してください。

- カップリングを避けるために、VOx、VFBx、GND、ENx、PGOODx、TRIPx、V5FILT、TONSELなどの敏感なアナログ・トレースおよび部品はすべて、LLxノード、DRVLxノード、DRVHxノード、VBSTxノードなどの高電圧スイッチング・ノードから離して配置します。内部の層をグランド・プレーンとして使用し、帰還トレースを電源トレースや電源部品からシールドしてください。
- VINコンデンサ、Voutコンデンサ、ローサイドMOSFETのソースの各グランド端子は、できる限り近くにまとめてください。GND (信号グランド) とPGNDx (電源グランド) は、ICの近くで強くまとめて接続してください。LLxノードとして定義されるPCBトレースは、ハイサイドMOSFETのソース、ローサイドMOSFETのドレイン、インダクタの高電圧側に接続されますが、できる限り短くし、幅を広くします。
- パッケージから効率的に熱を除去するために、サーマル・ランドを用意してパッケージのサーマル・パッド (PowerPAD™) に半田付けします。放熱を助けるために、サーマル・ランドと内部グランド・プレーンの間に直径0.33mm (13ミル) のビアを2 \times 2個以上設けます。PGNDxは、このパッケージ下のサーマル・ランドには接続しないでください。

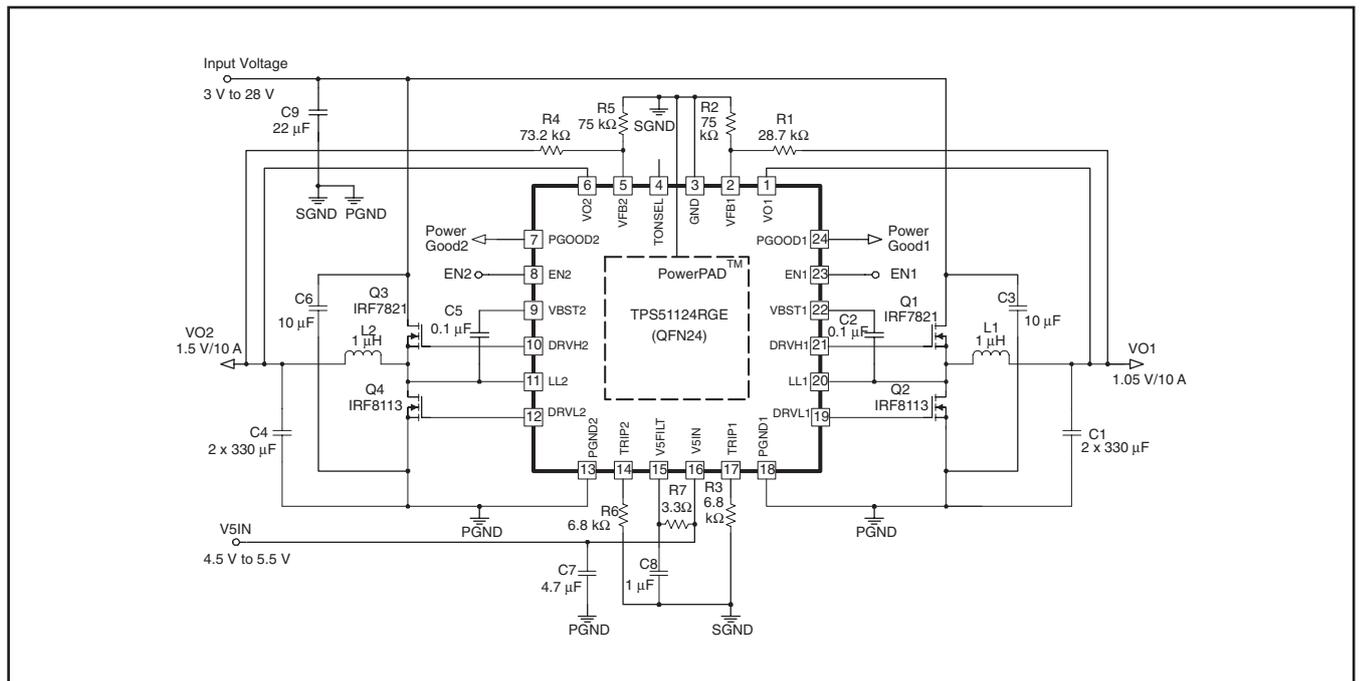


図 25. 標準アプリケーション回路

SYMBOL	SPECIFICATION	MANUFACTURER	PART NUMBER
C1	330 μ F, 2.5 V, 15 m Ω	SANYO	2R5TPE330MF
C4	330 μ F, 2.5 V, 18 m Ω	SANYO	2R5TPE330MI
L1, L2	1 μ H, 2 m Ω	TOKO	FDA1254-1R0M
C3, C6	10 μ F, 25 V	TDK	C3225X5R1E106
Q1, Q3	30 V, 13 m Ω	International Rectifier	IRF7821
Q2, Q4	30 V, 7 m Ω	International Rectifier	IRF8113

表 2. 標準アプリケーション回路の部品

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS51124RGER	ACTIVE	QFN	RGE	24	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS51124RGERG4	ACTIVE	QFN	RGE	24	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS51124RGET	ACTIVE	QFN	RGE	24	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS51124RGETG4	ACTIVE	QFN	RGE	24	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

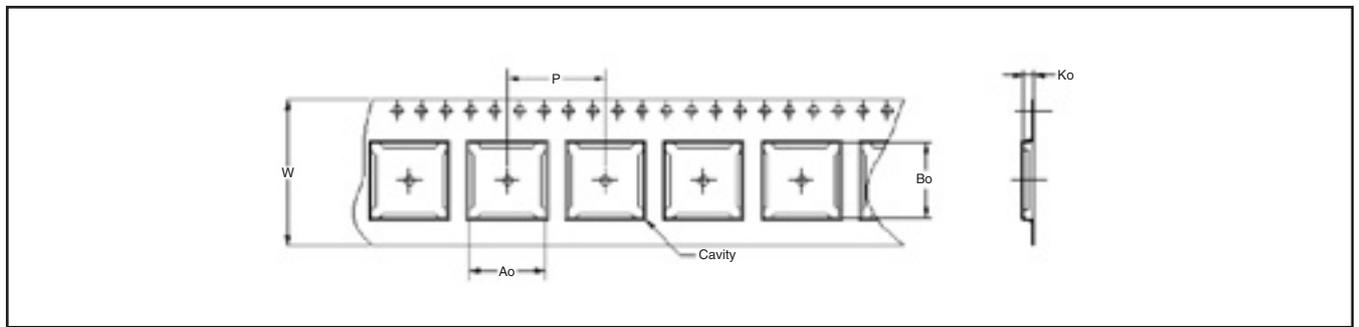
Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

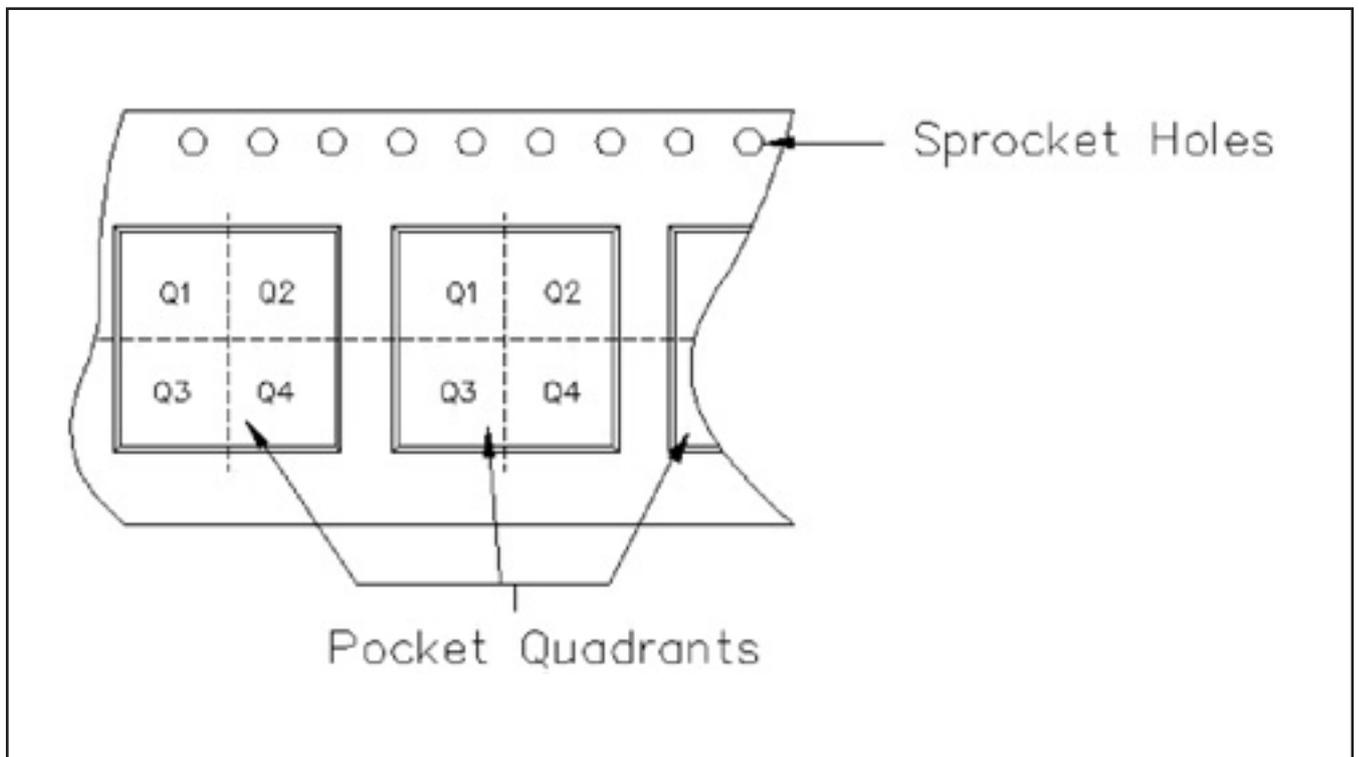
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。



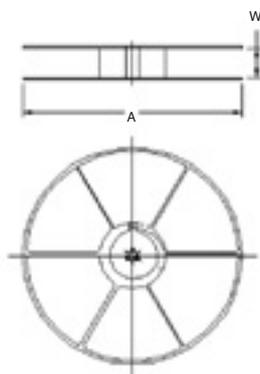
Carrier tape design is defined largely by the component length, width, and thickness.

Ao = Dimension designed to accommodate the component width.
Bo = Dimension designed to accommodate the component length.
Ko = Dimension designed to accommodate the component thickness.
W = Overall width of the carrier tape.
P = Pitch between successive cavity centers.



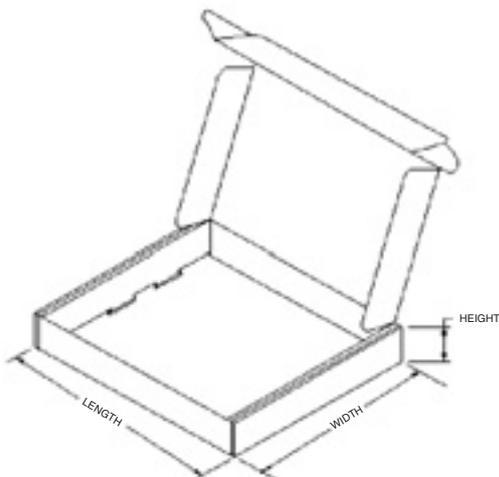
テープ/リール情報

Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin 1 Quadrant
TPS51124RGER	RGE	24	MLA	330	12	4.3	4.3	1.5	8	12	Q2
TPS51124RGET	RGE	24	MLA	180	12	4.3	4.3	1.5	8	12	Q2



テープ/リール・ボックス情報

Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
TPS51124RGER	RGE	24	MLA	346.0	346.0	29.0
TPS51124RGET	RGE	24	MLA	190.0	212.7	31.75



サーマルパッド・メカニカル・データ

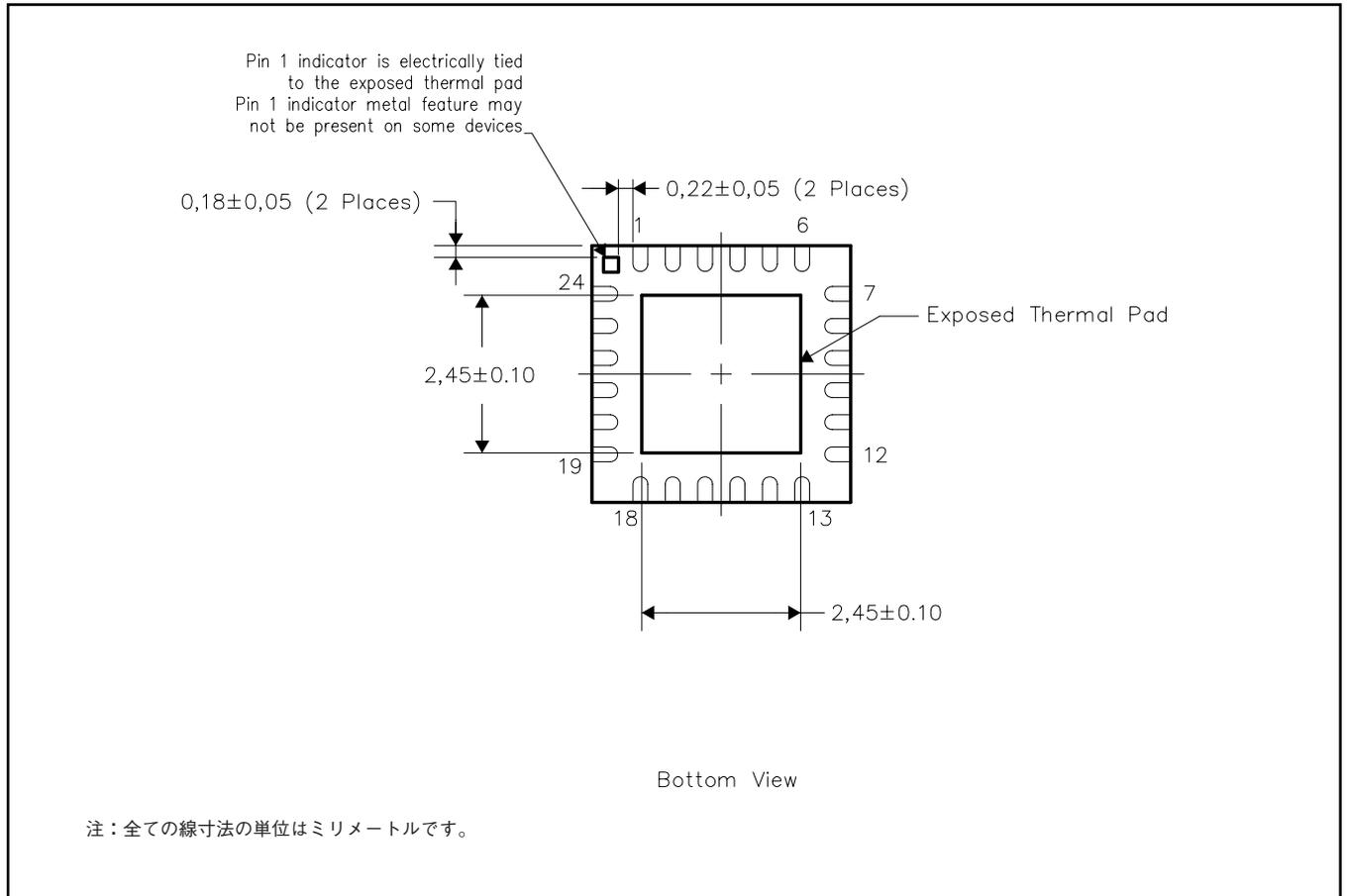
RGE (S-PQFP-N24)

熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをグランドプレーン、あるいはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

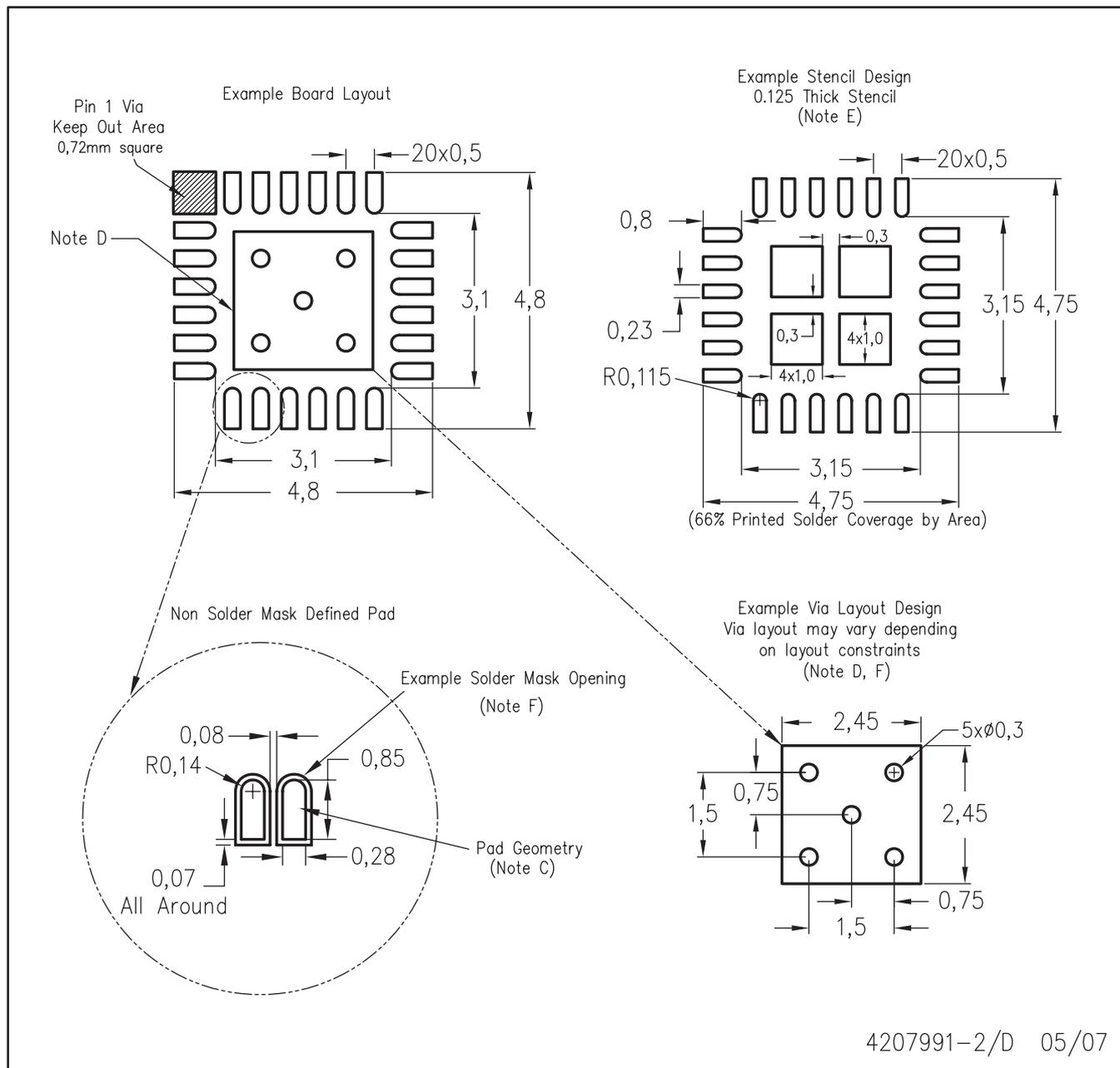
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



サーマルパッド寸法図

LAND PATTERN

RGE (S-PQFP-N24)



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SCBA017、SLUA271)および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
 F. 半田マスクの推奨許容差、およびサーマル・パッドに配置するビアのテンティングに関する推奨事項については、基板組み立て拠点にお問い合わせください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated