

デュアル出力、2相同期整流型 バックDC/DCコントローラ

特 長

- 互いに独立した2出力を位相差180°で動作
- 広い入力電圧範囲：4.5V～28V
- 出力電圧を最低0.9Vまで調整可能
- ピン選択可能なPWM/SKIPモードにより軽負荷時の効率を向上
- 同期整流型降圧動作により最大95%の効率を実現
- チャネル毎に個別のスタンバイ制御および過電流保護
- プログラム可能な短絡保護
- 低い電源電流(1mA)およびシャットダウン電流(1nA)
- パワー・グッド出力
- 高速誤差増幅器
- ソフトスタート・キャパシタ値の選択によりシーケンシングを容易に実現
- 5Vリニア・レギュレータ電源内蔵
- 30ピンTSSOPパッケージ

概 要

TPS5120は、2チャネルの高効率同期整流型バック・コントローラであり、2つの出力が180度の位相差で動作するため、入力電流リップルが減少し、入力容量コストを低減できます。PWM/SKIPピンにより、軽負荷条件下で動作モードをPWMモードからスキップ・モードに切り替えることができます。スキップ・モードでは、動作周波数が低下し、ローサイドMOSFETへのパルス幅が短くなるため、軽負荷条件での効率が向上します。この2つのモードに加え、同期整流器ドライバ、デッドタイム機能、および非常に低い静止時消費電流により、すべての負荷条件下で電力を節約し、バッテリ寿命を長く保つことができます。内蔵の1.5A(標準)ハイサイドおよびローサイドMOSFETドライ

DBT PACKAGE (TOP VIEW)		
INV1	1○	30
FB1	2	29
SOFTSTART1	3	28
PWM/SKIP	4	27
CT	5	26
5V_STBY	6	25
GND	7	24
REF	8	23
STBY1	9	22
STBY2	10	21
FLT	11	20
POWERGOOD	12	19
SOFTSTART2	13	18
FB2	14	17
INV2	15	16
		LH1
		OUT1_u
		LL1
		OUT1_d
		OUTGND1
		TRIP1
		V _{CC}
		TRIP2
		VREF5
		REG5V_IN
		OUTGND2
		OUT2_d
		LL2
		OUT2_u
		LH2

バは、よりコストの低いNチャネルMOSFETを駆動するように設計されています。電流検知抵抗を使用しない電流保護、および固定されたハイサイド・ドライバ電圧により、電源設計が単純化され、外部部品数を少なくできます。各チャネルは互いに独立し、コントローラ、過電流保護、およびスタンバイ制御をそれぞれ個別に備えています。シーケンシングは柔軟性があり、異なるソフトスタート・キャパシタ値を選択することで調整が可能です。その他、低電圧ロックアウト、パワーグッド、過電圧保護、低電圧保護、プログラム可能な短絡保護などの機能により、システムの信頼性向上に役立ちます。

標準的設計

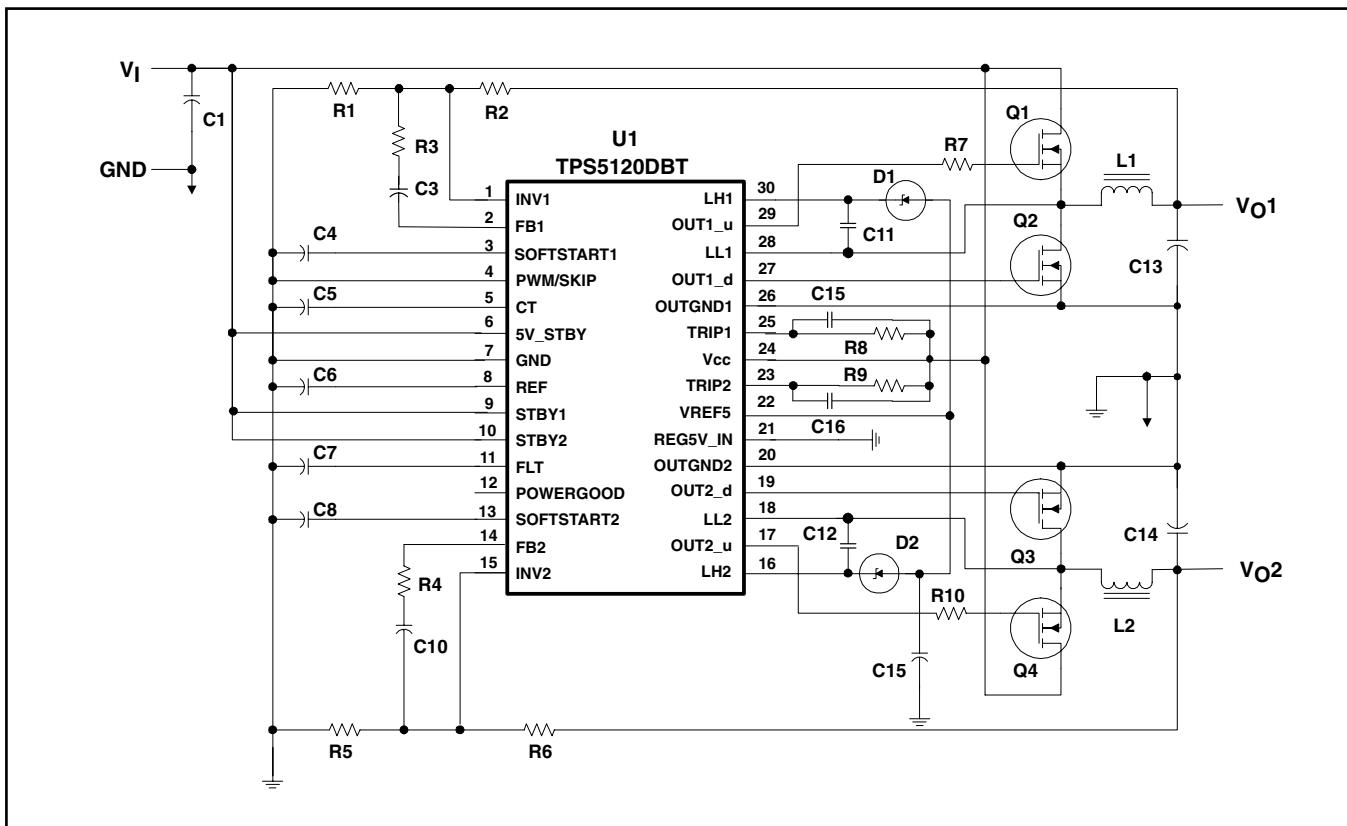
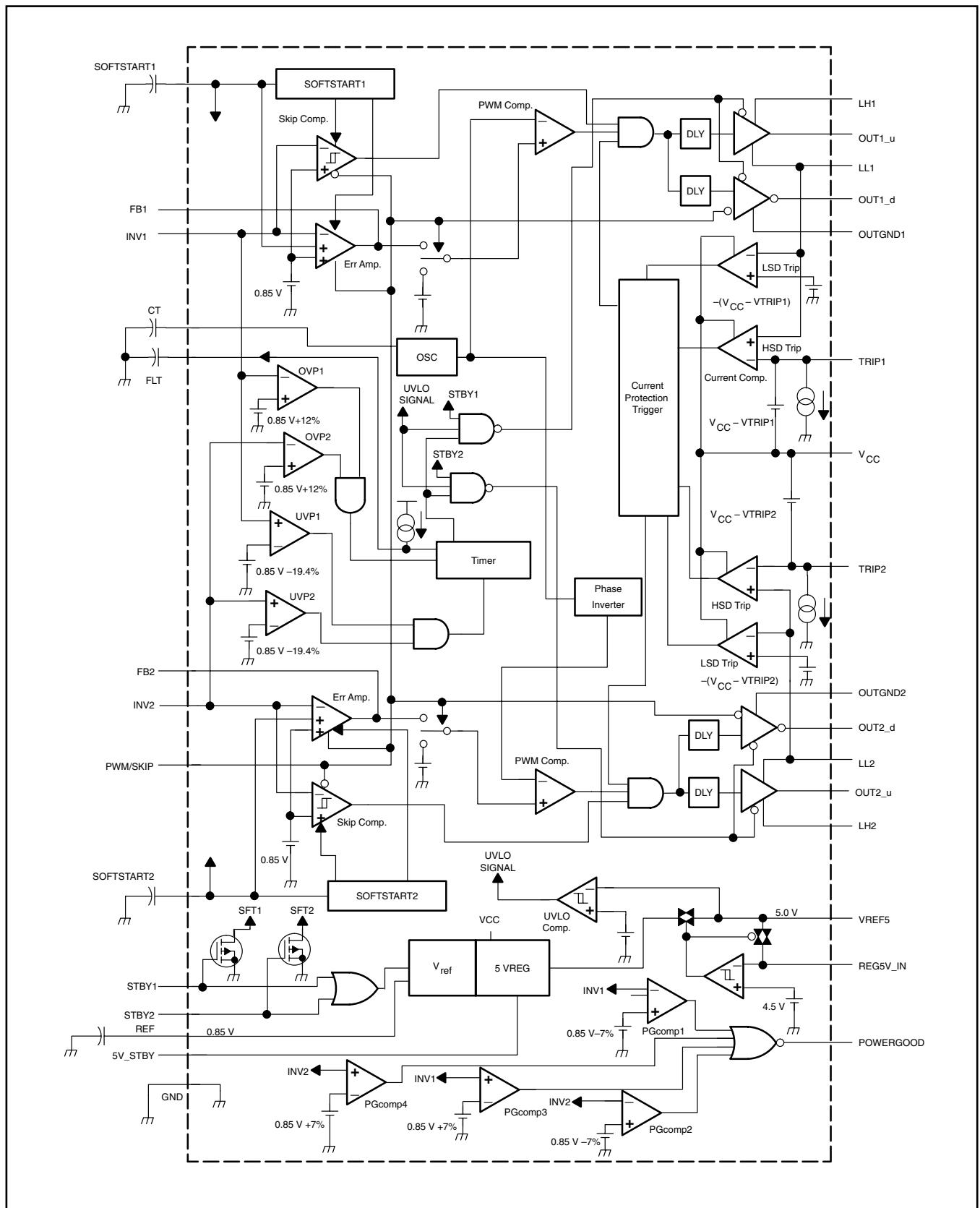


図1. 標準的設計

機能ブロック図



供給オプション

TA	PACKAGE
	TSSOP (DBT)
-40°C to 85°C	TPS5120DBT
	TPS5120DBTR

ピン機能

ピン名前	NO.	I/O	説明
CT	5	I/O	GNDとの間に三角発振器調整用の外部キャパシタを接続
FB1	2	O	CH1誤差増幅器の帰還出力
FB2	14	O	CH2誤差増幅器の帰還出力
GND	7		制御GND
INV1	1	I	CH1誤差増幅器、スキップ・コンパレータ、およびOVP1/UVP1コンパレータの反転入力
INV2	15	I	CH2誤差増幅器、スキップ・コンパレータ、およびOVP2/UVP2コンパレータの反転入力
LH1	30	I/O	CH1ハイサイド・ゲート駆動用のブーストストラップ・キャパシタを接続
LH2	16	I/O	CH2ハイサイド・ゲート駆動用のブーストストラップ・キャパシタを接続
LL1	28	I/O	CH1ハイサイド・ゲート駆動のリターンおよび出力電流保護のため、このピンは“ロー”にブーストストラップします。フローティング駆動構成の場合、このピンはハイサイドおよびローサイドFETの接合部に接続します。
LL2	18	I/O	CH2ハイサイド・ゲート駆動のリターンおよび出力電流保護のため、このピンは“ロー”にブーストストラップします。フローティング駆動構成の場合、このピンはハイサイドおよびローサイドFETの接合部に接続します。
OUT1_d	27	O	CH1ローサイド・ゲート駆動用のゲート駆動出力
OUT2_d	19	O	CH2ローサイド・ゲート駆動用のゲート駆動出力
OUT1_u	29	O	CH1ハイサイド・スイッチングFET用のゲート駆動出力
OUT2_u	17	O	CH2ハイサイド・スイッチングFET用のゲート駆動出力
OUTGND1	26		CH1 FET ドライバ用グランド
OUTGND2	20		CH2 FET ドライバ用グランド
POWERGOOD	12	O	パワーグット・オープンドレイン出力。“ロー”的場合、POWERGOODは出力フォールト状態を通知します。PGコンパレータは、SMPS(スイッチングレギュレータ)の過電圧およびVREF5のUVLOを監視します。スレッシュホールドは±7%です。SMPSがオンになると、POWERGOODピンの出力は“ハイ”になります。POWERGOODは、VREF5のUVLO出力も監視します。
PWM/SKIP	4	I	PWM/SKIPモード選択ピン。PWM/SKIPピンを使用して、出力の動作モードを変更できます。このピンが0.5V未満になると、PWMモードが選択されます。2V以上の電圧が印加されると、デバイスはスキップ・モードで動作します。軽負荷条件(約0.2A未満)では、スキップ・モードに入るとローサイドFETへの入力パルスが短くなります。この制御により、スイッチング周波数が低くなり、スイッチング損失が低減します。また、出力インダクタおよびローサイドFETを通した出力キャパシタのエネルギー放電が停止します。そのため、TPS5120は軽負荷条件下で高い効率を実現します。
REF	8	O	0.85Vの基準電圧出力。0.85Vの基準電圧は、出力電圧および電圧保護の設定に使用されます。この基準電圧は5Vレギュレータから生成されます。
REG5V_IN	21	I	外部5V入力
FLT	11	I/O	フォールト・ラッチ・タイマー・ピン。GNDとの間に外部キャパシタを接続して、FLTシャットダウン時間を設定します。
SOFTSTART1	3	I/O	CH1ソフトスタート制御用の外部キャパシタをGNDとの間に接続します。個別のソフトスタート・ピンにより、各出力のスタートアップ時間を独立して設定できます。
SOFTSTART2	13	I/O	CH2ソフトスタート制御用の外部キャパシタをGNDとの間に接続します。個別のソフトスタート・ピンにより、各出力のスタートアップ時間を独立して設定できます。
STBY1	9	I	CH1のスタンバイ制御。STBY1ピンを接地することで、SMPS1を個別にスタンバイ・モードに切り替えることができます。
STBY2	10	I	CH2のスタンバイ制御。STBY2ピンを接地することで、SMPS2を個別にスタンバイ・モードに切り替えることができます。
TRIP1	25	I	CH1出力電流制御用の外部抵抗を接続
TRIP2	23	I	CH2出力電流制御用の外部抵抗を接続
VCC	24		電源電圧入力
VREF5	22	O	5Vの内部レギュレータ出力
5V_STBY	6	I	5Vのリニア・レギュレータ制御

詳細説明

スイッチング・モード電源(SMPS)1、2

TPS5120には、 180° の位相差で動作する、2つの同じ周波数のSMPSコントローラが搭載されています。各チャネルにスタンバイおよびソフトスタート機能があります。

5Vレギュレータ

ハイサイド・ドライバのブートストラップ電圧、およびVREF(0.85V)のソースとして、内部のリニア電圧レギュレータが使用されます。5VレギュレータがMOSFETドライバから切り離された場合は、VREFのソースとしてのみ使用されます。入力電圧範囲が4.5V～28Vであるため、ブートストラップ電圧に固定電圧を使用でき、ドライバの設計が非常に簡単になります。5Vレギュレータは、ローサイド・ドライバの電源としても使用されます。許容差は4%です。STBY1、STBY2、5V_STBYをすべて“ロー”にすると、5Vレギュレータはディスエーブルされます。

5Vスイッチ

内部の5VスイッチがREG5V_INピンからの5V入力を検知すると、内部5Vリニア・レギュレータがMOSFETドライバから切り離されます。その場合、ローサイド・ドライバとハイサイド・ブートストラップの両方に外部の5Vが使用され、効率が向上します。

誤差増幅器

各チャネルにはそれぞれ固有の誤差増幅器が備えられ、同期整流型バック・コンバータ出力電圧のレギュレーションを行います。誤差増幅器は、約0.2Aを超える高出力電流条件に対してPWMモードで使用されます。ユニティ・ゲイン帯域幅は2.5MHzです。これにより、高速の負荷過渡状態時に増幅器の遅延が低減し、すばやい過渡応答が可能になります。

スキップ・コンパレータ

スキップ・モードでは、各チャネル固有のヒステリシス付きコンパレータを使用して、同期整流型バック・コンバータ出力電圧のレギュレーションを行います。ヒステリシスは内部で設定され、標準設定は9mVです。コンパレータ入力からドライバ出力までの遅延は、標準で $1.2\mu\text{s}$ です。

ローサイド・ドライバ

ローサイド・ドライバは、低 $r_{ds(on)}$ のNチャネルMOSFETを駆動するように設計されています。最大駆動電圧はVREF5から5Vです。ドライバの電流定格は、ソースおよびシンクで標準1.5Aです。

ハイサイド・ドライバ

ハイサイド・ドライバは、低 $r_{ds(on)}$ のNチャネルMOSFETを駆動するように設計されています。ドライバの電流定格は、ソースおよびシンクで1.2Aです。フローティング・ドライバとして構成された場合、ドライバへのバイアス電圧はVREF5から生成され、OUTx_uとLLxの間の最大駆動電圧は5Vに制限されます。LHxとOUTGNDの間に印加できる最大電圧は33Vです。

デッドタイム

デッドタイムによりMOSFETのオン時間をアクティブに制御することで、スイッチングの遷移時にメイン・パワーFETに貫通電流が流れるのを防ぎます。

電流保護

ハイサイドおよびローサイドMOSFETデバイスのドレン・ソース間電圧を設定電圧と比較することにより、過電流保護を実現しています。この電圧は、VCCとTRIP1またはTRIP2ピン間の外部抵抗によって設定します。ハイサイドの導通時にドレン・ソース間電圧が設定電圧を上回ると、電流制限回路によりハイサイドのドライバ・パルスが停止されます。ローサイドの導通時に設定電圧を超えた場合は、ローサイドのパルスが次の周期を通して延長されます。低電圧保護回路が動作し、フォルト・ラッチがセットされ、ハイサイドとローサイドの両方のMOSFETドライバがオフになるまでの間、上記の動作によって出力電圧が低減されます。

過電圧保護

過電圧保護(OVP)のために、TPS5120はINVピン電圧を監視しています。INV電圧が0.95V(+12%)を超えた場合、OVPコンパレータの出力が“ハイ”になり、FLTタイマーによって、FLTに接続された外部キャパシタの充電が開始されます。設定された時間が経過した後、FLT回路はMOSFETドライバをオフにラッチします。

低電圧保護

低電圧保護(UVP)のために、TPS5120はINVピン電圧を監視しています。INV電圧が0.68V(-19.4%)を下回った場合、OVPコンパレータの出力が“ハイ”になり、FLTタイマーによって、FLTに接続された外部キャパシタの充電が開始されます。また、電流コンパレータによってOCPがトリガされた場合も、UVPコンパレータは低電圧出力を検出し、FLTキャパシタの充電を開始します。設定された時間が経過した後、FLT回路はすべてのMOSFETドライバをオフにラッチします。

FLT

OVPまたはUVPコンパレータの出力が“ハイ”になると、FLT回路によってFLTキャパシタの充電が開始されます。FLTピン電圧が一定のレベルを超えると、TPS5120はMOSFETドライバをラッチします。このとき、MOSFETの状態は、OVPアラートの場合とUVPアラートの場合とで異なります。また、MOSFETドライバをラッチするためのイネーブル時間は、FLTキャパシタの容量によって決まります。充電用の定電流値も、OVPアラートとUVPアラートとで異なります。次の式に、この違いを示します。

$$\text{FLTソース電流 (OVP)} = \text{FLTソース電流 (UVP)} \times 5$$

シャットダウン

TPS5120は、STBY1、STBY2、および5V_STBYを接地することでシャットダウンできます。シャットダウン時の電流はわずか $1\mu\text{A}$ です。

UVLO

入力電圧が約4Vまで上昇すると、TPS5120は動作可能になります。入力電圧がそれより低い場合、デバイスはオフになります。標準のヒステリシス電圧は40mVです。

発振器

TPS5120には、IC内部に三角発振器が搭載されています。発振周波数は、CTピンに接続されたキャパシタのサイズによって決まります。電圧振幅は0.43V～1.17Vです。

位相反転回路

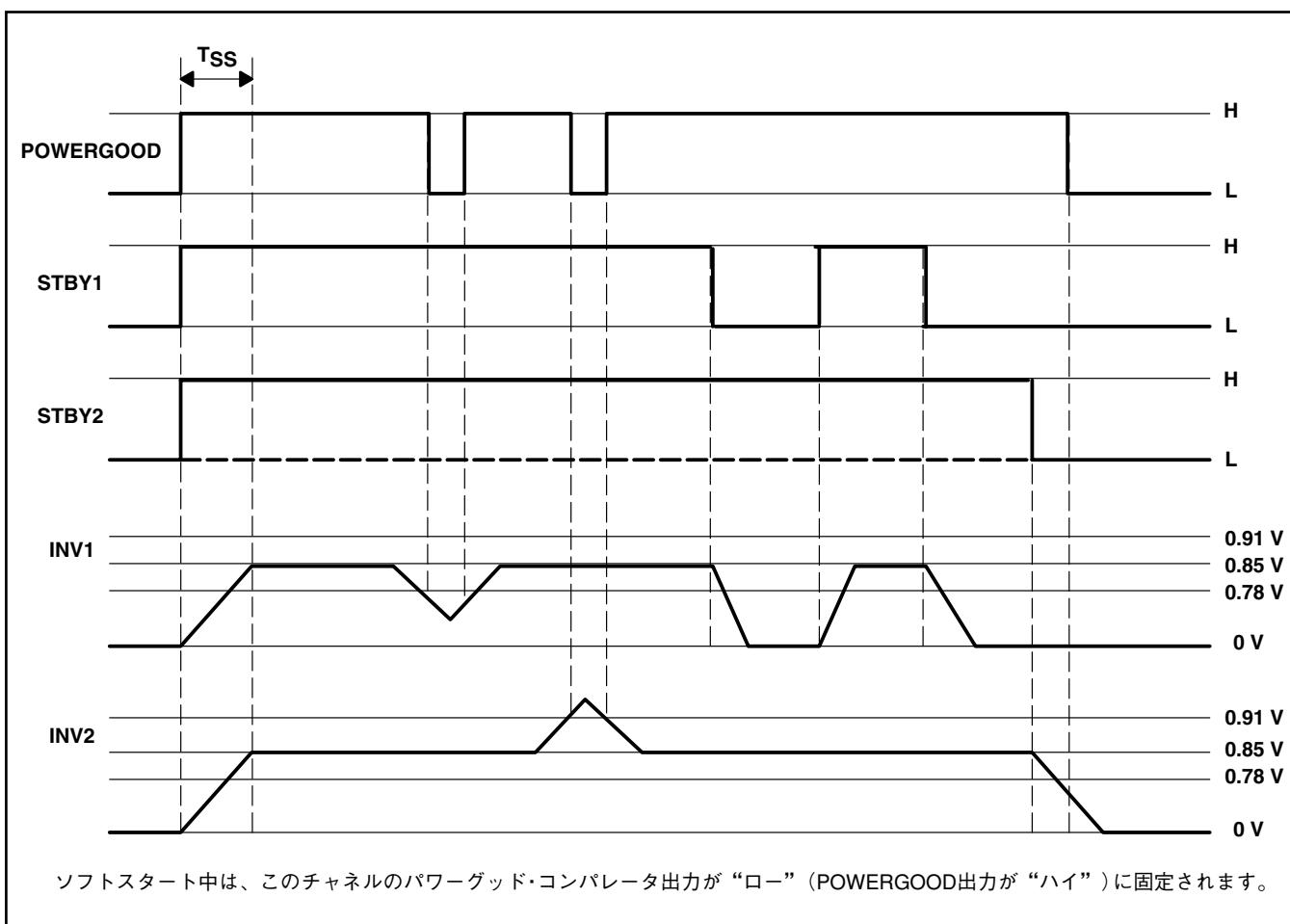
位相反転回路は、SMPS1およびSMPS2の位相を制御します。SMPS1は、OSCと同相で動作します。SMPS2は、SMPS1と180°の位相差で動作します。これにより、入力キャパシタの容量が小さくて済みます。

5V_STBY	STBY1	STBY2	SMPS1	SMPS2	5 V REGULATOR	POWERGOOD
L	L	L	Disable	Disable	Disable	Disable
L	L	H	Disable	Enable	Enable	Active†
L	H	L	Enable	Disable	Enable	Active†
L	H	H	Enable	Enable	Enable	Active
H	L	L	Disable	Disable	Enable	L
H	L	H	Disable	Enable	Enable	Active†
H	H	L	Enable	Disable	Enable	Active†
H	H	H	Enable	Enable	Enable	Active

† ソフトスタート中はPGが“ハイ”に設定されます。

表1. ロジック表

POWERGOODタイミング・シーケンス



絶対最大定格：フリーエア温度で動作時(特に指定のない場合)†

Supply voltage, V _{CC} (see Note 1)	-0.3 V to 30 V
Input voltage: INV1, INV2, CT, PWM/SKIP, REG5V_IN, SOFTSTART1, SOFTSTART2, FLT, POWERGOOD	-0.3 V to 7 V
STBY1, STBY2, 5V_STBY, TRIP1, TRIP2	-0.3 V to 7 V
Output voltage: LL1, LL2	-1.0 V to 30 V
OUT1_u, OUT2_u	-1.0 V to 35 V
LH1, LH2	-0.3 V to 35 V
OUT1_d, OUT2_d, 5V_OUT, FB1, FB2	-0.3 V to 7 V
REF	-0.3 V to 3 V
OUT1_u, LH1 to LL1	-0.3 V to 7 V
OUT2_u, LH2 to LL2	-0.3 V to 7 V
Power dissipation ($T_A \leq 25^\circ\text{C}$), P _D	874 mW
Operating free-air temperature range, T _A	-40°C to 85°C
Storage temperature range, T _{stg}	-55°C to 150°C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

- 注：
- 特に指定のない限り、すべての電圧値はネットワーク・グランド・ピンを基準にしています。
 - この定格は、各パルスの出力立ち上がり/立ち下がりにおいてデューティ = 10%で指定されています。ピーク電流での各パルス幅(立ち上がりおよび立ち下がり)は2μsを超えないようにしてください。
 - 25°Cを超えるフリーエア温度範囲については、定格消費電力の表を参照してください。

定格消費電力

PACKAGE	T _A ≤ 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	POWER DISSIPATION T _A = 85°C
DBT	874 mW	6.993 mW/°C	454 mW

推奨動作条件

		MIN	NOM	MAX	UNIT
Supply voltage, V _{CC}		4.5	28	28	V
Input voltage, V _I	INV1, INV2, CT, PWM/SKIP, SOFTSTART1, SOFTSTART2, FLT		6	6	V
	REG5V_IN, POWERGOOD	-0.1	5.5	5.5	
	STBY1, STBY2, 5V_STBY		28	28	
	OUT1_u, OUT2_u, LH1, LH2		33	33	
	TRIP1, TRIP2	-0.1	28	28	
Oscillator frequency, f _{osc}		300	500	500	kHz
Operating free-air temperature range, T _A		-40	85	85	°C

電気的特性：フリーエア温度で動作時、 $V_{CC} = 7V$ (特に指定のない場合)

基準電圧

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{ref}	Reference voltage			0.85		V
$V_{ref(tol)}$	Reference voltage tolerance	$T_A = 25^\circ C$, $I = 50 \mu A$	-1%	1%		
		$T_A = -20^\circ C$ to $85^\circ C$, $I = 50 \mu A$	-1.5%	1.5%		
		$T_A = -40^\circ C$ to $85^\circ C$, $I = 50 \mu A$	-2%	2%		
$R_{(egin)}$	Line regulation	$V_{CC} = 4.5 V$ to $28 V$, $I = 50 \mu A$	0.05	3	mV	
$R_{(egl)}$	Load regulation	$I = 0.1 \mu A$ to $1 mA$	0.15	5	mV	

発振器

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{osc}	Frequency	PWM mode, $CT = 44 pF$, $T_A = 25^\circ C$	300			kHz
V_{OH}	High level output voltage	DC	1	1.1	1.2	V
		$f_{osc} = 300$ kHz	1.17			
V_{OL}	Low level output voltage	DC	0.4	0.5	0.6	V
		$f_{osc} = 300$ kHz	0.43			

誤差増幅器

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IO}	Input offset voltage	$T_A = 25^\circ C$	2	10	mV	
	Open-loop voltage gain		50			dB
	Unity-gain bandwidth		2.5			MHz
$I_{(snk)}$	Output sink current	$V_O = 1 V$	0.3	0.7		mA
$I_{(src)}$	Output source current	$V_O = 1 V$	0.2	0.9		mA

スキップ・コンバレータ

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{hys}		SKIP mode	9			mV

デューティ制御

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
DUTY		300 kHz, $V_I = 0 V$	83%			

制御

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IH}	High-level input voltage	STBY1, STBY2	2.2			V
		PWM/SKIP, 5V_STBY	2.2			
V_{IL}	Low-level input voltage	STBY1, STBY2	0.3			V
		PWM/SKIP, 5V_STBY	0.3			

5V内部スイッチ

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(TO_H)}$	Threshold		4.2	4.8		V
$V_{(TO_L)}$			4.1	4.7		
V_{hys}	Hysteresis		30	200	mV	

電気的特性：フリーエア温度で動作時、 $V_{CC} = 7V$ （特に指定のない場合）(続き)

5Vレギュレータ

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_O	Output voltage	$I_O = 0 \text{ mA to } 50 \text{ mA}$, $V_{CC} = 5.5 \text{ V to } 28 \text{ V}$, $T_A = 25^\circ\text{C}$	4.8	5.2		V
$R_{(egin)}$	Line regulation	$V_{CC} = 5.5 \text{ V to } 28 \text{ V}$, $I = 10 \text{ mA}$		20		mV
$R_{(egl)}$	Load regulation	$I = 1 \text{ mA to } 10 \text{ mA}$, $V_{CC} = 5.5 \text{ V}$		40		mV
I_{OS}	Short circuit output current	$5V_{REG} = 0 \text{ V}$, $T_A = 25^\circ\text{C}$	65			mA
$V_{(TO_H)}$	UVLO threshold voltage	$5V_{OUT}$ voltage	3.6	4.2		V
$V_{(TO_L)}$			3.5	4.1		
V_{hys}	Hysteresis	$5V_{OUT}$ voltage	30	150		mV

出力ドライバ

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
OUT_u sink current		$V_O = 3 \text{ V}$		1.2		A
OUT_u source current		$V_O = 2 \text{ V}$		-1.5		A
OUT_d sink current		$V_O = 3 \text{ V}$		1.5		A
OUT_d source current		$V_O = 2 \text{ V}$		-1.5		A
$I_{(TRIP)}$	TRIP pin current	$T_A = 25^\circ\text{C}$	11.5	13	14.5	μA

ソフトスタート

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$I_{(SOFT)}$	Soft start current		1.6	2.3	2.9	μA
$V_{(TO_H)}$	Threshold voltage (SKIP mode)			3.7		V
$V_{(TO_L)}$				2.5		

出力電圧モニタ

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
OVP comparator threshold			0.91	0.95	0.99	V
UVP comparator threshold			0.64	0.68	0.72	V
PG comparator 1, 2 threshold			0.75	0.78	0.81	V
PG comparator 3, 4 threshold			0.88	0.91	0.94	V
PG propagation delay from INV to POWERGOOD		Turnon		13		μs
		Turnoff		1.2		
Timer latch current source		UVP protection	1.5	2.3	3.1	μA
		OVP protection	8	11.5	15	

電源電流

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_{CC}	Supply current	$T_A = 25^\circ\text{C}$, $CT = 0 \text{ V}$, $INV = 0 \text{ V}$		1.1	1.5	mA
$I_{CC(S)}$	Shutdown current	$STBY1, STBY2, 5V_{STBY} = 0 \text{ V}$		0.001	10	μA

代表的特性

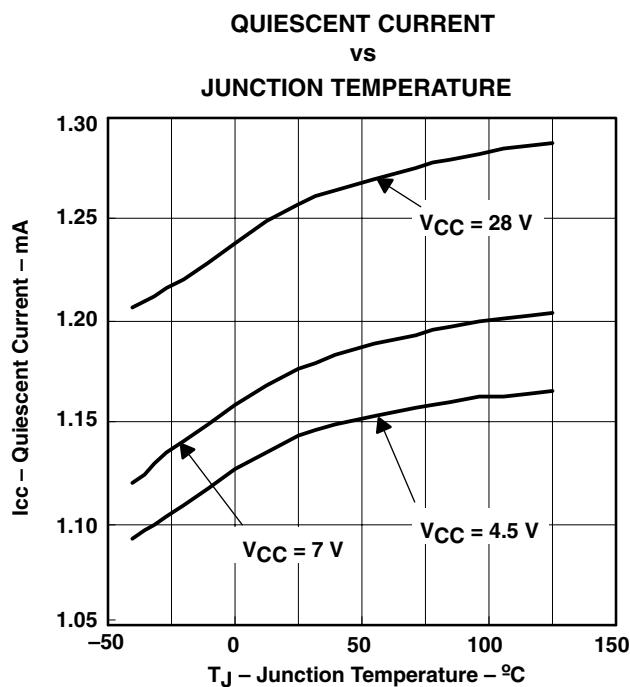


図 2

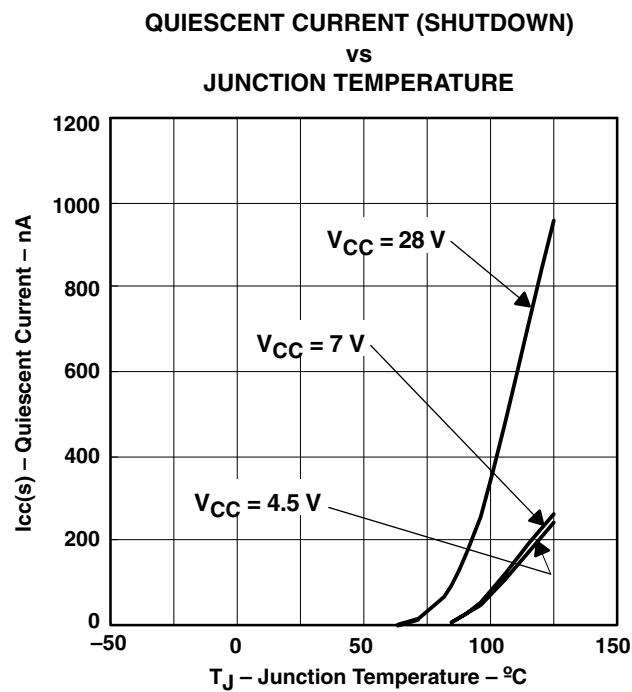


図 3

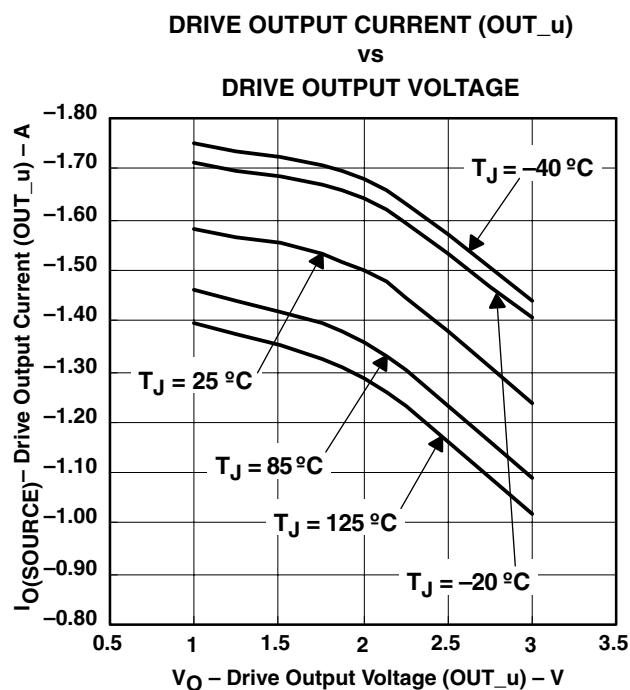


図 4

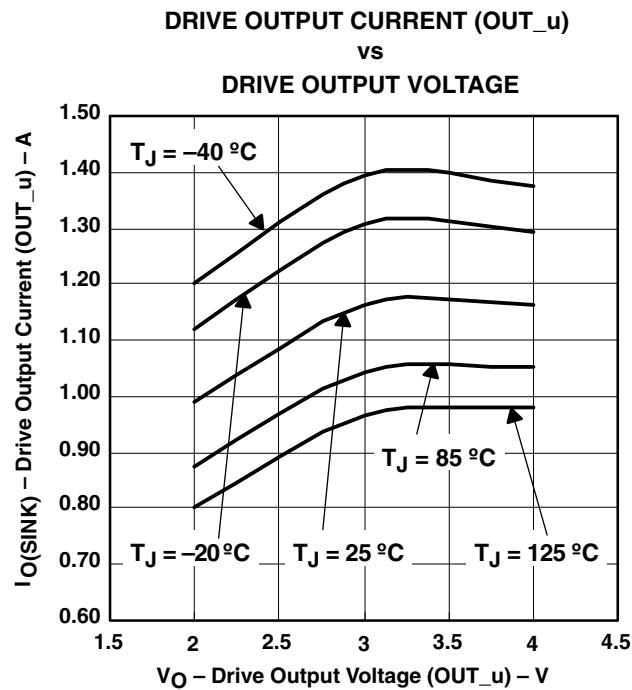


図 5

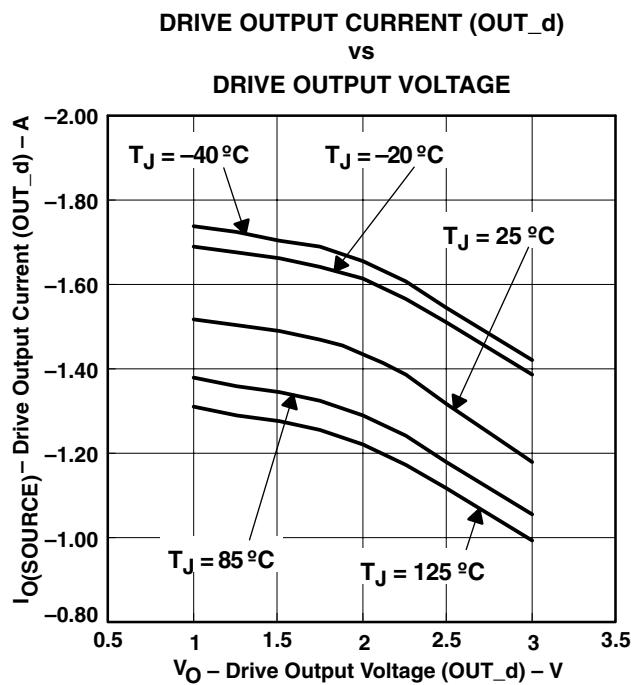


図 6

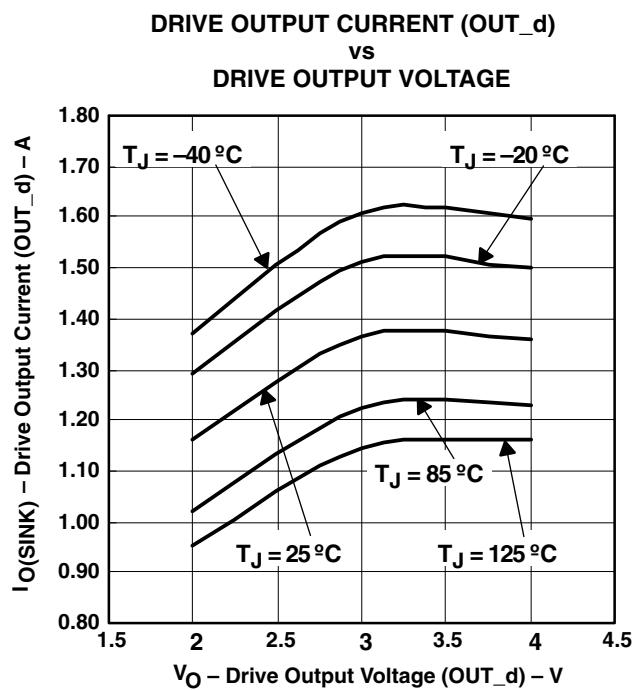


図 7

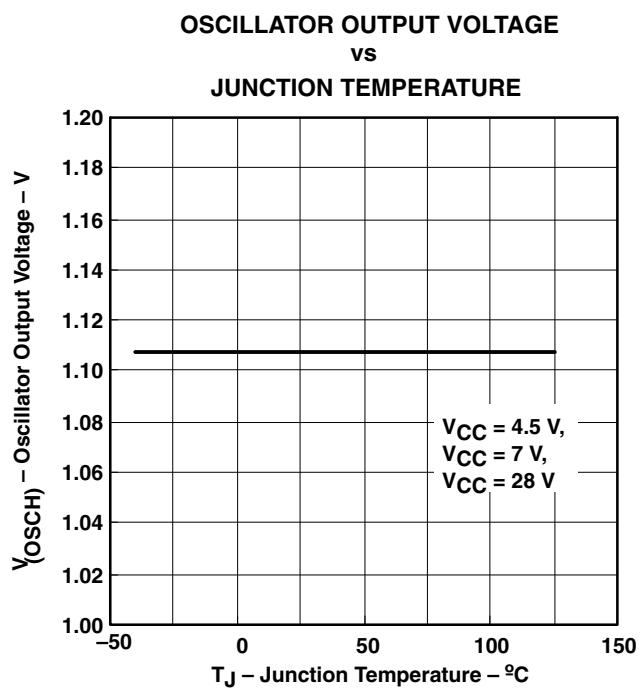


図 8

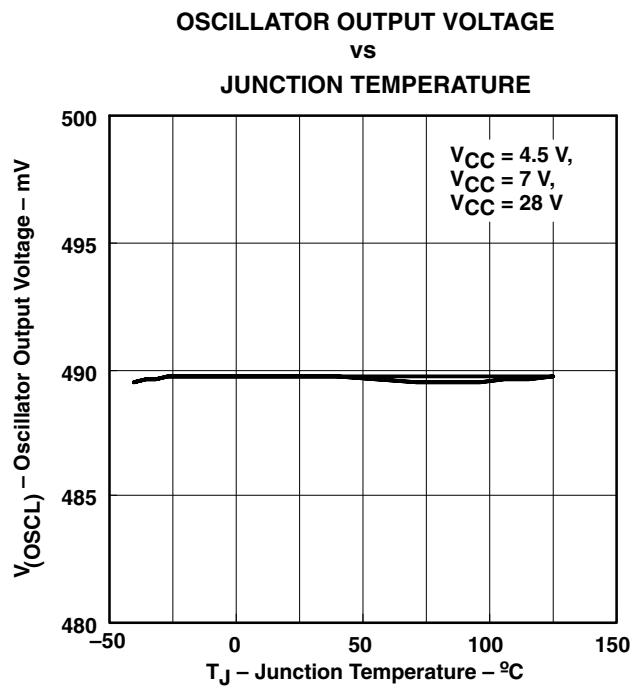


図 9

**ERROR AMPLIFIER INPUT OFFSET VOLTAGE
vs
JUNCTION TEMPERATURE**

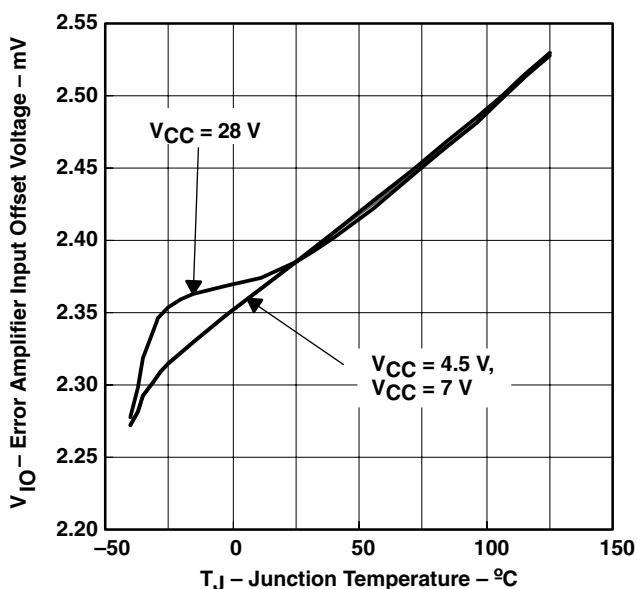


図 10

**ERROR AMPLIFIER OUTPUT VOLTAGE
vs
JUNCTION TEMPERATURE**

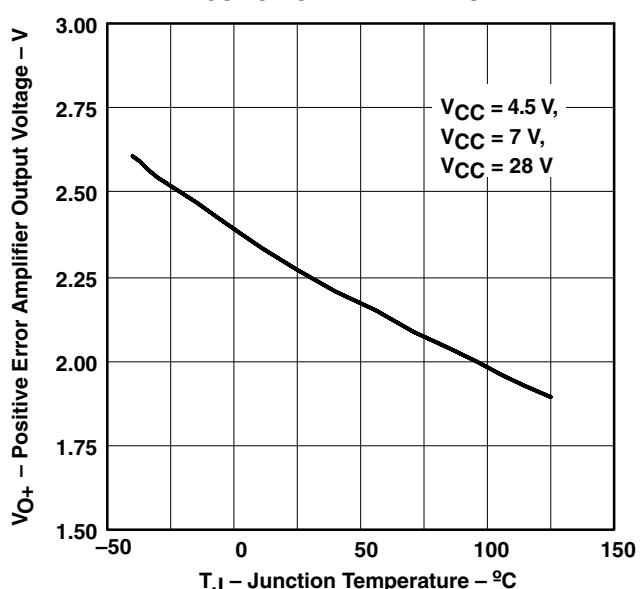


図 11

**ERROR AMPLIFIER OUTPUT VOLTAGE
vs
JUNCTION TEMPERATURE**

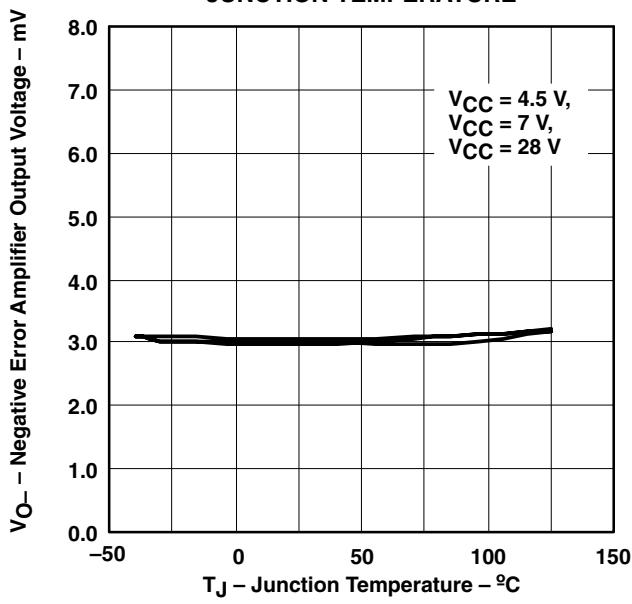


図 12

**SKIP COMPARATOR HYSTERESIS VOLTAGE
vs
JUNCTION TEMPERATURE**

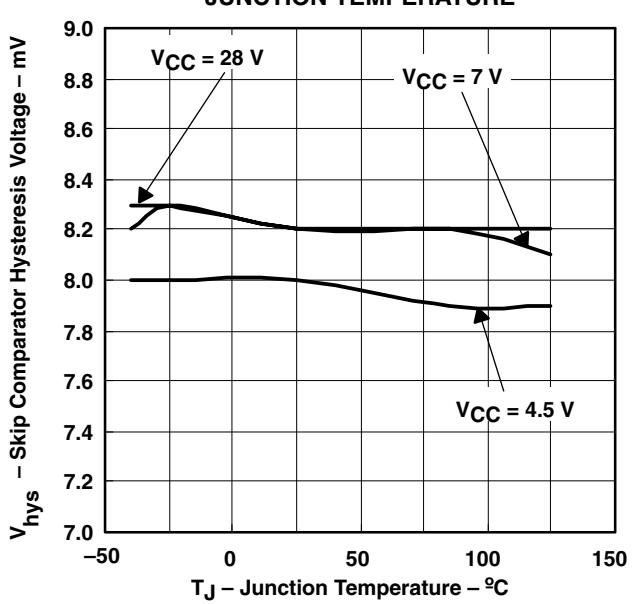


図 13

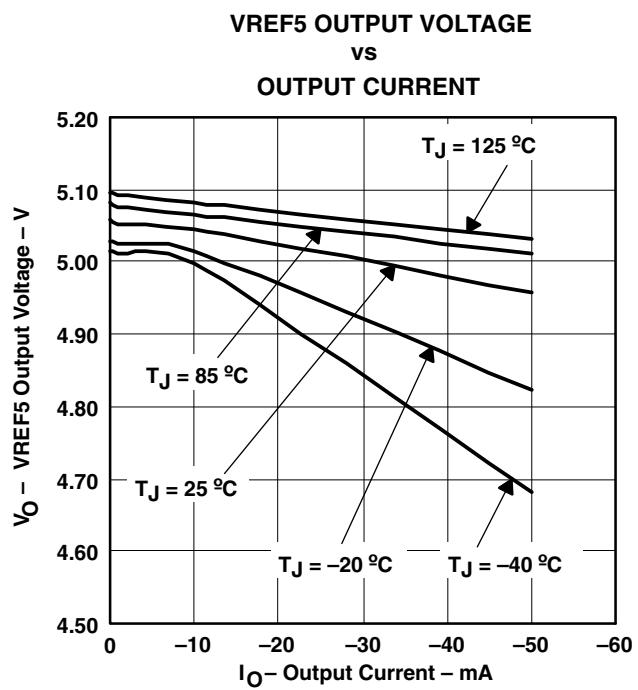


図 14

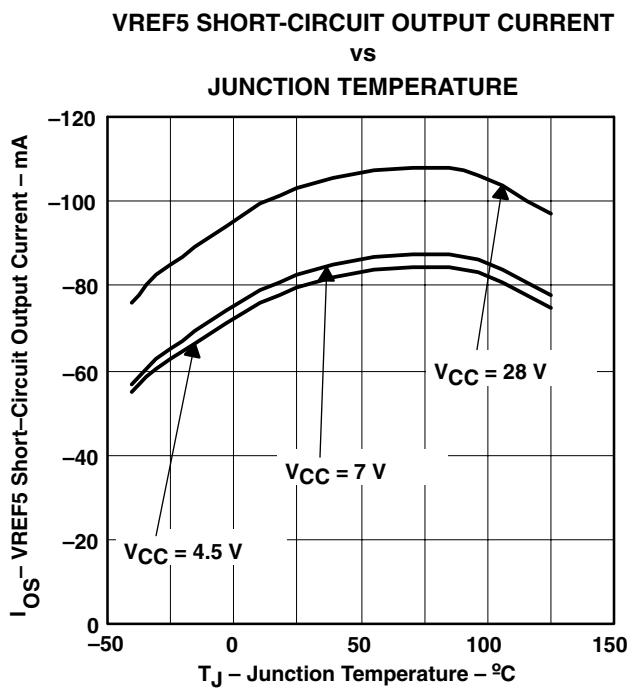


図 15

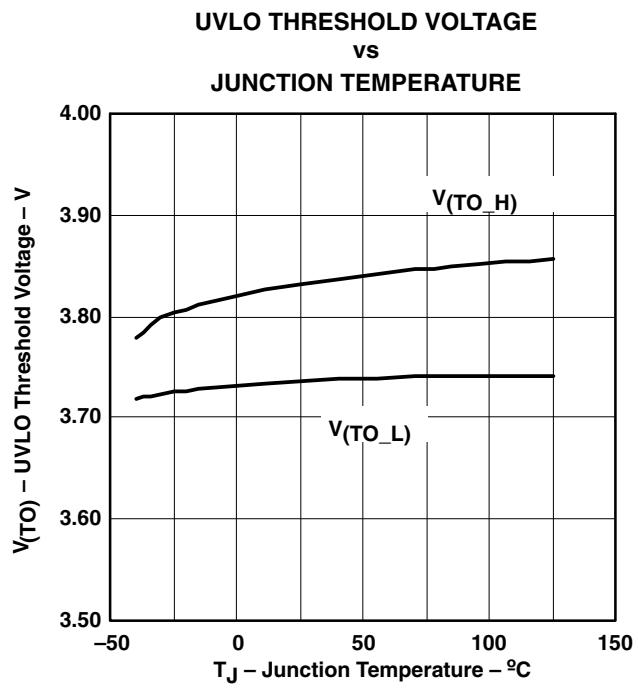


図 16

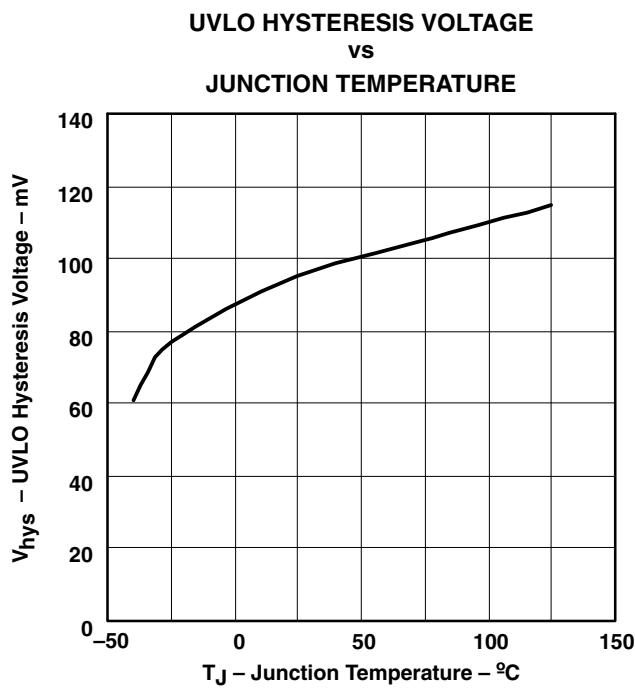


図 17

**REG5V_IN THRESHOLD VOLTAGE
vs
JUNCTION TEMPERATURE**

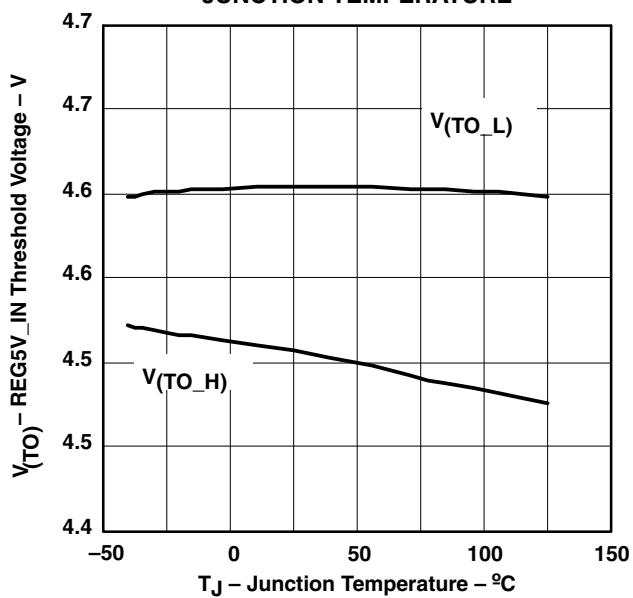


図 18

**REG5V_IN HYSTERESIS VOLTAGE
vs
JUNCTION TEMPERATURE**

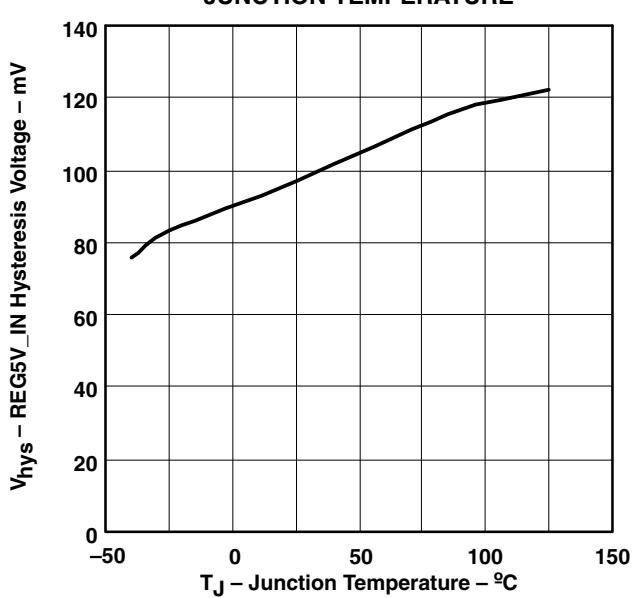


図 19

**SOFTSTART CURRENT
vs
JUNCTION TEMPERATURE**

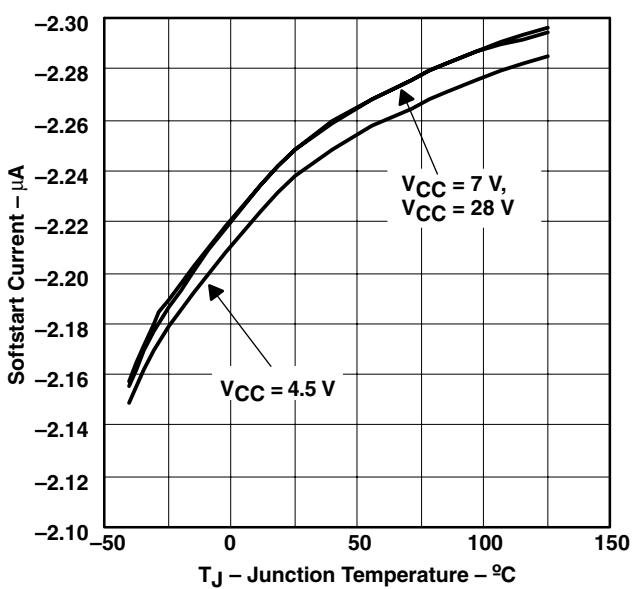


図 20

**OVP THRESHOLD VOLTAGE
vs
JUNCTION TEMPERATURE**

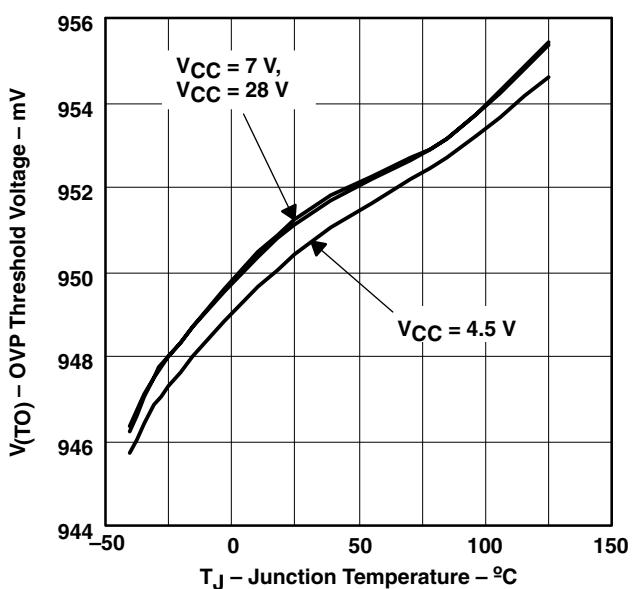


図 21

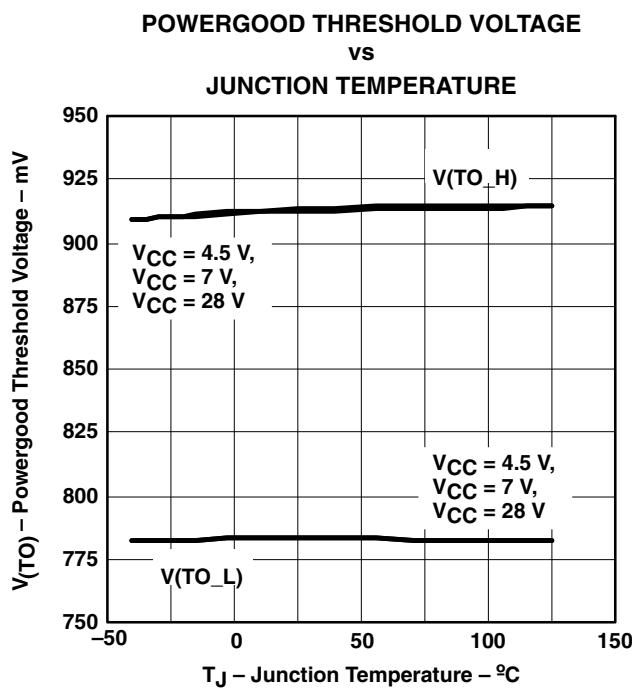


図 22

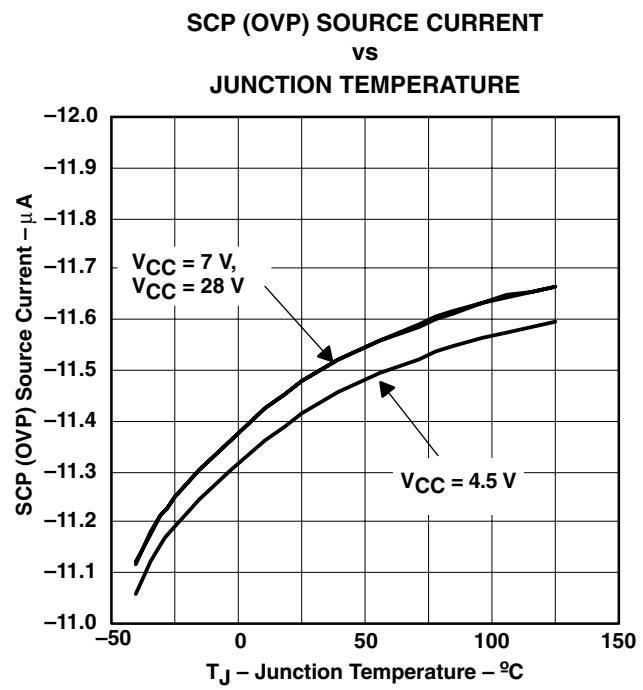


図 23

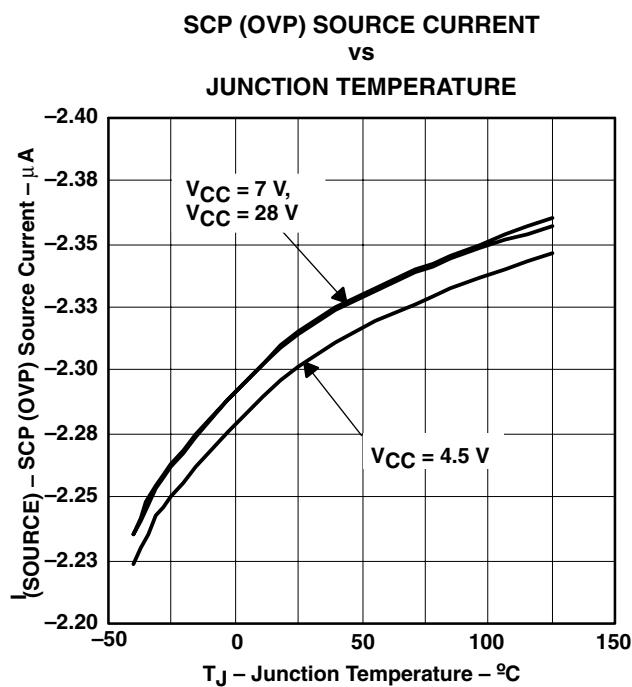


図 24

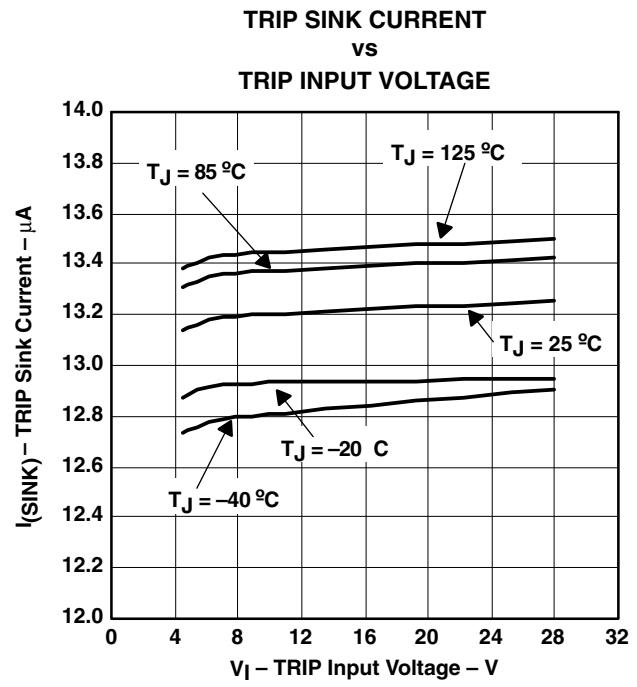


図 25

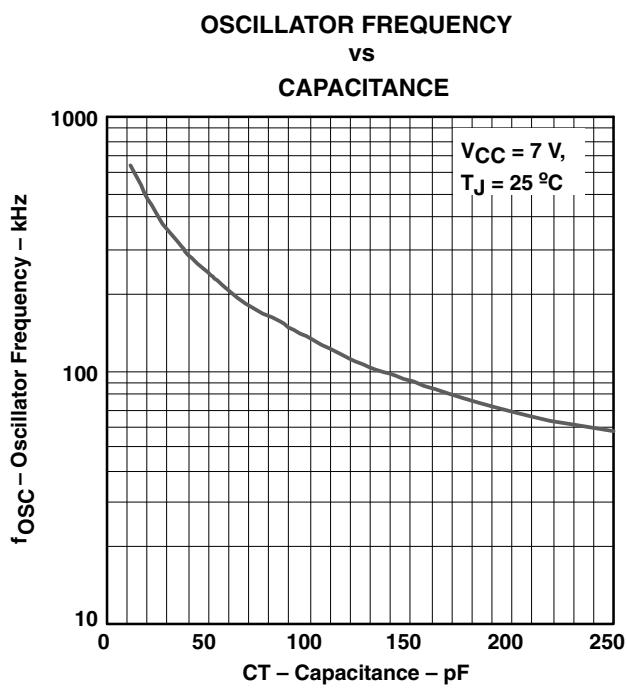


図 26

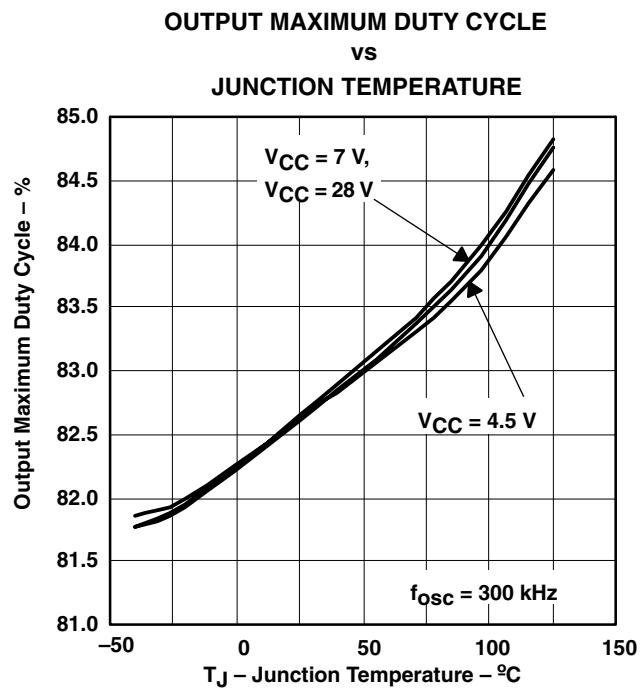


図 27

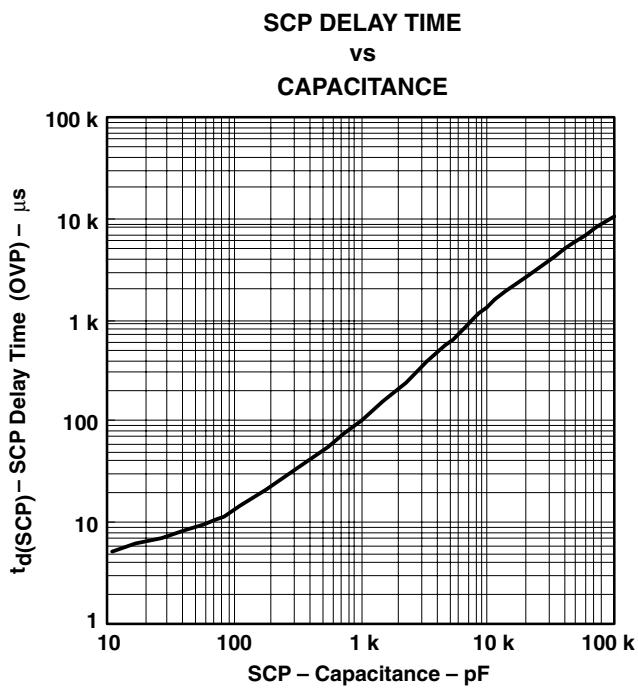


図 28

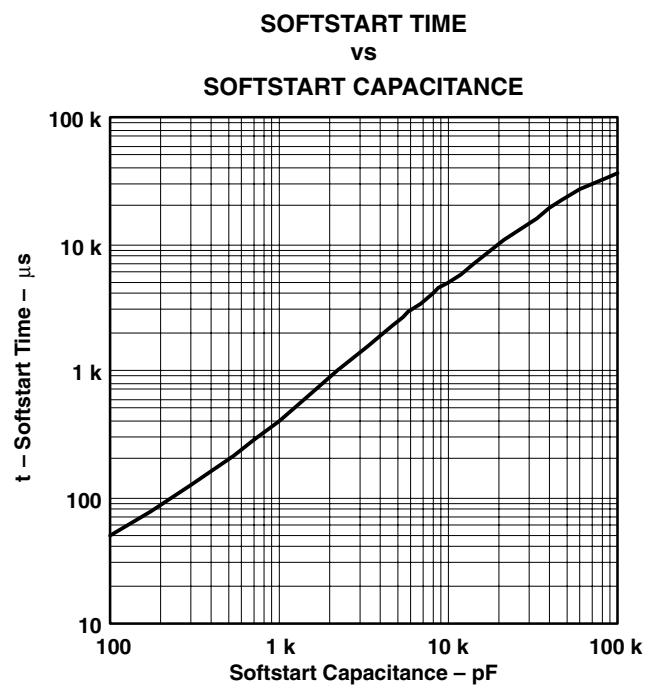


図 29

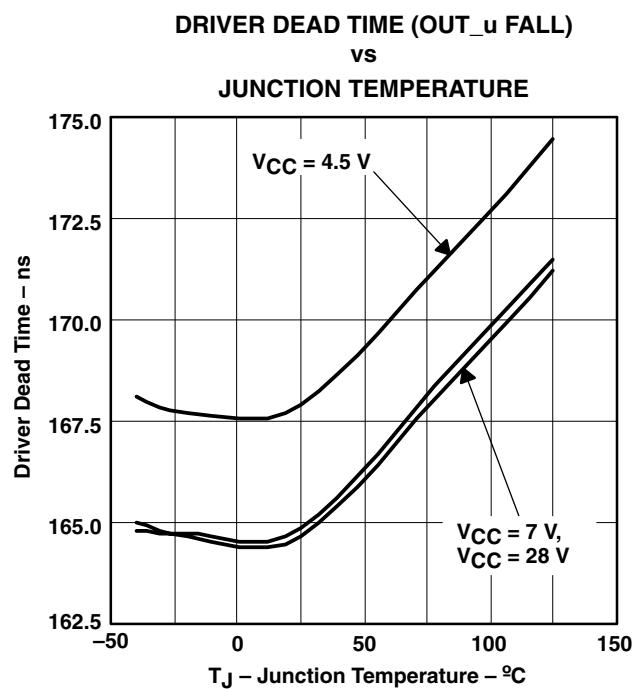


図 30

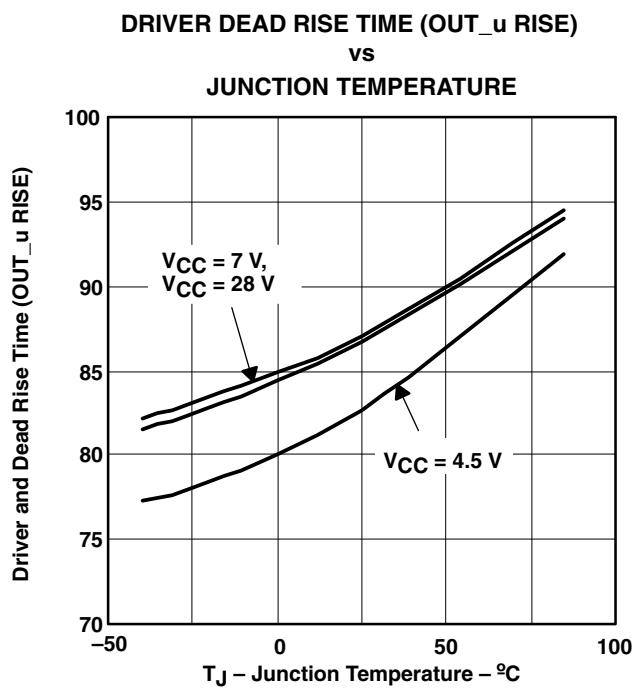


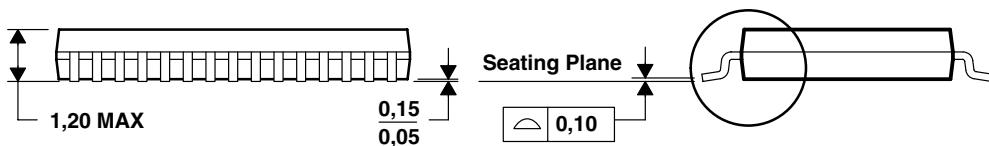
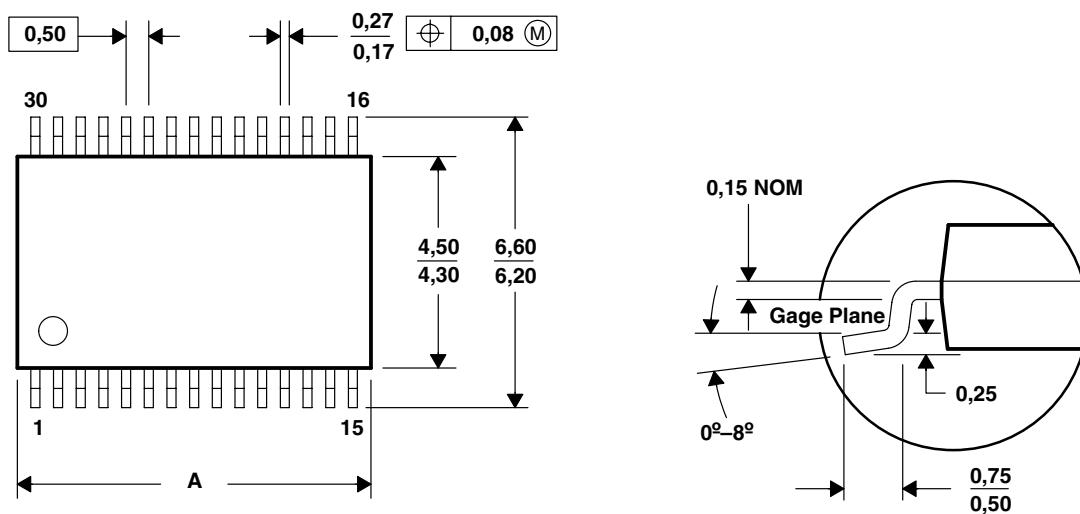
図 31

メカニカル・データ

DBT(R-PDSO-G**)

30 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



PINS ** DIM	28	30	38	44	50
A MAX	7,90	7,90	9,80	11,10	12,60
A MIN	7,70	7,70	9,60	10,90	12,40

4073252/D 09/97

注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 本体寸法にはバリや突起を含みません。

D. JEDEC MO-153に適合しています。

付録：パッケージ・オプション

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS5120DBT	ACTIVE	SM8	DBT	30	60	TBD	CU NIPDAU	Level-2-220C-1 YEAR
TPS5120DBTG4	ACTIVE	SM8	DBT	30	60	TBD	Call TI	Call TI
TPS5120DBTR	ACTIVE	SM8	DBT	30	2000	TBD	CU NIPDAU	Level-2-220C-1 YEAR
TPS5120DBTRG4	ACTIVE	SM8	DBT	30	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE : 製品デバイスが新規設計用に推奨されています。

LIFEBUY : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE : TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD : Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS) : TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br) : TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

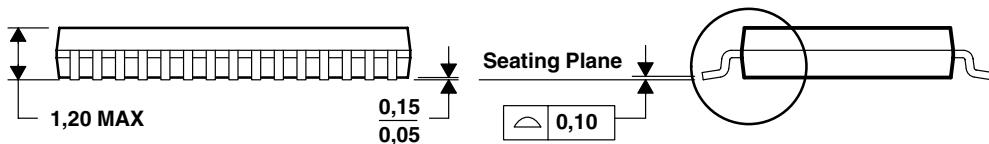
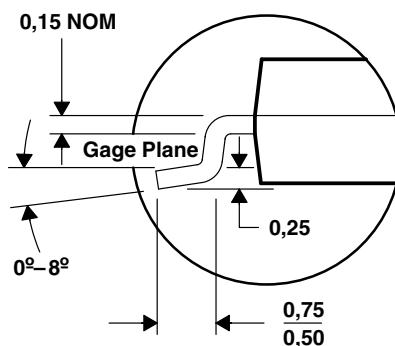
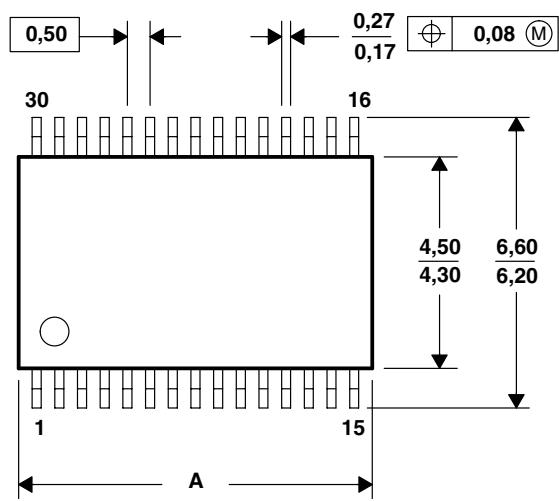
いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。

メカニカル・データ

DBT(R-PDSO-G**)

30 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



DIM \ PINS **	20	24	28	30	38	44	50
A MAX	5,10	6,60	7,90	7,90	9,80	11,10	12,60
A MIN	4,90	6,40	7,70	7,70	9,60	10,90	12,40

4073252/E 02/02

注：A. 全ての線寸法の単位はミリメートルです。

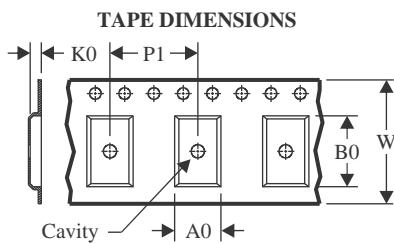
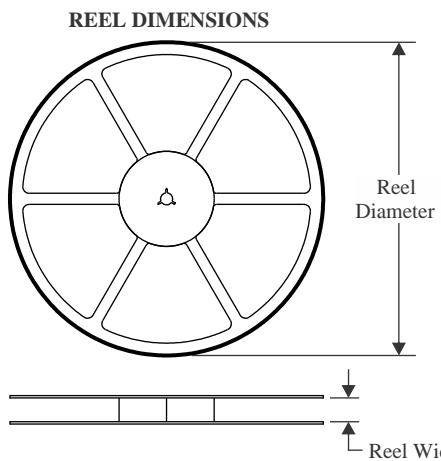
B. 図は予告なく変更することがあります。

C. 本体寸法にはバリや突起を含みません。

D. JEDEC MO-153に適合しています。

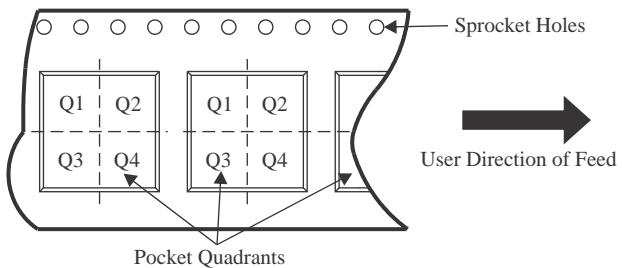
(SLVS278E)

TAPE AND REEL INFORMATION



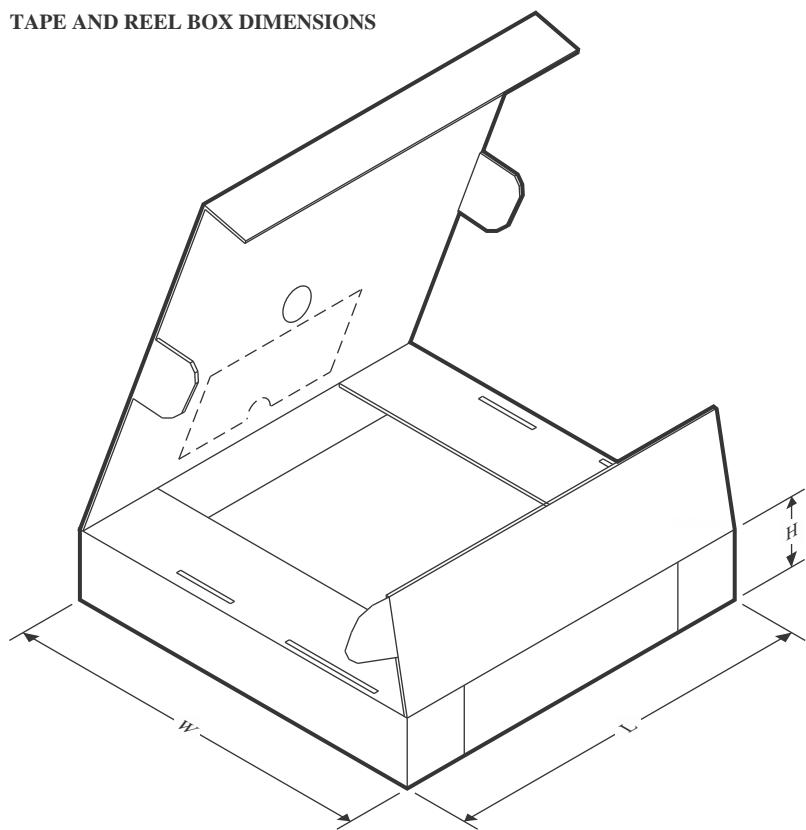
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



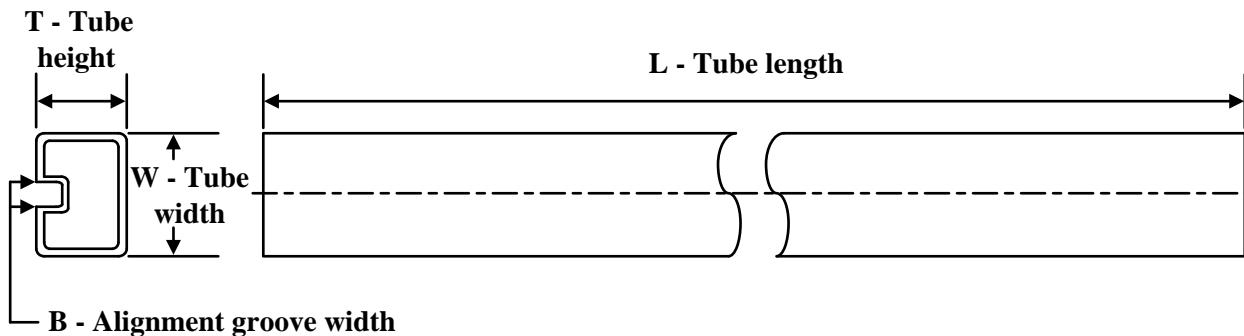
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS5120DBTR	TSSOP	DBT	30	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS5120DBTR	TSSOP	DBT	30	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
TPS5120DBT	DBT	TSSOP	30	60	530	10.2	3600	3.5
TPS5120DBT.A	DBT	TSSOP	30	60	530	10.2	3600	3.5

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1)お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated