

TPS51488 による LPDDR5 メモリ向けの包括的な電源設計

1 特長

- 同期整流降圧コンバータ (VDD2)
 - 入力電圧範囲: 4.5V ~ 24V
 - 出力電圧は 1.065V 固定
 - D-CAP3™ 制御モードによる高速過渡応答
 - 連続出力電流: 8A
 - 高度なパルス スキップを行う Eco モード
 - $R_{DS(on)}$ が 22mΩ / 8.6mΩ の内蔵パワー スイッチ
 - 600kHz のスイッチング周波数
 - 内部ソフト スタート: 1.6ms
 - サイクル単位の過電流保護
 - ラッチ付きの出力 OV / UV 保護
- 同期整流降圧コンバータ (VDD1)
 - 入力電圧範囲: 3V ~ 5.5V
 - 出力電圧は 1.8V 固定
 - D-CAP3 制御モードによる高速過渡応答
 - 連続出力電流: 1A
 - 高度なパルス スキップを行う Eco モード
 - $R_{DS(on)}$ が 150mΩ / 120mΩ の内蔵パワー スイッチ
 - 580kHz のスイッチング周波数
 - 内部ソフト スタート: 1ms
 - サイクル単位の過電流保護
 - ラッチ付きの出力 OV / UV 保護
- 500mV、1.5A LDO (VDDQ) 内蔵
 - 出力電圧は 500mV 固定
 - 1.5A の連続出力電流
 - 必要なセラミック出力コンデンサは 10μF のみ
 - S3 でハイ インピーダンスをサポート
- 低い静止電流: 150μA
- パワーグッド インジケータ
- 出力放電機能
- パワーアップ / パワーダウン シーケンス制御
- ラッチなしの OT / UVLO 保護
- 18 ピン 3.0mm × 3.0mm HotRod™ VQFN パッケージ

2 アプリケーション

- ノート PC、デスクトップ PC、サーバー
- ウルトラブック、タブレット
- シングルボード コンピュータ、産業用 PC
- 分散電源システム

3 説明

TPS51488 デバイスは、LPDDR5 メモリ システム用の包括的な電源設計を最小の総コストと設計サイズで実現します。本デバイスは、LPDDR5 のパワーアップおよびパワーダウン シーケンス要件に関する JEDEC 規格を満たしています。TPS51488 は、2 つの同期整流降圧コンバータ (VDD1 および VDD2) と 1.5A LDO (VDDQ) を内蔵しています。

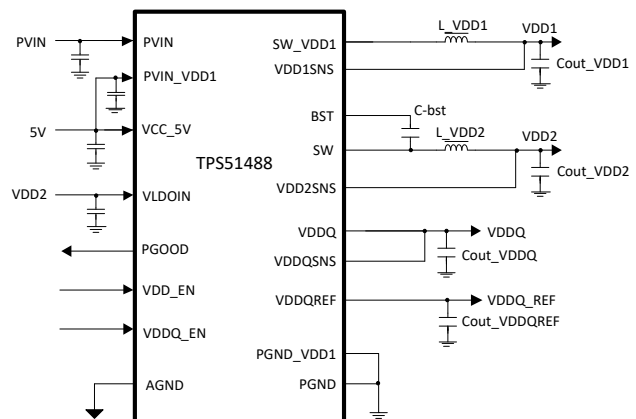
また、D-CAP3 制御モードと 600kHz のスイッチング周波数を採用することで、高速過渡応答、優れたロード / ラインレギュレーション、外部補償回路なしでのセラミック出力コンデンサの使用を実現しています。

TPS51488 は設定の自由度が高く、低 R_{dson} パワー MOSFET を内蔵しているため、高効率を実現しています。柔軟な電力状態制御に対応しており、S3 では VDDQ を高インピーダンスにし、S4 または S5 状態では VDD1、VDD2、VDDQ を放電します。OVP、UVP、OCP、UVLO、サーマル シャットダウンを含む、包括的な保護機能を備えています。本デバイスは、放熱性能を強化した 18 ピン HotRod VQFN パッケージで提供され、接合部温度は -40°C ~ 125°C で規定されています。

パッケージ情報

| 部品番号 | パッケージ ⁽¹⁾ | パッケージ サイズ ⁽²⁾ |
|----------|----------------------|--------------------------|
| TPS51488 | RJE (VQFN-HR, 18) | 3mm × 3mm |

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション



目次

| | | | |
|--------------------------|-----------|-------------------------------------|-----------|
| 1 特長 | 1 | 6.4 デバイスの機能モード | 17 |
| 2 アプリケーション | 1 | 7 アプリケーションと実装 | 19 |
| 3 説明 | 1 | 7.1 使用上の注意..... | 19 |
| 4 ピン構成および機能 | 3 | 7.2 代表的なアプリケーション..... | 19 |
| 5 仕様 | 4 | 7.3 電源に関する推奨事項..... | 26 |
| 5.1 絶対最大定格..... | 4 | 7.4 レイアウト..... | 26 |
| 5.2 ESD 定格..... | 4 | 8 デバイスおよびドキュメントのサポート | 28 |
| 5.3 推奨動作条件..... | 5 | 8.1 デバイス サポート..... | 28 |
| 5.4 熱に関する情報..... | 5 | 8.2 ドキュメントの更新通知を受け取る方法..... | 28 |
| 5.5 電気的特性..... | 5 | 8.3 サポート・リソース..... | 28 |
| 5.6 代表的特性..... | 8 | 8.4 商標..... | 28 |
| 6 詳細説明 | 13 | 8.5 静電気放電に関する注意事項..... | 28 |
| 6.1 概要..... | 13 | 8.6 用語集..... | 28 |
| 6.2 機能ブロック図..... | 14 | 9 改訂履歴 | 28 |
| 6.3 機能説明..... | 15 | 10 メカニカル、パッケージ、および注文情報 | 28 |

4 ピン構成および機能

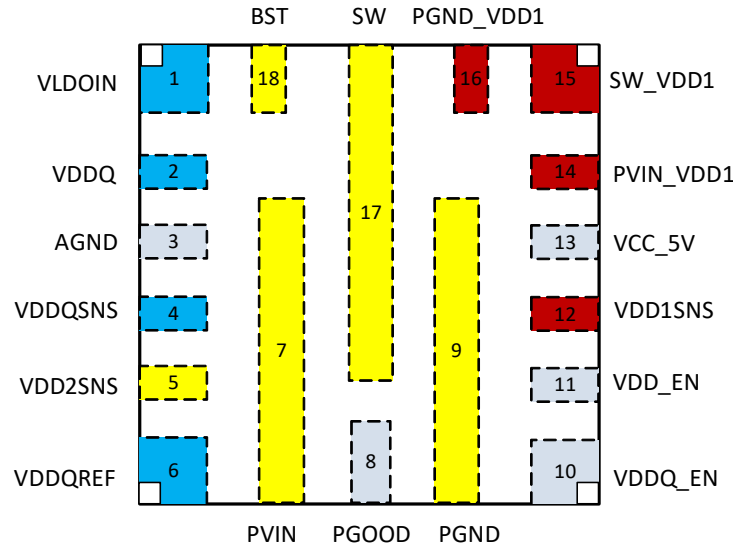


図 4-1. 18 ピン VQFN-HR RJE パッケージ (上面図)

表 4-1. ピンの機能

| ピン | | タイプ ⁽¹⁾ | 説明 |
|-----------|----|--------------------|--|
| 名称 | 番号 | | |
| VLDOIN | 1 | P | VDDQ LDO の電源入力。一般的なアプリケーションでは VDD2 を接続します。 |
| VDDQ | 2 | O | VDDQ 1.5A LDO 出力。安定性確保のために、10 μ F 以上の容量を接続します。 |
| AGND | 3 | G | 信号グラウンド |
| VDDQSNS | 4 | I | VDDQ 出力電圧フィードバック |
| VDD2SNS | 5 | I | VDD2 出力電圧フィードバック |
| VDDQREF | 6 | O | VDDQ の内部リファレンス。安定性確保のために、0.22 μ F 以上の容量を接続します。 |
| PVIN | 7 | P | VDD2 降圧コンバータ用の入力電源 |
| PGOOD | 8 | O | オープンドレイン出力のパワー グッド信号。VDD1 および VDD2 の出力電圧が目標範囲内にある場合、PGOOD は High になります。 |
| PGND | 9 | G | VDD2 降圧コンバータ用の電源グラウンド |
| VDDQ_EN | 10 | I | VDDQ LDO イネーブル制御用の VDDQ_EN 信号入力。制御設定の詳細については、表 6-1 を参照してください。 |
| VDD_EN | 11 | I | VDD1 および VDD2 降圧コンバータのイネーブル制御用 VDD_EN 信号入力。制御設定の詳細については、表 6-1 を参照してください。 |
| VDD1SNS | 12 | I | VDD1 出力電圧フィードバック |
| VCC_5V | 13 | P | VDD1 および VDD2 降圧コンバータの制御ロジック回路用電源 |
| PVIN_VDD1 | 14 | P | VDD1 降圧コンバータ用の入力電源 |
| SW_VDD1 | 15 | O | VDD1 スイッチング ノード (インダクタ接続点) |
| PGND_VDD1 | 16 | G | VDD1 降圧コンバータ用の電源グラウンド |
| SW | 17 | O | VDD2 スイッチング ノード (インダクタおよびブートストラップ コンデンサ接続点) |
| BST | 18 | I | VDD2 降圧コンバータ用のハイサイド MOSFET ゲートドライバブートストラップ電圧入力。コンデンサは、BST ピンと SW ピンの間に配置します。 |

(1) I = 入力、O = 出力、P = 電源

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

| | | 最小値 | 最大値 | 単位 |
|------------------|---|------|-----|----|
| 入力電圧 | PVIN | -0.3 | 26 | V |
| | VBST | -0.3 | 31 | |
| | VBST-SW | -0.3 | 6 | |
| | VCC_5V、PVIN_VDD1、VLDOIN、VDD1SNS、VDD2SNS、VDDQSNS | -0.3 | 6 | |
| | VDD_EN、VDDQ_EN | -0.3 | 4 | |
| | PGND、AGND、PGND_VDD1 | -0.3 | 0.3 | |
| 出力電圧 | SW | -0.3 | 26 | V |
| | SW (10ns 過渡) | -3 | 28 | |
| | SW_VDD1 | -0.3 | 7 | |
| | SW_VDD1 (10ns 過渡) | -3 | 8 | |
| | PGOOD、VDDQ、VDDQREF | -0.3 | 6 | |
| T _J | 動作時接合部温度 | -40 | 150 | °C |
| T _{stg} | 保存温度 | -55 | 150 | °C |

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があります。また、このためにデバイスの信頼性、機能、性能が影響を受け、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

| | | 値 | 単位 |
|--------------------|------|--|----|
| V _(ESD) | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾ | V |
| | | デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾ | |

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | 最小値 | 最大値 | 単位 |
|----------------------|---|------|-----|----|
| 入力電圧 | PVIN | 4.5 | 24 | V |
| | VBST | -0.3 | 29 | |
| | VBST-SW | -0.3 | 5.5 | |
| | VCC_5V、PVIN_VDD1、VLDOIN、VDD1SNS、VDD2SNS、VDDQSNS | -0.3 | 5.5 | |
| | VDD_EN、VDDQ_EN | -0.3 | 3.6 | |
| | PGND、AGND、PGND_VDD1 | -0.3 | 0.3 | |
| 出力電圧 | SW | -0.3 | 24 | V |
| | SW (10ns 過渡) | -3 | 26 | |
| | SW_VDD1 | -0.3 | 6 | |
| | SW_VDD1 (10ns 過渡) | -3 | 7 | |
| | PGOOD、VDDQ、VDDQREF | -0.3 | 5.5 | |
| I _{VDD2OUT} | VDD2 出力電流 | | 8 | A |
| T _J | 動作時接合部温度 | -40 | 125 | °C |

5.4 熱に関する情報

| 熱評価基準 ⁽¹⁾ | | TPS51488 | 単位 |
|-----------------------|---------------------|------------|------|
| | | RJE (VQFN) | |
| | | 18ピン | |
| R _{θJA} | 接合部から周囲への熱抵抗 | 58.1 | °C/W |
| R _{θJC(top)} | 接合部からケース (上面) への熱抵抗 | 26.1 | °C/W |
| R _{θJB} | 接合部から基板への熱抵抗 | 17.7 | °C/W |
| Ψ _{JT} | 接合部から上面への特性パラメータ | 0.5 | °C/W |
| Ψ _{JB} | 接合部から基板への特性パラメータ | 17.7 | °C/W |
| R _{θJC(bot)} | 接合部からケース (底面) への熱抵抗 | 該当なし | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

T_J = -40°C ~ 125°C、V_{PVIN} = 12V、V_{PVIN_VDD1} = 5V (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 | |
|----------------------|-----------------|--|-------|-------|-----|----|
| 入力電源電圧 | | | | | | |
| I _{VCC_5V} | VCC_5V 電源電流 | V _{VDD_EN} = V _{VDDQ_EN} = 0V | | 5 | μA | |
| | | V _{VDD_EN} = 5V、V _{VDDQ_EN} = 0V、無負荷 | | 110 | μA | |
| | | V _{VDD_EN} = V _{VDDQ_EN} = 5V、無負荷 | | 150 | μA | |
| V _{IN} | PVIN 入力電圧範囲 | 4.5 | | 24 | V | |
| UVLO | | | | | | |
| UVLO | VCC_5V 低電圧誤動作防止 | VCC_5V ウェークアップ電圧 | | 4.1 | 4.5 | V |
| | | VCC_5V シャットダウン電圧 | 3.3 | 3.6 | | V |
| | | VCC_5V ヒステリシス電圧 | | 500 | | mV |
| VDD2 | | | | | | |
| V _{VDD2SNS} | VDD2 検出電圧 | 1.054 | 1.065 | 1.076 | V | |

5.5 電気的特性 (続き)

 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$, $V_{PVIN} = 12\text{V}$, $V_{PVIN_VDD1} = 5\text{V}$ (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-------------------------------|------------------------|--|-------|-------|-------|------------------|
| $I_{VDD2SNS}$ | VDD2SNS 入力電流 | $V_{VDD2SNS} = 1.065\text{V}$ | | 35 | | μA |
| $I_{VDD2DIS}$ | VDD2 放電電流 | $V_{VDD_EN} = V_{VDDQ_EN} = 0\text{V}$, $V_{VDD2SNS} = 0.5\text{V}$ | | 12 | | mA |
| t_{VDD2SS} | VDD2 のソフトスタート時間 | | | 1.6 | 2.65 | ms |
| $t_{VDD2DLY}$ | VDD2 立ち上がり遅延時間 | | | 2 | | ms |
| R_{DSONH} | ハイサイド スイッチ抵抗 | $T_J = 25^{\circ}\text{C}$, $V_{PVIN} = 19\text{V}$, $V_{VCC_5V} = 5\text{V}$ | | 22 | | $\text{m}\Omega$ |
| R_{DSONL} | ローサイド スイッチ抵抗 | $T_J = 25^{\circ}\text{C}$, $V_{PVIN} = 19\text{V}$, $V_{VCC_5V} = 5\text{V}$ | | 8.6 | | $\text{m}\Omega$ |
| $I_{VDD2OCL}$ | ローサイドのバレー電流制限 | $V_{OUT} = 1.065\text{V}$, $L = 0.68\mu\text{H}$, $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ | 8.2 | 9.8 | 11.5 | A |
| | | $V_{OUT} = 1.065\text{V}$, $L = 0.68\mu\text{H}$, $T_J = 0^{\circ}\text{C} \sim 125^{\circ}\text{C}$ | 8.6 | 9.8 | 11.5 | A |
| f_{sw} | VDD2 スイッチング周波数 | | | 600 | | kHz |
| $t_{OFF(MIN)}$ | 最小オフ時間 | | | 198 | | ns |
| PGOOD (VDD2, VDD1) | | | | | | |
| V_{THPG} | PGOOD スレッショルド | VDD2SNS / VDD1SNS の低下 (故障) | | 87% | | |
| | | VDD2SNS / VDD1SNS の上昇 (正常) | | 93% | | |
| | | VDD2SNS / VDD1SNS の上昇 (故障) | | 115% | | |
| | | VDD2SNS / VDD1SNS の低下 (正常) | | 110% | | |
| I_{PGMAX} | PG シンク電流 | $V_{PGOOD} = 0.5\text{V}$, $V_{VDD_EN} = V_{VDDQ_EN} = 5\text{V}$, 無負荷 | | 46 | | mA |
| t_{PGDLY} | PG スタートアップ遅延 | PG を Low から High に | | 1 | | ms |
| VDD1 | | | | | | |
| $V_{VDD1SNS}$ | VDD1 検出電圧 | | 1.75 | 1.8 | 1.85 | V |
| $I_{VDD1SNS}$ | VDD1SNS 入力電流 | $V_{VDD1SNS} = 1.8\text{V}$ | | 20 | | μA |
| $I_{VDD1DIS}$ | VDD1 放電電流 | $V_{VDD_EN} = V_{VDDQ_EN} = 0\text{V}$, $V_{VDD1SNS} = 0.5\text{V}$ | | 12 | | mA |
| t_{VDD1SS} | VDD1 のソフトスタート時間 | | | 1.0 | 2 | ms |
| R_{DSONH} | ハイサイド スイッチ抵抗 | $T_J = 25^{\circ}\text{C}$, $V_{PVIN_VDD1} = 5\text{V}$, $V_{VCC_5V} = 5\text{V}$ | | 150 | | $\text{m}\Omega$ |
| R_{DSONL} | ローサイド スイッチ抵抗 | $T_J = 25^{\circ}\text{C}$, $V_{PVIN_VDD1} = 5\text{V}$, $V_{VCC_5V} = 5\text{V}$ | | 120 | | $\text{m}\Omega$ |
| $I_{VDD1OCL}$ | ローサイドのバレー電流制限 | $V_{VDD1SNS} = 1.8\text{V}$, $L = 4.7\mu\text{H}$ | 1.5 | 2 | 2.5 | A |
| f_{sw} | VDD1 スイッチング周波数 | | | 580 | | kHz |
| $t_{OFF(MIN)}$ | 最小オフ時間 | | | 195 | | ns |
| OVP / UVP (VDD2, VDD1) | | | | | | |
| V_{OVP} | OVP threshold voltage | OVP 検出電圧 | 120% | 125% | 130% | |
| V_{UVP1} | UVP threshold voltage | UVP 検出電圧 | 57.5% | 62.5% | 67.5% | |
| t_{OVPDLY} | OVP 遅延 | | | 20 | | μs |
| t_{UVPDLY} | UVP 遅延 | | | 250 | | μs |
| VDDQ 出力 | | | | | | |
| V_{VDDQ} | 出力電圧 | $T_J = 25^{\circ}\text{C}$, $I_{VDDQ} \leq 1.5\text{A}$ | 0.475 | 0.5 | 0.525 | V |
| $I_{VDDQOCLSRC}$ | ソース電流制限 | $V_{VDD2SNS} = 1.065\text{V}$, $V_{VDDQ} = V_{VDDQSNS} = 0.4\text{V}$ | 1.55 | 2.2 | | A |
| I_{VDDQLK} | リーク電流 | $T_J = 25^{\circ}\text{C}$, $V_{VDD_EN} = 5\text{V}$, $V_{VDDQ_EN} = 5\text{V}$ | | | 5 | |
| $I_{VDDQSNSBIA S}$ | VDDQSNS 入力バイアス電流 | $V_{VDD_EN} = 5\text{V}$, $V_{VDDQ_EN} = 5\text{V}$ | -0.5 | 0 | 0.5 | μA |
| $I_{VDDQSNSLK}$ | VDDQSNS リーク電流 | $V_{VDD_EN} = 5\text{V}$, $V_{VDDQ_EN} = 0\text{V}$ | -1 | 0 | 1 | |
| $I_{VDDQDLY}$ | VDDQ_EN に対する VDDQ 出力遅延 | | | | 35 | μs |

5.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{PVIN} = 12\text{V}$ 、 $V_{PVIN_VDD1} = 5\text{V}$ (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|--|------|-----|-----|--------------------|
| $I_{VDDQDIS}$ VDDQ 放電電流 | $T_J = 25^{\circ}\text{C}$ 、 $V_{VDD_EN} = V_{VDDQ_EN} = 0\text{V}$ 、 $V_{VDD2SNS} = 1.065\text{V}$ 、 $V_{VDDQ} = 0.4\text{V}$ | | 5.7 | | mA |
| VDD_EN、VDDQ_EN ロジック スレッシュホールド | | | | | |
| V_{IH} VDD_EN / VDDQ_EN の High レベル電圧 | | 1.35 | | | V |
| V_{IL} VDD_EN / VDDQ_EN の Low レベル電圧 | | | | 0.5 | V |
| R_{TOGND} GND に対する VDD_EN / VDDQ_EN の抵抗 | | | 500 | | k Ω |
| 熱保護 | | | | | |
| T_{OTP} OTP 遷移スレッシュホールド | | | 150 | | $^{\circ}\text{C}$ |
| T_{OTPHSY} OTP ヒステリシス | | | 20 | | $^{\circ}\text{C}$ |

5.6 代表的特性

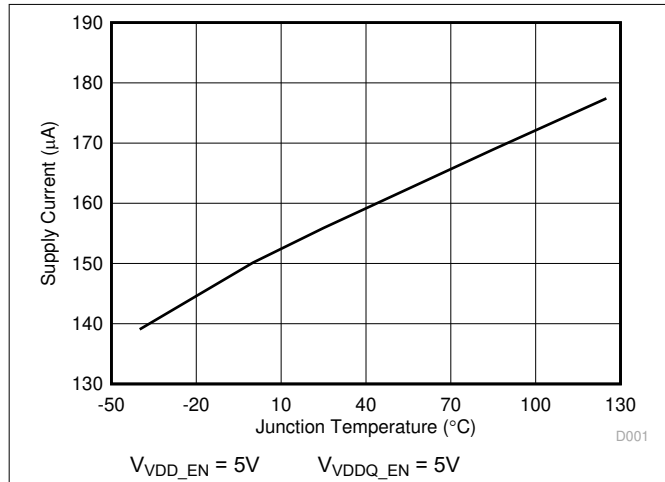


図 5-1. VCC_5V 供給電流と接合部温度との関係

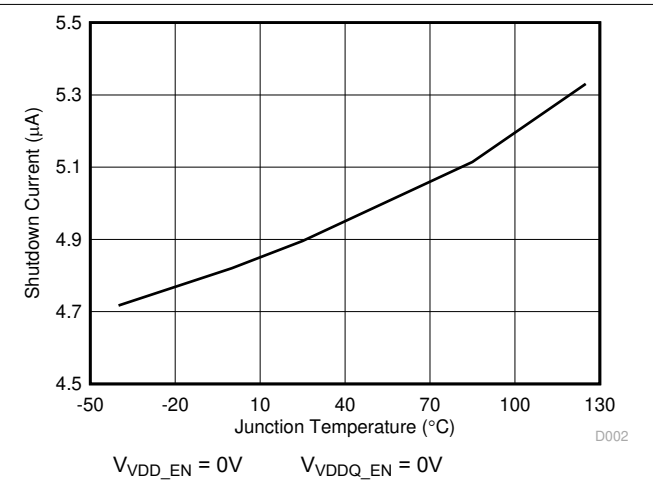


図 5-2. VCC_5V シャットダウン電流と温度との関係

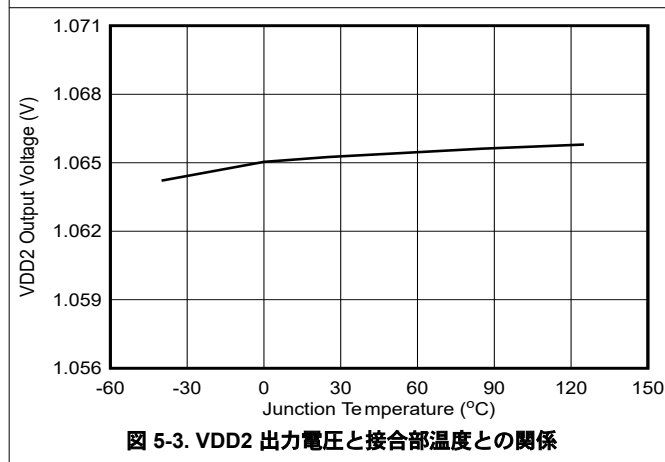


図 5-3. VDD2 出力電圧と接合部温度との関係

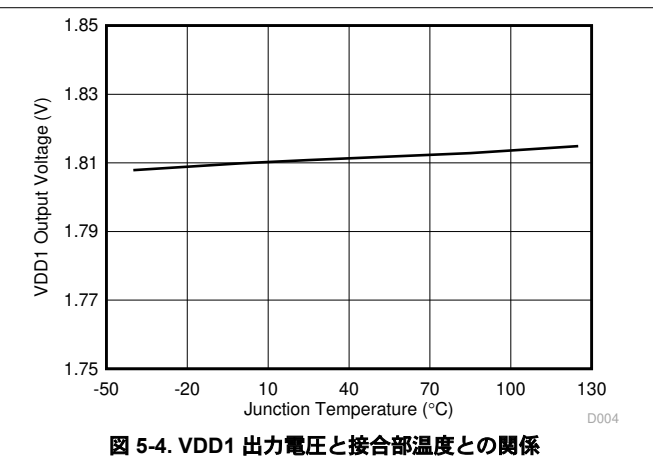


図 5-4. VDD1 出力電圧と接合部温度との関係

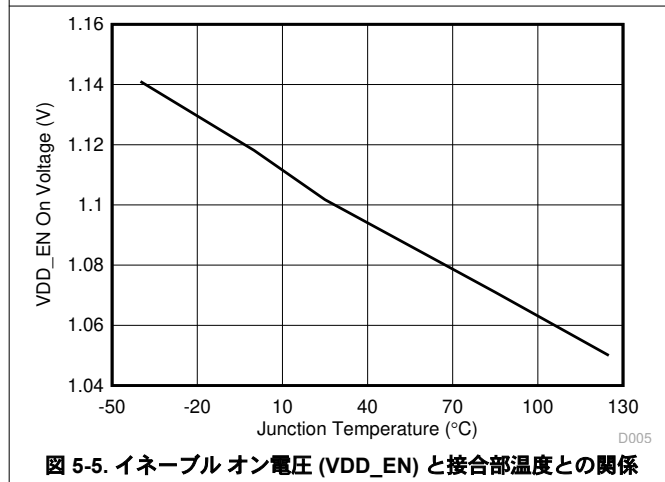


図 5-5. イネーブル オン電圧 (VDD_EN) と接合部温度との関係

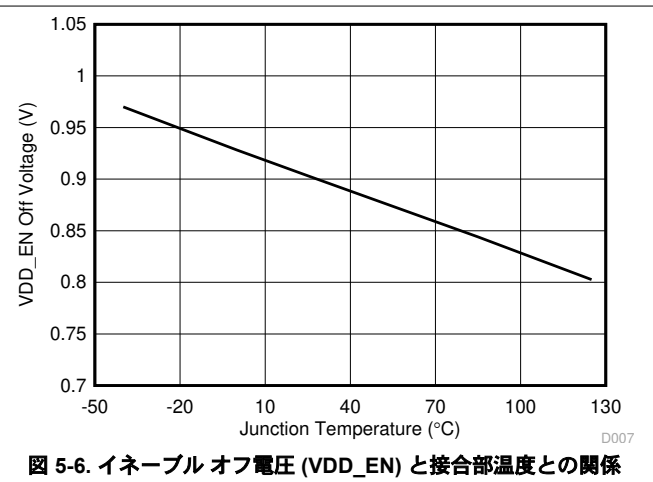


図 5-6. イネーブル オフ電圧 (VDD_EN) と接合部温度との関係

5.6 代表的特性 (続き)

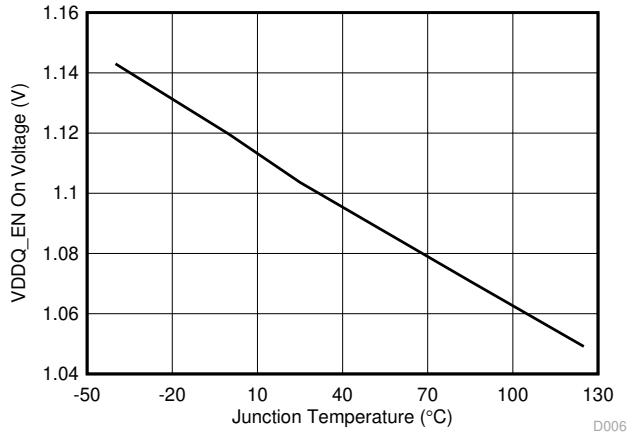


図 5-7. イネーブル オン電圧 (VDDQ_EN) と接合部温度との関係

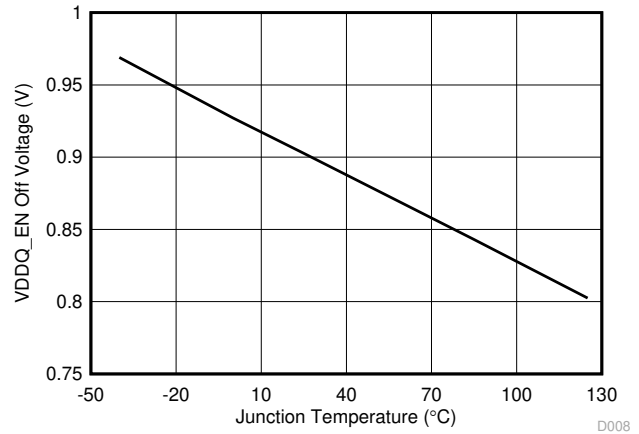


図 5-8. イネーブル オフ電圧 (VDDQ_EN) と接合部温度との関係

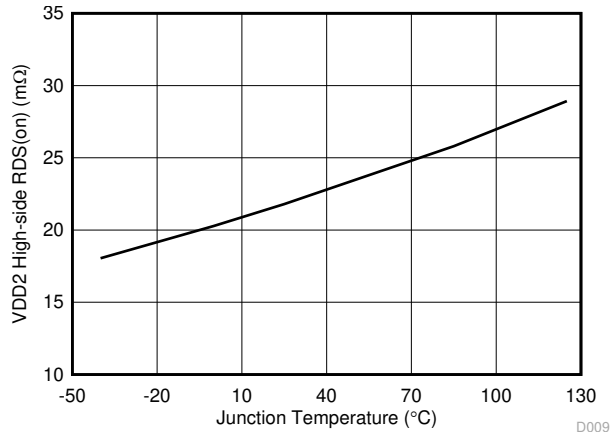


図 5-9. VDD2 ハイサイド $R_{DS(on)}$ と接合部温度との関係

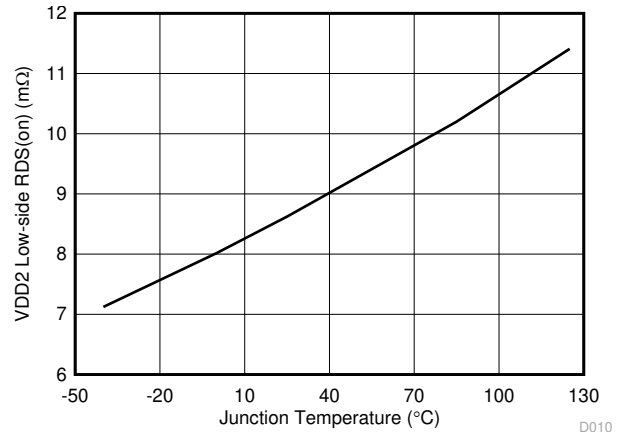


図 5-10. VDD2 ローサイド $R_{DS(on)}$ と接合部温度との関係

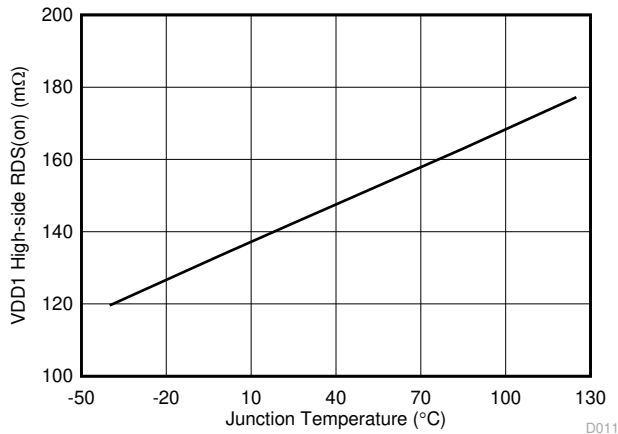


図 5-11. VDD1 ハイサイド $R_{DS(on)}$ と接合部温度との関係

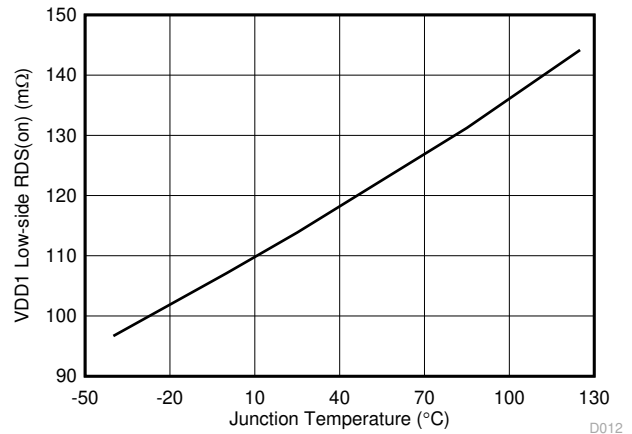


図 5-12. VDD1 ローサイド $R_{DS(on)}$ と接合部温度との関係

5.6 代表的特性 (続き)

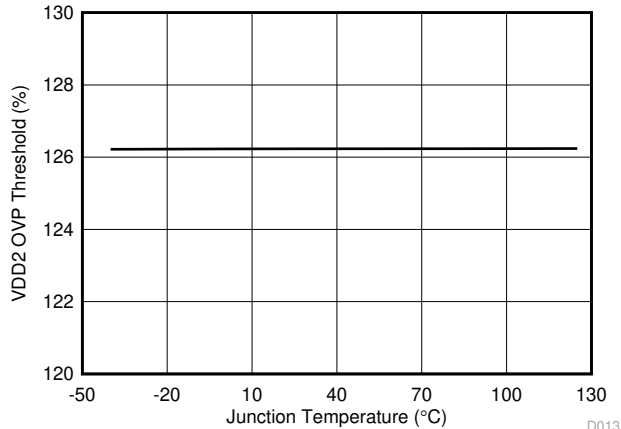


図 5-13. VDD2 OVP スレッシュホールドと接合部温度との関係

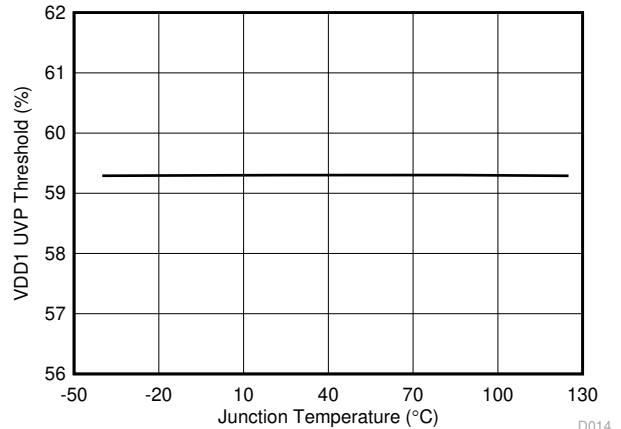


図 5-14. VDD2 UVP スレッシュホールドと接合部温度との関係

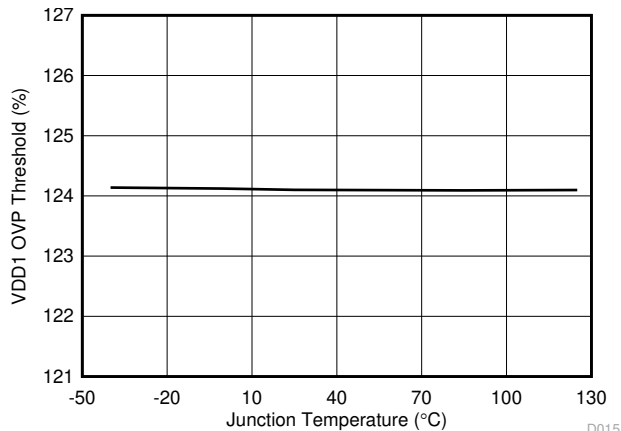


図 5-15. VDD1 OVP スレッシュホールドと接合部温度との関係

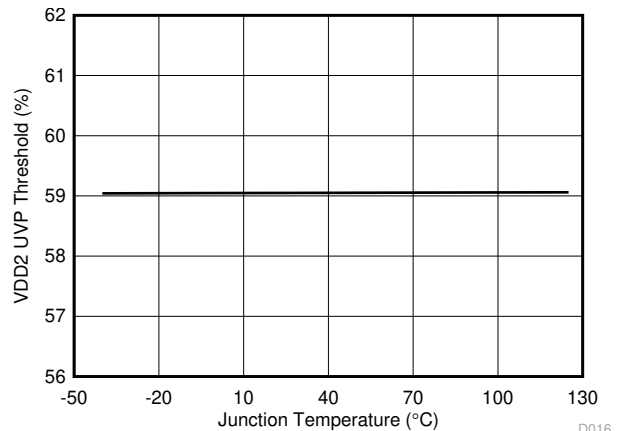


図 5-16. VDD1 UVP スレッシュホールドと接合部温度との関係

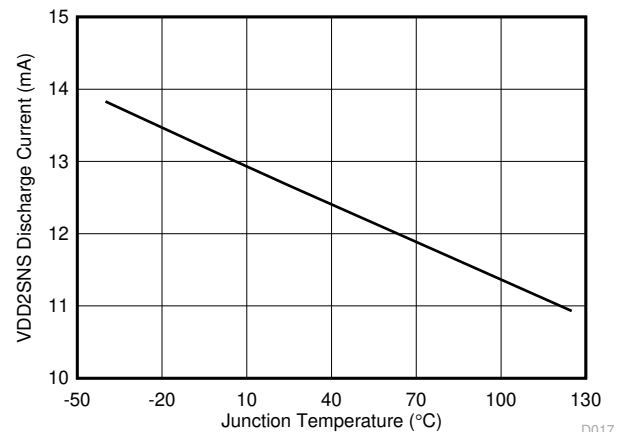


図 5-17. VDD2SNS 放電電流と接合部温度との関係

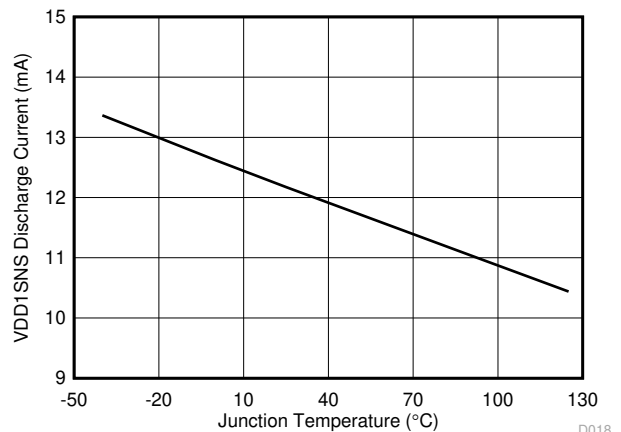


図 5-18. VDD1SNS 放電電流と接合部温度との関係

5.6 代表的特性 (続き)

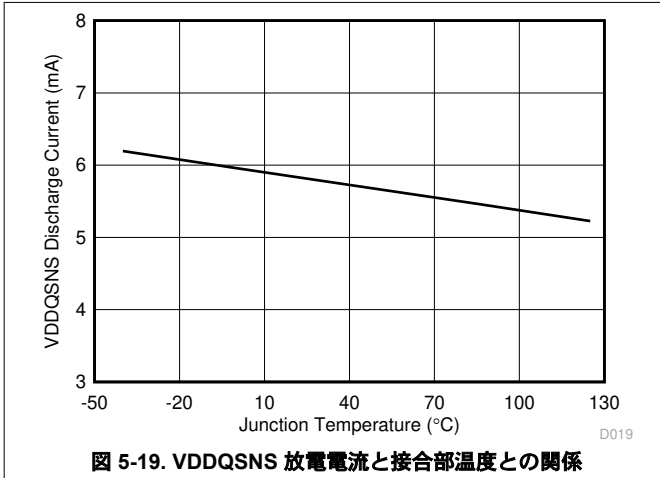


図 5-19. VDDQSNS 放電電流と接合部温度との関係

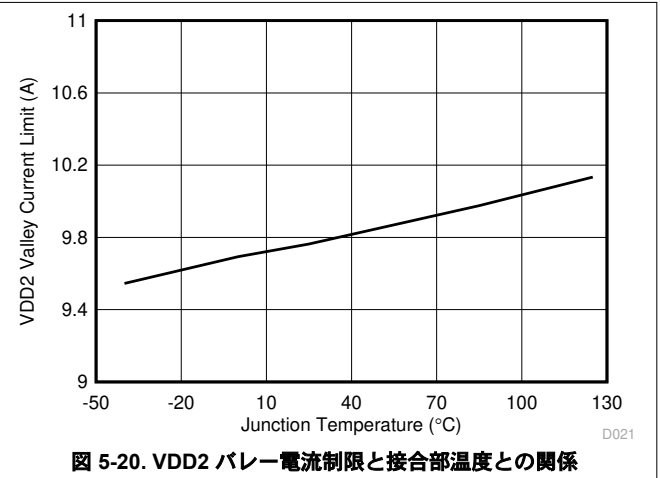


図 5-20. VDD2 バレー電流制限と接合部温度との関係

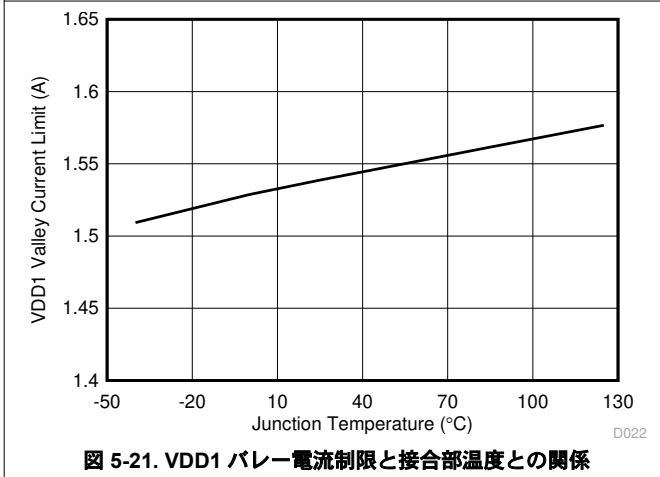


図 5-21. VDD1 バレー電流制限と接合部温度との関係

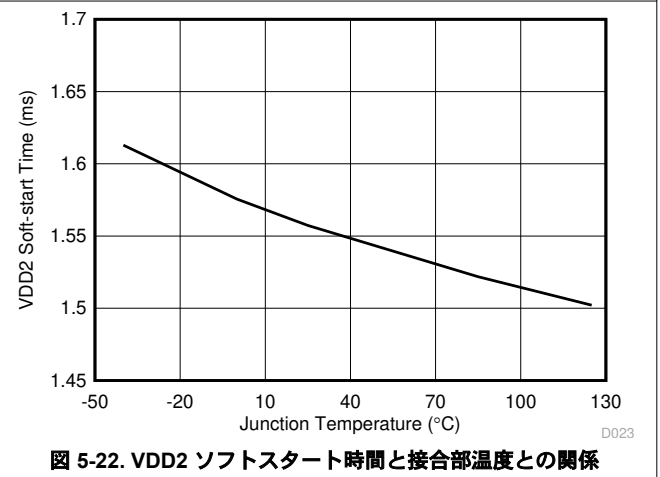


図 5-22. VDD2 ソフトスタート時間と接合部温度との関係

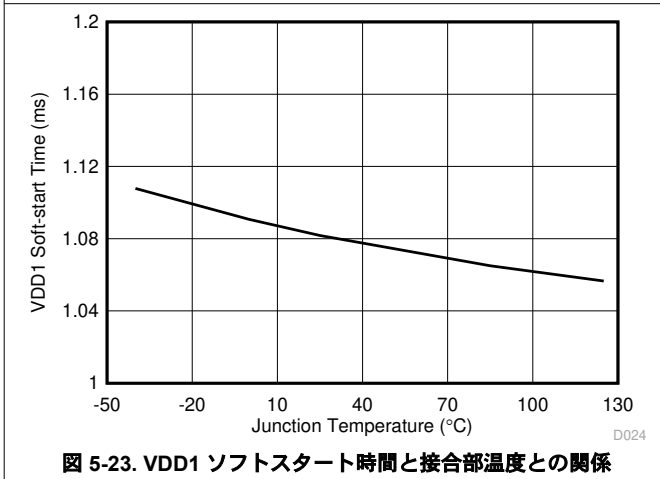


図 5-23. VDD1 ソフトスタート時間と接合部温度との関係

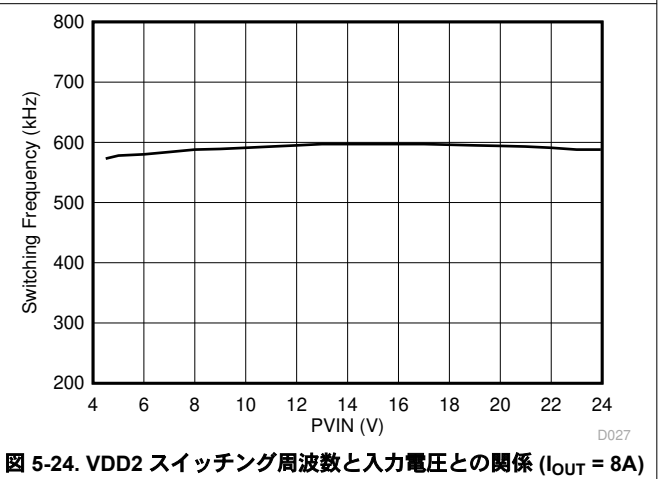


図 5-24. VDD2 スイッチング周波数と入力電圧との関係 (I_{OUT} = 8A)

5.6 代表的特性 (続き)

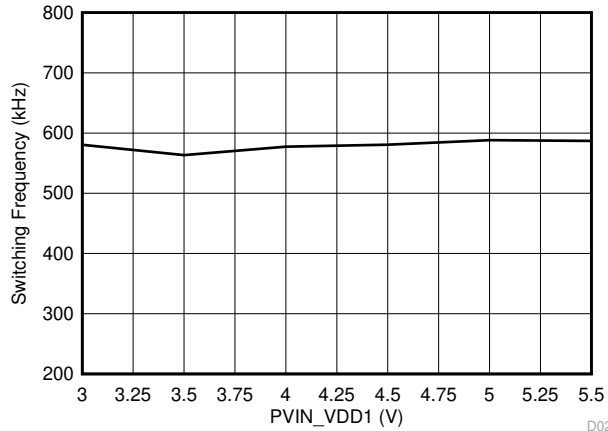


図 5-25. VDD1 スイッチング周波数と入力電圧との関係 ($I_{OUT} = 1A$)

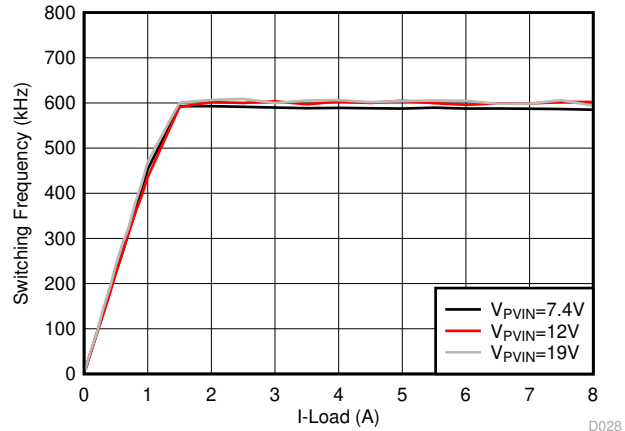


図 5-26. VDD2 のスイッチング周波数と負荷電流との関係

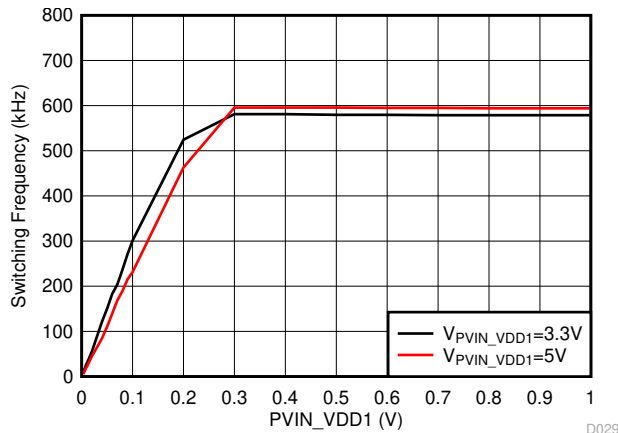


図 5-27. VDD1 のスイッチング周波数と負荷電流との関係

6 詳細説明

6.1 概要

TPS51488 は、2 つの同期整流降圧コンバータと 1 つの LDO を内蔵しており、包括的な LPDDR5 電源設計をサポートします。VDD2 降圧コンバータは、固定 1.065V 出力を備えており、8A の連続出力電流に対応し、4.5V ~ 24V の PVIN 入力電圧で動作できます。VDD1 降圧コンバータは、固定 1.8V 出力を備えており、1A の連続出力電流に対応し、3V ~ 5.5V の PVIN_VDD1 入力電圧で動作できます。VDDQ LDO は、1.5A の連続出力電流を供給できます。

6.3 機能説明

6.3.1 PWM 動作と D-CAP3™ 制御モード

2つの降圧コンバータのメイン制御ループは、独自の D-CAP3 制御モードをサポートする適応型オン時間パルス幅変調 (PWM) コントローラです。D-CAP3 制御モードは、適応型オン時間制御を、擬似固定周波数で外部部品数の少ない構成を可能にする内部補償回路と組み合わせたもので、低 ESR 出力コンデンサとセラミック出力コンデンサの両方を使用できます。D-CAP3 制御モードは、出力にほとんどリップルがない状態でも安定して動作します。TPS51488 には、出力電圧の精度を非常に高めるエラー アンプも内蔵されています。

各サイクルの開始時に、ハイサイド MOSFET がオンになります。内部のワンショット タイマが終了すると、この MOSFET はオフになります。このワンショット期間は、入力電圧範囲内で擬似固定周波数が維持されるように、コンバータの入力電圧 V_{IN} に比例し、出力電圧 V_O に反比例するよう設定されます。そのため、これは適応型オン時間制御と呼ばれます。帰還電圧がリファレンス電圧を下回ると、ワンショット タイマがリセットされ、ハイサイド MOSFET が再度オンになります。出力リップルのエミュレート用に、リファレンス電圧に内部リップル生成回路を追加しているため、多層セラミック コンデンサ (MLCC) などの超低 ESR 出力コンデンサを使用できます。D-CAP3 制御モードのトポロジでは、外部の電流センス ネットワークやループ補償は不要です。

VDD1 と VDD2 のいずれにも、非常に高精度な出力電圧を実現するエラー アンプが内蔵されています。内部で補償されるすべての制御トポロジには、制御トポロジがサポートできる出力フィルタの範囲があります。TPS51488 で使用される出力フィルタは、ローパス L-C 回路です。この L-C フィルタは、式 1 で示される重極周波数を有します。

$$f_P = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (1)$$

低周波数では、内部の出力設定抵抗デバイダおよび TPS51488 の内部ゲインによって、全体のループ ゲインが設定されます。低周波の L-C 二重極は、180 度の位相遅れを生じさせます。出力フィルタ周波数では、10 進数毎にゲインが -40dB ロール オフし、位相は急速に減少します。内部リップル生成回路によって高周波数ゼロが導入されることで、ゲインのロール オフが 10 進数ごとに -40dB から -20dB に減り、位相はゼロ周波数より 10 進数ごとに 90 度増加します。内部リップル注入による高周波ゼロ点は、スイッチング周波数に関連しています。出力フィルタに使用するインダクタとコンデンサは、この高周波数ゼロから得られる位相ブーストによって安定性要件のための十分な位相マージンが確保されるように、二重極を高周波数ゼロに十分近く配置する必要があります。システム全体のクロスオーバー周波数は通常、スイッチング周波数 (F_{SW}) の 1/5 未満に設定する必要があります。

6.3.2 高度な Eco-mode 制御

VDD1 および VDD2 降圧コンバータは、高度な Eco モード制御方式で設計されており、軽負荷時においても高効率を維持します。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップル付きの谷がゼロレベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロ インダクタ電流が検出されると、整流 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときのオン時間とほぼ同じに保持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間がかかります。これにより、スイッチング周波数が負荷電流に比例して低下し、軽負荷時の高効率が維持されます。Eco モード動作への移行が発生する軽負荷電流 ($I_{OUT(LL)}$) は、式 2 から算出できます。

$$I_{OUT(LL)} = \frac{1}{2 \times L_{OUT} \times F_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (2)$$

アプリケーション要件を特定した後、インダクタのピーク ツー ピーク リップル電流が $I_{OUT(max)}$ (アプリケーションのピーク電流) の約 20% ~ 30% になるように出力インダクタンス (L_{OUT}) を設計してください。バレー電流が負のローサイド電流制限に達しないようにインダクタのサイズを適切に調整することが重要です。

6.3.3 ソフトスタートおよびプリバイアス付きソフトスタート

VDD2 降圧コンバータは 1.6ms の内部ソフト スタート機能を、VDD1 降圧コンバータは 1ms の内部ソフト スタート機能を備えています。VDD_EN を High にアサートする前に、PVIN、PVIN_VDD1、VCC_5V に電源電圧を供給してください。VDD_EN ピンが High になると、内部ソフト スタート機能によって PWM コンパレータに対するリファレンス電圧が上昇し始めます。

スタートアップ時に出力コンデンサがプリバイアスされている場合には、内部リファレンス電圧が帰還電圧より大きくなるまで、スイッチングおよび電圧上昇は開始されません。これにより、コンバータはレギュレーション ポイントまでスムーズに上昇します。

6.3.4 パワー グッド

Power-Good (PGOOD) ピンはオープンドレイン出力です。VDD1SNS および VDD2SNS ピンの電圧が目標出力電圧の 93% ~ 110% になると、1ms のデグリッチ時間後に PGOOD はデアサートされ、フローティング状態になります。VCC_5V まで電圧をプルアップするには、100kΩ のプルアップ抵抗を推奨します。PGOOD ピンがローになるのは次の場合です。

- VDD1SNS および VDD2SNS ピンの電圧が目標出力電圧の 87% より低いか、115% を超えている場合
- OVP、UVP、サーマル シャットダウン イベントが発生した場合
- ソフト スタート期間中に発生します

6.3.5 電流保護と低電圧保護

VDD1 と VDD2 の降圧コンバータはどちらも過電流保護と低電圧保護を備えており、実装は同じです。出力過電流制限 (OCL) は、サイクルごとのバレー検出により実装されています。スイッチ電流は、OFF 状態時にローサイド FET のドレイン - ソース間電圧を測定することで監視されます。この電圧は、スイッチ電流に比例します。精度を向上させるため、電圧センサは温度補償されています。

ハイサイド FET スイッチのオン時間中、スイッチ電流は、次によって決定されるリニアなレートで増加します。

- V_{IN}
- V_{OUT}
- オン時間
- 出力インダクタ値

ローサイド FET スイッチのオン時間中は、この電流はリニアに減少します。スイッチ電流の平均値は、負荷電流 I_{OUT} です。監視電流が OCL レベルを超えると、コンバータはローサイド FET をオンに維持し、新しいセット パルスの生成を遅延させます。電圧帰還ループがセット パルスを要求している場合でも、電流レベルが OCL レベル以下になるまでは、この状態は継続されます。以降のスイッチング サイクルでは、オン時間が固定値に設定され、同じ方法で電流がモニタされます。

このようなタイプの過電流保護には、いくつかの重要な考慮事項があります。負荷電流が、ピーク ツー ピーク インダクタリップル電流の 1/2 だけ過電流スレッシュホールドを上回ると、OCL がトリガされ、出力電流が制限されます。このとき、コンバータでサポートできる値を負荷要求が上回っているため、出力電圧は低下する傾向があります。出力電圧が目標電圧の 62.5% を下回ると、UVP コンパレータがその低下を検出し、250μs の待機時間後に出力は放電され、ラッチされます。過電流状態が解消されても、VDD_EN が切り替えられるか、VCC_5V 電源入力 that 再投入されるまで、出力電圧はラッチされます。

6.3.6 過電圧保護

VDD1 および VDD2 の降圧コンバータは、どちらも過電圧保護機能を備えており、その実装は同一となっています。出力電圧が目標電圧の 125% を超過すると、OVP コンパレータの出力が High になり、20μs の待ち時間後に出力が放電されてラッチされます。過電圧状態が解消されても、VDD_EN が切り替えられるか、VCC_5V 電源入力 that 再投入されるまで、出力電圧はラッチされます。

6.3.7 UVLO 保護

低電圧誤動作防止 (UVLO) 機能は、VCC_5V 電源入力を監視します。この電圧が UVLO スレッショルド電圧を下回ると、デバイスは停止し、出力は放電されます。これは非ラッチ型の保護機能です。

6.3.8 出力電圧放電

VDD1 降圧、VDD2 降圧、VDDQ LDO ブロックはすべて、対応する出力端子 VDD1SNS、VDD2SNS、VDDQ に接続された内部 MOSFET を用いた放電機能を備えています。これらの MOSFET の電流能力が低いため、放電は遅くなります。

6.3.9 サーマル シャットダウン

TPS51488 は、内部ダイの温度を監視します。温度がスレッショルド値 (通常は 150°C) を超えると、デバイスがシャットダウンされ、出力が放電されます。これは非ラッチ型の保護機能です。温度がサーマル シャットダウン復帰スレッショルドを下回ると、デバイスはスイッチングを再開します。

6.4 デバイスの機能モード

6.4.1 VDD1 降圧および VDD2 降圧の軽負荷動作

VDD1 または VDD2 出力が軽負荷の場合、インダクタ電流がゼロを横切ると、降圧コンバータはパルス スキップ モードに移行します。これは Eco モードであり、軽負荷時にスイッチング周波数を下げることで、効率を向上させます。各スイッチング サイクルの後に、省電力のスリープ時間が挿入されます。VDD1SNS または VDD2SNS の電圧が Eco モードのスレッショルド電圧を下回ると、スリープ時間は終了します。出力電流が減少するにつれて、スイッチング パルス間の時間間隔は増加します。

6.4.2 出力状態制御

TPS51488 は、2 つのイネーブル入力ピン VDD_EN と VDDQ_EN を備えており、出力状態を容易に制御できます。S0 状態 (VDD_EN = VDDQ_EN = High) では、VDD1、VDD2、VDDQ のすべてがオンになります。S3 状態 (VDDQ_EN = Low、VDD_EN = High) では、VDD1 と VDD2 電圧はオンのまま維持され、VDDQ はオフとなり、ハイインピーダンス状態 (High-Z) となります。この状態では、VDDQ 出力はフローティングとなり、ソース電流を供給しません。S4 / S5 状態 (VDD_EN = VDDQ_EN = Low) では、3 つの出力のすべてがオフになり、GND に放電されます。各状態コードは次のように表されます。S0 = フル オン、S3 = RAM へのサスペンド (STR)、S4 = ディスクへのサスペンド (STD)、S5 = ソフトオフ (表 6-1 を参照)。

表 6-1. VDDQ_EN および VDD_EN による出力状態の制御

| 状態 | VDDQ_EN | VDD_EN | VDD1 | VDD2 | VDDQ |
|-------|---------|--------|----------|----------|-----------------|
| S0 | HI | HI | ON | ON | ON |
| S3 | LO | HI | ON | ON | OFF (ハイインピーダンス) |
| S5/S4 | LO | LO | OFF (放電) | OFF (放電) | OFF (放電) |

6.4.3 出力シーケンス制御

LPDDR5 VDD1 および VDD2 レールには、特定のシーケンス要件があります。TPS51488 は、図 6-1 および図 6-2 に示す電源レールのシーケンス要件に従います。ランプ アップ中、動作中、ランプ ダウン中の全期間において、VDD1 は VDD2 を上回ります。VDDQ 出力は、VDDQ_EN がアサートされてから 35µs 以内で立ち上がり、安定します。

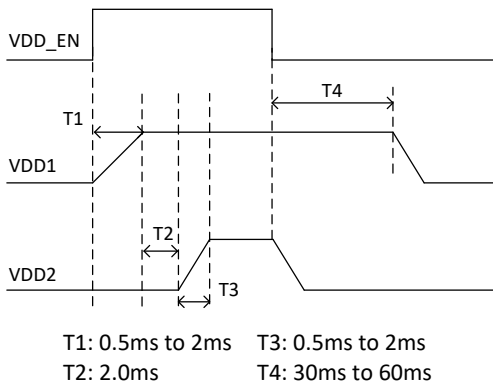


図 6-1. 電源シーケンス、VDD1/VDD2 と VDD_EN との関係

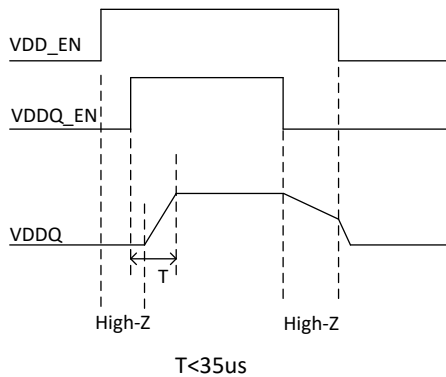


図 6-2. 電源シーケンス、VDDQ と VDDQ_EN との関係

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS51488 デバイスは、LPDDR5 メモリシステム用の包括的な電源設計を実現します。LPDDR5 の電源要件を、表 7-1 に示します。

表 7-1. LPDDR5 アプリケーション

| | VDD1 | VDD2 | VDDQ |
|--------|------|------|------|
| LPDDR5 | あり | あり | あり |

図 7-1 に、LPDDR5 の代表的なアプリケーションを示します。VDD2 降圧コンバータでは、PVIN は 4.5V ~ 24V の入力範囲をサポート、1.065V の VDD2 出力を生成し、連続電流能力は 8A です。通常、PVIN_VDD1 および VCC_5V は 1 つの 5V 電源入力を共有でき、1.8V の VDD1 出力を 1A の連続電流能力で供給します。PVIN_VDD1 は、3.3V 電源まで下げても使用できます。VLDOIN 電源入力は通常、VDD2 出力に接続されます。VLDOIN 電源入力は、外部電源入力にも接続できます。

7.2 代表的なアプリケーション

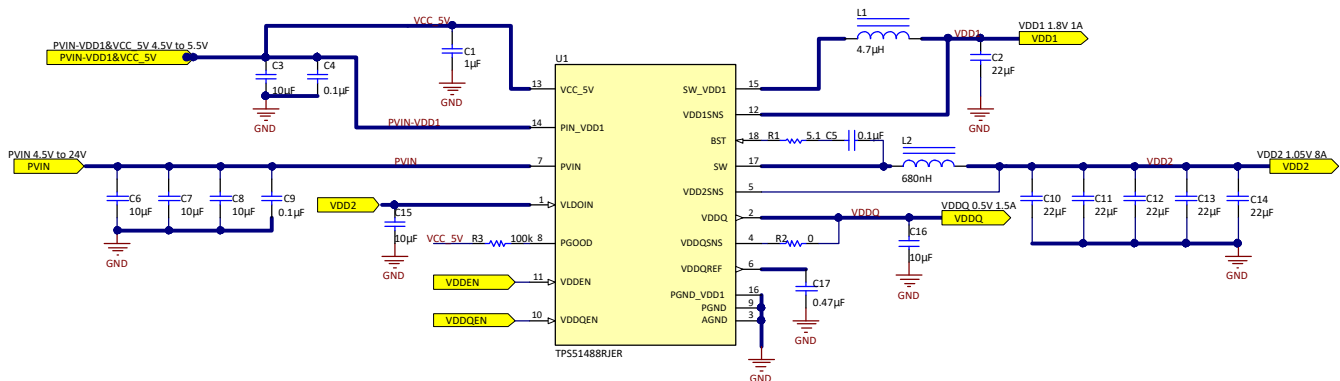


図 7-1. LPDDR5 アプリケーションの回路図

7.2.1 設計要件

この例の設計パラメータを、表 7-2 に示します。

表 7-2. 設計パラメータ

| パラメータ | 条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-------------------|-----------|-----------|-------|----------|---------|
| VDD2 OUTPUT | | | | | |
| V_{OUT} | 出力電圧 | | 1.065 | | V |
| I_{OUT} | 出力電流 | | 8 | | A |
| ΔV_{OUT} | 過渡応答 | 8A 負荷ステップ | | ± 53 | mV |
| V_{IN} | 入力電圧 | 4.5 | 19 | 24 | V |
| $V_{OUT(ripple)}$ | 出力電圧リップル | | 30 | | mV(P-P) |
| F_{SW} | スイッチング周波数 | | 600 | | kHz |
| VDD1 OUTPUT | | | | | |

表 7-2. 設計パラメータ (続き)

| パラメータ | | 条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--------------------------|----------------|----------------|-----|---------|-----|---------------------|
| V _{OUT} | 出力電圧 | | | 1.8 | | V |
| I _{OUT} | 出力電流 | | | 1 | | A |
| ΔV _{OUT} | 過渡応答 | 1A 負荷ステップ | | ±90 | | mV |
| V _{IN} | 入力電圧 | | 3 | 5 | 5.5 | V |
| V _{OUT(ripple)} | 出力電圧リップル | | | 30 | | mV _(P-P) |
| F _{SW} | スイッチング周波数 | | | 580 | | kHz |
| その他 | | | | | | |
| V _{VCC_5V} | VCC_5V 入力の起動電圧 | VCC_5V 入力電圧上昇時 | | 内部 UVLO | | V |
| | VCC_5V 入力の停止電圧 | VCC_5V 入力電圧低下時 | | 内部 UVLO | | V |
| | 軽負荷時の動作モード | | | ECO | | |

7.2.2 詳細な設計手順

7.2.2.1 外付け部品の選択

7.2.2.1.1 インダクタの選択

インダクタリップル電流は、出力コンデンサによってフィルタリングされます。インダクタのリップル電流が大きいほど、出力コンデンサのリップル電流定格はインダクタのリップル電流よりも大きくなければならないことを意味します。推奨インダクタ値については、表 7-3 を参照してください。

インダクタを流れる RMS 電流およびピーク電流は、式 3 および式 4 を用いて算出できます。インダクタの定格がこうした電流に対応できるものであることが重要です。

$$I_{L(\text{rms})} = \sqrt{\left(I_{\text{OUT}}^2 + \frac{1}{12} \times \left(\frac{V_{\text{OUT}} \times (V_{\text{IN}(\text{max})} - V_{\text{OUT}})}{V_{\text{IN}(\text{max})} \times L_{\text{OUT}} \times F_{\text{SW}}} \right)^2 \right)} \quad (3)$$

$$I_{L(\text{peak})} = I_{\text{OUT}} + \frac{I_{\text{OUT}(\text{ripple})}}{2} \quad (4)$$

過渡状態、短絡状態では、インダクタ電流がデバイスの電流制限値まで増加する可能性があるため、電流制限時のピーク電流を上回る飽和電流に対応するインダクタを選択すると安全です。

7.2.2.1.2 出力コンデンサの選択

インダクタ選定後、出力コンデンサを最適化する必要があります。D-CAP3 制御モードでは、レギュレータがデューティサイクルの変化に対して 1 サイクル以内に応答するため、大きい出力キャパシタンスを必要とせずに優れた過渡応答性能を実現できます。推奨出力キャパシタンスの範囲を表 7-3 に示します。

セラミックコンデンサは非常に低い ESR を備えています。それ以外の場合は、コンデンサの最大 ESR を V_{OUT(ripple)}/I_{OUT(ripple)} 未満にする必要があります。

表 7-3. 推奨部品値

| V _{OUT} (V) | F _{sw} (kHz) | L _{OUT} (μH) | C _{OUT(min)} (μF) | C _{OUT(max)} (μF) |
|----------------------|-----------------------|-----------------------|----------------------------|----------------------------|
| 1.065 | 600 | 0.68 | 88 | 142 |
| | 600 | 0.56 | 88 | 142 |
| | 600 | 0.47 | 88 | 142 |
| 1.8 | 580 | 6.8 | 20 | 66 |
| | 580 | 4.7 | 20 | 66 |
| | 580 | 3.3 | 20 | 66 |

VDDQ 出力には高品質の X5R または X7R の 10 μ F コンデンサを推奨し、VDDQREF 出力には 0.47 μ F コンデンサを推奨します。

7.2.2.1.3 入力コンデンサの選択

TPS51488 では、電源入力ピン PVIN および PVIN_VDD1 の両方に入力デカップリング コンデンサが必要です。また、アプリケーションによってはバルク コンデンサが必要となります。必要な最小入力容量は、式 5 で与えられます。

$$C_{IN(min)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN(ripple)} \times V_{IN} \times F_{SW}} \quad (5)$$

TI は、30 μ F の高品質な X5R または X7R 入力デカップリング コンデンサを VDD2 降圧コンバータの入力電圧ピン PVIN に使用し、VDD1 降圧コンバータの入力電圧ピン PVIN_VDD1 に 10 μ F を使用することを推奨します。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。コンデンサのリップル電流定格をアプリケーションの最大入力電流リップルよりも大きくする必要があります。入力リップル電流は、式 6 で計算できます。

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN(min)}} \times \frac{(V_{IN(min)} - V_{OUT})}{V_{IN(min)}}} \quad (6)$$

追加の高周波数フィルタリングを行うために、オプションで PVIN とグラウンドの間、および PVIN_VDD1 とグラウンドの間に 0.1 μ F コンデンサを追加することができます。VDDQ LDO ブロックに安定した電力を供給するために、VLDOIN ピンのデカップリング コンデンサとして、10 μ F のセラミック コンデンサを 1 つ使用することを推奨します。VCC_5V 入力のデカップリング コンデンサとして、1 μ F のセラミック コンデンサが必要です。

7.2.2.1.4 ブートストラップコンデンサと抵抗の選択

適切な動作のためには、BST ピンと SW ピンの間に、5.1 Ω 抵抗を直列に接続した 0.1 μ F セラミック コンデンサを配置することを推奨します。TI はセラミック コンデンサの使用を推奨します。

7.2.3 アプリケーション曲線

図 7-2 から図 7-29 は、図 7-1 の回路に適用されます。V_{IN} = 12V、T_A = 25°C (特に記述のない限り)。

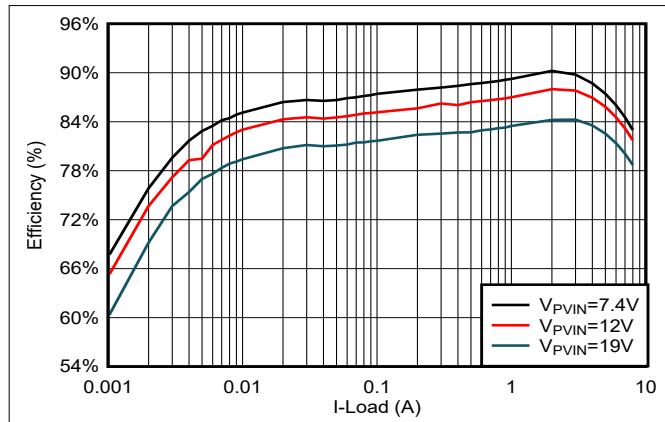


図 7-2. VDD2 の効率曲線、V_{OUT} = 1.065V

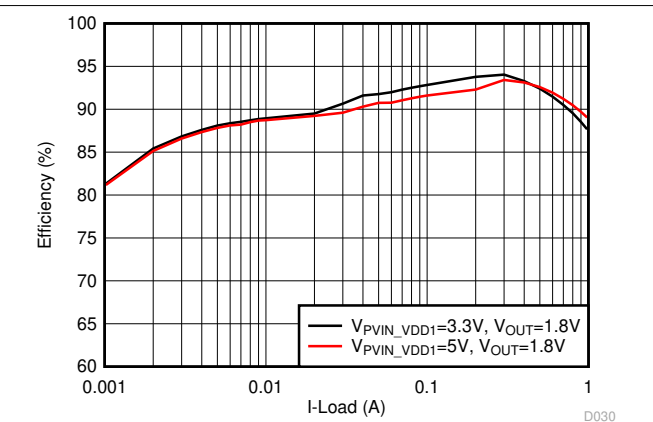


図 7-3. VDD1 の効率曲線、V_{OUT} = 1.8V

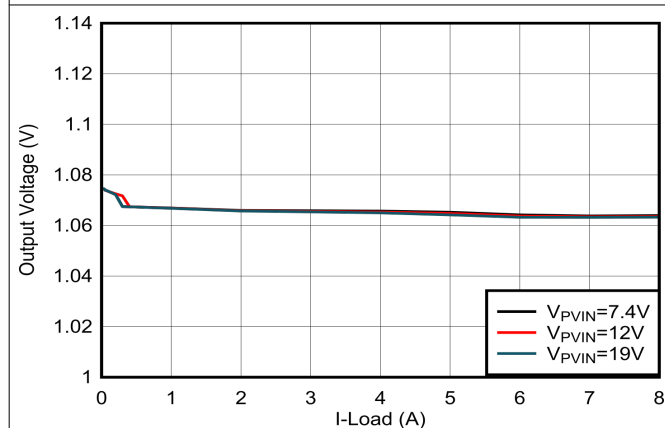


図 7-4. VDD2 のロードレギュレーション、V_{OUT} = 1.065V

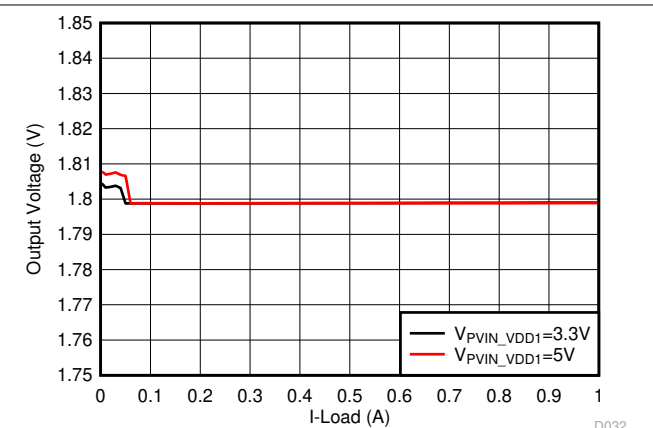


図 7-5. VDD1 のロードレギュレーション、V_{OUT} = 1.8V

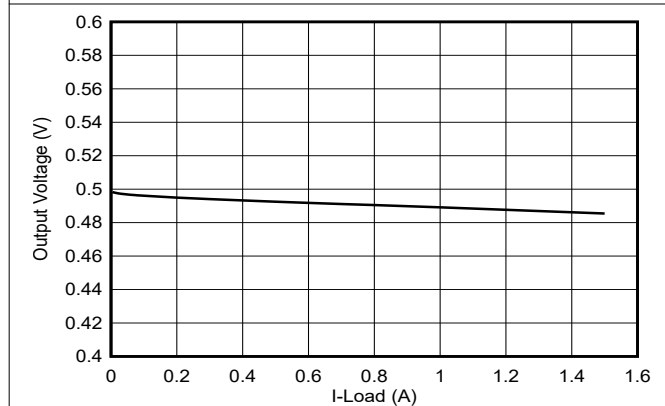


図 7-6. VDDQ のロードレギュレーション、V_{OUT} = 0.5V

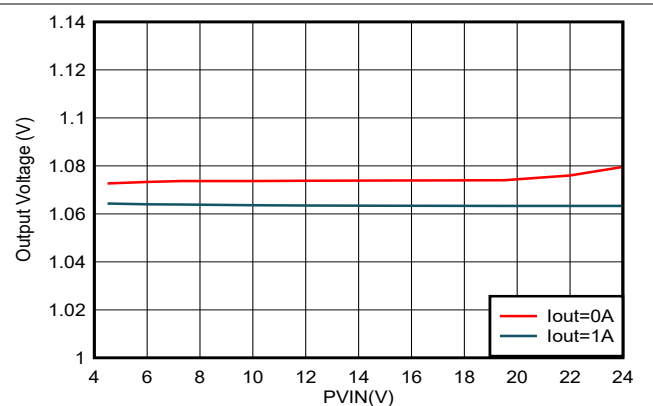


図 7-7. VDD2 のラインレギュレーション、V_{OUT} = 1.065V

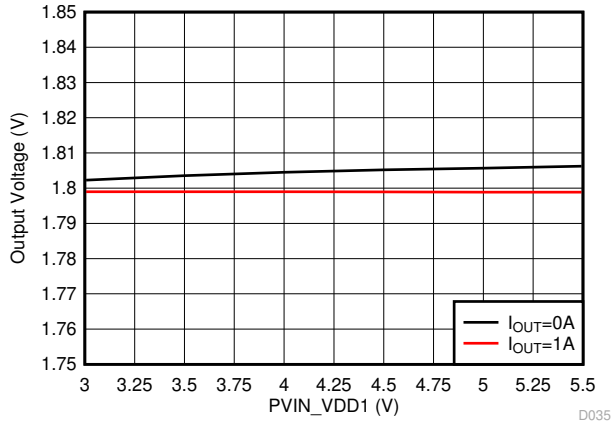


図 7-8. VDD1 のラインレギュレーション、V_{OUT} = 1.8V

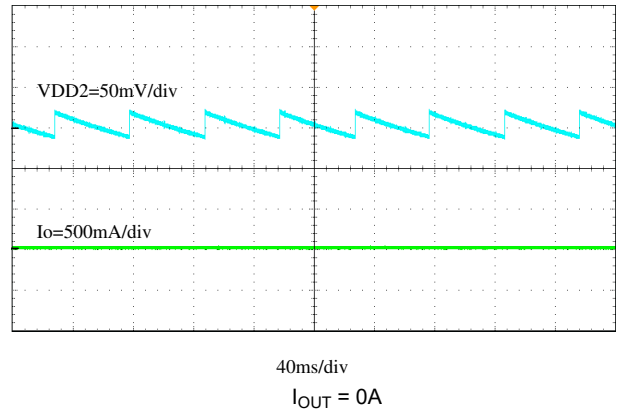


図 7-9. VDD2 出力電圧リップル

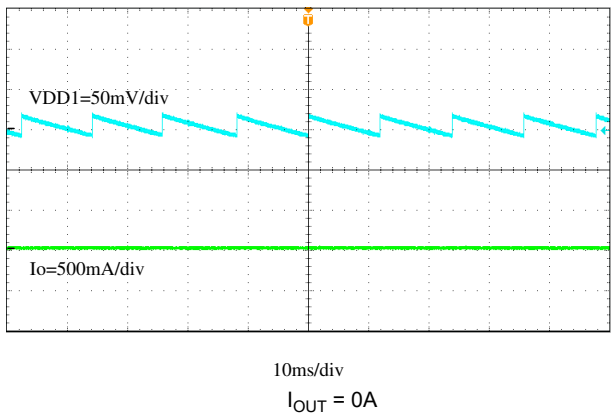


図 7-10. VDD1 出力電圧リップル

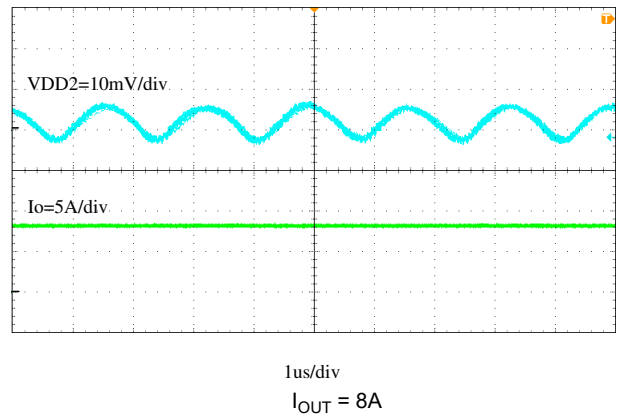


図 7-11. VDD2 出力電圧リップル

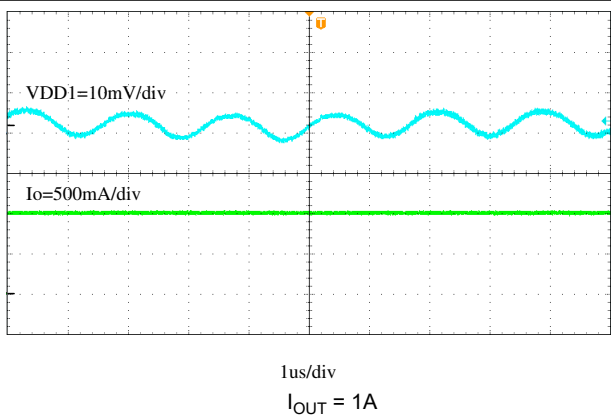


図 7-12. VDD1 出力電圧リップル

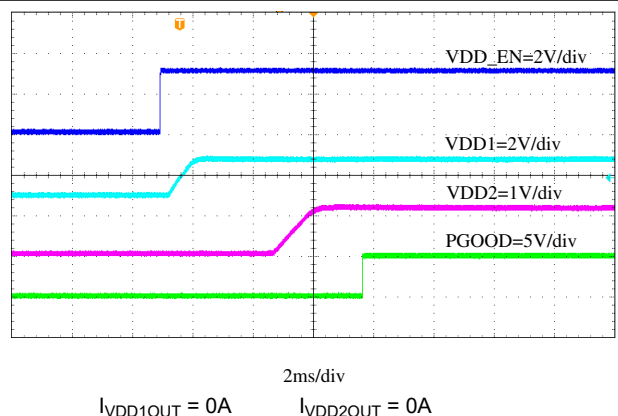
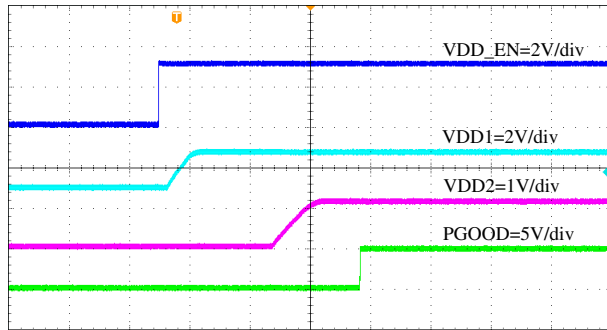
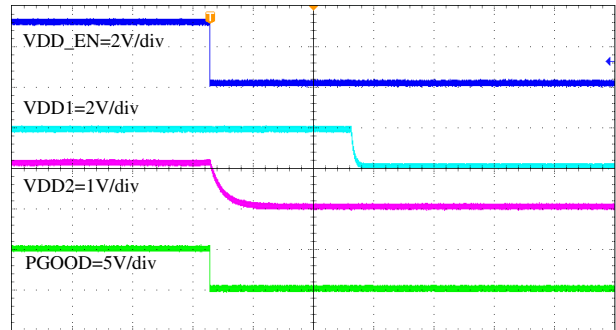


図 7-13. VDD_EN による起動



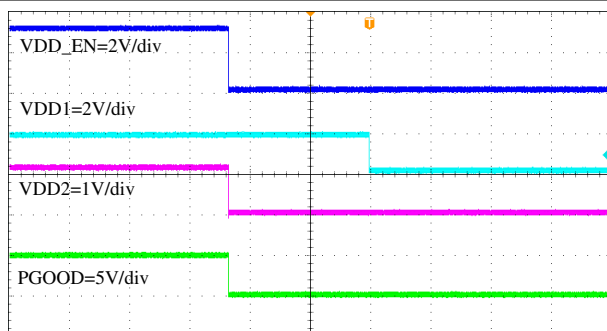
2ms/div
 $I_{VDD1OUT} = 1A$ $I_{VDD2OUT} = 8A$

図 7-14. VDD_EN による起動



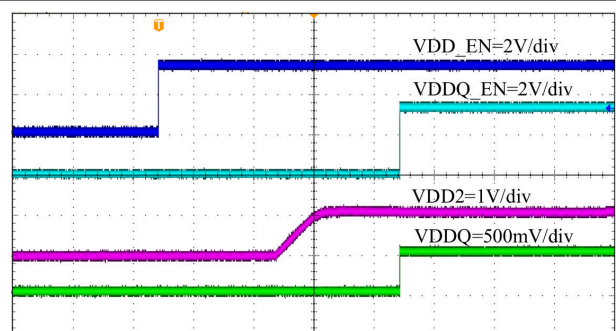
20ms/div
 $I_{VDD1OUT} = 0A$ $I_{VDD2OUT} = 0A$

図 7-15. VDD_EN によるシャットダウン



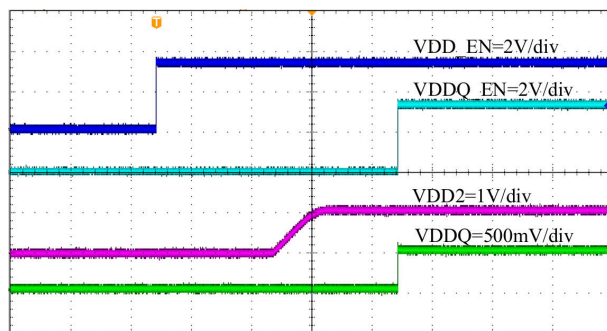
20ms/div
 $I_{VDD1OUT} = 1A$ $I_{VDD2OUT} = 8A$

図 7-16. VDD_EN によるシャットダウン



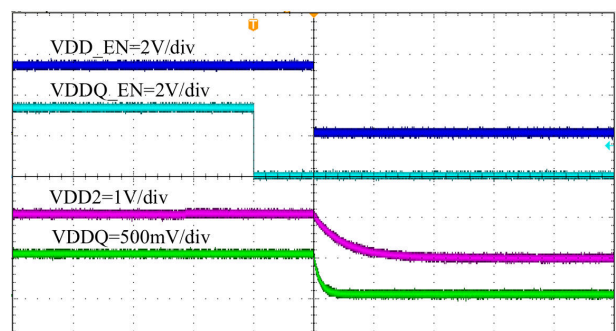
2ms/div
 $I_{VDD2OUT} = 0A$ $I_{VDDQ} = 0A$

図 7-17. VDDQ_EN による VDDQ 起動



2ms/div
 $I_{VDD2OUT} = 8A$ $I_{VDDQ} = 1.5A$

図 7-18. VDDQ_EN による VDDQ 起動



10ms/div
 $I_{VDD2OUT} = 0A$ $I_{VDDQ} = 0A$

図 7-19. VDDQ_EN による VDDQ シャットダウン

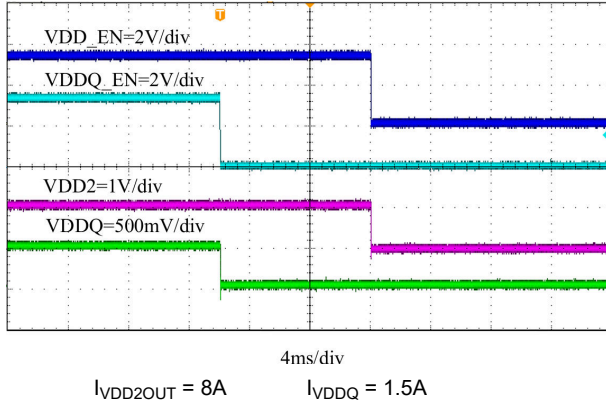


図 7-20. VDDQ_EN による VDDQ シャットダウン

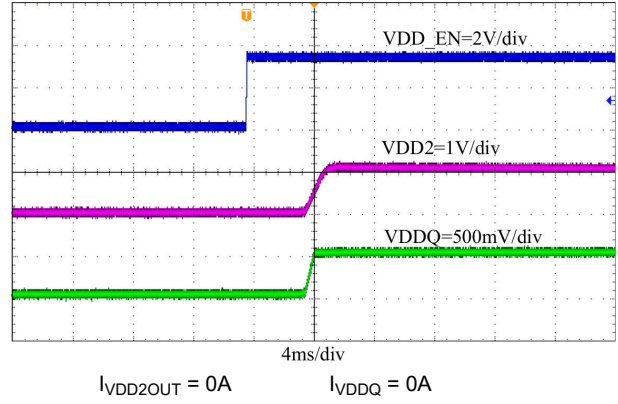


図 7-21. VDD_EN による VDDQ 起動

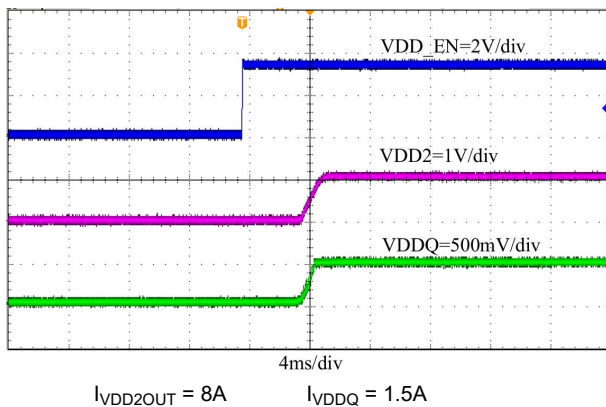


図 7-22. VDD_EN による VDDQ 起動

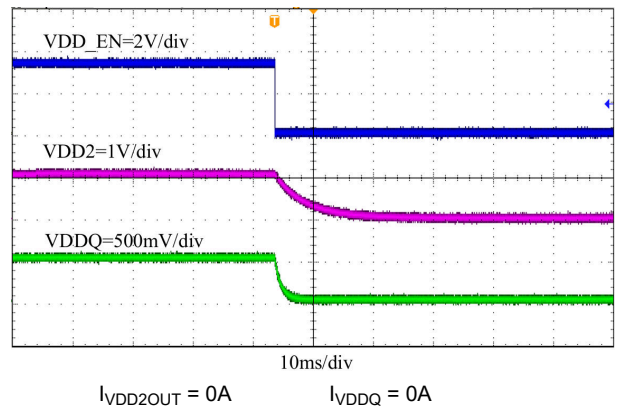


図 7-23. VDD_EN による VDDQ シャットダウン

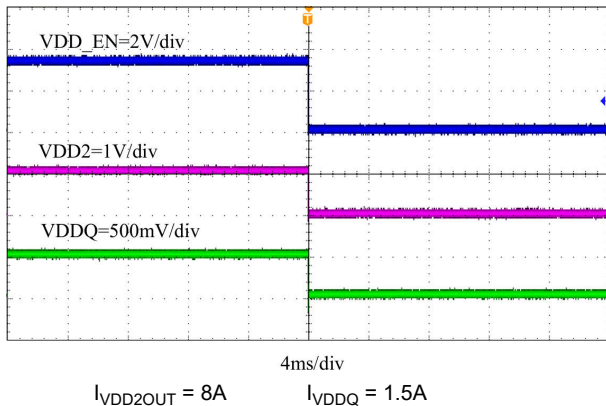


図 7-24. VDD_EN による VDDQ シャットダウン

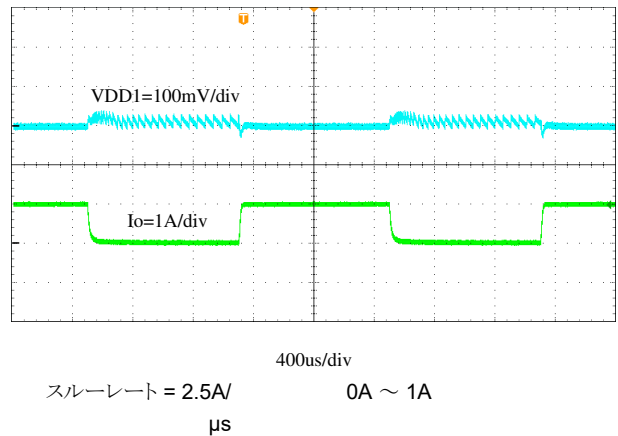
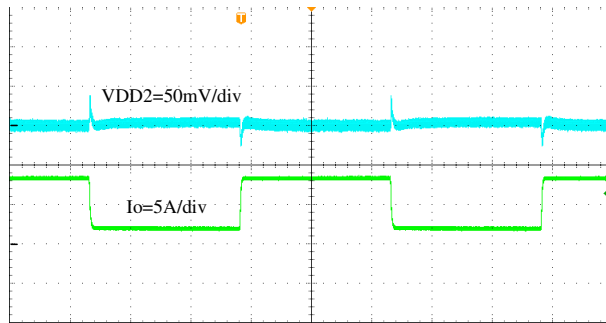
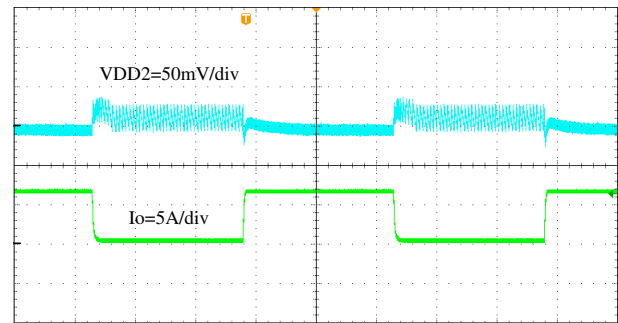


図 7-25. VDD1 の過渡応答



400us/div
スルーレート = 2.5A/
μs 1.6A ~ 8A

図 7-26. VDD2 の過渡応答



400us/div
スルーレート = 2.5A/
μs 0.1A ~ 6.4A

図 7-27. VDD2 の過渡応答

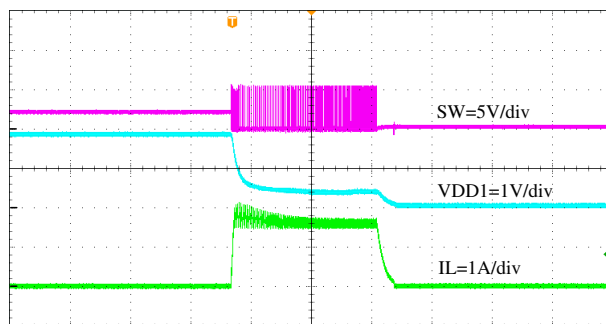


図 7-28. VDD1 通常動作から出力のハード短絡

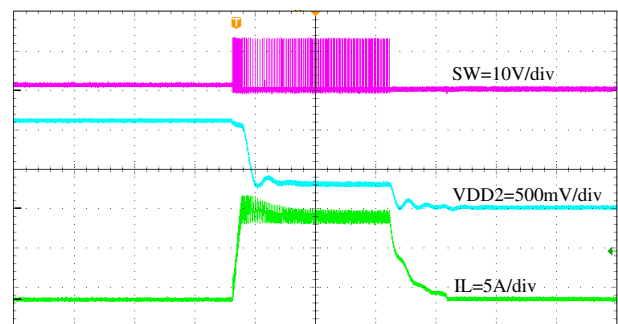


図 7-29. VDD2 通常動作から出力のハード短絡

7.3 電源に関する推奨事項

TPS51488 は、LPDDR5 の包括的な電源設計用に設計されています。

- PVIN は VDD2 降圧コンバータの電源入力です。
- PVIN_VDD1 は、VDD1 降圧コンバータの電源入力です。
- VLDOIN は、VDDQ LDO の電源入力です。
- VCC_5V は、内部制御ロジック用の電源です。

電源オンシーケンスのシナリオを以下に示します。

- PVIN または PVIN_VDD1 に電源が入力される前に、VDD_EN が High である場合、VCC_5V 電源は、PVIN または PVIN_VDD1 の後に、または同時に供給される必要があります。そうでない場合、出力はラッチされます。このラッチは、VDD_EN ピンを切り替えるか、VCC_5V を再度供給することで回復できます。
- PVIN および PVIN_VDD1 に電源が入力される前に、VDD_EN が Low である場合、VCC_5V、PVIN、PVIN_VDD1 の電源入力シーケンス要件はありません。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- 優れた放熱性能を実現し、最大のグラウンドプレーンを確保するために、TI は 4 層 PCB を推奨します。3 インチ × 3 インチ (約 7.5cm × 7.5cm)、銅箔厚 2 オンス (約 70μm) の 4 層 PCB を例として使用しています。
- デカップリングコンデンサは、PVIN、PVIN_VDD1、VLDOIN にできる限り近づけて配置します。
- 出力インダクタとコンデンサを、IC を使用して同じ層に配置します。SW の配線は、EMI を最小限に抑えるためにできる限り短くし、大電流を流すために幅の広いプレーンにする必要があります。十分な数のビアを、出力コンデンサの

PGND 接続および、出力ピンのできるだけ近くに配置する必要があります。VDD1 チョークと VDD2 チョークの間に、ある程度のスペースを確保し、放射クロストークを最小限に抑えてください。

- BST 抵抗とコンデンサは IC と同じ層に配置し、BST および SW プレーンの近くに置いてください。ライン寄生インダクタンスを低減するため、15mil (約 0.38mm、1mil は 1/1000 インチ) 幅以上のパターンを推奨します。
- VDD1SNS / VDD2SNS / VDDQSNS は 10mil (約 0.25mm) 幅で問題なく、スイッチング ノード、BST ノード、またはその他のノードから離して配線する必要があります。
- PVIN および PVIN_VDD1 のパターンは、パターンのインピーダンスを下げ、十分な電流能力を確保するために、幅広にする必要があります。
- VDDQ および VDDQREF 用の出力コンデンサは、出力ピンのできるだけ近くに配置する必要があります。

7.4.2 レイアウト例

図 7-30 に、推奨される上面レイアウトを示します。部品参照指定子は、図 7-1 に示す回路と同じです。

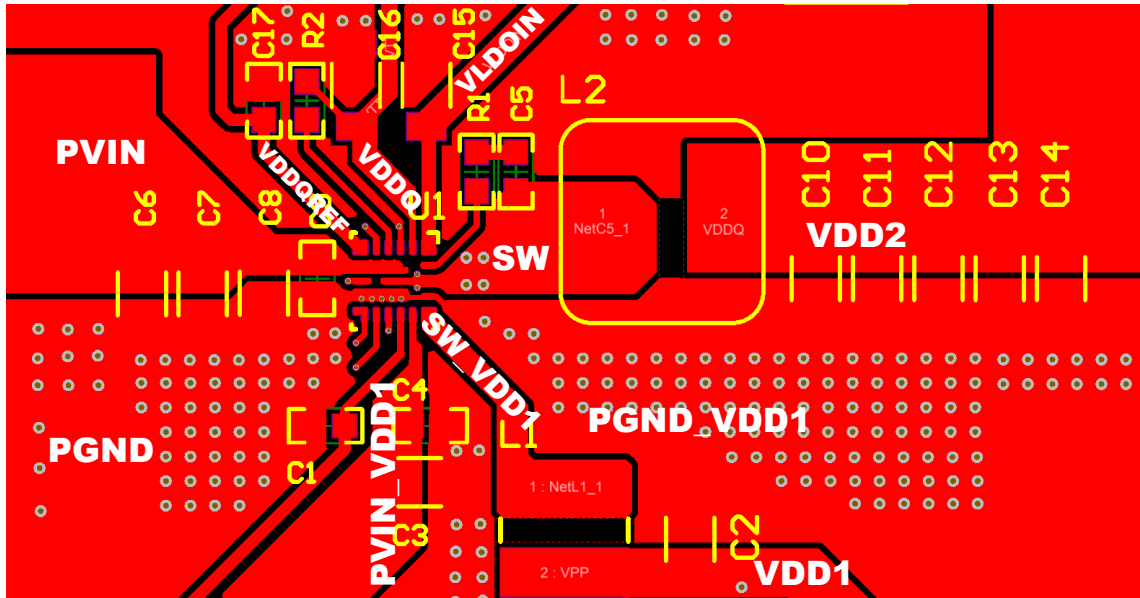


図 7-30. 上面レイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

D-CAP3™, HotRod™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (August 2021) to Revision A (May 2026) | Page |
|--|------|
| • データシートの最初の公開リリース..... | 1 |
| • 文書全体にわたり Eco モードの商標記号を削除..... | 1 |
| • ESD レーティングについての説明を変更..... | 4 |

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|------------------------------|---------------|----------------------|--------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| TPS51488RJER | Active | Production | VQFN-HR (RJE) 18 | 3000 LARGE T&R | Yes | Call TI Sn | Level-2-260C-1 YEAR | - | T51488 |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

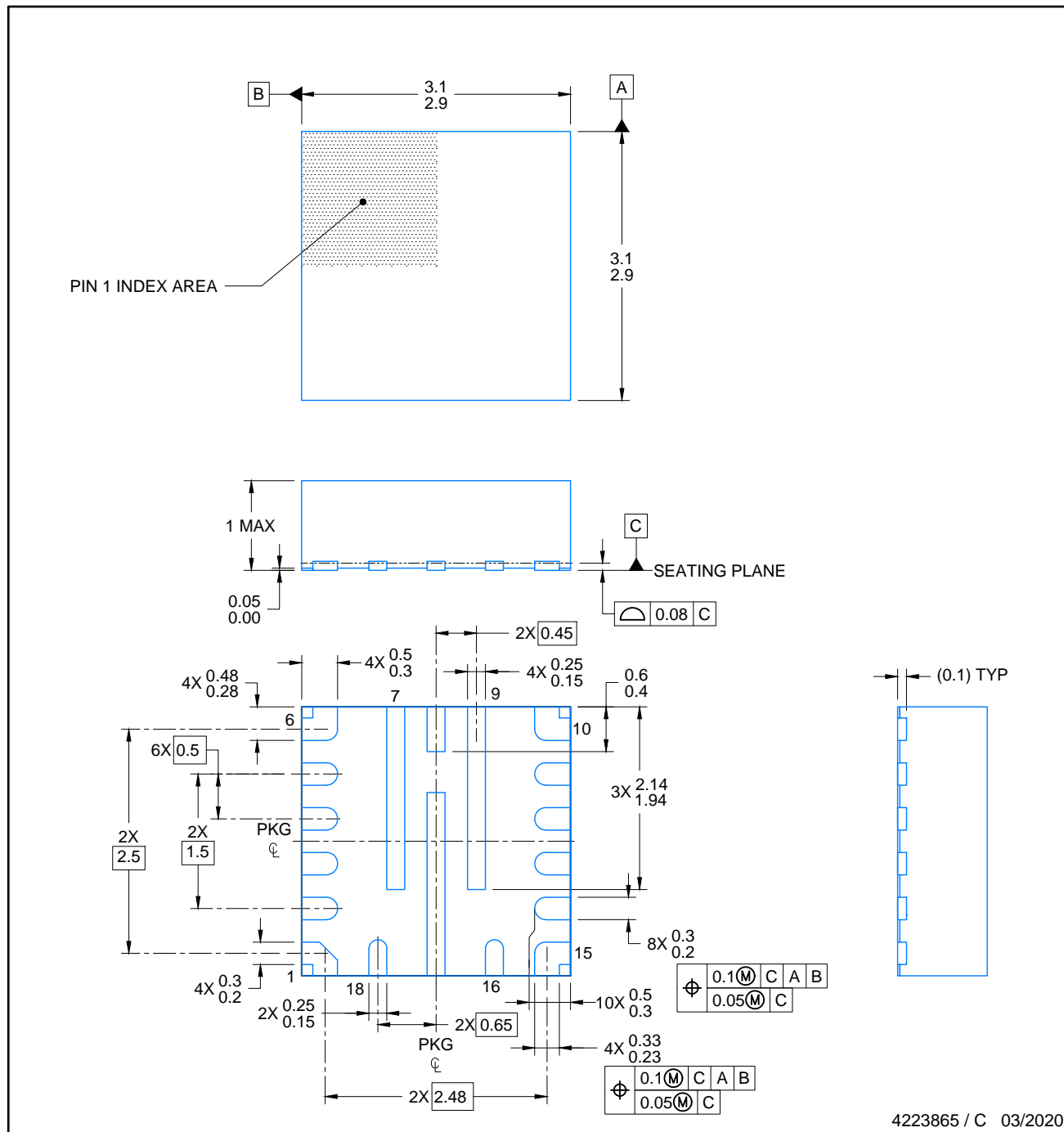

*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| TPS51488RJER | VQFN-HR | RJE | 18 | 3000 | 330.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

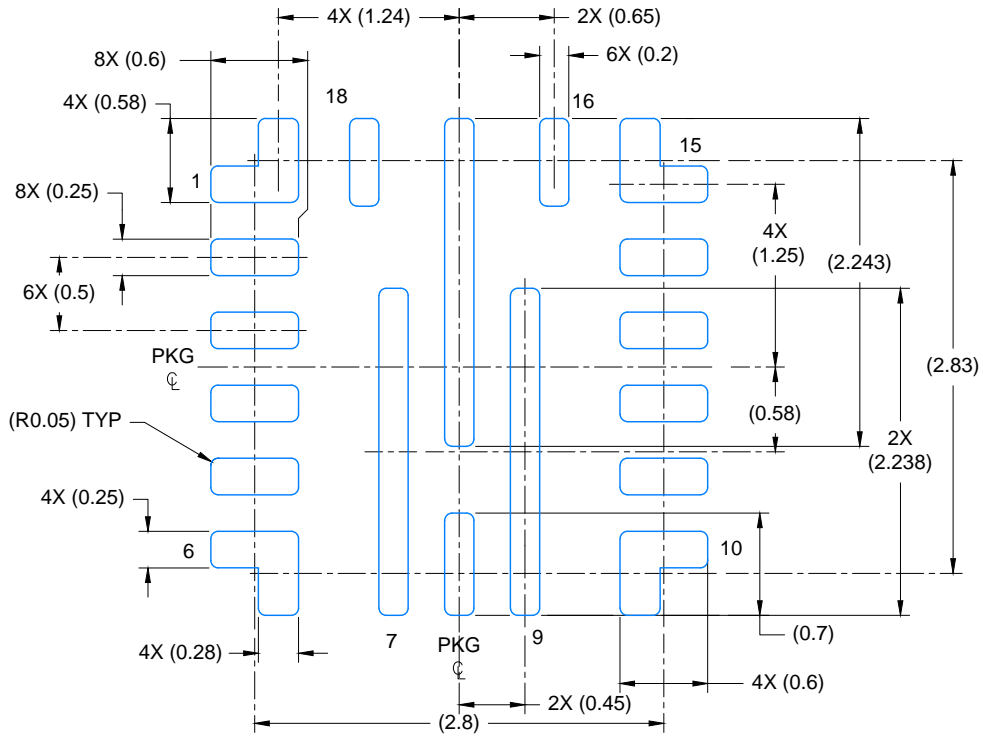
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|--------------|--------------|-----------------|------|------|-------------|------------|-------------|
| TPS51488RJER | VQFN-HR | RJE | 18 | 3000 | 367.0 | 367.0 | 35.0 |



4223865 / C 03/2020

NOTES:

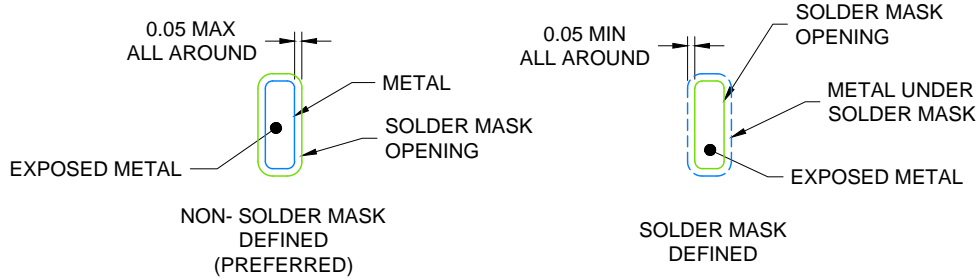
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 20X

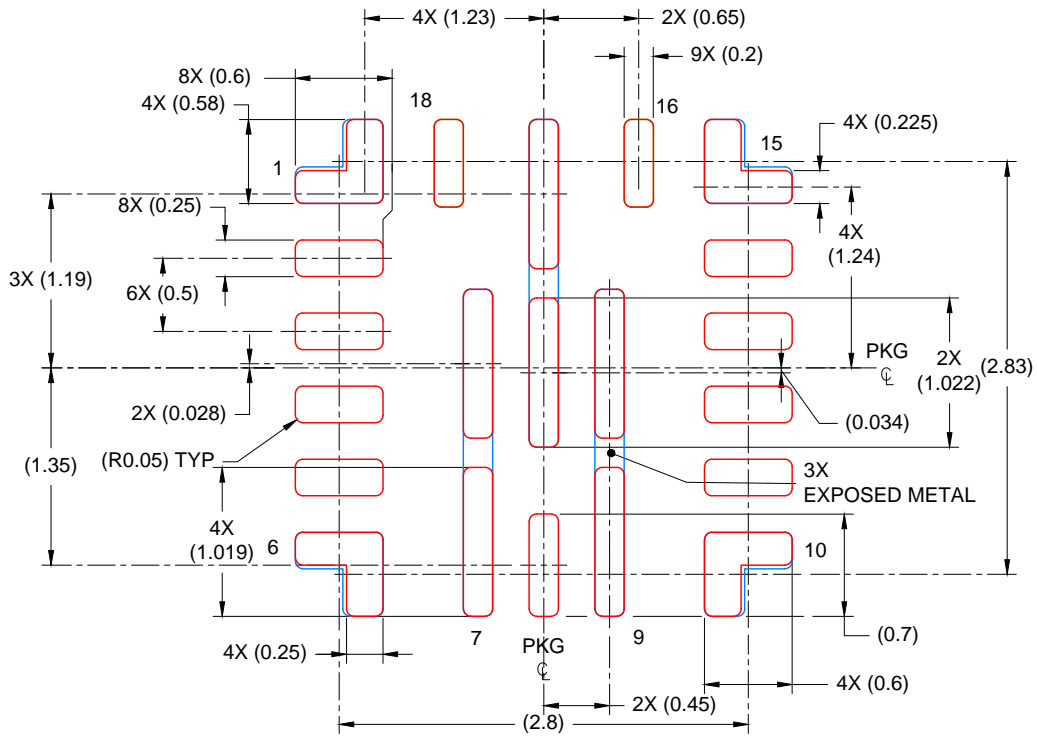


SOLDER MASK DETAILS

4223865 / C 03/2020

NOTES: (continued)

- 3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- 4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 PADS 1, 6, 10 & 15: 93% & PADS 7-9, 17: 89%
 SCALE: 20X

4223865 / C 03/2020

NOTES: (continued)

- 5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月