参考資料

TEXAS INSTRUMENTS

TPS54294

www.tij.co.jp JAJSBM9

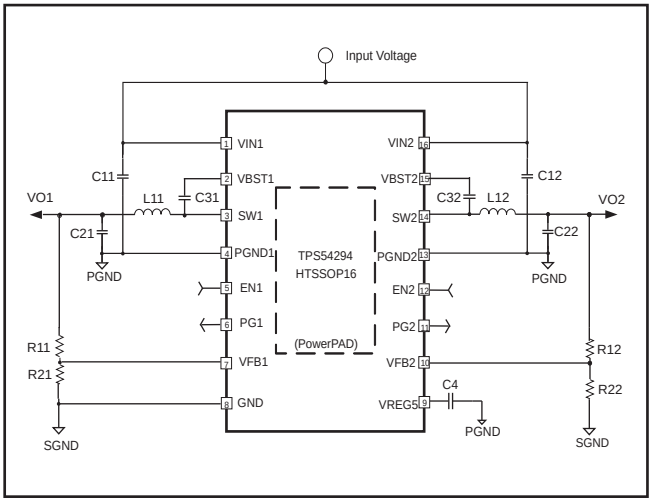
FET内蔵（SWIFT™）、2A、デュアル・チャネル、同期整流降圧型スイッチャ

特　長

- D-CAP2™制御モード
  - 高速過渡応答
  - ループ補償に外部部品が不要
  - セラミック出力コンデンサを使用可能
- 広い入力電圧範囲：4.5V～18V
- 出力電圧範囲：0.76V～7.0V
- 低デューティ・サイクルのアプリケーションに対して最適化された高効率の内蔵FET
  - 150mΩ（ハイサイド）および100mΩ（ローサイド）
- 高い初期リファレンス精度
- ローサイド$r_{DS(on)}$の無損失電流センス
- 固定ソフト・スタート：1.0ms
- 非シンクのプリバイアス・ソフト・スタート機能
- パワー・グッド
- スイッチング周波数：700kHz
- サイクル毎の過電流制限制御
- OCL/OVP/UVP/UVLO/TSD保護
- 昇圧PMOSスイッチを内蔵した適応型ゲート・ドライバ
- 4000ppm/℃の温度補償付き$r_{DS(on)}$による一定のOCP
- 16ピンHTSSOP
- 自動スキップEco-Mode™により軽負荷時の効率を向上

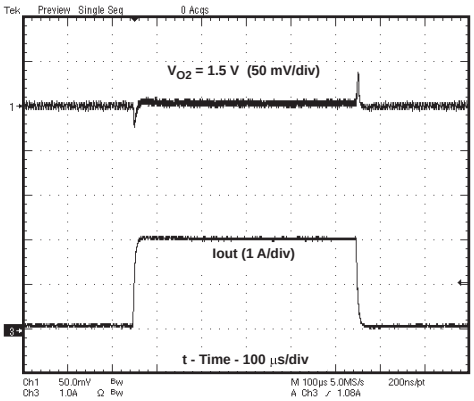
アプリケーション

- 広範囲のアプリケーションに対する低電力システムでのポイント・オブ・ロード（POL）レギュレーション
  - デジタル・テレビ用電源
  - ネットワーク・ホーム・ターミナル
  - デジタル・セットトップ・ボックス（STB）
  - DVDプレーヤー/レコーダー
  - ゲーム機など



概　要

TPS54294は、適応型オン時間およびD-CAP2™モードに対応したデュアル同期整流バック・コンバータです。TPS54294を採用することで、各種機器の電源バス・レギュレータに対して、コスト効果が高く、部品数の少ない、低スタンバイ電流のソリューションを実現できます。TPS54294の主制御ループではD-CAP2™モード制御を使用し、外部補償部品なしで非常に高



SWIFT, D-CAP2, Eco-mode, PowerPADは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated（TI）が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ（日本TI）が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TEXAS INSTRUMENTS

SLVSB00B　翻訳版

最新の英語版資料
http://www.ti.com/lit/gpn/tps54294

速な過渡応答が得られます。適応型オン時間制御により、重負荷時にはPWMモード動作、軽負荷時にはEco-Mode™動作にシームレスに移行することができます。Eco-Mode™により、TPS54294は軽負荷条件時に高い効率を維持できます。また、TPS54294は、POSCAP/SP-CAPなどの低ESR(等価直列抵抗)出力コンデンサだけでなく、超低ESRのセラミック・コンデンサにも対応できます。4.5V～18Vの入力電圧により、使いやすく効率的な動作を行います。

TPS54294は4.4mm × 5.0mmの16ピンTSSOP(PWP)パッケージで供給され、–40℃～85℃の周囲温度範囲で仕様が規定されています。

静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報 (1)

T_A	パッケージ	発注用部品番号	ピン	供給形態	エコ・プラン
–40℃ ～85℃	PWP	TPS54294PWPR	16	テープ・リール	Green(RoHS準拠、Sb/Br非含有)
		TPS54294PWP		チューブ	

(1) 最新のパッケージおよびご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。

絶対最大定格

動作温度範囲内(特に記述のない限り) (1) (2)

		VALUE	単位
Input voltage range	VIN1, VIN2, EN1, EN2	–0.3 ～20	V
	VBST1, VBST2	–0.3 ～26	
	VBST1, VBST2 (10ns transient)	–0.3 ～28	
	VBST1–SW1 , VBST2–SW2	–0.3 ～6.5	
	VFB1, VFB2	–0.3 ～6.5	
	SW1, SW2	–2 ～20	
	SW1, SW2 (10ns transient)	–3 ～22	
Output voltage range	VREG5, PG1, PG2	–0.3 ～6.5	V
	PGND1, PGND2	–0.3 ～0.3	
Electrostatic discharge	Human Body Model (HBM)	2	kV
	Charged Device Model (CDM)	500	V
T_A Operating ambient temperature range		–40 ～85	°C
T_{STG} Storage temperature range		–55 ～150	°C
T_J Junction temperature range		–40 ～150	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) すべての電圧値はICのGND端子を基準としています。

熱特性について

THERMAL METRIC(1)		TPS54294 PWP (16) PINS	単位
θ_{JA}	Junction-to-ambient thermal resistance	47.5	°C/W
θ_{JCtop}	Junction-to-case (top) thermal resistance	27.1	
θ_{JB}	Junction-to-board thermal resistance	20.8	
ψ_{JT}	Junction-to-top characterization parameter	1.0	
ψ_{JB}	Junction-to-board characterization parameter	20.6	
θ_{JCbot}	Junction-to-case (bottom) thermal resistance	2.7	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。

推奨動作条件

動作温度範囲内（特に記述のない限り）

			VALUES		単位
			MIN	MAX	
	Supply input voltage range	VIN1, VIN2	4.5	18	V
	Input voltage range	VBST1, VBST2	–0.1	24	V
		VBST1, VBST2 (10ns transient)	–0.1	27	
		VBST1–SW1, VBST2–SW2	–0.1	5.7	
		VFB1, VFB2	–0.1	5.7	
		EN1, EN2	–0.1	18	
		SW1, SW2	–1.0	18	
		SW1, SW2 (10ns transient)	–3	21	
	Output voltage range	VREG5, PG1 , PG2	–0.1	5.7	V
		PGND1, PGND2	–0.1	0.1	
		VO1, VO2	0.76	7.0	
T_A	Operating free-air temperature		–40	85	°C
T_J	Operating Junction Temperature		–40	150	°C

電気的特性[1]

動作温度範囲内、V_{IN} = 12V（特に記述のない限り）

パラメータ		CONDITIONS	MIN	TYP	MAX	単位
SUPPLY CURRENT						
I_{IN}	VIN supply current	T_A = 25°C, EN1 = EN2 = 5 V, VFB1 = VFB2 = 0.8 V		1300	2000	μA
I_{VINSDN}	VIN shutdown current	T_A = 25°C, EN1 = EN2 = 0 V,		80	150	μA
FEEDBACK VOLTAGE						
$V_{VFBTHLx}$	VFBx threshold voltage	T_A = 25°C, CH1 = 3.3 V, CH2 = 1.5 V	758	765	773	mV
TC_{VFBx}	Temperature coefficient	On the basis of 25°C[2]	–115		115	ppm/°C
I_{VFBx}	VFB Input Current	VFBx = 0.8 V, T_A = 25°C	–0.35	0.2	0.35	μA
VREG5 OUTPUT						
V_{VREG5}	VREG5 output voltage	T_A = 25°C, 6 V < VIN1 < 18 V, I_{VREG} = 5 mA		5.5		V
I_{VREG5}	Output current	VIN1 = 6 V, VREG5 = 4.0 V, T_A = 25°C[2]		75		mA
MOSFETs						
$r_{DS(on)H}$	High side switch resistance	T_A = 25°C, VBSTx-SWx = 5.5 V [2]		150		mΩ
$r_{DS(on)L}$	Low side switch resistance	T_A = 25°C [2]		100		mΩ
ON-TIME TIMER CONTROL						
T_{ON1}	SW1 On Time	SW1 = 12 V, VO1 = 1.2 V		165		ns
T_{ON2}	SW2 On Time	SW2 = 12 V, VO2 = 1.2 V		165		ns
T_{OFF1}	SW1 Min off time	T_A = 25°C, VFB1 = 0.7 V[2]		220		ns
T_{OFF2}	SW2 Min off time	T_A = 25°C, VFB2 = 0.7 V[2]		220		ns
SOFT START						
T_{SS}	Soft-start time	Internal soft-start time		1.0		ms

（1）xは1または2を意味します。例えば、VFBxはVFB1またはVFB2を意味します。
（2）設計で確認されています。実製品のテストは行っていません。

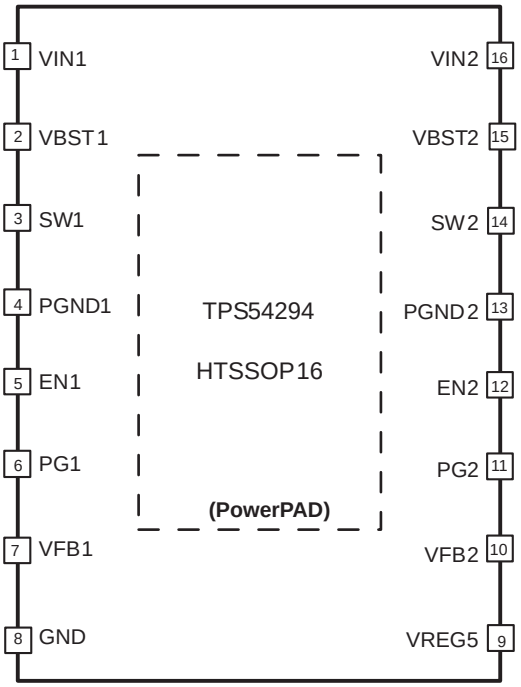
電気的特性

動作温度範囲内、V_{IN} = 12V（特に記述のない限り）

パラメータ		CONDITIONS	MIN	TYP	MAX	単位
POWER GOOD						
V_{PGTH}	PGx threshold	PG from lower VOx (going high)		84%		
		PG from higher VOx (going low)		116%		
R_{PG}	PGx pull-down resistance	VPGx = 0.5 V	50	75	110	Ω
T_{PGDLY}	PGx delay time	Delay for PGx going high		1.5		ms
		Delay for PGx going low		2		μs
$T_{PGCOMPSS}$	PGx comparator start-up delay	PGx comparator wake-up delay		1.5		ms
UVLO						
V_{UVREG5}	VREG5 UVLO threshold	VREG5 rising		3.83		V
		Hysteresis		0.6		
LOGIC THRESHOLDs						
V_{ENH}	ENx H-level threshold voltage		2.0			V
V_{ENL}	ENx L-level threshold voltage				0.4	V
R_{ENx_IN}	ENx input resistance	ENx = 12 V	225	450	900	kΩ
CURRENT LIMITs						
I_{OCL}	Current limit	L_{OUT} = 2.2 μH(3)	2.7	3.9	4.5	A
OUTPUT UNDERVOLTAGE AND OVERVOLTAGE PROTECTION (UVP, OVP)						
V_{OVP}	Output OVP trip threshold	measured on VFBx	115%	120%	125%	
T_{OVPDEL}	Output OVP prop delay			3	10	μs
V_{UVP}	Output UVP trip threshold	measured on VFBx	63%	68%	73%	
T_{UVPDEL}	Output UVP delay time			1.5		ms
T_{UVPEN}	Output UVP enable delay			1.5		ms
THERMAL SHUTDOWN						
T_{SD}	Thermal shutdown threshold	Shutdown temperature(3)		155		°C
		Hysteresis(3)		25		

(3) 設計で確認されています。実製品の検査は行っていません。

製品情報

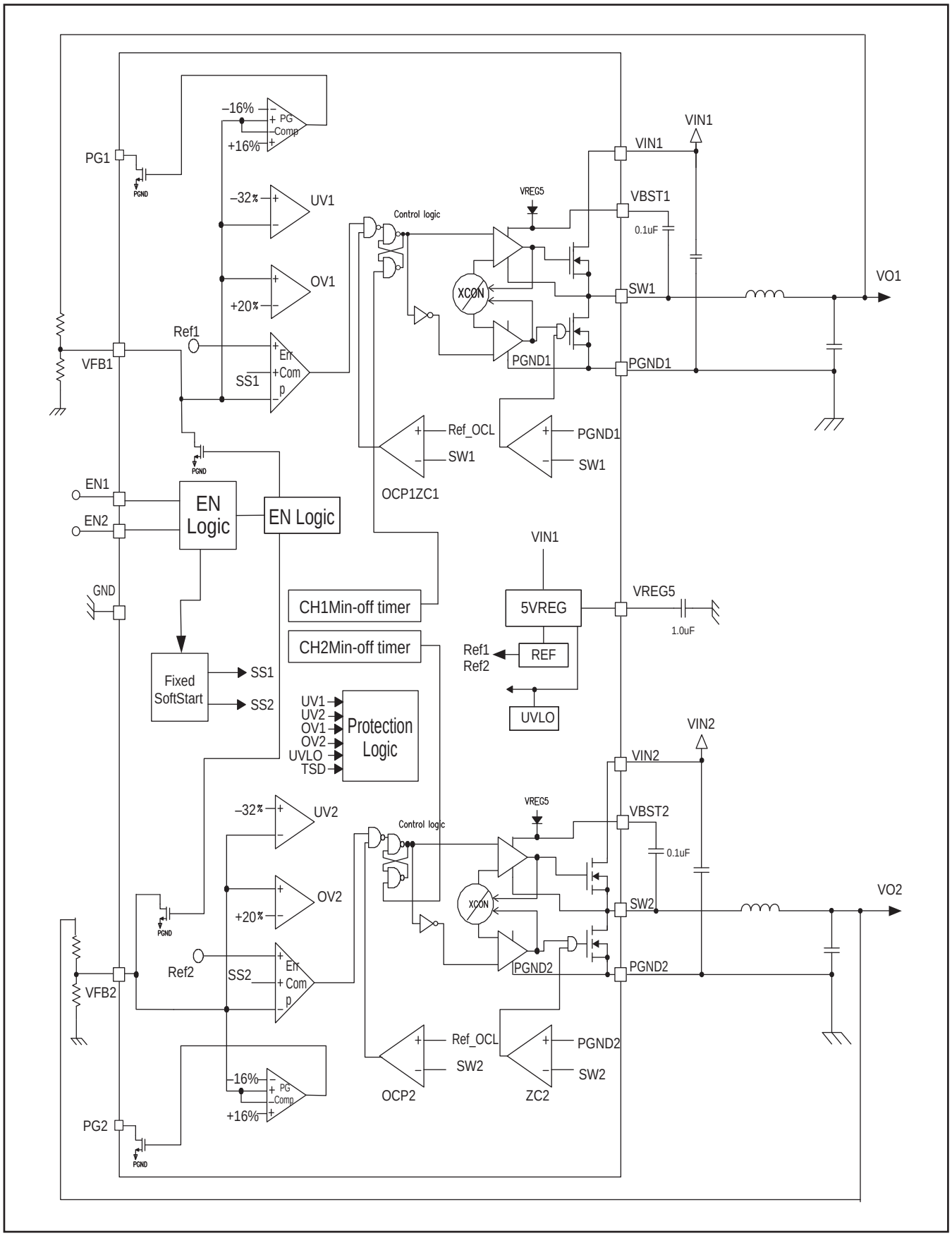


ピン機能 (1)

ピン		I/O	説　明
名前	番号		
VIN1, VIN2	1, 16	I	電源入力であり、両方のハイサイドNFETのドレインに接続されています。 5.5Vリニア・レギュレータの電源入力。
VBST1, VBST2	2, 15	I	ハイサイドNFETゲート駆動回路の電源入力。VBSTxピンとSWxピンの間には、0.1μFのセラミック・コンデンサを接続します。VREG5とVBSTxの間には、内部でダイオードが接続されています。
SW1, SW2	3, 14	I/O	ハイサイドNFETとローサイドNFETの両方に対するスイッチ・ノード接続。 電流コンパレータの入力。
PGND1, PGND2	4, 13	I/O	ローサイドMOSFETのグランド・リターン。電流コンパレータの入力。
EN1, EN2	5, 12	I	イネーブル。Highにすると、対応するコンバータがイネーブルになります。
PG1, PG2	6, 11	O	オープン・ドレインのパワー・グッド出力。Lowの場合、対応する出力の出力電圧がレギュレーション範囲外であることを意味します。
VFB1, VFB2	7, 10	I	D-CAP2帰還入力。分圧抵抗回路を使用して出力電圧に接続します。
GND	8	I/O	シグナルGND。ノイズに敏感なSSxおよびVFBxのリターンは、GNDに一点接続してください。
VREG5	9	O	5.5Vリニア・レギュレータの出力。1.0μF以上の高品質セラミック・コンデンサを使用してGNDにバイパスします。VIN1が印加されると、VREG5がアクティブになります。
露出した サーマル・パッド	裏側	I/O	パッケージのサーマル・パッド。適切な放熱を実現するために、半田付けする必要があります。 GNDに接続してください。

（1）xは1または2を意味します。例えば、VFBxはVFB1またはVFB2を意味します。

機能ブロック図


PG1
PGND
–16%
+16%
PG Comp
–32%
UV1
OV1
+20%
Ref1
VFB1
SS1
Err Comp
Control logic
VREG5
XCON
VIN1
VBST1
0.1uF
SW1
VO1
PGND1
Ref_OCL
OCP1ZC1
EN1
EN2
EN Logic
GND
CH1Min-off timer
CH2Min-off timer
5VREG
1.0uF
Ref1
Ref2
REF
UVLO
Fixed SoftStart
SS2
UV1
UV2
OV1
OV2
UVLO
TSD
Protection Logic
VIN2
VBST2
SW2
VO2
PGND2
OCP2
ZC2
PG2

概要

TPS54294は、チャネル毎に2個のNチャネルMOSFETを内蔵した、2A/2Aのデュアル同期整流降圧型（バック）コンバータです。D-CAP2™制御モードを使用して動作します。D-CAP2™制御の高速過渡応答により、特定レベルの性能を満たすために必要な出力容量が小さくて済みます。独自の内部回路により、セラミックおよび特殊なポリマー・タイプを含めた低ESR出力コンデンサを使用可能です。

詳細説明

PWM動作

TPS54294のメイン制御ループは、独自のD-CAP2™制御モードをサポートする適応型オン時間パルス幅変調（PWM）コントローラとなっています。D-CAP2™制御は、一定オン時間制御を、擬似固定周波数で外部部品数の少ない構成を可能にする内部補償回路と組み合わせたもので、低ESRコンデンサとセラミック出力コンデンサの両方を使用できます。出力にほとんどリップルがない状態でも安定して動作します。

各サイクルの開始時に、ハイサイドMOSFETがオンになります。内部のタイマが終了すると、このMOSFETがオフになります。このタイマの時間は、入力電圧範囲内で擬似固定周波数を維持するために、コンバータの入力電圧（VINx）と出力電圧（VOx）によって設定されます。そのため、これは適応型オン時間制御と呼ばれます。帰還電圧が公称出力電圧を下回ると、タイマがリセットされ、ハイサイドMOSFETが再度オンになります。出力電圧リップルをシミュレートするために、リファレンス電圧に内部ランプが追加され、これにより、D-CAP2™制御ではESRによる出力リップルが不要になります。

PWM周波数と適応型オン時間制御

TPS54294は、適応型オン時間制御方式を採用し、専用の発振器は内蔵していません。入力電圧および出力電圧を使用してオン時間タイマを設定することにより、700kHzの擬似固定周波数で動作します。オン時間は、入力電圧に逆比例し、出力電圧に比例するため、デューティ比がVOx/VINxのとき周波数は一定となります。

自動スキップEco-Mode™制御

TPS54294は、軽負荷時の効率を向上させる自動スキップEco-Mode™を備えています。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップルの谷がゼロ・レベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロ・インダクタ電流が検出されると、整流MOSFETがオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときのほぼ1/2に保持されます。これは、より小さな負荷電流で出力コンデンサを公称出力電圧まで放電するには、より長い時間がかかるためです。軽負荷動作電流$I_{Ox(LL)}$への遷移点は、f_{SW} = 700kHzとして式（1）で見積もることができます。

$$I_{Ox(LL)} = \frac{1}{2 \times L1x \times f_{SW}} \times \frac{(V_{INX} - V_{OX}) \times V_{OX}}{V_{INX}} \quad (1)$$

ソフト・スタートおよびプリバイアス付きソフト・スタート

TPS54294には、チャネル毎に1.0msのソフト・スタートが内蔵されています。ENxピンがHighになると、内部DACによってPWMコンパレータに対するリファレンス電圧が上昇し始めます。スタートアップ中には出力電圧のスムーズな制御が維持されます。

出力がプリバイアスされている状態で、スタートアップ中に出力から電流を引き込むのを防止するために、TPS54294には独自の回路が搭載されています。ソフト・スタートでプリバイアス・レベルよりも高い電圧が指定される（内部ソフト・スタートが内部帰還電圧VFBxよりも大きくなる）と、コントローラは、最初のローサイドFETゲート・ドライバ・パルスを狭いオン時間で開始することにより、ゆっくりと同期整流を起動します。次に、そのオン時間が（1-D）で示される時間と一致するまで（Dはコンバータのデューティ・サイクル）、オン時間をサイクル毎にインクリメントします。この方式により、プリバイアス出力の初期シンクを防ぐとともに、出力電圧（VOx）が立ち上がった後、プリバイアス・スタートアップから通常モード動作へと、スムーズにレギュレーション状態まで上昇します。

パワー・グッド

TPS54294には、VFBxで測定されるパワー・グッド出力があります。パワー・グッド機能はソフト・スタートの終了後に起動されます。出力電圧が目標値の16%以内である場合、内部のコンパレータによりパワー・グッド状態が検出され、1.5msの遅延時間後にパワー・グッド信号がHighになります。スタートアップ時には、パワー・グッド信号のグリッチを避けるために、1.5msのUVPイネーブル遅延時間が経過した後で、この内部遅延時間が開始されます。帰還電圧が目標値の±16%の範囲外になった場合は、2μs後にパワー・グッド信号がLowになります。

過電流保護

出力過電流保護（OCP）は、サイクル毎のバレー検出制御回路を使用して実現されています。SWxピンとPGNDxピンの間のローサイドFETスイッチ電圧を測定することで、スイッチ電流がモニタされます。この電圧は、スイッチ電流およびFETのオン抵抗に比例します。測定精度を向上させるため、電圧センスは温度補償されます。

ハイサイドFETスイッチのオン時間中、スイッチ電流は、VINx、VOx、オン時間、および出力インダクタ値によって決定されるリニアなレートで増加します。ローサイドFETスイッチのオン時間中は、この電流はリニアに減少します。スイッチ電流の平均値が、負荷電流I_{OUTx}です。ローサイドFET上でセンスされた電圧が、電流制限に比例した電圧より高い場合、コンバータは、測定電圧が電流制限に対応した電圧を下回り、新しいスイッチング・サイクルが開始されるまでの間、ローサイド・スイッチをオンに保持します。以降のスイッチング・サイクルでは、CCM用に決定された値にオン時間が設定され、同じ方法で電流がモニタされます。

このようなタイプの過電流保護には、いくつかの重要な考慮事項があります。負荷電流は、ピーク・ツー・ピーク・インダクタ電流の1/2だけ過電流スレッショルドよりも高くなります。また、電流が制限されている間は、出力電圧が低下する傾向があります。これは、必要な負荷電流が、コンバータから供給される電流よりも高い場合があるためです。過電流状態が解消されると、出力電圧がレギュレーション電圧に戻ります。これは非ラッチ方式の保護です。

過電圧/低電圧保護

TPS54294では、抵抗で分割された帰還電圧を監視することで、過電圧と低電圧を検出しています。帰還電圧がリファレンス電圧の120%を超えると、OVPコンパレータの出力がHighになり、ハイサイドMOSFETドライバとローサイドMOSFETドライバの両方がオフにラッチされます。帰還電圧がリファレンス電圧の68%より低くなると、UVPコンパレータ出力がHighになり、内部のUVP遅延カウンタがカウントを開始します。1.5msの経過後、TPS54294はハイサイドMOSFETとローサイドMOSFETの両方のドライバをオフにラッチします。この機能は、パワーオンから約（1.7×ソフト・スタート時間）後にイネーブルになります。OVPとUVPのラッチ・オフ状態は、ENの状態が切り替わるとリセットされます。

UVLO保護

低電圧誤動作防止（UVLO）機能は、V_{REG5}ピンの電圧を監視します。V_{REG5}の電圧がUVLOスレッショルドを下回ると、TPS54294はシャットダウンされます。電圧が上昇してUVLOスレッショルドを超えると、コンバータは直ちに再起動します。

過熱シャットダウン

TPS54294は、自身の温度を監視しています。温度がスレッショルド値（標準155℃）を超えると、デバイスはシャットダウンされます。温度が低下してスレッショルドを下回ると、ICは再起動されます。

VIN1が立ち上がり、VREG5出力電圧がその公称値よりも低いときには、過熱シャットダウン・スレッショルドは155℃よりも低くなります。VIN1が上昇している間、T_Jは110℃未満に保持される必要があります。

標準的特性

特に記述のない限り、1つの出力がイネーブル。VI = VIN1またはVIN2。
VIN = 12V、T_A = 25℃(特に記述のない限り)

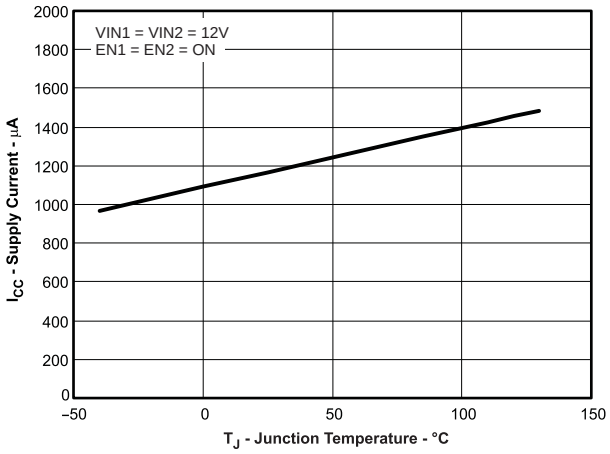


図 1. 入力電流　対　接合部温度

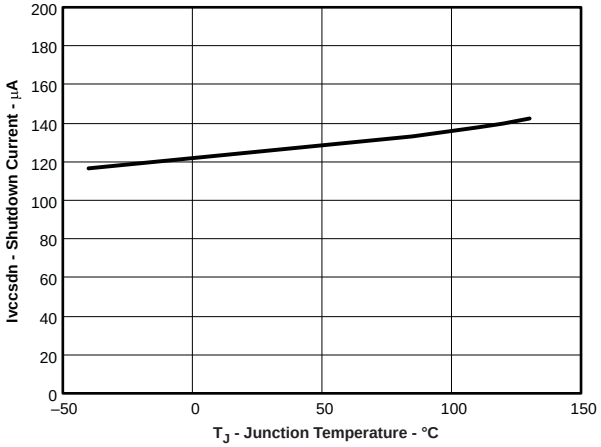


図 2. 入力シャットダウン電流　対　接合部温度

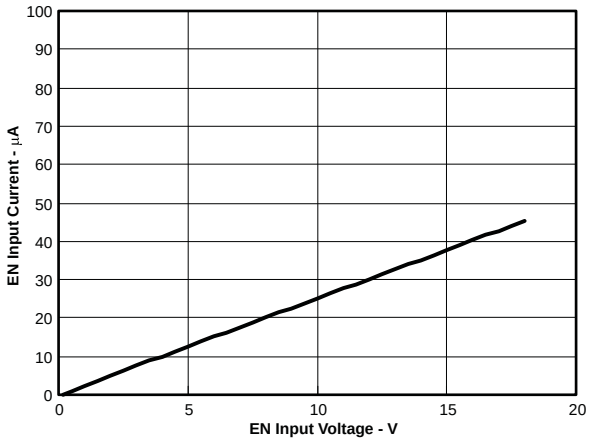


図 3. EN電流　対　EN電圧(VEN = 12V)

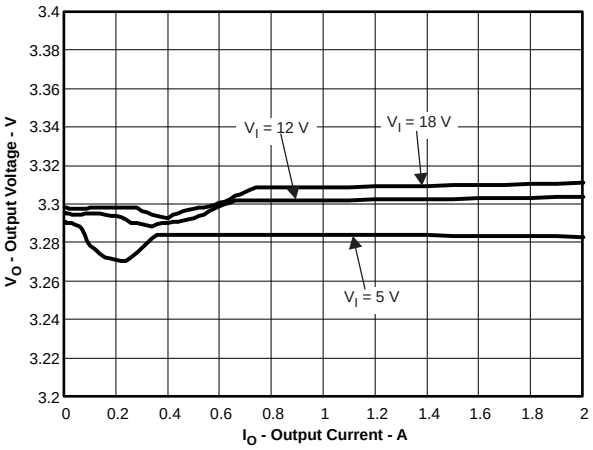


図 4. VO1 = 3.3V、出力電圧　対　出力電流

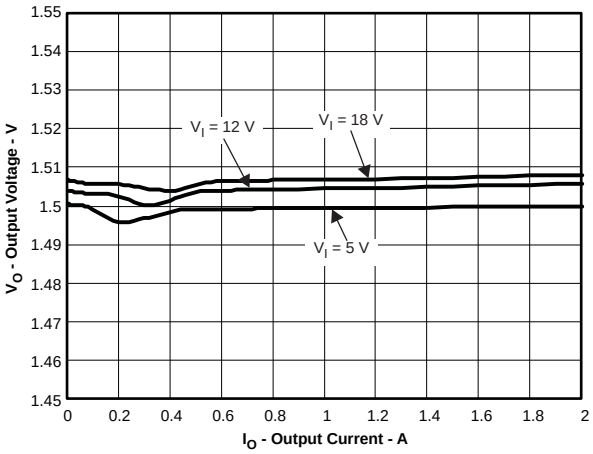


図 5. VO2 = 1.5V、出力電圧　対　出力電流

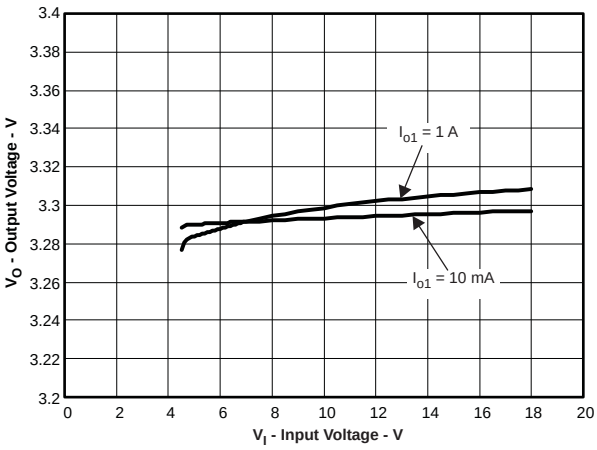


図 6. VO1 = 3.3V、出力電圧　対　入力電圧

標準的特性

特に記述のない限り、1つの出力がイネーブル。VI = VIN1またはVIN2。
VIN = 12V、T_A = 25℃(特に記述のない限り)

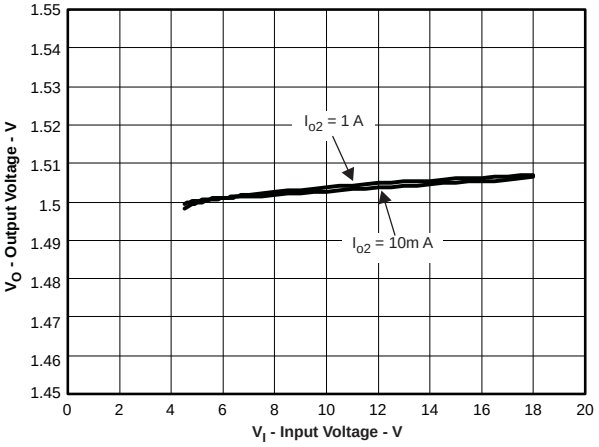


図 7. VO2 = 1.5V、出力電圧　対　入力電圧

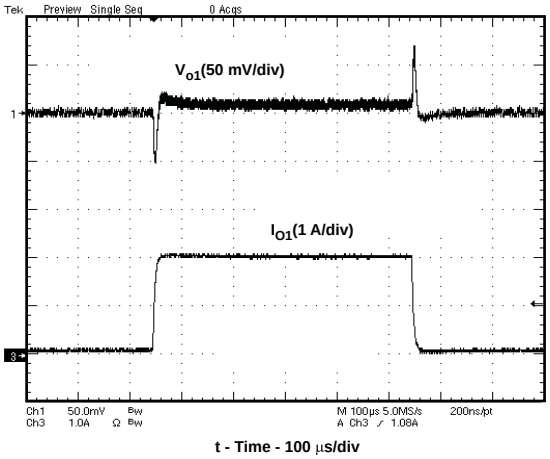


図 8. VO1 = 3.3V、0A～2A負荷過渡応答

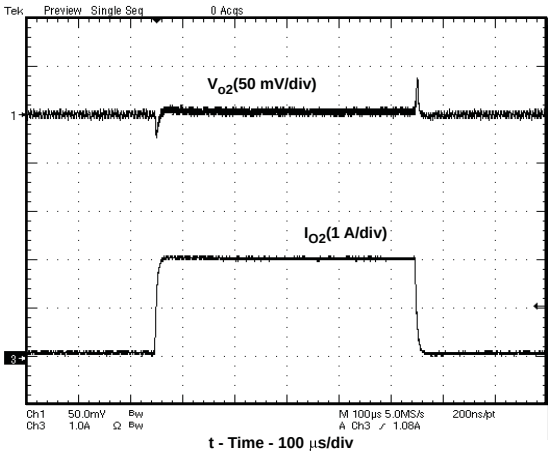


図 9. VO2 = 1.5V、0A～2A負荷過渡応答

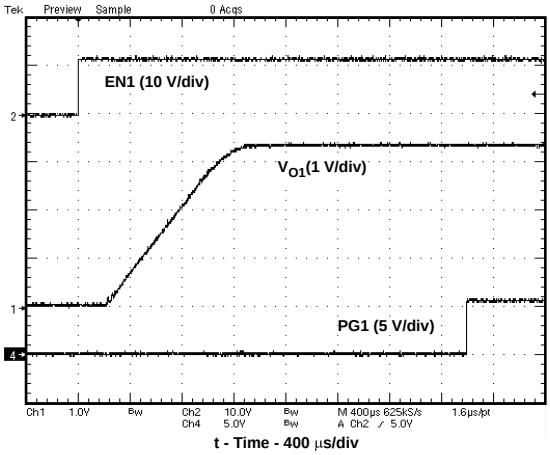


図 10. VO1 = 3.3V、ソフト・スタートおよび
パワー・グッド

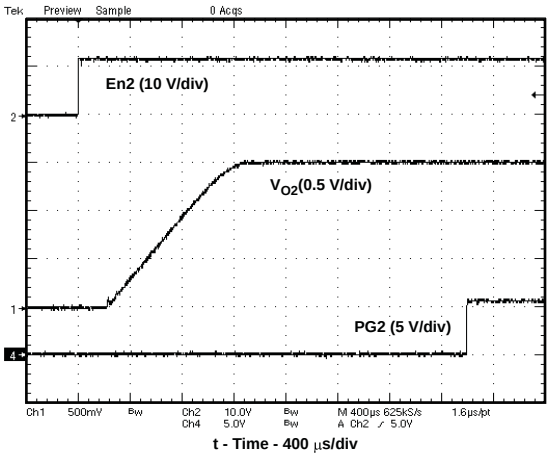


図 11. VO２ = 1.5V、ソフト・スタートおよび
パワー・グッド

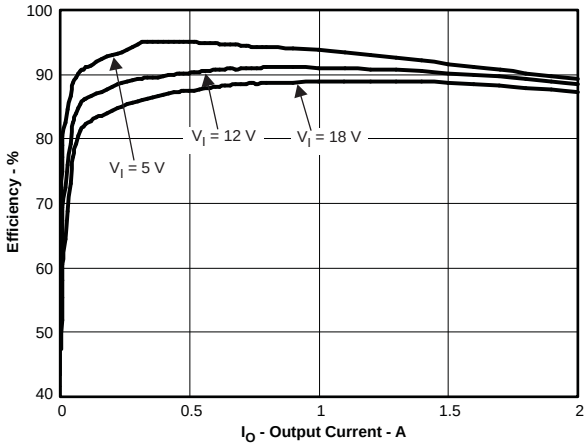


図 12. VO1 = 3.3V、効率 対 出力電流

標準的特性

特に記述のない限り、1つの出力がイネーブル。VI = VIN1またはVIN2。
VIN = 12V、T_A = 25℃(特に記述のない限り)

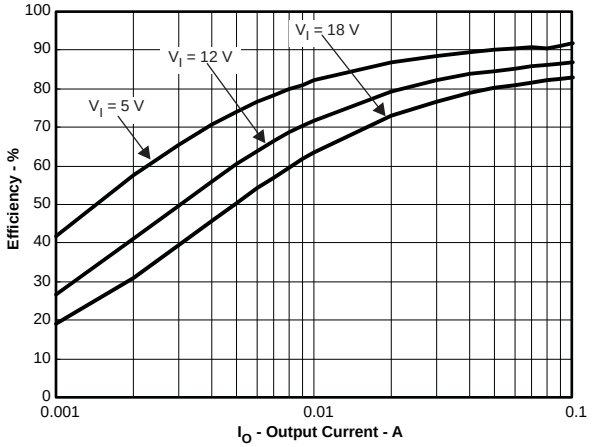


図 13. VO1 = 3.3V、効率　対　出力電流

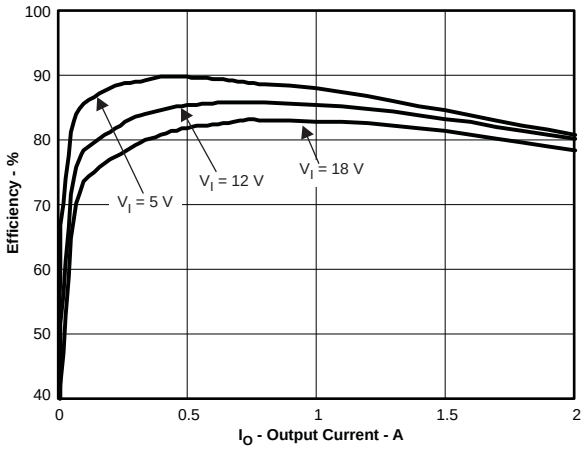


図 14. VO1 = 1.5V、効率　対　出力電流

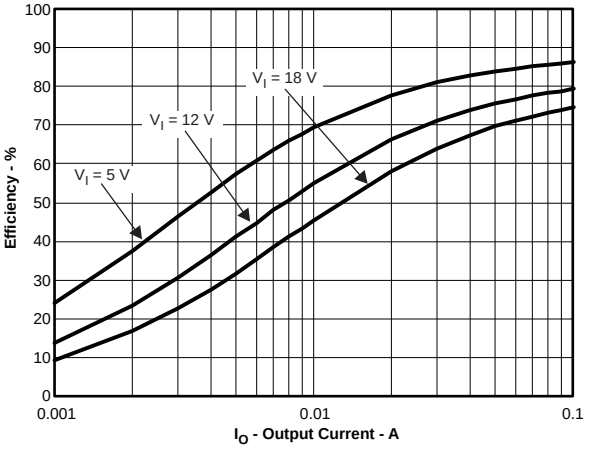


図 15. VO2 = 1.5V、効率　対　出力電流

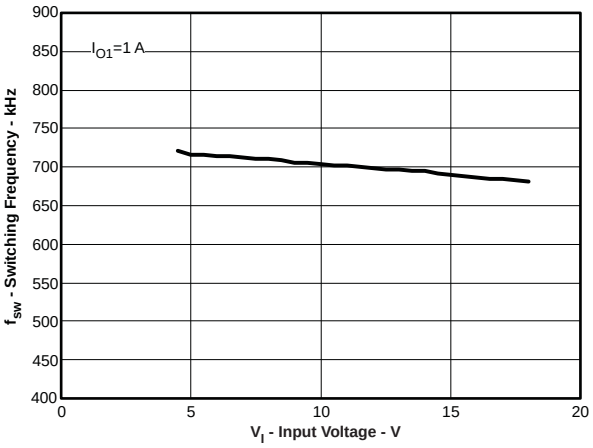


図 16. VO1 = 3.3V、
スイッチング周波数　対　入力電圧

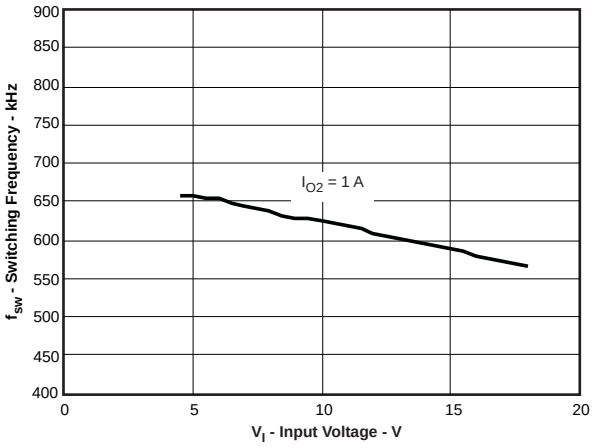


図 17. VO2 = 1.5V、
スイッチング周波数　対　入力電圧

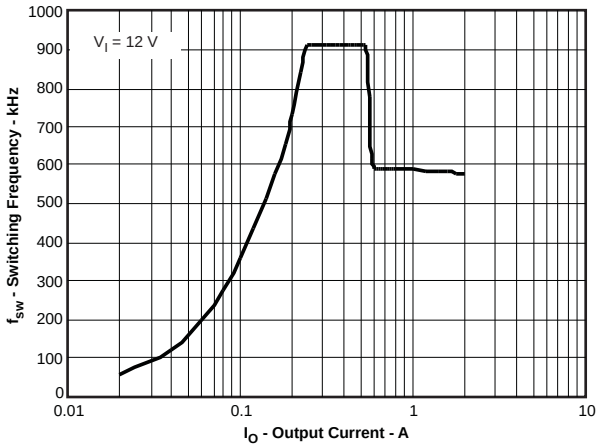


図 18. VO1 = 3.3V、
スイッチング周波数　対　出力電流

標準的特性

特に記述のない限り、1つの出力がイネーブル。VI = VIN1またはVIN2。
VIN = 12V、T_A = 25℃(特に記述のない限り)

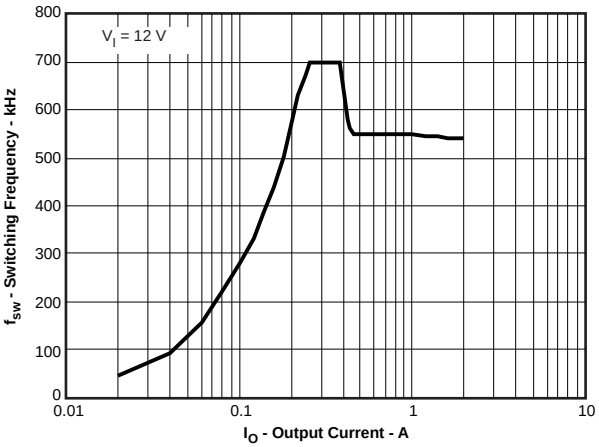


図 19. VO2 = 1.5V、スイッチング周波数　対　出力電流

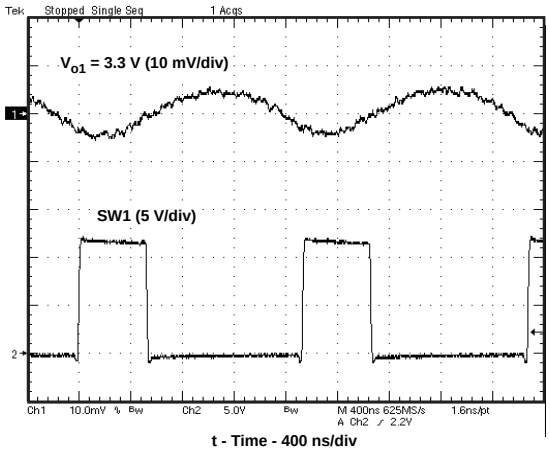


図 20. VO1 = 3.3V、VO1リップル電圧(I_{O1} = 2A)

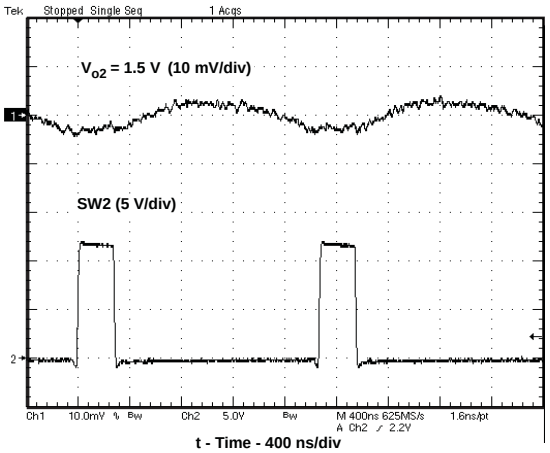


図 21. VO2 = 1.5V、リップル電圧(I_{O2} = 2A)

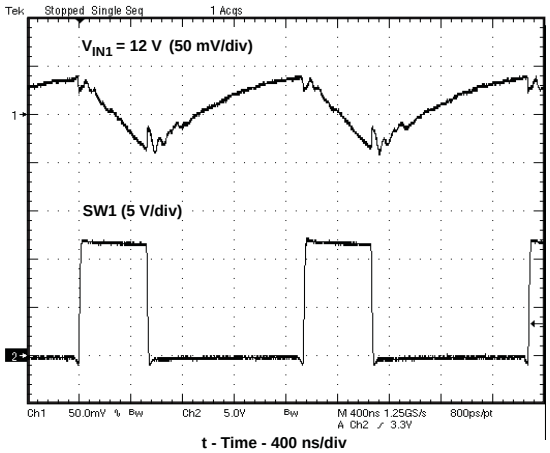


図 22. VIN1入力電圧リップル(I_{O1} = 2A)

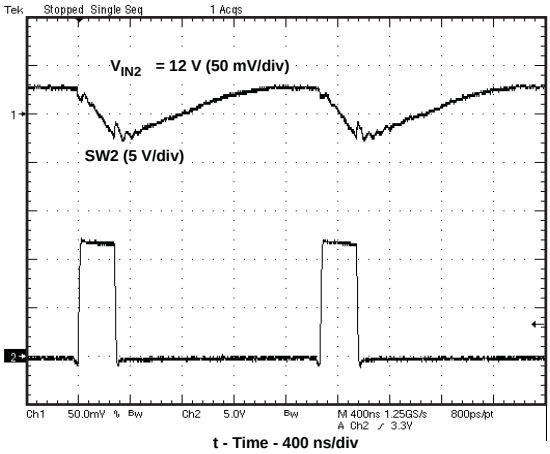


図 23. VIN2入力電圧リップル(I_{O2} = 2A)

設計ガイド

ステップ毎の設計手順

設計プロセスを開始するには、いくつかのアプリケーション・パラメータについて知っておく必要があります。

- 入力電圧範囲
- 出力電圧
- 出力電流

すべての式で、xは式が両方のコンバータに適用されることを示しています。計算には、スイッチング周波数の見積もりとして700kHzを使用しています。

出力電圧抵抗の選択

出力電圧は、出力ノードとVFBxピンとの間の分圧抵抗回路によって設定されます。公差1%以内の分圧抵抗を使用することを推奨します。最初は、式 (2) を使用してVOxを計算します。

非常に軽い負荷での効率を向上させるには、より大きな値の抵抗の使用を考慮します。ただし、抵抗値が大きすぎると、ノイズの影響を受けやすくなり、VFBx入力電流からの電圧誤差が目立つようになります。

$$V_{Ox} = 0.765\ V \times \left(1 + \frac{R1x}{R2x}\right) \qquad (2)$$

出力フィルタの選択

TPS54294で使用する出力フィルタは、LC回路です。このLCフィルタは、下記の周波数に二重極を持ちます。

$$F_P = \frac{1}{2\pi\sqrt{L_{OUT} \times C_{OUT}}} \qquad (3)$$

低周波数では、出力設定点分圧抵抗回路、およびTPS545294の内部ゲインによって、全体のループ・ゲインが設定されます。低周波数での位相は180度です。出力フィルタの極周波数では、ディケード毎にゲインが–40dBロールオフし、位相は急速に減少します。D-CAP2™によって高周波数のゼロが導入されることで、ゲインのロールオフがディケードあたり–20dBに減り、位相はゼロ周波数の1ディケード上で90度に増加します。出力フィルタに対して選択されるインダクタとコンデンサは、式 (3) の二重極が高周波ゼロより低く、かつ十分近い値 (位相ブーストが得られ、高周波ゼロによって回路安定化のための十分な位相マージンが得られるように) となるよう選択する必要があります。この要件を満足するための推奨値を表1に示します。

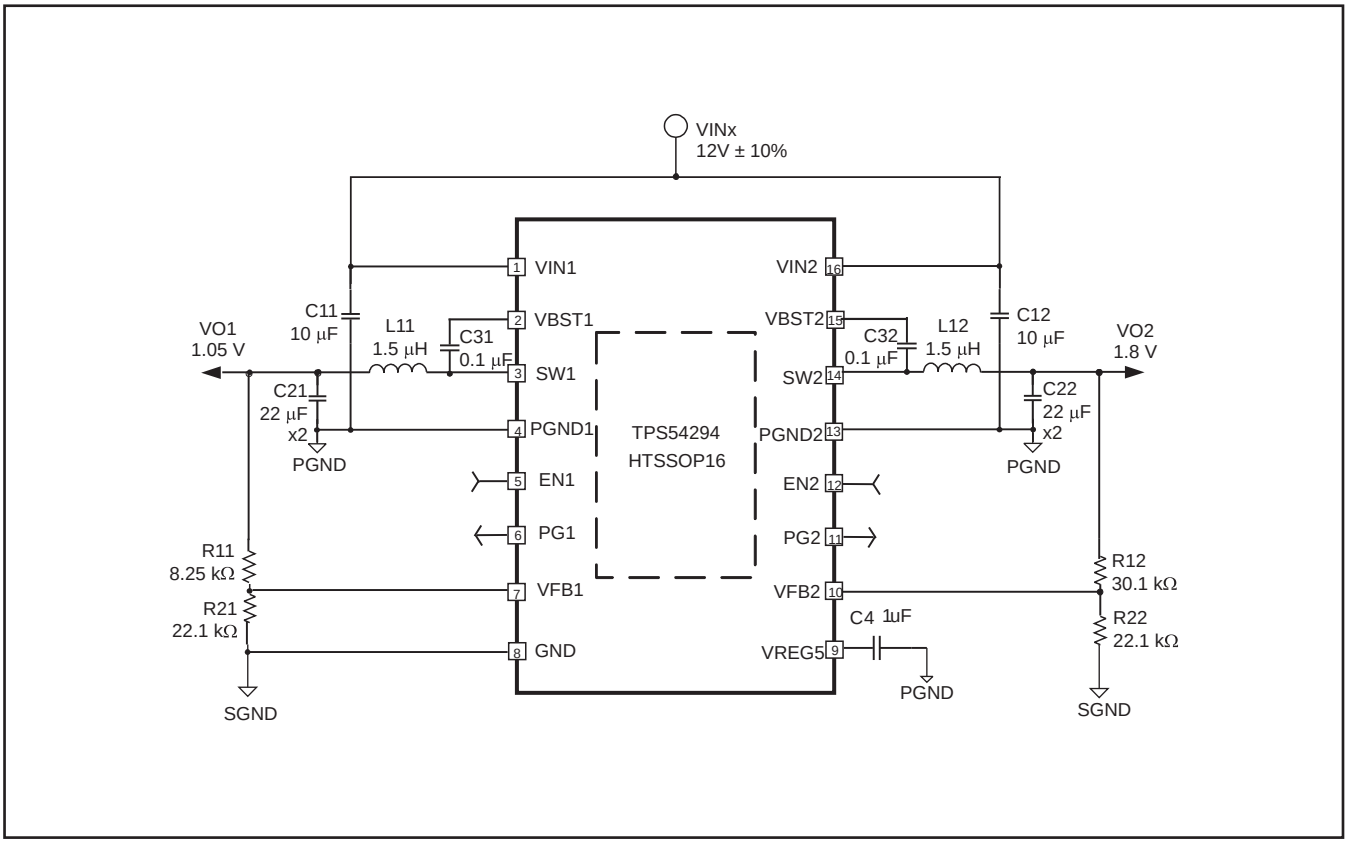


図 24. 設計例の回路図

出力電圧（V）	R1x (kΩ)	R2x (kΩ)	Cffx (pF)	L1x (μH)	C2x (μF)
1	6.81	22.1		1.0 - 1.5	22 - 68
1.05	8.25	22.1		1.0 - 1.5	22 - 68
1.2	12.7	22.1		1.0 - 1.5	22 - 68
1.5	21.5	22.1		1.5	22 - 68
1.8	30.1	22.1	5 - 22	1.5	22 - 68
2.5	49.9	22.1	5 - 22	2.2	22 - 68
3.3	73.2	22.1	5 - 22	2.2	22 - 68
5	124	22.1	5 - 22	3.3	22 - 68

表 1. 推奨部品値

1.8V以上の高出力電圧では、R1と並列にフィードフォワード・コンデンサ(Cff)を追加することにより、追加の位相ブーストを実現できます。

インダクタのピーク・ツー・ピーク・リップル電流、ピーク電流、およびRMS電流は、式 (4)、式 (5)、および式 (6)で求めることができます。インダクタの飽和電流定格は、ピーク電流の計算値より大きい必要があります。RMSまたは熱電流定格は、RMS電流の計算値より大きい必要があります。

計算には、スイッチング周波数f_{SW}として700kHzを使用します。選択したインダクタが、式 (5)のピーク電流および式 (6)のRMS電流の定格を満たすことを確認してください。

$$\Delta I_{L1x} = \frac{V_{Ox}}{V_{INx(MAX)}} \times \frac{V_{INx(MAX)} - V_{Ox}}{L1x \times f_{SW}} \quad (4)$$

$$I_{Lpeakx} = I_{Ox} + \frac{\Delta I_L}{2} \quad (5)$$

$$I_{LOx(RMS)} = \sqrt{I_{Ox}^2 + \frac{1}{12}\Delta I_L^2} \quad (6)$$

この設計例では、ピーク電流の計算値が2.46A、VO1に対するRMS電流の計算値が2.02Aです。ここでは、インダクタとしてTDKのCLF7045-1R5Nを使用し、電流定格はインダクタンスの変化に対して7.3A、温度上昇に対して4.9Aです。

コンデンサの値とESRによって、出力電圧リップルの大きさが決まります。TPS54294は、セラミックまたは他の低ESRコンデンサとともに使用するよう設計されています。推奨値の範囲は22μF～68μFです。出力コンデンサに対して必要なRMS電流定格は、式 (7)で求められます。

$$I_{COx(RMS)} = \frac{V_{Ox} \times (V_{INx} - V_{Ox})}{\sqrt{12} \times V_{INx} \times L_{Ox} \times f_{SW}} \quad (7)$$

この設計では、出力コンデンサとしてTDKのC3216X5R0J226M (22μF)を2個使用します。標準ESRはそれぞれ2mΩです。RMS電流の計算値は0.19Aであり、各出力コンデンサの定格は4Aです。

入力コンデンサの選択

TPS54294には、入力デカップリング・コンデンサと、アプリケーションによってはバルク・コンデンサが必要となります。デカップリング・コンデンサには、10μF以上のセラミック・コンデンサを推奨します。さらに、安定性を向上させ、SWxノードでのオーバーシュートを低減するため、ピン1およびピン16とグランドとの間に0.1μFのセラミック・コンデンサを追加することを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

ブートストラップ・コンデンサの選択

適切な動作のためには、VBSTxピンとSWxピンの間に0.1μFのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。

VREG5コンデンサの選択

適切な動作のためには、VREG5ピンとGNDピンの間に1μFのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。

熱特性について

この16ピンPWPパッケージには、露出したサーマル・パッドがあります。このサーマル・パッドは、プリント基板（PCB）に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用します。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

露出したサーマル・パッドについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD™ Thermally Enhanced Package』（TI文献番号SLMA002）およびアプリケーション・ブリーフ『PowerPAD™ Made Easy』（TI文献番号SLMA004）を参照してください。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。

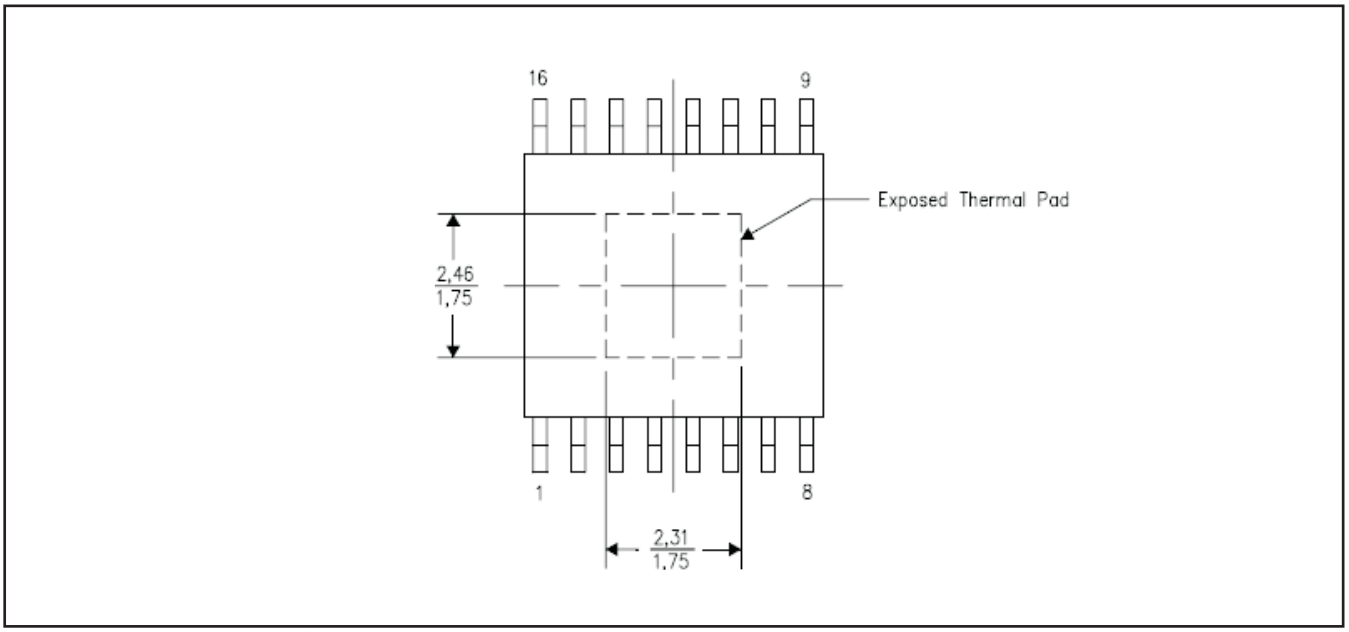
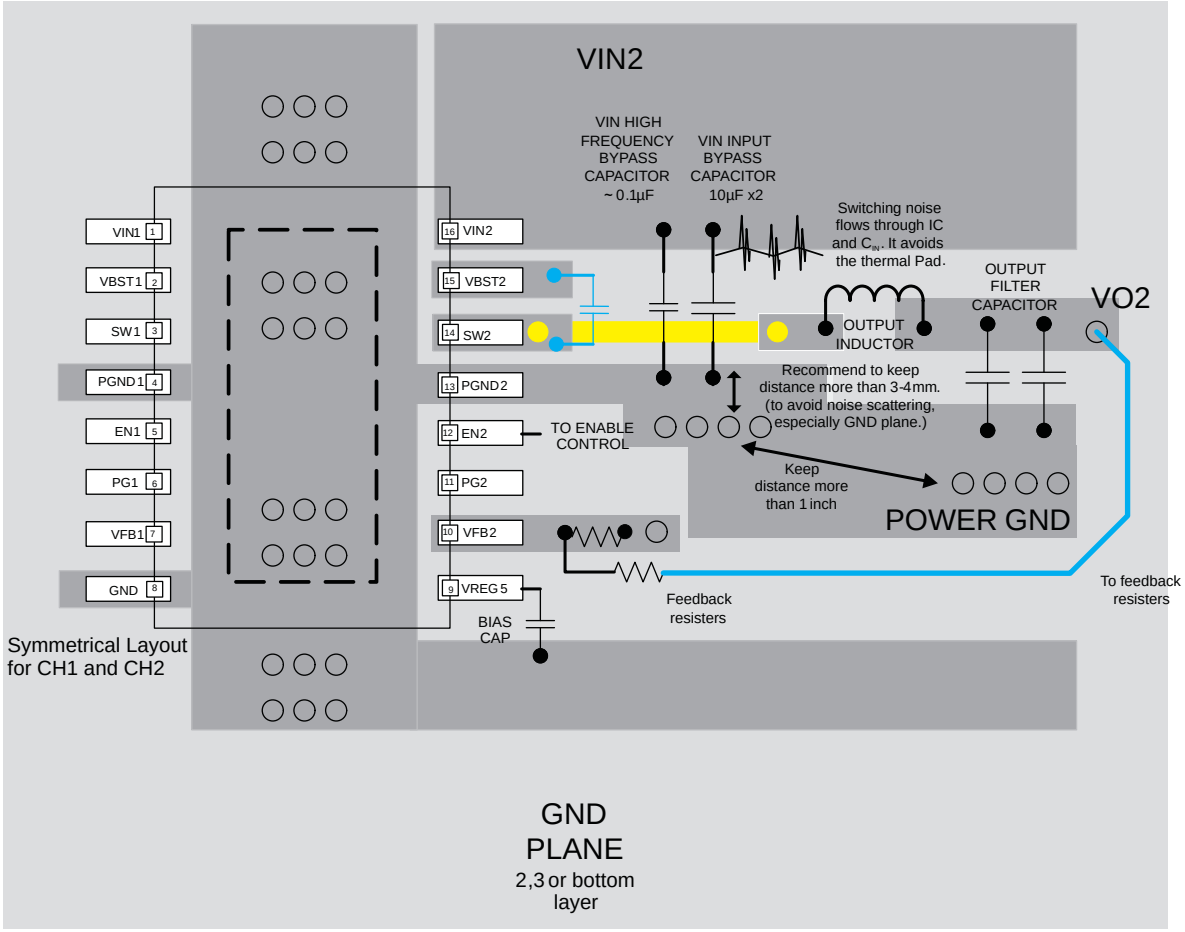


図 25. サーマル・パッドの寸法

レイアウトについての考慮事項

1. 入力電流ループは可能な限り小さくします。また、サーマル･パッドには入力スイッチング電流が流れないようにします。
2. 寄生容量およびインダクタンスを低減し、放射を最小限に抑えるために、SWノードは物理的に可能な限り小さく、かつ短くします。
3. アナログ部品と非スイッチング部品は、スイッチング部品から離して配置します。
4. 信号グランドと電源グランドは一点接続します。
5. デバイスの下をスイッチング電流が流れないようにします。
6. VINxおよびPGNDxのパターン･ラインを幅広くします。
7. デバイスの露出したパッドは、PGNDに半田付けする必要があります。
8. VREG5コンデンサは、デバイスの近くに配置し、GNDに接続する必要があります。
9. 出力コンデンサは、幅広いパターンでPGNDに接続する必要があります。
10. 電圧帰還ループはできる限り短くし、可能であればグランド･シールドを使用します。
11. 出力とデバイスの帰還ピンとの間に、ケルビン接続を使用します。
12. VIN、SW、およびPGND接続に対しては、十分なビアを設けることを推奨します。
13. VIN、SW、およびPGNDのPCBパターンは、可能な限り幅広くします。
14. VINコンデンサは、可能な限りデバイスの近くに配置します。



○ GNDプレーンへのビア

- 青色の部分は、裏側に配置できます。
- SWxピンは、別の層を通してインダクタに接続します(黄色の線)。

図 26. TPS54294のレイアウト

パッケージ情報

製品情報

Orderable Device	Status[1]	Package Type	Package Drawing	Pins	Package Qty	Eco Plan[2]	Lead/ Ball Finish	MSL Peak Temp[3]	Samples (Requires Login)
TPS54294PWP	ACTIVE	HTSSOP	PWP	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS54294PWPR	ACTIVE	HTSSOP	PWP	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

[1] マーケティング･ステータスは次のように定義されています。
ACTIVE：製品デバイスが新規設計用に推奨されています。
LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。
PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。
OBSOLETE：TIによりデバイスの生産が中止されました。

[2] エコ･プラン - 環境に配慮した製品分類プランであり、Pb-Free（RoHS）、Pb-Free（RoHS Expert）およびGreen（RoHS & no Sb/Br）があります。最新情報および製品内容の詳細については、http://www.ti.com/productcontentでご確認ください。
TBD：Pb-Free/Green変換プランが策定されていません。
Pb-Free（RoHS）：TIにおける “Lead-Free” または “Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1％を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー･プロセスでの使用に適しています。
Pb-Free（RoHS Exempt）：この部品は、1）ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2）ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free（RoHS）と考えられます。
Green（RoHS & no Sb/Br）：TIにおける “Green” は、“Pb-Free”（RoHS互換）に加えて、臭素 （Br）およびアンチモン（Sb）をベースとした難燃材を含まない （均質な材質中のBrまたはSb重量が0.1％を超えない）ことを意味しています。

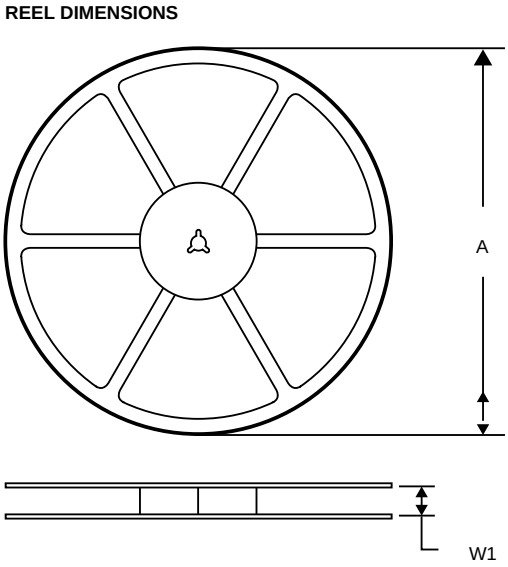
[3] MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

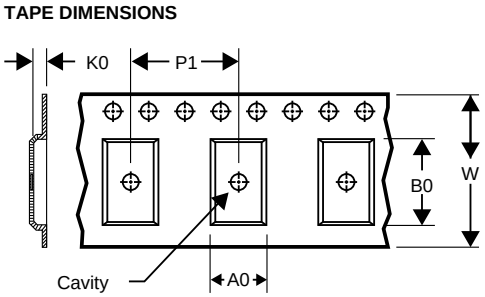
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任は負いかねます。

パッケージ･マテリアル情報

テープおよびリール･ボックス情報



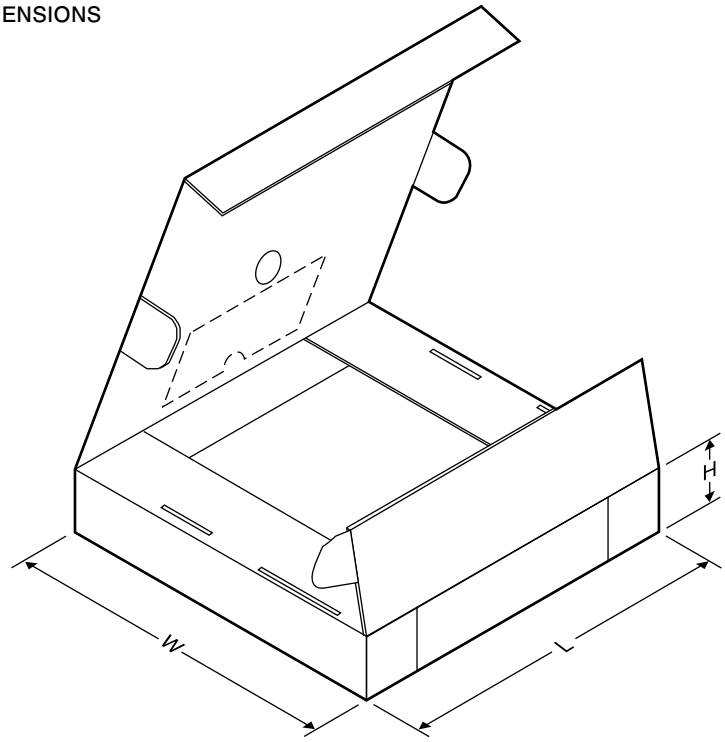


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54294PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

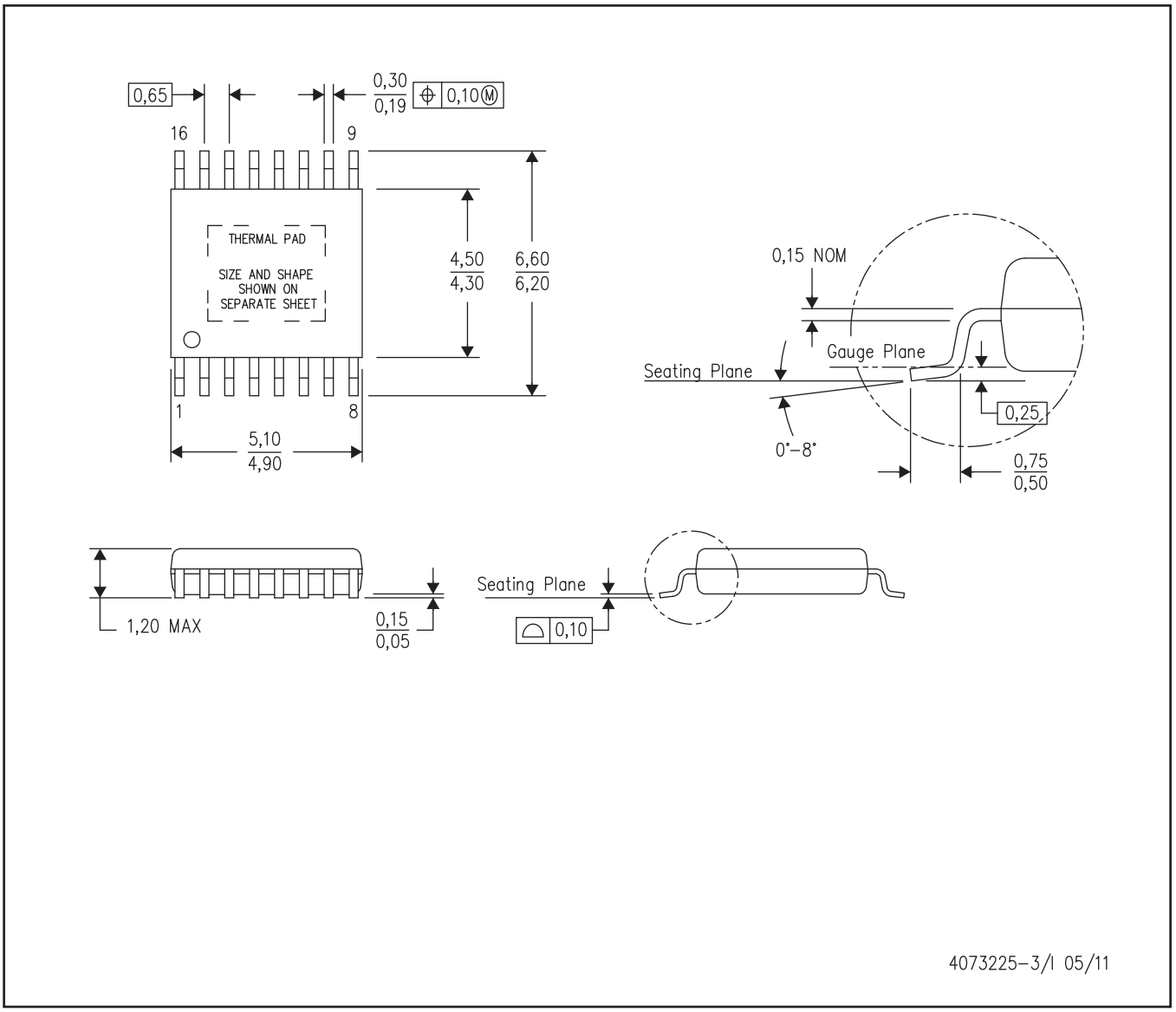
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54294PWPR	HTSSOP	PWP	16	2000	346.0	346.0	29.0

PWP(R-PDSO-G16) PowerPAD™ PLASTIC SMALL OUTLINE



注：A. 直線寸法はすべてミリメートル単位です。
B. 本図は予告なしに変更することがあります。
C. ボディ寸法には、0.15mmを超えるモールド･フラッシュや突起は含まれません。
D. このパッケージは、基板上のサーマル･パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル･ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
F. JEDEC MO-153に準拠します。

サーマルパッド・メカニカル・データ

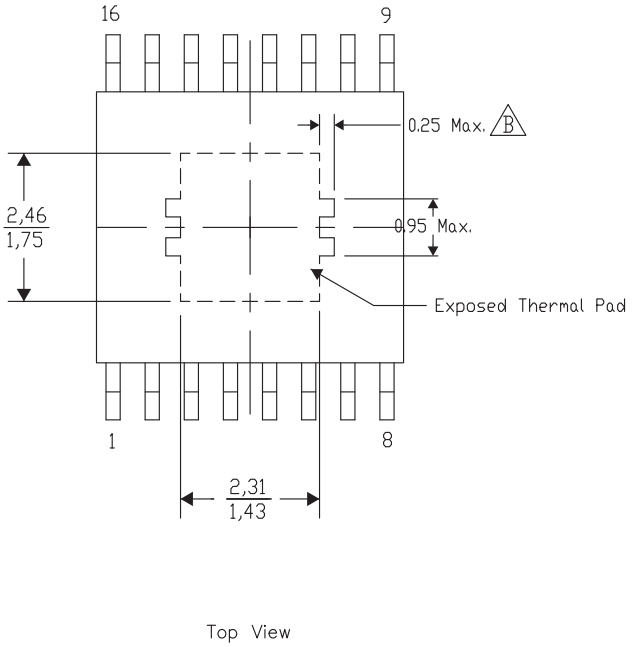
PWP(R-PDSO-G16)

熱的特性に関する資料

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページwww.ti.comで入手できます。

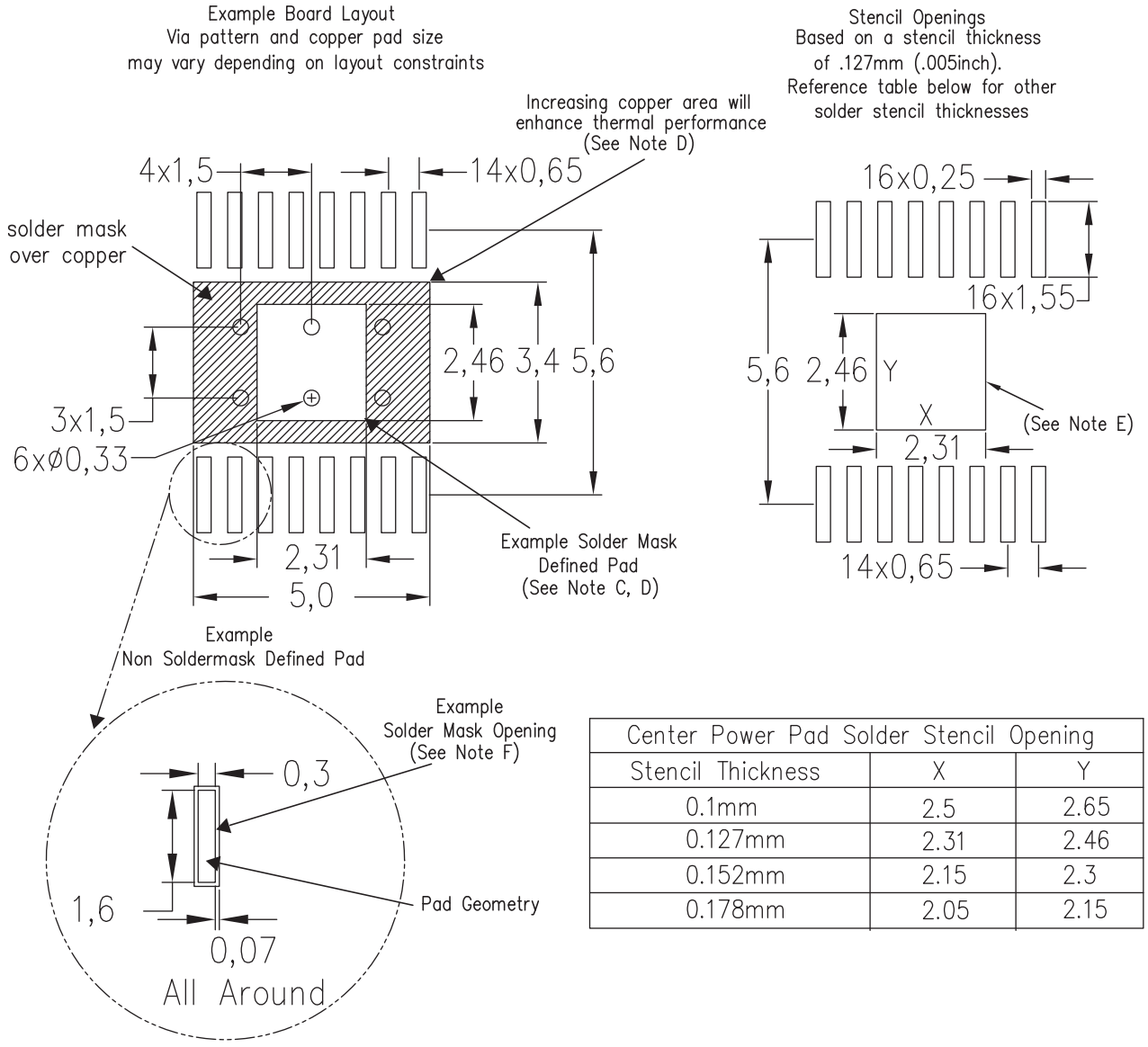
このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



注：A. 全ての線寸法の単位はミリメートルです。
B. Exposed tie strap features may not be present.

4206332-6/Y 10/11

サーマル・パッド寸法図

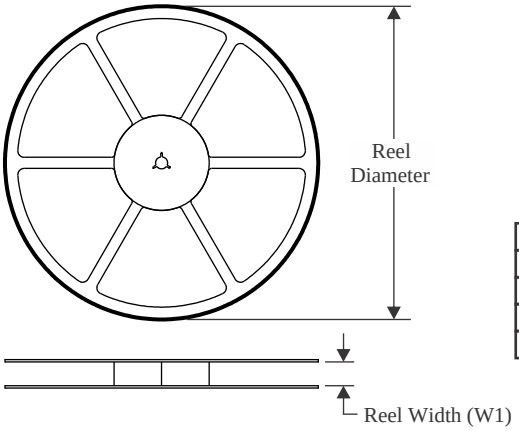


Center Power Pad Solder Stencil Opening		
Stencil Thickness	X	Y
0.1mm	2.5	2.65
0.127mm	2.31	2.46
0.152mm	2.15	2.3
0.178mm	2.05	2.15

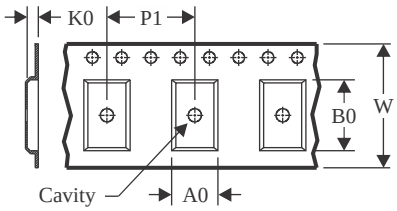
注：A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002, SLMA004)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

TAPE AND REEL INFORMATION

REEL DIMENSIONS

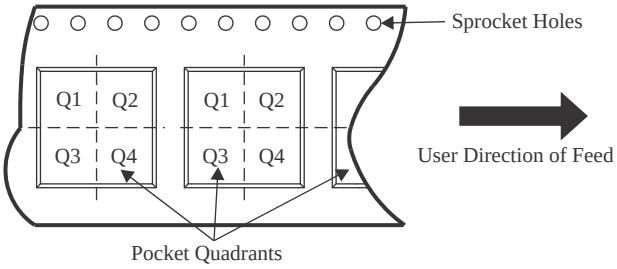


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

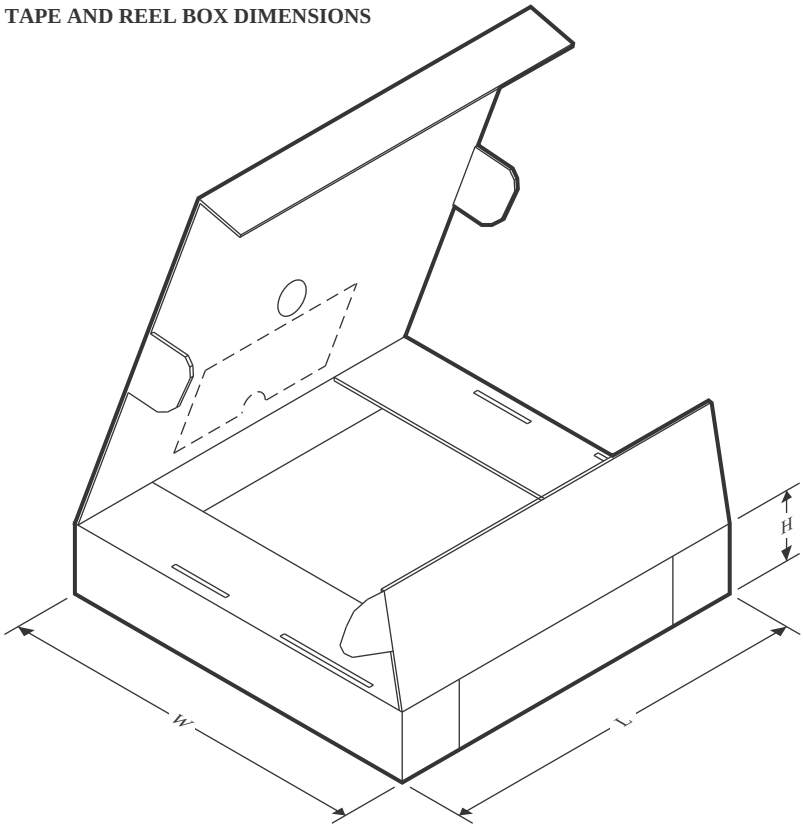
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54294PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPS54294RSAR	QFN	RSA	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS54294RSAT	QFN	RSA	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

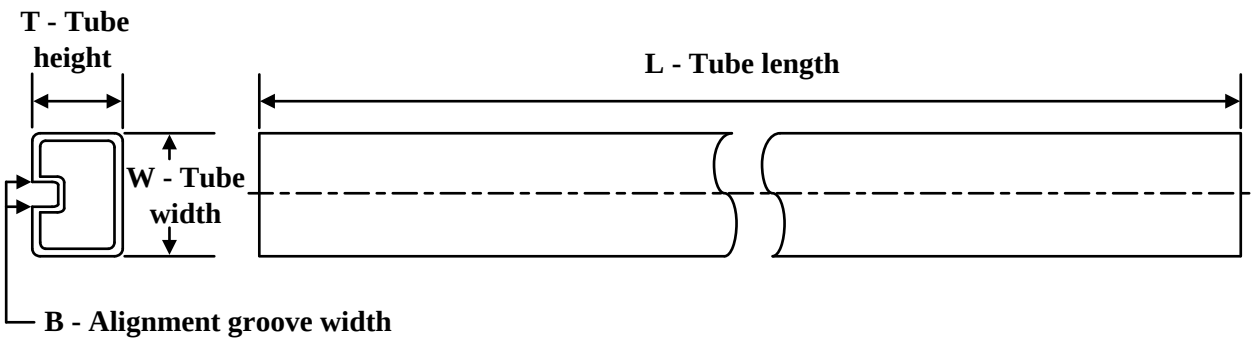
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54294PWPR	HTSSOP	PWP	16	2000	353.0	353.0	32.0
TPS54294RSAR	QFN	RSA	16	3000	346.0	346.0	33.0
TPS54294RSAT	QFN	RSA	16	250	182.0	182.0	20.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS54294PWP	PWP	HTSSOP	16	90	530	10.2	3600	3.5
TPS54294PWP	PWP	HTSSOP	16	90	530	10.2	3600	3.5
TPS54294PWP.A	PWP	HTSSOP	16	90	530	10.2	3600	3.5
TPS54294PWP.A	PWP	HTSSOP	16	90	530	10.2	3600	3.5
TPS54294PWP.B	PWP	HTSSOP	16	90	530	10.2	3600	3.5
TPS54294PWP.B	PWP	HTSSOP	16	90	530	10.2	3600	3.5

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月