

目次

1 特長.....	1	8.18 TON_DELAY (アドレス = 60h) [リセット = 000Xh].....	47
2 アプリケーション.....	1	8.19 TON_RISE (アドレス = 61h) [リセット = F80Xh].....	48
3 説明.....	1	8.20 TOFF_DELAY (アドレス = 64h) [リセット = 000Xh].....	49
4 デバイスのオプション.....	3	8.21 TOFF_FALL (アドレス = 65h) [リセット = F80Xh].....	50
5 ピン構成および機能.....	4	8.22 STATUS_BYTE (アドレス = 78h) [リセット = 81h].....	51
6 仕様.....	6	8.23 STATUS_WORD (アドレス = 79h) [リセット = 2800h].....	52
6.1 絶対最大定格.....	6	8.24 STATUS_CML (アドレス = 7Eh) [リセット = 00h].....	53
6.2 ESD 定格.....	6	8.25 STATUS_MFR_SPECIFIC (アドレス = 80h) [リセ	
6.3 推奨動作条件.....	6	ット = 00h].....	54
6.4 熱に関する情報.....	7	8.26 READ_VOUT (アドレス = 8Bh) [リセット = 0000h].....	55
6.5 電気的特性.....	7	8.27 READ_IOUT (アドレス = 8Ch) [リセット = DXXXh]....	56
6.6 代表的特性.....	13	8.28 READ_TEMP1 (アドレス = 8Dh) [リセット = 0XXXh]..	57
7 詳細説明.....	14	8.29 PMBUS_REVISION (アドレス = 98h) [リセット = 55h].....	58
7.1 概要.....	14	8.30 MFR_ID (アドレス = 99h) [リセット = 4954h].....	59
7.2 機能ブロック図.....	14	8.31 MFR_MODEL (アドレス = 9Ah) [リセット = 00284B54h].....	60
7.3 機能説明.....	15	8.32 MFR_REVISION (アドレス = 9Bh) [リセット = X0h]....	61
7.4 デバイスの機能モード.....	26	8.33 IC_DEVICE_ID (アドレス = ADh) [リセット = 00284B544954h].....	62
8 プログラミングレジスタ.....	27	8.34 IC_DEVICE_REV (アドレス = AEh) [リセット = 00h]..	63
8.1 OPERATION (アドレス = 1h) [リセット = 00h].....	29	8.35 SYS_CFG_USER1 (アドレス = D1h) [リセット = XXh].....	64
8.2 ON_OFF_CONFIG (アドレス = 2h) [リセット = XXh]....	31	8.36 PASSKEY (アドレス = D2h) [リセット = X0h].....	65
8.3 CLEAR_FAULTS (アドレス = 3h) [リセット = 00h].....	32	8.37 COMP (アドレス = D4h) [リセット = XXh].....	66
8.4 WRITE_PROTECT (アドレス = 10h) [リセット = 00h]...33		8.38 VBOOT (アドレス = D5h) [リセット = XXh].....	67
8.5 STORE_USER_ALL (アドレス = 15h) [リセット = 00h].....	34	8.39 NVM_CHECKSUM (アドレス = D9h) [リセット = 0000h].....	68
8.6 RESTORE_USER_ALL (アドレス = 16h) [リセット = 00h].....	35	8.40 FUSION_ID0 (アドレス = FCh) [リセット = 02C0h]....	69
8.7 CAPABILITY (アドレス = 19h) [リセット = C0h].....	36	8.41 FUSION_ID1 (アドレス = FDh) [リセット = 4h].....	70
8.8 VOUT_MODE (アドレス = 20h) [リセット = 96h].....	37	9 アプリケーションと実装.....	71
8.9 VOUT_COMMAND (アドレス = 21h) [リセット = 0000h].....	38	9.1 アプリケーション情報.....	71
8.10 VOUT_MARGIN_HIGH (アドレス = 25h) [リセット = 0000h].....	39	9.2 代表的なアプリケーション.....	71
8.11 VOUT_MARGIN_LOW (アドレス = 26h) [リセット = 0000h].....	40	9.3 電源に関する推奨事項.....	76
8.12 VOUT_TRANSITION_RATE (アドレス = 27h) [リ		9.4 レイアウト.....	77
セット = E81Ah].....	41	10 デバイスおよびドキュメントのサポート.....	79
8.13 VOUT_SCALE_LOOP (アドレス = 29h) [リセット = E804h].....	42	10.1 ドキュメントのサポート.....	79
8.14 FREQUENCY_SWITCH (アドレス = 33h) [リセ		10.2 ドキュメントの更新通知を受け取る方法.....	79
ット = 380Xh].....	43	10.3 サポート・リソース.....	79
8.15 VOUT_OV_FAULT_RESPONSE (アドレス = 41h) [リ		10.4 商標.....	79
セット = XXh].....	44	10.5 静電気放電に関する注意事項.....	79
8.16 VOUT_UV_FAULT_RESPONSE (アドレス = 45h) [リ		10.6 用語集.....	79
セット = XXh].....	45	11 改訂履歴.....	79
8.17 IOUT_OC_FAULT_LIMIT (アドレス = 46h) [リセ		12 メカニカル、パッケージ、および注文情報.....	80
ット = 00XXh].....	46	12.1 テープおよびリール情報.....	80

4 デバイスのオプション

部品番号	最大出力電流	V _o 調整	ピンストラップ構成可能性	デジタル インターフェイス	遠隔測定
TPS548B23	20A	0.5V~5.5V	内部、外部 FB、F _{sw} 、 FCCM/PFM OCP、ヒカッパ/ ラッチオフ、SS 時間	該当なし	なし
TPS548A23	12A				
TPS544B28	20A	0.4V~5.5V		PMBus®	あり
TPS544A28	12A				

5 ピン構成および機能

ADVANCE INFORMATION

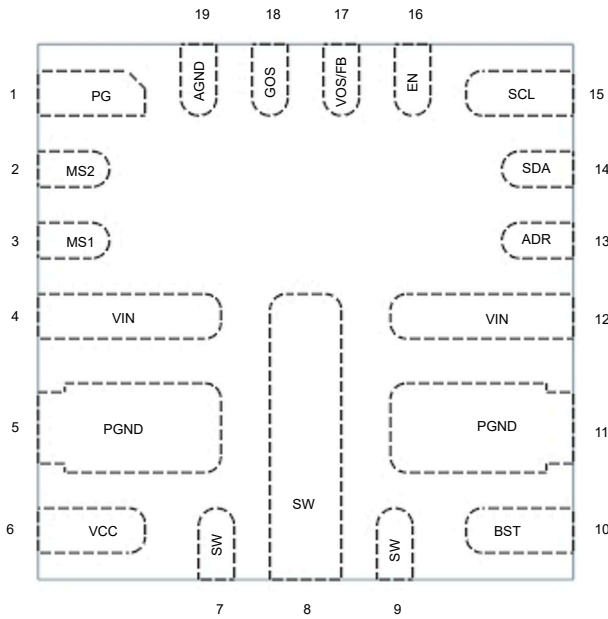


図 5-1. VAN パッケージ、19 ピン、3mm×3mm (0.4mm ピンピッチ) WQFN-HR (上面図)

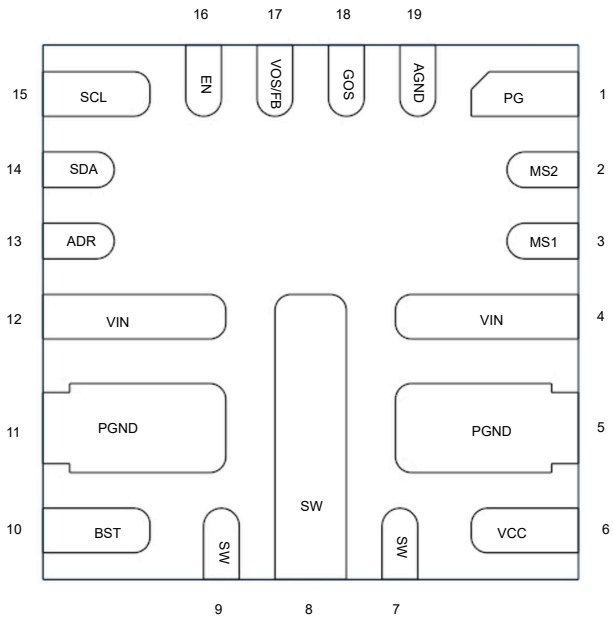


図 5-2. VAN パッケージ、19 ピン、3mm×3mm (0.4mm ピンピッチ) WQFN-HR (底面図)

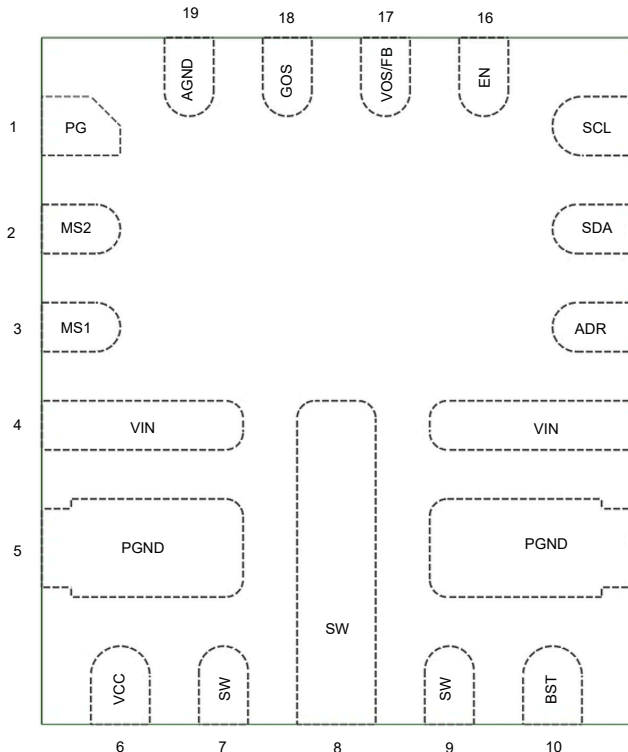


図 5-3. RBH パッケージ 19 ピン 3mm×3.5mm (0.5mm ピンピッチ) WQFN-HR (上面図)

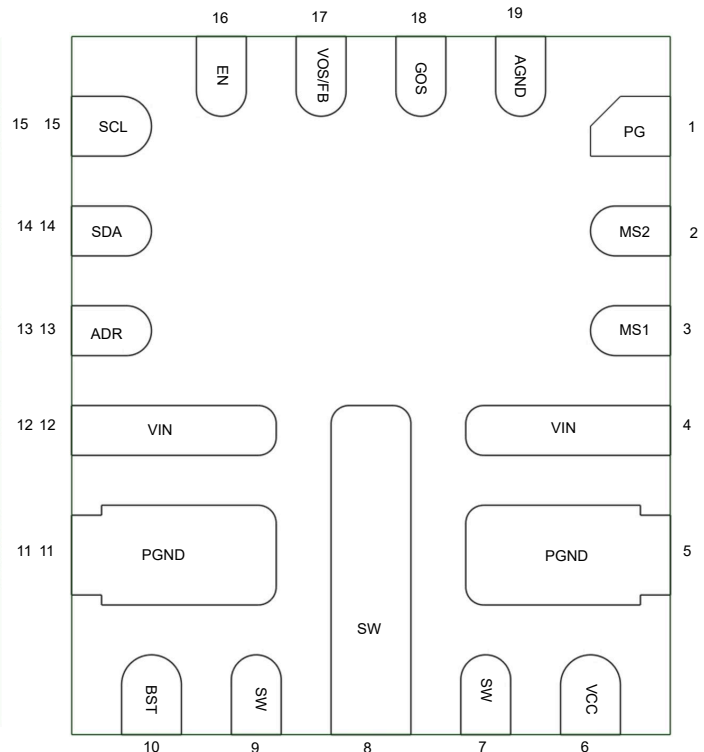


図 5-4. RBH パッケージ 19 ピン 3mm×3.5mm (0.5mm ピンピッチ) WQFN-HR (底面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	なし		
PG	1	O	オープンドレインのパワー グッド ステータス信号。外付けプルアップ抵抗を電圧源に接続します。FB 電圧が指定された制限値を外れると、指定された遅延の後に PG が Low になります。
MS2	2	I	マルチファンクション選択ピン。MS2 ピンと AGND の間に抵抗を接続することで、出力電圧の設定構成 (内部または外部 FB) が選択されます。
MS1	3	I	マルチファンクション選択ピン。MS1 ピンと AGND の間に抵抗を接続して、スイッチング周波数、パレー電流制限スレッショルド、ソフトスタート時間を選択します。
VIN	4、12	P	電力段 MOSFET および内部 LDO の電源入力ピン。デカップリング入力コンデンサを VIN ピンから PGND ピンにできるだけ近づけて配置します。各 VIN から IC に近い PGND にコンデンサを接続する必要があります。
PGND	5、11	G	電力段のグランドリターン。このピンは内部でローサイド MOSFET のソースに接続されます。できるだけ多くのビアを PGND ピンの下、できるだけ PGND ピンの近くに配置します。この動作により、寄生インピーダンスが最小限に抑えられ、熱抵抗も低下します。
VCC	6	P	内部 3V LDO 出力。内部 LDO での電力損失を抑えるために、このピンに 3.1V ~ 5.3V の外部バイアスを接続することができます。このピンの電圧源は、内部回路とゲートドライバの両方に電力を供給します。1 μ F、> 6.3V 定格のセラミック コンデンサを使用して、VCC ピンから PGND にバイパスします。このコンデンサは、VCC ピンと PGND ピンのできるだけ近くに配置してください。
SW	7、8、9	O	パワー コンバータの出力スイッチング端子。このピンを出力インダクタに接続します。
BST	10	I/O	内蔵のハイサイド MOSFET ゲートドライバ用電源 (ブースト端子)。このピンと SW ノードとの間にブートストラップ コンデンサを接続します。
ADR	13	I	PMBus アドレス選択ピン。ADR ピンと AGND の間に接続する抵抗によって、PMBus デバイス アドレスと故障回復 (ヒックアップまたはラッチオフ) モードが選択されます。
SDA	14	I	PMBus 双方向シリアル データピン
SCL	15	I	PMBus シリアル クロックピン
EN	16	I	イネーブルピン。イネーブルピンは、DC/DC スwitching コンバータのオン/オフを切り替えます。起動前に EN ピンをフローティングにすると、コンバータは無効化されます。EN ピンに印加する推奨最大電圧は 5.5V です。TI は、EN ピンを VIN ピンに直接接続することは推奨していません。
VOS/FB	17	I	出力電圧フィードバック入力。差動リモート センス回路の正入力。負荷側の Vout センス ポイントに接続。外部フィードバック用に構成した場合、VOUT から GOS (FB ピンにタップ) への分圧抵抗により出力電圧が設定されます。
GOS	18	I	差動リモートセンス回路の負入力。負荷付近のグランド センス ポイントに接続します。
AGND	19	G	内部制御回路用のアナログ グランドリターンとリファレンス電圧

(1) I = 入力、O = 出力、P = 電源、G = グランド

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピン電圧	VIN	-0.3	19	V
ピン電圧	SW – PGND、DC	-0.3	19	V
ピン電圧	SW – PGND、過渡 < 10ns	-3	20	V
ピン電圧	VIN – SW、DC	-0.3	19	V
ピン電圧	VIN – SW、過渡 < 10 ns	-3	25	V
ピン電圧	BOOT – PGND	-0.3	24.5	V
ピン電圧	BOOT - SW	-0.3	5.5	V
ピン電圧	MS1、MS2、SDA、SCL、VCC	-0.3	5	V
ピン電圧	VOS/FB、PG、EN	-0.3	6	V
ピン電圧	GOS、PGND	-0.3	0.3	V
シンク電流	PG		15	mA
動作時接合部温度	T _J	-40	150	°C
保管温度	T _{stg}	-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±500

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{IN}	入力電圧範囲	内蔵 LDO	4		16	V
V _{IN}	入力電圧範囲	3.1V ≤ V _{VCC} 外部バイアス ≤ 4.3V	2.7		16	V
ピン電圧		V _{GOS} と V _{AGND} との関係	-0.1		0.1	V
		EN、PG	-0.1		5.5	V
V _{VCC}	外部バイアス範囲	V _{VIN} ≤ 16V	3.1		4.3	V
V _{OUT}	出力電圧範囲	V _{OUT}	0.4		5.5	V
I _{PG}	パワーグッド シンク電流	PG			10	mA
I _{OUT}	出力電流	SW			20	A
I _{LPEAK}	最大ピーク インダクタ電流	SW			31	A
T _J	動作時接合部温度		-40		150	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS544B28				単位
		VAN (WQFN-HR, JEDEC レイアウト)	VAN (WQFN-HR, アプリケーションレイアウト, 6層 PCB)	RBH (WQFN-HR, JEDEC レイアウト)	RBH (WQFN-HR, アプリケーションレイアウト, 6層 PCB)	
		19ピン	19ピン	19ピン	19ピン	
R _{θJA}	接合部から周囲への熱抵抗	59	19.0 ⁽²⁾	54.4	未定 ⁽²⁾	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	32.6	該当なし ⁽³⁾	30.9	該当なし ⁽³⁾	°C/W
R _{θJB}	接合部から基板への熱抵抗	18.4	該当なし ⁽³⁾	21.5	該当なし ⁽³⁾	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	0.77	該当なし ⁽³⁾	1.0	該当なし ⁽³⁾	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	18.4	該当なし ⁽³⁾	21.5	該当なし ⁽³⁾	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
(2) デバイス内消費 1.0W の TPS544B28EVM で測定しました。
(3) 熱テストまたはシミュレーション設定は、アプリケーション レイアウトには適用できません。

6.5 電気的特性

T_J = -40°C ~ +150°C、V_{VCC} = 3.3V (外部)、V_{VIN} = 4V ~ 16V。標準値は T_J = 25°C および V_{VIN} = 12V での値です (別に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _{Q(VIN)}	VIN 静止電流	非スイッチング、V _{EN} = 2V、V _{FB} = V _{FB_REG} + 50mV、VCC ピンに外部バイアスなし		2800		μA
I _{Q(VIN)}	外部 VCC バイアスでの VIN 静止電流	T _J = 25°C、V _{VIN} = 12V、V _{EN} = 2V、V _{FB} = V _{FB_REG} + 10mV (非スイッチング)、VCC ピンに 3.3V 外部バイアス		300	500	μA
I _{SD(VIN)}	VIN のシャットダウン時消費電流	V _{VIN} = 12V、V _{EN} = 0V、VCC ピンの外部バイアスなし		2000		μA
		V _{VIN} = 12V、V _{EN} = 0V、VCC ピンの外部バイアス		250	500	μA
I _{Q(VCC)}	VCC 静止電流	T _J = 25°C、V _{VIN} = 12V、V _{EN} = 2V、V _{FB} = V _{FB_REG} + 10mV (非スイッチング)、VCC ピンに 3.3V 外部バイアス		2500	5000	μA
I _{VCC}	VCC 外部バイアス電流	T _J = 25°C、V _{VIN} = 12V、V _{EN} = 2V、レギュラー スwitchング、V _{OUT} = 1.0V、f _{SW} = 600kHz、VCC ピンに 3.3V 外部バイアス		10		mA
I _{VCC}	VCC 外部バイアス電流	T _J = 25°C、V _{VIN} = 12V、V _{EN} = 2V、レギュラー スwitchング、V _{OUT} = 1.0V、f _{SW} = 1200kHz、VCC ピンに 3.3V 外部バイアス		16		mA
内部 LDO (VCC)						
V _{VCC}	内部 LDO 出力電圧		2.85	3.0	3.1	V
I _{VCC}	内部 LDO 短絡電流制限	V _{VIN} = 12V	50	180		mA
UVLO						
V _{VINUVLO(R)}	VIN UVLO 立ち上がりスレッシュホールド	V _{VIN} 立ち上がり、VCC ピンに 3.3V 外部バイアス		2.4	2.5	V
V _{VINUVLO(F)}	VIN UVLO 立ち下がりスレッシュホールド	V _{VIN} 立ち下がり、VCC ピンに 3.3V 外部バイアス		2.25	2.35	V
V _{VINUVLO(H)}	VIN UVLO ヒステリシス			0.15		V
イネーブル						
V _{EN(R)}	EN 電圧立ち上がりスレッシュホールド	EN 立ち上がり、スイッチングはイネーブル	1.15	1.2	1.25	V
V _{EN(F)}	EN 電圧立ち下がりスレッシュホールド	EN 立ち下がり、スイッチングはディスエーブル	0.95	1.0	1.05	V
V _{EN(H)}	EN 電圧ヒステリシス			200		mV
I _{EN(Hys)}	EN ピン ヒステリシス電流	EN > V _{EN(R)}		5		μA
	EN 内部プルダウン抵抗	EN ピンを AGND に接続	0.74	1	1.27	MΩ

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VCC} = 3.3\text{V}$ (外部)、 $V_{VIN} = 4\text{V} \sim 16\text{V}$ 。標準値は $T_J = 25^{\circ}\text{C}$ および $V_{VIN} = 12\text{V}$ での値です (別に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ピンストラップ						
R_{MSX_TRIP}	MSx 抵抗のステップ範囲精度		- 2%		2%	
シリアル インターフェイス						
$V_{IH(SDx)}$	SDA、SCL の High レベル入力電圧		1.35			V
$V_{IL(SDx)}$	SCL、SDA の Low レベル入力電圧				0.8	
$V_{th_rise(SDx)}$	SCL、SDA の立ち上がりスレッショルド		1.03	1.1	1.17	V
$V_{th_fall(SDx)}$	SCL、SDA の立ち下がりスレッショルド		0.84	0.9	0.96	V
$V_{th_hys(SDx)}$	SCL、SDA のヒステリシス		0.188	0.2	0.212	V
$I_{IH(SDx)}$	SCL、SDA への入力 High レベル電流		-10		10	μA
$I_{IL(SDx)}$	SCL、SDA への入力 Low レベル電流		-10		10	μA
$V_{OL(SDx)}$	SDA の出力 Low レベル電圧	$V_{CC} \geq 4.5\text{V}$ 、 $I_{pin} = 20\text{mA}$			0.4	V
$I_{OH(SDx)}$	SDA への出力 High レベル オープンドレイン リーク電流	$V_{pin} = 5.5\text{V}$			10	μA
$I_{OL(SDx)}$	PMB_DATA への出力 Low レベル オープンドレイン シンク電流	$V_{pin} = 0.4\text{V}$	20			mA
C_{PIN_SDx}	SCL ピンおよび SDA ピンの入力容量	$V_{pin} = 0.1\text{V} \sim 1.35\text{V}$			5	pF
f_{SDxmin}	最小 PMBus 動作周波数				10	kHz
f_{SDxmax}	最大 PMBus 動作周波数		1000			kHz
f_{SDx_CLK}	PMBus の動作周波数範囲		10		1000	kHz
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間		0.5			μs
t_{HD_STA}	(反復) 開始条件のホールド時間		0.26			μs
t_{SU_STA}	反復開始条件のセットアップ時間		0.26			μs
t_{SU_STO}	停止条件のセットアップ時間		0.26			μs
t_{HD_SDA}	SDA のホールド時間		0			μs
t_{SU_SDA}	SDA のセットアップ時間		50			ns
$t_{TIMEOUT}$	クロック Low 検出のタイムアウト		25	30	35	ms
t_{LOW}	SCL の Low 期間		0.5			μs
t_{HIGH}	SCL の High 期間		0.26			μs
t_{R_SDx}	SCL と SDA の立ち上がり時間	1000kHz クラス、 $V_{IL(MAX)} - 150\text{mV}$ to $V_{IH(MIN)} + 150\text{mV}$			120	ns
t_{F_SDx}	SCL と SDA の立ち下がり時間	1000kHz クラス、 $V_{IH(MIN)} + 150\text{mV}$ to $V_{IL(MAX)} - 150\text{mV}$			120	ns
N_{WR_NVM}	書き込み可能な NVM サイクル数	$-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	1000			サイクル
スタートアップ						
R_{PIN_STRAP}	ピンストラップ抵抗のステップ範囲精度	$0.82\text{k}\Omega \leq R_{ADDR} \leq 82\text{k}\Omega$	- 4%		4%	
t_{SS}	ソフト スタート時間	スイッチング開始から $V_{FB} = 0.5\text{V}$ 、 $t_{SS} = 0.5\text{ms}$ 設定まで	0.4	0.5	0.6	ms
t_{SS}	ソフト スタート時間	スイッチング開始から $V_{FB} = 0.5\text{V}$ 、 $t_{SS} = 1\text{ms}$ 設定まで	0.8	1	1.2	ms
t_{SS}	ソフト スタート時間	スイッチング開始から $V_{FB} = 0.5\text{V}$ 、 $t_{SS} = 2\text{ms}$ 設定まで	1.6	2	2.4	ms
t_{SS}	ソフト スタート時間	スイッチング開始から $V_{FB} = 0.5\text{V}$ 、 $t_{SS} = 4\text{ms}$ 設定まで	3.2	4	4.8	ms
t_{EN_DLY}	EN High からスイッチング開始までの遅延	$TON_Delay = 0$		50		μs
リファレンス電圧 (FB)						
V_{VOS_REG}	出力電圧レギュレーション精度	内部フィードバック構成、 $T_J = 0^{\circ}\text{C} \sim +85^{\circ}\text{C}$	-0.75%		0.75%	
V_{VOS_REG}	出力電圧レギュレーション精度	内部フィードバック構成	-1.25%		+1.25%	

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VCC} = 3.3\text{V}$ (外部)、 $V_{VIN} = 4\text{V} \sim 16\text{V}$ 。標準値は $T_J = 25^{\circ}\text{C}$ および $V_{VIN} = 12\text{V}$ での値です (別に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{FB_REG}	フィードバック レギュレーション電圧	外部フィードバック構成、 $T_J = 0^{\circ}\text{C} \sim 85^{\circ}\text{C}$	796	800	804	mV
V_{FB_REG}	フィードバック レギュレーション電圧	外部フィードバック構成	792	800	808	mV
$I_{FB(LKG)}$	FB の入力リーク電流	$V_{FB} = V_{FB_REG}$			160	nA

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VCC} = 3.3\text{V}$ (外部)、 $V_{VIN} = 4\text{V} \sim 16\text{V}$ 。標準値は $T_J = 25^{\circ}\text{C}$ および $V_{VIN} = 12\text{V}$ での値です (別に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
差動リモートセンス アンプ						
I_{GOSNS}	GOS ピンから流れ出すリーク電流	$V_{GOS} - V_{AGND} = 100\text{mV}$			80	μA
V_{ICM}	GOS の同相電圧 (レギュレーション用)	V_{GOS} と V_{AGND} との関係	-0.1		0.1	V
速隔測定						
$M_{IOUT(rng)}$	出力電流測定範囲		0		24	A
$M_{IOUT(acc)}$	出力電流測定精度	$6\text{A} \leq I_{OUT} \leq 10\text{A}$	-15%		15%	
		$10\text{A} \leq I_{OUT} \leq 20\text{A}$	-10%		10%	
$M_{IOUT(off)}$	出力電流測定オフセット	$I_{OUT} \leq 6\text{A}$	-1		1	A
$M_{VOUT(rng)}$	出力電圧測定範囲		0		6	V
$M_{VOUT(acc)}$	出力電圧の測定精度	$400\text{mV} \leq V_{OUT} \leq 5.5\text{V}$	-2%		2%	
$M_{VOUT(lsb)}$	出力電圧測定ビットの分解能			1		mV
$M_{TSNS(rng)}$	内部温度検出範囲		-40		150	$^{\circ}\text{C}$
$M_{TSNS(lsb)}$	内部温度検出ビットの分解能、(8Dh) READ_TEMP1			1		$^{\circ}\text{C}$
$M_{TSNS(acc)}$	アナログ温度検出の精度	$-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$	-1.5	+2.5	6.5	$^{\circ}\text{C}$
スイッチング周波数						
$f_{SW(FCCM)}$	スイッチング周波数、FCCM 動作	$V_{VIN} = 12\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 500\text{kHz}$ 、 負荷なし	425	500	575	kHz
$f_{SW(FCCM)}$	スイッチング周波数、FCCM 動作	$V_{VIN} = 12\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 600\text{kHz}$ 、 負荷なし	510	600	690	kHz
$f_{SW(FCCM)}$	スイッチング周波数、FCCM 動作	$V_{VIN} = 12\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 800\text{kHz}$ 、 負荷なし	680	800	920	kHz
$f_{SW(FCCM)}$	スイッチング周波数、FCCM 動作	$V_{VIN} = 12\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 1.0\text{MHz}$ 、 負荷なし	850	1000	1150	kHz
$f_{SW(FCCM)}$	スイッチング周波数、FCCM 動作	$V_{VIN} = 12\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 1.2\text{MHz}$ 、 負荷なし	1020	1200	1380	kHz
$f_{SW(FCCM)}$	スイッチング周波数、FCCM 動作	$V_{VIN} = 12\text{V}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 1.4\text{MHz}$ 、 負荷なし	1190	1400	1610	kHz
電力段						
$R_{DS(on)(HS)}$	ハイサイド MOSFET オン抵抗	$V_{BOOT-SW} = 3.3\text{V}$		8.7		m Ω
$R_{DS(on)(LS)}$	ローサイド MOSFET オン抵抗	$V_{VCC} = 3.3\text{V}$		3		m Ω
$t_{ON(min)}$	最小 ON パルス幅			25		ns
$t_{OFF(min)}$	最小 OFF パルス幅				150	ns
	SW ピンの出力放電抵抗	$V_{IN} = 12\text{V}$ 、 $V_{SW} = 1\text{V}$ 、電力変換無効		100		Ω
$I_{BOOT(LKG)}$	BOOT ピンへのリーク電流	$V_{BOOT-SW} = 3\text{V}$ 、有効、スイッチングなし。		30		μA
パワー グッド						
$V_{PGTH(RISE_OV)}$	パワーグッド スレッシュホールド	FB 立ち上がり、PG High から Low	107%	110%	113%	
$V_{PGTH(RISE_UV)}$	パワーグッド スレッシュホールド	FB 立ち上がり、PG low から high	87.5%	90%	92.5%	
$V_{PGTH(FALL_UV)}$	パワーグッド スレッシュホールド	FB 立ち下り、PG high から low	82%	85%	87%	
t_{PG_DLY}	スタートアップ時に PG 遅延が low から high に変化			1.1	1.5	ms
	PG 遅延が high から low に変化			4	6.2	μs
$I_{PG(LKG)}$	オープンドレイン出力が high の PG ピンのリーク電流	$V_{PG} = 4.5\text{V}$			5	μA
	PG ピン出力 Low レベル電圧	$I_{PG} = 7\text{mA}$			500	mV
	VIN および VCC が Low のとき、PG ピンは Low レベルを出力します	$V_{VIN} = 0\text{V}$ 、 $V_{VCC} = 0\text{V}$ 、 $V_{EN} = 0\text{V}$ 、PG は $100\text{k}\Omega$ の抵抗を介して 3.3V にプルアップされます			850	mV

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{VCC} = 3.3\text{V}$ (外部)、 $V_{VIN} = 4\text{V} \sim 16\text{V}$ 。標準値は $T_J = 25^{\circ}\text{C}$ および $V_{VIN} = 12\text{V}$ での値です (別に記述のない限り)。

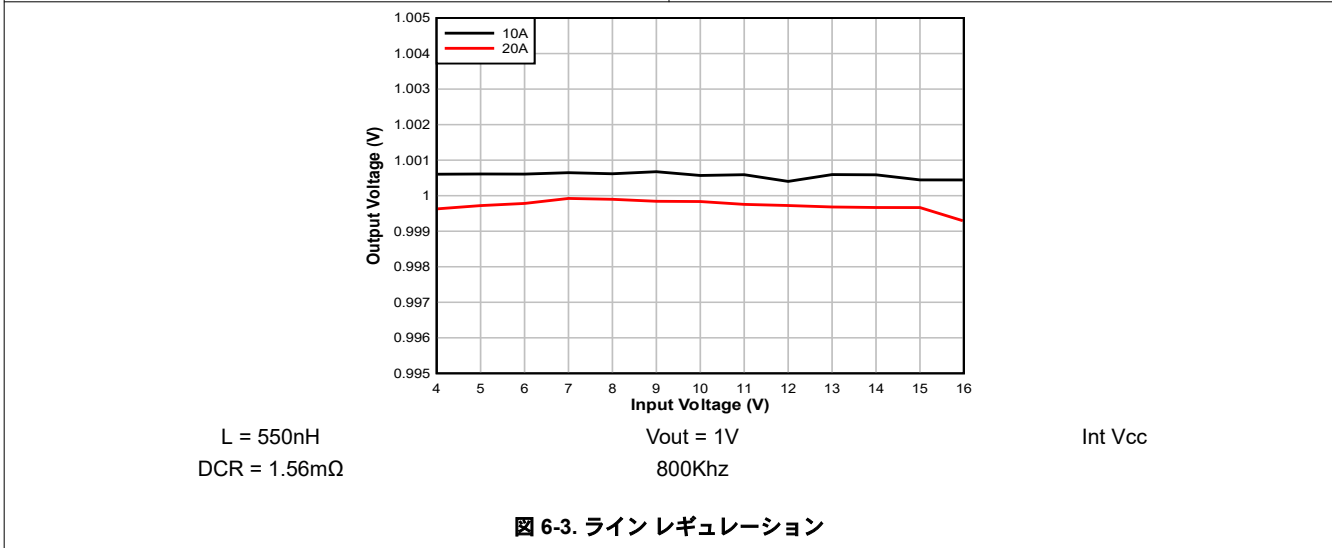
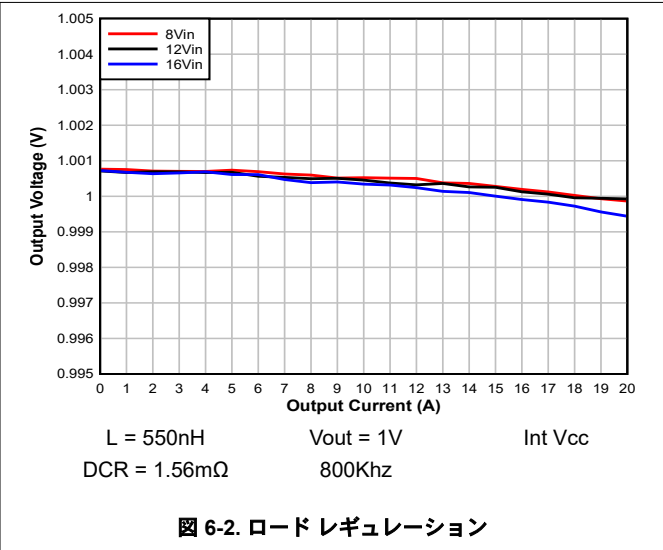
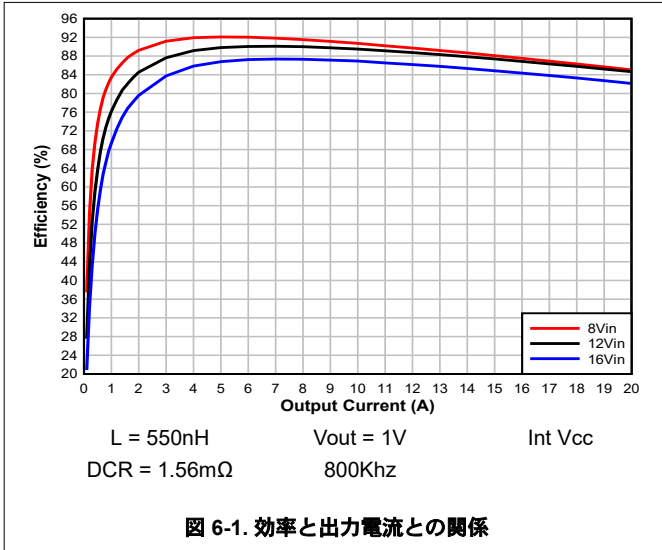
パラメータ	テスト条件	最小値	標準値	最大値	単位
VIN および VCC が Low のとき、PG ピンは Low レベルを出力します	$V_{VIN} = 0\text{V}$ 、 $V_{VCC} = 0\text{V}$ 、 $V_{EN} = 0\text{V}$ 、PG は $10\text{k}\Omega$ の抵抗を介して 3.3V にプルアップされます			1000	mV

6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{\text{VCC}} = 3.3\text{V}$ (外部)、 $V_{\text{VIN}} = 4\text{V} \sim 16\text{V}$ 。標準値は $T_J = 25^{\circ}\text{C}$ および $V_{\text{VIN}} = 12\text{V}$ での値です (別に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
過電流保護						
	ローサイドのバレー電流制限	LS FET のバレー電流、 $R_{\text{MS1}} = \text{GND}$	19	21	23	A
		LS FET のバレー電流、 $R_{\text{MS1}} = 4.7\text{k}\Omega$	16	18	20	A
		LS FET のバレー電流、 $R_{\text{MS1}} = 22\text{k}\Omega$	13	15	17	A
		LS FET のバレー電流、 $R_{\text{MS1}} = 56\text{k}\Omega$	11.5	13	14.5	A
$I_{\text{LS(NOC)}}$	上限側負の電流制限	LS FET のシンク電流制限		-10	-8	A
I_{ZC}	DCM、オープンループに入るゼロ交差検出電流スレッシュホールド	$V_{\text{IN}} = 12\text{V}$			-750	mA
$I_{\text{ZC(HYS)}}$	DCM、オープンループに入った後のゼロ交差検出電流スレッシュホールドヒステリシス	$V_{\text{IN}} = 12\text{V}$			1000	mA
出力 OVP と UVP						
V_{OVP}	過電圧保護 (OVP) のスレッシュホールド電圧	V_{FB} 立ち上がり	113%	116%	119%	
t_{OVPDLY}	OVP 遅延	100mV オーバードライブの場合			400	ns
V_{UVP}	低電圧保護 (UVP) スレッシュホールド電圧	V_{FB} 立ち下がり	77%	80%	83%	
t_{UVPDLY}	UVP フィルタ遅延			70		μs
	ヒカップ待機時間	ヒカップモード有効			56	ms
サーマル シャットダウン						
$T_{\text{J(SD)}}$	サーマル シャットダウンのスレッシュホールド	温度上昇	150	165		$^{\circ}\text{C}$
$T_{\text{J(HYS)}}$	サーマル シャットダウン ヒステリシス			15		$^{\circ}\text{C}$

6.6 代表的特性



7.3 機能説明

7.3.1 D-CAP4 制御

デバイスは D-CAP4 制御を使用して、使いやすさを維持しながら高速の負荷過渡応答を実現します。D-CAP4 制御アーキテクチャには、内部のリプル生成回路が含まれ、多層セラミック コンデンサ (MLCC) や低 ESR 高分子コンデンサなどの超低 ESR 出力コンデンサを使用できます。D-CAP4 制御アーキテクチャでは、外部の電流検出回路や電圧補償回路は不要です。内部リプル生成回路の役割は、インダクタ電流情報のリプル成分をエミュレートし、電圧帰還信号と組み合わせることでループ動作を制御することです。

D-CAP4 制御アーキテクチャにより、V_{OUT} 全体のループ ゲイン変動が低減され、1 つのランプ設定で出力電圧範囲全体にわたって高速負荷過渡応答を実現できます。内部ランプ回路の R-C 時定数によって、ランプのゼロ周波数が設定されます。これは、他の R-C ベースの内部ランプ生成アーキテクチャと同様です。また、ループ ゲインの変動が小さくなるため、フィード フォワード コンデンサの必要性も緩和され、過渡応答を最適化できます。ランプ振幅は V_{IN} によって変化し、入力電圧 (一般に入力電圧フィードフォワードと呼ばれます) 全体にわたるループ ゲインの変動を最小限に抑えます。最後に、デバイスは、注入されたランプに起因する dc オフセットを補正するために内部回路を使用しており、特に軽負荷電流の場合、出力リプル電圧に起因する dc オフセットを大幅に低減します。

外部補償を使用しない制御トポロジでは、サポートできる出力フィルタには、最小範囲、最大範囲、またはその両方が存在します。代表的な降圧コンバータで使用する出力フィルタは、ローパス L-C 回路です。この L-C フィルタには、式 1 に説明されているように、二重極があります。

$$f_p = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (1)$$

低周波数では、出力設定点分圧抵抗回路、およびデバイスの内部ゲインによって、全体のループ ゲインが設定されます。低周波数の L-C 二重極には、180 度の位相降下があります。出力フィルタ周波数では、10 進数毎にゲインが -40dB ロール オフし、位相は急速に減少します。内部リプル生成回路によって高周波数のゼロが導入されることで、ゲインのロール オフが 10 進数毎に -40dB から -20dB に減り、位相はゼロ周波数より 10 進数毎に 90 度増加します。

出力フィルタ用に選択されたインダクタとコンデンサは、式 1 の f_p 重極が表 7-1 で指定された値より高くないようにする必要があり、その後、式 2 を使用するアプリケーションの公称デューティ サイクルに基づいて調整されます。式 2 は f_{p(TABLE)} を拡大します。これは、デューティ サイクルが増加すると D-CAP4 ランプのゲインが減少し、最大 L-C ダブルポールも増加するためです。

$$f_{p(MAX)} = f_{p(TABLE)} \times \left(1 + \left(\frac{V_{OUT}}{V_{IN(typ)}} \right)^2 \right) \quad (2)$$

表 7-1. 最大 L-C 重極

スイッチング周波数 (kHz)	最大 L-C 重極周波数 (kHz)
600	14.9
800	19.9
1000	24.9
1200	29.9

各設定についてこれらのガイドラインに違反する L-C の重極周波数も可能ですが、測定時にアプリケーションで検証する必要があります。

アプリケーション要件を特定した後、出力インダクタンスは通常、インダクタのピークツーピーク リプル電流がアプリケーションの最大出力電流の約 15% ~ 40% になるように設計されます。非常に小さい出力容量を選択すると、高周波の L-C 重極が発生し、L-C 重極周波数まで全体のループ ゲインは高く維持されます。内部リプル生成回路のゼロも比較的高い周波数であるため、出力容量が非常に小さいループではクロスオーバー周波数が高くなりすぎ、不安定性が発生する可能性があります。一般に、妥当な (より小さな) 出力容量が求められる場合には、出力リプル要件と負荷過渡要件を使用して、安定動作に必要な出力容量を決定できます。

MLCC を使用する場合は、設計の最終的な出力容量を決定する際に、ディレーティング特性を考慮します。たとえば、10 μ F、X5R、6.3V の仕様を持つ MLCC を使用する場合には、DC バイアスおよび AC バイアスによるディレーティングがそれぞれ 80% および 50% となります。実効的なディレーティングは、この 2 つの係数の積であり、この場合は 40%、4 μ F となります。アプリケーションで使用するコンデンサの具体的な特性については、コンデンサのメーカーに確認してください。

簡略化されたルールとして、TI は、ESR ゼロを持つ出力コンデンサが L-C 重極周波数の 10 倍未満になっている場合、安定性のために L-C の重極周波数を計算するときは無視することを推奨します。L-C 重極周波数は、低 ESR MLCC のみを使用して再計算する必要があります。混在タイプの出力コンデンサを使用する際のより正確な解析を行うため、TI ではシミュレーションまたは測定を推奨します。

最大出力容量に関する推奨値を得るには、L-C の二重極周波数が動作周波数の 1/100 以上になるように、インダクタとコンデンサの値を選択します。この出発点で、次の基準を使用して基板上の小信号応答を確認します。ループ クロスオーバーでの位相マージンが 45 度より大きい。位相マージンが 45 度より大きい限り、実際の最大出力容量はさらに大きくなる可能性があります。ただし、小信号測定 (ボード線図) を実行して設計を確認する必要があります。

L-C の二重極が動作周波数の 1/100 付近にある大型出力フィルタの場合は、追加の位相ブーストが必要になることがあります。R_{FB_HS} と並列にフィードフォワード コンデンサを配置すると、位相が増幅されます。『フィードフォワード コンデンサ付きの内部的に補正される dc-dc コンバータの過渡応答の最適化』アプリケーション ノートも参照してください。

位相を増幅する以外に、フィードフォワード コンデンサは AC 結合を通じてより多くの V_{OUT} ノード情報を FB ノードに供給します。このフィードフォワードにより、負荷過渡イベント時に、V_{OUT} 偏差に対する制御ループの応答を短縮できます。ただし、定常状態動作時のこのフィードフォワードにより、より多くの V_{OUT} リップルやノイズが FB に送られます。FB 上の高いリップルとノイズは通常、ジッタの増加、またはダブル パルス動作につながります。最終的なフィードフォワード コンデンサの値が、FB 上の位相マージン、負荷過渡性能、リップル、ノイズに与える影響をすべて考慮してください。TI は、周波数解析機器を使用してクロスオーバー周波数と位相マージンを測定することを推奨します。

7.3.2 内部 VCC LDO と VCC ピンへの外部バイアスの使用

TPS544B28 には内部 3.0V LDO があり、VIN からの入力を受け入れ、VCC への出力を備えています。VIN 電圧が UVLO スレッシュホールド (VIN_{UVLO(R)}) を上回ると、内部 LDO がイネーブルになり、VCC ピンの出力電圧のレギュレーションを開始します。VCC 電圧は、内部アナログおよびデジタル回路にバイアス電圧を提供し、ゲートドライバに電源電圧も供給します。

VCC ピンは 1 μ F 6.3V 以上の定格セラミック コンデンサを使用してバイパスします。内部 LDO の出力電圧より高い外部バイアスによって、内部 LDO がオーバーライドされる可能性があります。このオーバーライドにより、VCC 電流が、内部リニア レギュレータではなくこの外部バイアスで動作するため、コンバータの効率が向上します。3.1V ~ 4.3V の外部バイアスを使用すると、内蔵パワー MOSFET の R_{DS(ON)} を低減することで効率を向上させることができます。

VCC UVLO 回路は VCC ピンの電圧を監視し、VCC が VCC UVLO 立ち下がリスレッシュホールドを下回ると、コンバータ全体を無効にします。デバイスをスムーズに動作させるには、安定的でクリーンな VCC 電圧を維持する必要があります。

VCC ピンに外部バイアスを使用する際の検討事項を以下に示します。

- 外部バイアスが VCC ピンに十分早く (たとえば、EN 信号が入力される前) 適用されると、内部 LDO パス デバイスは常にオフになり、内部アナログ回路は電源有効時に安定した電源レールを確保できます。
- この考慮事項は推奨されていません。VCC ピンに外部バイアスが後期に印加される場合 (EN 信号が入った後など)、VCC ピンから過剰な電流が引き出されない限り、パワーアップ シーケンスおよびパワーダウン シーケンスを適用できます。このシーケンスでは、内部 VCC LDO の電流制限よりも大きく電流が流れる可能性がある VCC ピンの外部放電パスに注意してください。内部 VCC LDO の電流制限を超える負荷は、VCC 電圧を Low にして、UVLO 経路で VCC LDO をオフにし、コンバータ出力がシャットダウンされる可能性があります。
- 良好なパワーアップ シーケンスとは、VIN UVLO 立ち上がりスレッシュホールドよりも後で EN 立ち上がりスレッシュホールドの少なくとも 1 つまたは VCC UVLO 立ち上がりスレッシュホールドが満たされている状態のことです。例えば、実用的なパワーアップ シーケンスは次のとおりです。最初に VIN を印加した後に外部バイアスを印加し、次に EN 信号が High になります。

7.3.2.1 シングルバスからデバイスへの電力供給

デバイスは、単一の V_{IN} 構成で電源が供給されると正常に動作します。シングル V_{IN} 構成では、内部 LDO は通常 5V または 12V バスから電力を供給され、内部アナログ回路とパワー MOSFET ゲートドライバにバイアスを与える 3V 出力を生成します。この構成での V_{IN} 入力範囲は、最大 20A の負荷電流に対して 2.7V ~ 16V です。図 7-1 に、この単一 V_{IN} 構成の例を示します。

V_{IN} と EN はデバイスを有効化するための 2 つの信号です。起動シーケンスの場合、 V_{IN} 信号と EN 信号との間の任意のシーケンスによってデバイスに正しく電源を供給することができます。

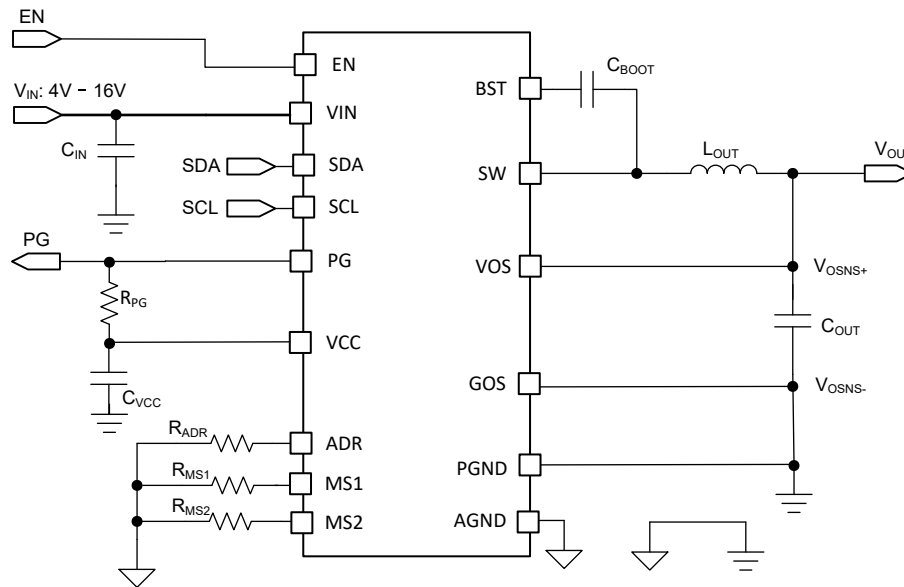


図 7-1. 12V バスを使用するシングル V_{IN} 構成

7.3.2.2 分割レール構成によるデバイスへの電力供給

メイン V_{IN} バスとは異なるレベルの外部バイアスを VCC ピンに印加する場合、メイン V_{IN} バスと VCC バイアスの両方を使用して分割レールにデバイスを構成できます。有効な VCC バイアスを VCC ピンに接続すると、内部 LDO がオーバーライドされ、内部 LDO での電力損失が低減されます。この構成は、システム レベル全体の効率を向上させますが、有効な VCC バイアスが必要です。VCC バイアスには、3.3V レールが一般的な選択肢です。VCC バイアスが安定している場合、この構成での推奨 V_{IN} 入力範囲は拡張され、最小 2.7V は ~ 16V になります。

外部バイアスのノイズは、内部アナログ回路に影響を及ぼします。正常な動作を確保するために、クリーンで低ノイズの外部バイアス、および VCC ピンから PGND ピンへの十分なローカル デカップリング コンデンサが必要です。図 7-2 に、この分割レール構成の例を示します。

公称動作時の VCC 外部バイアス電流は、バイアス電圧レベルと動作周波数によっても変化します。たとえば、デバイスをスキップ モードに設定すると、軽負荷状態で周波数が低下したときに、VCC ピンが外部バイアスから引き出す電流が少なくなります。FCCM 動作時の VCC 外部バイアス電流の標準値を、電気的特性に示します。外部バイアスにこの電流を供給できる必要があります。そうしないと、外部バイアス電圧が低下し、内部 LDO がオーバーライドできなくなります。

分割レール構成では、 V_{IN} 、VCC バイアス、EN が部品を有効にする信号です。スタートアップ シーケンスについては、VCC UVLO 立ち上がりスレッショルドよりも後で、VIN UVLO 立ち上がりスレッショルドまたは EN 立ち上がりスレッショルドの少なくとも一つを満たすことを推奨します。実用的なスタートアップシーケンスの例は次のとおりです。

1. V_{IN} を印加
2. 外部 VCC バイアスを印加
3. EN 信号が High に遷移

同様に、パワーダウンシーケンスについては、TI は、外部 VCC バイアス電源がオフになる前に、VIN UVLO 立ち下がりスレッシュホールドまたは EN 立ち下がりスレッシュホールドの少なくとも一つを満たすことを推奨します。最初に外部 VCC バイアス電源がオフになると、デバイスの内部 LDO が VCC 電圧を 3.0V 未満に低下させるのを防止し、外部 VCC バイアス電源から電力を供給される他の回路によって負荷を供給します。

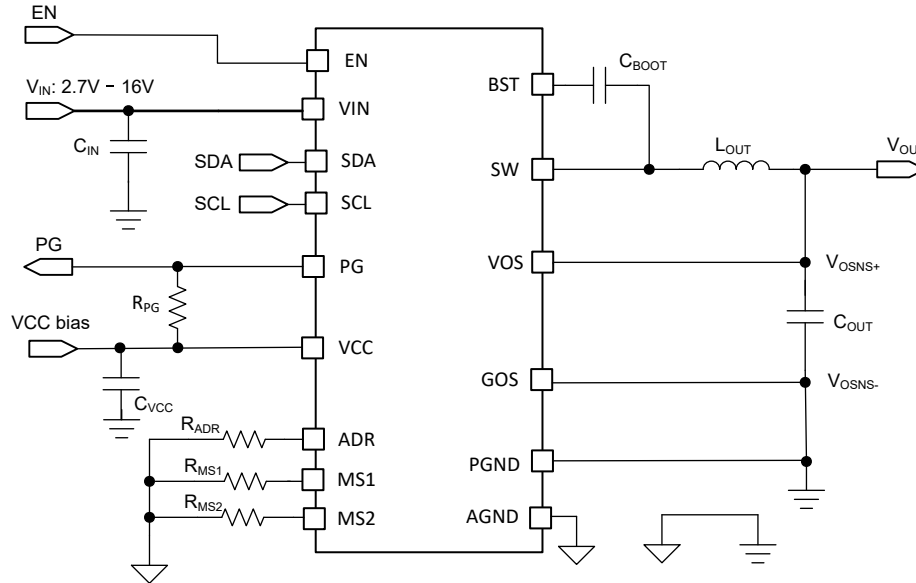


図 7-2. 外部 VCC バイアスを使用した分割レール構成

7.3.3 マルチファンクション選択 (MS1) ピン

このデバイスでは、MS1 ピンと AGND ピンの間に抵抗を接続することで、スイッチング周波数、電流制限、ソフトスタート時間を選択できます。表 7-2 に、スイッチング周波数、動作モード、ソフトスタート選択の抵抗値を示します。デバイスの動作範囲全体で正確に検出するには、許容誤差 $\pm 1\%$ の抵抗と温度係数 $\pm 100\text{ppm}/^\circ\text{C}$ (標準値) が必要です。

MS1 の状態は、内部の電源オン遅延期間中に設定され、ラッチされます。電源オン遅延後に MS1 ピンの抵抗を変更しても、デバイスのステータスは変化しません。

内部回路が抵抗値を正しく検出するように、MS1 ピンにコンデンサを配置しないでください。

表 7-2. MS1 ピンの選択

AGND への MS1 ピン抵抗 (k Ω)	スイッチング周波数 (f _{sw}) (kHz) ⁽¹⁾	バレー電流制限 (A)	SS 時間 (ms)
0/GND	600 ⁽²⁾	21 ⁽²⁾	1 ⁽²⁾
0.82	1200	21	1
1.2	600	21	4
1.8	800	21	4
2.2	1200	21	4
2.7	600	18	1
3.3	800	18	1
3.9	1200	18	1
4.7	600	18	4
5.6	800	18	4
6.8	1200	18	4
8.2	600	15	1
10	800	15	1
12	1200	15	1
15	600	15	4
18	800	15	4
22	1200	15	4
27	600	13	1
39	800	13	1
47	1200	13	1
56	600	13	4
68	800	13	4
82	1200	13	4
≥ 118 (FLOAT/VCC)	800	21	1

(1) スwitchング周波数は、3.3V の出力電圧に基づいています。周波数は出力電圧によって変化します。

(2) 工場出荷時のデフォルト値。NVM が異なる値にプログラムされている場合、デバイスは NVM にプログラムされた値を使用します。

7.3.4 マルチファンクション選択 (MS2) ピン

デバイスは、MS2 ピンと AGND ピンとの間に抵抗を接続することで、出力電圧を選択できます。表 7-3 に、出力電圧を選択するための抵抗値がリストされています。デバイスの動作範囲全体で正確に検出するには、許容誤差 $\pm 1\%$ の抵抗と温度係数 $\pm 100\text{ppm}/^\circ\text{C}$ (標準値) が必要です。

PMBus を介して出力電圧のプログラム可能性を拡張することに加えて、0.4V ~ 0.8V の VOS/FB ピンのレギュレーション設定のいずれかを使用して、外部の帰還抵抗デバイダにより出力電圧を設定することもできます。

MS2 の状態は、内部の電源オン遅延期間中に設定され、ラッチされます。電源オン遅延後に MS2 ピンの抵抗を変更しても、デバイスのステータスは変化しません。

内部回路が抵抗値を正しく検出するように、MS2 ピンにコンデンサを配置しないでください。

表 7-3. MS2 ピンの選択

AGND への MS2 ピン抵抗 (kΩ)	VOS/FB ピンのレギュレーション (V)	外部フィードバックをサポート
0/GND	1.0 ⁽¹⁾	なし
0.82	0.4	あり
1.2	0.45	あり
1.8	0.5	あり
2.2	0.55	あり
2.7	0.6	あり
3.3	0.65	あり
3.9	0.7	あり
4.7	0.75	あり
5.6	0.8	あり
6.8	0.85	なし
8.2	0.9	なし
10	0.95	なし
12	1.05	なし
15	1.10	なし
18	1.15	なし
22	1.20	なし
27	1.25	なし
39	1.3	なし
47	1.5	なし
56	1.8	なし
68	2.5	なし
82	5.0	なし
≥118 (FLOAT/VCC)	3.3	なし

(1) 工場からのデフォルト値。NVM が異なる値にプログラムされている場合、デバイスは NVM にプログラムされた値を使用します。

7.3.5 アドレス (ADR) ピン

このデバイスを使用すると、ADR ピンと AGND ピンの間に抵抗を接続することで、PMBus デバイスアドレスと故障回復モードを選択できます。表 7-3 に、アドレスおよび故障回復モード選択用の抵抗値を示します。デバイスの動作範囲全体で正確に検出するには、許容誤差 ±1% の抵抗と温度係数 ±100ppm/°C (標準値) が必要です。

ADR の状態は、内部の電源オン遅延期間中に設定され、ラッチされます。電源オン遅延後に ADR ピンの抵抗を変更しても、デバイスのステータスは変化しません。

内部回路が抵抗値を正しく検出するように、ADFR ピンにコンデンサを配置しないでください。

表 7-4. ADR ピンの選択

AGND への ADR ピン抵抗 (kΩ)	PMBus® アドレス	故障回復モード
0	0x21h	ヒカッパ
0.82	0x22h	ヒカッパ
1.2	0x23h	ヒカッパ
1.8	0x24h	ヒカッパ
2.2	0x25h	ヒカッパ
2.7	0x26h	ヒカッパ
3.3	0x29h	ヒカッパ
3.9	0x2Ah	ヒカッパ
4.7	0x2Bh	ヒカッパ
5.6	0x2Ch	ヒカッパ
6.8	0x2Dh	ヒカッパ
8.2	0x2Eh	ヒカッパ
10	0x21h	ラッチオフ
12	0x22h	ラッチオフ
15	0x23h	ラッチオフ
18	0x24h	ラッチオフ
22	0x25h	ラッチオフ
27	0x26h	ラッチオフ
39	0x29h	ラッチオフ
47	0x2Ah	ラッチオフ
56	0x2Bh	ラッチオフ
68	0x2Ch	ラッチオフ
82	0x2Dh	ラッチオフ
≥118 (FLOAT/VCC)	0x2Eh	ラッチオフ

7.3.6 イネーブル

EN ピンの電圧が有効スレッショルド電圧 ($V_{EN(R)}$) を上回り、VIN が VIN UVLO 立ち上がりスレッショルドを上回ると、デバイスは内部パワーアップシーケンスに入ります。

EN ピンには内部フィルタがあり、小グリッチによる予期しないオン/オフを防止します。この RC フィルタの時定数は 2μs です。たとえば、理想的な立ち上がりエッジで 0V から 3.3V にジャンプする EN ピンに 3.3V 電圧ソースを印加すると、内部の EN 信号は 2μs の後で 2.1V に達します。これは、印加されている 3.3V 電圧レベルの 63.2% です。

EN ピンと AGND ピンの間に内部プルダウン抵抗が実装されています。このプルダウン抵抗により、起動前に EN ピンをフローティングにすると、デバイスは無効状態に維持されます。EN ピンの分圧抵抗を使用して、デバイスがスタートアップシーケンスを開始する入力電圧を上昇させることができます。外付け分圧抵抗を使用する場合は、内部プルダウン抵抗を考慮する必要があります。EN の立ち上がりおよび立ち下がりスレッショルドへの影響を低減するために、この内部プルダウン抵抗は 1MΩ です。電力段が切り替わるときの公称動作中、この大きな内部プルダウン抵抗は、EN ピンを Low に保持するのに十分なノイズ耐性を備えられないため、デバイスが無効状態に移行するのに十分なレベルになりません。

外付けの分圧抵抗が EN ピンに接続されている場合、EN 電圧が立ち上がりスレッショルドを超えると追加の 5μA 電流源がアクティブになり、有効立ち下がりスレッショルド電圧 ($V_{EN(F)}$) と外付け抵抗に基づいて、プログラム可能なヒステリシスを提供します。

EN ピンの推奨動作条件は最大 5.5V です。VIN が 5.5V を超える可能性がある場合は、EN ピンを VIN ピンに直接接続しないでください。

7.3.7 ソフトスタート

このデバイスには、選択可能なソフトスタート時間 (0.5ms、1ms、2ms、4ms) が実装されており、ピンストラップまたはデジタルで構成できます。

7.3.8 パワーグッド

デバイスには、パワーグッド (PG または PGOOD) 出力があり、これが high になり、コンバータ出力がレギュレーション状態になったことを示します。パワーグッド出力はオープンドレイン出力であり、high にするには、プルアップ抵抗 (通常 30.1kΩ) を介して VCC ピンまたは外部電圧源 (< 5.5V) にプルアップする必要があります。パワーグッドプルアップ抵抗の推奨値は、1kΩ から 100kΩ への接続です。

注

外部電圧源を使用して PG ピンをプルアップするシステムでは、この同じ外部電圧源を使用して VCC ピンをバイアスすることを推奨します。

ソフトスタート ランプが完了すると、内部遅延 t_{PG_DLY} の後で、パワーグッド信号が High になります。SS 電圧が $V_{SS(DONE)}$ に達すると、内部ソフトスタート完了信号が High になり、ソフトスタートランプが完了したことを示します。FB 電圧が V_{REF} 電圧の 85% まで低下した場合、または V_{REF} 電圧の 110% を超えた場合、内部で 4μs の遅延後、パワーグッド信号が Low にラッチされます。パワーグッド信号は、EN を再度切り替えるか VIN がリセットされた後でのみ再度 High にできます。

OV イベントによってソフトスタート中に FB 電圧が OV スレッショルドを超えたが、ソフトスタートが完了する前に FB 電圧が OV スレッショルドを下回った場合、FB が OV スレッショルドを超えるか、または UV スレッショルドを下回るまで、パワーグッド信号は Low をラッチしません。OV または UV イベントは、ソフトスタートランプが完了した後に、パワーグッド信号が Low にラッチされる必要があります。しかし、ソフトスタート中に FB が OV スレッショルドを超えると、OV 故障がトリガされ、OV に対するデバイスの応答は (「過電圧保護と低電圧保護」を参照してください) 通常、出力電圧を UV スレッショルドよりも低くします。

入力電源がデバイスの電源投入に失敗した (たとえば、VIN と VCC が両方とも 0V のままの) 場合、このピンが外部抵抗を介してプルアップされると、パワーグッドピンは「電気的特性」のパワーグッド セクションで指定された Low レベルにクランプされます

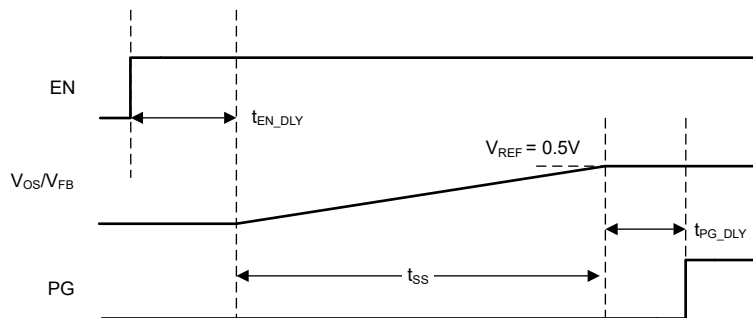


図 7-3. EN、SS、および PG のタイミング図

7.3.9 過電圧および低電圧保護

このデバイスは、抵抗分割されたフィードバック電圧を監視して、過電圧および低電圧イベントを検出します。OVP 機能は、出力が有効になると有効になります。UVP 機能は、ソフトスタートの完了後に有効になります。

ソフトスタートが完了した後で、FB 電圧が V_{REF} 電圧の 85% を下回ると、UVP コンパレータはトリップし、内部 UVP 遅延カウンタがカウントを開始します。70μs の UVP 遅延時間が経過すると、選択した故障回復モードに応じて、デバイスは 56ms のスリープ時間の経過後にヒカップ (一時中断) して再起動するか、ハイサイドとローサイドの両方の MOSFET をラッチオフします。ラッチオフ障害は、VIN をリセットするか、EN ピンを切り替えることでクリアできます。

出力が有効のとき、UVP コンパレータをクリアするには、FB 電圧を PG の low から high へのスレッシュホールドである 90% を上回る必要があります。FB 電圧がソフト スタート周期の終了までに 90% スレッシュホールドを超えなかった場合、デバイスは低電圧イベントに応答します。

UVP 遅延時間中に、FB 電圧が PG の Low から High へのスレッシュホールドである 90% を上回ると、低電圧イベントがクリアされ、タイマはゼロにリセットされます。出力電圧が 85% UVP スレッシュホールドを再度下回ると、70µs のタイマが再起動します。

FB 電圧が V_{REF} 電圧の 110% より高くなると、OVP コンパレータがトリップし、回路が故障状態をラッチして、PG ピンを Low に駆動します。負の電流制限 I_{NOCL} に達するまで、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになります。負の電流制限値に達すると、ローサイド MOSFET がオフになり、適切なオン時間 ($V_O / I_{IN} / f_{SW}$ で決定) のため、ハイサイド MOSFET が再度オンになります。デバイスは、UVP スレッシュホールド未満に出力電圧がプルダウンされるまで、このモードで動作します。その後、デバイスは上記のように低電圧イベントに応答します。

出力が有効になる前に過電圧状態 (High プリバイアス出力など) が発生した場合、デバイスはソフトスタート周期の開始時に、上記のように過電圧イベントに応答します。デバイスは、UVP が有効になるまでソフトスタート周期が完了するまで待機します。また、選択された故障回復モードに応じて、デバイスをヒカップして再起動するか、ソフトスタート期間の 14 倍のスリープ時間後に再起動するか、オフにラッチされます。

7.3.10 出力電圧設定 (外部フィードバック構成)

外部帰還サポート用にピンストラップすると、出力電圧は分圧抵抗 R_{FB_T} と R_{FB_B} でプログラムされます。 R_{FB_T} は、FB ピンと負荷の正ノードの間に接続し、 R_{FB_B} を FB ピンと GOS ピンの間に接続します。FB ピンは内部リファレンス (V_{REF}) に調整されます。推奨される R_{FB_B} の値は 10kΩ で、1kΩ から 20kΩ までの範囲です。 R_{FB_T} を決定するには、式 3 を使用します。

$$R_{FB_T} = \frac{V_O - V_{FB_REG}}{V_{FB_REG}} \times R_{FB_B} \quad (3)$$

V_{OUT} 全体の精度を向上させるには、FB 電圧分圧器に ±1% 以内の精度の抵抗を使用することを強く推奨します。FB ピンに接続されるパターン長を最小限に抑えるため、FB 電圧分圧抵抗は、デバイスの近くに配置する必要があります。 R_{FB_T} と GOS の上部からリモート ロケーションへの接続は、0.1µF 以上の高周波バイパス コンデンサを介してケルビン接続された PCB パターンのペアである必要があります。安定した出力電圧を維持し、リップルを最小限に抑えるには、インダクタや SW ノード、高周波クロックラインなどのノイズ源から、1 対のリモート検出ラインを離して配置する必要があります。

シングルエンド V_{OUT} センシングは多くの場合、ローカル センシングに使用されます。この構成では、より高い FB 抵抗、 R_{FB_T} 、を 0.1µF 以上の高周波ローカル バイパス コンデンサに接続し、GOS を AGND に短絡します。リモート センシングやシングルエンド センシングにかかわらず、FB 電圧分圧器、 R_{FB_T} および R_{FB_B} 、は常にデバイスのできるだけ近くに配置する必要があります。

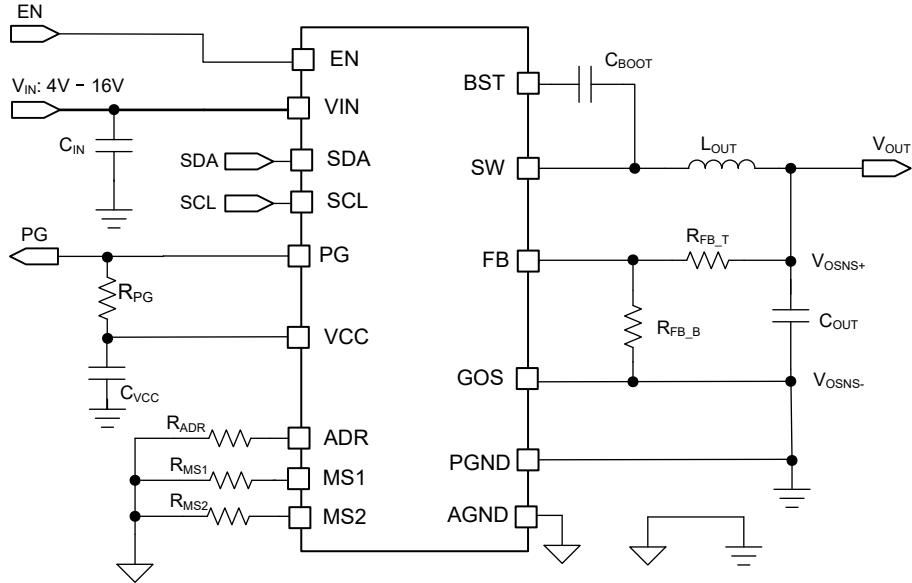


図 7-4. リモート センス付き外部フィードバックによる出力電圧の設定

7.3.11 リモート センス

デバイスは、GOS/FB ピンと VOS ピンの間にリモートセンス アンプを内蔵しています。リモート センス機能は、PCB トレース上の電圧降下を補正し、定常動作および負荷過渡イベント時の V_{OUT} 精度を維持するのに役立ちます。

VOS と GOS ピンからリモート ロケーションへの接続は、 $0.1\mu\text{F}$ 以上の高周波ローカル バイパス コンデンサを介してケルビン接続された PCB パターンのペアである必要があります。安定した出力電圧を維持し、リップルを最小限に抑えるには、インダクタや SW ノード、高周波クロック ラインなどのノイズ源から、1 対のリモート検出ラインを離して配置する必要があります。リモート検出ラインのペアを上下のグラウンド プレーンでシールドすることを TI は推奨します。

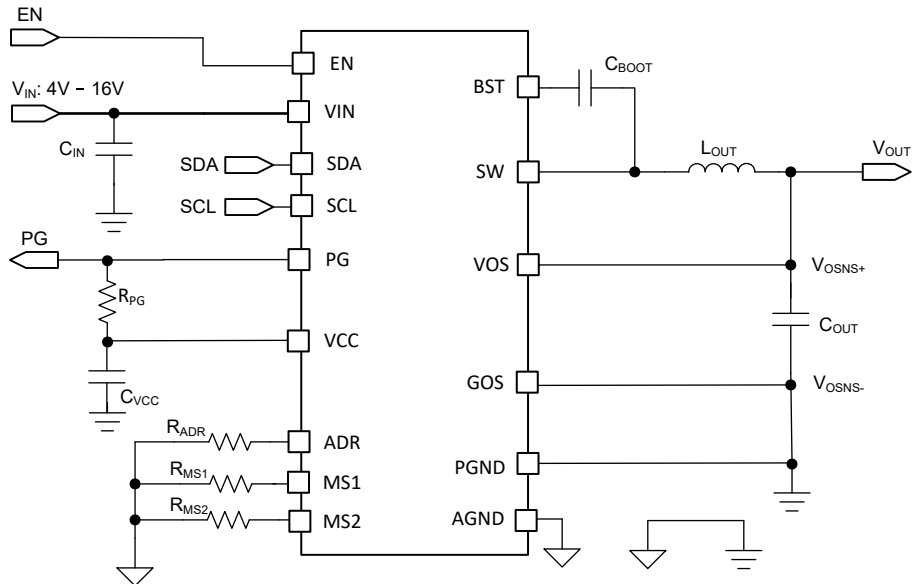


図 7-5. 内部フィードバックとリモート センスによる出力電圧設定

推奨される GOS 動作範囲 (AGND ピンを基準とする) は $-100\text{mV} \sim +100\text{mV}$ です。

7.3.12 ローサイド MOSFET のゼロ交差センシング

デバイスでは、ゼロ交差 (ZC) 回路を使用して、スキップ モード動作時にゼロ インダクタ電流検出を行います。ZC スレッシュホールドは、ローサイド MOSFET がオフになる前に小さな負の値に設定され、不連続導通モード (DCM) 動作に入ります。DCM に入った後、ZC スレッシュホールド ヒステリシスは DCM に入った後にスレッシュホールドを小さな正の値に増加させます。結果として、デバイスの軽負荷効率が向上します。

デバイスが DCM を終了できるように負荷電流が十分増加した場合、ZC 回路は DCM に戻る前に、ZC スレッシュホールドを下回る負のインダクタ電流の連続 16 サイクルを検出する必要があります。DCM を終了するのに必要なのは、ZC 検出なしの 1 サイクルのみです。

出力が有効のとき、デバイスがソフトスタートしている間、最初の 32 スイッチング サイクル中にも ZC 回路が有効になりません。デバイスが FCCM に構成されている場合、ZC は無効化され、ソフトスタートの完了時にデバイスは FCCM に遷移します。ソフトスタート完了の説明については、[ソフトスタート](#)を参照してください。高出力プリバイアスでのスタートアップ時などに、ソフトスタートの実行前に少なくとも 32 スイッチング サイクルがない場合、ソフトスタートが完了してから最初のハイサイド MOSFET のオン時間が完了するまで、ZC は無効になりません。

7.3.13 電流センスと正の過電流保護の各機能

降圧コンバータの場合、ハイサイド MOSFET のオン時間中、スイッチ電流は入力電圧、出力電圧、オン時間、出力インダクタ値によって決定される直線的なレートで増加します。ローサイド MOSFET のオン時間中は、この電流はリニアに減少します。スイッチ電流の平均値は、負荷電流と等しくなります。

デバイス内の出力過電流制限 (OCL) は、サイクル毎のバレー電流検出制御回路を使用して実現されています。インダクタ電流は、ローサイド MOSFET のオン時間中に、ローサイド MOSFET のドレイン - ソース電流を測定することによって監視されます。ローサイド MOSFET の測定されたドレイン - ソース間電流が電流制限スレッシュホールドを超えている場合、電流レベルが電流制限スレッシュホールドよりも低くなるまでローサイド MOSFET はオンのままになります。この種の動作により、デバイスから供給される平均出力電流が低減されます。

過電流状態の間、負荷に流れる電流は出力コンデンサに流れる電流を上回っています。したがって、出力電圧は低下する傾向があります。最終的に、出力電圧が低電圧保護スレッシュホールド (85%) を下回ると、UVP コンパレータがその低下を検出し、70 μ s の待機時間後にデバイスをシャットダウンします。故障回復構成に応じて、デバイスはヒックアップまたはラッチオフのいずれかを起こします ([『過電圧および低電圧保護』](#)を参照してください)

注

起動中に OCL 状態が発生した場合、デバイスはローサイドのバレー電流に基づくサイクル単位の電流制限が続けられますが、UVP コンパレータはソフトスタートが完了するまでデバイスをシャットダウンしません。

7.3.14 ローサイド MOSFET 負電流制限

このデバイスには、固定のサイクル単位の負の過電流制限 ($I_{LS}(\text{NOC})$) があります。正の過電流制限と同様に、ローサイド MOSFET のオン時間中にインダクタ電流が監視されます。ローサイド MOSFET に過大な負電流が流れないよう、デバイスがローサイド MOSFET を通過して-9 A 電流 (標準スレッシュホールド) を検出すると、ローサイド MOSFET がオフになり、ワンショットタイマ ($V_{IN} / N_{OUT} / f_{SW}$ で決定) で設定されたオン時間の間ハイサイド MOSFET をオンにします。ハイサイド MOSFET のオン時間が経過すると、ローサイド MOSFET が再度オンになります。

小さすぎるインダクタ値が選択された場合、またはインダクタが飽和しない限り、公称動作中に-9 A の負電流制限スレッシュホールドをデバイスがトリガしてはいけません。この負の電流制限を使用して、出力 OVP イベント後に出力コンデンサを放電します。[過電圧および低電圧](#)も参照してください。

7.3.15 出力電圧放電

EN によりデバイスが無効になると、出力電圧放電モードは有効になります。このモードでは、ハイサイド MOSFET とローサイド MOSFET の両方が強制的にラッチオフされますが、SW から PGND に接続された内部放電 MOSFET がオンになり、出力電圧が放電されます。FB 電圧が 50mV を下回ると、放電 MOSFET と内部 VCC LDO がオフになります。

EN ピンが Low になってコンバータが無効になり、VCC 電圧が放電スイッチをオンにするのに十分な間、出力電圧放電モードがアクティブになります。

7.3.16 UVLO 保護

このデバイスは、VIN ピンと VCC ピンの両方の電圧を監視します。VCC ピンの電圧が V_{CCUVLO} 立ち下がりスレッショルド電圧よりも低い場合、デバイスはシャットオフします。VCC 電圧が V_{CCUVLO} 立ち上がりスレッショルド電圧を超えると、デバイスは再びオンになります。VCC UVLO は非ラッチ方式の保護です。

VIN ピンの電圧が V_{INUVLO} 立ち下がりスレッショルド電圧よりも低いにもかかわらず、VCC ピンの電圧が V_{CCUVLO} 立ち上がりスレッショルド電圧よりも高い場合、デバイスはスイッチングを停止し、SS ピンを放電します。VIN 電圧が V_{INUVLO} 立ち上がりスレッショルド電圧を上回ると、デバイスはソフトスタートを再度開始し、再度スイッチングを行います。VIN UVLO は非ラッチ方式の保護です。

7.3.17 サーマル シャットダウン

デバイスは内部接合部温度を監視します。温度がスレッショルド (通常 165°C) を超えると、デバイスはスイッチングを停止し、SS ピンを放電します。温度がスレッショルド値を約 15°C 下回ると、デバイスは再起動されたソフトスタートでオンに戻ります。サーマル シャットダウンは非ラッチ方式の保護です。

7.4 デバイスの機能モード

7.4.1 自動スキップ (PFM) エコモード軽負荷動作

、PMBus インターフェイスを通じてスキップ (PFM) モードが選択されると、デバイスは軽負荷状態でスイッチング周波数を自動的に下げて高効率を維持します。PFM モードの選択方法については、プログラミングレジスタセクションを参照してください。

出力電流が重負荷状態から減少すると、インダクタ電流も減少し、インダクタリップル電流バレーがゼロ交差スレッショルド (ローサイド MOSFET ゼロ交差) に達するまで続きます。ゼロ交差スレッショルドは、連続導通モードと不連続導通モード間の境界を設定します。このゼロ交差スレッショルドが検出されると、同期 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モード (DCM) に入ります。オン時間は連続導通モード動作中とほぼ同じレベルに維持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間を要します。軽負荷動作 $I_{OUT(LL)}$ への遷移点 (例: 連続導通モードと不連続導通モードの境界) を計算するには、式 4 を使用します。

出力リップルを低くするため、TI は、スキップ モードで動作する設計にはセラミック出力コンデンサのみを使用することを推奨します。

$$I_{OUT(LL)} = \frac{1}{2} \times \frac{(V_{IN} - V_O) \times V_O}{V_{IN}} \times \frac{1}{L \times f_{SW}} \quad (4)$$

7.4.2 強制連続導通モード

FCCM モードを選択した場合 PMBus インターフェイス、本コントローラは軽負荷状態で連続導通モード (CCM) で動作します。FCCM モードの選択方法については、プログラミングレジスタセクションを参照してください。

FCCM 中、スイッチング周波数は負荷範囲全体にわたってほぼ一定のレベルに維持されます。これは、軽負荷効率の低下を犠牲にしてスイッチング周波数と出力リップルを厳密に制御する必要があるアプリケーション向けに設計されています。標準的な軽負荷動作の境界を計算するには、式 4 を使用します。負荷電流の計算された値を下回ると、デバイスは FCCM で動作します。

8 プログラミング レジスタ

サポートされる PMBus レジスタとデフォルト値の表には、実装されているレジスタ、およびビット動作およびレジスタ値のデフォルト値が示されています。

表 8-1. サポートされる PMBus® レジスタとデフォルト値

レジスタ アドレス	レジスタ名	R/W	NVM	デフォルト値 (16 進数)	デフォルト動作
01h	OPERATION	R/W	なし	00h	デバイスの動作を定義します。
02h	ON_OFF_CONFIG	R/W	あり	12h	CNTL ピンでオン / オフに切り替え。
03h	CLEAR_FAULTS	W	なし	該当なし	すべての故障をクリアします。
10h	WRITE_PROTECT	R/W	あり	00h	すべてのコマンドが書き込み可能。
15h	STORE_USER_ALL	W	なし	該当なし	現在の格納可能レジスタ設定をすべて NVM に格納します。
16h	RESTORE_USER_ALL	W	なし	該当なし	格納可能なすべてのレジスタ設定を NVM から復元します。
19h	CAPABILITY	R	なし	C0h	PEC と 1MHz に対応。
20h	VOUT_MODE	R	なし	96h	デバイスが 0.976mV の等価 LSB に対して、指数値が -10 の相対形式であることを示します。
21h	VOUT_COMMAND	R/W	なし	VBOOT	PMBus によって出力電圧を設定します。
25h	VOUT_MARGIN_HIGH	R/W	あり	210h	OPERATION レジスタで選択した場合のマーシンの上限パーセンテージを設定します。
26h	VOUT_MARGIN_LOW	R/W	あり	1F0h	OPERATION レジスタで選択した場合のマーシンの下限パーセンテージを設定します。
27h	VOUT_TRANSITION_RATE	R/W	あり	E81Ah	出力電圧の変化レートを mV/μs 単位で設定します。
29h	VOUT_SCALE_LOOP	R	なし	VBOOT	帰還抵抗比を設定します。
33h	FREQUENCY_SWITCH	R/W	あり	R _{MS2}	デフォルト値 800kHz でスイッチング周波数を設定
41h	VOUT_OV_FAULT_RESPONSE	R/W	あり	R _{MS2}	故障後にラッチオフ。
45h	VOUT_UV_FAULT_RESPONSE	R/W	あり	R _{MS2}	故障後にラッチオフ。電力変換を無効化するまでの応答遅延は 2μs。
46h	IOUT_OC_FAULT_RESPONSE	R/W	あり	R _{MS2}	ローサイドバレー電流制限スレッシュホールド = 100%、ピン ストラップにより変更。
60h	TON_DELAY	R/W	あり	0000h	開始状態を受信してから (ON_OFF_CONFIG レジスタでプログラムされた状態) 出力電圧が上昇し始めるまで遅延時間は 50μs です。
61h	TON_RISE	R/W	あり	F800h	出力が上昇し始めてから、出力電圧がレギュレーション帯域に入るまでの時間は 0.5ms です。
64h	TOFF_DELAY	R/W	あり	0000h	ユニットが停止状態を受信してから (ON_OFF_CONFIG レジスタでプログラムされた状態) ソフトストップ動作を開始するまでの時間は 0ms です。
65h	TOFF_FALL	R	なし	F800h	TON_RISE 設定と同じです。
78h	STATUS_BYTE	R	なし	40h	デバイスのステータスはオフです。
79h	STATUS_WORD	R	なし	2800h	VIN はオフ、PGOOD_Z は 1b です。
7Eh	STATUS_CML	R/W	なし	0h	現在のステータス
80h	STATUS_MFR_SPECIFIC	R/W	あり	0h	メーカー固有の故障ステータス。
8Bh	READ_VOUT	R	なし	該当なし	出力電圧の測定値。
8Ch	READ_IOUT	R	なし	該当なし	出力電流の測定値。
8Dh	READ_TEMP1	R	なし	該当なし	コントローラのダイ温度の測定値
98h	PMBUS_REVISION	R	なし	55h	PMBus リビジョン
99h	MFR_ID	R	なし	4954h	「TI」用の ASCII
9Ah	MFR_MODEL	R	なし	00234C54h	デバイス モデル
9Bh	MFR_REVISION	R/W	あり	00h	デバイス リビジョン
ADh	IC_DEVICE_ID	R	なし	00234C544954h	IC の部品番号
A Eh	IC_DEVICE_REV	R	なし	00h	IC のリビジョン
D1h	SYS_CFG_USER1	R/W	あり	00h	その他のシステム構成の設定。
D2h	PASSKEY	R/W	あり	00h	お客様がプログラム可能なロック アクセスコード。

表 8-1. サポートされる PMBus® レジスタとデフォルト値 (続き)

レジスタ アドレス	レジスタ名	R/W	NVM	デフォルト値 (16 進数)	デフォルト動作
D4h	COMP	R/W	あり	00h	帰還補償設定。
D5h	VBOOT	R/W	あり	R _{MS1}	ピンストラップで設定し、PMBus から書き込むことができます。外部分圧器を選択すると、VBOOT が FB ピンのリファレンス電圧となります。
D9h	NVM_CHECKSUM	R	なし	0000h	不揮発性メモリ (NVM) の内容の読み取りからの CRC 値。
FCh	FUSION_ID0	R	なし	02C0h	FUSION で使用されるデバイス ID
FDh	FUSION_ID1	R	なし	4B434F4C4945h	FUSION で使用されるデバイス ID

8.1 OPERATION (アドレス = 1h) [リセット = 00h]

OPERATION (アドレス = 1h) [リセット = 00h]

セクション 8.1 に OPERATION を示し、セクション 8.1 で説明します。

書き込みトランザクション: 書き込みバイト

読み取りトランザクション: 読み出しバイト

データ形式: 符号なしバイナリ (1 バイト)

NVM バックアップ: なし

更新: オンザフライ

OPERATION コマンドは、ON_OFF_CONFIG コマンドの設定に応じて、EN ピンからの入力と組み合わせてデバイス出力のオン/オフを切り替えるために使用されます。また、OPERATION でオフになった際に、出力電圧を上側または下側の MARGIN レベルに設定し、ソフト ストップを選択するためにも使用されます。

図 8-1. 動作

7	6	5	4	3	2	1	0
ON	OFF	MARGIN				予約済み	
R/W-0h	R/W-0h	R/W-0h				R-0h	

表 8-2. OPERATION フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ON	R/W	0h	ON_OFF_CONFIG コマンドが CMD ビット High に設定されている場合、デバイスの出力をオンまたはオフにします。電力変換の開始前に、他にもいくつかの要件を満たす必要がある場合があります。入力電圧はこれらの UVLO スレッシュホールドを上回る必要があります。また、ON_OFF_CONFIG の CPR ビットが High の場合、有効化ピンが High になる必要があります。 0h = デバイスの出力オフ 1h = デバイスの出力オン
6	OFF	R/W	0h	OPERATION[7] でデバイス出力オフのコマンドを指定 (ON ビットが 1 から 0 に移行) する場合、および ON_OFF_CONFIG コマンドで CMD ビットが High に設定されている場合、オフ動作を設定します。ON ビットが 1 の場合、OFF ビットは無視されます。 0h = 電力段を強制的にハイインピーダンス状態にして、直ちにデバイス出力をオフにします。OPERATION[7] でオフのコマンドが入力された場合、プログラムされた TOFF_DELAY や TOFF_FALL は無視されます。 1h = ソフト オフ。OPERATION[7] でオフのコマンドが入力された場合、TOFF_DELAY でプログラムされたオフにする遅延時間と、TOFF_FALL での低下設定を使用します。

表 8-2. OPERATION フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:2	MARGIN	R/W	0h	<p>OPERATION[7] のビット値とは無関係にマージン状態を設定します。以下に示す値以外の値は、無効またはサポートされていないデータとなります。マージンがオフの場合、出力電圧源は VOUT_COMMAND で、OV/UV 故障はそれぞれの故障応答レジスタでプログラムされたとおりに正常に動作します。</p> <p>0h = マージン オフおよび故障はプログラム通りに動作します。 1h = マージン オフおよび故障はプログラム通りに動作します。 2h = マージン オフおよび故障はプログラム通りに動作します。 3h = マージン オフおよび故障はプログラム通りに動作します。 5h = マージン Low (故障を無視)。出力電圧目標値は VOUT_MARGIN_LOW を使用します。UV 故障は無視され、シャットダウンはトリガされませんが、STATUS の更新はトリガされます。 6h = マージン Low (故障時の動作)。出力電圧目標値は VOUT_MARGIN_LOW を使用します。OV/UV 故障は、故障応答設定ごとにトリガします。 9h = マージン High (故障を無視)。出力電圧目標値は VOUT_MARGIN_HIGH を使用します。OV 故障は無視され、シャットダウンはトリガされませんが、STATUS の更新はトリガされます。 Ah = マージン High (故障時の動作)。出力電圧目標値は VOUT_MARGIN_HIGH を使用します。OV/UV 故障は、故障応答設定ごとにトリガします。</p>
1:0	予約済み	R	0h	予約済み

ADVANCE INFORMATION

8.2 ON_OFF_CONFIG (アドレス = 2h) [リセット = XXh]

図 8-2 に ON_OFF_CONFIG を示し、表 8-3 に、その説明を示します。

書き込みトランザクション: 書き込みバイト
読み取りトランザクション: 読み取りバイト
データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM
更新: オンザフライ

ON_OFF_CONFIG コマンドは、デバイス出力のオン / オフの切り替えに必要なイネーブル ピン入力コマンドとシリアルバス コマンドの組み合わせを設定します。これには、VIN に電力が供給されたときのユニットの応答方法も含まれます。ON_OFF_CONFIG の目的上、デバイス EN ピンは CONTROL ピンです。

図 8-2. ON_OFF_CONFIG

7	6	5	4	3	2	1	0
予約済み			PU	CMD	CPR	POL	CPA
R-0h			R/W-Xh	R/W-Xh	R/W-Xh	R-1h	R/W-Xh

表 8-3. ON_OFF_CONFIG フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	PU	R/W	0h	電源が存在する場合はいつでもデバイス出力をオンにするか、または CONTROL ピンおよび OPERATION コマンドでデバイスの出力のオン / オフを制御するか、いずれかの設定をデフォルトにします。リセット時、値は NVM によって決定されます。 0h = CONTROL ピンまたは OPERATION コマンドの状態にかかわらず、十分な入力電力が存在する場合は常にデバイス出力をオンにします。
3	CMD	R/W	0h	CMD ビットは、デバイスが OPERATION コマンドにตอบสนองする方法を設定します。リセット時、値は NVM によって決定されます。 0h = デバイスは、OPERATION コマンドの ON ビットを無視します。 1h = デバイスは、OPERATION コマンドで High に設定された ON ビット (CPR で設定されている場合は CONTROL ピン) にตอบสนองして、デバイス出力を有効にします。
2	CPR	R/W	0h	CPR ビットは、CONTROL ピンのตอบสนองを設定します。リセット時、値は NVM によって決定されます。 0h = デバイスは、CONTROL ピンを無視して出力を有効化します。 1h = デバイス出力は CONTROL ピンにตอบสนองします。
1	POL	R	1h	POL ビットは、CONTROL ピンの極性を設定します。 1h = CONTROL ピンはアクティブ High 極性です。
0	CPA	R/W	0h	CPA ビットは、CONTROL ピンによってデバイス出力がオフになったときの CONTROL ピンの動作を設定します。デバイスは、CPR ビットにより CONTROL ピンにตอบสนองするように構成する必要があります。リセット時、値は NVM によって決定されます。 0h = CONTROL ピンによって出力がオフになると、TOFF_DELAY に設定された時間の間レギュレーションを継続し、TOFF_FALL に設定された時間で低下します。 1h = CONTROL ピンによって出力がオフになると、直ちに出力をオフにします。

8.3 CLEAR_FAULTS (アドレス = 3h) [リセット = 00h]

CLEAR_FAULTS は、[図 8-3](#) に示され、[表 8-4](#) で説明されています。

書き込みトランザクション: 送信バイト

読み取りトランザクション: 該当なし

データフォーマット: データレス

NVM バックアップ: なし

更新: オンザフライ

CLEAR_FAULTS は、設定された故障ビットをクリアするために使用されるコマンドです。このコマンドは、すべてのステータスレジスタのすべてのビットをクリアします。同時に、SMB_ALERT# がアサートされた場合、デバイスは SMB_ALERT# 信号出力を解放します。CLEAR_FAULTS は、データを持たない書き込み専用コマンドです。

CLEAR_FAULTS コマンドでは、故障状態のためにラッチオフされたユニットは再起動されません。ビットがクリアされた状態で故障が引き続き存在する場合、故障ビットは即座に再セットされ、ホストには通常の方法で通知されます。

デバイスがホストからアラート応答アドレス (ARA) に応答した場合は SMB_ALERT# をクリアしますが、問題を引き起こしている単一のもしくは複数のステータスビットはクリアしません (ホストへの通知が正常に完了し、ホストが割り込みを適切に処理することを想定しているため)。元の故障 (および SMB_ALERT# の初期アサートと、デバイスの ARA への応答が成功する間に発生する故障) は、いずれのソースも SMB_ALERT# を再トリガできるようになる前に、クリアする必要があります (CLEAR_FAULTS によって、ON_OFF_CONFIG にプログラムされたメカニズムによる出力をオンにし、ステータスビットに 1b を書き込む、または電源リセット)。ただし、ARA に対するデバイスの応答の後にアクティブになる故障ソースは SMB_ALERT# をトリガします。

図 8-3. CLEAR_FAULTS

7	6	5	4	3	2	1	0
CLEAR_FAULTS							
W-0h							

表 8-4. CLEAR_FAULTS フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CLEAR_FAULTS	W	0h	該当なし

8.4 WRITE_PROTECT (アドレス = 10h) [リセット = 00h]

図 8-4 に WRITE_PROTECT を示し、表 8-5 で説明します。

書き込みトランザクション: 書き込みバイト
読み取りトランザクション: 読み取りバイト
データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM
更新: オンザフライ

WRITE_PROTECT コマンドは、PMBus デバイスへの書き込み制御に使用します。このコマンドの目的は、意図しない変更を防止することです。このコマンドは、デバイスの設定や動作に対する意図的および悪意のある変更に対する保護を提供するものではありません。WRITE_PROTECT の設定に関係なく、サポート対象のすべてのコマンドはパラメータを読み取ることができます。

注

CLEAR_FAULTS、STORE_USER_ALL、および RESTORE_USER_ALL などの送信バイト コマンドは、許可されたコマンドとしてリストされていない限り、書き込み保護によってブロックする必要があります。RESTORE_USER_ALL がブロックされている場合は、パワーアップ後にリストアを許可する必要があります。

図 8-4. WRITE_PROTECT

7	6	5	4	3	2	1	0
PROTECTION				予約済み			
R/W-0h				R-0h			

表 8-5. WRITE_PROTECT フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	PROTECTION	R/W	0h	リセット時、値は NVM によって決定されます。 0h = すべてのコマンドへの書き込みを有効にします。 1h = WRITE_PROTECT、STORE_USER_ALL、OPERATION、ON_OFF_CONFIG、VOUT_COMMAND、および PASSKEY コマンド以外のすべての書き込みを無効化します。 2h = WRITE_PROTECT、STORE_USER_ALL、OPERATION、および PASSKEY コマンド以外のすべての書き込みを無効化します。 4h = WRITE_PROTECT、STORE_USER_ALL、および PASSKEY コマンド以外のすべての書き込みを無効化します。
4:0	予約済み	R	0h	予約済み

8.5 STORE_USER_ALL (アドレス = 15h) [リセット = 00h]

STORE_USER_ALL は 図 8-5 に表示され、表 8-6 で説明されています。

書き込みトランザクション: 送信バイト

読み取りトランザクション: 該当なし

データフォーマット: データレス

NVM バックアップ: なし

更新: オンザフライ

STORE_USER_ALL コマンドは、電源投入時の新しいデフォルトとして、現在の保存可能なレジスタのすべての設定を EEPROM メモリに保存します。

EEPROM のプログラミング時間により、このコマンドの期間は約 125ms です。デバイスが EEPROM のプログラミングでビジー状態のときに受信する PMBus トラフィックについて、デバイスはデバイス アドレスに対して ACK を返しますが、「PMBus Part II」セクション 10.8.7 に従い、他のバイトに対しては NACK を返します (また、データに対してすべて 1 秒を返します)。EEPROM のプログラミング中、デバイスは NACKd トランザクションのステータスを設定しません。

EEPROM プログラミングの故障では、(78h) STATUS_BYTE の cml ビット、および STATUS_CML レジスタの oth ビットを設定します。

TI では、レギュレーションを無効化し、プログラミングを続行する前に少なくとも 125ms 待機することを推奨しています。

図 8-5. STORE_USER_ALL

7	6	5	4	3	2	1	0
STORE_USER_ALL							
W-0h							

表 8-6. STORE_USER_ALL フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	STORE_USER_ALL	W	0h	該当なし

8.6 RESTORE_USER_ALL (アドレス = 16h) [リセット = 00h]

RESTORE_USER_ALL は、[図 8-6](#) に示され、[表 8-7](#) で説明されています。

書き込みトランザクション: 送信バイト

読み取りトランザクション: 該当なし

データフォーマット: データレス

NVM バックアップ: なし

更新: オンザフライ

RESTORE_USER_ALL コマンドは、不揮発性のユーザー ストア メモリの内容全体を動作メモリ内の一致する場所にコピーするように PMBus デバイスに指示します。さらに、最後のパワー サイクルの間にピン検出によって設定された値は動作メモリ内の値を上書きし、また、ユーザー ストアから取得した値も上書きします。ただし、対応するピン検出オーバーライドビットが設定されている場合、ユーザー ストアからの値はピン検出の値で上書きされません

注

出力が有効になっている間は、RESTORE_USER_ALL コマンドを使用できます。ただし、コピー操作中は PMBus コマンドは無視され、出力がイネーブルの間に実行されると、予測不可能な、望ましくない、または致命的な結果が発生する可能性があります。TI は、ON_OFF_CONFIG にプログラムされた方法を使用して、このコマンドを発行する前にデバイス出力をオフにすることを推奨します。

図 8-6. RESTORE_USER_ALL

7	6	5	4	3	2	1	0
RESTORE_USER_ALL							
W-0h							

表 8-7. RESTORE_USER_ALL フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	RESTORE_USER_ALL	W	0h	該当なし

8.7 CAPABILITY (アドレス = 19h) [リセット = C0h]

図 8-7 に CAPABILITY を示し、表 8-8 に、その説明を示します。

書き込みトランザクション: 該当なし

読み取りトランザクション: 読み取りバイト

データフォーマット: 符号なしバイナリ (1 バイト)

NVM バックアップ: なし

更新: 該当なし

このコマンドを使用すると、ホストシステムはこの PMBus デバイスの主な機能を判断できます。

図 8-7. CAPABILITY

7	6	5	4	3	2	1	0
PEC	SPD		ALRT	フォーマット	AVS	予約済み	
R-1h	R-2h		R-0h	R-0h	R-0h	R-0h	

表 8-8. CAPABILITY のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PEC	R	1h	1h = パケット エラー チェックをサポート。
6:5	SPD	R	2h	2h = サポート対象の最大バス速度は 1MHz。
4	ALRT	R	0h	0h = このデバイスは SMB_ALERT# ピンが無く、SMBus アラート応答プロトコルをサポートしません。
3	フォーマット	R	0h	0h = このデバイスは、LINEAR11、ULINEAR16、SLINEAR16、または DIRECT 形式をサポートしています (IEEE 半精度浮動小数点形式に対して)。
2	AVS	R	0h	0h = AVSBus 非サポートを示す。
1:0	予約済み	R	0h	予約済み

8.8 VOUT_MODE (アドレス = 20h) [リセット = 96h]

図 8-8 に VOUT_MODE を示し、表 8-9 で説明します。

書き込みトランザクション: 該当なし

読み取りトランザクション: 読み取りバイト

データフォーマット: 符号なしバイナリ (1 バイト)

NVM バックアップ: なし

更新: 該当なし

PMBus 仕様では、VOUT_MODE コマンドのデータワードは、3 ビットのモードと 5 ビットのパラメータで構成される 1 バイトであると規定されています。VOUT_MODE は、線形形式の標準 PMBus 構成です (約 0.976mV 刻み)。ビット 7 は 1 にハードワイヤ接続されており、電圧関連のコマンドが絶対値ではなく vout_command の相対的な割合を使用することを示しています。詳細については、PMBus Part II, rev 1.5 セクション 8.5 を参照してください。

データの有効性: VOUT_MODE コマンドへの書き込もうとすると、無効なデータまたはサポート対象外のデータ (ivd) と見なされ、デバイスは ivd で説明されているように応答します。

図 8-8. VOUT_MODE

7	6	5	4	3	2	1	0
VOUT_MODE				VOUT_EXPONENT			
R-4h				R-16h			

表 8-9. VOUT_MODE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	VOUT_MODE	R	4h	4h = 相対モード、線形形式 (ULINEAR16、SLINEAR16)。
4:0	VOUT_EXPONENT	R	16h	16h = 指数値は -10 (0.976mV / カウントに相当)。

8.9 VOUT_COMMAND (アドレス = 21h) [リセット = 0000h]

図 8-9 に VOUT_COMMAND を示し、表 8-10 に、その説明を示します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: ULINEAR16

NVM バックアップ: なし

更新: オンザフライ

レギュレートされた出力は、PMBus で設定できます。PMBus を使用してレギュレート電圧を設定する場合、コマンドされる出力電圧 (ボルト単位) は、VOUT_COMMAND、VOUT_MARGIN_HIGH、VOUT_MARGIN_LOW、および OPERATION コマンドの組み合わせにより決定されます。(20h) VOUT_MODE コマンドの説明で述べたように、VOUT のステップ サイズは 0.976mV です。

VOUT_COMMAND の推奨値の範囲は、設定されている (29h) VOUT_SCALE_LOOP に依存します。この設計では、VOUT_COMMAND 値はこの推奨範囲内に制限されません。ただし、VOUT_COMMAND には最大 5.5V のクランプが適用されます。この最大クランプは、MARGIN_HIGH を実行しても影響を受けません。低電圧用の最小クランプはありません。

パワーアップ時の VOUT_COMMAND のリセット値は VBOOT/VOUT_SCALE_LOOP から導出されます。ON_OFF_CONFIG にプログラムされたメカニズム、または故障によってレールが無効化すると、VOUT_COMMAND の値が VBOOT に更新されます。

注

このレジスタは、ソフト スタート中に変更できます。ただし、レールは、TON_RISE にプログラムされたレートで、元のターゲット (VBOOT) まで上昇または下降を継続します。ソフト スタート完了後 (および VOUT_COMMAND が VBOOT 値と異なる場合)、デバイスは VBOOT 値から、プログラムされた VOUT_TRANSITION_RATE で最後に書き込まれた VOUT_COMMAND に直ちに遷移します。

レギュレーション中は、DAC が以前にプログラムされた VOUT_COMMAND に向けてスルー中であっても、VOUT_COMMAND への事前書き込みが許可されます。デバイスは、VOUT_TRANSITION_RATE にプログラムされたレートで、新しいターゲットへのスルーを直ちに開始します。

図 8-9. VOUT_COMMAND

15	14	13	12	11	10	9	8
予約済み				VOUT_COMMAND			
R-0h				R/W-0h			
7	6	5	4	3	2	1	0
VOUT_COMMAND							
R/W-0h							

表 8-10. VOUT_COMMAND フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:13	予約済み	R	0h	予約済み
12:0	VOUT_COMMAND	R/W	0h	PMBus インターフェイス経由で出力電圧のターゲットを設定します。

8.10 VOUT_MARGIN_HIGH (アドレス = 25h) [リセット = 0000h]

図 8-10 に VOUT_MARGIN_HIGH を示し、表 8-11 に、その説明を示します。

書き込みトランザクション: 書き込みワード
読み取りトランザクション: 読み取りワード
データフォーマット: ULINEAR16、相対値
NVM バックアップ: なし
更新: オンザフライ

このコマンドは、OPERATION コマンドが高マージンに設定されているときに、VREF リファレンス電圧を高くすることによりレギュレートされた電圧を増加させるために使用されます。Vout 形式は、(20h) VOUT_MODE レジスタ ビット [7] で相対値に設定されるため、コマンドで設定された Vout は、このコマンドで示される乗算係数だけ増加します。このコマンドは、(20h) VOUT_MODE.#br で指定された LSB も使用します

図 8-10. VOUT_MARGIN_HIGH

15	14	13	12	11	10	9	8
予約済み					VOUT_MARGIN_HIGH		
R-0h					R/W-0h		
7	6	5	4	3	2	1	0
VOUT_MARGIN_HIGH							
R/W-0h							

表 8-11. VOUT_MARGIN_HIGH フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R	0h	予約済み
10:0	VOUT_MARGIN_HIGH	R/W	0h	マージン High 出力電圧。 420h = 3.125% 440h = 6.25%

8.11 VOUT_MARGIN_LOW (アドレス = 26h) [リセット = 0000h]

図 8-11 に VOUT_MARGIN_LOW を示し、表 8-12 に、その説明を示します。

書き込みトランザクション: 書き込みワード
 読み取りトランザクション: 読み取りワード
 データフォーマット: ULINEAR16、相対値
NVM バックアップ: なし
 更新: オンザフライ

このコマンドは、OPERATION コマンドがマージンが Low に設定されている場合に、VREF リファレンス電圧を下方シフトすることによって、レギュレート電圧の値を低下させるために使用します。Vout フォーマットは、(20h) VOUT_MODE レジスタビット [7] で相対値に設定されるため、コマンドされた Vout は、このコマンドに示される乗算係数分だけ減少します。このコマンドは、(20h) VOUT_MODE.#br で指定された LSB も使用します

図 8-11. VOUT_MARGIN_LOW

15	14	13	12	11	10	9	8
予約済み						VOUT_MARGIN_LOW	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
VOUT_MARGIN_LOW							
R/W-0h							

表 8-12. VOUT_MARGIN_LOW フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R	0h	予約済み
9:0	VOUT_MARGIN_LOW	R/W	0h	マージン Low 出力電圧。 3C0h = -6.25% 3E0h = -3.125%

8.12 VOUT_TRANSITION_RATE (アドレス = 27h) [リセット = E81Ah]

図 8-12 に VOUT_TRANSITION_RATE を示し、表 8-13 で説明します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: LINEAR11

NVM バックアップ: なし

更新: オンザフライ

PMBus デバイスが、出力電圧を変化させる VOUT_COMMAND、または OPERATION (マージン High、マージン Low、マージン Off) を受信すると、このコマンドは、出力電圧の変化率を mV/us 単位で設定します。このコマンドによる変化率は、ユニットをオン / オフにするコマンドが実行された場合には適用されません。

データの有効性:

指数部および仮数部の読み取り専用ビットへの書き込みは無視され、それらの値は更新されません。読み取り/書き込み仮数部ビットの各バイナリの組み合わせは、書き込み可能で読み取り可能です。ただし、実際の出力電圧スルーレートは、対応している最も近い設定にされます。また、EEPROM から復元された仮数部の値は、サポートされている各設定に対して固定されています。表 xxxx を参照してください。

図 8-12. VOUT_TRANSITION_RATE

15	14	13	12	11	10	9	8
指数						予約済み	
R-1Dh						R-0h	
7	6	5	4	3	2	1	0
予約済み	VOUT_TRANSITION_RATE						
R-0h	R/W-1Ah						

表 8-13. VOUT_TRANSITION_RATE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	1Dh	線形形式の 2 の補数を用いた指数部。指数が -3 に固定され、0.125mV/ μ s LSB になります。
10:7	予約済み	R	0h	予約済み
6:0	VOUT_TRANSITION_RATE	R/W	1Ah	線形形式の 2 の補数を用いた仮数部。

8.13 VOUT_SCALE_LOOP (アドレス = 29h) [リセット = E804h]

図 8-13 に VOUT_SCALE_LOOP を示し、表 8-14 に、その説明を示します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: SLINEAR11

NVM バックアップ: EEPROM

更新: 出力が無効: 以下を参照してください。出力が有効: 読み取り専用。

VOUT_SCALE_LOOP を使用すると、PMBus デバイスは、コマンドされた電圧と制御回路入力の電圧間でマッピングできます。また、VOUT_SCALE_LOOP は内部の高精度抵抗デバイダもプログラミングするため、外部分周器は不要です。

図 8-13. VOUT_SCALE_LOOP

15	14	13	12	11	10	9	8
指数						予約済み	
R-1Dh						R-0h	
7	6	5	4	3	2	1	0
予約済み				VOUT_SCALE_LOOP			
R-0h				R-4h			

表 8-14. VOUT_SCALE_LOOP フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	1Dh	線形形式の 2 の補数を用いた指数部。指数が -3 に固定され、0.125 LSB になります。
10:4	予約済み	R	0h	予約済み
3:0	VOUT_SCALE_LOOP	R	4h	線形形式の 2 の補数を用いた仮数部。

8.14 FREQUENCY_SWITCH (アドレス = 33h) [リセット = 380Xh]

図 8-14 に FREQUENCY_SWITCH を示し、表 8-15 に、その説明を示します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: SLINEAR11

NVM バックアップ: EEPROM

更新: オンザフライ

FREQUENCY_SWITCH は、アクティブ デバイスのスイッチング周波数を設定します。

図 8-14. FREQUENCY_SWITCH

15	14	13	12	11	10	9	8
指数						予約済み	
R-7h						R-0h	
7	6	5	4	3	2	1	0
予約済み				FREQUENCY_SWITCH			
R-0h				R/W-Xh			

表 8-15. FREQUENCY_SWITCH フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	7h	線形形式の 2 の補数を用いた指数部。指数が 7 に固定され、128kHz LSB になります。
10:4	予約済み	R	0h	予約済み
3:0	FREQUENCY_SWITCH	R/W	0h	線形形式の 2 の補数を用いた仮数部。リセット時、値は NVM によって決定されます。

8.15 VOUT_OV_FAULT_RESPONSE (アドレス = 41h) [リセット = XXh]

図 8-15 に VOUT_OV_FAULT_RESPONSE を示し、表 8-16 に、その説明を示します。

書き込みトランザクション: 書き込みワード
 読み取りトランザクション: 読み取りワード
 データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM
 更新: オンザフライ

VOUT_OV_FAULT_RESPONSE コマンドは、出力過電圧故障にตอบสนองし、どのアクションを実行するかをデバイスに指示します。

図 8-15. VOUT_OV_FAULT_RESPONSE

7	6	5	4	3	2	1	0
予約済み		RS_OV			TD_OV		
R-0h		R/W-Xh			R-0h		

表 8-16. VOUT_OV_FAULT_RESPONSE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:3	RS_OV	R/W	0h	出力電圧が過電圧時の再試行設定。リセット時、値は NVM によって決定されます。 0h = デバイスは再起動を試みない。故障が取り除かれるまで、出力はディスプレイ状態を維持します (PMBus 仕様のセクション 10.7 を参照) 7h = 本デバイスは、実行が無効化されるか、バイアス電源が解消されるか、または他の故障状態によってユニットがシャットダウンするまで、制限なしに、通常のスタートアップ (ソフトスタート) を連続的に繰り返し実行します。 データの有効性: 000 または 111 以外の値は受け付けられず、そのような試行は、無効データまたはサポート対象外のデータ (ivd) とみなされ、デバイスは ivd の記述に従って応答します。3 ビットがすべて同じである必要があることから、1 ビット (ビット 5) のみが EEPROM に保存されます。
2:0	TD_OV	R	0h	出力過電圧時の再試行時間遅延の設定。 0h = 再試行時間遅延設定の値がゼロの場合、ユニットは再起動を遅延させません。これは、RS_OV[2:0] = 000 に設定して再起動が無効化されている場合にのみサポートされます。故障が取り除かれるまで、出力はディスプレイ状態を維持します (PMBus 仕様のセクション 10.7 を参照)

8.16 VOUT_UV_FAULT_RESPONSE (アドレス = 45h) [リセット = XXh]

VOUT_UV_FAULT_RESPONSE を 図 8-16 に示し、表 8-17 で説明します。

書き込みトランザクション: 書き込みワード
読み取りトランザクション: 読み取りワード
データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM
更新: オンザフライ

VOUT_OV_FAULT_RESPONSE コマンドは、出力低電圧故障にตอบสนองしてどのようなアクションを実行するかをデバイスに指示します。

図 8-16. VOUT_UV_FAULT_RESPONSE

7	6	5	4	3	2	1	0
予約済み		RS_UV			TD_UV		
R-0h		R/W-Xh			R-2h		

表 8-17. VOUT_UV_FAULT_RESPONSE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:3	RS_UV	R/W	0h	出力電圧が低電圧時の再試行設定。リセット時、値は NVM によって決定されます。 0h = デバイスは再起動を試みない。故障が取り除かれるまで、出力はデイスレープ状態を維持します (PMBus 仕様のセクション 10.7 を参照) 7h = 本デバイスは、実行が無効化されるか、バイアス電源が解消されるか、または他の故障状態によってユニットがシャットダウンするまで、制限なしに、通常のスタートアップ (ソフトスタート) を連続的に繰り返し実行します。 データの有効性: 000 または 111 以外の値は受け付けられず、そのような試行は、無効データまたはサポート対象外のデータ (ivd) とみなされ、デバイスは ivd の記述に従って応答します。3 ビットがすべて同じである必要があることから、1 ビット (ビット 5) のみが EEPROM に保存されます。
2:0	TD_UV	R	2h	これらのビットは、故障状態信号の検出からレールのシャットダウンまでの遅延を選択に使用されます。つまり、これにより故障グリッチ除去期間が設定されるため、遅延カウンタが満了する前に故障状態が解消された場合、遅延カウンタはゼロにリセットされます。グリッチ除去カウンタの誤差は $\pm 1\mu\text{s}$ であるため、低い値の設定ではより顕著になります。ヒカップ時間、または連続した再起動試行の間隔も、応答遅延 64 μs とヒカップ遅延 52ms で設定されます。 2h = 出力低電圧時の再試行 / ヒカップ時間の遅延設定

8.17 IOUT_OC_FAULT_LIMIT (アドレス = 46h) [リセット = 00XXh]

図 8-17 に IOUT_OC_FAULT_LIMIT を示し、表 8-18 に、その説明を示します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: LINEAR11

NVM バックアップ: EEPROM

更新: オンザフライ

IOUT_OC_FAULT_LIMIT コマンドは、過電流検出器が過電流故障状態を通知する出力電流の値を設定します。ここで選択したスレッショルドは、検出されたローサイド バレー電流と比較されます。詳細については、「過電流制限およびローサイド電流センス」を参照してください。

図 8-17. IOUT_OC_FAULT_LIMIT

15	14	13	12	11	10	9	8
指数						予約済み	
R-0h						R-0h	
7	6	5	4	3	2	1	0
予約済み			IOUT_OC_FAULT_LIMIT				
R-0h			R/W-Xh				

表 8-18. IOUT_OC_FAULT_LIMIT フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	0h	線形形式の 2 の補数を用いた指数部は、LSB が 1A になります。
10:5	予約済み	R	0h	予約済み
4:0	IOUT_OC_FAULT_LIMIT	R/W	0h	<p>IOUT_OC_FAULT_LIMIT コマンドは、過電流検出器が過電流故障状態を通知する出力電流の値を設定します。ここで選択したスレッショルドは、検出されたローサイド バレー電流と比較されます。詳細については、「過電流制限およびローサイド電流センス」を参照してください。リセット時、値は NVM によって決定されます。</p> <p>データの有効性: OCL 制限の設定では、IOUT_OC_FAULT_LIMIT[4:0] のみが考慮されます。31 より大きい値はエイリアスされます。</p> <p>4h = 4A OCL B28 および A28 8h = 7A OCL B28 および A28 Bh = 10A OCL B28 および A28 Dh = 13A OCL B28 および A28 10h = 15A OCL B28、13A OCL A28 13h = 18A OCL B28、13A OCL A28 1Fh = 21A OCL B28、13A OCL A28</p>

8.18 TON_DELAY (アドレス = 60h) [リセット = 000Xh]

図 8-18 に TON_DELAY を示し、表 8-19 に、その説明を示します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: LINEAR11

NVM バックアップ: EEPROM

更新: オンザフライ

TON_DELAY コマンドは、スタート状態を受信した時点 (ON_OFF_CONFIG コマンドでプログラムされたもの) から出力電圧が上昇を開始するまでの時間を ms 単位で設定します。

図 8-18. TON_DELAY

15	14	13	12	11	10	9	8
指数						予約済み	
R-0h						R-0h	
7	6	5	4	3	2	1	0
予約済み							TON_DELAY
R-0h							R/W-Xh

表 8-19. TON_DELAY フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	0h	線形形式の 2 の補数を用いた指数部。指数はプログラマブルではなく、その結果 1ms LSB になります。
10:1	予約済み	R	0h	予約済み
0	TON_DELAY	R/W	0h	これらのビットは、TON_DELAY 時間を選択します。000b を選択すると、50us 以上の遅延が強制的に適用されます。 0h = 0.05ms TON_DELAY 1h = 1ms TON_DELAY

8.19 TON_RISE (アドレス = 61h) [リセット = F80Xh]

図 8-19 に TON_RISE を示し、表 8-20 に、その説明を示します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: LINEAR11

NVM バックアップ: EEPROM

更新: オンザフライ

TON_RISE コマンドは、出力の上昇開始から、電圧がレギュレーション帯域に入るまでの時間をミリ秒単位で設定します。これにより、ソフト スタート期間中のリファレンス DAC のスルーレートを実質的に設定できます。ソフトスタート期間は、VOUT_COMMAND をブート アップに使用している場合の TON_RISE の選択によって変化します。詳細については、『起動とシャットダウン』セクションを参照してください。

図 8-19. TON_RISE

15	14	13	12	11	10	9	8
指数						予約済み	
R-1Fh						R-0h	
7	6	5	4	3	2	1	0
予約済み				TON_RISE			
R-0h				R/W-Xh			

表 8-20. TON_RISE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	1Fh	線形形式の 2 の補数を用いた指数部。指数はプログラマブルではなく、その結果 0.5ms LSB になります。
10:4	予約済み	R	0h	予約済み
3:0	TON_RISE	R/W	0h	このビットは、TON_RISE 時間を選択します。リセット時、値は NVM によって決定されます。 0h = 0.5ms TON_RISE 2h = 1ms TON_RISE 4h = 2ms TON_RISE 8h = 4ms TON_RISE

8.20 TOFF_DELAY (アドレス = 64h) [リセット = 000Xh]

図 8-20 に TOFF_DELAY を示し、表 8-21 に、その説明を示します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: LINEAR11

NVM バックアップ: EEPROM

更新: オンザフライ

TOFF_DELAY コマンドは、停止状態が受信されたとき (ON_OFF_CONFIG コマンドでプログラムされたもの) から、デバイスがソフト ストップ動作を開始するまでの時間を ms 単位で設定します。

図 8-20. TOFF_DELAY

15	14	13	12	11	10	9	8
指数						予約済み	
R-0h						R-0h	
7	6	5	4	3	2	1	0
予約済み							TOFF_DELAY
R-0h							R/W-Xh

表 8-21. TOFF_DELAY フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	0h	線形形式の 2 の補数を用いた指数部。指数はプログラマブルではなく、その結果 1ms LSB になります。
10:1	予約済み	R	0h	予約済み
0	TOFF_DELAY	R/W	0h	このビットは、TOFF_DELAY 時間を選択します。リセット時、値は NVM によって決定されます。 0h = 0ms TOFF_DELAY 1h = 1ms TOFF_DELAY

8.21 TOFF_FALL (アドレス = 65h) [リセット = F80Xh]

図 8-21 に TOFF_FALL を示し、表 8-22 で説明します。

書き込みトランザクション: 書き込みワード

読み取りトランザクション: 読み取りワード

データフォーマット: LINEAR11

NVM バックアップ: EEPROM

更新: オンザフライ

TOFF_FALL コマンドは、ターンオフ遅延時間の終了からリファレンス DAC が 0mV にコマンドされるまでの時間をミリ秒単位で設定します。このコマンドを使用して、制御された速度で出力電圧を低下させます。これにより、ソフト オフ期間中のリファレンス DAC のスルーレートが実質的に設定されます。TOFF_FALL の実装では、サポートされている 32 VBOOT レベルごとに VREF DAC のスルーレートが調整され、ソフト ストップ時間がターゲット値に近くなる (しかし、必ずしもそうとは限りません) スルーレートが得られます。0.5ms TOFF_FALL に対して選択されたスルーレートは、TON_RISE に示すものと同じですが、負のスロープがあります。TOFF_FALL は、さまざまな設定で TON_RISE と同じ方法でスケールリングされます。

VOUT の立ち下がり時間は、実際には TOFF_FALL 値と等しくありません。これは、出力電圧が 200mV まで放電されると、デバイスは SW スwitchングを停止し、リファレンス DAC スルーレートを設定するため、立ち下がり間がより長くなるためです。詳細については、『シャットダウン』を参照してください。

図 8-21. TOFF_FALL

15	14	13	12	11	10	9	8
EXPONENT[4:0]					予約済み		
R-1Fh					R-0h		
7	6	5	4	3	2	1	0
予約済み				TOFF_FALL[3:0]			
R-0h				R-Xh			

表 8-22. TOFF_FALL フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	EXPONENT[4:0]	R	1Fh	線形形式の 2 の補数を用いた指数部。指数はプログラマブルではなく、その結果 0.5ms LSB になります。
10:4	予約済み	R	0h	予約済み
3:0	TOFF_FALL[3:0]	R	0h	TOFF_FALL は読み取り専用になり、TON_RISE でプログラムされた値と同じ値になります。リセット時、その値は NVM によって決定されます。

8.22 STATUS_BYTE (アドレス = 78h) [リセット = 81h]

STATUS_BYTE を表 8-23 に示します。

書き込みトランザクション: 該当なし

読み取りトランザクション: 読み取りバイト

データフォーマット: 符号なしバイナリ (1 バイト)

NVM バックアップ: なし

更新: オンザフライ

STATUS_BYTE コマンドは、過電圧、過電流、過熱などの最も重要な故障の概要を含む、1 バイトの情報を返します。次の表に、サポートされている STATUS_BYTE メッセージの内容を示します。STATUS_BYTE は、STATUS_WORD の下位バイトと同じです。STATUS_BYTE の条件は要約情報のみです。故障が発生した場合、他のどの STATUS レジスタをチェックする必要があるかをホストに通知するためにアサートされます。これらのビットの設定とクリアは、各ステータスレジスタで行う必要があります。

表 8-23. STATUS_BYTE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
6	OFF	R/W	1h	LIVE (ラッチなし) ステータスビット。 0h = デバイスは有効であり、電力を変換しています。 1h = このデバイスは、何らかの理由 (デバイスが有効になっていないなど) により電力を変換していません。
5	OVF	R/W	0h	出力過電圧に関する故障が発生しました。 0h = 出力過電圧に関する故障は発生していません。 1h = 出力過電圧故障が発生。
4	OCF	R/W	0h	出力過電流に関する故障が発生しました。 0h = 出力過電流に関する故障は発生していません。 1h = 出力過電流故障が発生。
3	非対応	R	0h	サポートされず、常に 0 に設定されます。
2	OTF	R/W	0h	過熱に関する故障が発生しました。 0h = 温度に関する故障または警告は発生していません。 1h = 温度に関する故障または警告が発生しました
1	CML	R/W	0h	(7Eh) STATUS_CML で通信、メモリ、またはロジックに関する故障が発生しました 0h = 通信、メモリ、ロジックに関する故障は発生していません。 1h = 通信 / メモリ / ロジックに関する故障が発生しました。
0	OTH	R/W	1h	このビットは、STATUS_BYTE の他のビットに関する故障で対処されていない故障にフラグを立てるために使用されます。この場合、LOW_VIN、UCF、UVF です。 0h = 上記以外の故障は発生していません。 1h = 上記以外の故障が発生。

8.23 STATUS_WORD (アドレス = 79h) [リセット = 2800h]

図 8-22 に STATUS_WORD を示し、表 8-24 に、その説明を示します。

書き込みトランザクション: 該当なし
 読み取りトランザクション: 読み取りワード
 データフォーマット: 符号なしバイナリ (2 バイト)
 NVM バックアップ: なし
 更新: オンザフライ

STATUS_WORD コマンドは、過電圧、過電流、過熱などの最も重要な故障の概要を含む、2 バイトの情報を返します。STATUS_WORD の下位バイトは、STATUS_BYTE と同じレジスタです。次の表に、サポートされている STATUS_WORD メッセージの内容を示します。STATUS_BYTE の条件は概要情報のみです。

図 8-22. STATUS_WORD

15	14	13	12	11	10	9	8
VF	CF	入力	メーカー	PGOOD_Z			非対応
R/W-0h	R/W-0h	R/W-1h	R/W-0h	R/W-1h			R-0h
7	6	5	4	3	2	1	0
STATUS_BYTE							
R-0h							

表 8-24. STATUS_WORD フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VF	R/W	0h	VOUT に関する故障が発生しています (OVF + UVF)。 0h = 出力電圧の故障または警告は発生していません。 1h = 出力電圧の故障または警告が発生しました。
14	CF	R/W	0h	故障が現在発生しています (OCF + NOC/UCF)。 0h = 出力電流に関する故障は発生していません。 1h = 出力電流に関する故障 (OCF + NOC/UCF) が発生しました。
13	入力	R/W	1h	入力の故障または警告が発生しています。 0h = 入力の故障または警告は発生していません。 1h = 入力の故障または警告が発生。
12	メーカー	R/W	0h	ビット 7 DCM を除き、(80h) STATUS_MFR_SPECIFIC に故障または警告が発生しています 0h = STATUS_MFR_SPECIFIC に関する故障は発生していません。 1h = STATUS_MFR_SPECIFIC に関する故障が発生しました。
11	PGOOD_Z	R/W	1h	パワーグッドは、コンバータの出力電圧が定義された過電圧警告 (OVW) および低電圧警告 (UVW) の制限値を超えたときにフラグを立てるために使用されます。この信号はラッチされておらず、常にデバイスの現在の状態を表しますが、PGOOD が Low にアサートされる故障はラッチされません。 0h = 電源は良好です。 1H = 電源は良好ではありません。
10:8	非対応	R	0h	サポートされず、常に 0 に設定されます。
7:0	STATUS_BYTE	R	0h	常に STATUS_BYTE の値と同じです。

8.24 STATUS_CML (アドレス = 7Eh) [リセット = 00h]

図 8-23 に STATUS_CML を示し、表 8-25 に、その説明を示します。

書き込みトランザクション: 書き込みバイト
読み取りトランザクション: 読み取りバイト
データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: なし
更新: オンザフライ

STATUS_CML コマンドは、通信、ロジック、およびメモリに関連する内容を含む 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、(03h) CLEAR_FAULTS によってクリアするか、(02h) ON_OFF_CONFIG にプログラムされたメカニズムで出力をオンにしてクリアするか、あるいは、それぞれの位置にある STATUS_CML レジスタに 1b を書き込むことで個別にクリアできます。

図 8-23. STATUS_CML

7	6	5	4	3	2	1	0
IVC	IVD	PEC_FAIL	MEM	予約済み		OTH	非対応
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R-0h

表 8-25. STATUS_CML フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IVC	R/W	0h	0h = 無効またはサポートされていないコマンドが受信されなかったことを示すラッチ フラグ。 1h = 無効またはサポートされていないコマンドが受信されたことを示すラッチ フラグ。
6	IVD	R/W	0h	0h = 無効またはサポートされていないデータが受信されなかったことを示すラッチ フラグ。 1h = 無効またはサポートされていないデータが受信されたことを示すラッチ フラグ。
5	PEC_FAIL	R/W	0h	0h = パケット エラー チェックが失敗していないことを示すラッチ フラグ。 1h = パケット エラー チェックに失敗したことを示すラッチ フラグ。
4	MEM	R/W	0h	内部的には、次のいずれかが故障の原因となっている可能性があります。STORE_USER_ALL 中 / 後のパリティ チェックに失敗。リセット RESTORE (ブートアップ時の EEPROM 復元) 中に、EEPROM の内容とレジスタの内容が一致しない場合、またはパリティ チェックに失敗した場合。ユーザーが RESTORE_USER_ALL コマンドを実行した際に、パリティ チェックに不合格となった場合。NVM プログラミング シーケンス中の故障。このビットは、基になる問題が解決されてメモリが更新されるまで、どのクリア メカニズムでもクリアすることはできません。 0h = メモリ エラーが検出されなかったことを示すラッチ フラグ。 1h = メモリ エラーが検出されたことを示すラッチ フラグ。
3:2	予約済み	R	0h	
1	OTH	R/W	0h	0h = 通信エラーが検出されなかったことを示すラッチ フラグ。 1h = 通信エラーが検出されたことを示すラッチ フラグ。
0	非対応	R	0h	サポートされず、常に 0 に設定されます。

8.25 STATUS_MFR_SPECIFIC (アドレス = 80h) [リセット = 00h]

図 8-24 に STATUS_MFR_SPECIFIC を示し、表 8-26 に、その説明を示します。

書き込みトランザクション: 該当なし

読み取りトランザクション: 読み取りバイト

データフォーマット: 符号なしバイナリ (1 バイト)

NVM バックアップ: なし

更新: オンザフライ

STATUS_MFR_SPECIFIC コマンドは、次のようなメーカー定義ステータスの内容を含む 1 バイトのデータを返します。サポート対象のすべてのビットは、PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、(03h) CLEAR_FAULTS によって、(02h) ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすることによって、もしくは個別に STATUS_MFR_SPECIFIC レジスタに 1b を書き込むことで、クリアできます。

図 8-24. STATUS_MFR_SPECIFIC

7	6	5	4	3	2	1	0
DCM							非対応
R/W-0h							R-0h

表 8-26. STATUS_MFR_SPECIFIC フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DCM	R/W	0h	LIVE (ラッチなし) ステータスビット。このビットは、DCM 動作の検出時に設定されます。このビットは SMB_ALERT# をトリガせず、STATUS_WORD の MFR ビットや STATUS_BYTE の OTH ビットをアサートしません。 0h = デバイスは DCM で動作していません。 1h = デバイスは DCM で動作しています。
6:0	非対応	R	0h	サポートされず、常に 0 に設定されます。

8.26 READ_VOUT (アドレス = 8Bh) [リセット = 0000h]

図 8-25 に READ_VOUT を示し、表 8-27 に、その説明を示します。

書き込みトランザクション: 該当なし
 読み取りトランザクション: 読み取りワード
 データフォーマット: LINEAR16、絶対値
 NVM バックアップ: なし
 更新: オンザフライ

READ_VOUT コマンドは、実際の測定された出力電圧 (VOSNS-GOSNS) をボルト単位で返します。詳細については、「遠隔測定」を参照してください。形式と LSB を (20h) VOUT_MODE で設定します。

図 8-25. READ_VOUT

15	14	13	12	11	10	9	8
非対応			READ_VOUT				
R-0h			R-0h				
7	6	5	4	3	2	1	0
READ_VOUT							
R-0h							

表 8-27. READ_VOUT フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:13	非対応	R	0h	サポートされず、常に 0 に設定されます。
12:0	READ_VOUT	R	0h	出力電圧のテレメトリ データ。最小 0V にクランプされます。

8.27 READ_IOUT (アドレス = 8Ch) [リセット = DXXXh]

図 8-26 に READ_IOUT を示し、表 8-28 で説明します。

書き込みトランザクション: 該当なし

読み取りトランザクション: 読み取りワード

データフォーマット: LINEAR11

NVM バックアップ: なし

更新: オンザフライ

READ_IOUT コマンドは、SW 出力電流の測定値をアンペア単位で返します。詳細については、「遠隔測定」を参照してください。

図 8-26. READ_IOUT

15	14	13	12	11	10	9	8
EXPONENT_IOUT					READ_IOUT		
R-1Ah					R-XXh		
7	6	5	4	3	2	1	0
READ_IOUT							
R-XXh							

表 8-28. READ_IOUT フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	EXPONENT_IOUT	R	1Ah	線形形式の 2 の補数を用いた指数部。指数が -5 に固定され、0.03125A LSB になります。
10:0	READ_IOUT	R	0h	出力電流の読み取り値。ビット [10] は負の値をサポートしていないため、0 に固定されています。

8.28 READ_TEMP1 (アドレス = 8Dh) [リセット = 0XXXh]

図 8-27 に、READ_TEMP1 を示し、表 8-29 に、その説明を示します。

書き込みトランザクション: 該当なし
 読み取りトランザクション: 読み取りワード
 データフォーマット: LINEAR11
 NVM バックアップ: なし
 更新: オンザフライ

READ_TEMP1 コマンドは、コントローラのダイ温度を摂氏 (°C) で返します。詳細については、「遠隔測定」を参照してください。

図 8-27. READ_TEMP1

15	14	13	12	11	10	9	8
指数				READ_TEMP1			
R-0h				R-XXh			
7	6	5	4	3	2	1	0
READ_TEMP1							
R-XXh							

表 8-29. READ_TEMP1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15:11	指数	R	0h	線形形式の 2 の補数を用いた指数部。指数部が 0 に固定され、1°C になります。
10:0	READ_TEMP1	R	0h	コントローラダイの温度。

8.29 PMBUS_REVISION (アドレス = 98h) [リセット = 55h]

図 8-28 に PMBUS_REVISION を示し、表 8-30 で説明します。

書き込みトランザクション: 該当なし

読み取りトランザクション: 読み取りバイト

データフォーマット: 符号なしバイナリ (1 バイト)

NVM バックアップ: なし

PMBUS_REVISION コマンドは、PMBus のリビジョンを返します。

図 8-28. PMBUS_REVISION

7	6	5	4	3	2	1	0
PMBUS_REVISION							
R-55h							

表 8-30. PMBUS_REVISION フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PMBUS_REVISION	R	55h	PMBus リビジョン、PMBus 仕様のリビジョン 1.5 準拠 (パート I および II)。

8.30 MFR_ID (アドレス = 99h) [リセット = 4954h]

図 8-29 に MFR_ID を示し、表 8-31 に、その説明を示します。

書き込みトランザクション: 該当なし
 読み取りトランザクション: ブロック読み取り
 データフォーマット: 符号なしバイナリ (2 バイト)
 NVM バックアップ: なし

この読み取り専用ブロック読み取りコマンドは、メーカーの ID (ユニットのメーカーを示す名前、略語、またはシンボル) を含む 1 ワード (16 ビット) を返します。ブロック読み取りコマンドの BYTE_COUNT フィールドは 2 です (2 バイトが続くことを示します)。

図 8-29. MFR_ID

15	14	13	12	11	10	9	8
I の ASCII コード							
R-49h							
7	6	5	4	3	2	1	0
T の場合は ASCII							
R-54h							

表 8-31. MFR_ID フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	I の ASCII コード	R	49h	
7:0	T の場合は ASCII	R	54h	

8.31 MFR_MODEL (アドレス= 9Ah) [リセット = 00284B54h]

図 8-30 に MFR_MODEL を示し、表 8-32 に、その説明を示します。

書き込みトランザクション: 該当なし
 読み取りトランザクション: ブロック読み取り
 データフォーマット: 符号なしバイナリ (4 バイト)
 NVM バックアップ: なし

この読み取り専用ブロック読み取りコマンドは、メーカーのモデル番号を含む 4 バイト (32 ビット) を返します。ブロック読み取りコマンドの BYTE_COUNT フィールドは 4 です (4 バイトが続くことを示します)。

図 8-30. MFR_MODEL

31	30	29	28	27	26	25	24
型番の拡張							
R-0h							
23	22	21	20	19	18	17	16
型番の 5 桁目				型番の 6 桁目			
R-2h				R-8h			
15	14	13	12	11	10	9	8
型番の 3 桁目				型番の 4 桁目			
R-4h				R-Bh			
7	6	5	4	3	2	1	0
型番の 1 桁目				型番の 2 桁目			
R-5h				R-4h			

表 8-32. MFR_MODEL フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31:24	型番の拡張	R	0h	
23:20	型番の 5 桁目	R	2h	
19:16	型番の 6 桁目	R	8h	
15:12	型番の 3 桁目	R	4h	
11:8	型番の 4 桁目	R	Bh	
7:4	型番の 1 桁目	R	5h	
3:0	型番の 2 桁目	R	4h	

8.32 MFR_REVISION (アドレス = 9Bh) [リセット = X0h]

図 8-31 に MFR_REVISION を示し、表 8-33 に、その説明を示します。

書き込みトランザクション: ブロック書き込み
 読み取りトランザクション: ブロック読み取り
 データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM

このシングル バイトのブロック コマンドは、メーカーのリビジョン番号の設定または読み取りに使用されます。書き込み可能であり、NVM バックアップが含まれています。

図 8-31. MFR_REVISION

7	6	5	4	3	2	1	0
MFR_REVISION							
R/W-Xh							

表 8-33. MFR_REVISION フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	MFR_REVISION	R/W	0h	

8.33 IC_DEVICE_ID (アドレス = ADh) [リセット = 00284B544954h]

図 8-32 に IC_DEVICE_ID を示し、表 8-34 で説明します。

書き込みトランザクション: 該当なし
 読み取りトランザクション: ブロック読み取り
 データフォーマット: 符号なしバイナリ (6 バイト)
 NVM バックアップ: EEPROM

ブロック読み取り専用の IC_DEVICE_ID コマンドは、PMBus インターフェイスに使用される、PMBus 内に組込まれた IC のタイプまたは型番を読み取るために使用されます。IC_DEVICE_ID は 6 バイトのブロック形式を使用します。最初の 2 バイトは、ASCII テキスト形式の「TI」の場合、5449h である必要があります。3 番目から 5 番目のバイトは、6 桁の型番を表す、直接読み取り可能な 16 進数の型番です。6 番目のバイトは、型番の拡張コードです。

図 8-32. IC_DEVICE_ID

47	46	45	44	43	42	41	40
型番の拡張							
R-0h							
39	38	37	36	35	34	33	32
型番の 5 桁目				型番の 6 桁目			
R-2h				R-8h			
31	30	29	28	27	26	25	24
型番の 3 桁目				型番の 4 桁目			
R-4h				R-Bh			
23	22	21	20	19	18	17	16
型番の 1 桁目				型番の 2 桁目			
R-5h				R-4h			
15	14	13	12	11	10	9	8
I の ASCII コード							
R-49h							
7	6	5	4	3	2	1	0
T の場合は ASCII							
R-54h							

表 8-34. IC_DEVICE_ID フィールドの説明

ビット	フィールド	タイプ	リセット	説明
47:40	型番の拡張	R	0h	
39:36	型番の 5 桁目	R	2h	
35:32	型番の 6 桁目	R	8h	
31:28	型番の 3 桁目	R	4h	
27:24	型番の 4 桁目	R	Bh	
23:20	型番の 1 桁目	R	5h	
19:16	型番の 2 桁目	R	4h	
15:8	I の ASCII コード	R	49h	
7:0	T の場合は ASCII	R	54h	

8.34 IC_DEVICE_REV (アドレス = AEh) [リセット = 00h]

図 8-33 に IC_DEVICE_REV を示し、表 8-35 で説明します。

書き込みトランザクション: 該当なし

読み取りトランザクション: ブロック読み取り

データフォーマット: 符号なしバイナリ (1 バイト)

NVM バックアップ: なし

ブロック読み取り専用 IC_DEVICE_REV コマンドは、固有のデバイス リビジョン識別子を含む 1 バイトを返します。DEVICE_REV は最初のシリコンで 0 から始まり、以後のシリコン リビジョンごとにインクリメントされます。ブロック読み取りコマンドの BYTE_COUNT フィールドは 01h です (1 バイトが続くことを示します)。

図 8-33. IC_DEVICE_REV

7	6	5	4	3	2	1	0
予約済み	PS_IC			DEVICE_REVISION			
R-0h	R-0h			R-0h			

表 8-35. IC_DEVICE_REV フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	PS_IC	R	0h	電力段のバージョン。これらのビットは電力段のダイ ID からマップされません。
3:0	DEVICE_REVISION	R	0h	デバイスリビジョン。

8.35 SYS_CFG_USER1 (アドレス = D1h) [リセット = XXh]

図 8-34 に、SYS_CFG_USER1 を示し、表 8-36 に、その説明を示します。

書き込みトランザクション: 書き込みバイト
 読み取りトランザクション: 読み取りバイト
 データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM
 更新: オンザフライ

このコマンドには、システム構成用のその他のビットが含まれています。

図 8-34. SYS_CFG_USER1

7	6	5	4	3	2	1	0
予約済み	FCCM	PMB_LOCK	ADDR_CFG	予約済み	予約済み	NRSA_L	EN_FIX_OVF
R-0h	R/W-Xh	R/W-Xh	R/W-Xh	R-0h	R-0h	R/W-Xh	R/W-Xh

表 8-36. SYS_CFG_USER1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	FCCM	R/W	0h	強制 CCM 動作。リセット時、値は NVM によって決定されます。 0h = DCM 動作がイネーブルになり、LFET 検出電流のゼロ交差検出に基づいて自動的に開始または終了します。このビットは、ディスエーブルになると更新されます。PMBus 書き込みは常に受け付けられ、データは更新されます。ただし、このビットを有効にするには、レールをディスエーブルする必要があります。 1h = スイッチング コンバータの連続導通状態を強制します。
5	PMB_LOCK	R/W	0h	このビットは、PASSKEY コマンドへの書き込みアクセスを制御します。リセット時、値は NVM によって決定されます。 0h = PASSKEY コマンドの説明で定義されているとおりです。 1h = PASSKEY への書き込みは ivc で NACK されます。
4	ADDR_CFG	R/W	0h	このビットは、ADR ピンのピンストラップで選択される PMBus デバイスのアドレス範囲を以下のように選択します。リセット時、値は NVM によって決定されます。 0h = ピンストラップ表で定義されているとおりです。 1h = ADR のトップ ニブルは 3h になります。このビットは、書き込み、STORE_USER_ALL コマンドを送信して POWER_ON_RESET を実行、または PMBus コマンド RESTORE_USER_ALL を送信した後にのみ有効になります。
3	予約済み	R	0h	予約済み
2	予約済み	R	0h	予約済み
1	NRSA_L	R/W	0h	このビットを 1 に設定すると NRSA の値が低く、一部の vboot 電圧用に 0 に設定すると NRSA の値が高くなります。VOUT_SCALE_LOOP の表を参照してください。リセット時、値は NVM によって決定されます。
0	EN_FIX_OVF	R/W	0h	このビットは、固定 OV 故障を有効にするために使用されます。リセット時、値は NVM によって決定されます。 0h = 固定 OVF を無効化する。 1h = 固定 OVF を有効にする。

8.36 PASSKEY (アドレス = D2h) [リセット = X0h]

図 8-35 に PASSKEY を示し、表 8-37 で説明します。

書き込みトランザクション: 書き込みブロック
 読み取りトランザクション: 読み取りブロック
 データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM
 更新: オンザフライ

パスキーを使用すると、ユーザーがプログラムした 8 ビット値を使って、(15h) STORE_USER_ALL および (10h) WRITE_PROTECT へのアクセスをロックできます。

図 8-35. PASSKEY

7	6	5	4	3	2	1	0
PASSKEY							
R/W-Xh							

表 8-37. PASSKEY フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PASSKEY	R/W	0h	

8.37 COMP (アドレス = D4h) [リセット = XXh]

図 8-36 に、COMP を示し、表 8-38 に、その説明を示します。

書き込みトランザクション: 書き込みバイト
 読み取りトランザクション: 読み取りバイト
 データフォーマット: 符号なしバイナリ (1 バイト)
NVM バックアップ: EEPROM
 更新: オンザフライ

このコマンドには、レギュレートされたレールの帰還補償設定が含まれます。

図 8-36. COMP

7	6	5	4	3	2	1	0
予約済み			OVRD_SUMCOMP_HIGH	OVRD_SUMCOMP_LOW	SEL_SUMCOMP	SEL_RAMP	
R-0h			R/W-Xh	R/W-Xh	R-0h	R/W-Xh	

表 8-38. COMP フィールド説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	OVRD_SUMCOMP_HIGH	R/W	0h	このビットをセットすると、DAC ターゲットに関係なく、SEL_SUMCOMP が High にオーバーライドされます。リセット時、値は NVM によって決定されます。
3	OVRD_SUMCOMP_LOW	R/W	0h	このビットをセットすると、DAC ターゲットに関係なく、SEL_SUMCOMP が Low にオーバーライドされます。リセット時、値は NVM によって決定されます。
2	SEL_SUMCOMP	R	0h	デフォルトでは、750mV 以上の DAC ターゲットをチェックします (DAC ターゲットはディスエーブル時にのみ更新されます)。
1:0	SEL_RAMP	R/W	0h	これらのビットによって、ランプの振幅 / 勾配が決定されます。リセット時、値は NVM によって決定されます。 SEL_SUMCOMP = 0b、SEL_RAMP = 00b、FB 上のランプ (mV) = 15 SEL_SUMCOMP = 0b、SEL_RAMP = 01b、FB 上のランプ (mV) = 10 SEL_SUMCOMP = 0b、SEL_RAMP = 10b、FB 上のランプ (mV) = 10 SEL_SUMCOMP = 0b、SEL_RAMP = 11b、FB 上のランプ (mV) = 5 SEL_SUMCOMP = 1b、SEL_RAMP = 00b、FB 上のランプ (mV) = 18 SEL_SUMCOMP = 1b、SEL_RAMP = 01b、FB 上のランプ (mV) = 15 SEL_SUMCOMP = 1b、SEL_RAMP = 10b、FB 上のランプ (mV) = 15 SEL_SUMCOMP = 1b、SEL_RAMP = 11b、FB でランプ (mV) = 8

8.38 VBOOT (アドレス = D5h) [リセット = XXh]

図 8-37 に、VBOOT を示し、表 8-39 に、その説明を示します。

書き込みトランザクション: 書き込みバイト

読み取りトランザクション: 読み取りバイト

データフォーマット: 符号なしバイナリ (1 バイト)

NVM バックアップ: EEPROM

更新: オンザフライ

このコマンドには、ブートアップ電圧 VBOOT を設定するためのビットが含まれています。

図 8-37. VBOOT

7	6	5	4	3	2	1	0
予約済み				VBOOT			
R-0h				R/W-Xh			

表 8-39. VBOOT フィールド説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4:0	VBOOT	R/W	0h	これらのビットには、(初期 VOUT 電圧を直接指定する場合とは異なり、) ソフトスタート用の VREF DAC ターゲット コードで使用される VBOOT 設定が含まれています。ユーザーは、目的の出力電圧 VOUT を実現するため、適切な VOUT_SCALE_LOOP を選択する必要があります。リセット時、値は NVM によって決定されます。

8.39 NVM_CHECKSUM (アドレス = D9h) [リセット = 0000h]

NVM_CHECKSUM は、[図 8-38](#) に示され、[表 8-40](#) で説明されています。

書き込みトランザクション: 該当なし

読み取りトランザクション: 読み取りワード

データフォーマット: 符号なしバイナリ (2 バイト)

NVM バックアップ: なし

更新: オンザフライ

このコマンドには、不揮発性メモリ (NVM) の内容を読み取ったときの CRC 値が含まれます。チェックサムの値は CRC-16 (多項式 8005h) として計算されます。チェックサムは 8 つの並列スライスで計算されます。入力 8 ビットの最後のワードにするために必要なパディングは 0 になります。チェックサム値は NVM に保存され、STORE 機能の整合性を確保します。ユーザーが計算した NVM_CHECKSUM と、予想される既知の良好な値を比較すると、STORE 操作中に破損したデータが RESTORE 時に検出されます。

図 8-38. NVM_CHECKSUM

15	14	13	12	11	10	9	8
NVM_CHECKSUM							
R-0h							
7	6	5	4	3	2	1	0
NVM_CHECKSUM							
R-0h							

表 8-40. NVM_CHECKSUM フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	NVM_CHECKSUM	R	0h	最後に保存された NVM のチェック合計結果で応答します。32 ビット (0Eh) PASSKEY NVM ビットは NVM_CHECKSUM の判定から除外され、悪意のあるアクターがデバイス構成を読み取って PASSKEY 値を繰り返し設定して、PASSKEY 値を検出しようとするのを防ぎます。

8.40 FUSION_ID0 (アドレス = FCh) [リセット = 02C0h]

図 8-39 に、FUSION_ID0 を示し、表 8-41 に、その説明を示します。

書き込みトランザクション: 該当なし
 読み取りトランザクション: 読み取りワード
 データフォーマット: 符号なしバイナリ (2 バイト)
 NVM バックアップ: なし

FUSION_ID0 は、テキサス インストルメンツの Digital Power Designer が TI デバイスを識別するために使用するプラットフォーム レベルの識別コードを提供します。

このコマンドへの書き込みは受け付けられますが、それ以外の場合は無視されます (書き込み試行後、このコマンドの読み戻し値は変更されません)。このコマンドは一部の TI デバイスで書き込み可能であるため、相互互換性を維持するため、デバイスはこのコマンドに対する書き込みトランザクションも受け付けます。このコマンドの書き込み試行を受けた結果として、STATUS_CML ビットは設定されません。

図 8-39. FUSION_ID0

15	14	13	12	11	10	9	8
FUSION_ID0							
R-2C0h							
7	6	5	4	3	2	1	0
FUSION_ID0							
R-2C0h							

表 8-41. FUSION_ID0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
15:0	FUSION_ID0	R	2C0h	02C0h にハードコードされています。

8.41 FUSION_ID1 (アドレス = FDh) [リセット = 4h]

FUSION_ID1 を表 8-42 に示します。

書き込みトランザクション: 該当なし

読み取りトランザクション: ブロック読み取り

データフォーマット: 符号なしバイナリ (6 バイト)

NVM バックアップ: なし

FUSION_ID1 は、テキサス インストルメンツの Digital Power Designer が TI デバイスを識別するために使用するプラットフォームレベルの識別コードを提供します。

このコマンドへの書き込みは受け付けられますが、それ以外の場合は無視されます (書き込み試行後、このコマンドの読み戻し値は変更されません)。このコマンドは一部の TI デバイスで書き込み可能であるため、相互互換性を維持するため、デバイスはこのコマンドに対する書き込みトランザクションも受け付けます。このコマンドの書き込み試行を受けた結果として、STATUS_CML ビットは設定されません。

表 8-42. FUSION_ID1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
3:0	FUSION_ID1	R	4h	5h にハードコードされています。Ch. にハードコードされています。FH にハードコードされています。3h にハードコードされています。Bh にハードコードされています。9h にハードコードされています。4h にハードコードされています。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS544B28 デバイスは、高効率のシングル チャネル小型同期整流 降圧コンバータです。このデバイスは、サーバー、ストレージ、および同様のコンピューティング アプリケーションにおける 20A または 以下の出力電流の低出力電圧ポイント オブ ロード アプリケーション向けに設計されています。TPS544B28 は、独自の D-CAP4 モード制御と適応型オン時間アーキテクチャを採用しています。この組み合わせにより、低デューティ比で超高速の負荷ステップ応答を持つ最新の DC/DC コンバータを優れた方法で構築できます。出力電圧範囲は、 $\sim 5.5V$ です。変換入力電圧の範囲は $2.7V \sim 16V$ 、VCC 入力電圧の範囲は $3.1V \sim 5.3V$ です。D-CAP4 モードは、エミュレートされた電流情報を使用して変調を制御します。この制御方式の利点として、この制御方式に外部位相補償回路が必要ないことが挙げられます。そのため、デバイスは使いやすく、外付け部品数も少なく済みます。この制御方式のもう 1 つの利点は、この制御方式が、すべての低 ESR 出力コンデンサ (セラミック コンデンサや低 ESR ポリマー コンデンサなど) で安定して動作できることです。適応型オン時間制御は、広い範囲の入力電圧および出力電圧にわたってプリセットされたスイッチング周波数を追跡すると同時に、負荷ステップ過渡が発生した際に必要に応じてスイッチング周波数を上昇させます。

9.2 代表的なアプリケーション

の回路図は TPS544B28 の代表的なアプリケーション例を示しています。この例では、 $8V \sim 16V$ の入力電圧範囲を最大出力電流 20A で $3.3V$ に変換する設計手順について説明します。

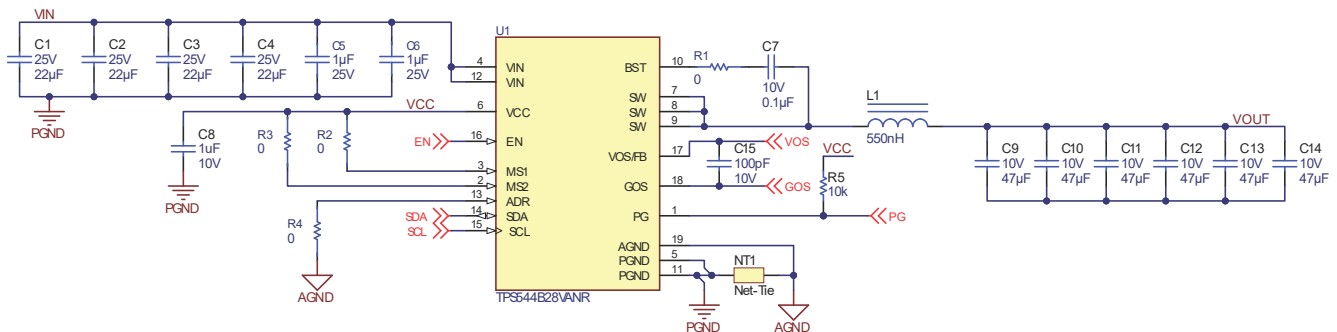


図 9-1. アプリケーション回路図

9.2.1 設計要件

この設計では、次の表に示すパラメータを使用します。

表 9-1. 設計例の仕様

仕様	テスト条件	最小値	標準値	最大値	単位
V _{IN} 電圧範囲		8	12	16	V
入力電流	V _{IN} = 8V, I _{OUT} = 20A		9		A
V _{IN} スタート電圧	EN ピン抵抗デバイダで設定		3.84		V
出力電圧の設定ポイント	MS2 ピンの選択による V _{OUT} = 3.3V の設定		3.3		V
出力電流範囲	V _{IN} = 8 V → 16 V	0		20	A
負荷過渡応答	I _{OUT} = 5A ~ 15A		電圧変化	-99	mV
	I _{OUT} = 15A ~ 5A		電圧変化	99	mV
出力リップル電圧	I _{OUT} = 20A		16		mVPP
ソフトスタート時間	スイッチング開始から V _{OUT} = 3.3V, t _{SS} = 1ms の設定	0.8	1	1.2	ms
電流制限	MS1 ピンの選択による OCP = 21A の設定	19	21	23	A
スイッチング周波数 (f _{SW})	MS1 ピンの選択による f _{SW} = 800kHz の設定		800		kHz
IC ケース温度	I _{OUT} = 20A, 15 分間の浸漬		77.4		°C

9.2.2 詳細な設計手順

外部部品の選択は、D-CAP4 モードを使用した簡単なプロセスです。外部部品は以下の手順で選択します。

9.2.2.1 出力電圧設定値

MS2 ピンは以下に基づいてデバイスの出力電圧構成と、FCCM または PFM の動作を選択します。表 7-3.この設計では、内部 FB 構成オプションを使用します。

表 7-3 で利用可能な電圧以外の出力電圧が必要な場合は、外部フィードバック構成により、電圧分割抵抗 R1 および R2 によって出力電圧をプログラムできます。R1 は VOS/FB ピンと出力の間に接続し、R2 は VOS/FB ピンと GOS の間に接続します。推奨 R2 値は 10kΩ ですが、1kΩ ~ 20kΩ の範囲内で別の値に設定することもできます。R1 を決定するには、式 5 を使用します。

$$R1 = R2 \times \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \quad (5)$$

9.2.2.2 スwitching 周波数の選択

この設計では、内部フィードバック モードを使用し、MS1 ピンをピンストラップ抵抗、GND、または VCC に接続することで、スイッチング周波数が設定されます。表 7-2 も参照してください。

スイッチング周波数の選択は、高効率と小型設計とのトレードオフになります。スイッチング周波数が低いと、全体の効率は高くなりますが、外付け部品は比較的大きくなります。スイッチング周波数が高いほどスイッチング損失が増加し、効率や放熱性能が悪化します。この設計ではスイッチング周波数を 800kHz に設定するために、MS1 ピンを VCC に接続します。

降圧コンバータのスイッチング周波数を選択するときは、最小オン時間と最小オフ時間を考慮する必要があります。式 6 では、最小オン時間によって制限される前の最大 f_{SW} を計算します。D-CAP4 制御によりコンバータの最小オン時間制限に達すると、実効スイッチング周波数が変化して出力電圧がレギュレートされたままになります。この計算では、コンバータの抵抗性電圧降下を無視して、ワーストケースの推定が行われます。

$$f_{SW(max)} = \frac{V_{OUT}}{V_{IN(max)}} \times \frac{1}{t_{ON_MIN}} = \frac{3.3V}{16V} \times \frac{1}{40ns} = 5156 \text{ kHz} \quad (6)$$

式 7 では、最小オフ時間によって制限される前の最大 f_{SW} を計算します。D-CAP4 制御によるコンバータの最小オフ時間制限に達すると、動作デューティサイクルは増加し、出力電圧は入力電圧に応じて低下し始めます。この式では、次の手順で選択されたインダクタの DC 抵抗 R_{DCR} が必要なため、この予備計算では $1.4\text{m}\Omega$ の抵抗を想定しています。最小オフ時間によって制限される最大 f_{SW} 付近で動作する場合は、式 8 を使用する際に温度による抵抗の変動を考慮する必要があります。選択した 800kHz の f_{SW} は、計算された 2 つの最大値を下回っています。

$$f_{SW(\text{max})} = \frac{V_{IN(\text{min})} - V_{OUT} - I_{OUT(\text{max})} \times (R_{DCR} + R_{DS(\text{ON})_HS})}{t_{\text{OFF_MIN}(\text{max})} \times (V_{IN(\text{min})} - I_{OUT(\text{max})} \times (R_{DS(\text{ON})_HS} - R_{DS(\text{ON})_LS}))} \quad (7)$$

$$f_{SW(\text{max})} = \frac{8\text{ V} - 3.3\text{ V} - 20\text{ A} \times (1.4\text{ m}\Omega + 9.5\text{ m}\Omega)}{150\text{ ns} \times (8\text{ V} - 20\text{ A} \times (9.5\text{ m}\Omega - 3.3\text{ m}\Omega))} = 3.8\text{ MHz} \quad (8)$$

9.2.2.3 インダクタの選択

出力インダクタ (L_{OUT}) を計算するには、式 9 を使用します。出力コンデンサは、インダクタのリプル電流 ($I_{IND(\text{ripple})}$) をフィルタリングします。したがって、大きなインダクタリプル電流を選択すると、それ以上のリプル電流定格を持つ出力コンデンサが必要となるため、出力コンデンサの選択に影響が及びます。リプル電流が大きいと、出力リプル電圧が増加しますが、信号対雑音比が向上し、動作の安定に役立ちます。一般的に言って、バランスのとれた性能を得るには、インダクタンス値はリプル電流を最大出力電流のおよそ 15% ~ 40% に設定する必要があります。

この設計では、インダクタリプル電流を 20 A の出力電流の 30% に設定しています。スイッチング周波数が 800kHz で、最大 V_{IN} は 16V、出力電圧が 3.3V の場合、これらのパラメータに基づいて、式 9 は $0.546\mu\text{H}$ のインダクタンスを計算します。最も近い標準値 $0.55\mu\text{H}$ が選択されます。

$$L = \frac{(V_{IN(\text{max})} - V_{OUT}) \times V_{OUT}}{I_{\text{RIPPLE}} \times V_{IN(\text{max})} \times f_{SW}} = \frac{(16\text{ V} - 3.3\text{ V}) \times 3.3\text{ V}}{0.3 \times 20\text{ A} \times 16\text{ V} \times 800\text{ kHz}} = 0.546\text{ }\mu\text{H} \quad (9)$$

インダクタは良好な効率を達成するために Low DCR が必要です。また、ピークインダクタ電流から飽和までの間に十分な余裕が必要です。インダクタ電流リプルを見積るには、式 10 を使用します。この設計では、CFG1 ピンを VCC に接続することで、 $I_{OC(\text{valley})}$ は 21A に設定されるため、最大 V_{IN} におけるピークインダクタ電流は式 11 で 22.98A と計算されます。

$$I_{\text{RIPPLE}} = \frac{(V_{IN(\text{max})} - V_{OUT}) \times V_{OUT}}{L \times V_{IN(\text{max})} \times f_{SW}} = \frac{(16\text{ V} - 3.3\text{ V}) \times 3.3\text{ V}}{0.55\mu\text{H} \times 16\text{ V} \times 800\text{ kHz}} = 5.95\text{ A} \quad (10)$$

$$I_{L(\text{PEAK})} = I_{OUT} + \frac{I_{\text{RIPPLE}}}{2} = 20\text{ A} + \frac{5.95\text{ A}}{2} = 22.98\text{ A} \quad (11)$$

$$I_{L(\text{RMS})} = \sqrt{I_{OUT}^2 + \frac{I_{\text{RIPPLE}}^2}{12}} = \sqrt{20\text{ A}^2 + \frac{5.95\text{ A}^2}{12}} = 20.07\text{ A} \quad (12)$$

選択したインダクタンスは、Coilcraft XAL7070-551MEB です。このインダクタンスの飽和電流定格は 43A、RMS 電流定格は 29A、DCR は最大 $1.6\text{m}\Omega$ です。このインダクタは、高効率を得るために Low DCR のために選択されました。

9.2.2.4 出力コンデンサの選択

出力コンデンサの値を選択する際には、主に 3 つの検討事項があります。

1. 安定性
2. 定常状態の出力電圧リプル
3. 負荷電流の変化に対するレギュレータの過渡応答

まず、これら 3 つの要件に基づいて最小出力容量を計算します。式 13 では、安定性要件を満たすための、LC 重極を表 7-1 の $f_{P(\text{MAX})}$ 未満に維持するための最小容量を計算しています。この要件は、LC の重極を内部ゼロに近く維持するのに役立ちます。式 14 では、定常状態の出力電圧リプル要件である 16mV を満たすための最小容量を計算していま

す。これらの計算は CCM 動作であり、出力コンデンサの ESR または ESL に起因する出力電圧リップルの一部は含まれていません。

$$C_{OUT_STABILITY} > \left(\frac{1}{2\pi \times f_P(TABLE) \times \left(1 + \left(\frac{V_{OUT}}{V_{IN}(TYP)}\right)^2\right)} \right)^2 \times \frac{1}{L_{OUT}} = \left(\frac{1}{2\pi \times 19.9\text{kHz} \times \left(1 + \left(\frac{3.3\text{V}}{12\text{V}}\right)^2\right)} \right)^2 \times \frac{1}{0.55\mu\text{H}} \quad (13)$$

$$= 101\mu\text{F}$$

$$C_{OUT_RIPPLE} > \frac{I_{RIPPLE}}{8 \times V_{RIPPLE} \times f_{SW}} = \frac{5.95\text{A}}{8 \times 16\text{mV} \times 800\text{kHz}} = 58.1\mu\text{F} \quad (14)$$

式 16 と式 17 は、10A ステップで 99mV の過渡応答要件を満たす最小静電容量を計算します。これらの式は、負荷ステップ後にインダクタ電流が上昇または下降している間、出力電圧を一定に保持するために必要な出力容量を計算します。

$$C_{OUT_UNDERSHOOT} > \frac{L \times I_{STEP}^2 \times \left(\frac{V_{OUT}}{V_{IN}(\text{min}) \times f_{SW}} + t_{OFF_MIN}(\text{max}) \right)}{2 \times V_{TRANS} \times V_{OUT} \times \left(\frac{V_{IN}(\text{min}) - V_{OUT}}{V_{IN}(\text{min}) \times f_{SW}} - t_{OFF_MIN}(\text{max}) \right)} \quad (15)$$

$$C_{OUT_UNDERSHOOT} > \frac{0.55\mu\text{H} \times 10\text{A}^2 \times \left(\frac{3.3\text{V}}{8\text{V} \times 800\text{kHz}} + 150\text{ns} \right)}{2 \times 99\text{mV} \times 3.3\text{V} \times \left(\frac{8\text{V} - 3.3\text{V}}{8\text{V} \times 800\text{kHz}} - 150\text{ns} \right)} = 95.9\mu\text{F} \quad (16)$$

$$C_{OUT_OVERSHOOT} > \frac{L \times I_{STEP}^2}{2 \times V_{TRANS} \times V_{OUT}} = \frac{0.55\mu\text{H} \times 10\text{A}^2}{2 \times 99\text{mV} \times 3.3\text{V}} = 84.2\mu\text{F} \quad (17)$$

オーバーシュート要件を満たすために必要な出力容量は最大値であるため、この例では必要な最小出力容量が設定されません。安定性要件では、最大出力容量を制限することもできます。式 18 は、推奨最大出力容量を計算します。この計算では、LC の重極が f_{SW} の 1/100 よりも高く維持されます。

$$C_{OUT_STABILITY} < \left(\frac{50}{\pi \times f_{SW}} \right)^2 \times \frac{1}{L} = \left(\frac{50}{\pi \times 800\text{kHz}} \right)^2 \times \frac{1}{0.55\mu\text{H}} = 720\mu\text{F} \quad (18)$$

より大きな出力容量を使用することも可能ですが、ボード線図または過渡応答測定で安定性を確認する必要があります。選択する出力容量は、6 × 47μF、10V のセラミック コンデンサです。セラミック コンデンサを使用する場合は、DC バイアス効果と AC バイアス効果により容量をディレーティングする必要があります。選択したコンデンサは公称値で 48% までディレーティングし、実効的な総容量は 135μF となります。この実効容量は、最小要件と最大要件を満たします。

このアプリケーションではすべてセラミック コンデンサを使用するため、リップルと過渡に対する ESR の影響は無視されました。非セラミック コンデンサを使用する場合、まず、ESR は、リップル要件を満たすために式 19 で計算された値よりも低く、過渡要件を満たすために式 20 よりも低くなければなりません。より正確な計算を行う場合、または複数の出力コンデンサを使用する場合は、出力コンデンサのインピーダンスを使用して、リップルと過渡要件を満たすかどうかを判定する必要があります。

$$R_{ESR_RIPPLE} < \frac{V_{RIPPLE}}{I_{RIPPLE}} = \frac{26\text{mV}}{5.95\text{A}} = 4.4\text{m}\Omega \quad (19)$$

$$R_{ESR_TRANS} < \frac{V_{TRANS}}{I_{STEP}} = \frac{99\text{mV}}{10\text{A}} = 9.9\text{m}\Omega \quad (20)$$

9.2.2.5 入力コンデンサ (C_{IN}) の選択

このデバイスでは、電力段をバイパスするため、VIN ピンと PGND ピンの両方のペアの間に入力バイパス コンデンサを接続する必要があります。バイパス コンデンサは、レイアウトが可能な限り IC のピンのできるだけ近くに配置する必要があります。

ります。セラミック容量の少なくとも $20\mu\text{F}$ (公称値) と、2 つの高周波セラミック バイパス コンデンサが必要です。必要な高周波バイパスを提供し、VIN ピンと SW ピンのパワーステージ全体の高周波オーバーシュートとアンダーシュートを低減するには、 $0.1\mu\text{F} \sim 1\mu\text{F}$ のコンデンサを、デバイスのボードの同じ側にある VIN ピン 4 と 12 の両方にできるだけ近づけて配置する必要があります。テキサス インストルメンツは、入力電圧リップルを最小限に抑えるため、各 VIN ピンにできるだけ近づけてバイパス キャパシタンスを $1\mu\text{F}$ 以上にすることを推奨します。セラミック コンデンサには、高い容量/体積比と温度範囲全体にわたって安定した特性を持つため、X6S 以上の高品質の誘電体を使用する必要があります。この要件に加えて、過渡条件時の入力電圧の変動を最小限に抑えるため、アプリケーションによっては入力に応じて大きなバルク容量が必要となる場合があります。

式 21 を使用して、特定の入力リップル目標を満たすために必要な入力容量を計算します。推奨される目標入力電圧リップルは最小入力電圧の 5% で、この例では 780mV です。計算された入力容量は $5.5\mu\text{F}$ 。この例では、 $2 \times 10\mu\text{F}$ のセラミック コンデンサを使用して、これら 2 つの要件を満たしています。

$$C_{\text{IN}} > \frac{V_{\text{OUT}} \times I_{\text{OUT}} \times \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN}(\text{min})}}\right)}{f_{\text{SW}} \times V_{\text{IN}(\text{min})} \times V_{\text{IN_RIPPLE}}} = \frac{3.3\text{V} \times 20\text{A} \times \left(1 - \frac{3.3\text{V}}{8\text{V}}\right)}{800\text{kHz} \times 8\text{V} \times 780\text{mV}} = 7.8\mu\text{F} \quad (21)$$

コンデンサの RMS 電流定格をアプリケーションの最大入力電流 RMS よりも大きくする必要があります。式 23 を使用して、入力コンデンサがサポートする必要がある入力 RMS 電流を計算します。結果はこの例では、 9.9A です。セラミック入力コンデンサの電流定格は、この値よりも大きいです。

$$I_{\text{CIN(RMS)}} = \sqrt{\frac{V_{\text{OUT}}}{V_{\text{IN}(\text{min})}} \times \left(\frac{(V_{\text{IN}(\text{min})} - V_{\text{OUT}})}{V_{\text{IN}(\text{min})}} \times I_{\text{OUT}}^2 + \frac{I_{\text{RIPPLE}}^2}{12} \right)} \quad (22)$$

$$I_{\text{CIN(RMS)}} = \sqrt{\frac{3.3\text{V}}{8\text{V}} \times \left(\frac{(8\text{V} - 3.3\text{V})}{8\text{V}} \times 20^2 + \frac{5.95^2}{12} \right)} = 9.9\text{A} \quad (23)$$

低入力電圧と高電流などの入力にバルク容量を必要とするアプリケーションの場合、TI はアナログ設計ジャーナルの [降圧コンバータの入力コンデンサの選択方法](#) に記載されている選択プロセスを推奨しています。

9.2.2.6 VCC バイパス コンデンサ

レイアウトが可能な限り、VCC ピンをできるだけ近くに配置した $1.0\mu\text{F}$ (6.3V 以上の定格)、X5R セラミック バイパス コンデンサが必要です。0402 パッケージなど、可能な限り最小サイズのコンデンサを使用して、VCC ピンから PGND ピンまでのループを最小限に抑えます。

9.2.2.7 BOOT コンデンサ

レイアウトの許す限り、BOOT ピンと SW ピンの間に、少なくとも $0.1\mu\text{F}$ 、 10V 、X5R のセラミックバイパス コンデンサがピンのできるだけ近くに配置されている必要があります。

9.2.2.8 PG プルアップ抵抗

PG ピンはオープンドレインであるため、このピンを使用する場合はプルアップ抵抗が必要です。推奨される値は $1\text{k}\Omega \sim 100\text{k}\Omega$ です。

9.2.2.9 PMBus® アドレスと故障回復モードを選択する

ADR ピンと AGND との間に抵抗を接続することにより、メモリ マップ内で事前設定された PMBus アドレスと故障回復モードが設定されます。外付け抵抗で選択可能な PMBus アドレスと故障回復モードの一覧については、表 7-4 を参照してください。このアプリケーションでは、 0Ω の抵抗を使用してピンを AGND に短絡すると、PMBus アドレス 21h とヒックアップ故障回復モードが選択されます。

9.3 電源に関する推奨事項

デバイスは、4V ~ 16V の入力電源電圧範囲で動作するように設計されています。両方の入力電源 (VIN と VCC バイアス) が適切に調整されている必要があります。入力電源 (VIN および VCC バイアス) の適切なバイパスも、PCB レイアウトや接地方式と同様に、ノイズ性能にとって重要です。[レイアウト](#)の推奨事項を参照してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

このデバイスを使用して設計を開始する前に、以下を考慮してください。

- VIN、PGND、および SW のパターンを可能な限り広く配置し、トレースインピーダンスを低減、放熱を改善してください。
- 電源部品 (入力 / 出力コンデンサ、インダクタ、IC を含む) は、PCB の上面に配置します。小信号パターンをノイズの多い電源ラインから遮蔽 / 絶縁するために、少なくとも 1 つのソリッドなグラウンド内部プレーンを挿入します。
- パワー MOSFET の堅牢性を確保するには、VIN デカップリングコンデンサの配置が重要です。各ピン (ピン 4 と 12) に 1 μ F / 25V/0402 セラミック高周波バイパスコンデンサを接続する必要があり、隣接する PGND ピン (それぞれピン 5 とピン 11) に接続します。残りのセラミック入力キャパシタンスは、これらの高周波バイパスコンデンサの隣に配置します。残りの入力キャパシタンスは基板の反対側に配置できますが、IC のピンとコンデンサ間のインピーダンスを最小限に抑えるため、可能な限り多くのビアを使用してください。
- できるだけ多くのビアを PGND ピンの下と近くに配置します。この動作により、寄生インピーダンスが最小限に抑えられ、熱抵抗も低下します。
- 両方の VIN ピンの近くにビアを使用し、内部層を経由してこれらのビア間を低インピーダンスで接続します。各 VIN ピンの下にビアを配置することもできます。
- VCC のデカップリングコンデンサは、PGND (ピン 5) に短い間隔で、デバイスのできるだけ近くに配置します。VCC デカップリングループが小さくなっていることを確認し、12mil 以上の幅のトレースを使用して接続を配線します。
- BOOT コンデンサを、BOOT ピンと SW ピンのできるだけ近くに配置します。接続には 12mil 以上の幅のトレースを使用します。
- SW ピンとインダクタの高電圧側を接続する PCB トレースは、スイッチ ノードとして定義されます。このスイッチ ノードは、できる限り短く、幅広くする必要があります。
- 外部帰還を使用する場合は、シングルエンドセンシングやリモートセンシングに関係なく、FB パターンの距離を最小限に抑えるため、常にデバイスの近くに帰還抵抗を配置します。
 - リモートセンシングの場合、FB 電圧分割抵抗からリモートロケーションへの接続は PCB トレースの差動ペアである必要があり、0.1 μ F 以上のバイパスコンデンサを介してケルビンセンシングを実装する必要があります。リモート検出信号のグラウンド接続を GOS 端子に接続する必要があります。リモートセンシング信号の V_{OUT} 接続は、下側のフィードバック抵抗を GOS ピンに終端したフィードバック抵抗分周器に接続する必要があります。安定した出力電圧を維持し、リップルを最小限に抑えるには、インダクタや SW ノード、高周波クロックラインなどのノイズ源から、1 対のリモート検出ラインを離して配置する必要があります。リモート検出ラインのペアを上下のグラウンドプレーンでシールドすることを TI は推奨します。
 - シングルエンドセンシングの場合、FB ピンと出力電圧間の上部フィードバック抵抗を 0.1 μ F 以上の高周波ローカル出力バイパスコンデンサに接続し、GOS を AGND に短いトレースで短絡します。
- AGND ピン (ピン 19) をデバイスの下にある PGND ピン (ピン 5 とピン 11) に接続します。
- カップリングを制限するため、PG 信号やその他のノイズの多い信号は、VOS /FB や GOS などのノイズに敏感な信号の近くにアプリケーションで配線しないでください。
- レイアウトの推奨事項については、[レイアウト例](#)を参照してください。

9.4.2 レイアウト例

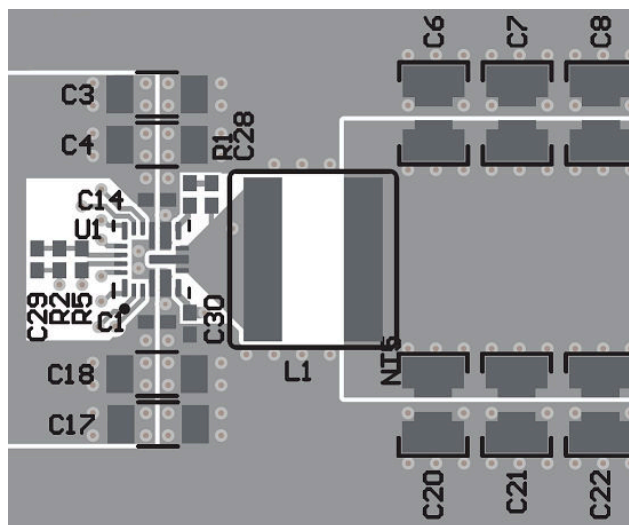


図 9-2. レイアウトに関する推奨事項

詳細なレイアウト例については、[TPS548B23 降圧コンバータ評価基板 EVM ユーザーガイド](#)を参照してください。

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

- テキサス インストルメンツ、[フィードフォワード コンデンサ付きの内部的に補正される DC-DC コンバータの過渡応答の最適化アプリケーション ノート](#)
- テキサス インストルメンツ、[ラック サーバーおよびデータセンター アプリケーションにおける VR13.HC 用の非絶縁型ポイント オブ ロード ソリューションアプリケーション ノート](#)
- テキサス インストルメンツ、[TPS548B23 降圧コンバータ評価基板 EVM ユーザー ガイド](#)
- テキサス インストルメンツ、[降圧コンバータの入力コンデンサの選択方法アナログ設計ジャーナル](#)

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.
PMBus® is a registered trademark of System Management Interface Forum, Inc..
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インストルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

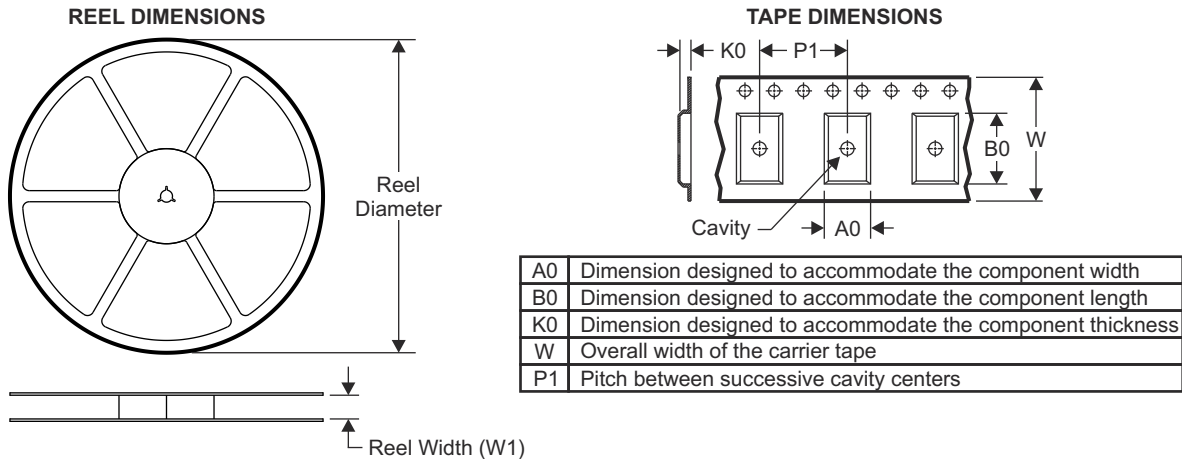
11 改訂履歴

日付	改訂	注
January 2026	*	初版リリース

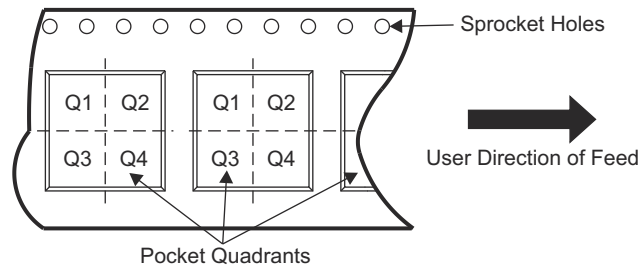
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

12.1 テープおよびリール情報

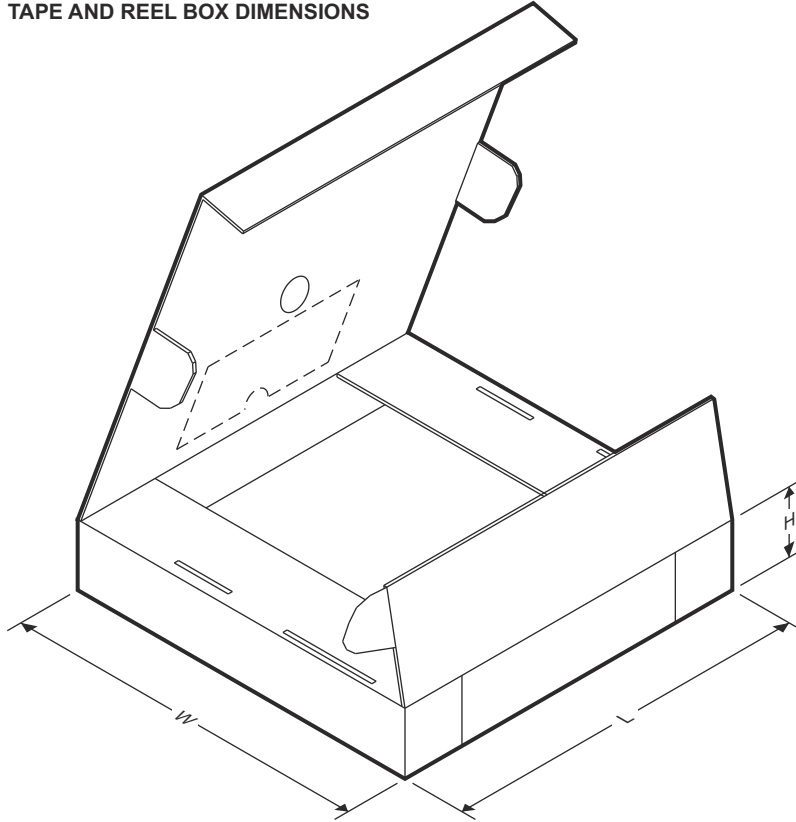


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
TPS544B28	WQFN-HR	VAN	19	5000	330	12.4	3.3	3.3	1.1	8	12	2
		RBH					3.3	3.8	1.2	8	12	2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TPS544B28	WQFN-HR	VAN	19	5000	367	367	35
		RBH					

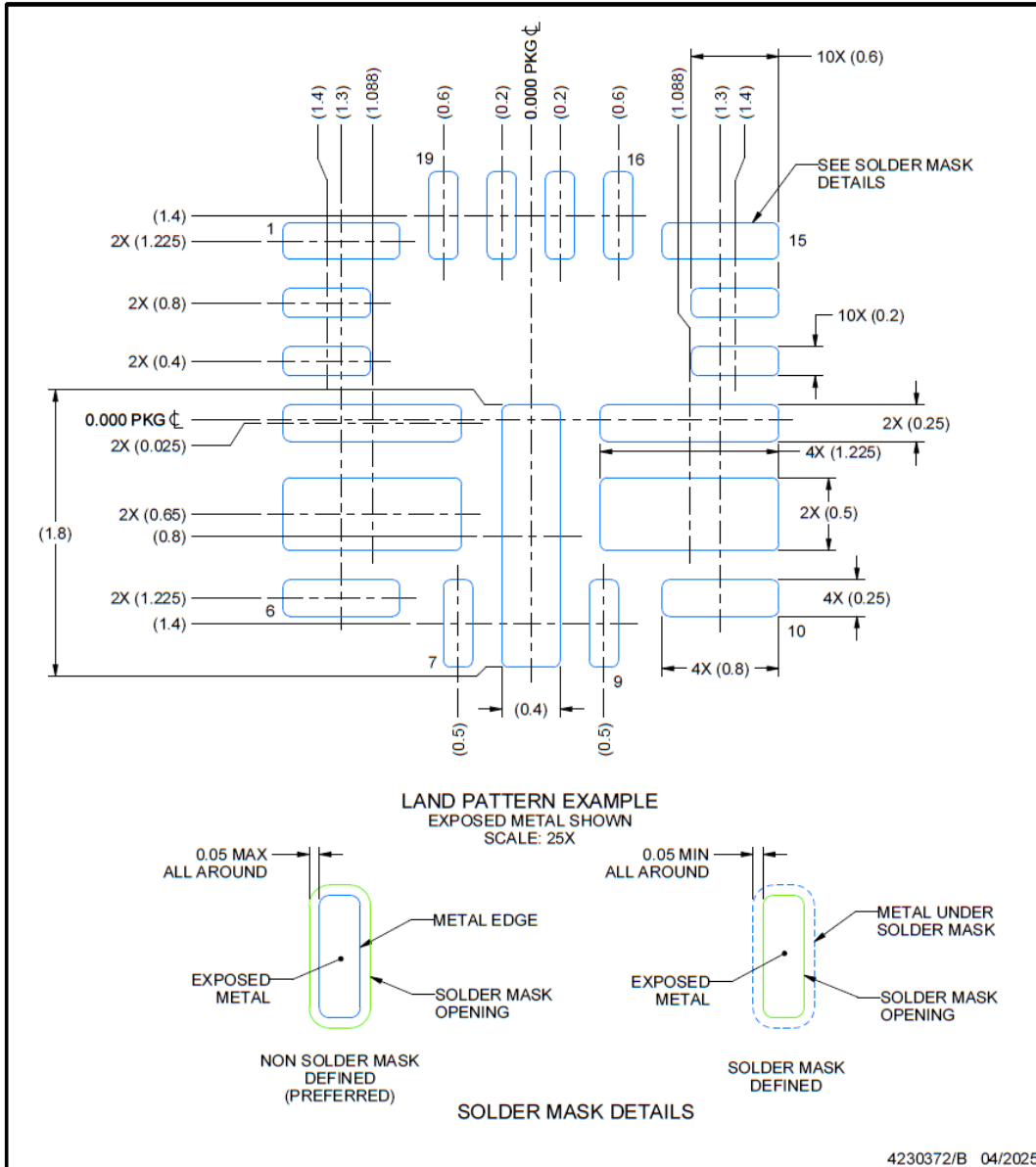
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

VAN0019A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

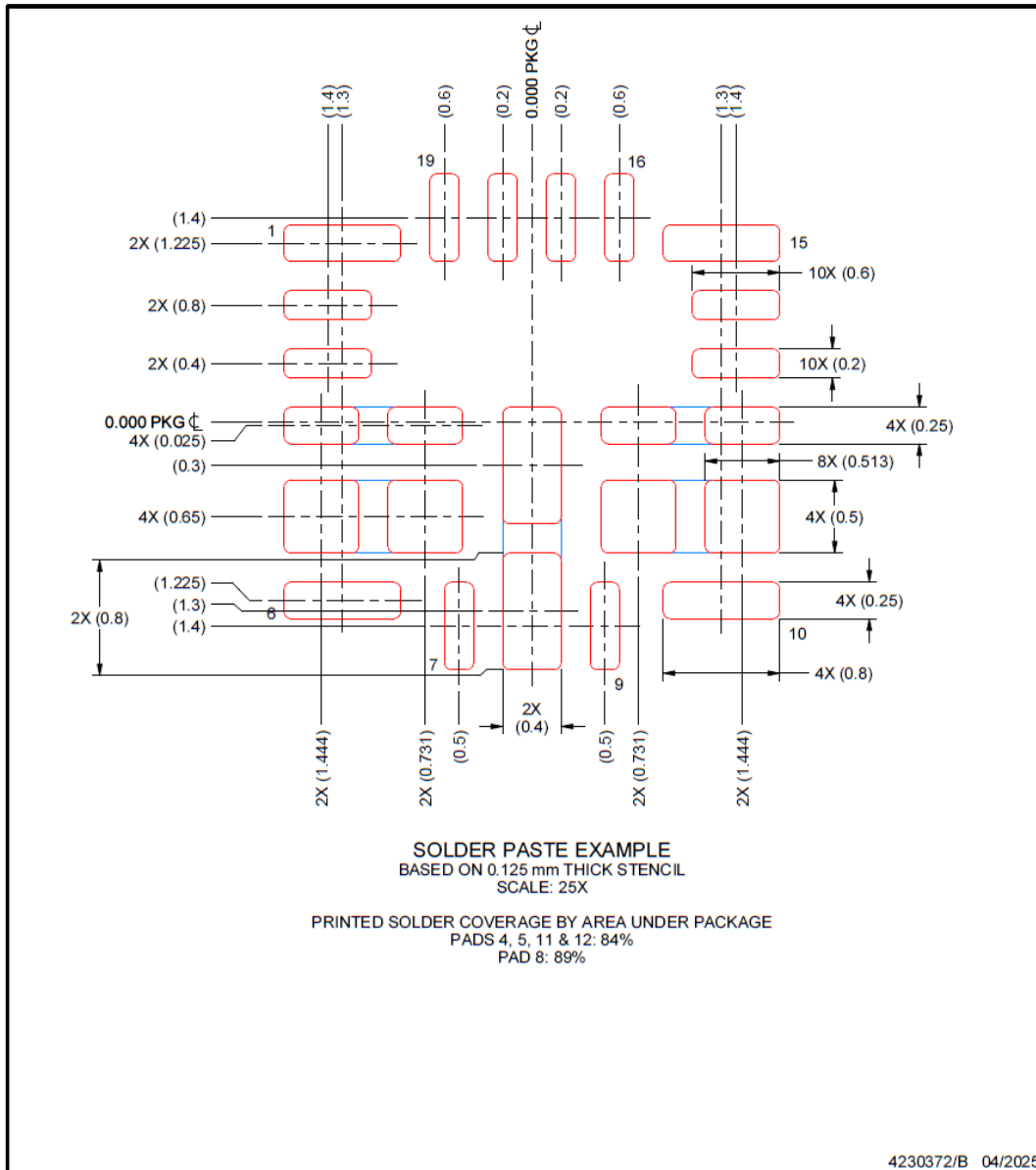
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

VAN0019A

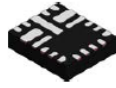
WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

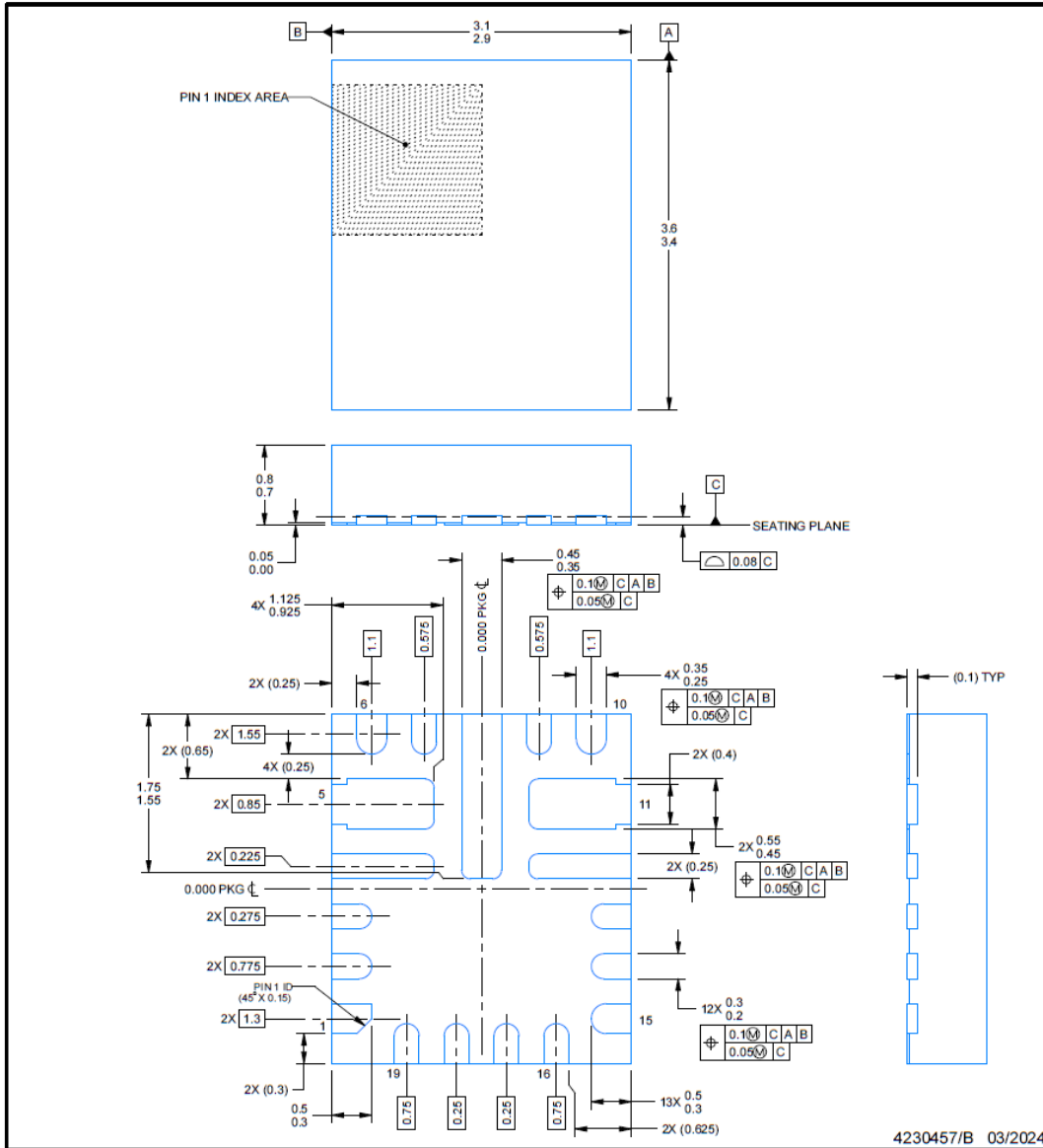


RBH0019A

PACKAGE OUTLINE

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

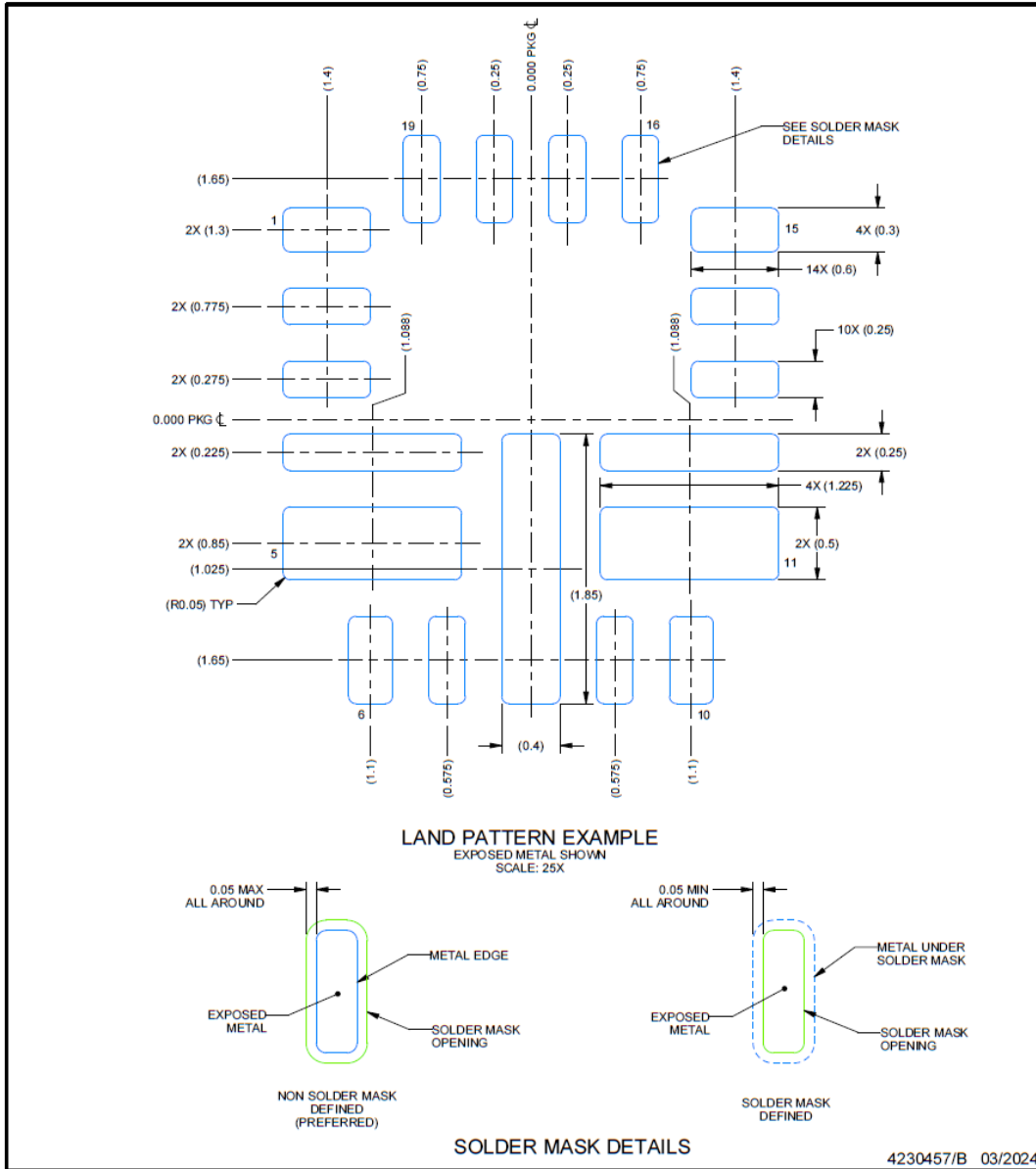
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

RBH0019A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

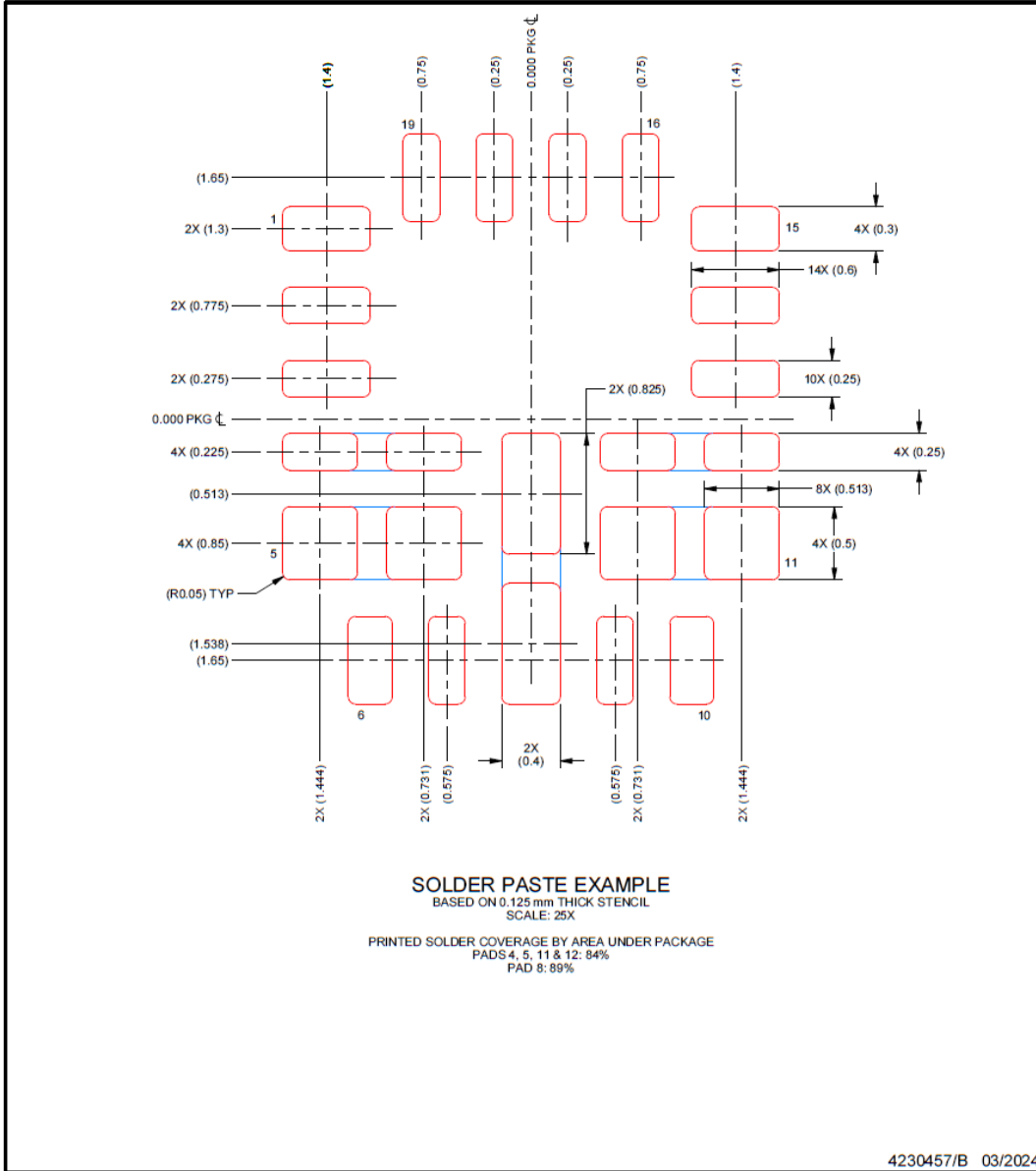
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RBH0019A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PPS544B28SVANR	Active	Preproduction	WQFN-HR (VAN) 19	5000 LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

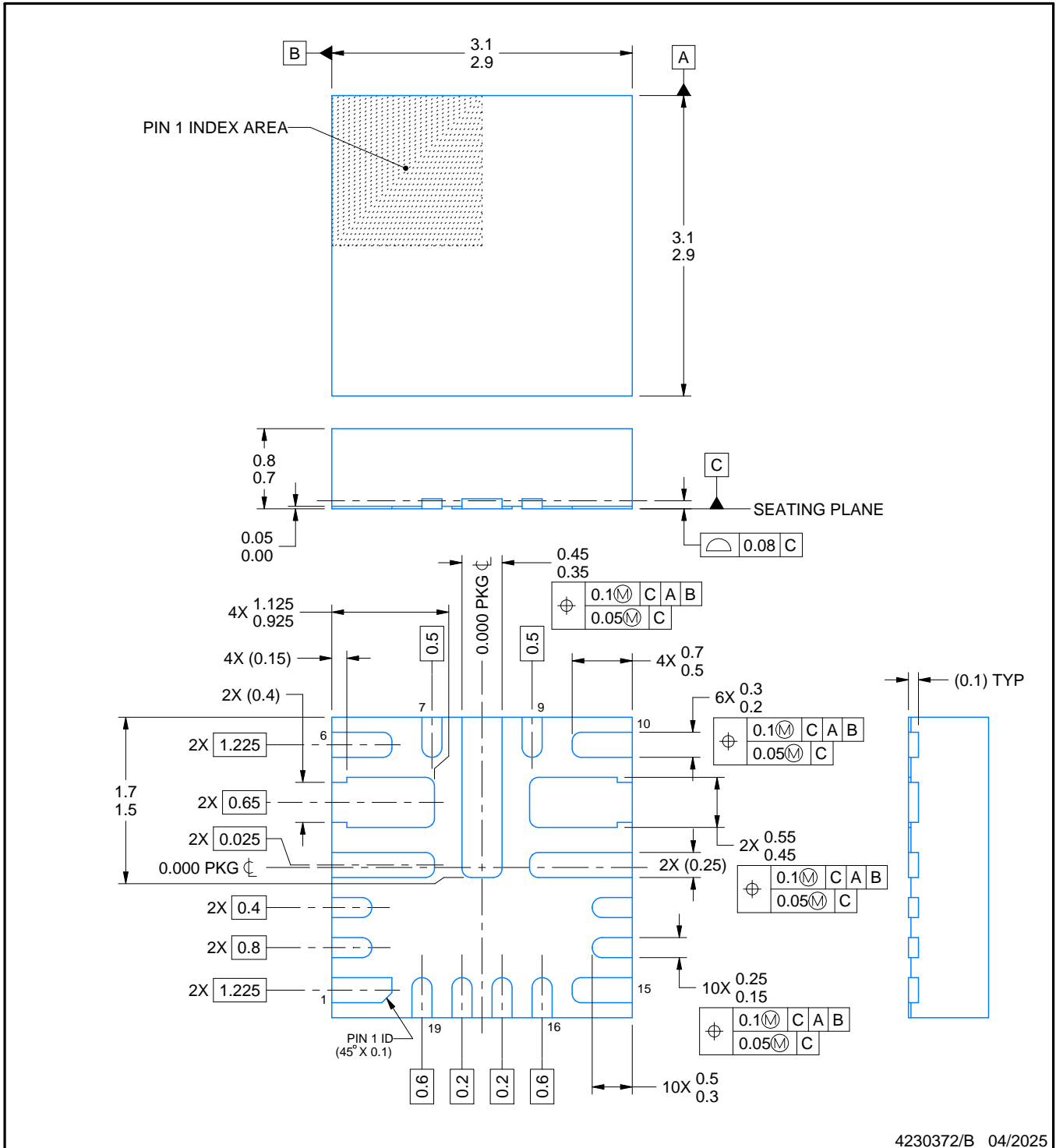
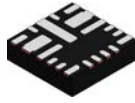
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4230372/B 04/2025

NOTES:

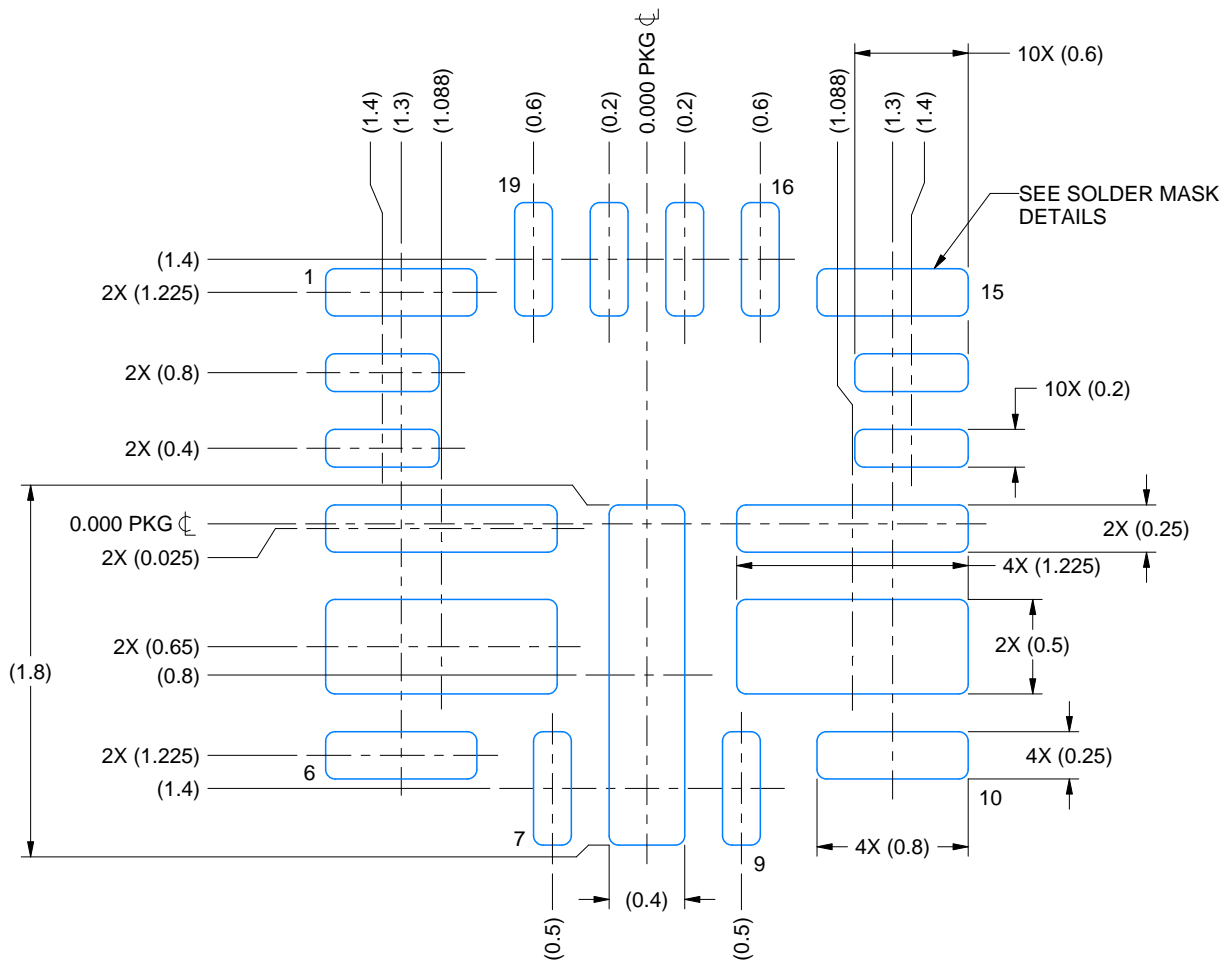
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

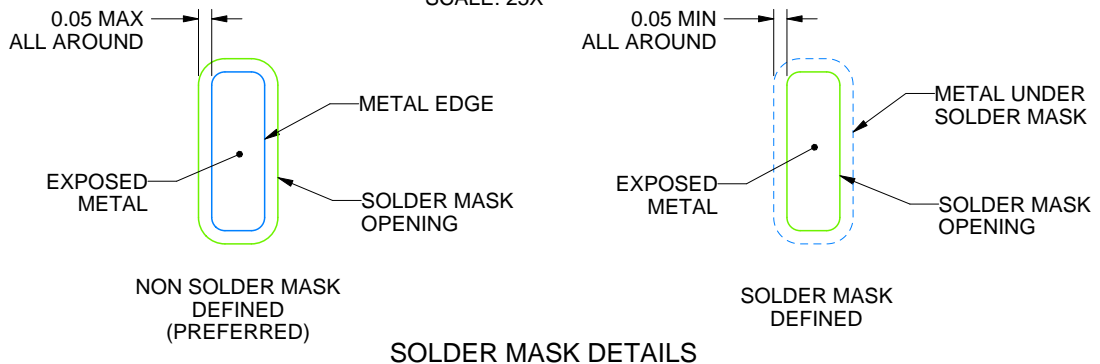
VAN0019A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



4230372/B 04/2025

NOTES: (continued)

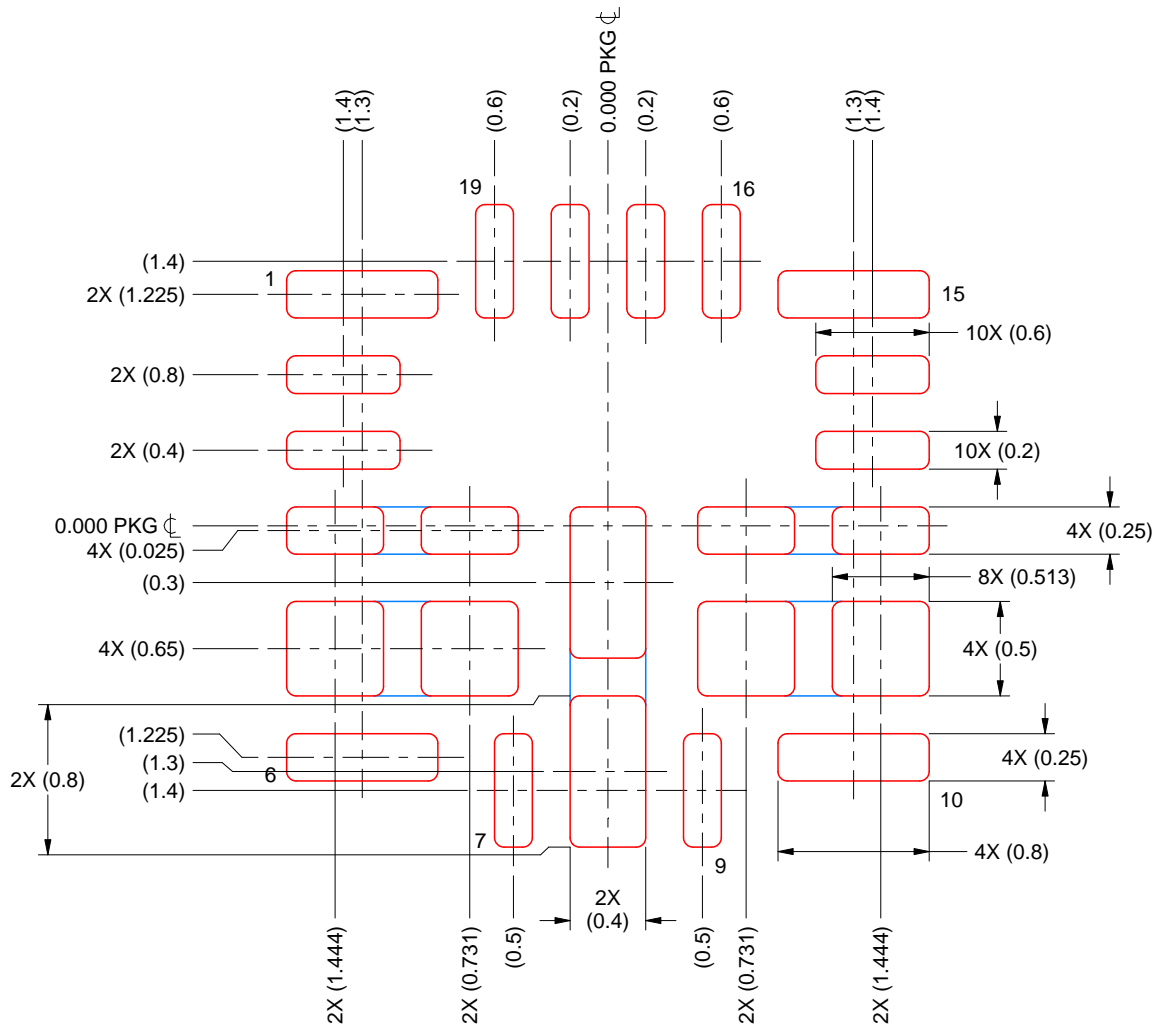
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

VAN0019A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 25X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 PADS 4, 5, 11 & 12: 84%
 PAD 8: 89%

4230372/B 04/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月