

FET内蔵のトラッキング/ターミネーション同期PWM スイッチャー(SWIFT™)

特 長

- 外部印加の基準電圧をトラック
- 6A出力ソース・シンク電流(連続)時に高効率な、
30mΩ, 12AピーカのMOSFETスイッチ
- VINの6%から90%までの出力トラッキング範囲
- PWM周波数範囲：
固定時の周波数 350kHz
調整可能な周波数 280kHz-700kHz
- ピーク電流制限とサーマル・シャットダウンによる負荷保護
- 集積ソリューションによる基板面積および部品数の低減

ア プ リ ケ シ ョ ン

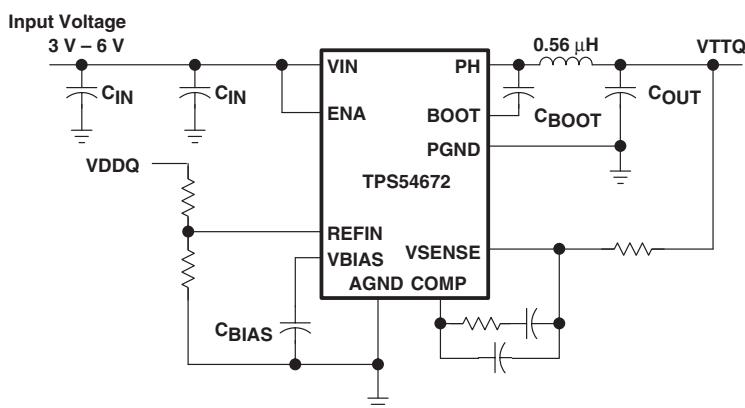
- DDRメモリ用終端電圧
- GTLおよびSSTL高速ロジック・ファミリーの能動終端
- DAC制御の大電流出力段
- 高精度ポイント・オブ・ロード電源

解 説

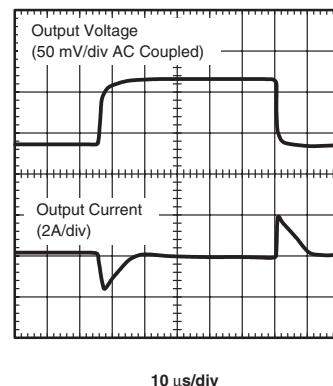
DC/DCレギュレータのSWIFT™ファミリーのひとつであるTPS54672は、トラッキング/終端用同期PWMコンバータであり、必要な能動素子をすべて集積しています。上記の特長に関して、シリコン基盤上に内蔵されるものは以下の通りです。すなわち、過渡状態で優れた特性を発揮し、出力フィルタのLC部品の選択が容易になる高性能誤差アンプ、入力電圧が3Vに達するまでスタート・アップさせない低電圧ロックアウト回路、ラッシュ電流を制限するスロー・スタート回路、さらに、正しい動作状態を示すステータス出力です。

TPS54672は、熱的に強化された28ピンTSSOP(PWP)のPowerPAD™(パワー・パッド)パッケージによるデバイスのため、大きなヒートシンクを必要としません。TIは、評価ボードとSWIFT™デザイナーという設計者用ソフトウェア・ツールを提供しますので、高性能な電源の設計の早期実現を手助けし、積極的な装置開発サイクルに対応できます。

代表的なDDRメモリ用レギュレータ回路図

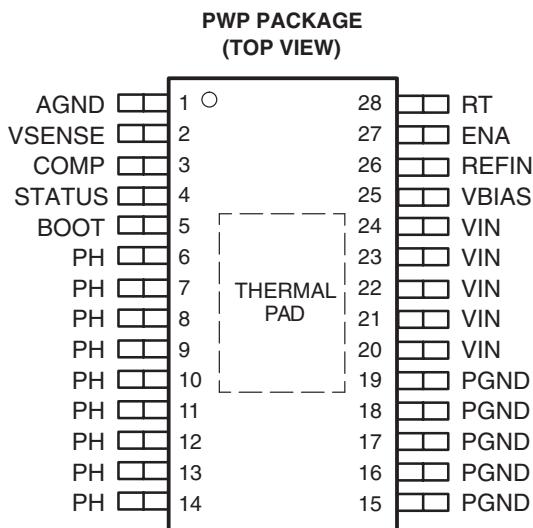


負荷過渡応答



SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



注文情報

T _A	PACKAGE
	PLASTIC HTSSOP (PWP) [†]
-40°C to 85°C	TPS54672PWP

[†] PWPパッケージはテープでリールにしたものもあります。その場合は、Rというサフィックスをデバイスタイプに付加願います(すなわち、TPS54672PWPR)。データシートのアプリケーション・セクションにあるPowerPADTMの機構図とレイアウトを参照願います。

絶対最大定格(特記ないかぎり無風動作温度範囲)[‡]

Input voltage range, V _I : VIN, ENA	-0.3 V to 7 V
RT	-0.3 V to 6 V
VSENSE, REFIN	-0.3 V to 4 V
BOOT	-0.3 V to 17 V
Output voltage range, V _O : VBIAS, COMP, STATUS	-0.3 V to 7 V
PH	-0.3 V to 10 V
Source current, I _O : PH	Internally Limited
COMP, VBIAS	6 mA
Sink current, I _S : PH	12 A
COMP	6 mA
STATUS	10 mA
Voltage differential, AGND to PGND	±0.6 V
Operating virtual junction temperature range, T _J	-40°C to 125°C
Storage temperature, T _{stg}	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	300°C

[‡] 絶対最大定格に記述される以上のストレスを加えると、デバイスは永久破壊されることがあります。これらはストレス定格だけであり、これらの条件あるいは推奨動作条件を超える条件でのデバイスのファンクション動作は含まれません。また、絶対最大定格の条件下に長時間デバイスをさらすと、デバイスの信頼性に影響することがあります。

消費電力定格表

PACKAGE	T _A ≤ 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
28 Pin PWP with solder	3.58 W	0.0358 mW/°C	1.96 W	1.43 W
28 Pin PWP without solder	1.78 W	0.0178 mW/°C	0.98 W	0.71 W

† テスト基板条件

1. 厚さ0.062インチ
 2. 3×3インチ
 3. プリント基板の部品面と半田面に、半田付け用の2オンスの銅配線
 4. プリント基板の部品面と半田面に、半田付け用の銅領域
 5. 1オンスの銅(厚さ0.036mm)のパワーおよびグランド・プレーン
 6. 直径0.33mm, 1.5mm間隔の放熱用ヴィア(本データシートのアプリケーション・セクションを参照願います。)
 7. パワー・プレーンの熱的な分離
- パッケージのより詳細な情報は、テクニカル・ブリーフ(文献番号SLMA002)を参照願います。

ADDITIONAL 6A SWIFT™ DEVICES, (REFER TO SLVS398 AND SLVS400)

DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE
TPS54611	0.9 V	TPS54614	1.8 V	TPS54610	Adjustable
TPS54612	1.2 V	TPS54615	2.5 V		
TPS54613	1.5 V	TPS54616	3.3 V		

電気的特性

特に記述のない限り T_J = -40°C から +125°C, V_I = 3V から 6V

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Input voltage range, V _{IN}		3.0	6.0		V
V _{ID} Differential voltage, AGND to PGND		-0.30	0.30		V
I _(Q) Quiescent current	Switching freq. = 350 kHz, RT open	10	16		mA
	Switching freq. = 500 kHz, RT = 100 kΩ	16	24		
	Shutdown, SS/ENA = 0 V	1	1.4		
Start threshold voltage, UVLO		2.95	3.00		V
Stop threshold voltage, UVLO		2.70	2.80		V
Hysteresis voltage, UVLO		0.14	0.16		V
Rising and falling edge deglitch, UVLO	See Note 1		2.5		μs
Output voltage, V _{BIAS}	I _(V_{BIAS}) = 0	2.70	2.80	2.90	V
Output current, V _{BIAS}	See Note 2		100		μA
Cumulative regulation accuracy (relative to REFIN)	I _O = -6A to 6A, Switching freq. = 350 kHz, REFIN = 1.25 V (see Note 1)	-1.5%	1.5%		
Internally set—free running frequency	RT open	280	350	420	kHz
Externally set—free running frequency range	RT = 68 kΩ to 180 kΩ	280	700		kHz
Externally set—free running frequency accuracy	RT = 100 kΩ (1% resistor to AGND)	460	500	540	kHz
Ramp valley		0.75			V
Ramp amplitude (peak-to-peak)		1			V
Minimum controllable on time	See Note 1		200		ns
Maximum duty cycle	See Note 1	90%			
Error amplifier open loop voltage gain	1 kΩ COMP to AGND (see Note 1)	90	110		dB
Error amplifier unity gain bandwidth	Parallel 10 kΩ 160 pF COMP to AGND (see Note 1)	3	5		MHz

注：1. 設計保証 2. 静的な抵抗負荷のみ

電気的特性(続き)

特に記述のない限り $T_J = -40^\circ\text{C}$ から $+125^\circ\text{C}$, $V_I = 3\text{V}$ から 6V

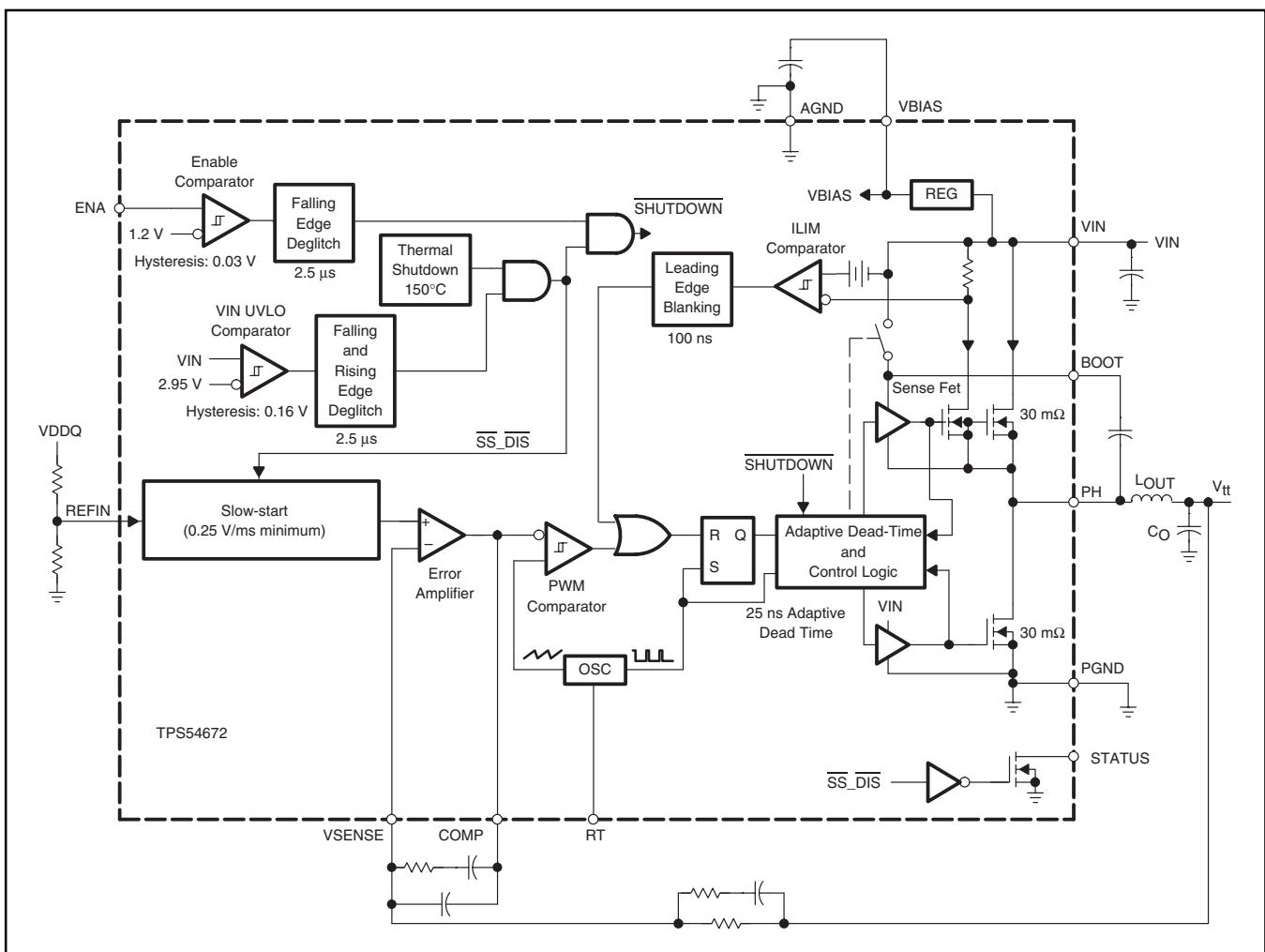
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Error amplifier common mode input voltage range	See Note 1	0	2.85		V
Error amplifier common mode rejection ratio	See Note 1		65		dB
Input bias current, VSENSE	VSENSE = REFIN = 1 V	60	250		nA
Input bias current, REFIN	VSENSE = REFIN = 1.25 V	60	250		nA
Input offset voltage, REFIN	VSENSE = REFIN = 1.25 V	-1.5	1.5		mV
Input voltage range, REFIN	See Note 1	0	1.8		V
Output voltage slew rate (symmetric), COMP		1	1.4		V/ μ s
Common mode output voltage range, COMP	$I_O = 3\text{ mA}$		2.65		V
	$I_O = -3\text{ mA}$	0.2			
PWM comparator propagation delay time, PWM comparator input to PH pin (excluding deadtime)	10-mV overdrive (see Note 1)		70	85	ns
Enable threshold voltage, ENA		0.95	1.20	1.40	V
Enable hysteresis voltage, ENA	See Note 1		0.03		V
Falling edge deglitch, ENA	See Note 1		2.5		μ s
Leakage current, ENA	$V_I = 5.5\text{ V}$		1		μ A
Output saturation voltage, STATUS	$I_{(\text{sink})} = 2.5\text{ mA}$	0.18	0.3		V
Leakage current, STATUS	$V_I = 5.5\text{ V}$		1		μ A
Current limit trip point	$V_{\text{IN}} = 3\text{ V}$, (see Note 1)	7	10		A
	$V_{\text{IN}} = 6\text{ V}$, (see Note 1)	10	12		
Current limit leading edge blanking time			100		ns
Current limit total response time			200		ns
Thermal shutdown trip point	See Note 1	135	150	165	$^\circ\text{C}$
Thermal shutdown hysteresis	See Note 1		10		$^\circ\text{C}$
$r_{\text{DS(on)}}$ Low/high-side N-MOSFET	$I_O = 6\text{ A}$, $V_I = 6\text{ V}$ (see Note 3)	26	47		$\text{m}\Omega$
	$I_O = 6\text{ A}$, $V_I = 3\text{ V}$ (see Note 3)	36	65		

注：1. 設計保証 2. 静的な抵抗負荷のみ 3. 整合のとれたMOSFETであり、ローサイドの $r_{\text{DS(on)}}$ はテストされ、ハイサイドの $r_{\text{DS(on)}}$ は設計保証

ピンの機能

TERMINAL NAME	NO.	DESCRIPTION
AGND	1	アナログ・グランド。補償網/出力分圧回路、スロー・スタート用コンデンサ、VBIASコンデンサ、およびRT抵抗の各帰線になる。パワー・パッドはAGNDに接続する。
BOOT	5	ブートストラップ入力。0.022μFから0.1μFの低等価直列抵抗のコンデンサをBOOTとPH間に接続し、ハイサイドFETドライバをフローティング駆動する。
COMP	3	誤差アンプ出力。周波数補償網をCOMPからVSENSEに接続する。
ENA	27	イネーブル入力。ロジック・レベルのハイは、発振器、PWM制御回路、MOSFETドライバをイネーブルにする。ロジック・レベルのローは動作をディスエーブルにし、デバイスを静的な低電流状態にする。
PGND	15-19	パワー・グランド。ローサイド・ドライバとパワーMOSFET用の大電流が流れる帰線。大面積の銅パターンのPGNDを入出力電源の帰線、および入出力コンデンサの負側に接続する。また、AGNDとの1点アースを推奨する。
PH	6-14	フェーズ入出力。内部のハイ・ローサイドの両パワーMOSFETおよび出力インダクタの結合点。
REFIN	26	外部基準電圧入力。スロー・スタートおよび誤差アンプへのハイ・インピーダンス入力。
RT	28	周波数設定する抵抗の入力。RTとAGND間に抵抗を接続して、スイッチング周波数f _S を設定する。
STATUS	4	オープン・ドレイン出力。VIN < UVLOスレッシュホールド電圧、VBIASおよび内部基準電圧が立ち上がってない、あるいは内部シャットダウン信号がアクティブの各場合にロー。それ以外ではSTATUSはハイ。
VBIAS	25	内部バイアス・レギュレータの出力。内部回路にレギュレーションした電圧を供給。VBIASとAGNDの両ピン間に高品質・低等価直列抵抗の0.1Vfから1.0μFのセラミック・コンデンサを接続してバイパスする。
VIN	20-24	パワーMOSFETスイッチと内部バイアス・レギュレータに供給する入力。VINピンとPGNDピン間で、高品質・低等価直列抵抗の10μFのセラミック・コンデンサをデバイス・パッケージの極力近くに接続してバイパスする。
VSENSE	2	誤差アンプの反転入力。出力電圧からの補償網および出力分圧回路を接続する。

内部ブロック図



詳細解説

低電圧ロックアウト(UVLO)

TPS54672は低電圧ロックアウト回路を備えており、入力電圧(VIN)が不十分な時にデバイスをディスエーブルに保ちます。電源投入中は、VINがUVLOのスレッシュホールド電圧(公称値2.95V)を超えるまで、内部回路を停止状態に維持します。ひとたびVINがUVLOスタートのスレッシュホールド電圧に達すると、デバイスはスタート・アップを始めます。デバイスは、VINがUVLOストップのスレッシュホールド電圧(公称値2.8V)を下回るまで動作します。このようなUVLOコンパレータのヒステリシスと、2.5μSの立ち上がり・立ち下がりエッジのデグリッチ回路が、VINに乗った雑音によるデバイスのシャットダウンの可能性を低減します。

イネーブル(ENA)

イネーブル(ENA)ピンは、TPS54672をイネーブルあるいはディスエーブル(シャットダウン)に制御します。1.4V以上の入力でTPS54672はイネーブルになります。また、0.9V以下の入力でデバイス動作がディスエーブルになります。これらは標準的なロジックのスレッシュホールド電圧ではありませんが、TTL出力と互換性があります。

ENAがローの場合、発振器、スロー・スタート、PWM制御回路、およびMOSFETドライバはディスエーブルされ、デバイスのスタート・アップに備えた初期状態になっています。デバイスのスタート・アップはENAのローからハイへの遷移時に開始し、同時に出力電圧が0Vから始まります。

スロー・スタート

スロー・スタート回路は、スタート・アップ時の出力電圧のスロープ(傾斜)を制御し、ラッシュ電流を制限します。内部のスロー・スタート・レートは0.25V/ms(公称値)であり、その最速レートは0.35V/msになります。REFINの電圧が内部スロープより高速で立ち上がる場合、あるいはデバイス動作のイネーブル時にすでにREFINに電圧が印加されている場合、出力電圧は内部レートに従って立ち上ります。逆に、REFINがもっとゆっくり立ち上がる場合、出力電圧はREFINとほぼ等しいレートで立ち上ります。

VBIASレギュレータ(VBIAS)

VBIASレギュレータは、内部アナログ・デジタルの両ブロックに、接合温度と入力電圧の変動に依存しない安定した電源を供給します。VBIASピンには、高品質かつ低等価直列抵抗のセラミックのバイパス・コンデンサが必要です。温度変動に対して安定なX7RあるいはX5Rクラスの誘電体を推奨します。バイパス・コンデンサは極力VBIASピンの近くに配置し、AGNDに接地します。

VBIASに外部の負荷をつけることは可能ですが、内部回路が最小2.70VのVBIASを必要なことと、VBIASに接続した外部負荷によるACあるいはデジタル・スイッチング雑音が、特性を劣化させることに注意を要します。VBIASピンは外部回路の基準電圧として使うこともできます。

発振周波数(RT)

発振周波数は、RTピンをオープン(フローティング)にすると、内部的に固定値の350kHzに設定されます。アプリケーションによって異なる周波数が必要な場合は、RTピンとグランド間に抵抗を接続して、外部的に280kHzから700kHzに調整できます。動作周波数は式(1)で近似できます。ここで、RはRTとAGND間の抵抗です。

$$\text{Switching Frequency} = \frac{100 \text{ k}\Omega}{R} \times 500 \text{ [kHz]} \quad (1)$$

下表に周波数選択の組合せを要約します。

FREE RUNNING FREQUENCY	RT PIN
350 kHz, internally set	Float
Externally set 280 kHz to 700 kHz	R = 68 k to 180 k

誤差アンプ

高性能な誤差アンプは、広帯域な5MHz帯域幅、1.5mVの低オフセット、1.4V/μSのスルーレート、およびグランド・レールを含む入力範囲です。これによって、TPS54672を他の大部分のDC/DCコンバータよりも優れたものにしています。さらに、個々のアプリケーションに要する出力LCフィルタ用部品を広範に使える柔軟性をユーザーに与えます。外付けの補償部品を用いて、タイプ2あるいはタイプ3の補償方式が採用できます。

REFINの入力範囲は、過渡状態で0%のデューティー・サイクルが可能なグランド・レベルを含みます。ただし、電圧が0.84V以下の安定状態のレギュレーション精度は、制御可能な最小オン時間による限度があることにご注意願います。

PWM制御

誤差アンプ出力、発信器、および電流制限回路からの各信号は、PWM制御ロジック回路で処理されます。内部ブロック図を参照すると、制御ロジック回路にはPWMコンパレータ、ORゲート、PWMラッチ、および適応性の高いデッドタイムと制御ロジック・ブロックの一部があります。電流制限のスレッシュホールド電圧より低い安定動作では、PWMコンパレータ出力と発振器パルスが交互にPWMラッチをリセットおよびセットします。PWMラッチがセットされると、ローサイドFETが発振器パルス幅による最小期間だけオンします。この間、PWMのランプ波形は谷の電圧値まで急速に放電します。次にランプ波形が充電を始めると、ローサイドFETはオフし、ハイサイドFETがオンします。PWMランプ波形が誤差アンプの出力電圧を超えると、PWMコンパレータがラッチをリセットし、その結果ハイサイドFETがオフし、ローサイドFETがオンします。そしてローサイドFETは、次の発振器パルスがPWMランプ波形を放電するまでオンを続けます。

過渡状態では、誤差アンプ出力がPWMランプ波形の谷電圧以下やピーク電圧以上になるかもしれません。誤差アンプ出力が高い場合、PWMラッチはリセットされず、発振器パルスが制御ロジックにハイサイドFETのオフとローサイドFETのオンの信号を出すまで、ハイサイドFETはオンを維持します。このとき、出力電圧がレギュレーションの設定値に達するまで、デバイスはVSENSEにほぼREFINに等しい電圧を供給しながら最大デューティで動作します。誤差アンプ出力が低い場合、PWMラッチは継続的にリセットされ、ハイサイドFETはオンしません。このときローサイドFETは、VSENSEの電圧が低下してPWMコンパレータの状態を反転させるまでオンし続けます。TPS54672は、出力がレギュレーションの設定値に達するまで連続的に電流をシンクできます。

電流制限コンパレータが100nS以上動作すると、PWMランプ波形が誤差アンプ出力を超える前にPWMラッチをリセットします。そして、ハイサイドFETはオフし、ローサイドFETはオンして、出力電流を減少します。この過程は、電流制限コンパレータが動作するサイクルごとに行われます。

デッドタイム制御とMOSFETドライバ

適応性の高いデッドタイム制御は、MOSFETドライバのターン・オン時間を積極的に制御して、両方のNチャネル・パワーMOSFETのスイッチング遷移における貫通電流を防止します。ハイサイド・ドライバは、ローサイドFETのゲート電圧が2V以下になるまでオンしません。また、ローサイド・ドライバは、パワーMOSFETの結合点(PHピン)の電圧が2V以下になるまでオンしません。

ハイサイドとローサイドの両ドライバは300mAのソースおよびシンク能力で設計され、パワーMOSFETのゲートを急速にドライブできます。ローサイド・ドライバはVINから電源を供給され、ハイサイド・ドライバはBOOTピンから電源を供給されています。そのブートストラップ回路は、外付けのBOOTコンデンサと、VINピンとBOOTピン間の内部にある2.5Ωのブートストラップ・スイッチを用いています。このブートストラップ・スイッチは、ローサイドFETがオンしてBOOTコンデンサを充電するときにオンします。ブートストラップ・スイッチの低抵抗によりドライブ効率が高まり、また、外付けの部品点数を節約できます。

過電流保護

電流制限はサイクルごとになされ、ハイサイドMOSFETの前のセンス用FETと、過電流スレッシュホールド電圧をプリセットしている差動アンプを用いています。センス用FETの電圧が過電流スレッシュホールド電圧を超えると、その200ns以内にハイサイドMOSFETがオフします。100nsの立ち上がりエッジ・ブランギング回路が、ハイサイドMOSFETがオンするときの電流制限の誤作動を防止します。電流制限の検出は、VINからPHへ流れる電流が出力フィルタに供給される場合のみに行われます。電流をシンクする場合の過負荷保護は、サーマル・シャットダウンで行われます。

サーマル・シャットダウン

デバイスの接合温度が150°Cを超えると、サーマル・シャットダウンがパワーMOSFETをオフし、制御回路をディスエーブルにします。接合温度がサーマル・シャットダウンの動作点より10°C低下すると、デバイスはシャットダウン状態から自動的に解放され、スロー・スタート回路の制御下でスタート・アップします。

ステータス(STATUS)

STATUSピンはオープン・ドレイン出力であり、デバイスの内部状態が適正動作に十分であることを示します。STATUSはシステム制御あるいは監視回路に接続して、ターミネーションあるいはトラッキング・レギュレータとしてのスタート・アップ準備完了状態を返すのに使えます。また、STATUSは、TPS54672の動作時あるいはイネーブル準備完了時にハイ・インピーダンスになります。さらに、STATUSは以下のいずれかの状況が発生するとアクティブ(ロー)になります。

- $VIN < UVLO$ スレッシュホールド電圧
- VBIASあるいは内部基準電圧が不十分である。
- サーマル・シャットダウンが動作している。

代表的特性

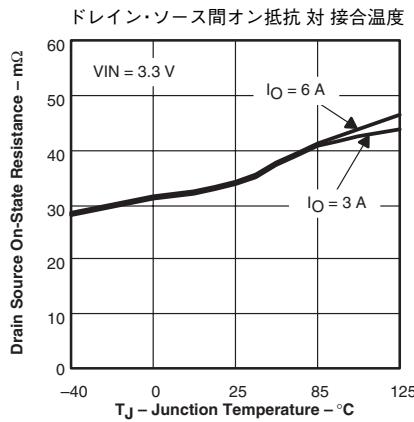


図1

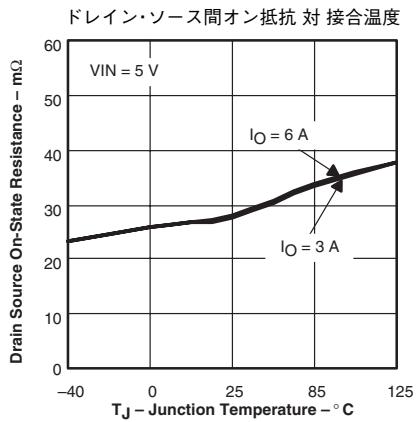


図2

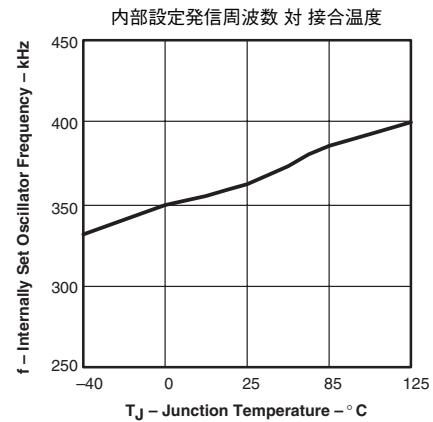


図3

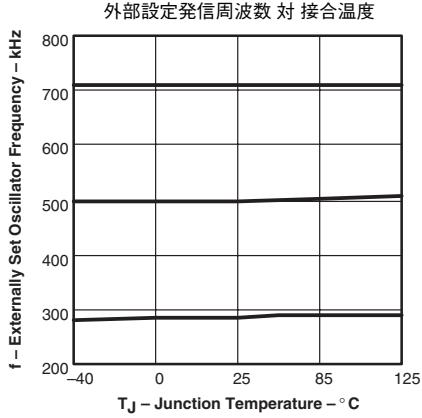


図4

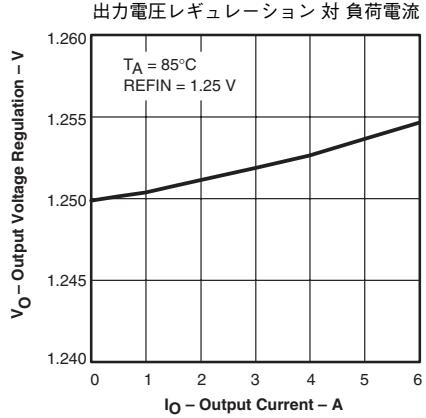


図5

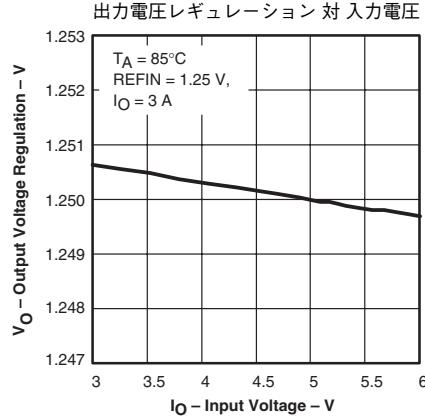


図6

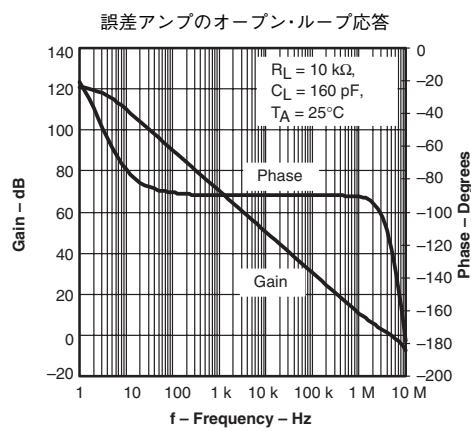


図7

アプリケーション情報

Figure9はTPS54672を用いた代表的なDDRメモリ、あるいはGTLバス終端アプリケーションの回路図を示します。TPS54672(図中のU1)は、6A以上の出力電流を供給できます。適正な動作のために、ICパッケージの底部の露出したサーマル・パワー・パッドをプリント基板へ直接半田付けする必要があります。

部品選定

本設計例で使用した部品の定数は、最適負荷過渡応答とトランジスタ応答を実現するように選びました。より詳細な設計情報は、www.ti.comで入手できます。

入力電圧

入力電圧範囲は3から5.5VDCです。入力フィルタ(C4)は10μFのセラミック・コンデンサ(太陽誘電)です。同じく10μFのセラミック・コンデンサ(太陽誘電)であるC8は、TPS54672への入力電圧を高周波デカップリングします。C8は極力デバイスの近くに配置する必要があります。また、リップル電流はC8とC4の双方と、そのPGNDへの帰路を伝わりますが、それが出力コンデンサC7, C10を還流しないようにします。

帰還回路

部品R1, R2, R3, C1, C2, およびC3は、ループ補償回路網を形成しています。本設計ではタイプ3のトポロジーを用いています。補償回路網は、出力フィルタのインダクタおよびコンデンサとともに、135kHzのクロスオーバー周波数で50°の位相余裕を与えています。

動作周波数

周波数を設定するには、RT(28ピン)とアナログ・グランド間に68kΩから180kΩの抵抗を接続します。あるいは、RTをオープンにしてデフォルト値の350kHzを選びます。抵抗値は式(2)を用いて計算できます。

$$R = \frac{500 \text{ kHz}}{\text{SwitchingFrequency}} \times 100 \text{ [k}\Omega\text{]} \quad (2)$$

出力フィルタ

出力フィルタは、0.56μHのCoilcraft社製インダクタ(D01813P-561HC)と、2個の150μFのCornell Dublier社製コンデンサ(ESRD151MR06R)で構成されています。このインダクタは低DC抵抗タイプのものです。使用しているコンデンサは4VのPOSCAP(チップ型のタンタル電解)であり、等価直列抵抗が最大0.040Ωのものです。

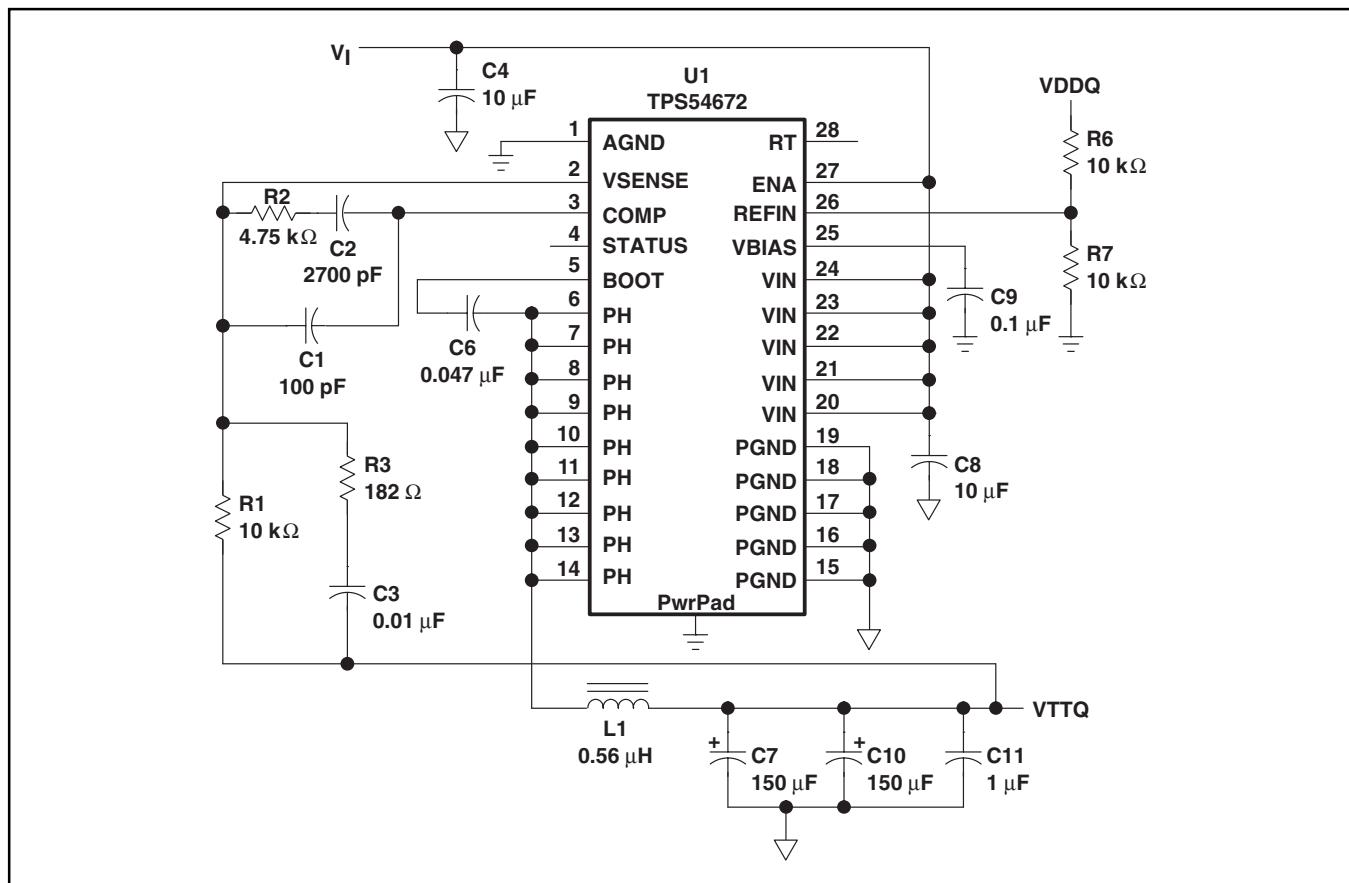


図8. 外形サイズと特性を最適化したアプリケーション回路

グランドのとりかた

回路特性の最適化のためには、グランドを適切にとることが重要です。本設計ではアナログとパワーの両グランドを分離し、これらを1点で接続しています。パワー・グランドはTPS54672のPGNDピン(15-19)とともに、入出力フィルタのコンデンサの負側リードを接続しています。回路の他の全グランド・ピンは、TPS54672のAGNDピンおよびサーマル・パワー・パッドとともにアナログ・グランドに接続しています。アナログとパワーの両グランドの1点接続はICピンの直近で可能であり、あるいは、出力フィルタ用コンデンサの負側リードの近くでも接続できます。そのようにすると、出力レギュレーションの精度をわずかに改善できます。いずれの場合も、入力リップル電流の帰路を確実に除去する必要があります。AGNDピン(あるいはパワー・パッド)とPGNDピン間の電位差を300mVpp以下にして、スプリアス動作を除去します。これに関して、以下のユーザー・ガイドのレイアウト例を参照願います。

TPS54672EVM, TPS54610EVM(SLVU054), TPS54614EVM(SLVU053)

熱特性に関するレイアウトの考察

最大負荷電流での動作のため、アナログ・グランド・プレーンには適当な放熱領域が必要です。それには、1オンスの銅による3インチ×3インチのプレーンを推奨します。これは必須というわけではなく、周囲温度と空気流に依存します。ほとんどのアプリケーションには内部グランド・プレーンの広い領域があり、パワー・パッドはその中で最大面積のものに接続します。部品面や半田面にある他の領域も放熱に寄与するので、6A以上の動作時はすべての領域を放熱に使用します。パワー・パッドの露出領域とアナログ・グランド・プレーン層との接続には、直径0.013インチのヴィアを用いて、ヴィアによる半田の上がりを防止します。パワー・パッド領域に8個のヴィアを作り、さらにデバイス・パッケージの直下に4個のヴィアを作ります。このパッケージ直下のヴィアのサイズは、露出したサーマル・パッド領域とは違って、0.018インチまで拡張できます。推奨するこれら12個のヴィアに加えて、熱特性を強化するヴィアをデバイス・パッケージの直下以外の領域にも作ります。

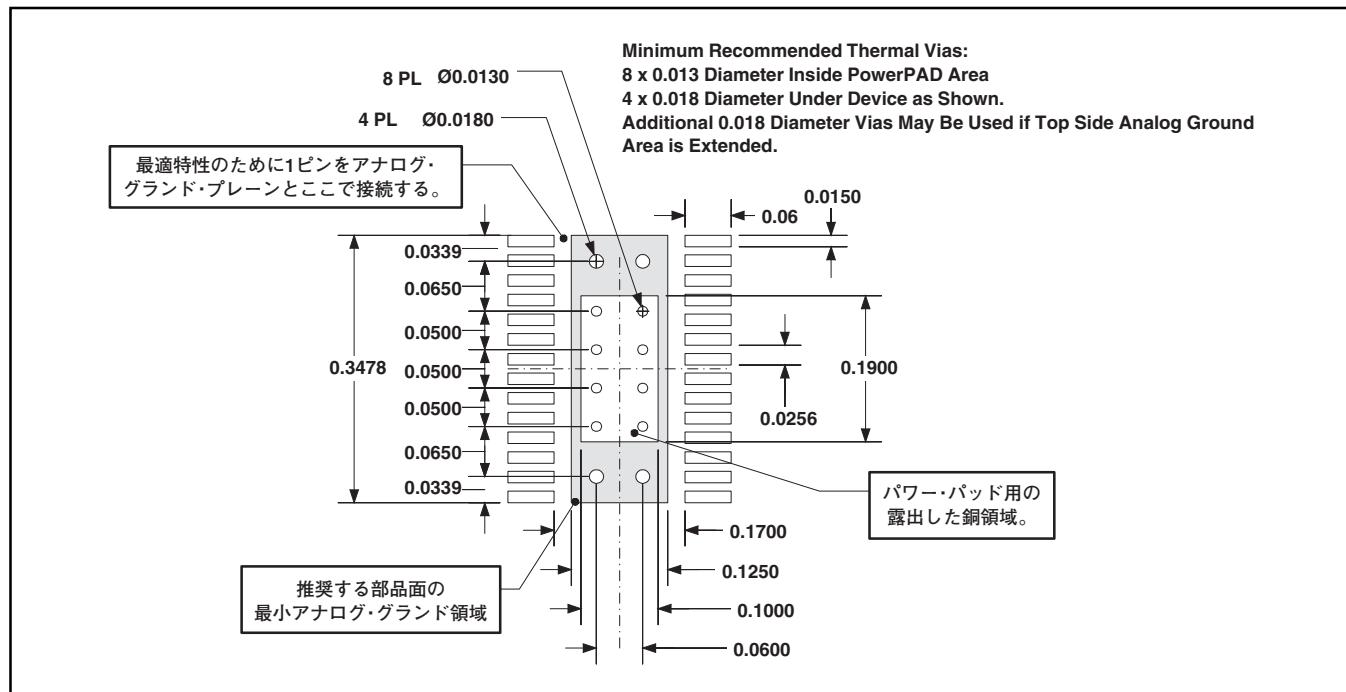


図9. 28ピンPWPパワー・パッド用の推奨ランド・パターン

負荷過渡応答

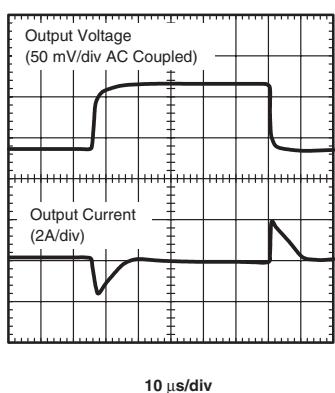


図10

効率 対 出力電流

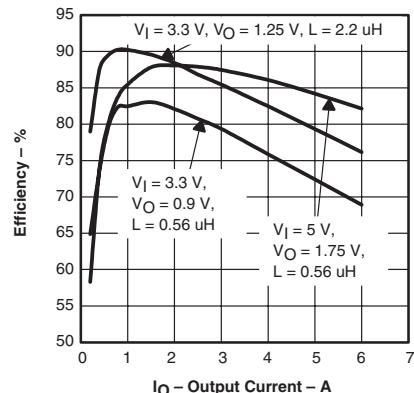


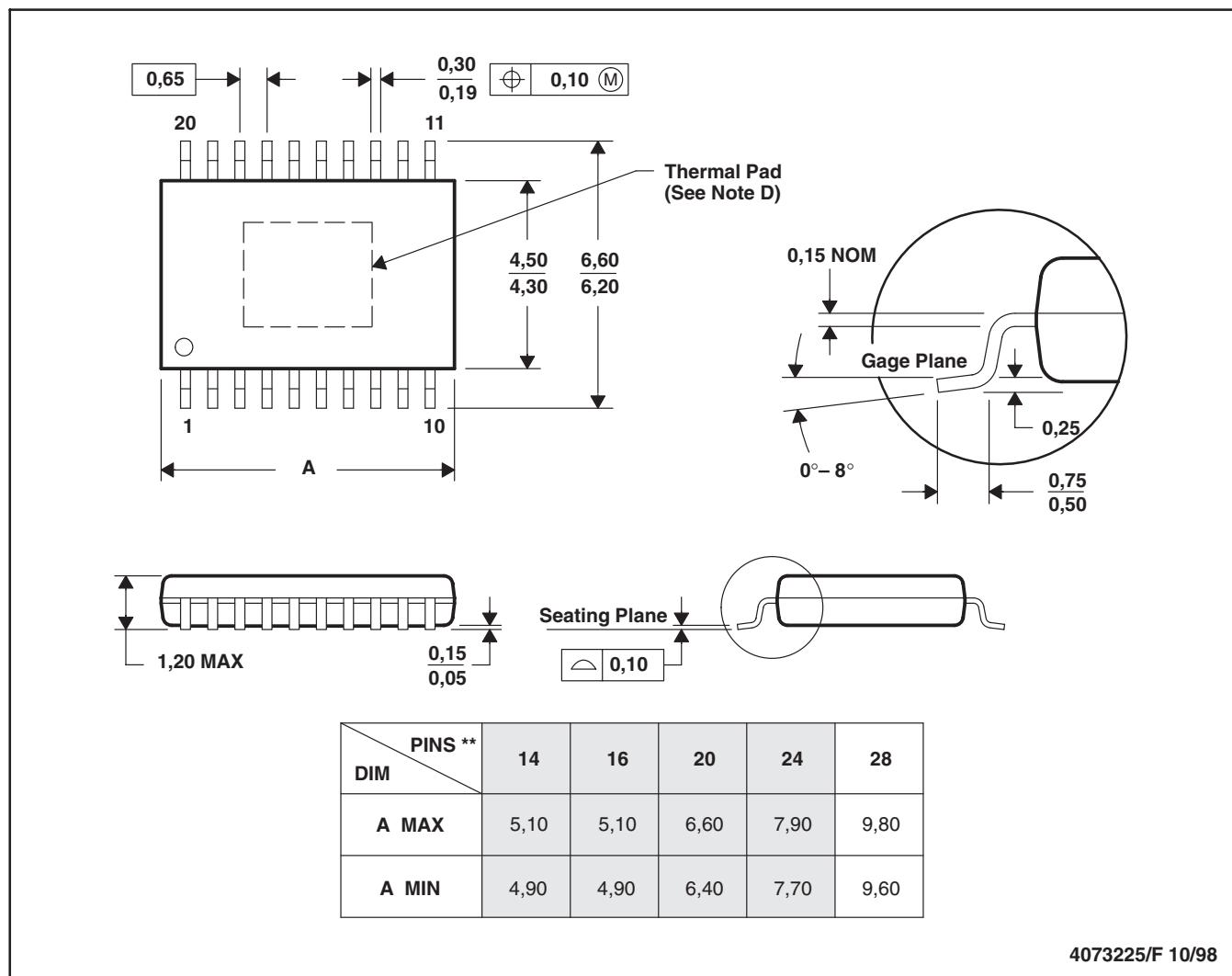
図11

外観

PWP (R-PDSO-G**)

PowerPAD™ PLASTIC SMALL-OUTLINE

20 PINS SHOWN



4073225/F 10/98

注：A. 直線的な寸法はすべてミリメートルです。

B. 本図は通達なしに変更することがあります。

C. 本体の寸法はモールド・フラッシュや突起を含みません。

D. パッケージの熱特性は、サーマル・パッドを外部ブレーンにボンディングすると強化されます。

このパッドは電気的かつ熱的にチップの背面と結合します。また、一部のリードと接続している場合もあります。

E. JEDEC MO-153の規格に準拠します。

PowerPAD is a trademark of Texas Instruments.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS54672PWP	Active	Production	HTSSOP (PWP) 28	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54672
TPS54672PWP.A	Active	Production	HTSSOP (PWP) 28	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54672
TPS54672PWPG4	Active	Production	HTSSOP (PWP) 28	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54672
TPS54672PWPR	Active	Production	HTSSOP (PWP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54672
TPS54672PWPR.A	Active	Production	HTSSOP (PWP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54672
TPS54672PWPRG4	Active	Production	HTSSOP (PWP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54672

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

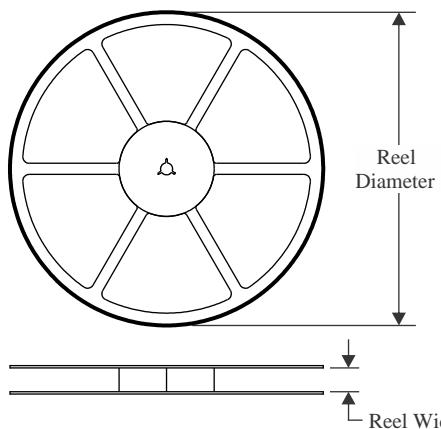
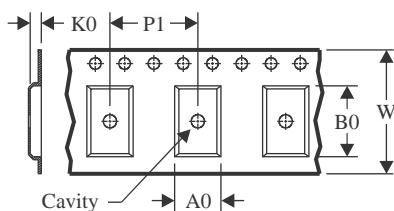
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

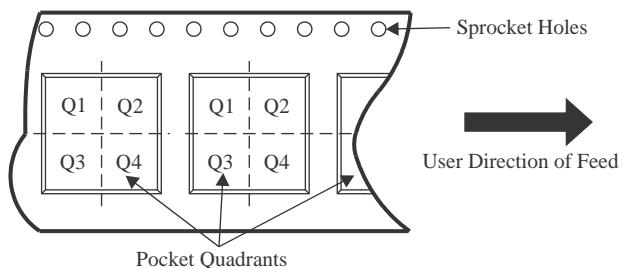
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

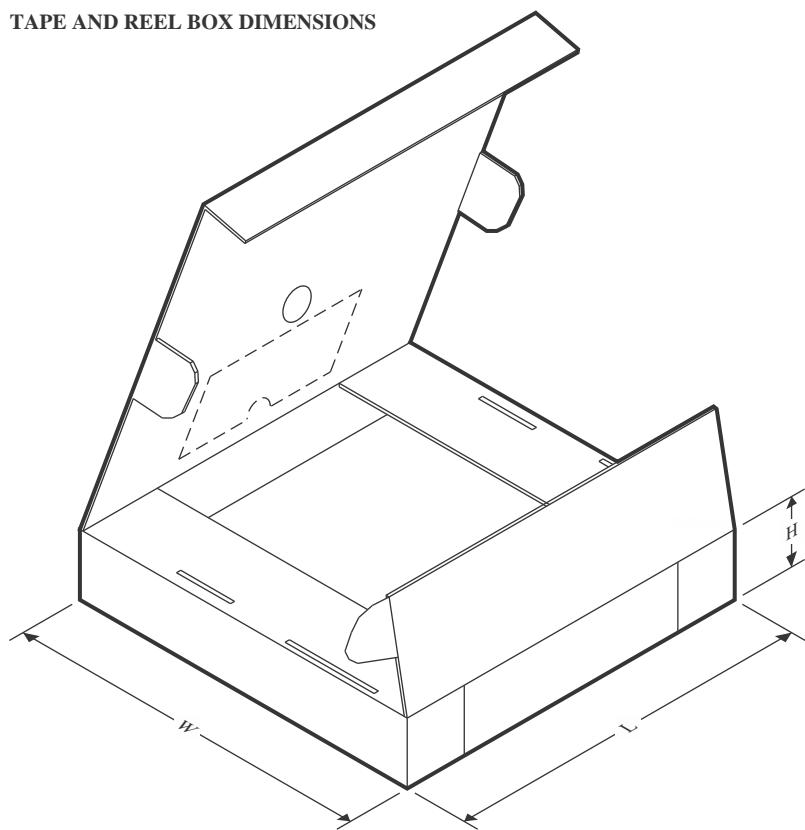
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


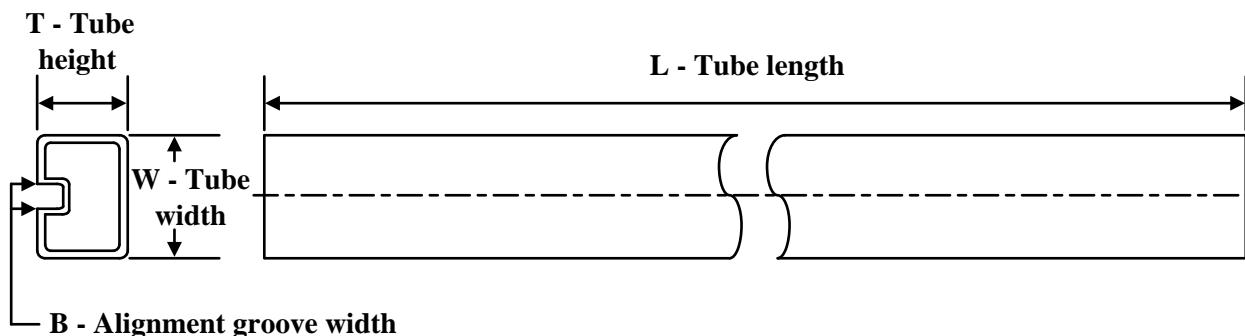
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54672PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54672PWPR	HTSSOP	PWP	28	2000	350.0	350.0	43.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS54672PWP	PWP	HTSSOP	28	50	530	10.2	3600	3.5
TPS54672PWP.A	PWP	HTSSOP	28	50	530	10.2	3600	3.5
TPS54672PWPG4	PWP	HTSSOP	28	50	530	10.2	3600	3.5

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月