



シーケンス制御用FET内蔵 (SWIFT™)、3V~6V入力、6A出力トラッキング同期整流式バックPWMスイッチャ

特長

- 電源立ち上がり/立ち下がりトラッキングによるシーケンス制御
 - 30mΩ、12AピークのMOSFETスイッチ内蔵により6A連続ソース/シンク出力電流で高効率を実現
 - 広いPWM周波数範囲
固定350kHzまたは可変280kHz～700kHz
 - パワーグッドおよびイネーブル機能
 - ピーク電流制限による負荷保護およびサーマル・シャットダウン機能
 - 集積化によるボード面積と部品点数の削減

アプリケーション

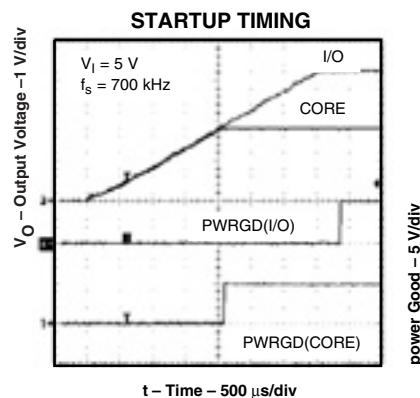
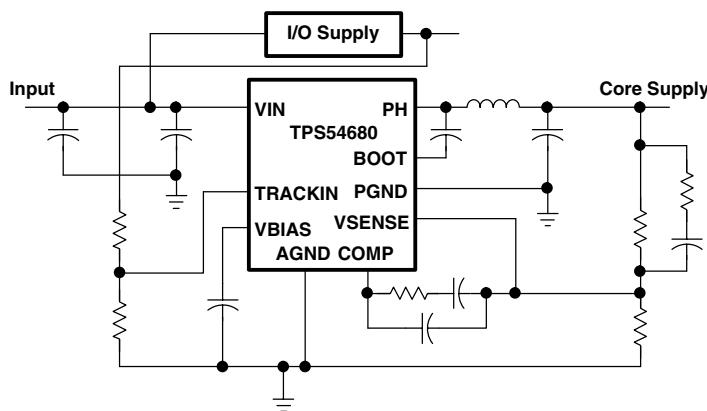
- 低電圧、高密度の分散型電源システム
 - シーケンス制御を要する高性能DSP、FPGA、ASIC、マイクロプロセッサ用ポイント・オブ・ロード(POL)レギュレーション
 - ブロードバンド、ネットワーキング、光通信インフラストラクチャ

概要

TPS54680は、DC/DCレギュレータであるSWIFTTMファミリーを構成する、低入力電圧、大電流出力の同期整流式バックPWMコンバータで、必要とされる能動部品を全て内蔵しています。他のレギュレータと組み合わせてTRACKINピンを使用すると電源の同時立ち上げ/立ち下げが容易に実現できます。他の特長としては、出力フィルタのL,C部品を選択する際に最大の性能と柔軟性を与える真に高性能な電圧誤差増幅器、入力電圧が3Vに達するまで起動を抑える低電圧ロックアウト回路、突入電流を制限する内部または外部で設定されるスロースタート回路、プロセッサ/ロジックのリセットに有用なパワーグッド出力などがあります。

TPS54680は、熱特性を改善した28ピンのTSSOP(PWP) PowerPAD™パッケージで供給されており、大型のヒートシンクは不要です。TIは評価モジュールとSWIFT™デザイナー・ソフトウェア・ツールを提供しており、装置の短期間の開発サイクルにかなうよう高性能な電源設計が迅速に行われることを支援しています。

SIMPLIFIED SCHEMATIC



PowerPADとSWIFTは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。

資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料として使用下さい。

助の参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ご発注の手引き

T _A	OUTPUT VOLTAGE	PACKAGE	PART NUMBER
-40°C to 85°C	0.9 V to 3.3 V	Plastic HTSSOP (PWP) ⁽¹⁾	TPS54680PWP

(1) PWPパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(すなわち、TPS54680PWPR)。PowerPADの図面およびレイアウト情報についてはこのデータシートの「アプリケーション情報」の節を参照してください。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		TPS54680	UNIT
Input voltage range, V _I	VIN, ENA	-0.3 V to 7 V	V
	RT	-0.3 V to 6 V	
	VSENSE, TRACKIN	-0.3 V to 4V	
	BOOT	-0.3 V to 17 V	
Output voltage range, V _O	VBIAS, COMP, PWRGD	-0.3 V to 7 V	V
	PH	-0.6 V to 10 V	
Source current, I _O	PH	Internally Limited	
	COMP, VBIAS	6	mA
Sink current, I _S	PH	12	A
	COMP	6	mA
	ENA, PWRGD	10	
Voltage differential	AGND to PGND	±0.3	V
Operating virtual junction temperature range, T _J		-40 to 125	°C
Storage temperature, T _{stg}		-65 to 150	°C
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds		300	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

推奨動作条件

	MIN	NOM	MAX	UNIT
Input voltage, V _I	3	6		V
Operating junction temperature, T _J	-40	125		°C

定格消費電力⁽¹⁾⁽²⁾

PACKAGE	THERMAL IMPEDANCE JUNCTION-TO-AMBIENT	T _A = 25°C	T _A = 70°C	T _A = 85°C
		POWER RATING	POWER RATING	POWER RATING
28 Pin PWP with solder	18.2 °C/W	5.49 W ⁽³⁾	3.02 W	2.20 W
28 Pin PWP without solder	40.5 °C/W	2.48 W	1.36 W	0.99 W

(1) PWPパッケージの詳細な情報についてはTIテクニカル・ブリーフ文献番号SLMA002を参照してください。

(2) テスト・ボードの条件は以下の通りです。

1. サイズ：3インチ×3インチ、4層、厚さ0.062インチ
2. PCBの上面に重量1.5オンスの銅のグランド・プレーン
3. PCBの底面に重量1.5オンスの銅のグランド・プレーン
4. 内部の2層に重量0.5オンスの銅のグランド・プレーン
5. サーマル・ピアは12個(このデータシートのアプリケーション情報の“推奨ランド・パターン”を参照してください)

(3) 最大消費電力は過電流保護により制限されることがあります。

電気的特性

動作温度範囲内 (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SUPPLY VOLTAGE, VIN						
	Input voltage range, VIN		3.0	6.0		V
I _(Q)	Quiescent current	f _S = 350 kHz, RT open, PH pin open	11	15.8		mA
		f _S = 500 kHz, RT = 100 kΩ, PH pin open	16	23.5		
		Shutdown, ENA = 0 V	1	1.4		
UNDER VOLTAGE LOCK OUT						
	Start threshold voltage, UVLO		2.95	3.0		V
	Stop threshold voltage, UVLO		2.70	2.80		V
	Hysteresis voltage, UVLO		0.14	0.16		V
	Rising and falling edge deglitch, UVLO ⁽¹⁾		2.5			μs
BIAS VOLTAGE						
	Output voltage, VBIAS	I _(VBIAS) = 0	2.70	2.80	2.90	V
	Output current, VBIAS ⁽²⁾				100	μA
CUMULATIVE REFERENCE						
V _{ref}	Accuracy		0.882	0.891	0.900	V
REGULATION						
	Line regulation ⁽¹⁾⁽³⁾	I _L = 3 A, f _S = 350 kHz, T _J = 85°C			0.04	%/V
		I _L = 3 A, f _S = 550 kHz, T _J = 85°C			0.04	
	Load regulation ⁽¹⁾⁽³⁾	I _L = 0 A to 6 A, f _S = 350 kHz, T _J = 85°C			0.03	%/A
		I _L = 0 A to 6 A, f _S = 550 kHz, T _J = 85°C			0.03	
OSCILLATOR						
	Internally set—free running frequency	RT open	280	350	420	kHz
	Externally set—free running frequency range	RT = 180 kΩ (1% resistor to AGND)	252	280	308	kHz
		RT = 100 kΩ (1% resistor to AGND)	460	500	540	
		RT = 68 kΩ (1% resistor to AGND)	663	700	762	
	Ramp valley ⁽¹⁾		0.75			V
	Ramp amplitude (peak-to-peak) ⁽¹⁾		1			V
	Minimum controllable on time ⁽¹⁾			200		ns
	Maximum duty cycle		90%			

(1) 設計において規定されています。

(2) 抵抗性静負荷のみの場合です。

(3) 図9の回路での規定です。

電気的特性(続き)

動作温度範囲内(特に記述のない限り)

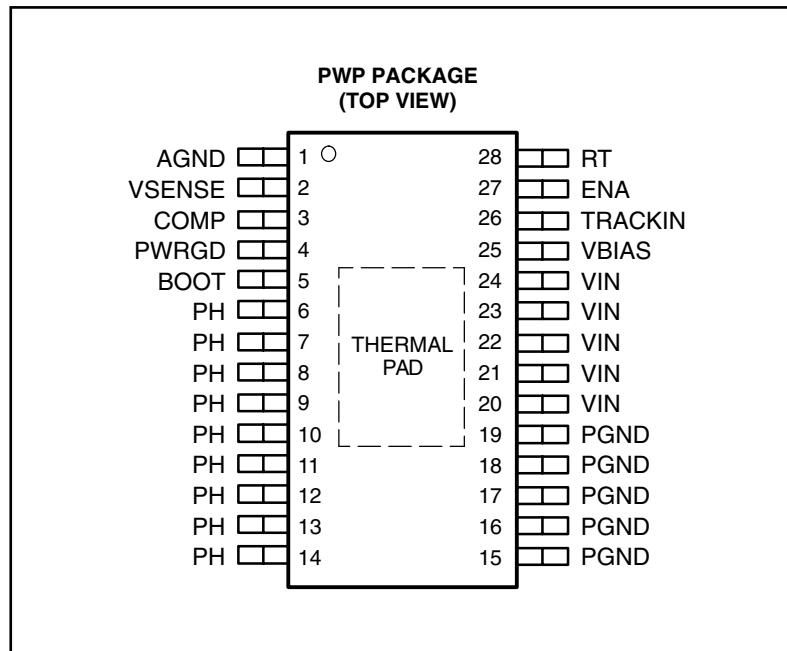
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
ERROR AMPLIFIER					
Error amplifier open loop voltage gain	1 kΩ COMP to AGND ⁽¹⁾	90	110		dB
Error amplifier unity gain bandwidth	Parallel 10 kΩ, 160 pF COMP to AGND ⁽¹⁾	3	5		MHz
Error amplifier common mode input voltage range	Powered by internal LDO ⁽¹⁾	0		VBIAS	V
Input bias current, VSENSE	VSENSE = V _{ref}	60	250		nA
Output voltage slew rate (symmetric), COMP		1.0	1.4		V/μs
PWM COMPARATOR					
PWM comparator propagation delay time, PWM comparator input to PH pin (excluding deadtime)	10-mV overdrive ⁽¹⁾	70	85		ns
ENABLE					
Enable threshold voltage, ENA		0.82	1.20	1.40	V
Enable hysteresis voltage, ENA		0.03			V
Falling edge deglitch, ENA ⁽¹⁾		2.5			μs
Leakage current, ENA	V _I = 5.5 V	1			μA
POWER GOOD					
Power good threshold voltage	VSENSE falling	90			%V _{ref}
Power good hysteresis voltage ⁽¹⁾		3			%V _{ref}
Power good falling edge deglitch ⁽¹⁾		35			μs
Output saturation voltage, PWRGD	I _(sink) = 2.5 mA	0.18	0.3		V
Leakage current, PWRGD	V _I = 5.5 V	1			μA
CURRENT LIMIT					
Current limit trip point	V _I = 3 V Output shorted ⁽¹⁾	7.2	10		A
	V _I = 6 V Output shorted ⁽¹⁾	10	12		
Current limit leading edge blanking time		100			ns
Current limit total response time		200			ns
 THERMAL SHUTDOWN					
Thermal shutdown trip point ⁽¹⁾		135	150	165	°C
Thermal shutdown hysteresis ⁽¹⁾		10			°C
OUTPUT POWER MOSFETS					
r _{DS(on)} Power MOSFET switches	V _I = 6 V ⁽⁴⁾	26	47		mΩ
	V _I = 3 V ⁽⁴⁾	36	65		
TRACKIN					
Input offset, TRACKIN	VSENSE = TRACKIN = 1.25 V	-1.5	1.5		mV
Input voltage range, TRACKIN	See Note 1	0	V _{ref}		V

(1) 設計において規定されています。

(2) 抵抗性静負荷のみの場合です。

(3) 図9の回路での規定です。

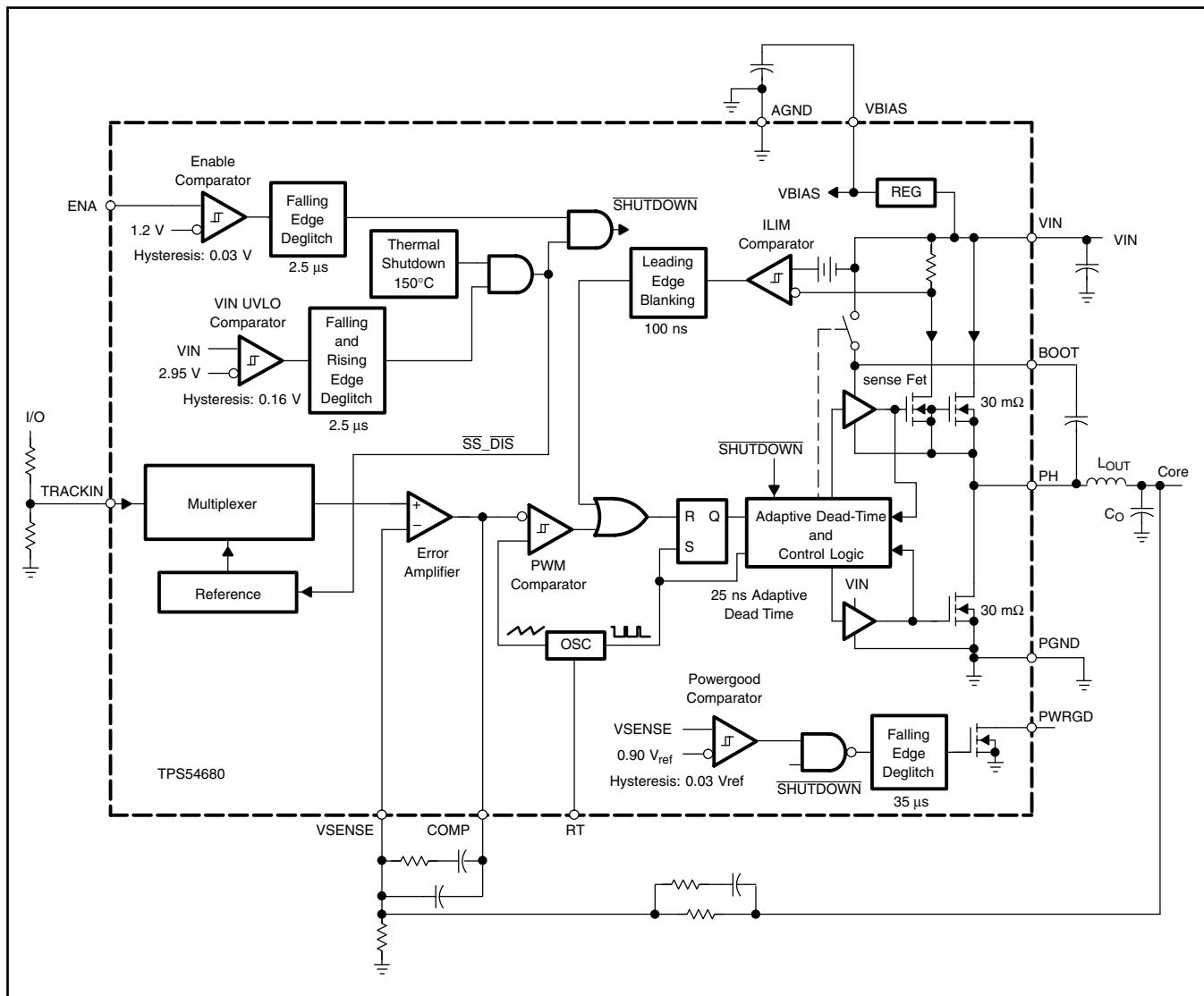
(4) 一対のMOSFETのうちローサイド側のオン抵抗はテストで、ハイサイド側のオン抵抗は設計で規定されています。



端子機能

TERMINAL NAME	TERMINAL NO.	DESCRIPTION
AGND	1	アナログ・グランド。補償ネットワーク/出力デバイダ、スロースタート・キャパシタ、RT抵抗のリターン。PowerPADは、AGNDと接続してください。
BOOT	5	ブートストラップ出力。ハイサイドFETのフローティング・ドライバ回路用に、 $0.022\mu F$ ~ $0.1\mu F$ のキャパシタが、BOOT端子からPHに接続されます。
COMP	3	誤差増幅器出力。COMPからVSENSEに対して周波数補償ネットワークが接続されます。
ENA	27	イネーブル入力。ロジック“H”は、発振器、PWMコントロール、MOSFETドライバ回路をイネーブルし、ロジック“L”的場合には、この製品の動作はディスエーブルされ、低静止電流モードとなります。
PGND	15~19	パワー・グランド。ローサイド・ドライバとパワーMOSFETの大電流リターン端子。PGNDは入出力電源リターンに接続されます。AGNDとの接続は一点接続が推奨されます。
PH	6~14	フェーズ出力。ハイサイド/ローサイドFETとインダクタとの接続点。
PWRGD	4	パワーゲット・オープンドレイン出力。VSENSE電圧が V_{REF} の±90%以上の場合に“H”、その範囲外の場合に“L”となります。
RT	28	周波数設定用抵抗接続入力。RTとAGND間に抵抗を接続することで、発振周波数が設定されます。
TRACKIN	26	外部基準入力端子。内部基準電圧/マルチプレクサ、誤差増幅器へのハイ・インピーダンス入力。
VBIAS	25	内部バイアス・レギュレータ出力。このレギュレータ出力電圧は内部回路用電源として使用され、高品質、低ESRの $0.1\mu F$ ~ $1\mu F$ セラミック・キャパシタでVBIASとAGND間にバイパスしてください。
VIN	20~24	パワーMOSFETスイッチと内部バイアス・レギュレータの入力電源。高品質/低ESRの $10\mu F$ セラミック・キャパシタで、デバイスの出来るだけ近くでVINとPGND間にバイパスしてください。
VSENSE	2	誤差増幅器反転入力端子。この端子と出力電圧間に、補償ネットワーク/出力デバイダが接続されます

内部ブロック図



他の6A SWIFT™デバイス (SLVS397およびSLVS400を参照)

DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE
TPS54611	0.9 V	TPS54614	1.8 V	TPS54672	Active terminal
TPS54612	1.2 V	TPS54615	2.5 V	TPS54610	Adjustable
TPS54613	1.5 V	TPS54616	3.3 V		

関連DC/DC製品

- UCC3585 – DC/DCコントローラ
- TPS56300 – DC/DCコントローラ
- TPS759xx – 7.5A低ドロップアウト・レギュレータ
- PT6440シリーズ – 6Aプラグイン・モジュール

代表的特性

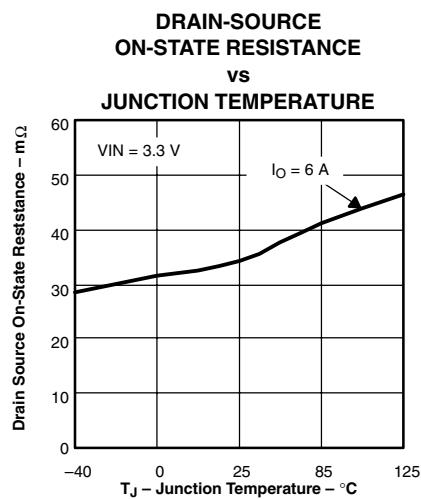


図 1

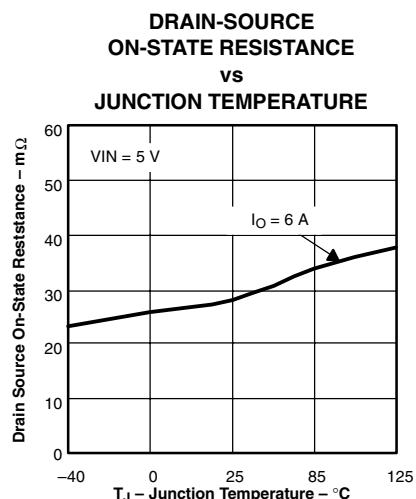


図 2

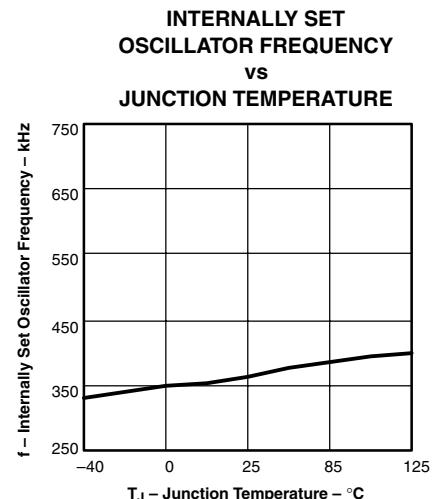


図 3

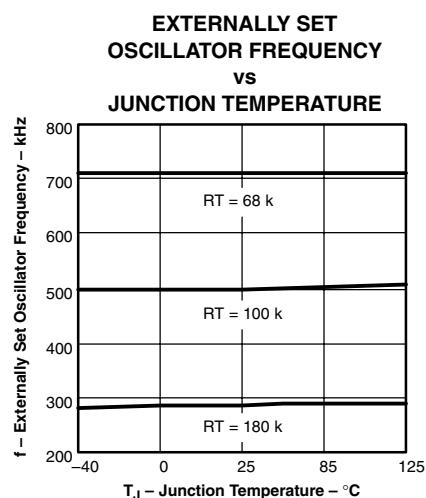


図 4

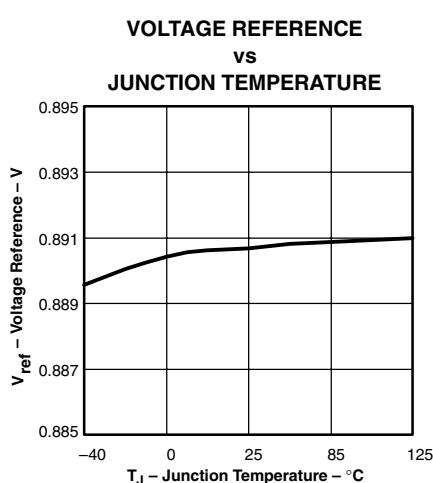


図 5

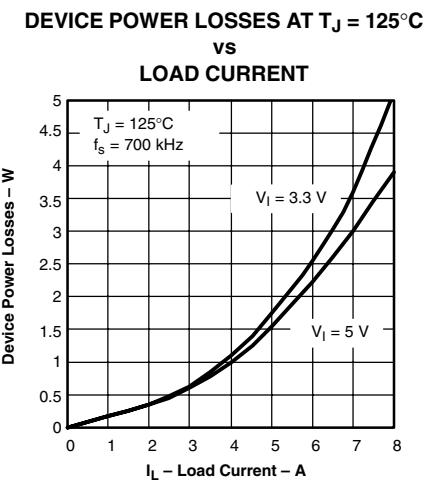


図 6

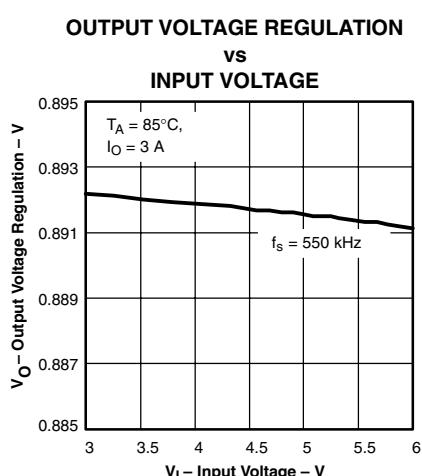


図 7

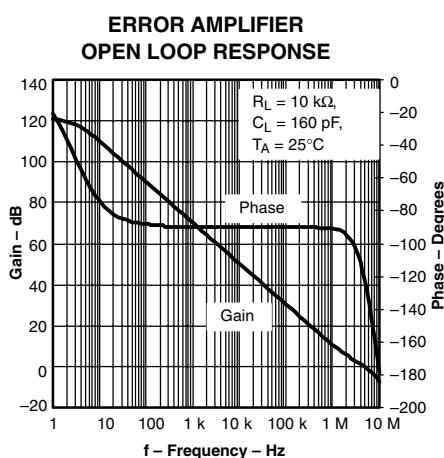


図 8

アプリケーション情報

図9にTPS54680の代表的なアプリケーション回路図を示します。TPS54680 (U1) は標準出力電圧1.8V時6A以上の出力電流を供給することができます。適切な熱特性を実現するには、ICパッケージの底面にむき出しの熱対策用のPowerPADをプリント基板にはんだ付けしなければなりません。電源立ち上がりのトラッキングを行うには、I/O電源のイネーブルを使用してください。I/Oイネーブルを電源の立ち上がりに使用しない場合は、確実に電源立ち上がりのトラッキングを行うために同程度の低電圧ロックアウトのスレッシュホールド電圧をもつデバイスを使用することが必要となります。一方、確実に電源立ち下りのトラッキングを行うには、イネーブル端子を使用しなければなりません。

部品の選択

この設計例で使用された部品の値は、出力リップル電圧が小さく、またPCB面積が小さくなるよう選択しています。設計情報の補足部分についてはホームページwww.ti.comを参照してください。

入力フィルタ

入力電圧は標準で5VDCです。入力フィルタC6は10μFのセラミック・キャパシタ (メーカー: 太陽誘電) です。また、C7も10μFのセラミック・キャパシタ (メーカー: 太陽誘電) であり、入力電源からのTPS54680への高周波結合が起らないようにするためのもので、できるだけデバイスの近くに配置しなければなりません。リップル電流はC6とC7に運ばれ、PGNDへの帰還パスにより電流が出力キャパシタC8、C9、C10に循環するのを回避しなければなりません。

フィードバック回路

これらの部品値は出力リップル電圧が小さくなるよう選択されています。抵抗デバイダ回路R3とR8により回路の出力電圧が1.8Vに設定されています。R3およびR7、R5、C1、C3、C4は回路のループ補償ネットワークを形成しています。この設計ではタイプ3のトポロジが使用されています。

動作周波数

アプリケーション回路で、RT端子を開放にすると350kHz動作が選択されます。180kΩ～68kΩの抵抗をRT(28ピン)とアナログ・グランド間に接続するとスイッチング周波数を280kHz～700kHzに設定することができます。RTピンに接続する抵抗を計算するには以下の式を使用します。

$$R = \frac{500 \text{ kHz}}{\text{Switching Frequency}} \times 100 \text{ [k}\Omega\text{]} \quad (1)$$

出力フィルタ

出力フィルタは0.65μHのインダクタと22μFのキャパシタ3つで構成されています。インダクタは低DC抵抗(0.017Ω)タイプのPulse Engineering社型番PA0227です。使用キャパシタはX5R特性をもつ22μF/6.3Vのセラミック・タイプです。フィードバック・ループは単一利得周波数が約75kHzとなるよう補償されています。

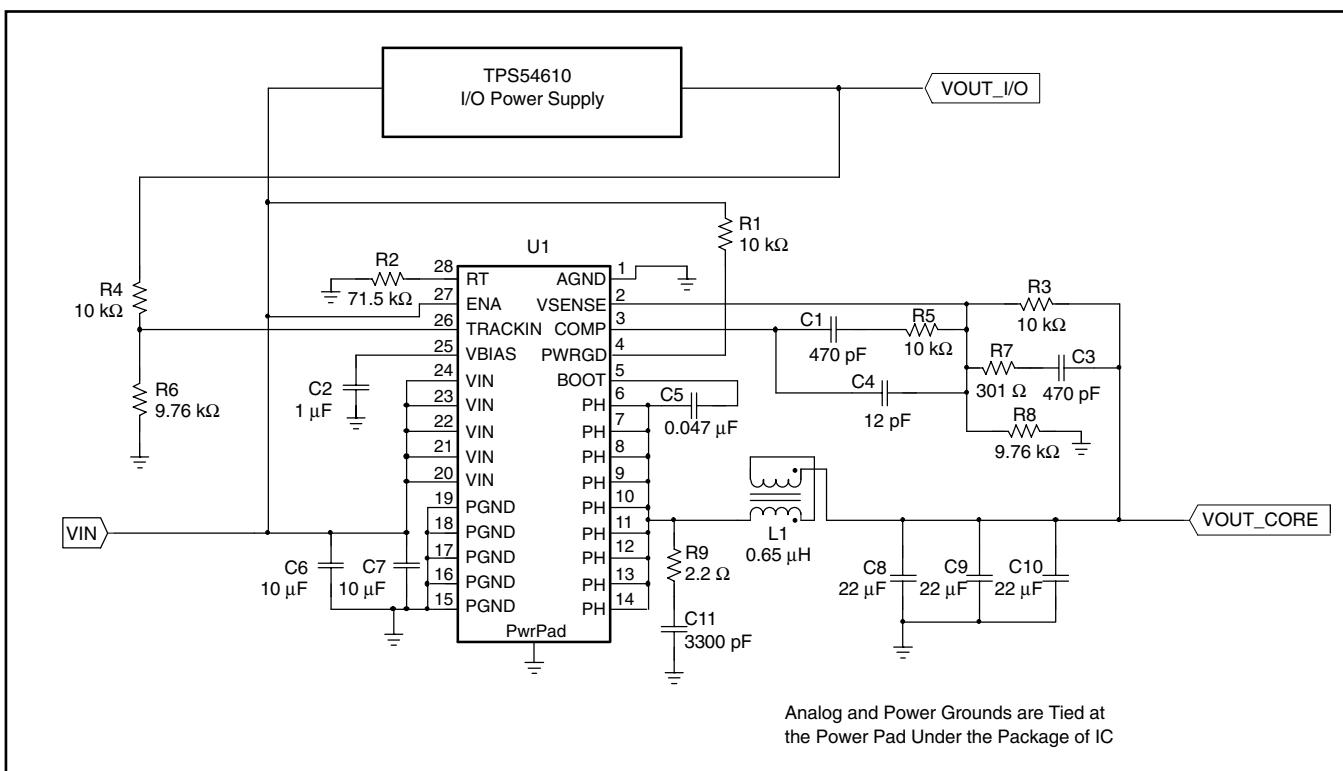


図9. アプリケーション回路

PCBレイアウト

図10に、TPS54680のPCBレイアウトに関する一般的なガイドラインを示します。

すべてのVINピンは、プリント基板(PCB)上で同じ領域に接続し、低ESRのセラミック・バイパス・キャパシタを使用してバイパスしてください。バイパス・キャパシタ接続、VINピン、およびTPS54680のグランド・ピンによって形成されるループ領域は最小限に抑えるよう注意が必要です。推奨される最小のバイパス容量は、X5RまたはX7R特性をもつ10 μ Fのセラミック・キャパシタであり、VINピンおよびPGNDピンにできる限り近づけて配置するのが最適です。

TPS54680には内部グランドが2つあります(アナログとパワー)。TPS54680の内部で、アナログ・グランドはノイズに敏感な信号全てに結びついており、一方、パワー・グランドはノイズの大きい電源信号に結びついています。この2つのグランド間にに入るノイズが、特に大出力電流時にTPS54680の性能を劣化させてしまいます。アナログ・グランド・プレーン上のグランド・ノイズもコントロールおよびバイアス信号に問題を生じさせます。これらの理由により、アナログ・グランドとパワー・グランドのパターンをそれぞれ分離することを推奨します。IC直下の最上層には、PowerPADへの接続用の露出した領域とともに、グランド領域を設ける必要があります。このグランド領域は、ビアを使用して任意の内部グランド・プレーンに接続してください。入力および出力フィルタ・キャパシタのグランド側にも、追加のビアを使用します。AGNDおよびPGNDピンは、PCBのグランドに接続する必要があります。これは、図に示すように、各ピンをデバイスの下のグランド領域に接続することで行います。パワー・グランドのプレーンに直接接続しなければならない部品は、入力キャパシタ、出力キャパシタ、入力電圧デカップリング・キャパシタ、TPS54680のPGND端子です。アナログ・グランド信号バスには、別の広いパターンを使用してください。このアナログ・グランドは、電圧設定点デバイダ、タイミング抵抗RT、およびバイパス・キャパシタのグランド用に使用します。このパターンはAGND(ピン1)に直接接続してください。

PHピンはすべて同じ領域に接続し、出力インダクタに接続する必要があります。PH接続はスイッチング・ノードであるため、インダクタはPHピンにごく近づけて配置し、過度の容量性カップリングを避けるためにPCB導体の面積はできるだけ小さくしてください。図に示すように、フェイズノードとBOOTピンの間にはブート・キャパシタを接続します。ブート・キャパシタはICに近づけて配置し、導体パターンはできるだけ短くしてください。

VOUTパターンとPGNDの間には、図に示すように出力フィルタ・キャパシタを接続します。PHピン、Lout、Cout、およびPGNDによって形成されるループは、実用上適切な範囲でなるべく小さくすることが重要です。

VOUTパターンとVSENSEおよびCOMPピンの間に、補償部品を配置します。これらの部品は、PHパターンにあまり近づけないようにしてください。ICパッケージのサイズとデバイスのピン配置の関係で、多少近づけて配置することになりますが、レイアウトのコンパクトさを維持できる範囲で、できるだけ離して配置してください。

VBIASピンとアナログ・グランドの間に、独立したアナログ・グランド・パターンを使用してバイアス・キャパシタを接続します。RT抵抗を使用する場合は、このパターンに接続してください。

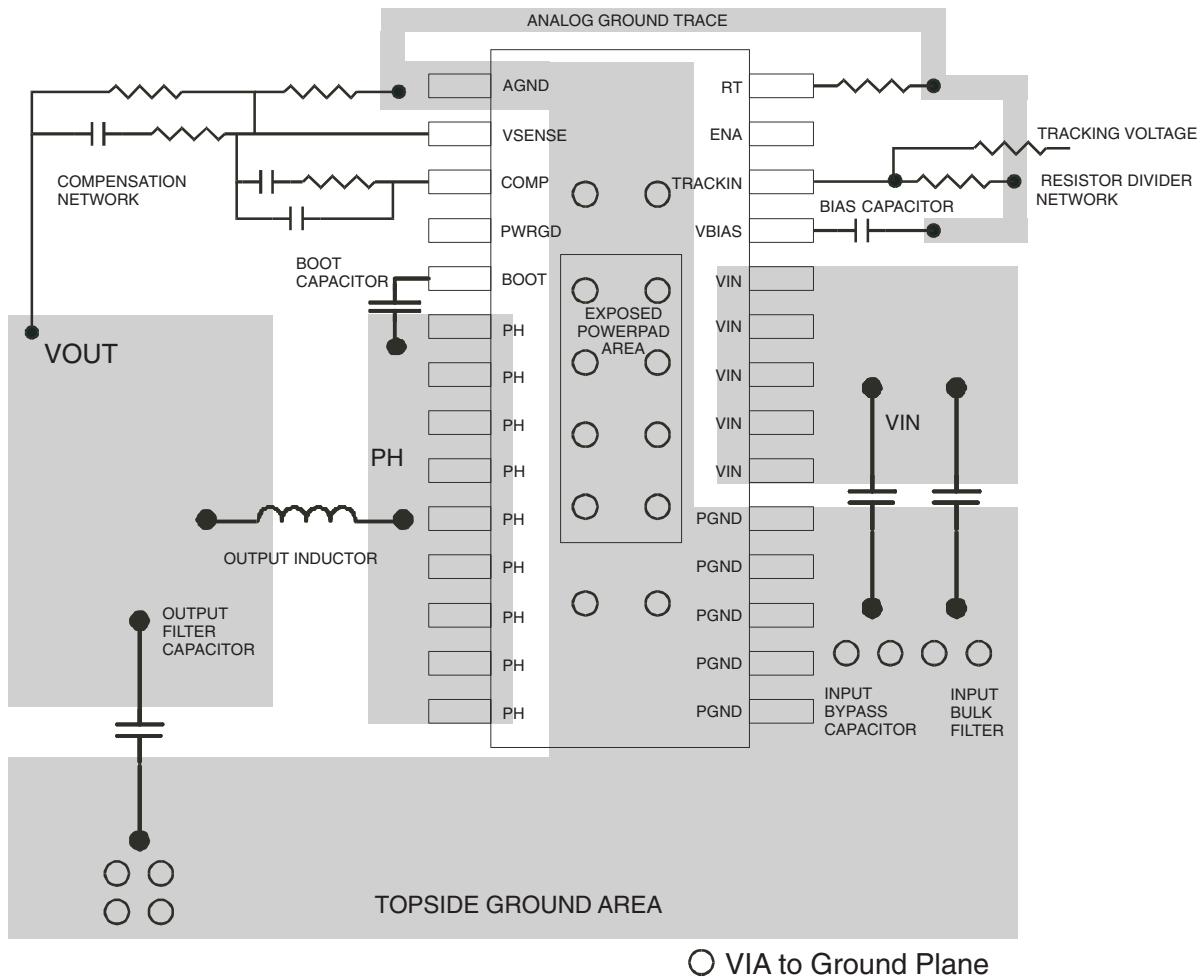


図10. TPS54680 PCBレイアウト

熱設計のためのレイアウト考察

全定格負荷電流で動作を行うには、アナログ・グランドのプレーンは十分な放熱面積を備えていなければなりません。周囲の温度とエアフローにもより、強制ではありませんが、1オンスの銅で3インチ×3インチの大きさを推奨します。ほとんどのアプリケーションでは内部に大きな領域のグランド・プレーンをもつことができ、PowerPADはこの利用可能な最大領域に接続しなければなりません。上層または下層の別の領域も放熱の手助けとなり、6Aまたはそれ以上の動作が求められる場合には利用可能な領域はすべて使用しなければなりません。PowerPADの

むき出しの領域からアナログ・グランド・プレーン層へはビアの中ではんだのウィッキング(ボイド)を避けるため直径0.013インチのビアを使って接続しなければなりません。PowerPAD領域に8つのビアと、デバイス・パッケージの下に設置される4つの追加ビアがなければなりません。むき出しのサーマル・パッド領域では不可能ですが、パッケージの下のビア寸法は0.018インチまで増やすことができます。熱特性向上させるのに推奨される12個以上の追加ビアはデバイス・パッケージの下以外の領域に置く必要があります。

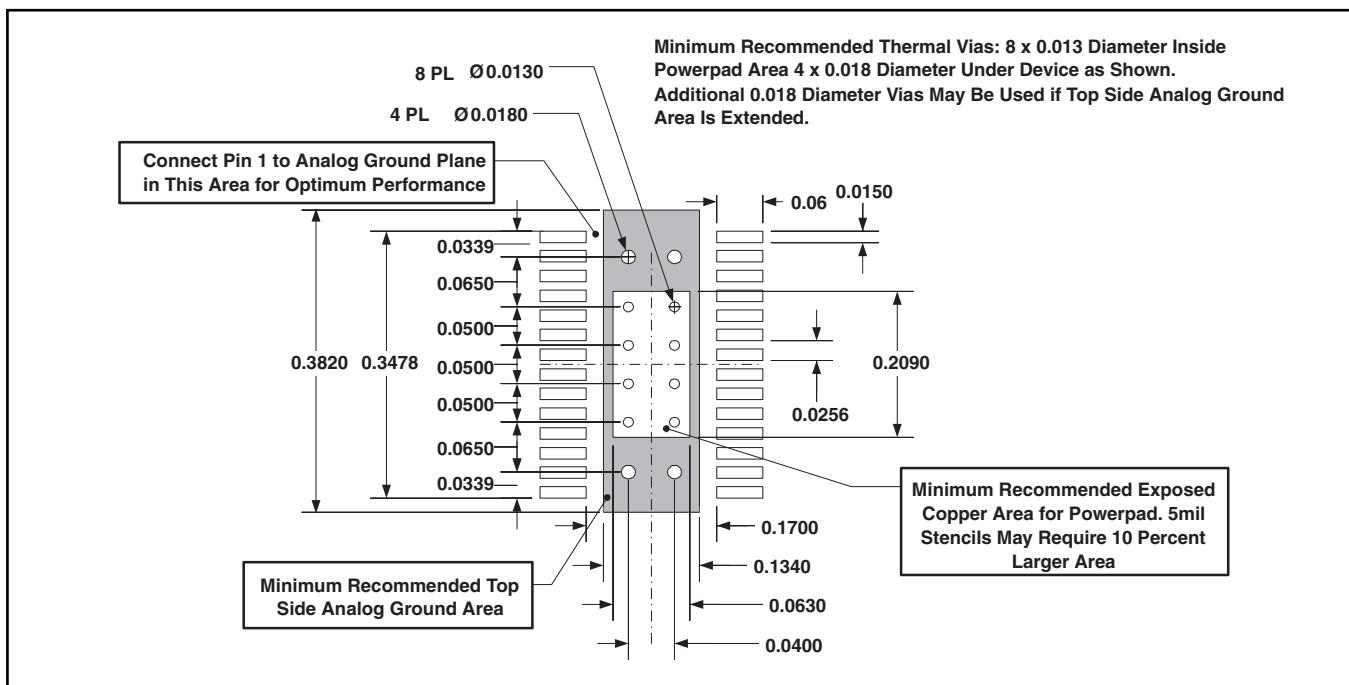


図11. 28ピンPWP PowerPADの推奨ランド・パターン

特性グラフ

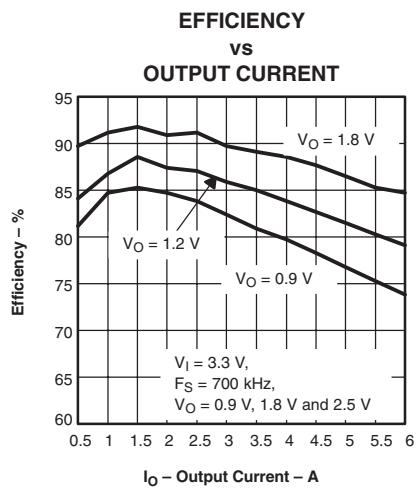


図 12

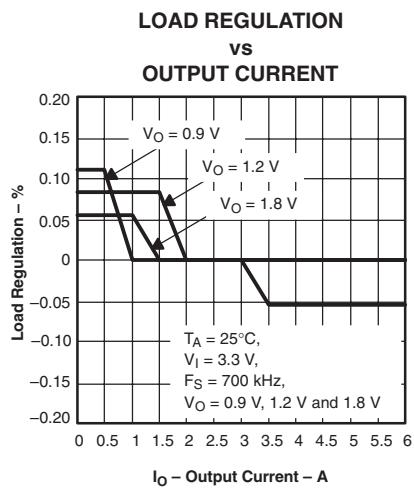


図 13

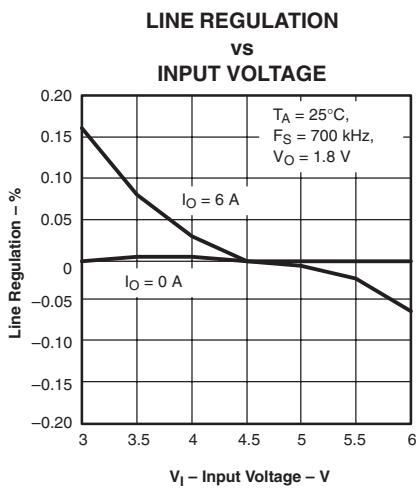


図 14

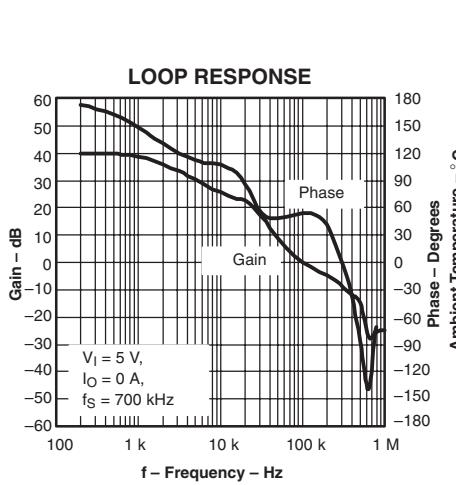


図 15

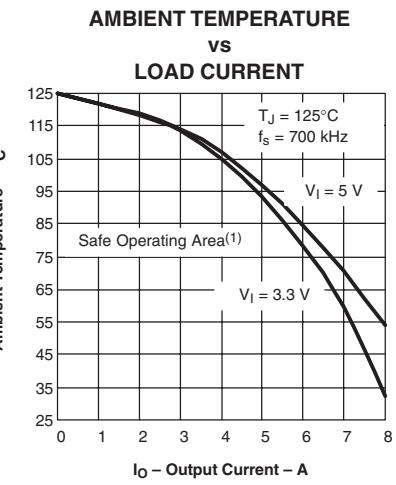


図 16

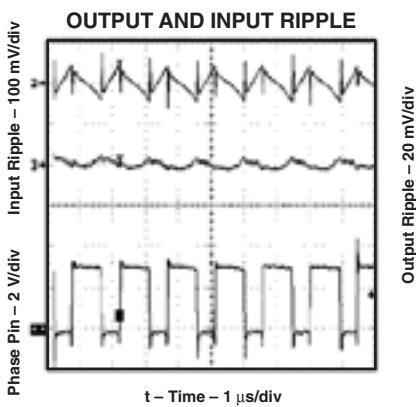


図 17

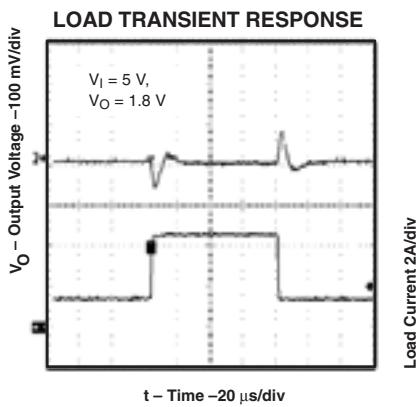


図 18

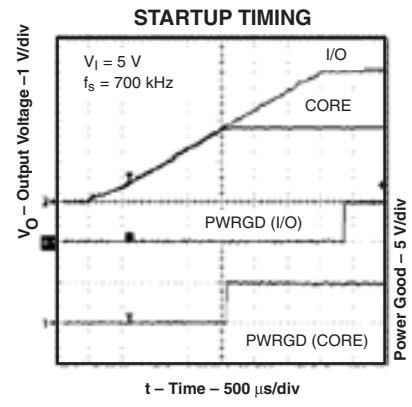


図 19

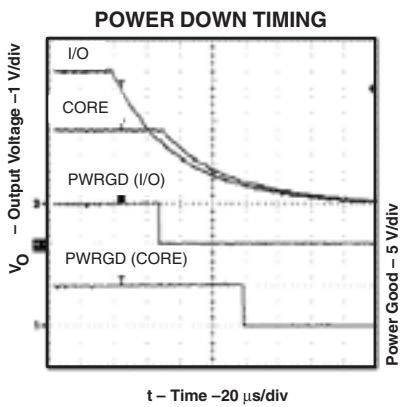


图 20

(1) “Safe operating area”は、定格消費電力でのテスト・ボード条件に該当します。

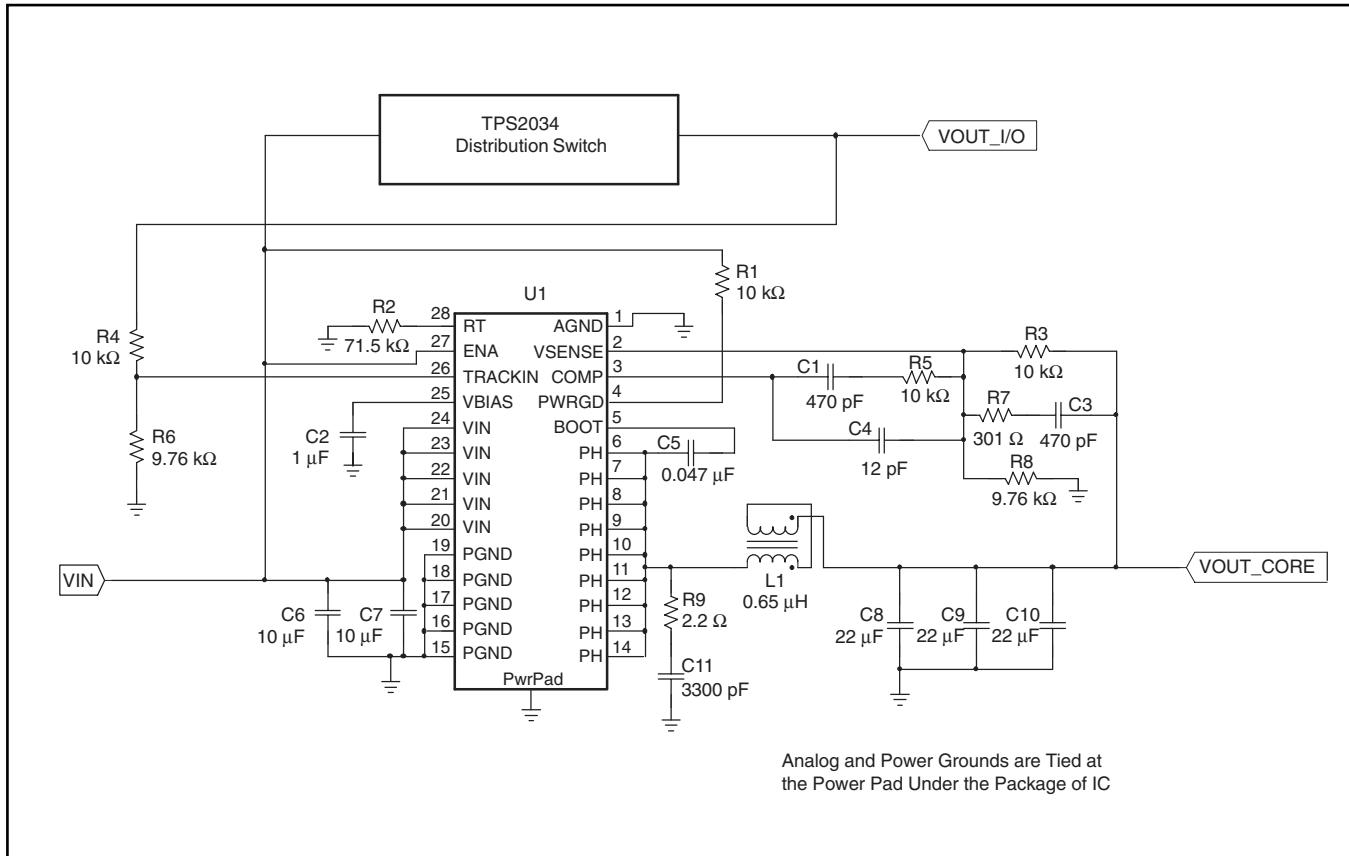


図21. 3.3Vの小型高周波数設計

図21は、TPS2034ハイサイド電源スイッチとTPS54680デバイスを使用した電源トラッキング設計の回路図を示しています。TPS2034電源スイッチにより、U1の動作およびコア電圧生成に十分なバイアス電圧が得られるまで負荷にはI/O電圧が印加されないようになっています。

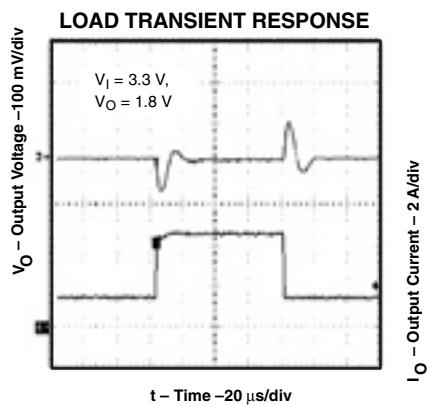


図 22

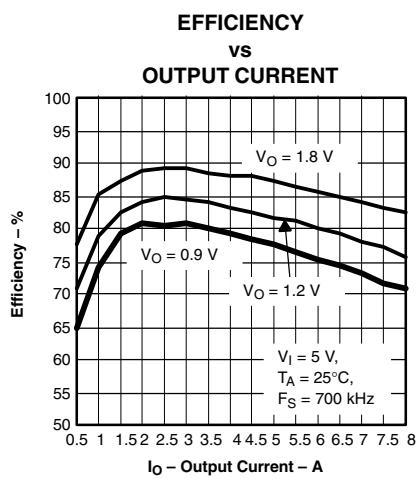


図 23

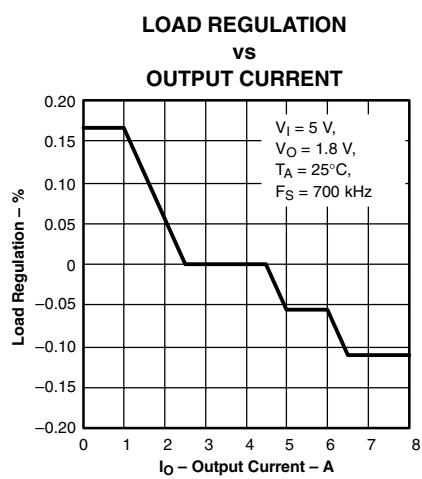


図 24

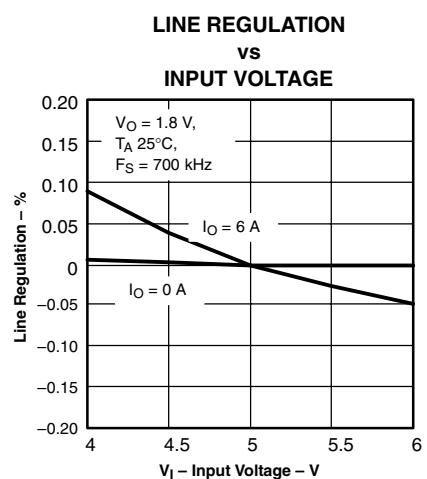


図 25

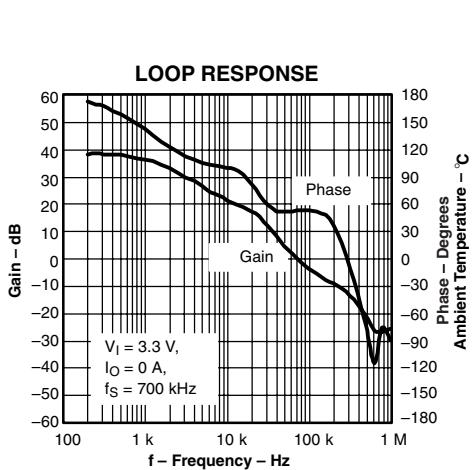


図 26

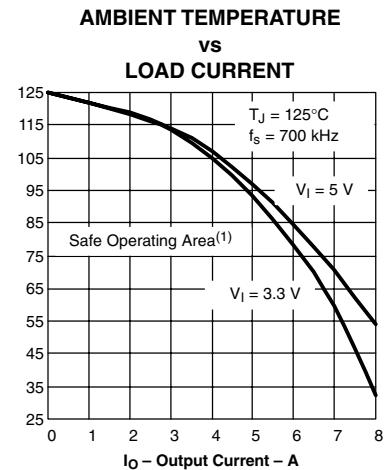


図 27

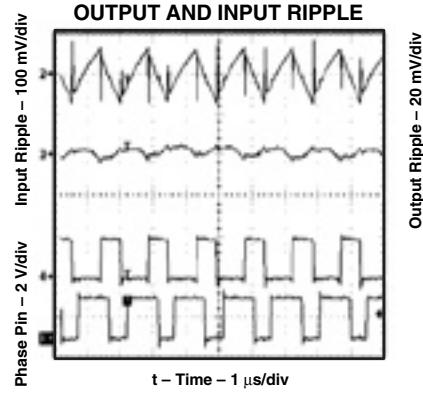


図 28

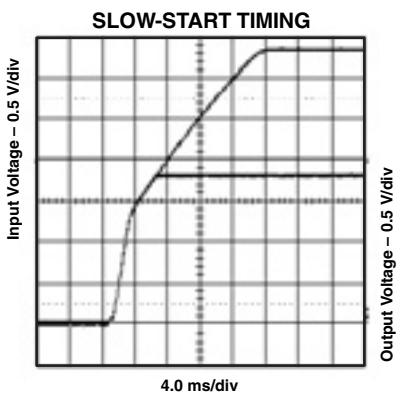


図 29

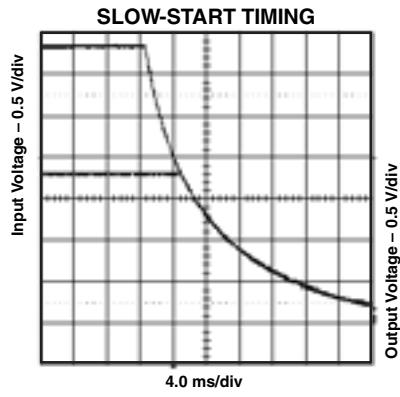


図 30

詳細説明

低電圧ロックアウト(UVLO)

TPS54680には入力電圧が(VIN)が不足している場合にデバイスをディスエーブルにしておく低電圧ロックアウト回路が内蔵されています。電源の立ち上がり時、内部回路はVINが標準のUVLOスレッシュホールド電圧である2.95Vを超えるまでインアクティブに保持されます。UVLOスタート・スレッシュホールド電圧に達するとデバイスの起動が始まります。デバイスはVINが標準のUVLOトップ・スレッシュホールド電圧である2.8V以下に低下するまで動作します。VINのノイズによりデバイスが停止してしまう可能性はUVLOコンパレータのヒステリシスおよび2.5μsの立ち上がり/立ち下がりエッジ・デグリッチ回路により低く抑えられています。

TRACKIN/内部スロースタート

内部のスロースタート回路により出力電圧の立ち上がり時のスロープをコントロールすることができます。この内部の標準スロースタート・レートは25V/msです。TRACKINピンの電圧が内部のスロープよりも速く上昇するか、またはデバイス動作がイネーブル時にこの電圧が存在する場合、出力は内部のレートで立ち上ります。TRACKINの基準電圧がより遅い速度で上昇する場合には、出力はTRACKINとほぼ同じレートで上昇します。

TRACKINピンの電圧が内部基準電圧である0.891Vより大きくなると、マルチプレクサは非反転ノードを高精度の基準電圧に切り替えます。

イネーブル制御(ENA)

イネーブル・ピン(ENA)はTPS54680のをイネーブルまたはディスエーブル(停止)にします。入力電圧が1.4V以上でTPS54680はイネーブルになります。一方、入力電圧が0.82V以下ではデバイス動作はディスエーブルになります。これらはTTL出力と互換性があるとはいえる標準ロジックのスレッシュホールド電圧ではありません。

ENAピンが“L”レベルの場合、発振器、ソフトスタート、PWMコントロール、MOSFETドライバはディスエーブルになります。デバイスの起動準備の初期状態に保持されます。ENAが“L”レベルから“H”レベルに移行する時、デバイスの起動が出力が0Vで開始されます。

VBIASレギュレータ(VBIAS)

VBIASレギュレータは内部のアナログおよびデジタル・ブロックにジャンクション温度や入力電圧の変動にかかわらない安定した電源電圧を供給します。高品質で低ESRのセラミックのバイパス・キャパシタをVBIASピンに接続することが必要です。温度に対し特性値が安定しているため、X7RまたはX5Rクラスのセラミック・キャパシタを推奨します。バイパス・キャパシタはVBIASピンの近くに置き、AGNDに帰還させなければなりません。

VBIASに外部負荷を接続することは、内部回路がVBIASの最小電圧2.70Vを必要とすること、およびVBIASに接続する外部負荷がACまたはデジタル・スイッチング・ノイズを持ち性能を劣化させるかもしれない、という点に注意すれば可能です。VBIASピンは外付け回路への基準電圧としても有用です。

基準電圧

基準電圧システムは温度に対し安定なバンドギャップ回路の出力をスケーリングすることで高精度のV_{ref}信号を生成します。製造時、バンドギャップ回路とスケーリング回路は、ボルテージ・フォロワのように接続されたアンプにより誤差増幅器の出力で0.891Vが出力されるようトリミングされます。このトリミングは、スケーリング回路および誤差増幅器の回路のオフセット誤差をキャンセルするため、TPS54680での高精度のレギュレーションがさらに助長されます。

発振器およびPWMランプ

発振器の周波数は内部で350kHzに設定されています。アプリケーションでそれ以外の周波数での動作が必要な場合には、RTピンとAGND間に抵抗を接続することで280kHz～700kHzの範囲で外部から調整することができます。スイッチング周波数は以下の式で概算することができます。この式中のRはRTピンからAGNDに接続される抵抗です。

$$\text{Switching Frequency} = \frac{100 \text{ k}\Omega}{R} \times 500 \text{ [kHz]} \quad (2)$$

SWITCHING FREQUENCY	RT PIN
350 kHz, internally set	Float
Externally set 280 kHz to 700 kHz	R = 180 kΩ to 68 kΩ

誤差増幅器

高性能で広い帯域幅をもつ誤差増幅器により、TPS54680はほとんどのDC/DCコンバータより優れています。ユーザーは特殊なアプリケーションのニーズに適応するようLとCから成る出力フィルタ部品を広範囲に選択使用することができます。外付けの補償部品によりタイプ2または3の補償を用いることができます。

PWMコントロール

誤差増幅器の出力、発振器、電流制限回路からの信号はPWMコントロール・ロジックで処理されます。内部ブロック図を参照すると、このコントロール・ロジックにはPWMコンパレータ、ORゲート、PWMラッチ、およびアダプティブ・デッドタイムとコントロール・ロジックのブロックの一部が含まれます。電流制限スレッシュホールド電圧以下の定常状態動作では、PWMコンパレータの出力と発振器の連続パルスが交互にPWMラッチのリセットとセットを行います。PWMラッチがリセットされると、ローサイドFETは発振器のパルス幅で設定される最小期間の間オン状態のままでです。この期間で、PWMランプはその下限電圧まで急速に放電します。ランプが再充電し始めると、ローサイドFETはオフになり、ハイサイドFETがオンになります。PWMランプ電圧が誤差増幅器の出力電圧を超えると、PWMコンパレータはラッチをリセットするため、ハ

イサイドFETがオフ、ローサイドFETはオンになります。ローサイドFETは、発振器の次のパルスがPWMランプを放電するまでオン状態を保持します。

過渡状態では、誤差増幅器の出力はPWMランプの下限電圧以下またはPWMピーク電圧以上である可能性があります。誤差増幅器の出力が高いと、PWMラッチはリセットされず、ハイサイドFETは発振器のパルスがハイサイドFETをオフに、ローサイドFETをオンにするようコントロール・ロジックに信号を送るまでオン状態を保持します。このデバイスは出力電圧がレギュレーションの設定点に達し、VSENSEの電圧がVREFとほぼ同じ電圧に設定されるまで、その最大デューティ・サイクルで動作します。一方、誤差増幅器の出力が低いと、PWMラッチは絶えずリセットされ、ハイサイドFETはオンになりません。ローサイドFETは、VSENSE電圧がPWMコンパレータに状態を変えさせる程度に減少するまでオン状態を保持します。TPS54680は出力がレギュレーションの設定点に達するまで連続して電流をシンクすることができます。

電流制限コンパレータが100ns以上トリップしている場合、PWMラッチはPWMランプが誤差増幅器の出力を超える前にリセットされます。ハイサイドFETはオフに、ローサイドFETはオンになり、出力インダクタのエネルギーは減少し、その結果出力電流は減少します。このプロセスは電流制限コンパレータがトリップするたびに各サイクルで繰り返し行われます。

デッドタイム・コントロールおよびMOSFETドライバ

アダプティブ・デッドタイム・コントロールにより、MOSFETドライバのターンオン時間が能動的にコントロールされ、スイッチング過渡時シートスルー電流が両方のNチャネル・パワーMOSFETに流れることが防止されます。ハイサイド・ドライバはローサイドFETのゲート電圧が2V以下になるまでオンになりません。一方、ローサイド・ドライバはハイサイドMOSFETのゲート電圧が2V以下になるまでオンになりません。

ハイサイド・ドライバおよびローサイド・ドライバはパワーMOSFETのゲートを高速に駆動するため300mAのソース/シンク能力をもつよう設計されています。ローサイド・ドライバはVINから電源を供給され、一方、ハイサイド・ドライバはBOOTピンから電源が供給されます。ブートストラップ回路は外付けのBOOTキャパシタと、VINとBOOTピン間に接続された2.5Ωの内部ブートストラップ・スイッチを利用しています。この内蔵ブートストラップ・スイッチにより、駆動効率が改善し、また外付け部品点数も削減します。

過電流保護

ハイサイドMOSFETを流れる電流を検出し、この信号をあらかじめ設定された過電流スレッシュホールドと比較することでサイクルごとの電流制限が実行されます。ハイサイドMOSFETは電流制限のスレッシュホールドに達した後200ns以内でオフになります。100nsのリーディング・エッジ・ブランкиング回路は電流制限が誤ってトリップすることを防止します。電流制限の検出は出力フィルタへの電流をソースしている場合に電流がVINからPHに流れる時にのみ起こります。電流シンクの動作時に負荷を保護することはサーマル・シャットダウンにより行われます。

サーマル・シャットダウン

このデバイスはジャンクション温度が150°Cを超えるとサーマル・シャットダウンによりパワーMOSFETをオフにしコントローラをディスエーブルにします。デバイスはサーマル・シャットダウンのトリップ点より10°C下がると自動的にシャットダウンが解除され、スロースタート回路のコントロールの下で起動を開始します。

サーマル・シャットダウンは過負荷の状態が数ミリ秒間続いた時保護を行います。異常状態が続いていると、デバイスは連續して以下のサイクルを繰り返します。つまり、ソフトスタート回路のコントロールにより起動し、異常状態により熱をもち、その結果サーマル・シャットダウンのトリップ点に達した時シャットダウンします。このシーケンスは異常状態が解除されるまで繰り返されます。

パワーグッド(PWRGD)

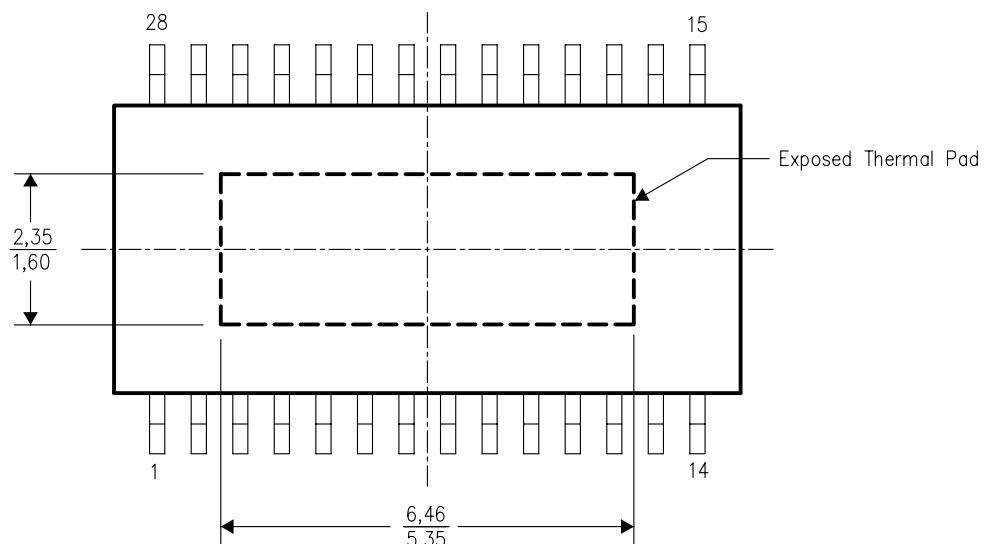
パワーグッド回路はVSENSEが低電圧状態かどうかをモニタします。VSENSEの電圧が基準電圧より10%低くなると、PWRGDのオープン・ドレイン出力が“L”レベルになります。また、VINがUVLOスレッシュホールド電圧以下またはENAが“L”レベル、あるいはサーマル・シャットダウンが起こった場合に、PWRGDは“L”レベルになります。VINがUVLOスレッシュホールド電圧以上、ENAがイネーブル・スレッシュホールド電圧以上、VSENSEがV_{ref}の90%より大きい場合は、PWRGDピンのオープン・ドレイン出力は“H”レベルになります。V_{ref}の3%のヒステリシス電圧と35μsの立ち下がりエッジのデグリッチ回路により、高周波ノイズでパワーグッド・コンパレータがトリップするのを防止しています。

サーマル情報

PowerPAD™パッケージには、外部のヒートシンクに直接取り付けられるむき出しのサーマルパッドがあります。このサーマルパッドを直接PCBに半田付けする場合には、PCBをヒートシンクとして使用できます。さらに、サーマルビアを使用することで、サーマルパッドを、PCB内部のグランドプレーンもしくは特別に準備されたヒートシンクエリアにも直接接続可能です。このような設計によって、ICからの熱伝導を最適化することが出来ます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ “PowerPAD Thermally Enhanced Package” (TI文献番号SLMA002) およびアプリケーション・ブリーフ “PowerPAD Made Easy” (TI文献番号SLMA004) を参照してください。いずれもホームページ www.ti.comで入手できます。

サーマルパッドの寸法については、以下のようになります。



Top View

全ての寸法の単位はミリメートルです。

サーマルパッド寸法図

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS54680PWP	ACTIVE	HTSSOP	PWP	28	50	TBD	CU NIPDAU	Level-1-220C-UNLIM
TPS54680PWPR	ACTIVE	HTSSOP	PWP	28	2000	TBD	CU NIPDAU	Level-1-220C-UNLIM
TPS54680PWPRG4	ACTIVE	HTSSOP	PWP	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1%を超えない）ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報はより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

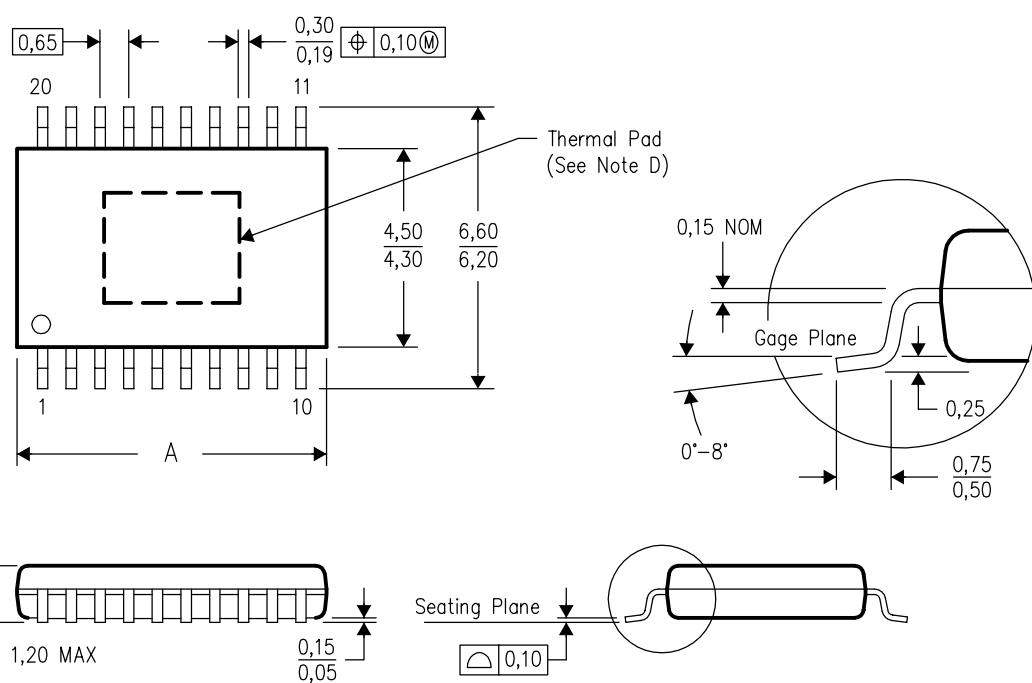
いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。

メカニカル・データ

P(R-PDSO-G**)

20 PIN SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



DIM \ PINS **	14	16	20	24	28
A MAX	5,10	5,10	6,60	7,90	9,80
A MIN	4,90	4,90	6,40	7,70	9,60

4073225/G 08/03

注：A. 全ての寸法の単位はミリメートルです。

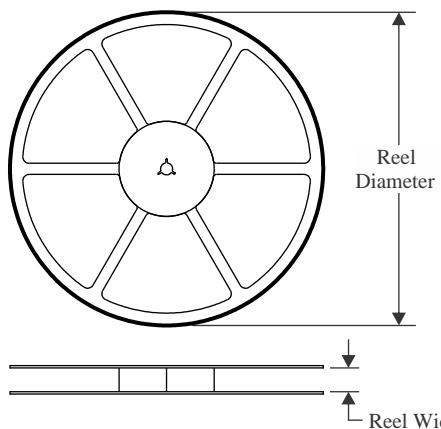
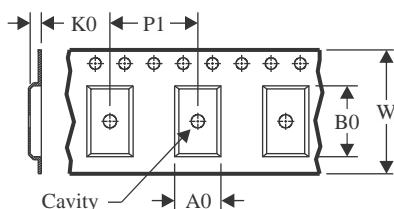
B. 図は予告なく変更することがあります。

C. 本体寸法にはバリや突起を含みません。

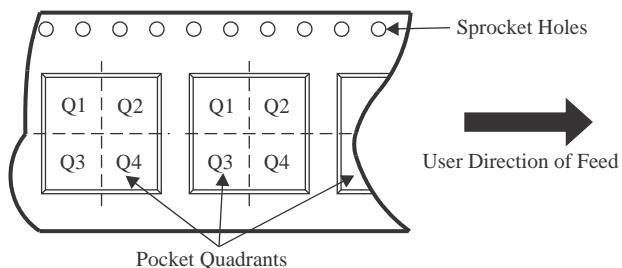
D. このパッケージは、ボード上のサーマルパッドに半田付けされるようにデザインされています。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ “PowerPAD Thermally Enhanced Package”(TI文献番号SLMA002)およびアプリケーション・ブリーフ “PowerPAD Made Easy”(TI文献番号SLMA004)を参照してください。いずれもホームページwww.ti.comで入手できます。

E. JEDEC MO-153に適合しています。

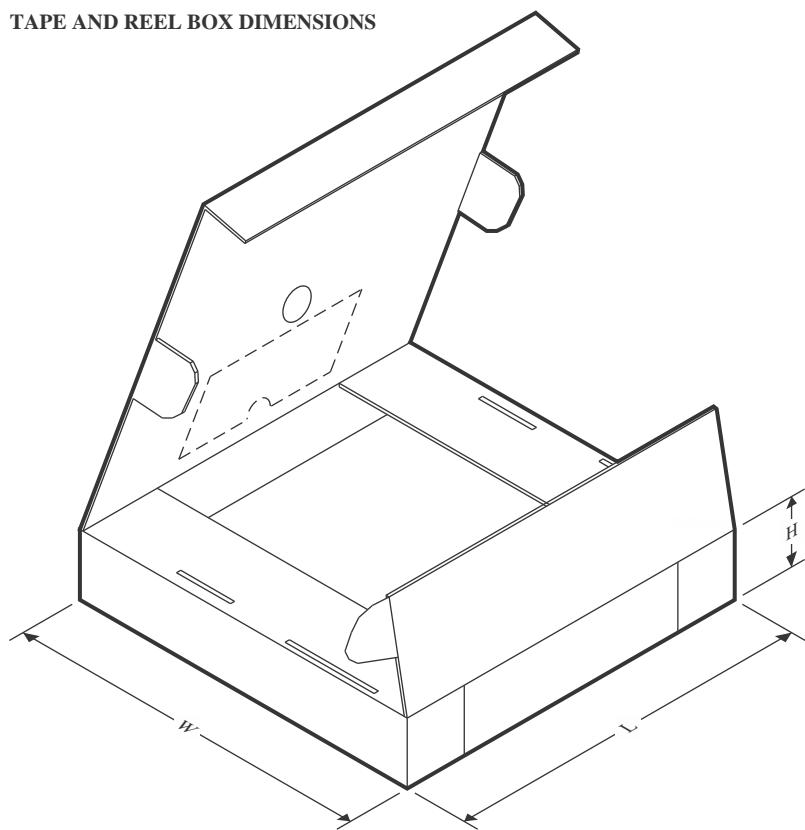
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54680PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54680PWPR	HTSSOP	PWP	28	2000	350.0	350.0	43.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated